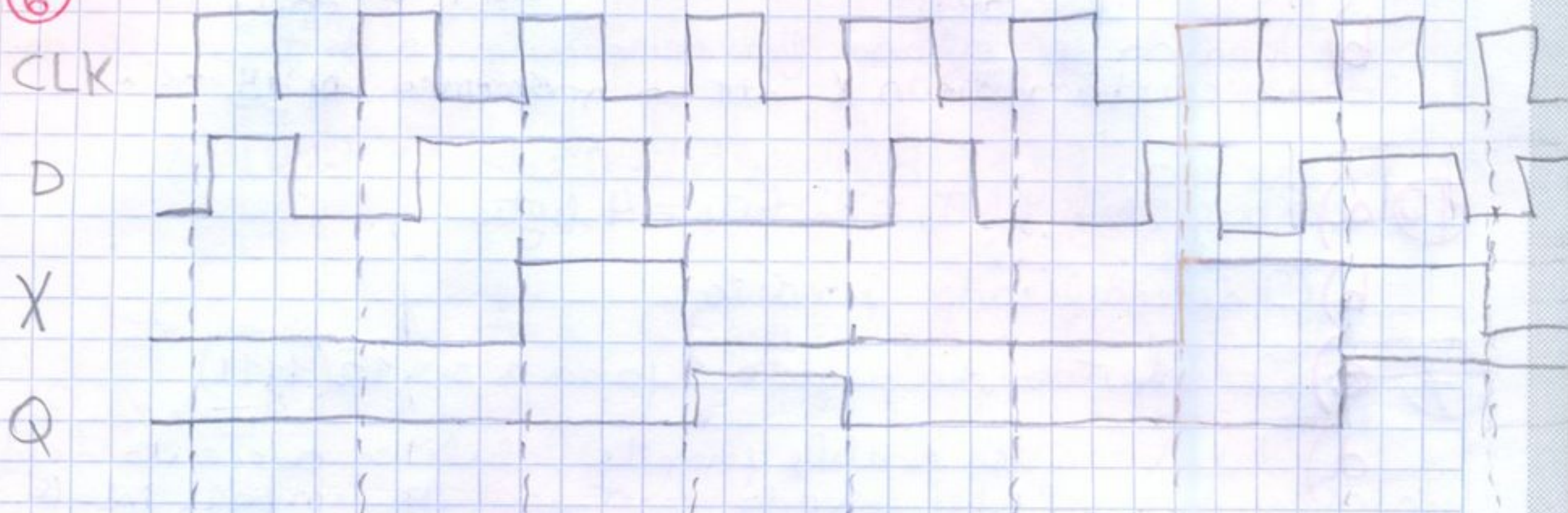


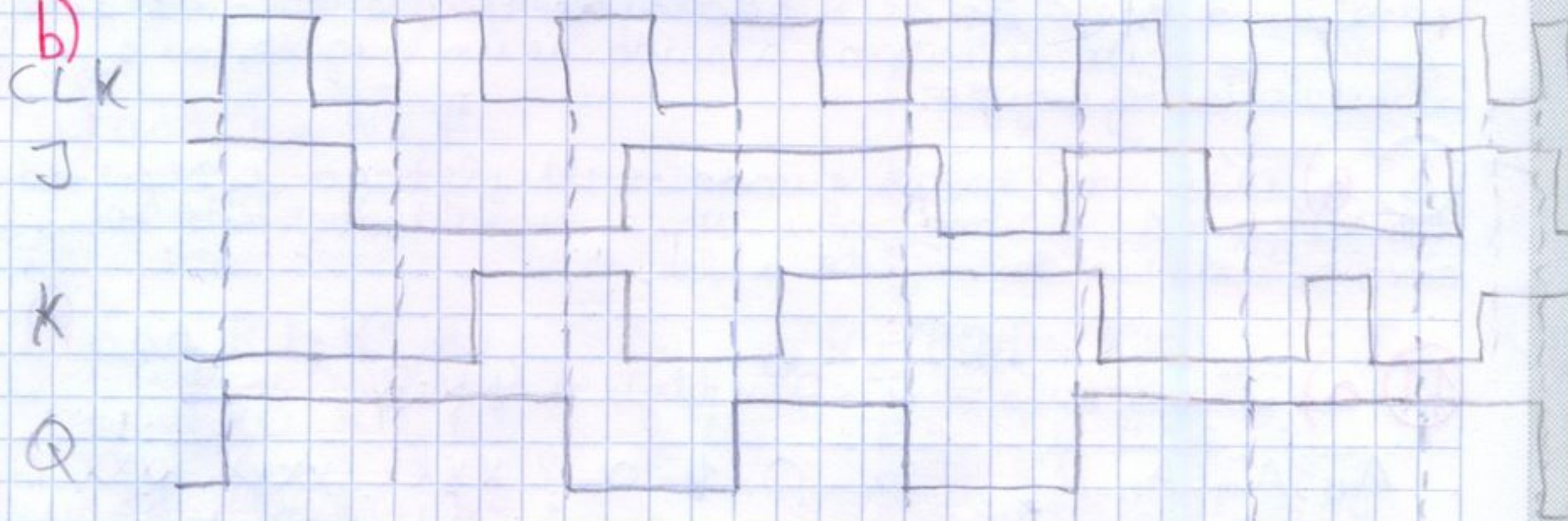
4.2 - Exercícios propostos:

⑥



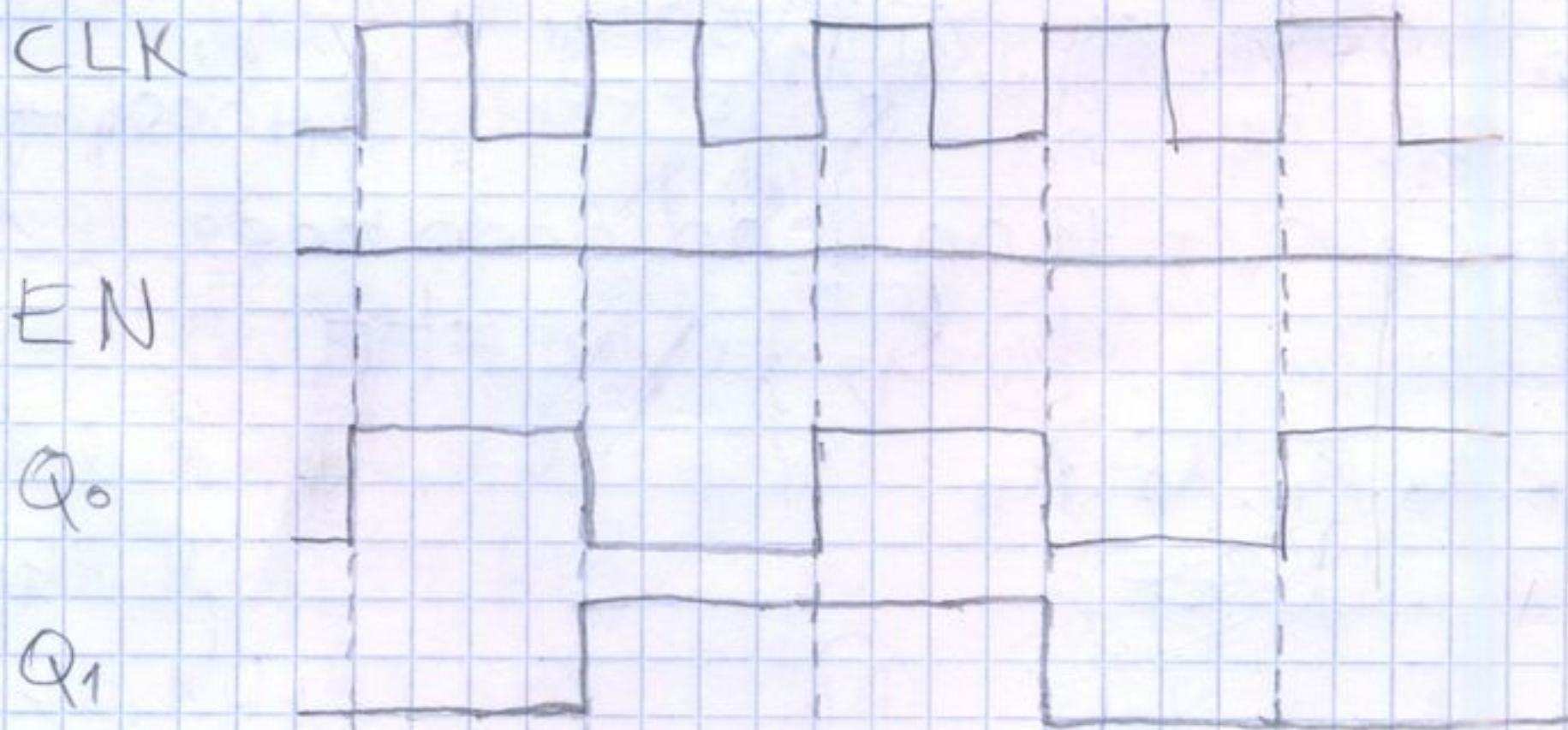
⑦ a) $D(J, K, Q) = J \cdot \bar{Q} + Q \cdot \bar{K}$

b)



⑧ a) $D_0 = EN \oplus Q_0$ $D_1 = EN \cdot Q_0 \oplus Q_1$

b)



c) Estado 00 (estado inicial).

9) a) $T = 0101001101000010$

b) a saída do contador fornece o número de transições do valor lógico da entrada X, até ao máximo de 15.

10) a) $8 \text{ registos} \times 4 \text{ bits} = 32 \text{ bits} = 4 \text{ bytes}$

b) O decodificador binário.

c) O conteúdo do registo 1 para a ser 15 (1111)

d) A entrada de enable permite habilitar a escrita de um valor num registo. A entrada reset permite limpar, isto é, escrever o valor 0 num dos registos.

e) O decodificador permite identificar o registo a aceder para uma operação de escrita ou de leitura. Quanto ao multiplexador, permite seleccionar a saída de um registo, ou seja, fazer a leitura desse registo.

f) Adicionar um segundo multiplexador de 8 (entrada de 4 bits) para 1, assim como uma segunda entrada de 3 bits com o endereço do registo a ler.

11) a) $2^{12} \times 8 \text{ bits} = 2^2 \times 2^{10} \times 1 \text{ byte} = 4 \text{ KiB}$

$\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}}$

0 1 0 ? XXXX XXXX XXXX

↑ indiferente para o resultado.

Logo, a decodificação é parcial, pois há 1 bit (A_{12}) que não é usado pela RAM, originando dois endereços para cada entrada da RAM.

Se $A_{12} = 0$ | 4000H
| 4FFFH

Se $A_{12} = 1$ | 5000H
| 5FFFH

Logo, o intervalo de endereços é:

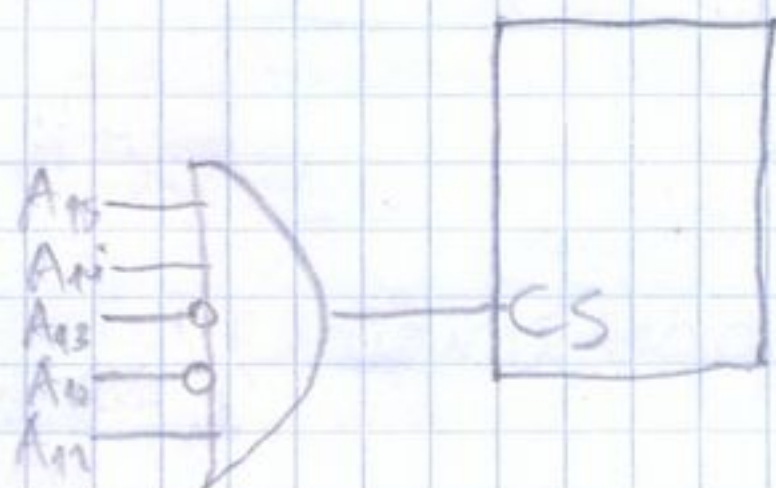
4000H — 5FFFH

b) $A_0 = C800H = 1100110000000000$

decodificação total (cada posição é 15mua)

Logo, o endereço de último endereço é CFFF

c) $\overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}} \cdot A_{11}$



12 a) ROM1: $2^{14} \times 8 \text{ bits} = 2^4 \times 2^{10} \times 1 \text{ byte} = 16 \text{ KiB}$ 0011 1111 1111 1111
0000 0000 0000 0000

RAM1: $2^{14} \times 8 \text{ bits} = 2^4 \times 2^{10} \times 1 \text{ byte} = 16 \text{ KiB}$ 0100 0000 0000 0000
0111 1111 1111 1111

RAM2: $2^{12} \times 8 \text{ bits} = 2^2 \times 2^{10} \times 1 \text{ byte} = 4 \text{ KiB}$ 1101 0000 0000 0000
1101 1111 1111 1111

b) $CS_{\text{ROM1}} = \overline{A_{15}} \cdot \overline{A_{14}}$ $CS_{\text{RAM1}} = \overline{A_{15}} \cdot A_{14}$ $CS_{\text{RAM2}} = A_{15} \cdot A_{14} \cdot \overline{A_{13}} \cdot \overline{A_{12}}$

c) —