

## Parte III

### 1.2 - Exercícios propostos:

⑥ a)  $0xF81F80A0 = \underbrace{111110000000}_{\text{opcode}} \underbrace{1111110000000010}_{\text{address 0 Rm Rt}}$

Por análise das tabelas, esta instrução corresponde a um *stwr*, isto é, a uma instrução do tipo D.

R: *stwr* X0, [X5, #-8]

$\rightarrow \text{epl}_2 = -8$

b)  $0xF8404023 = \underbrace{111110000100}_{\text{opcode}} \underbrace{0000010000000010}_{\text{address 0 Rm Rt}}$

Por análise das tabelas, esta instrução corresponde a um *ldwr*, isto é, a uma instrução do tipo D.

R: *ldwr* X3, [X1, #4]

⑦ a) *ldwr* X3, [X7, #64]

ALUOp = 00

ALUSrc = 1

Regwrite = 1

RegtoLoc = X (tanto pode ser 0 como 1, que não afeta a instrução).

Memwrite = 0

MemRead = 1

MemtoReg = 1

PCSrc = 0

Todos os componentes realizam trabalho útil, exceto Shift left 2 e o somador para endereços de salto.

b) *stwr* X8, [X2, #128]

ALUOp = 00

ALUSrc = 1

Regwrite = 0

RegtoLoc = 1

Memwrite = 1

MemRead = 0

MemtoReg = X

PCSrc = 0

Todos os componentes realizam trabalho útil, exceto Shift left 2, o somador para endereços de salto e o multiplexador MemtoReg.

(tanto pode ser 0 como 1, que não afeta a instrução)

c) *clw* X9, #-5

ALUOp = 01

ALUSrc = 0

Regwrite = 0

RegtoLoc = 1

Memwrite = 0

MemRead = 0

MemtoReg = X

PCSrc = 1 se X9 = 0

Todos os componentes realizam trabalho útil, exceto memória de dados (D-MEM) e multiplexador MemtoReg.

(tanto pode ser 0 como 1, que não afeta a instrução).

0 se X9 ≠ 0



8) a) A única que falha é a instrução CBZ.

b) A única que falha é a instrução STUR.

9) Deveria ser acrescentado um multiplexador que receberia na entrada 0 a saída proveniente do multiplexador controlado por PCSig e na entrada 1 a saída Read data 1 do banco de registros. Este novo multiplexador deveria ser controlado por um sinal adicional de controle, BranchReg, tal que BranchReg=1 se opcode=11010110000 e BranchReg=0 no caso contrário.

10) a) ldur X8, [X17, #40]  $40 = 000101000_2$   $8 = 01000_2$   $17 = 10001_2$

1111 1000 0100 0010 1000 0010 001 01000  
opcode address O Rm Rt

R: 0xF8428228

b)  $10001_2 = 17_{10}$  Lim.

c) Indefinido (RegtoLoc = X). Não.

d)  $01000_2 = 8_{10}$  Lim.

e) MemRead = 1 e MemWrite = 0

f) label CBZ X11, label  $11 = 01011_2$

a) 10110100 11111111111111111111 01011 R: 0xB4FFFFFFEB  
opcode Rt

b)  $11111_2 = 31$ ; Não.

e) MemRead = 0 MemWrite = 0

c)  $01011_2 = 11$ ; Lim

d)  $01011_2 = 11$ ; Não

11) a) Na instrução LDUR, o caminho crítico é:  $400 + 200 + 120 + 350 + 30 = 1100$

I-MEM  $\rightarrow$  Regs  $\rightarrow$  ALU  $\rightarrow$  D-Mem  $\rightarrow$  MUX tempo: 1100 ps.

b) Na instrução CBZ, o caminho crítico:  $400 + 100 + 30 + 200 + 30 + 100 + 30 = 910$

I-MEM  $\rightarrow$  Control  $\rightarrow$  Mux  $\rightarrow$  Regs  $\rightarrow$  Mux  $\rightarrow$  ALU  $\rightarrow$  Mux tempo: 910 ps

12) a)  $720 - 400 = 320$  ps

b)  $1100 - 400 = 700$  ps é o Regwrite.

c) ?