Arquitetura e Organização de Computadores

Exercícios

António José Araújo

João Canas Ferreira

Mestrado Integrado em Engenharia Informática e Computação

Setembro de 2018

Conteúdo

Esta coletânea reúne exercícios resolvidos e propostos sobre a matéria lecionada em 2018/19 na unidade curricular de *Arquitetura e Organização de Computadores* do 1º ano do Mestrado Integrado em Engenharia Informática e Computação da Faculdade de Engenharia da Universidade do Porto.

1 Aritmética binária

1.1 Exercícios resolvidos

Exercício 1
Realizar as conversões de base indicadas.

a) $72_{10} = ?_2 = ?_{16}$ b) $259_{10} = ?_2 = ?_{16}$ c) $1110_2 = ?_{10} = ?_{16}$

d) $100000{,}11_2 = ?_{10} = ?_{16}$ e) $1BEEF_{16} = ?_2$

a) A conversão de decimal para qualquer base de representação pode ser feita por divisões sucessivas pela base pretendida ou realizando a decomposição do número em potências dessa base. Optando por este segundo processo, resulta

$$72_{10} = 64 + 8 = 2^6 + 2^3 = 1\times 2^6 + 0\times 2^5 + 0\times 2^4 + 1\times 2^3 + 0\times 2^2 + 0\times 2^1 + 0\times 2^0$$
$$= 1001000_2$$

Relativamente à conversão para hexadecimal, a forma mais simples de a realizar consiste em considerar a representação binária e formar grupos de 4 bits, da direita para a esquerda, e depois fazer a correspondência entre cada um desses grupos e o respetivo símbolo hexadecimal.

$$\underbrace{100}_{4}\ \underbrace{1000}_{8} = 48_{\mathrm{H}}$$

Nota: O índice 'H', tal como '16', indica uma representação em hexadecimal.

b)

$$259_{10} = 256 + 2 + 1 = 2^8 + 2^1 + 2^0 = 100000011_2$$
$$100000011_2 = \underbrace{1}_{1}\ \underbrace{0000}_{0}\ \underbrace{0011}_{3} = 103_{\mathrm{H}}$$

c)

$$1110_2 = 2^3 + 2^2 + 2^1 = 14_{10}$$

$$\underbrace{1110}_{\mathrm{E}} = \mathrm{E_H}$$

d)

$$100000{,}11_2 = 2^5 + 2^{-1} + 2^{-2} = 32{,}75_{10}$$

Como se trata de um número fracionário, na conversão de binário para hexadecimal, os grupos de 4 bits formam-se a partir da vírgula.

$$100000{,}11_2 = \underbrace{10}_{2}\ \underbrace{0000}_{0},\ \underbrace{1100}_{C} = 20{,}C_H$$

e)

$$1BEEF_H = \underbrace{1}_{0001}\ \underbrace{B}_{1011}\ \underbrace{E}_{1110}\ \underbrace{E}_{1110}\ \underbrace{F}_{1111} = 11011111011101111_2$$

Exercício 2
Efetue as seguintes operações aritméticas binárias, considerando os operandos representados como números sem sinal, isto é, números positivos.

a) $101110 + 100101$

b) $1110010 - 1101101$

c) 1001011×11001

d) $1101000 \div 100$

As regras de cálculo são idênticas às regras usadas em base 10.

a)

$$\begin{array}{r} 101110 \\ +\underline{100101} \\ 1010011 \end{array}$$

b)

$$\begin{array}{r} 01\ 0 \\ 11\cancel{1}\cancel{0}0\cancel{1}0 \\ -\underline{1101101} \\ 101 \end{array}$$

c)

$$\begin{array}{r} 1001011 \\ \times\underline{11001} \\ 1001011 \\ 1001011 \\ +\underline{1001011} \\ 11101010011 \end{array}$$

d) Nesta divisão ocorre uma situação particular: o divisor é uma potência de 2 ($100_2 = 2^2 = 4$). Nestas circunstâncias, o quociente pode ser obtido deslocando os bits do dividendo n posições para a direita, o que corresponde a subtrair n ao expoente de cada potência de base 2 da decomposição do dividendo. Neste exercício $n = 2$, pelo que, $1101000 \div 100 = 11010_2$.

Exercício 3

Represente os seguintes números decimais em sinal e grandeza e em complemento para 2 com 6 bits.

a) $+12$ b) -12 c) -1 d) $+32$

a) $12 = 8 + 4 = 1100_2$

- Sinal e grandeza: sendo o número positivo, o bit de sinal é 0; a grandeza, escrita em 5 bits, é 01100. Assim, $12 = 001100_2$.
- Complemento para 2: a representação de um número positivo em complemento para 2 é a mesma do número sem sinal (binário puro), respeitando porém a largura de representação. Portanto, $12 = 001100_2$.

b) A grandeza de -12 é $12 = 1100_2$.

- Sinal e grandeza: sendo o número negativo, o bit de sinal é 1; a grandeza é codificada com 5 bits, 01100. Assim, $-12 = 101100_2$.
- Complemento para 2:

  A representação de um número negativo em complemento para 2 pode ser obtida a partir da representação binária do simétrico do número. Para tal, copiam-se todos os bits da direita para a esquerda até encontrar o primeiro 1, que ainda é copiado, e a partir daí complementam-se os restantes bits. Embora existam outros processos, este é um processo expedito.

  Assim, partindo de $12 = 001100_2$ obtém-se $-12 = 110100_2$.

c)
- Sinal e grandeza: $-1 = 100001_2$.
- Complemento para 2: tendo em consideração o que foi descrito na alínea anterior, $1 = 000001_2$, pelo que $-1 = 111111_2$.

d) O número em causa é $32 = 2^5 = 100000_2$.

- Sinal e grandeza: a grandeza de 32 não se consegue codificar com apenas 5 bits, pelo que o valor 32 não é representável no formato pretendido.
- Complemento para 2: o valor 32 também não é representável com 6 bits; é um número positivo e no entanto 100000_2 representa um número negativo (MSB=1).

Com 6 bits, o maior número representável é $2^{6-1} - 1 = 31$.

Exercício 4

Considere a representação binária dos valores $C1_{16}$ e $A7_{16}$ com 8 bits.

a) Indique o valor decimal correspondente, admitindo que são interpretadas como números:

   i) positivos;

   ii) em sinal e grandeza;

   iii) em complemento para dois.

b) Indique a gama de valores representáveis considerando a forma complemento para 2.

c) Admitindo que a referida representação se encontra em complemento para dois, efetue a sua adição em binário e comente o resultado.

a) $C1_{16} = 11000001_2 \quad \text{e} \quad A7_{16} = 10100111_2$

i)

$$11000001_2 = 2^7 + 2^6 + 2^0 = 128 + 64 + 1 = 193$$

$$10100111_2 = 2^7 + 2^5 + 2^2 + 2^1 + 2^0 = 128 + 32 + 4 + 2 + 1 = 167$$

ii)

$$\underbrace{1}_{-}\ \underbrace{1000001}_{2^6+2^0} = -65$$

$$\underbrace{1}_{-}\ \underbrace{0100111}_{2^5+7} = -39$$

iii) Os valores são ambos negativos.

$$11000001_2 \quad \xrightarrow{\text{compl. 2}} \quad 00111111_2 = 63$$

Este é o valor simétrico do número a identificar. Logo, 11000001_2 interpretado em complemento para 2, resulta no decimal -63.

$$10100111_2 \quad \xrightarrow{\text{compl. 2}} \quad 01011001_2 = 89$$

Da mesma forma, 10100111_2 interpretado em complemento para 2, resulta no decimal -89.

b) Com 8 bits conseguem escrever-se $2^8 = 256$ números. Considerando que metade são números negativos e a outra metade corresponde a números positivos, incluindo o 0, resulta o seguinte intervalo de representação: $[-128; +127]$. Ao contrário do que sucede em sinal e grandeza, o 0 só tem uma representação.

De forma mais genérica, em complemento para 2, a gama de representação correspondente a n bits é:

$$[-2^{n-1}; +2^{n-1} - 1]$$

c) A soma faz como para números sem sinal, ignorando o transporte a partir do bit mais significativo.

$$\begin{array}{r} 11000001 \\ +\underline{10100111} \\ \cancel{1}01101000 \end{array}$$

O resultado encontrado (01101000_2) está incorreto, porque a adição de dois números negativos não pode resultar num número positivo. Ocorre portanto, *overflow*.

Pode confirmar-se esta conclusão em decimal: $(-63) + (-89) < -128$, isto é, a soma não é representável com 8 bits.

Exercício 5

Admitindo que $A = 11001_2$ e $B = 11101_2$ se encontram representados em complemento para 2 com 5 bits, calcule $A + B$ e indique, justificando, se ocorre *overflow*.

Efetuando os cálculos:

$$\begin{array}{r} 11001 \\ +\underline{11101} \\ \cancel{1}10110 \end{array}$$

Como se trata de uma adição em complemento para 2, o *carry* que ocorreu ao somar os bits mais significativos deve ignorar-se. A ocorrência deste *carry* não deve ser interpretada como ocorrência de *overflow*. Logo, $A + B = 10110$.

O resultado encontrado é válido no formato especificado, pois não ocorre *overflow*, porque da adição de dois números negativosresultou um número negativo.

Exercício 6

Considere dois números binários com 6 bits, $M = 101100_2$ e $N = 110010_2$. M está representado em sinal e grandeza e N está representado em complemento para 2.

a) Escreva M em formato hexadecimal e N em formato decimal.

b) Indique, justificando, qual dos números tem maior grandeza.

c) Mostre que em complemento para 2 a operação $M + N$ não produz *overflow*.

a) A conversão para hexadecimal é direta:

$$M = \underbrace{10}_{2}\ \underbrace{1100}_{\mathrm{C}} = 2\mathrm{C}_{\mathrm{H}}$$

Como N está em complemento para 2 e é negativo, $-N = 001110 = 14$, pelo que $N = -14$.

b) Como M está definido em sinal e grandeza e são usados 6 bits, a grandeza é dada pelos 5 bits menos significativos.

$$|M| = 01100 \qquad (= 12_{10})$$

Quanto a N, conclui-se da alínea anterior que

$$|N| = -N = 01110 \qquad (= 14_{10})$$

Conclusão: N é o número que possui maior grandeza.

c) O número M está definido em sinal e grandeza e é negativo, pelo que deve ser representado em complemento para 2 antes de ser operado.

$$-M = 001100 \quad \xrightarrow{\text{compl. 2}} \quad M = 110100$$

N já se encontra em complemento para 2, pelo que se pode então calcular $M + N$:

$$\begin{array}{r} 110100 \\ +\underline{110010} \\ \cancel{1}100110 \end{array}$$

Não há *overflow*, pois os operandos são negativos e o resultado encontrado também é negativo.

Exercício 7

Os valores $X = 10111100_2$ e $Y = 10100110_2$ estão representados com 8 bits. Determine o menor número de bits necessário para representar corretamente $X + Y$, supondo que os operandos estão representados em:

a) sinal e grandeza;

b) complemento para 2.

a) Representação em sinal e grandeza:

$$X = \underbrace{1}_{S}\ \underbrace{0111100}_{G} \qquad \text{e} \qquad Y = \underbrace{1}_{S}\ \underbrace{0100110}_{G}$$

Para calcular $X + Y$ é necessário somar as grandezas de X e Y, operação esta realizada em 7 bits.

$$\begin{array}{r} 0111100 \\ +\underline{0100110} \\ 1100010 \end{array}$$

A grandeza resultante é representável em 7 bits. Como tal, e tendo em consideração o bit de sinal, o menor número de bits necessário para a representação de $X + Y$ em sinal e grandeza é 8.

b) Representação em complemento para 2:

$$\begin{array}{lr} \text{X+Y:} & 10111100 \\ & +\underline{10100110} \\ & \cancel{1}01100010 \end{array}$$

Estão a somar-se dois números com o mesmo sinal (negativos), mas o resultado alcançado com 8 bits apresenta sinal diferente (positivo). Quer isto dizer que ocorre *overflow* ao realizar a operação com 8 bits. Portanto, para que $X + Y$ seja corretamente representado em complemento para 2, o número mínimo de bits a considerar deverá ser 9.

Exercício 8
Considere a representação em complemento para 2 dos valores X e Y indicada:

$$X = 110010_2 \qquad \text{e} \qquad Y = 101011_2$$

a) Determine o valor decimal de X e Y.

b) Calcule $X - Y$ e $X + Y$. Comente os resultados.

a) X e Y são negativos, pelo que podem obter-se os números simétricos calculando o complemento para 2:

$$-X = 001110_2 = 2^3 + 2^2 + 2^1 = 14$$
$$-Y = 010101_2 = 2^4 + 2^2 + 2^0 = 21$$

Logo, $X = -14$ e $Y = -21$.

b) A diferença pode ser calculada pela adição do simétrico:

$$X - Y = X + (-Y): \quad \begin{array}{r} 110010 \\ +\underline{010101} \\ \cancel{1}000111 \end{array}$$

Não ocorre *overflow*, porque os operandos têm sinais opostos. O resultado é por isso correto.

$$X + Y: \quad \begin{array}{r} 110010 \\ +\underline{101011} \\ \cancel{1}011101 \end{array}$$

Ocorre *overflow*, porque os operandos têm o mesmo sinal e o resultado tem sinal oposto. Por este motivo, o resultado é errado, pois não é representável com os 6 bits considerados.

1.2 Exercícios propostos

Exercício 9
Em cada alínea, considere o número dado e represente-o nos sistemas de numeração indicados.

a) $256_{10} = ?_2 = ?_{16}$

b) $2047_{10} = ?_2 = ?_{16}$

c) $24{,}25_{10} = ?_2 = ?_{16}$

d) $4{,}2_{10} = ?_2 = ?_{16}$

e) $10000_2 = ?_{10} = ?_{16}$

f) $100{,}001_2 = ?_{10} = ?_{16}$

g) $1\text{E}_{16} = ?_2 = ?_{10}$

h) $\text{ABCD}_{16} = ?_{10} = ?_2$

i) $\text{AB,C}_{16} = ?_{10} = ?_2$

j) $1110_{10} = ?_{16}$

Exercício 10
Efetue as seguintes operações aritméticas binárias, considerando os operandos representados como números sem sinal, isto é, números positivos.

a) $110101 + 11001$ b) $101{,}01 + 100{,}111$ c) $101110 - 100101$
d) $1000010 - 101101$ e) $11011101 - 1100011$ f) $11011101 - 11000{,}11$
g) 1011×100

Exercício 11
Considere os números decimais $+3$, $+2$ e -3. Nas alíneas seguintes admita a representação em sinal e grandeza com 4 bits.

a) Escreva os números em binário.
b) Calcule $3 + 2$ e $2 + (-3)$.
c) Calcule $3 + 14$ e comente o resultado.

Exercício 12
Enumere os valores decimais que se podem representar com 4 bits usando as representações em sinal e grandeza e em complemento para 2. Em ambos os casos, indique a gama de representação na forma de um intervalo, relacionando os valores extremos (maior positivo e menor negativo) com o número de bits.

Exercício 13
Recorrendo a 8 bits, represente em sinal e grandeza e em complemento para 2, os seguintes números decimais:

a) 18 b) 49 c) -49
d) -3 e) -100 f) 115
g) -127 h) -128

Exercício 14
Considere os números $M = 33_{16}$ e $N = 33_{10}$ representados por 8 bits.

a) Calcule $M + N$ em binário, supondo que M e N são números sem sinal.
b) Admitindo que os valores estão representados em complemento para 2, diga se ocorre *overflow* ao calcular $N - M$.

Exercício 15
Admitindo que P e Q representam dois números binários em complemento para dois, com 8 bits, efetue a sua adição binária e interprete o resultado.

a) $P = \mathrm{DE_H}$ e $Q = \mathrm{A3_H}$ b) $P = \mathrm{8C_H}$ e $Q = \mathrm{D3_H}$ c) $P = \mathrm{8C_H}$ e $Q = \mathrm{74_H}$

Exercício 16
Considere os seguintes números binários: $X = 11100011$ e $Y = 01001000$.

a) Indique o valor decimal de X e Y, para os casos de representação sem sinal e representação em complemento para 2.

b) Calcule $X + Y$ para ambas as representações de 8 bits e comente os resultados obtidos.

Exercício 17
Considere os números $P = 1111010_2$ e $Q = 0100010_2$ com 7 bits.

a) Escreva P em hexadecimal e Q em decimal.

b) Calcule $P + Q$ e comente o resultado considerando que P e Q representam números:

i) sem sinal;

ii) em complemento para 2.

Exercício 18
Considere os números $A = 11010_2$ (com 5 bits) e $B = 0101010_2$ (com 7 bits).

a) Considere que A e B representam números sem sinal. Calcular $A + B$ em 7 bits. Converter o resultado para decimal.

b) Repita a alínea anterior, considerando agora que A e B representam números representados em sinal e grandeza.

c) Repita a alínea anterior, considerando agora que A e B representam números representados em complemento para dois.

Exercício 19
Considere os números $M = 4\mathrm{A}_\mathrm{H}$ e $N = \mathrm{A}4_\mathrm{H}$ representados em complemento para 2 com 8 bits.

a) Escreva M em binário.

b) Determine o valor decimal de N.

c) Calcule $M - N$ e $N - M$, justificando se ocorre *overflow*.

Exercício 20
Considere os números $S = 11001000_2$ e $T = 00010001_2$ representados em complemento para 2 com 8 bits.

a) Determine o valor decimal de S e T.

b) Represente S e T em sinal e grandeza.

c) Calcule $S + T$ em sinal e grandeza e comente o resultado encontrado.

Exercício 21
Considere os números de 8 bits expressos, nas bases indicadas, por: $X_2 = 10111100$, $Y_{10} = 73$ e $Z_{16} = 9\text{E}$.

a) Escreva Y em hexadecimal e Z em binário.

b) Calcule $X + Z$, considerando que os operandos X e Z estão em complemento para 2, e justifique se ocorre *overflow*.

c) Calcule o maior número N, em complemento para 2 com 8 bits, que adicionado a X conduz a uma soma negativa.

Exercício 22
Suponha que se pretende calcular a seguinte expressão (em que x é um número inteiro):

$$y = x^2 - 30x + 161$$

Considere x representado em binário com 5 bits (sem sinal).

a) Qual é a gama de valores de x?

b) Determinar o maior valor positivo de y.

c) Determinar o valor mais negativo de y?

d) Qual é o número mínimo de bits necessário para representar o valor com sinal y.

e) Representar os valores determinados nas alíneas b) e c) em complemento para dois.

2 Vírgula flutuante

2.1 Exercícios resolvidos

Exercício 1
A representação dos números reais X e Y no formato de precisão simples da norma IEEE 754 é a seguinte:

X: $\mathrm{C3800000_H}$ $\qquad$ Y: $00111111100000000000000000000000_2$

a) Calcule o expoente real do número codificado em X.

b) Determine o sinal de $X + Y$.

c) Justifique a afirmação: Sendo X um número qualquer, $X \times Y = X$.

a)

$$X = \mathrm{C3800000_H} = 1 \ \underbrace{10000111}_{E_X = 135} \ 00000000000000000000000_2$$

O expoente real de X é:

$$E_X^{\mathrm{real}} = 135 - 127 = 8$$

b) Como $E_Y = 127$, $E_X > E_Y$. Então $|X| > |Y|$ e portanto,

$$S_{X+Y} = S_X = 1$$

ou seja, $X + Y$ é um número negativo.

c) Como $E_Y = 127$, $E_Y^{\mathrm{real}} = 0$.
Porque os 23 bits da mantissa de Y são nulos, $M_Y = 1{,}0$.
Então, conclui-se que $Y = 1$ e por isso, para qualquer X, tem-se $X \times Y = X$.

Exercício 2
Considere $Y = 25{,}25_{10}$ e o número real X cuja representação em formato IEEE 754 (precisão simples) é $\mathrm{BF400000_{16}}$.

a) Mostre a representação de Y no formato IEEE 754 (em binário).

b) Calcule $X \times Y$, indicando claramente todos os passos efetuados.

a) Pretende-se mostrar Y em binário no contexto da representação em vírgula flutuante com precisão simples (32 bits).

$$Y = 25{,}25_{10} = 2^4 + 2^3 + 2^0 + 2^{-2} = 11001{,}01_2 = 1{,}100101_2 \times 2^4$$

- $S_Y = 0$
- $E_Y = E_Y^{real} + 127 = 4 + 127 = 131 = 10000011_2$
- $M_Y = 1{,}100101_2$

Resulta então:

$$Y = 010000011100101\underbrace{00\cdots0}_{17\ 0\text{'s}}$$

b)

$$X \quad = \quad \text{BF400000}_{16} \quad = \quad \underbrace{1}_{S_X} \quad \underbrace{01111110}_{E_X} \quad \underbrace{100\cdots0_2}_{f_X}$$

Então:

- $S_{X\times Y} = 1$
- $E_{X\times Y} = E_X + E_Y - 127 = (131 + 126) - 127 = 130 = 10000010_2$
- $M_{X\times Y}$: (em binário)

$$\begin{array}{r}
1{,}1001010 \cdots\ 0 \\
\times 1{,}1000000 \cdots\ 0 \\
\hline
0\ 0000000 \cdots\ 0 \\
\cdots \\
11001010 \cdots\ 0\quad\quad \\
11001010 \cdots\ 0\quad\quad\ \ \\
\hline
10{,}01011110 \quad\quad \cdots \quad\quad 0
\end{array}$$

A necessidade de normalizar a mantissa resultante leva ao incremento do expoente calculado:

$$M_{X\times Y} = 10{,}01011110\cdots0_2 = 1{,}00101111_2 \times 2^1$$

Assim, $E_{X\times Y} = 131_{10} = 10000011_2$, pelo que

$$X \times Y = 11000001100101111\underbrace{00\cdots0}_{15\ 0\text{'s}}$$

Exercício 3

Considere o número cuja representação em hexadecimal é $\text{C1200000}_{\text{H}}$. Indique o valor decimal correspondente, se assumir que o número está representado:

a) como inteiro sem sinal;

b) em complemento para 2;

c) em vírgula flutuante com precisão simples.

a) A representação binária do número é:

$$\mathrm{C1200000_H} = 1100\ 0001\ 0010\ 0000\ 0000\ 0000\ 0000\ 0000_2$$

Interpretando este número como um inteiro sem sinal, o valor decimal correspondente é determinado com base na posição que cada bit ocupa. Assim:

$$\begin{aligned}
11000001001000000000000000000000_2 &= 2^{31} + 2^{30} + 2^{24} + 2^{21} \\
&= 2^{21} \times (2^{10} + 2^{9} + 2^{3} + 2^{0}) \\
&= 2 \times 2^{10} \times 2^{10} \times (1024 + 512 + 9) \\
&= 2097152 \times 1545 \\
&= 3240099840_{10}
\end{aligned}$$

Nota: É admissível apresentar a solução na forma de uma soma de potências de 2.

b) $\mathrm{C1200000_H} = 1100\ 0001\ 0010\ 0000\ 0000\ 0000\ 0000\ 0000_2$

Interpretando este número dado em complemento para 2 e atendendo a que é um número negativo (MSB=1), o decimal correspondente pode ser determinado depois de obter o simétrico correspondente. Este pode ser obtido por aplicação da regra prática que consiste em copiar todos os bits da direita para a esquerda até ser encontrado o primeiro 1 e depois complementar os restantes. Assim:

$$\begin{aligned}
&11000001001000000000000000000000_2 \\
&\downarrow \qquad\qquad\qquad\qquad \downarrow \\
&-01111101110000000000000000000000_2 \\[1em]
&= 2^{29} + 2^{28} + 2^{27} + 2^{26} + 2^{25} + 2^{23} + 2^{22} + 2^{21} \\
&= 1054867456_{10}
\end{aligned}$$

Portanto, $\mathrm{C1200000_H}$ representa -1054867456_{10} em complemento para 2.

c) Assumindo o formato de vírgula flutuante, a interpretação do padrão de bits é:

31	30 … 23	22 … 0
1	10000010	01000000000000000000000
$\downarrow$	$\downarrow$	$\downarrow$
$S = -$	$E = 130$	$M = 1{,}01$

Como o expoente está representado em excesso 127, o expoente real é 3. Então, o número decimal correspondente será:

$$-1{,}01_2 \times 2^3 = -1010_2 = -10_{10}$$

Exercício 4
Sejam X e Y dois números reais, representados em vírgula flutuante com o formato de precisão simples da norma IEEE 754 da seguinte forma:

$$X\colon\ 11000011000000011000000000000000_2$$
$$Y\colon\ 11000011011111100000000000000000_2$$

a) Mostre que X é um número inteiro.

b) Calcule o número Z que verifica a condição $X + Z = 0$.

c) Mostre que o expoente real de $X + Y$ é 8.

a)

$$X \;=\; \underbrace{1}_{-} \;\; \underbrace{10000110}_{E_X = 134} \;\; \underbrace{00000110000000000000000_2}_{M_X = 1{,}0000011}$$

O expoente real de X é:

$$E_X^{\text{real}} = 134 - 127 = 7$$

Logo,

$$\mathrm{X}_{10} = -1{,}0000011_2 \times 2^7 = -10000011_2 = -131_{10}$$

b)

$$\mathrm{X} + \mathrm{Z} = 0 \quad \Leftrightarrow \quad \mathrm{Z} = -\mathrm{X}$$

Em termos de representação em vírgula flutuante

$$\begin{aligned} S_Z &= -S_X \\ E_Z &= E_X \\ M_Z &= M_X \end{aligned}$$

Logo,

$$\mathrm{Z} = 0100001100000011\,\underbrace{00\cdots 0_2}_{16\ 0\text{'s}}$$

c)

$$E_{X+Y}^{\text{real}} = E_Y^{\text{real}} \equiv E_X^{\text{real}} = 7$$

Contudo, ao somar as mantissas, o resultado pode não estar normalizado:

$$\begin{array}{lrcl} M_X: & 1{,}0000011 & & \\ M_Y: & \underline{+1{,}1111100} & & \\ M_{X+Y} & 10{,}1111111 & = & 1{,}01111111_2 \times 2^1 \end{array}$$

Logo, o expoente indicado inicialmente tem de ser incrementado, resultando

$$E_{X+Y}^{\text{real}} = 8$$

Exercício 5

Os números reais X, Y e Z estão representados no formato de precisão simples da norma IEEE 754.

a) Sendo X representado por 23456765432_8, indique o seu sinal.

b) Complete, com os bits em falta, os campos da seguinte igualdade:

$$Y \quad = + \underbrace{\qquad\qquad}_{} \times 2^3 \quad = \quad \underbrace{\quad}_{\text{1 bit}} \quad \underbrace{\qquad\qquad\qquad}_{\text{8 bits}} \quad \underbrace{001010 \quad ... \quad 0}_{\text{23 bits}}$$

c) Qual é o número Z tal que o valor de $Y \times Z$ é representado por $110000011001010 \cdots 0_2$?

a)

$$X \quad = \quad 23456765432_8 \quad = \quad \underbrace{1}_{\substack{\downarrow \\ -}} \underbrace{00111001}_{E_X} \underbrace{01110111110101100011010}_{f_X}$$

X é negativo.

Note-se que a conversão de cada dígito octal origina 3 bits e por essa razão X_2 devia possuir 33 bits. Porém, a representação de X_2 em vírgula flutuante é constituída por 32 bits, que no seu conjunto correspondem a X_8, pois o dígito mais significativo (2) pode escrever-se como 010_2 ou 10_2.

b)

$$\begin{array}{lll} Y > 0 & \Rightarrow & S_Y = 0 \\ E_Y^{\text{real}} = 3 & \Rightarrow & E_Y = E_Y^{\text{real}} + 127 = 130 = 10000010_2 \\ f_Y = 0{,}00101 & \Rightarrow & M_Y = 1{,}00101_2 \end{array}$$

Daqui resulta

$$Y \quad = +1{,}00101_2 \times 2^3 \quad = \quad \underbrace{0}_{\text{1 bit}} \quad \underbrace{10000010}_{\text{8 bits}} \quad \underbrace{001010...0}_{\text{23 bits}}$$

c)

$$\begin{array}{l} S_{Y\times Z} = - \quad \Rightarrow \quad S_Z = -S_Y = - \\ E_{Y\times Z} = E_Y + E_Z - 127 \Leftrightarrow 131 = 130 + E_Z - 127 \Leftrightarrow E_Z = 128 \\ M_{Y\times Z} \equiv M_Y \quad \Rightarrow \quad M_Z = 1{,}0 \end{array}$$

Logo,

$$Z \quad = \quad \underbrace{1}_{S_Z} \quad \underbrace{10000000}_{E_Z} \quad \underbrace{00...0}_{f_Z}$$

Exercício 6

Nesta questão, todos os números reais estão representados em vírgula flutuante (formato de precisão simples da norma IEEE 754).

a) Determine o número X cuja representação é dada por $01000010000111010000000000000000_2$.

b) Considerando um segundo número Y em que os 23 bits da sua mantissa são nulos, calcule:

i) a mantissa de $X \times Y$;

ii) o expoente de Y, sabendo que o expoente resultante de $X \times Y$, representado nos seus 8 bits, é 10000000_2.

a)

$$X = \underbrace{0}_{+} \quad \underbrace{10000100}_{E_X = 132} \quad \underbrace{00111010000000000000000}_{M_X = 1{,}0011101}$$

O expoente real de X é:

$$E_X^{\text{real}} = 132 - 127 = 5$$

Logo,

$$X_{10} = +1{,}0011101_2 \times 2^5 = 100111{,}01_2 = 39{,}25_{10}$$

b) i) Como os 23 bits da parte representável (parte fracionária) da mantissa são nulos, conclui-se que $M_Y = 1{,}f_Y = 1{,}0$. Assim,

$$M_{X \times Y} = M_X \times M_Y = M_X = 1{,}0011101_2$$

ii) O expoente do produto de dois números em vírgula flutuante é dado pela soma dos expoentes dos operandos menos o excesso 127. O expoente assim calculado nem sempre constitui o expoente definitivo do resultado, pois se o produto das mantissas não resultar normalizado então o expoente deve ser ajustado de acordo com a normalização. Porém, neste exercício não acontece tal situação porque é dito que $M_Y = 1{,}0$.

Assim,

$$\begin{aligned} E_{X \times Y} &= E_X + E_Y - 127 \\ 128 &= 132 + E_Y - 127 \\ E_Y &= 123 \quad (E_Y^{\text{real}} = -4) \end{aligned}$$

2.2 Exercícios propostos

Exercício 7

Considere que $11000001101110000000000000000000_2$ é a representação de um número em vírgula flutuante segundo a norma IEEE 754. Determine:

a) a mantissa do número;

b) o expoente do número;

c) o valor decimal representado.

Exercício 8

Represente em vírgula flutuante, no formato de precisão simples (32 bits) da norma IEEE 754, os seguintes números:

a) 31,25

b) $-0{,}625$

c) 0

d) 1026,5

Exercício 9

Considere a representação IEEE-754 de precisão simples. (Nota: use um conversor — por exemplo, `http://www.h-schmidt.net/FloatConverter/IEEE754.html` — para obter os números em decimal).

a) Qual é o mais pequeno número positivo (normalizado) representável?

b) Qual é o maior número normalizado representável?

c) Qual é o maior número negativo (normalizado) representável?

d) Qual é o menor número normalizado representável?

Exercício 10

Considere uma representação em vírgula flutuante normalizada do tipoe IEEE-754, com 8 bits no total. O bit mais significativo representa o sinal e é seguido por um expoente de 3 bits (representado por notação *em excesso*) e um significando de 4 bits.

a) Qual é o valor representado por 1 001 1101?

b) Qual é o valor representado por 0 101 1001?

c) Qual é a representação de 3/8 neste formato?

Exercício 11

Considere os números decimais $A = 33$ e $B = -2{,}875$.

a) Represente A e B em vírgula flutuante, no formato de IEEE 754 de 32 bits.

b) Efetue as operações seguintes em vírgula flutuante no formato de 32 bits:

   i) $A + B$

   ii) $B - A$

   iii) $3 \times B$

c) Represente os resultados das operações em decimal e verifique se correspondem ao valores esperados.

Exercício 12
Dois números V_1 e V_2 estão representados em vírgula flutuante no formato de 32 bits. Os seus valores, expressos em hexadecimal, são:

V_1: $421D0000_H$ V_2: $C0000000_H$

Calcule:

a) $-V_2$ b) $V_1 + V_2$ c) $V_2 - V_1$ d) $V_1 \times V_2$

Exercício 13
Seja um número real X, cuja representação em vírgula flutuante (norma IEEE 754, com 32 bits) é $3F400000_H$. Considere também $Y = 11{,}625_{10}$.

a) Apresente em binário a representação de Y no mesmo formato.

b) Calcule $X + Y$ em vírgula flutuante, indicando claramente todos os passos efetuados.

Exercício 14
Considere a representação em vírgula flutuante, norma IEEE 754, com 32 bits. Sendo A um número real, cuja representação nesse formato é 40400000_H, e sendo $B = -10{,}25_{10}$:

a) apresente a representação binária de B no mesmo formato.

b) calcule $A - B$ em vírgula flutuante, indicando claramente todos os passos efetuados. No final, converta o resultado para decimal.

Exercício 15
Considere que S e T representam dois números em vírgula flutuante no formato de precisão simples definido pela norma IEEE 754:

S: $11000001010000000000000000000000_2$ T: $11000001101100000000000000000000_2$

a) Indique a representação de S em hexadecimal.

b) Mostre como se realiza a adição de S e T, indicando claramente todos os passos efetuados.

Exercício 16
No formato de precisão simples da norma IEEE 754, os números X e Y são representados por

X: $C3800000_H$ e Y: $00111111100000000000000000000000_2$.

Das afirmações seguintes indique a correta, fundamentando a sua escolha.

A. O expoente real de X é 8.
B. $X - Y$ é um número positivo.
C. O expoente real de X é 8 e Y é um número negativo.
D. $X > Y$.

3 Circuitos combinatórios

3.1 Exercícios resolvidos

Exercício 1
Simplifique algebricamente as seguintes funções booleanas usando teoremas da álgebra de Boole.

a) $F(A,B,C) = A \cdot B + \overline{\overline{A} + B} + A \cdot C$.

b) $F(A,B,C) = (A+B+C) \cdot (A+B+\overline{C}) \cdot (\overline{A}+B+C) \cdot (\overline{A}+B+\overline{C})$.

c) $F(X,Y,Z) = X + \overline{X} \cdot Z + X \cdot \overline{Y}$.

d) $G(X,Y,Z) = X \cdot \overline{Y} \cdot Z + X \cdot \overline{Y} \cdot \overline{Z} + \overline{X} \cdot \overline{Y} \cdot \overline{Z}$.

e) $F(A,B,C) = A \cdot (\overline{B} + C) + B \cdot \overline{C}$.

a)
$$\begin{aligned} F(A,B,C) &= A \cdot B + \overline{\overline{A} + B} + A \cdot C \\ &= A \cdot B + A \cdot \overline{B} + A \cdot C \\ &= A \cdot (B + \overline{B}) + A \cdot C \\ &= A + A \cdot C \\ &= A \cdot (1 + C) \\ &= A \end{aligned}$$

b)
$$\begin{aligned} F(A,B,C) &= (A+B+C) \cdot (A+B+\overline{C}) \cdot (\overline{A}+B+C) \cdot (\overline{A}+B+\overline{C}) \\ &= \big((A+B) + (C \cdot \overline{C})\big) \cdot \big((\overline{A}+B) + (C \cdot \overline{C})\big) \\ &= (A+B) \cdot (\overline{A}+B) \\ &= B + A \cdot \overline{A} \\ &= B \end{aligned}$$

c)
$$\begin{aligned} F(X,Y,Z) &= X + \overline{X} \cdot Z + X \cdot \overline{Y} \\ &= X \cdot (1 + \overline{Y}) + \overline{X} \cdot Z \\ &= X + \overline{X} \cdot Z \\ &= X + Z \end{aligned}$$

d)
$$
\begin{aligned}
G(X,Y,Z) &= X\cdot\overline{Y}\cdot Z + X\cdot\overline{Y}\cdot\overline{Z} + \overline{X}\cdot\overline{Y}\cdot\overline{Z} \\
&= X\cdot\overline{Y}(Z+\overline{Z}) + \overline{X}\cdot\overline{Y}\cdot\overline{Z} \\
&= \overline{Y}\cdot(X+\overline{X}\cdot\overline{Z}) \\
&= \overline{Y}\cdot(X+\overline{Z}) \\
&= X\cdot\overline{Y} + \overline{Y}\cdot\overline{Z}
\end{aligned}
$$

e)
$$
\begin{aligned}
F(A,B,C) &= A\cdot(\overline{B}+C) + B\cdot\overline{C} \\
&= A\cdot(\overline{\overline{\overline{B}+C}}) + B\cdot\overline{C} \\
&= A\cdot(\overline{B\cdot\overline{C}}) + B\cdot\overline{C}\cdot(A+\overline{A}) \\
&= A\cdot\overline{B\cdot\overline{C}} + A\cdot B\cdot\overline{C} + B\cdot\overline{C}\cdot\overline{A} + A\cdot B\cdot\overline{C} \\
&= A\cdot(\overline{B\cdot\overline{C}} + B\cdot\overline{C}) + B\cdot\overline{C}\cdot(\overline{A}+A) \\
&= A + B\cdot\overline{C}
\end{aligned}
$$

Exercício 2

Obtenha a tabela de verdade para cada uma das seguintes funções booleanas.

a) $F(A,B,C) = (A+\overline{B})\cdot(A+B+\overline{C})$

b) $F(X,Y,Z) = X\cdot\overline{Y} + \overline{X}\cdot Y\cdot\overline{Z}$

a) Se um termo soma é 0 então a função também é 0. Assim:

- se A=0 e B=1, então F=0;
- se A=0 e B=0 e C=1, então F=0.

Desta forma identificam-se as combinações das variáveis, isto é, as linhas da tabela de verdade onde F=0, tal como apresentado. Nas restantes situações F=1.

A	B	C	F		
0	0	0	1		
0	0	1	0	$\longleftarrow$	$A+B+\overline{C}$
0	1	0	0	$\longleftarrow$	$A+\overline{B}$
0	1	1	0	$\longleftarrow$	$A+\overline{B}$
1	0	0	1		
1	0	1	1		
1	1	0	1		
1	1	1	1		

b) Se um termo produto é 1 então a função também é 1. Assim:

- se X=1 e Y=0, então F=1;
- se X=0 e Y=1 e Z=0, então F=1.

Desta forma identificam-se as combinações das variáveis, isto é, as linhas da tabela de verdade onde F=1, tal como apresentado. Nas restantes situações F=0.

X	Y	Z	F		
0	0	0	0		
0	0	1	0		
0	1	0	1	$\longleftarrow$	$\overline{X}\cdot Y\cdot\overline{Z}$
0	1	1	0		
1	0	0	1	$\longleftarrow$	$X\cdot\overline{Y}$
1	0	1	1	$\longleftarrow$	$X\cdot\overline{Y}$
1	1	0	0		
1	1	1	0		

Exercício 3

Escreva uma expressão booleana para as funções lógicas representadas pelas tabelas de verdade indicadas.

a)

x	y	f
0	0	1
0	1	0
1	0	0
1	1	1

b)

x	y	z	f
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

A partir da tabela de verdade de uma função booleana podem retirar-se expressões algébricas na forma de uma soma de produtos ou na forma de um produto de somas.

Para a expressão na forma de uma *soma de produtos* identificam-se as linhas da tabela de verdade onde a função é 1 e forma-se um termo produto tal que nessa combinação das variáveis da função o valor do produto seja 1 (igual ao valor da função). A expressão da função obtém-se pela soma de todos os termos produto nestas condições.

Para a expressão na forma de um *produto de somas* identificam-se as linhas da tabela de verdade onde a função é 0 e forma-se um termo soma tal que nessa combinação das variáveis da função o valor da soma seja 0 (igual ao valor da função). A expressão da função obtém-se pelo produto de todos os termos soma nestas condições.

A partir destas expressões podem obter-se outras equivalentes por simplificação baseada em teoremas da álgebra de Boole.

a) Optando pela forma soma de produtos e procedendo da forma descrita, os termos produto que definem a função são os indicados.

x	y	f		
0	0	1	$\longrightarrow$	$\overline{x}\cdot\overline{y}$
0	1	0		
1	0	0		
1	1	1	$\longrightarrow$	$x\cdot y$

Logo, $f(x,y) = \overline{x}\cdot\overline{y} + x\cdot y$.

b) Optando pela forma produto de somas e procedendo da forma descrita, os termos soma que definem a função são os indicados.

x	y	z	g		
0	0	0	1		
0	0	1	1		
0	1	0	1		
0	1	1	0	$\longrightarrow$	$x + \overline{y} + \overline{z}$
1	0	0	1		
1	0	1	1		
1	1	0	0	$\longrightarrow$	$\overline{x} + \overline{y} + z$
1	1	1	0	$\longrightarrow$	$\overline{x} + \overline{y} + \overline{z}$

Logo, $g(x,y,z) = (x + \overline{y} + \overline{z})\cdot(\overline{x} + \overline{y} + z)\cdot(\overline{x} + \overline{y} + \overline{z})$.

Exercício 4

Considere a função booleana $F(X,Y,Z)$ com

$$F(X,Y,Z) = \overline{X}\cdot\overline{Y}\cdot\overline{Z} + \overline{X}\cdot\overline{Y}\cdot Z + \overline{X}\cdot\ Y\cdot\overline{Z} + X\cdot\overline{Y}\cdot\overline{Z} + X\cdot\overline{Y}\cdot Z + X\cdot Y\cdot Z$$

a) Simplifique a expressão de $F(X,Y,Z)$.

b) Construa a tabela de verdade da função.

c) Indique a expressão de $F(X,Y,Z)$ na forma de um produto de somas.

d) Obtenha um circuito lógico que realiza a função $F(X,Y,Z)$, usando apenas portas lógicas do tipo NOR.

a)
$$\begin{aligned} F(X,Y,Z) &= \overline{X}\cdot\overline{Y}\cdot\overline{Z} + \overline{X}\cdot\overline{Y}\cdot Z + \overline{X}\cdot Y\cdot\overline{Z} + X\cdot\overline{Y}\cdot\overline{Z} + X\cdot\overline{Y}\cdot Z + X\cdot Y\cdot Z \\ &= \overline{X}\cdot\overline{Y}\cdot(\overline{Z} + Z) + \overline{X}\cdot Y\cdot\overline{Z} + X\cdot\overline{Y}\cdot(\overline{Z} + Z) + X\cdot Y\cdot Z \\ &= \overline{X}\cdot\overline{Y} + X\cdot\overline{Y} + \overline{X}\cdot Y\cdot\overline{Z} + X\cdot Y\cdot Z \\ &= \overline{Y} + \overline{X}\cdot Y\cdot\overline{Z} + X\cdot Y\cdot Z \\ &= \overline{Y} + \overline{X}\cdot\overline{Z} + X\cdot Z \end{aligned}$$

b) Como a expressão de F está na forma de uma soma de produtos, cada termo produto identifica combinações das entradas X, Y, Z onde $F = 1$. Ao lado da tabela de verdade indicam-se esses termos.

X	Y	Z	F		
0	0	0	1	$\longleftarrow$	$\overline{Y}$ e $\overline{X}\cdot\overline{Z}$
0	0	1	1	$\longleftarrow$	$\overline{Y}$
0	1	0	1	$\longleftarrow$	$\overline{X}\cdot\overline{Z}$
0	1	1	0		
1	0	0	1	$\longleftarrow$	$\overline{Y}$
1	0	1	1	$\longleftarrow$	$\overline{Y}$ e $X\cdot Z$
1	1	0	0		
1	1	1	1	$\longleftarrow$	$X\cdot Z$

c) Na tabela de verdade identificam-se os termos soma para os quais F=0. São eles

$$X + \overline{Y} + \overline{Z} \qquad e \qquad \overline{X} + \overline{Y} + Z$$

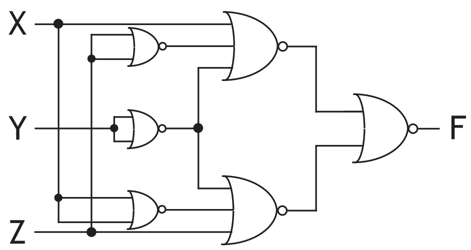
resultando

$$F(X,Y,Z) = (X + \overline{Y} + \overline{Z})\cdot(\overline{X} + \overline{Y} + Z)$$

d) Considerando a expressão da função na forma de um produto de somas, pode obter-se uma expressão equivalente apenas com somas lógicas negadas, cada uma das quais será realizada por uma porta NOR no circuito lógico pretendido. A negação das variáveis pode também realizar-se através de um NOR aplicando a variável a negar a ambas as entradas do NOR.

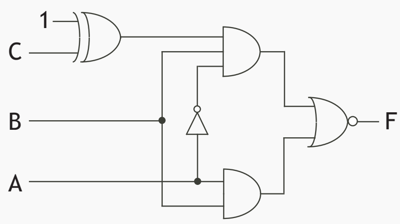
$$F(X,Y,Z) = \overline{\overline{(X + \overline{Y} + \overline{Z})\cdot(\overline{X} + \overline{Y} + Z)}} = \overline{\overline{X + \overline{Y} + \overline{Z}} + \overline{\overline{X} + \overline{Y} + Z}}$$

O circuito resultante é:



Exercício 5

O circuito da figura implementa uma função $F(A,B,C)$.



a) Deduza uma expressão da função lógica realizada pelo circuito, indicando-a na forma de um produto de somas.

b) Escreva $F(A,B,C)$ como uma soma de produtos simplificada.

a) A expressão da função realizada pelo circuito lógico pode obter-se através das expressões que resultam da saída de cada porta lógica como funções das entradas do circuito.

$$
\begin{aligned}
F(A,B,C) &= \overline{\overline{A}\cdot B\cdot (1 \oplus C) + A\cdot B} \\
&= \overline{\overline{A}\cdot B\cdot \overline{C} + A\cdot B} \\
&= \overline{\overline{A}\cdot B\cdot \overline{C}}\cdot \overline{A\cdot B} \\
&= (A + \overline{B} + C)\cdot(\overline{A} + \overline{B})
\end{aligned}
$$

b)

$$
\begin{aligned}
F(A,B,C) &= (A + \overline{B} + C)\cdot(\overline{A} + \overline{B}) \\
&= A\cdot\overline{A} + A\cdot\overline{B} + \overline{A}\cdot\overline{B} + \overline{B} + \overline{A}\cdot C + \overline{B}\cdot C \\
&= (A + \overline{A} + 1 + C)\cdot\overline{B} + \overline{A}\cdot C \\
&= \overline{B} + \overline{A}\cdot C
\end{aligned}
$$

Exercício 6

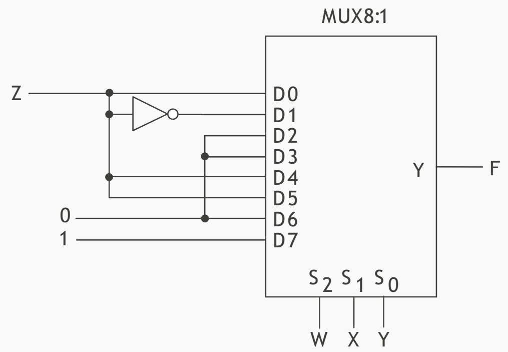
Pretende-se projetar um circuito capaz de detetar se um número com 3 bits $n_2n_1n_0$ aplicado à sua entrada está compreendido entre 2 e 5 (inclusive). A saída do circuito é uma função de 3 variáveis, $G(n_2, n_1, n_0)$, sendo $G = 1$ para os números nas condições indicadas e $G = 0$ no caso contrário. Defina o comportamento do circuito que realiza G na forma de uma tabela de verdade.

Para os números compreendidos entre 2 e 5, formados em binário por $n_2n_1n_0$, $G = 1$. Para os restantes G é 0. Assim resulta a tabela de verdade seguinte:

n_2	n_1	n_0	G
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

Exercício 7

A figura mostra um circuito, baseado num multiplexador de 8 para 1, que realiza uma função $F(W, X, Y, Z)$.



a) Defina $F(W, X, Y, Z)$ através de uma tabela de verdade.

b) Represente $F(W, X, Y, Z)$ através de uma expressão algébrica.

a) As variáveis W, X e Y determinam a entrada do multiplexador que é selecionada. O valor nela aplicado surge na saída do circuito. A tabela de verdade pretendida obtém-se considerando todas as combinações das variáveis e consequentes valores da função.

W	X	Y	Z	F
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	1
1	1	1	1	1

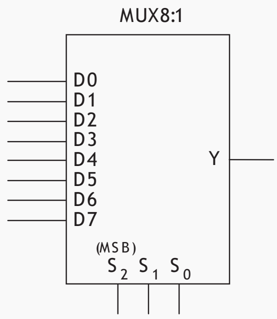
b) Considere-se a forma soma de produtos nesta resolução. Embora não seja requerido no enunciado vai proceder-se à simplificação da expressão.

$$
\begin{aligned}
F &= \overline{W}\cdot\overline{X}\cdot\overline{Y}\cdot Z + \overline{W}\cdot\overline{X}\cdot Y\cdot\overline{Z} + W\cdot\overline{X}\cdot\overline{Y}\cdot Z + W\cdot\overline{X}\cdot Y\cdot Z + W\cdot X\cdot Y\cdot\overline{Z} + W\cdot X\cdot Y\cdot Z \\
&= \overline{W}\cdot\overline{X}\cdot\overline{Y}\cdot Z + \overline{W}\cdot\overline{X}\cdot Y\cdot\overline{Z} + W\cdot\overline{X}\cdot Z\cdot(\overline{Y} + Y) + W\cdot X\cdot Y\cdot(\overline{Z} + Z) \\
&= \overline{W}\cdot\overline{X}\cdot\overline{Y}\cdot Z + \overline{W}\cdot\overline{X}\cdot Y\cdot\overline{Z} + W\cdot\overline{X}\cdot Z + W\cdot X\cdot Y \\
&= \overline{X}\cdot(Z\cdot(\overline{W}\cdot\overline{Y} + W) + \overline{W}\cdot Y\cdot\overline{Z}) + W\cdot X\cdot Y \\
&= \overline{X}\cdot(\overline{Y}\cdot Z + W\cdot Z + \overline{W}\cdot Y\cdot\overline{Z}) + W\cdot X\cdot Y \\
&= \overline{X}\cdot\overline{Y}\cdot Z + W\cdot\overline{X}\cdot Z + \overline{W}\cdot\overline{X}\cdot Y\cdot\overline{Z} + W\cdot X\cdot Y
\end{aligned}
$$

Exercício 8
Seja a função booleana $S = (A + B + C) \cdot (A + \overline{B} + \overline{C})$.

a) Represente S através de uma tabela de verdade.

b) Realize a função S recorrendo ao multiplexador de 8 para 1 da figura.



a)

A	B	C	S
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

b) Efetuar as seguintes ligações:

D0 $=$ 0, D1 $=$ D2 $=$ 1, D3 $=$ 0,
D4 $=$ D5 $=$ D6 $=$ D7 $=$ 1,
S2 $= A$, S1 $= B$, S0 $= C$ e $Y = F$.

Exercício 9
Pretende-se realizar um circuito capaz de comparar duas quantidades positivas A e B, representadas em binário com 2 bits cada uma (a_1a_0 e b_1b_0), e produzir duas saídas, X e Y. A saída X deve ser 1 se e só se $A = B$, e a saída Y deve ser 1 se e só se $A > B$.

a) Construa uma tabela de verdade de X e Y como funções de a_1, a_0, b_1 e b_0.

b) Obtenha um circuito que realize a função Y.

c) Mostre como, com um mínimo de esforço, poderia acrescentar a este circuito uma saída Z que fosse 1 quando $A < B$.

d) Admitindo que tinha disponíveis vários circuitos como o descrito atrás, mostre como os poderia utilizar para realizar a comparação de quantidades de 6 bits cada, isto é, de modo a detetar as situações de $A = B$ e $A > B$ quando $A = a_5a_4a_3a_2a_1a_0$ e $B = b_5b_4b_3b_2b_1b_0$.

a)

a_1	a_0	b_1	b_0	X	Y
0	0	0	0	1	0
0	0	0	1	0	0
0	0	1	0	0	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	0	1	1	0
0	1	1	0	0	0
0	1	1	1	0	0
1	0	0	0	0	1
1	0	0	1	0	1
1	0	1	0	1	0
1	0	1	1	0	0
1	1	0	0	0	1
1	1	0	1	0	1
1	1	1	0	0	1
1	1	1	1	1	0

b)

$$\begin{aligned}
Y &= \overline{a_1}\cdot a_0\cdot\overline{b_1}\cdot\overline{b_0} + a_1\cdot\overline{a_0}\cdot\overline{b_1} + a_1\cdot a_0\cdot\overline{b_1} + a_1\cdot a_0\cdot b_1\cdot\overline{b_0} \\
&= \overline{a_1}\cdot a_0\cdot\overline{b_1}\cdot\overline{b_0} + a_1\cdot\overline{b_1} + a_1\cdot a_0\cdot b_1\cdot\overline{b_0} \\
&= \overline{a_1}\cdot a_0\cdot\overline{b_1}\cdot\overline{b_0} + a_1\cdot(\overline{b_1} + a_0\cdot b_1\cdot\overline{b_0}) \\
&= \overline{a_1}\cdot a_0\cdot\overline{b_1}\cdot\overline{b_0} + a_1\cdot(\overline{b_1} + a_0\cdot\overline{b_0}) \\
&= a_1\cdot\overline{b_1} + a_1\cdot a_0\cdot\overline{b_0} + \overline{a_1}\cdot a_0\cdot\overline{b_1}\cdot\overline{b_0} \\
&= a_1\cdot\overline{b_1} + a_0\cdot\overline{b_0}(a_1 + \overline{a_1}\cdot\overline{b_1}) \\
&= a_1\cdot\overline{b_1} + a_0\cdot\overline{b_0}(a_1 + \overline{b_1}) \\
&= a_1\cdot\overline{b_1} + a_0\cdot\overline{b_1}\cdot\overline{b_0} + a_1\cdot a_0\cdot\overline{b_0}
\end{aligned}$$

Desenhar o circuito a partir da expressão encontrada.

c) A função pretendida define-se como

$$Z = \overline{X}\cdot\overline{Y}$$

d) Usar 3 circuitos comparadores de 2 bits idênticos aos da alínea a), combinando as saídas da seguinte forma:

$$X = X_1\cdot X_2\cdot X_3 \qquad \text{e} \qquad Y = Y_3 + X_3\cdot Y_2 + X_3\cdot X_2\cdot Y_1$$

em que:

- X_1 é a saída X do comparador de a_1a_0 com b_1b_0;
- X_2 é a saída X do comparador de a_3a_2 com b_3b_2;
- X_3 é a saída X do comparador de a_5a_4 com b_5b_4;
- Y_1, Y_2 e Y_3 são as saídas Y dos comparadores correspondentes.

3.2 Exercícios propostos

Exercício 10

Simplifique algebricamente as seguintes funções booleanas utilizando teoremas da álgebra de Boole.

a) $F(A,B,C,D,E) = A{\cdot}B{\cdot}\overline{C} + \overline{C}{\cdot}\overline{D}{\cdot}E + A{\cdot}B + A{\cdot}B{\cdot}\overline{C}{\cdot}\overline{D}{\cdot}E + A{\cdot}B{\cdot}D{\cdot}\overline{E} + \overline{C}{\cdot}D{\cdot}E$.

b) $F(A,B,C) = \overline{A + A{\cdot}\overline{B} + \overline{A}{\cdot}C}$.

c) $G(A,B,C) = A{\cdot}B{\cdot}\overline{C} + A{\cdot}\overline{B}{\cdot}C + A{\cdot}\overline{B}{\cdot}\overline{C}$.

d) $F(A,B,C,D) = \overline{B}{\cdot}C{\cdot}\overline{D} + \overline{A}{\cdot}(\overline{\overline{C} + B}) + A{\cdot}C{\cdot}\overline{D} + A{\cdot}\overline{B}{\cdot}C{\cdot}D$.

e) $F(W,X,Y,Z) = \overline{\overline{W}{\cdot}(\overline{X} + Y{\cdot}(Z + W))}$.

f) $F(A,B,C,D) = \overline{A}{\cdot}B{\cdot}C + \overline{B}{\cdot}C{\cdot}D + \overline{A}{\cdot}\overline{B}{\cdot}C{\cdot}\overline{D} + A{\cdot}B{\cdot}C{\cdot}D$.

Exercício 11

Obtenha a tabela de verdade para cada uma das seguintes funções booleanas.

a) $F(A,B,C) = A{\cdot}\overline{B} + \overline{A}{\cdot}\overline{C}$.

b) $G(X,Y,Z) = (X + \overline{Z}){\cdot}(\overline{X} + \overline{Y} + Z)$.

c) $F(W,X,Y,Z) = \overline{W{\cdot}X}{\cdot}(\overline{\overline{Y} + \overline{Z}})$.

Exercício 12

Considere a função $F(X,Y,Z) = X{\cdot}\overline{Y} + X{\cdot}Y{\cdot}\overline{Z} + \overline{X}{\cdot}Z$.

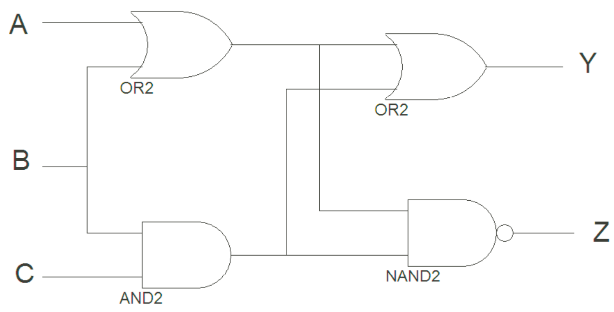
a) Indique a respetiva tabela de verdade.

b) Escreva $F(X,Y,Z)$ como um produto de somas.

c) Desenhe o circuito lógico correspondente.

Exercício 13

Considere o circuito lógico apresentado na figura.



a) Deduza a expressão booleana simplificada correspondente à saída Y do circuito.

b) Mostre que a saída Z pode ser definida por $Z(A,B,C) = \overline{B} + \overline{C}$.

Exercício 14

Considere a função booleana $F(A,B,C) = \overline{A + \overline{B + \overline{C}}} + \overline{\overline{\overline{A}\cdot B}\cdot C}$.

a) Indique a expressão de $F(A,B,C)$ como uma soma de produtos simplificada.

b) Construa a tabela de verdade da função $F(A,B,C)$.

c) Obtenha um circuito lógico que realize a função $F(A,B,C)$.

Exercício 15

Considere as seguintes funções booleanas:

$$F = \overline{X}\cdot Y + \overline{X}\cdot\overline{Y}\cdot Z \quad \text{e} \quad G = (\overline{A} + B + C)\cdot(A + \overline{B} + \overline{D})\cdot(B + \overline{C} + \overline{D})\cdot(A + B + C + D).$$

a) Represente $F(X,Y,Z)$ através de uma tabela de verdade e obtenha uma expressão na forma de um produto de somas.

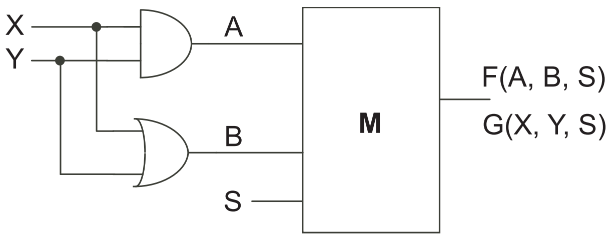
b) Represente $G(A,B,C,D)$ através de uma tabela de verdade e obtenha uma expressão na forma de uma soma de produtos (não simplificada).

Exercício 16

Seja a função booleana $G(A,B,C) = A\cdot\overline{C} + \overline{B}\cdot A\cdot C + B\cdot C\cdot\overline{A}$. Exprima $G(A,B,C)$ na forma de um produto de somas simplificado.

Exercício 17

A figura seguinte mostra um circuito que realiza uma função $G(X,Y,S)$. Além de portas lógicas, o circuito inclui um bloco, M, que realiza a função $F(A,B,S)$ definida por: $F = A$ se $S = 0$ e $F = B$ se $S = 1$.



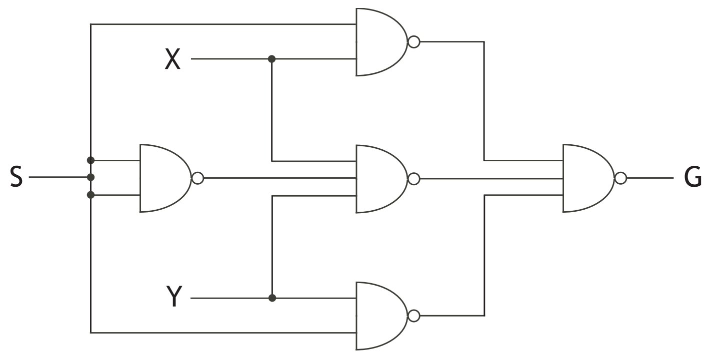
a) Exprima a função F numa tabela de verdade.

b) Indique uma expressão simplificada para $F(A,B,S)$.

c) O circuito que realiza a função F é um multiplexador (*multiplexer*) de 2 para 1. Mostre como é constituído.

d) Encontre uma expressão simplificada do tipo soma de produtos para a função $G(X,Y,S)$ realizada pelo circuito.

e) Mostre que o circuito seguinte, usando apenas portas NAND, realiza a função G.



Exercício 18

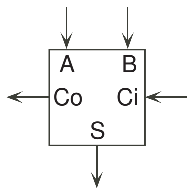
Considere um circuito que apresenta na saída S o valor lógico 1 sempre que na sua entrada o número positivo de 4 bits, $A_3A_2A_1A_0$, é maior que 5 e múltiplo de 4.

a) Construa a tabela de verdade da função $S(A_3, A_2, A_1, A_0)$.

b) Obtenha uma expressão para $S(A_3, A_2, A_1, A_0)$ e simplifique-a.

Exercício 19

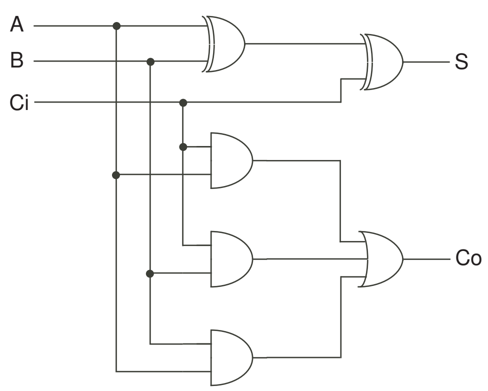
Um circuito elementar utilizado na construção de circuitos digitais para aritmética binária é o somador completo (*full-adder*) representado na figura. O somador tem 2 saídas Co e S que representam em binário a soma dos valores (0 ou 1) presentes nas entradas A, B e Ci.



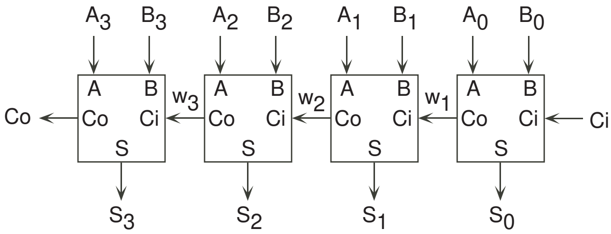
a) Construa a tabela de verdade correspondente às funções $S(A, B, Ci)$ e $Co(A, B, Ci)$.

b) Escreva a expressão das funções $S(A, B, Ci)$ e $Co(A, B, Ci)$ na forma de uma soma de produtos.

c) Verifique que o circuito lógico da figura seguinte realiza as funções $S(A, B, Ci)$ e $Co(A, B, Ci)$.



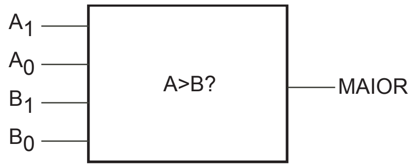
d) Considere agora um somador de 4 bits, constituído por 4 somadores completos, como mostra a figura.



Identifique na figura o valor de cada um dos sinais admitindo que os valores a somar, representando números positivos, são $A = A_3A_2A_1A_0 = 1010$ e $B = B_3B_2B_1B_0 = 1110$.

Exercício 20

Pretende-se construir um circuito combinatório para comparar dois números de 2 bits, sem sinal, $A = A_1A_0$ e $B = B_1B_0$. A saída $MAIOR$ é 1 quando A for maior do que B e 0 no caso contrário.

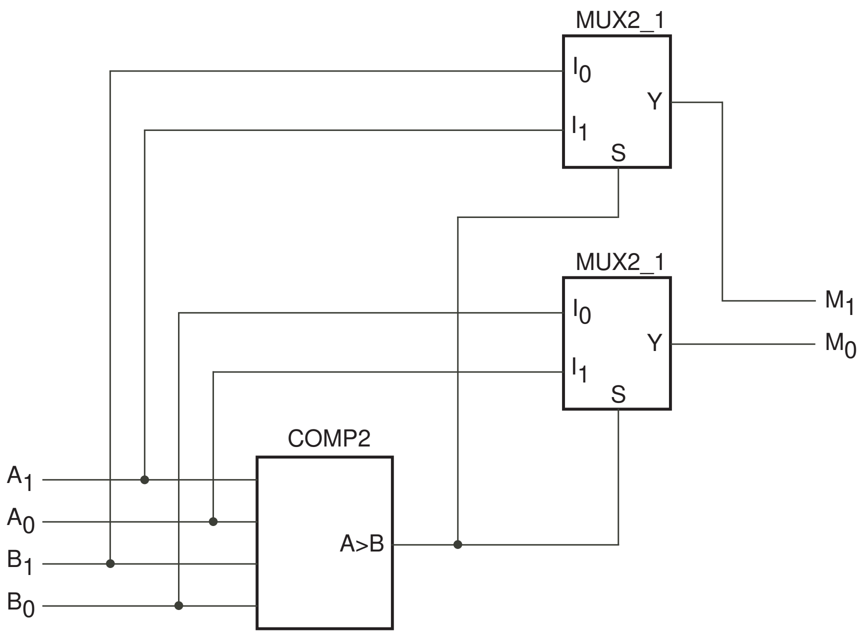


a) Expresse a função do circuito numa tabela de verdade.

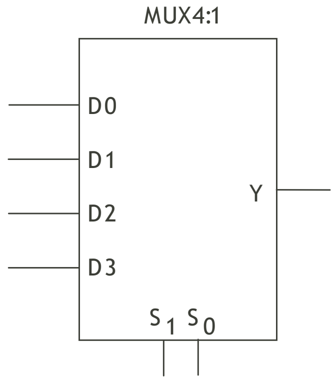
b) Escreva uma expressão da função $MAIOR(A_1, A_0, B_1, B_0)$.

Exercício 21

O circuito da figura contém um comparador de magnitude de 2 bits e 2 multiplexadores de 2 para 1. As entradas do circuito formam dois números positivos, de 2 bits, $A = A_1A_0$ e $B = B_1B_0$. As saídas definem um número, também com 2 bits, $M = M_1M_0$. Analise o circuito e identifique a sua funcionalidade.



Exercício 22
Um multiplexador com n entradas de seleção pode ser usado para implementar qualquer função lógica de n variáveis. Na figura mostra-se o símbolo de um multiplexador de 4 para 1, o qual possui 2 entradas de seleção.

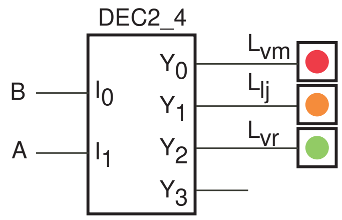


a) Mostre como implementar o produto lógico de duas variáveis recorrendo ao multiplexador.

b) Realize a função $F(X, Y) = X\cdot\overline{Y} + \overline{X}\cdot Y$ com o multiplexador apresentado.

c) Verifique, exemplificando, que é igualmente possível implementar funções de três variáveis. Sugestão: represente uma função de 3 variáveis através de uma tabela de verdade e, para cada combinação das variáveis, relacione o valor da função com uma dessas variáveis.

Exercício 23
A figura mostra um circuito constituído por um descodificador binário de 2 para 4 e um conjunto de 3 lâmpadas. O estado das lâmpadas é controlado pelas entradas A e B do circuito, ou seja, L_{vm}, L_{lj} e L_{vr} são funções de A e B. Admita que para ligar uma lâmpada é necessário que a saída do descodificador que a controla tenha o valor lógico 1.



a) Indique o estado de cada lâmpada se $AB = 01$ e $AB = 11$.

b) Determine o valor das entradas de modo a ligar, simultaneamente, as lâmpadas verde ($L_{vr} = 1$) e laranja ($L_{lj} = 1$).

Exercício 24
O descodificador binário n-para-2^n é um circuito muito comum.

a) Mostrar como construir um descodificador binário 2-4 usando portas lógicas simples.

b) Mostrar como acrescentar uma entrada de habilitação *(enable)* ao circuito anterior.

c) Mostrar como construir um descodificador 3-para-8 (sem *enable)* a partir de dois descodificadores 2-4 com entrada *enable*.

d) Mostrar como acrescentar uma entrada de habilitação (*enable*) ao circuito anterior.

Exercício 25

Usar um descodificador binário 3-para-8 (entradas $I_0 \dots I_2$, saídas $Q_0 \dots Q_7$) nas alíneas que se seguem.

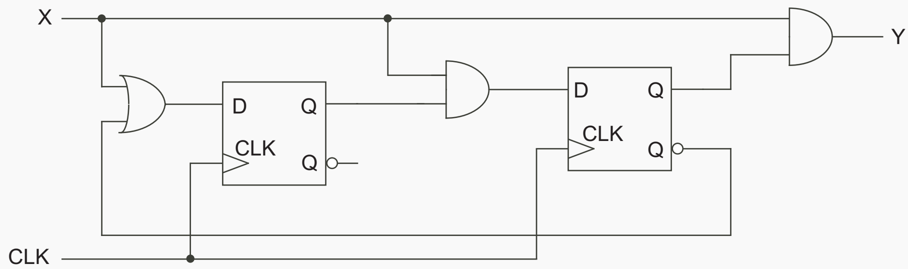
a) Escrever as funções lógicas das saídas Q_0 e Q_3 do descodificador.

b) Mostrar como implementar a função booleana $F(X, Y, Z) = X \cdot Y \cdot \overline{Z} + \overline{X} \cdot Z$ usando apenas um descodificador e portas lógicas do tipo OR.

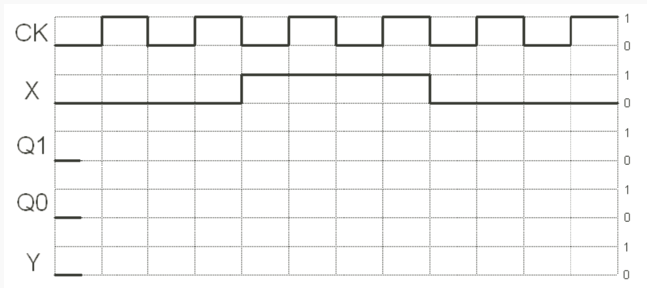
4 Circuitos sequenciais

4.1 Exercícios resolvidos

Exercício 1
Considere o seguinte circuito com uma entrada X e uma saída Y.

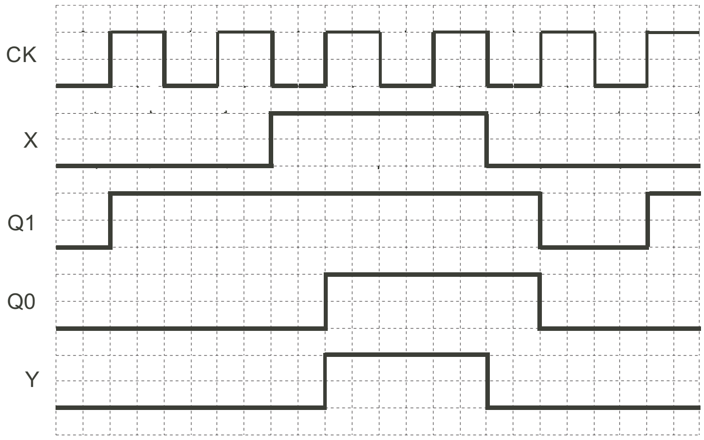


a) Desenhe no diagrama seguinte a evolução temporal das saídas dos *flip-flops* (Q_1 e Q_0), assim como da saída Y, sabendo que a entrada X evolui da forma representada. Nota: considere que no instante inicial Q_1 e Q_0 têm o valor lógico 0.



b) Admitindo que o período do sinal de relógio é 20 ns, indique ao fim de quanto tempo a saída Y passa de 0 a 1 pela primeira vez.

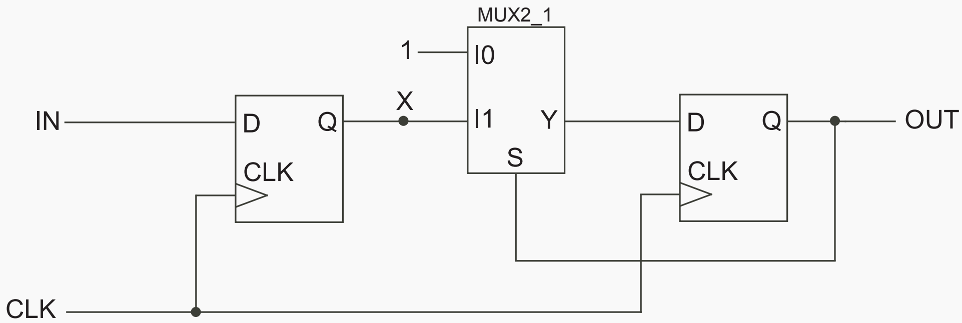
a) Como inicialmente $Q_0 = 0$ e $Q_1 = 0$, nas entradas dos *flip-flops* vão estar os valores $D_0 = 0$ e $D_1 = 1$, uma vez que $X = 0$. Ao ocorrer a primeira transição do sinal de relógio são estes os valores capturados pelos *flip-flops*, aparecendo nas saídas respetivas. Na próxima transição, o estado das saídas e X determinam os novos valores que os *flip-flops* vão apresentar. Assim se completam as formas de onda apresentadas.



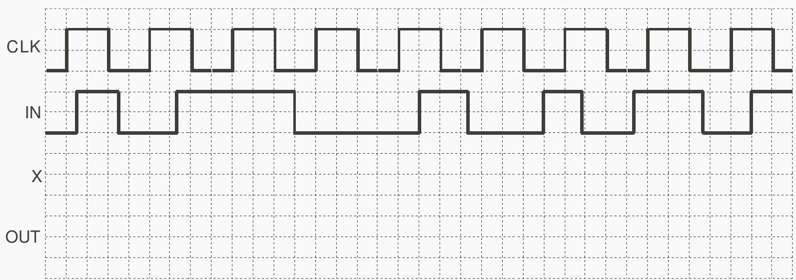
b) Considerando $T = 20\,\text{ns}$, verifica-se pelo resultado da alínea anterior que Y transita de 0 para 1 ao fim de $2{,}5 \times T$ =50 ns.

Exercício 2

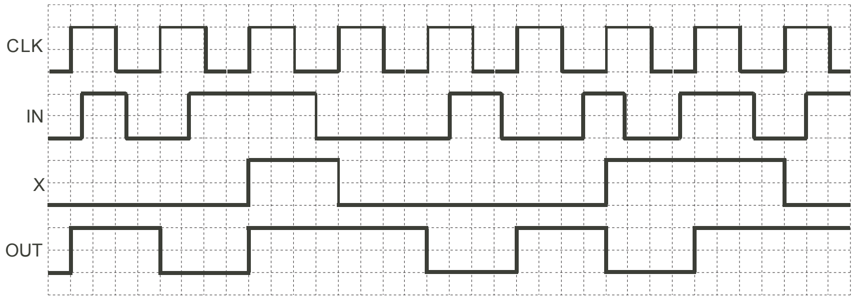
Considere o seguinte circuito sequencial, constituído por dois *flip-flops* e um multiplexador. Os *flip-flops* são sensíveis à transição ascendente do sinal de relógio (CLK) e o seu estado inicial é 0.



Assumindo a sequência de valores da entrada do circuito (IN) indicada na figura seguinte, apresente a forma de onda dos sinais X e OUT.

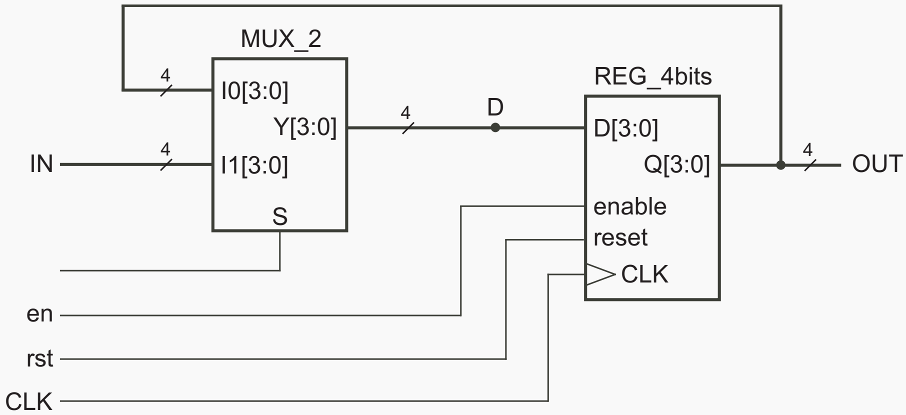


Inicialmente, X e OUT apresentam o valor 0. Sendo a entrada de seleção do multiplexador 0, o valor que surge na sua saída é 1, referente à entrada I_0. Como $IN = 0$ e $Y = 1$ quando ocorre a primeira transição do sinal de relógio, então X e OUT passam a assumir os valores 0 e 1, respetivamente. A análise do sucedido para as restantes transições segue o mesmo raciocínio, levando ao resultado apresentado na figura seguinte.



Exercício 3

Considere o circuito, composto por um registo de 4 bits e um multiplexador com duas entradas de 4 bits. Admita que as entradas *enable* e *reset* do registo são ativadas pelo valor lógico 1.



Nas alíneas seguintes, considere em cada transição ativa do sinal de relógio o valor das entradas apresentadas em cada tabela. Determine o valor da saída OUT após cada uma das transições assinaladas.

a)

Transição	D	en	rst
1	0110	1	0
2	0100	1	1
3	0100	0	0
4	1101	1	0

b)

Transição	IN	sel	en	rst
1	1001	1	1	0
2	1111	1	1	0
3	0101	0	1	0
4	1000	1	0	0
5	1000	1	1	0
6	1111	1	1	1
7	0101	0	1	0
8	0000	1	1	0
9	0001	1	1	0

a) Os sinais considerados só envolvem o registo de 4 bits. Para cada transição ativa do sinal de relógio é necessário ter em consideração que a saída do registo assume o valor presente na entrada D se a entrada de habilitação (*enable*) estiver ativa ($en = 1$), permanecendo inalterado até à próxima transição. Caso en seja 0, a saída mantém o valor anterior. Relativamente à entrada *reset* do registo, quando ativo ($rst = 1$) coloca a saída em 0000, independentemente do valor das restantes entradas.

Aplicando estas considerações à sequência de entradas dada, obtém-se a saída OUT como se mostra na tabela seguinte.

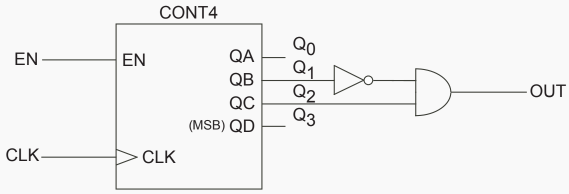
Transição (CLK)	D	en	rst	OUT
1	0110	1	0	0110
2	0100	1	1	0000
3	0010	0	0	0000
4	1101	1	0	1101

b) Além do que foi descrito na análise anterior, há agora que ter em consideração o multiplexador. Observando a forma como está a ser usado, conclui-se que o valor aplicado na entrada do registo provém da entrada IN, quando $sel = 1$, ou da saída OUT do registo, quando $sel = 0$.

Aplicando estas considerações à sequência de entradas dada, obtém-se a saída OUT como se mostra na tabela seguinte.

Transição (CLK)	IN	sel	en	rst	OUT
1	1001	1	1	0	1001
2	1111	1	1	0	1111
3	0101	0	1	0	1111
4	1000	1	0	0	1111
5	1000	1	1	0	1000
6	1111	1	1	1	0000
7	0101	0	1	0	0000
8	0000	1	1	0	0000
9	0001	1	1	0	0001

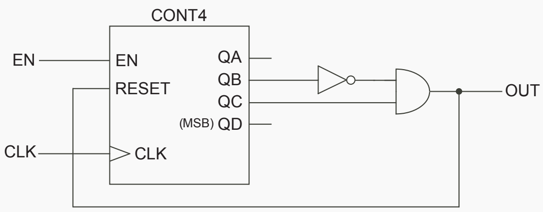
Exercício 4
A figura representa um circuito sequencial baseado num contador de 4 bits.



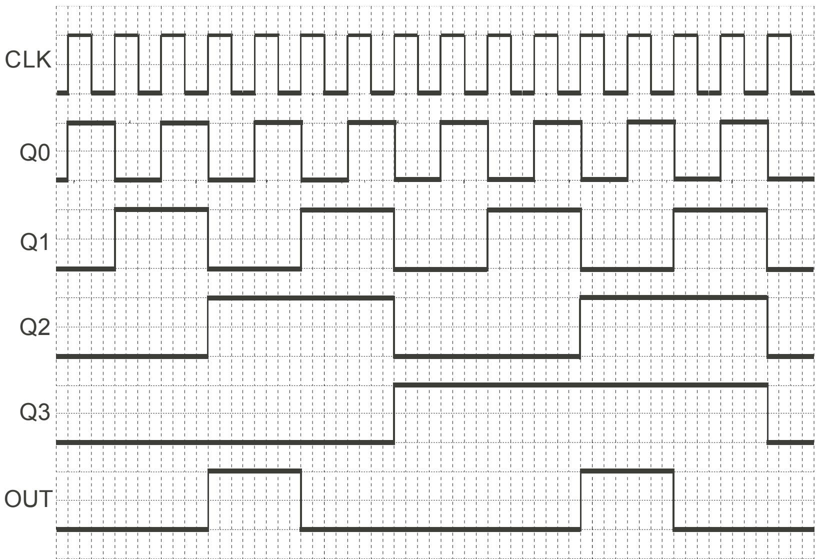
a) Desenhe as formas de onda das saídas do contador (Q_3, Q_2, Q_1 e Q_0) e do circuito completo (OUT).

b) Indique a sequência de estados ocorridos, numerando-os em decimal.

c) Considere agora que o contador possui uma entrada de *reset* (ativa a 1), acionada como mostra a figura seguinte. Determine a sequência de estados da saída do contador.



a) O circuito apresentado é constituído por um contador de 4 bits. Considerando que inicialmente as suas saídas são nulas, a cada transição do sinal de relógio o valor das saídas é incrementado, resultando a representação das formas de onda mostrada na figura seguinte.



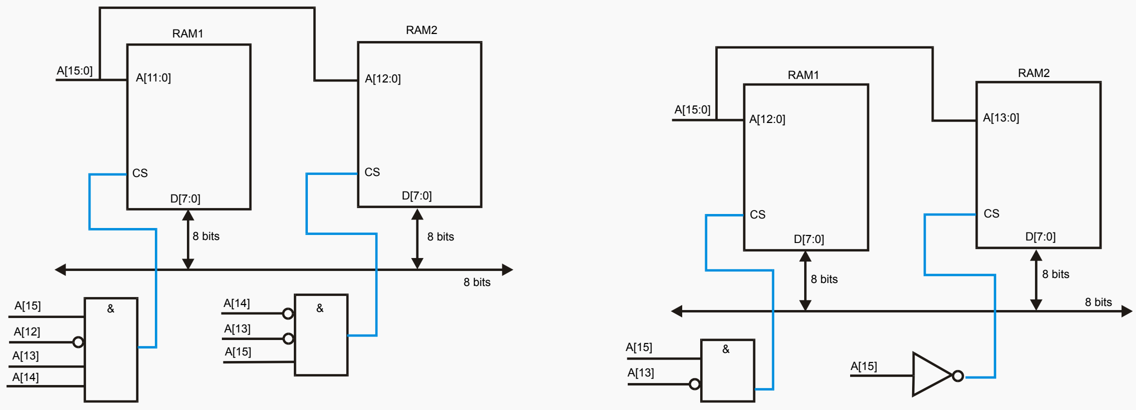
b) Sequência de estados (valores resultantes de $Q_3Q_2Q_1Q_0$):

$$0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 0, \cdots$$

c) No estado $Q_D Q_C Q_B Q_A = 0100$ a entrada de *reset* fica ativa. Admitindo-o síncrono, na próxima transição do sinal de relógio o estado do contador passa para 0000. A sequência de estados resultante é: 0, 1, 2, 3, 4, 0, $\cdots$.

Exercício 5

Considere os sistemas de memória externa apresentados na figura seguinte.



(a) **(b)**

a) Determine a capacidade de cada circuito de memória.

b) Elabore o mapa de memória de cada sistema. Indique, justificando, se a descodificação de memória é total ou parcial.

c) Para cada um dos seguintes endereços, indique o componente, ou seja, o circuito de memória, afetado: $\mathrm{B7FF_H}$, $\mathrm{1000_H}$, $\mathrm{E7AA_H}$e $\mathrm{8000_H}$.

a) Obtém-se a capacidade de um circuito de memória multiplicando o número de posições pelo número de bits por posição. O número de bits por posição é igual ao número de bits do porto de dados `D[]`. Todos os circuitos deste problema têm um porto de dados de 8 bits (1 byte).

O número de posições é determinado pela dimensão do porto de endereços `A[]`. Para portos de N bits, existem 2^N posições.

Assim, para a figura (a) temos:

- RAM1: $2^{12} \times 8\,\text{bits} = 2^2 \times 2^{10} \times 8\,\text{bits} = 4 \times 2^{10}\,\text{byte} = 4\,\text{KiB}$
- RAM2: $2^{13} \times 8\,\text{bits} = 8\,\text{KiB}$

Para a figura (b) temos:

- RAM1: $2^{13} \times 8\,\text{bits} = 8\,\text{KiB}$
- RAM2: $2^{14} \times 8\,\text{bits} = 16\,\text{KiB}$

b) O mapa de memória indica, para cada endereço possível, qual o circuito que armazena os dados correspondentes. Em ambas as figuras, o barramento de endereços do CPU tem 16 bits (`A[15:0]`). Portanto, o espaço de endereçamento tem 2^{16} posições (de 1 byte, neste caso), i.e., 64 KB. A gama de endereços vai de $\texttt{0000}_\texttt{H}$ a $\texttt{FFFF}_\texttt{H}$.

Os endereços mapeados em cada circuito podem ser determinados por análise das condições em que o circuito está habilitado, i.e., para que endereços é que se tem CS=1.

Para a figura (a) temos:

- RAM1: CS $= A_{15} \cdot A_{14} \cdot A_{13} \cdot \overline{A_{12}} = 1$.
  Esta condição só é satisfeita se $A_{15} = 1, A_{14} = 1, A_{13} = 1, A_{12} = 0$.
  Logo, os endereços mapeadas na RAM1 têm o formato
  1110 XXXX XXXX XXXX
  em que X indica que o bit correspondente tanto pode ser 0 como 1. Os endereços com este formato estão na gama:
  1110 0000 0000 0000 a 1110 1111 1111 1111.
  Em hexadecimal, a gama é $\texttt{E000}_\texttt{H}$-$\texttt{EFFF}_\texttt{H}$.
  Como todos os bits do endereço são usados ($A_{15} - A_{12}$ na definição de CS; os restantes na ligação ao porto de endereços de RAM1), trata-se de *descodificação total.*
- RAM2: CS $= A_{15} \cdot \overline{A_{14}} \cdot \overline{A_{13}} = 1$.
  Esta condição só é satisfeita se $A_{15} = 1, A_{14} = 0, A_{13} = 0$.
  Logo, os endereços mapeadas na RAM2 têm o formato
  100X XXXX XXXX XXXX.
  Os endereços com este formato estão na gama:
  1000 0000 0000 0000 a 1001 1111 1111 1111.
  Em hexadecimal, a gama é $\texttt{8000}_\texttt{H}$-$\texttt{9FFF}_\texttt{H}$.
  Trata-se igualmente de *descodificação total.*

O mapa de memória para o sistema da figura (a) é o seguinte:

Gama (hex)	Dispositivo
0000-7FFF	--
8000-9FFF	RAM2
A000-DFFF	--
E000-EFFF	RAM1
F000-FFFF	--

A análise do sistema da figura (b) faz-se de forma análoga.

- RAM1: CS $= A_{15} \cdot \overline{A_{13}} = 1$. Esta condição só é satisfeita se $A_{15} = 1, A_{13} = 0$.
  Logo, os endereços mapeadas na RAM1 têm o formato
  1?0X XXXX XXXX XXXX.
  O símbolo **?** indica que o bit correspondente não é usado na descodificação. Portanto, trata-se de *descodificação parcial.*
  Neste caso particular, dois endereços que difiram apenas no bit A_{14} têm o mesmo efeito em termos de acesso a memória: os dois endereços diferentes são mapeados no mesma posição física de memória. Temos, portanto, duas gamas de endereços equivalentes, que apenas diferem no valor de A_{14}. Para $A_{14} = 0$ a gama é:
  1000 0000 0000 0000 a 1001 1111 1111 1111.

Em hexadecimal, a gama é $\texttt{8000}_\texttt{H}$-$\texttt{9FFF}_\texttt{H}$.

Para $A_{14} = 1$ a gama é:

1100 0000 0000 0000 a 1101 1111 1111 1111.

Em hexadecimal, a gama é $\texttt{C000}_\texttt{H}$-$\texttt{DFFF}_\texttt{H}$.

As duas gamas são mapeadas de forma *sobreposta* na RAM1. Por exemplo, os endereços $\texttt{8000}_\texttt{H}$ e $\texttt{C000}_\texttt{H}$ referem-se ambos à primeira posição física do circuito RAM1. A memória disponível não aumenta por ser usada descodificação parcial.

- O circuito RAM2 também é usado com descodificação parcial. Os endereços correspondentes têm o formato

  0?XX XXXX XXXX XXXX,

  a que correspondem as gamas $\texttt{0000}_\texttt{H}$-$\texttt{3FFF}_\texttt{H}$ e $\texttt{4000}_\texttt{H}$-$\texttt{7FFF}_\texttt{H}$.

O mapa de memória para o sistema da figura (b) é o seguinte:

Gama (hex)	Dispositivo
0000-3FFF	RAM2 (*)
4000-7FFF	RAM2 (*)
8000-9FFF	RAM1 (**)
A000-BFFF	--
C000-DFFF	RAM1 (**)
E000-FFFF	--

Os asteriscos assinalam gamas fisicamente sobrepostas.

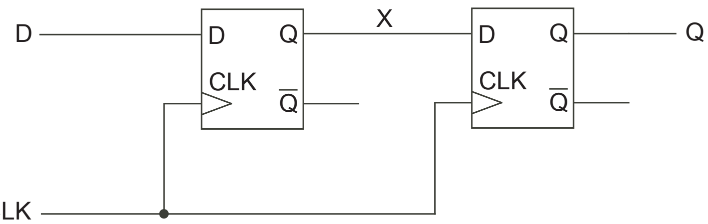
c) Para determinar os componentes usados basta consultar os mapas de memória obtidos na alínea anterior. Os resultados são os seguintes:

Endereço	Figura (a)	Figura (b)
B7FF	--	--
1000	--	RAM2
E7AA	RAM1	--
8000	RAM2	RAM1

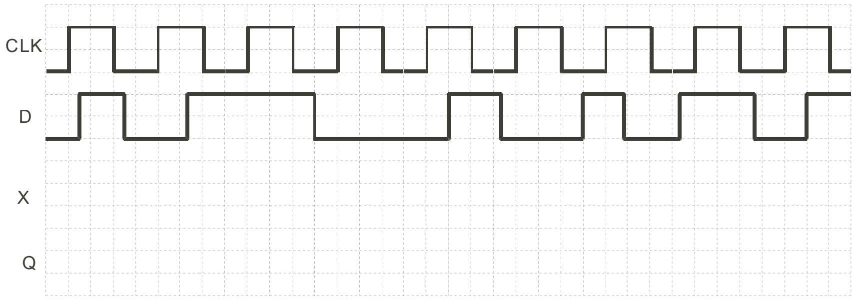
4.2 Exercícios propostos

Exercício 6

Assuma que no circuito seguinte os *flip-flops* do tipo D são sensíveis ao flanco ascendente do sinal de relógio e que inicialmente as saídas são nulas.

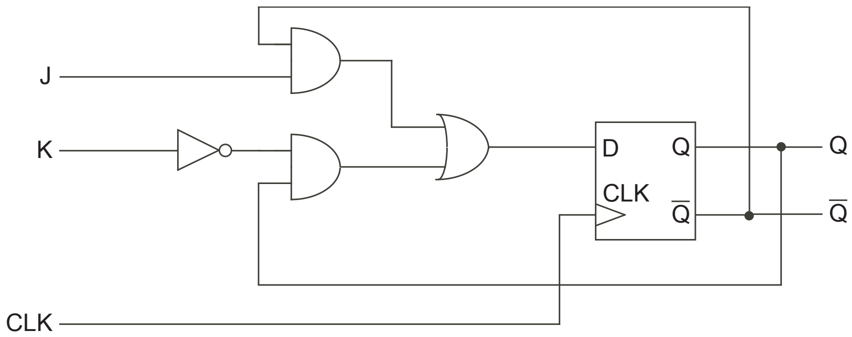


Represente a forma de onda da saída Q em resposta à entrada D representada na figura. Sugestão: comece por verificar qual o valor de X após cada transição do sinal de relógio.



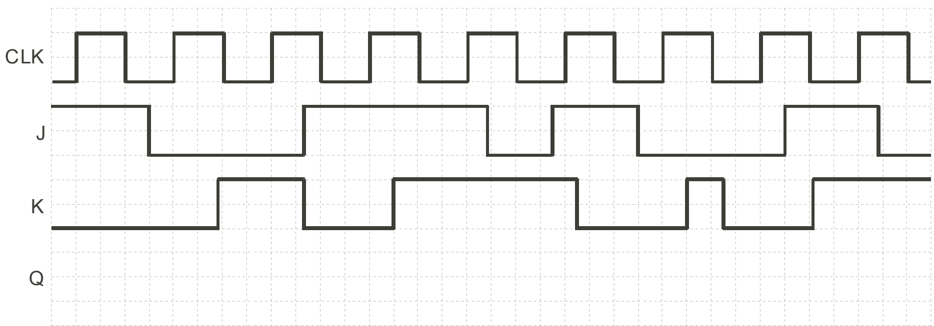
Exercício 7

Considere o seguinte circuito sequencial, constituído por portas lógicas e um *flip-flop* do tipo D, sensível ao flanco ascendente do sinal de relógio, em que no início $Q = 0$.

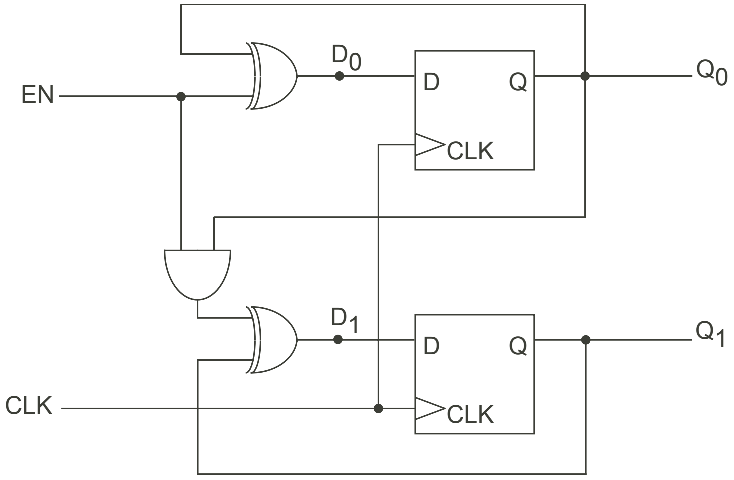


a) Indique a expressão da função lógica $D(J, K, Q)$ à entrada do *flip-flop*.

b) Considerando os valores das entradas J e K apresentados na figura seguinte, obtenha o valor da saída Q do circuito.



Exercício 8
Considere o circuito sequencial da figura seguinte.

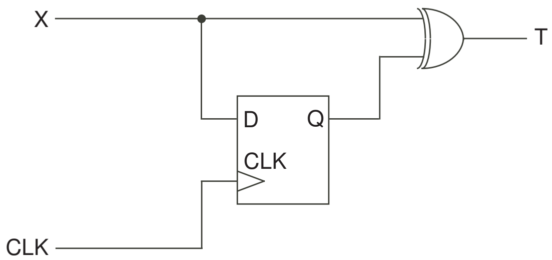


a) Escreva a expressão das entradas D_0 e D_1 dos *flip-flops*.

b) Represente as formas de onda correspondentes aos sinais Q_0 e Q_1, assumindo que o estado inicial dos *flip-flops* é "00" e que EN=1.

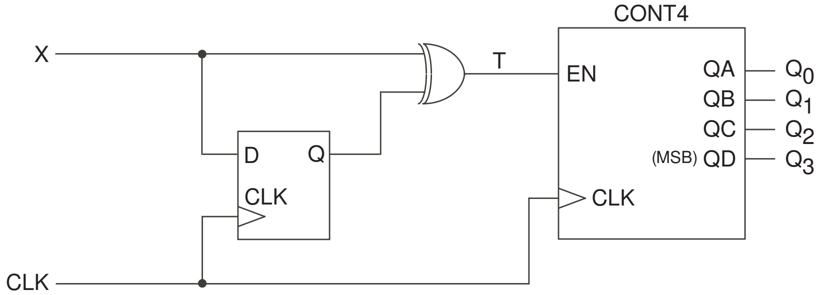
c) Mostre qual o estado do circuito após 4 transições consecutivas do sinal de relógio (CLK).

Exercício 9
Considere o seguinte circuito, composto por um *flip-flop* e uma porta XOR (ou-exclusivo).

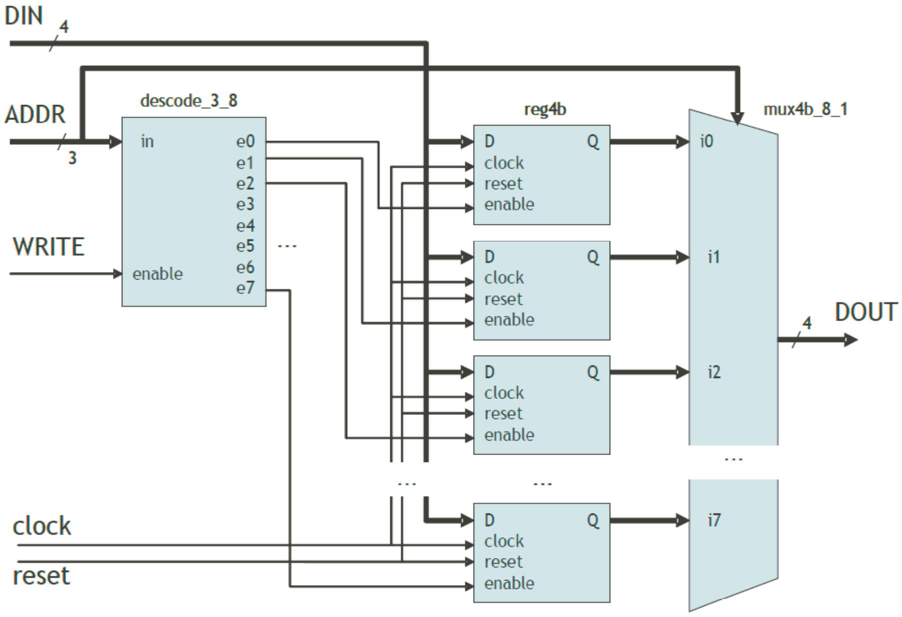


a) Assumindo que o estado inicial do *flip-flop* é 0, determine a sequência de valores na saída T se na entrada X ocorrer a sequência 0110001001111100 (um bit a cada ciclo do relógio).

b) Ao circuito anterior foi acrescentado um contador síncrono de 4 bits, tal como representado na figura seguinte. Identifique a relação entre as saídas $Q_3Q_2Q_1Q_0$ do contador e a entrada X do circuito.



Exercício 10
A figura mostra a constituição de um banco de registos.



Além dos 8 registos de 4 bits, fazem parte do circuito um descodificador de 3 para 8 e um multiplexador de 8 (conteúdos de 4 bits) para 1. A entrada DIN representa o valor de 4 bits a escrever num dos 8 registos, endereçado (identificado) por ADDR. A escrita ocorre se WRITE=1. A leitura de um registo é feita endereçando o registo pretendido, surgindo o valor na saída DOUT. As operações de escrita são síncronas com o sinal de relógio.

a) Expresse a capacidade de armazenamento do banco de registos em bytes.

b) Explique o que garante escrever um conteúdo num (e um só) determinado registo.

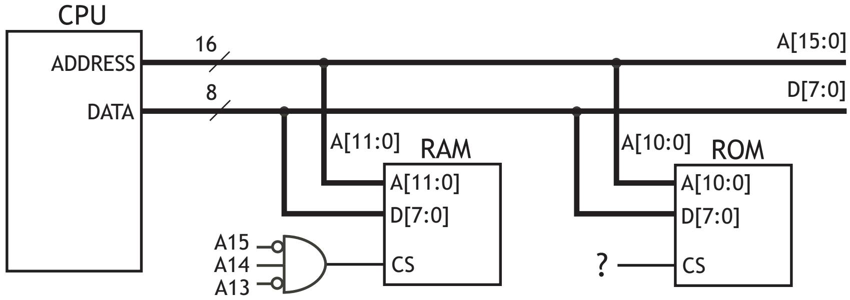
c) Admita que o conteúdo inicial dos registos é “0000” e que os valores das entradas são: DIN=1111, ADDR=001 e WRITE=1. Descreva que alterações ocorrem no circuito após uma transição do sinal de relógio.

d) Explique a utilidade das entradas *enable* e *reset* dos registos.

e) Descreva a função desempenhada pelo descodificador de 3 para 8 e pelo multiplexador de 8 para 1, no contexto da sua utilização no banco de registos.

f) Mostre que alteração seria necessária efetuar para que fosse possível ler, simultaneamente, o conteúdo de dois registos diferentes, apresentando-o nas saídas DOUT1 e DOUT2.

Exercício 11
Um sistema de memória é constituído por uma memória RAM e uma memória ROM. O barramento de endereços possui 16 bits e o barramento de dados é de 8 bits. A figura seguinte mostra o correspondente diagrama de blocos, onde CS representa o sinal de *chip select* das memórias.



a) Determine o intervalo de endereços a que a RAM responde e justifique se a descodificação de endereços é total ou parcial.

b) Considere que a primeira posição da memória ROM tem o endereço 0xC800 e que o endereço de cada posição é único. Calcule o endereço da última posição da ROM.

c) Apresente o circuito de descodificação de endereços da ROM considerando as condições da alínea anterior.

Exercício 12

Um processador dispõe de um espaço de endereçamento de 64 KiB e de um barramento de dados com 8 linhas. O seu mapa de memória é o seguinte:

Gama	Dispositivo
0x0000-0x3FFF	ROM1
0x4000-0x7FFF	RAM1
0x8000-0xCFFF	-
0xD000-0xDFFF	RAM2
0xE000-0xFFFF	-

a) Determine as dimensões de cada um dos dispositivos de memória.

b) Determine as equações lógicas dos circuitos de descodificação de endereços (descodificação total).

c) Apresente o diagrama de blocos do sistema de memória com descodificação de endereços.

Exercício 13

Um sistema emprega um processador com 14 bits de endereço e 8 bits de dados. Assumir que se dispõe apenas de circuitos RAM de dimensão $2^{10} \times 4$ bits.

Pretende-se construir um subsistema de memória com 2048 posições (de 1 byte cada) a partir do endereço 0 (i.e., a gama de endereços vai de 0 a 2047). Endereços pares e ímpares devem ativar circuitos RAM diferentes. O sistema usa descodificação completa.

a) Apresente o esquema de ligações do sistema, incluindo o sub-sistema de descodificação de endereços.

b) O valor `0x9A` é guardado na posição 250. Onde fica guardada fisicamente a informação?

Soluções dos exercícios propostos

1 Aritmética binária

Exercício 9

a) 100000000_2; 100_H

b) 11111111111_2; $7FF_H$

c) $11000{,}01_2$; $18{,}4_H$

d) A parte fracionária não tem representação finita. Usando 4 bits para a parte fracionária, a solução é: $100{,}0011_2; 4{,}3_H$.

e) $16_{10}; 10_H$

f) $4{,}125_{10}; 4{,}2_H$

g) $11110_2; 30_{10}$

h) $43981_{10}; 1010101111001101_2$

i) $171{,}75_{10}; 10101011{,}11_2$

j) 456_H

Exercício 10

a) 1001110_2

b) $1010{,}001_2$

c) 1001_2

d) 10101_2

e) 1111010_2

f) $11000100{,}01_2$

g) 101100_2

Exercício 11

a) $3 = 0011_2$; $2 = 0010_2$; $-3 = 1011_2$

b) $3 + 2 = 0101_2$; $2 + (-3) = 1001_2$

c) Impossível: 14 não é representável.

Exercício 12

Sinal e grandeza: $[-7; 7]$; complemento para 2: $[-8; 7]$

Exercício 13

a) SG: 00010010_2; C2: 00010010_2

b) SG: 00110001_2; C2: 00110001_2

c) SG: 10110001_2; C2: 11001111_2

d) SG: 10000011_2; C2: 11111101_2

e) SG: 11100100_2; C2: 10011100_2

f) SG: 01110011_2; C2: 01110011_2

g) SG: 11111111_2; C2: 10000001_2

h) SG: impossível; C2: 10000000_2

Exercício 14

a) 1010100_2

b) Não ocorre *overflow*; a diferença de números com o mesmo sinal é sempre representável.

Exercício 15

a) 10000001_2; resultado correto (não ocorre *overflow*).

b) 01011111_2; resultado errado (ocorre *overflow*).

c) 00000000_2; resultado correto (não ocorre *overflow*).

Exercício 16

a) X SS: 227; C2: -29
Y SS: 72; C2: 72

b) SS: $\underline{1}00101011$; resultado errado (ocorre *overflow*).
C2: 00101011; resultado correto (não ocorre *overflow*).

Exercício 17

a) $P_{\mathrm{H}} = 7\mathrm{A}$; $Q_{10} = 34$

b) i) 0011100_2; resultado errado, pois a soma necessita de 8 bits (há *overflow*).

ii) 0011100_2; resultado correto, a soma é representável (não há *overflow*).

Exercício 18

a) $A + B = 1000100_2 = 68_{10}$.

b) $A + B = 0100000_2 = 32_{10}$.

c) $A + B = 0100100_2 = 36_{10}$.

Exercício 19

a) 01001010_2

b) -92

c) $M - N = 10100110_2$; resultado errado (ocorre *overflow*).
$N - M = 01011010_2$; resultado errado (ocorre *overflow*).

Exercício 20

a) $S = -56$; $T = 17$

b) $S = 10111000_2$; $T = 00010001_2$

c) $S + T = 10100111_2$; resultado correto (não há *overflow* ao somar as grandezas).

Exercício 21

a) $Y = 49_\text{H}$; $Z = 10011110_2$

b) 01011010_2; ocorre *overflow*, i.e., o resultado está errado (a soma de números negativos não pode ser positiva).

c) 01000011_2

Exercício 22

a) $x \in [0; 31]$

b) 192

c) -64

d) 9 bits

e) $192 : 011000000_2$
$-64 : 111000000_2$

2 Vírgula flutuante

Exercício 7

a) $1{,}01100000000000000000000_2$

b) 00000100_2

c) $-22{,}0$

Exercício 8

a) $41\text{FA}0000_\text{H}$

b) $\text{BF}200000_\text{H}$

c) 00000000_H

d) 44805000_H

Exercício 9

a) $(0\ 00000001\ 00000000000000000000000)_2 \rightarrow 1{,}17549435 \times 10^{-38}$

b) $(0\ 11111110\ 11111111111111111111111)_2 \rightarrow 3{,}4028235 \times 10^{38}$

c) $(1\ 00000001\ 00000000000000000000000)_2 \rightarrow -1{,}17549435 \times 10^{-38}$

d) $(1\ 11111110\ 11111111111111111111111)_2 \rightarrow -3{,}4028235 \times 10^{38}$

Exercício 10

a) Número negativo. O expoente é $1 - 3 = -2$, resultando em $-2^{-2} \times 1{,}1101_2$, ou seja $-2^0 \times 0{,}011101_2$.

Em decimal, corresponde a $-(2^{-2} + 2^{-3} + 2^{-4} + 2^{-6}) = -2^{-6} \times (2^4 + 2^3 + 2^2 + 1) = -\dfrac{16+8+2+1}{64} = -\dfrac{27}{64}$.

b) Número positivo. O expoente é $5 - 3 = 2$, resultando em $2^2 \times 1{,}1001_2$, ou seja $2^0 \times 110{,}01_2$.

Em decimal, corresponde a $6 + 2^{-2} = 6{,}25$.

c) Número positivo. $\dfrac{3}{8} = \dfrac{1+2}{8} = 2^{-3} \times 11_2 = 2^{-2} \times 1{,}1_2$.

O expoente da representação é $-2 + 3 = 1 = 001_2$ e o significando é $0{,}1000_2$.

A representação completa é $(0\ 001\ 1000)_2$.

Exercício 11

a) A: 42040000_{H}; B: $\mathrm{C0380000}_{\mathrm{H}}$

b) i) $A + B$: $\mathrm{41F10000}_{\mathrm{H}}$

ii) $B - A$: $\mathrm{C20F8000}_{\mathrm{H}}$

iii) $3 \times B$: $\mathrm{C10A0000}_{\mathrm{H}}$

c) $A + B = 30{,}125$ $B - A = -35{,}875$ $3 \times B = -8{,}625$.

Exercício 12

a) 40000000_{H} b) 42150000_{H} c) $\mathrm{C2250000}_{\mathrm{H}}$ d) $\mathrm{C29D0000}_{\mathrm{H}}$

Exercício 13

a) $01000001001110100000000000000000_2$ b) 41460000_{H} (falta indicar os passos)

Exercício 14

a) $11000001010100100000000000000000_2$ b) $13{,}25_{10}$ (falta indicar os passos)

Exercício 15

a) $\mathrm{C1400000}_{\mathrm{H}}$ b) $\mathrm{C2080000}_{\mathrm{H}}$ (falta mostrar os passos).

Exercício 16

Opção A.

3 Circuitos combinatórios

Exercício 10

a) $F(A,B,C,D,E) = A{\cdot}B + \overline{C}{\cdot}E$

b) $F(A,B,C) = \overline{A}{\cdot}\overline{C}$

c) $G(A,B,C) = A{\cdot}\overline{B} + A{\cdot}\overline{C}$

d) $F(A,B,C,D) = \overline{B}{\cdot}C + A{\cdot}C{\cdot}\overline{D}$

e) $F(W,X,Y,Z) = W + X{\cdot}\overline{Z} + X{\cdot}\overline{Y}$

f) $F(A,B,C,D) = \overline{A}{\cdot}C + C{\cdot}D$

Exercício 11

a)

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

b)

X	Y	Z	G
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

c)

W	X	Y	Z	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Exercício 12

a)

X	Y	Z	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

b) $F = (X+Z){\cdot}(\overline{X}+\overline{Y}+\overline{Z})$.

c) —

Exercício 13

a) $Y = A + B$.

b) —

Exercício 14

a) $F = \overline{A}\cdot B + \overline{C}$

b)

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

c) Nota: usar a expressão simplificada.

Exercício 15

a)

X	Y	Z	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

$F = (X + Y + Z)\cdot\overline{X}$

b)

A	B	C	D	G
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

$G = A\cdot B + \overline{A}\cdot\overline{B}\cdot C\cdot\overline{D} + \overline{A}\cdot\overline{B}\cdot\overline{C}\cdot D + \overline{A}\cdot B\cdot\overline{C}\cdot\overline{D} + \overline{A}\cdot B\cdot C\cdot\overline{D} + A\cdot\overline{B}\cdot C\cdot\overline{D}$

Exercício 16

Nota: construir tabela de verdade, exprimir G na forma de produto de somas e simplificar.

$G = (A + B)\cdot(A + C)\cdot(\overline{A} + \overline{B} + \overline{C})$

Exercício 17

a)

A	B	S	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

b) $F(A, B, S) = A\cdot\overline{S} + B\cdot S$.

c) Nota: desenhar circuito lógico que realiza $F(A, B, S)$.

d) $G(X, Y, S) = X\cdot Y + X\cdot S + Y\cdot S$.

e) Nota: deduzir expressão da função realizada pelo circuito e simplificar. Alternativamente, pode ser construída a tabela de verdade a partir da expressão deduzida do circuito e da expressão obtida na alínea anterior, com fins comparativos.

Exercício 18

a)

A_3	A_2	A_1	A_0	S
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

b) $S = A_3\cdot\overline{A_1}\cdot\overline{A_0}$

Exercício 19

a)

A	B	Ci	Co	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

b) $S(A,B,Ci) = \overline{A}\cdot\overline{B}\cdot Ci + \overline{A}\cdot B\cdot\overline{Ci} + A\cdot\overline{B}\cdot\overline{Ci} + A\cdot B\cdot Ci.$

$Co(A,B,Ci) = \overline{A}\cdot B\cdot Ci + A\cdot\overline{B}\cdot Ci + A\cdot B\cdot\overline{Ci} + A\cdot B\cdot Ci.$

c) Nota: para ambas as funções, S e Co, deduzir expressão da função realizada pelo circuito e simplificar. Alternativamente, pode ser construída a tabela de verdade a partir das expressões deduzidas do circuito e das expressões obtidas na alínea anterior, verificando-se que coincidem. Esta segunda opção poderá ser a mais simples.

d) $Co = 1, w_3 = 1, w_2 = 1, w_1 = 0, Ci = 0, S_3 = 1, S_2 = 0, S_1 = 0$ e $S_0 = 0$.

Exercício 20

a)

A_1	A_0	B_1	B_0	$MAIOR$
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

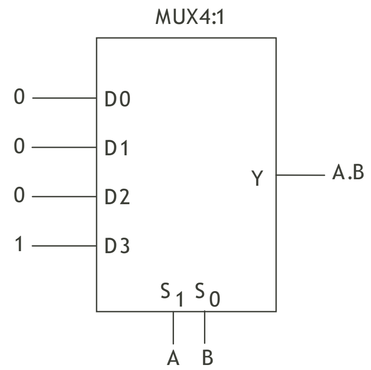
b) $MAIOR = A_1\cdot\overline{B_1} + A_0\cdot\overline{B_1}\cdot\overline{B_0} + A_1\cdot A_0\cdot\overline{B_0}.$

Exercício 21

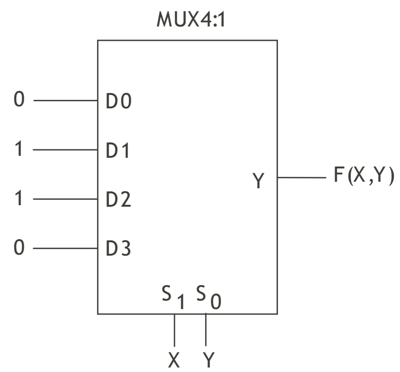
O circuito determina o máximo de A e B.

Exercício 22

a)



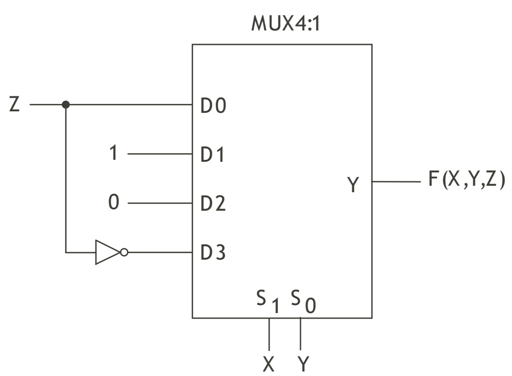
b)



c) Por exemplo, sendo F uma função definida por:

X	Y	Z	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

então o circuito resultante será:



Exercício 23

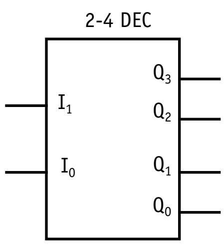
a) $AB = 01 \quad \Rightarrow \quad L_{vm} = 0, L_{lj} = 1 \quad \text{e} \quad L_{vr} = 0.$

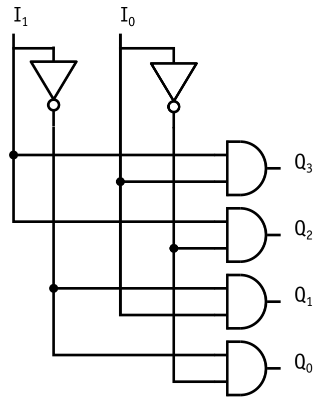
$AB = 11 \quad \Rightarrow$ todas as lâmpadas se mantêm desligadas, pois a saída que fica ativa é Y_3 e não é usada.

b) É impossível ter simultaneamente duas saídas de um descodificador binário ativas.

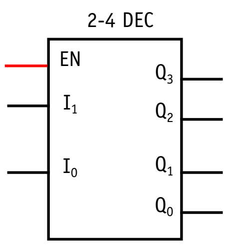
Exercício 24

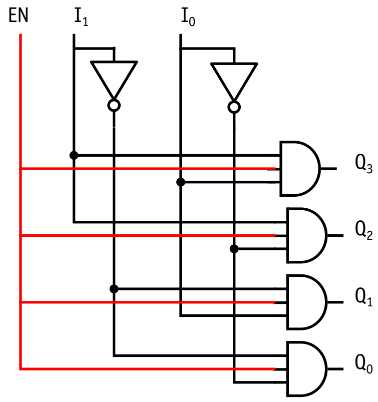
a) O circuito seguinte implementa um descodificador binário 2-para-4.



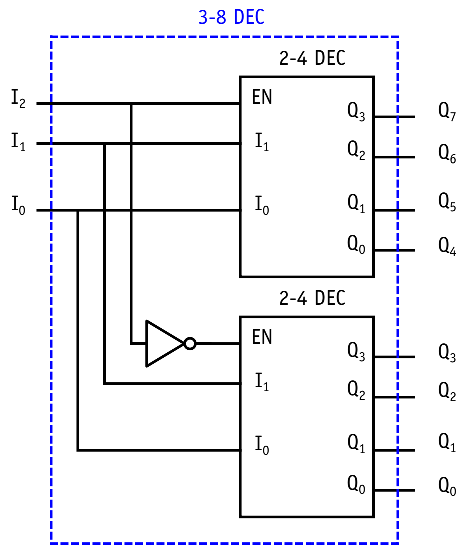


b) O circuito seguinte é um descodificador binário 2-para-4 com sinal de habilitação *(enable)*.

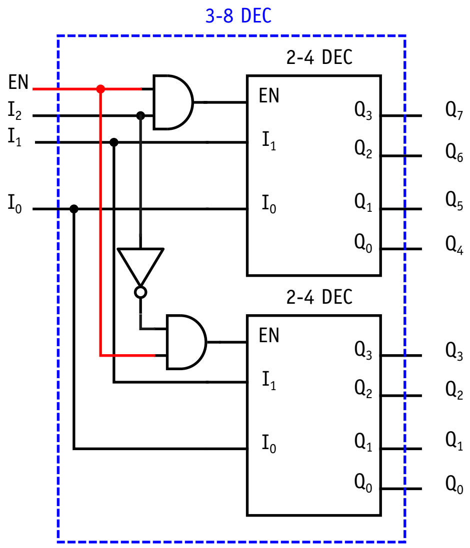




c) O circuito seguinte mostra um descodificador binário 3-para-8 (sem sinal de habilitação). Ter em atenção a numeração das saídas, que depende da forma como a entrada I_2 é ligada.



d) O circuito seguinte mostra um descodificador binário 3-para-8 com sinal de habilitação.



Exercício 25

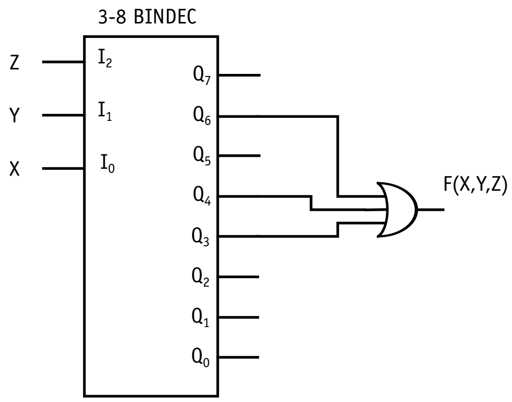
a) $Q_0 = \overline{I_2} \cdot \overline{I_1} \cdot \overline{I_0}$ e $Q_3 = \overline{I_2} \cdot I_1 \cdot I_0$.

b) Ligar X à entrada I_0, Y à entrada I_1 e Z à entrada I_2.

Para $X = 1, Y = 1, Z = 0$, apenas a saída $Q_3 = 1$.

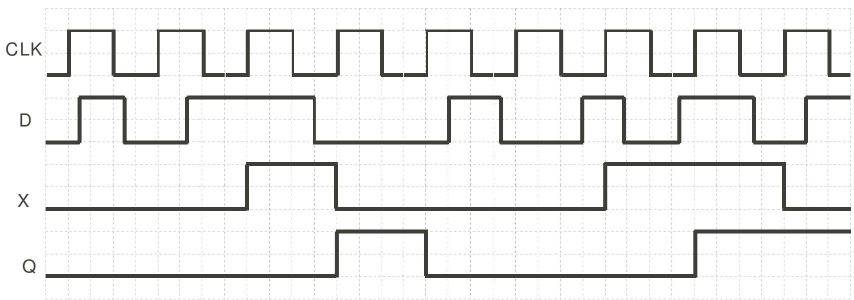
Com $X = 0, Z = 1$ podemos ter uma de duas saídas a 1 (dependendo do valor de Y): Q_4 e Q_6. F deve tomar o valor 1 apenas nestes casos. Logo, $F(X, Y, Z) = Q_3 + Q_4 + Q_6$.

O circuito resultante é:



4 Circuitos sequenciais

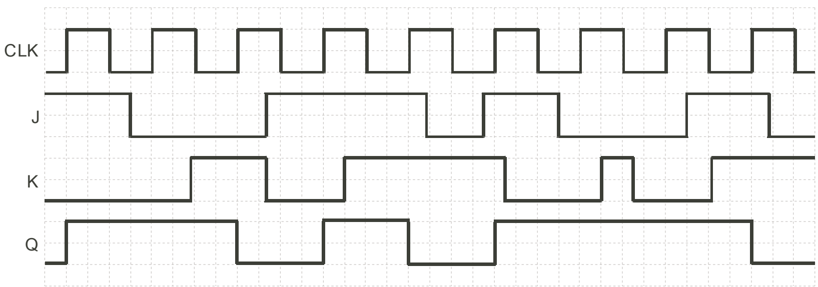
Exercício 6



Exercício 7

a) $D(J,K,Q) = J\cdot\overline{Q} + \overline{K}\cdot Q$

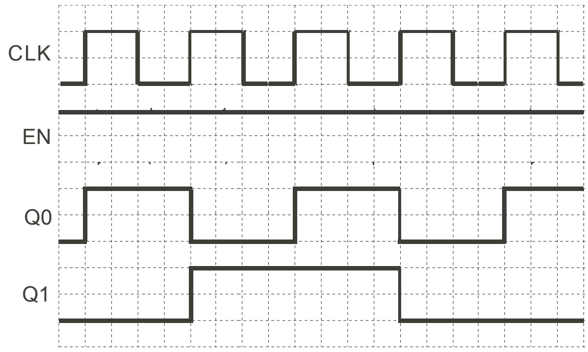
b)



Exercício 8

a) $D_0 = EN \oplus Q_0$ e $D_1 = EN\cdot Q_0 \oplus Q_1$

b) A figura seguinte mostra as formas de onda pedidas.



c) Estado 00 (estado inicial).

Exercício 9

a) 0101001101000010.

b) A saída do contador fornece o número de transições de valor lógico da entrada X, até ao máximo de 15.

Exercício 10

a) 4 bytes.

b) Descodificador binário.

c) O conteúdo do registo 1 passa a ser 1111.

d) A entrada de *enable* permite habilitar a escrita de um valor num registo. A entrada *reset* permite limpar, isto é, escrever o valor 0 num dos registos.

e) O descodificador permite identificar o registo a aceder para uma operação de escrita ou de leitura. Quanto ao multiplexador, permite selecionar a saída de um registo, ou seja, fazer a leitura desse registo.

f) Um segundo multiplexador de 8 (entradas de 4 bits) para 1, assim como uma segunda entrada de 3 bits com o endereço do registo a ler.

Exercício 11

a) [0x4000; 0x5FFF]

Descodificação parcial, pois há um bit (A_{12}) que não é usado pela RAM, originando dois endereços para cada entrada da RAM.

b) 0xCFFF

c) O circuito resulta da expressão $CS_{\mathrm{ROM}} = A_{15} \cdot A_{14}\overline{A_{13}} \cdot \overline{A_{12}} \cdot A_{11}$ (AND com duas entradas negadas).

Exercício 12

a) ROM1: 16 KiB

RAM1: 16 KiB

RAM2: 4 KiB

b) $CS_{\text{ROM1}} = \overline{A_{15}} \cdot \overline{A_{14}}$

$CS_{\text{RAM1}} = \overline{A_{15}} \cdot A_{14}$

$CS_{\text{RAM2}} = A_{15} \cdot A_{14} \cdot \overline{A_{13}} \cdot A_{12}$

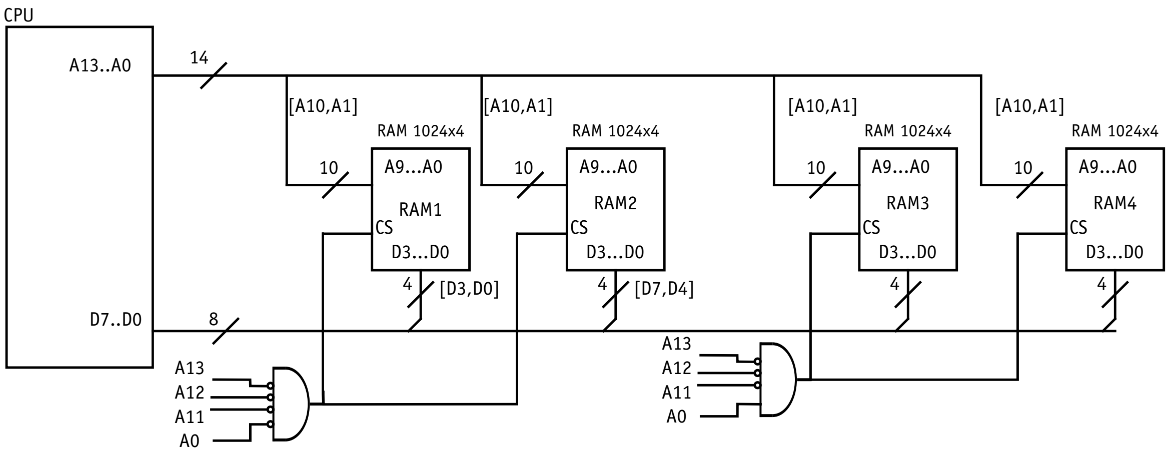
c) —

Exercício 13

Como cada circuito só armazena 4 bits por posição, é necessário usar 2 circuitos para a mesma posição (um para guardar os bits `D[3,0]` e outro para os bits `D[7,4]`. Um grupo de dois circuitos RAM armazena os valores dos endereços pares entre 0 e 2047 (0, 2, 4, ..., 2046), enquanto o segundo grupo guarda os valores dos endereços ímpares (1, 3, 5, ..., 2047).

O bit `A0` deve ser usado para selecionar o grupo de RAMs pretendido.

a) A figura apresenta uma solução. Os circuitos `RAM1` e `RAM2` realizam o grupo que armazena o conteúdo correspondente aos endereços pares.



b) O endereço 250 é par. Logo, os dados vão ficar guardados na posição 250/2=125 dos circuitos `RAM1` e `RAM2`. O valor `A` (bits `[D0,D3]`) é armazenado em `RAM1` e o valor `9` em `RAM2`.