

Sistemas Digitales

Semestre 2022-1

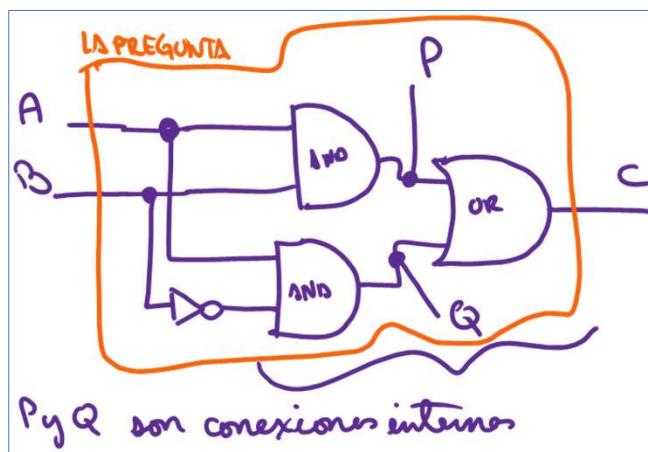
Profesor Kalun José Lau Gan

Sesión de Teoría Semana 5

1

Preguntas previas:

- Con respecto a la descripción estructural:



```
entity lapregunta is
  port( A, B:      in std_logic;
        C:          out std_logic);
end lapregunta;

architecture estructura of lapregunta is

  component and_gate is
    port( IN_A, IN_B:      in std_logic;
          OUT_C:          out std_logic);
  end component;

  component or_gate is
    port( IN_A, IN_B:      in std_logic;
          OUT_C:          out std_logic);
  end component;

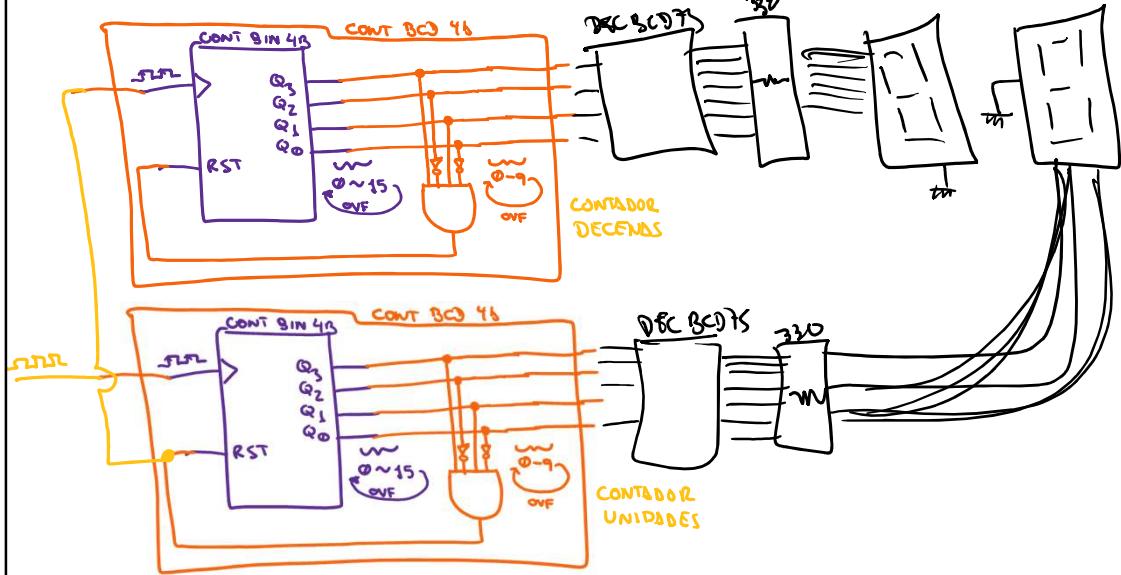
  signal P, Q:      std_logic;

begin
  u1: and_gate PORT MAP(A, B, P);
  u2: and_gate PORT MAP(A, not B, Q);
  u3: or_gate PORT MAP(P, Q, C);
end estructura;
```

2

Preguntas previas:

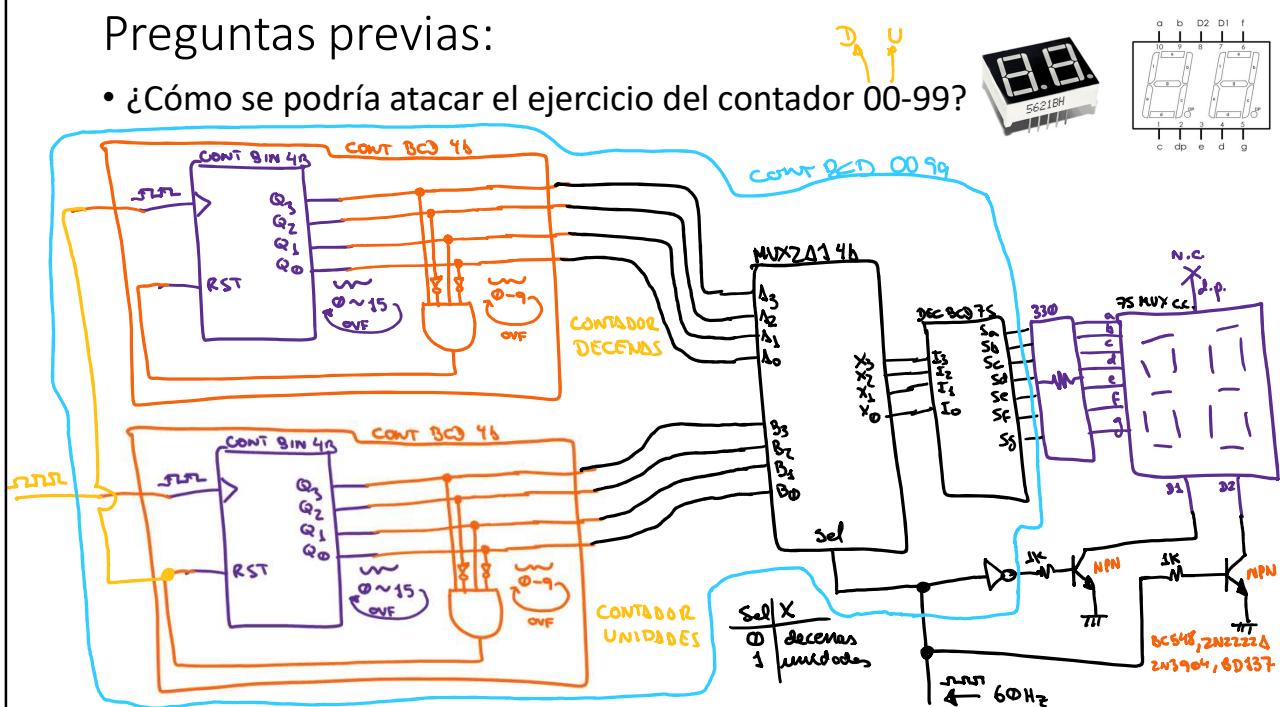
- ¿Cómo se podría atacar el ejercicio del contador 00-99?



3

Preguntas previas:

- ¿Cómo se podría atacar el ejercicio del contador 00-99?



4

Preguntas previas

- ¿Qué cosa es rising_edge(clk)?

```

process (CLK, RST)
begin
    if RST = '1' then
        comote <= "0000";
    elsif CLK = '1' and CLK'event then
        comote <= comote +2;
    end if;
end process;

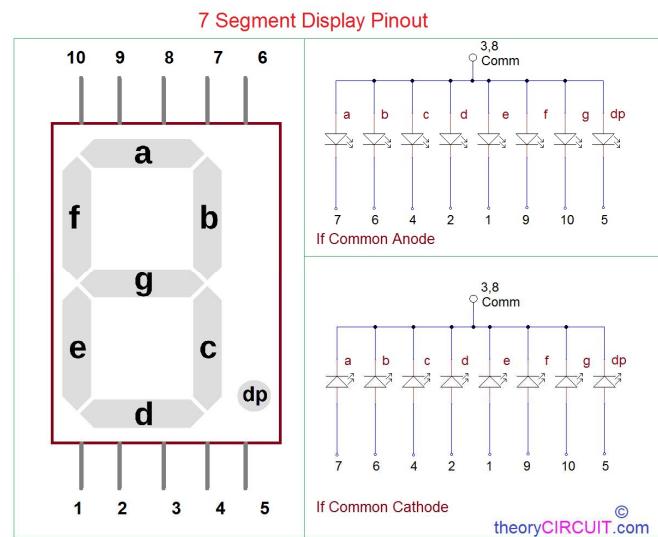
```

5 2 5 2
 lista de señales que activan el proceso
 rising-edge (clk)

5

Sobre el display de siete segmentos:

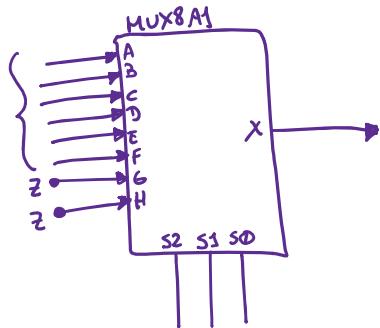
- Detalle de pines
- Detalle de configuración según tipo



6

Preguntas previas:

- Sobre MUX8A1 con entradas que no se están empleando:
 - Debes de asignarle alta como medida de protección



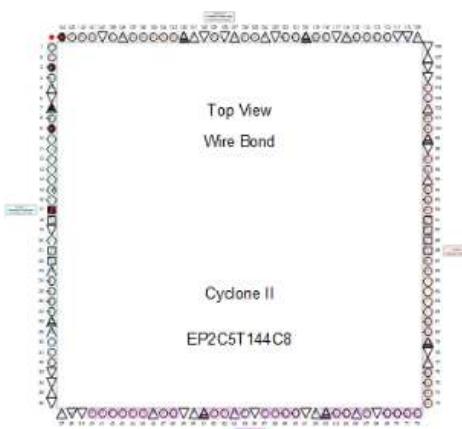
```
entity MUX8A1 is
port(A,B,C,D,E,F,G,H: in std_logic;
      S: in std_logic_vector(2 downto 0);
      X: out std_logic);
end MUX8A1;

architecture camote of MUX8A1 is
begin
    with S select X<=A when "000", B when "001", C when "010",
                      D when "011", E when "100", F when "101",
                      'Z' when others;
end camote;
```

7

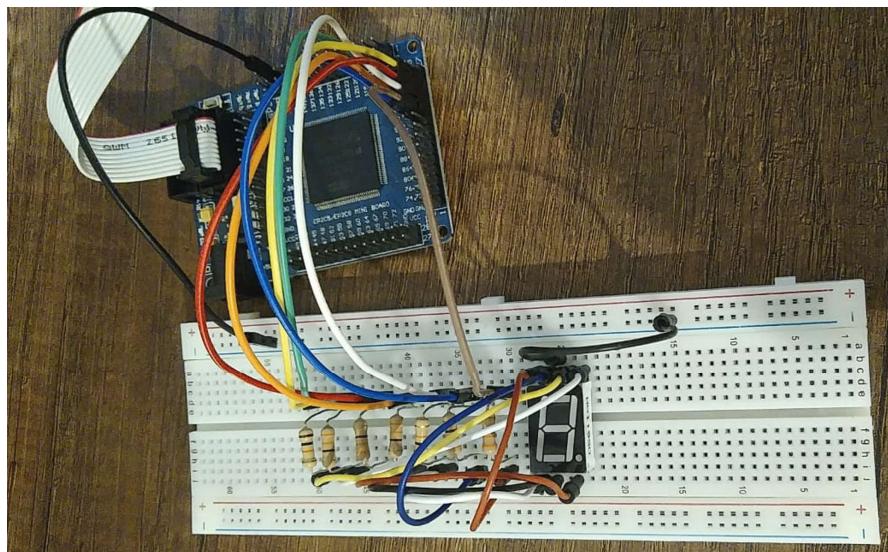
Preguntas previas:

- ¿Se puede saber qué pines funcionan como E/S en el FPGA?
 - Verificar en Pin Planner: hay pines dedicados a la alimentación, a señales de reloj, etc.
 - Revisar si los pines del FPGA se encuentran bien soldados en el PCB



8

Problemas de implementación



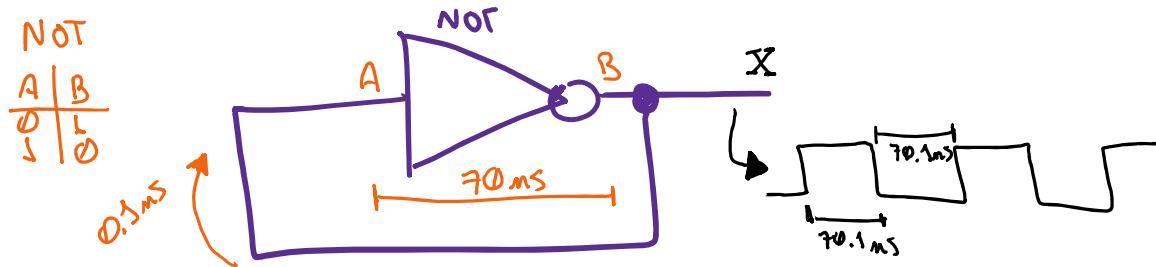
9

Agenda:

- Encuesta inicial UPC semestre 2022-1
 - Revisar su email UPC y completar la encuesta del curso
- Retardos en circuitos digitales
- Máquinas de Estado
- La MEF Moore y la MEF Mealy
- Modelo en VHDL de una MEF
- Ejemplos de MEF

10

Analice lo siguiente:



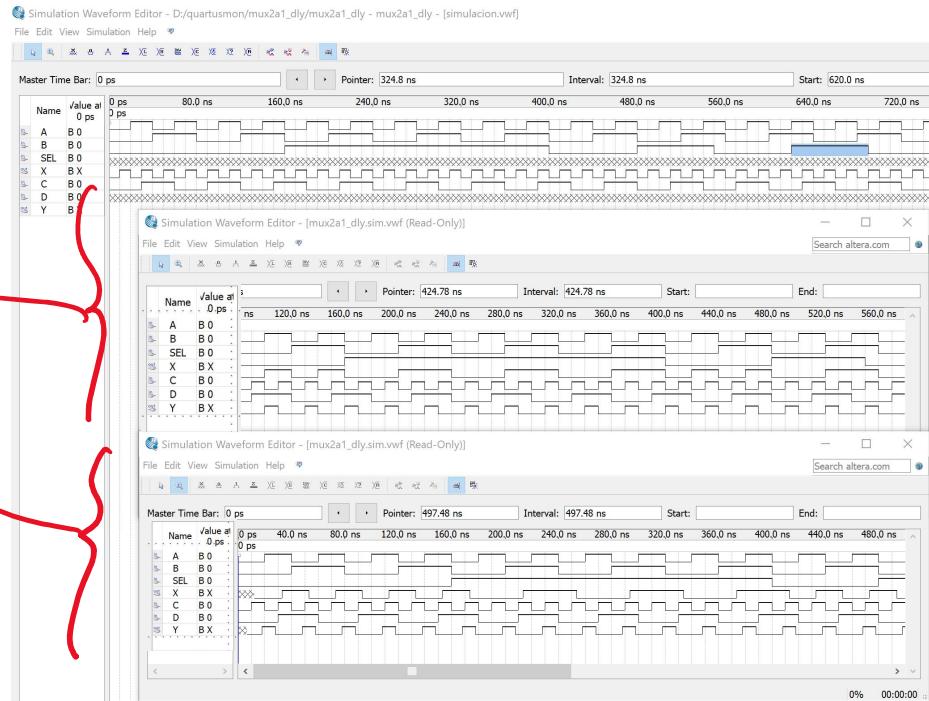
- En combinacional (repuesta sin retardo) representa un cortocircuito
- En la vida real no hay circuitos ni conexiones sin retardo

11

Analicemos
esto otro
también:

functioned

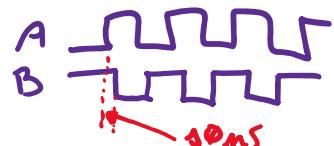
Timing



12

Dos tipos de retardos presentes en circuitos lógicos digitales:

- Retardo Inercial: Modelado de retardo para aproximar el comportamiento real de las compuertas.

Ej: $A \leq \text{not } B$ after 10ns; 

- Retardo de Transporte:

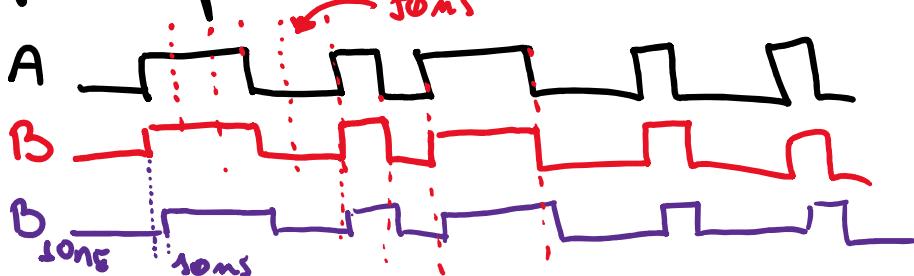
$A \leq \text{transport not } B$ after 10ns;

13

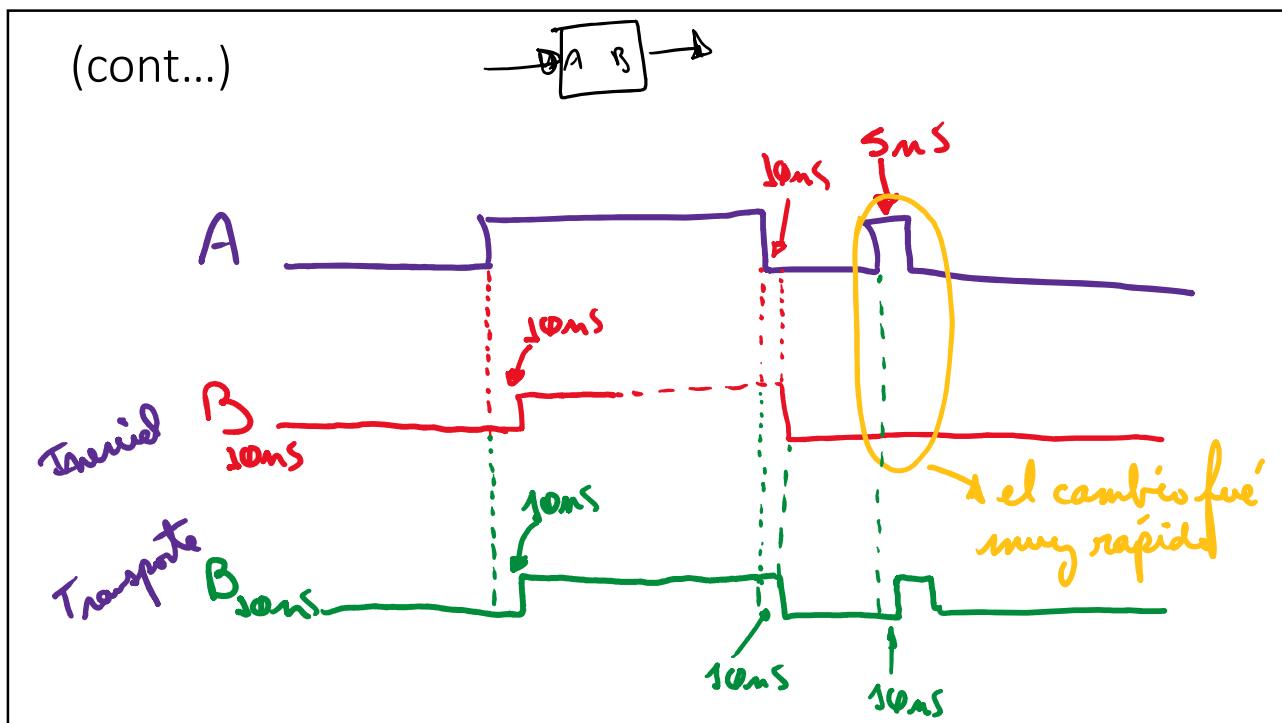
“Retardo inercial” vs “Retardo de transporte”



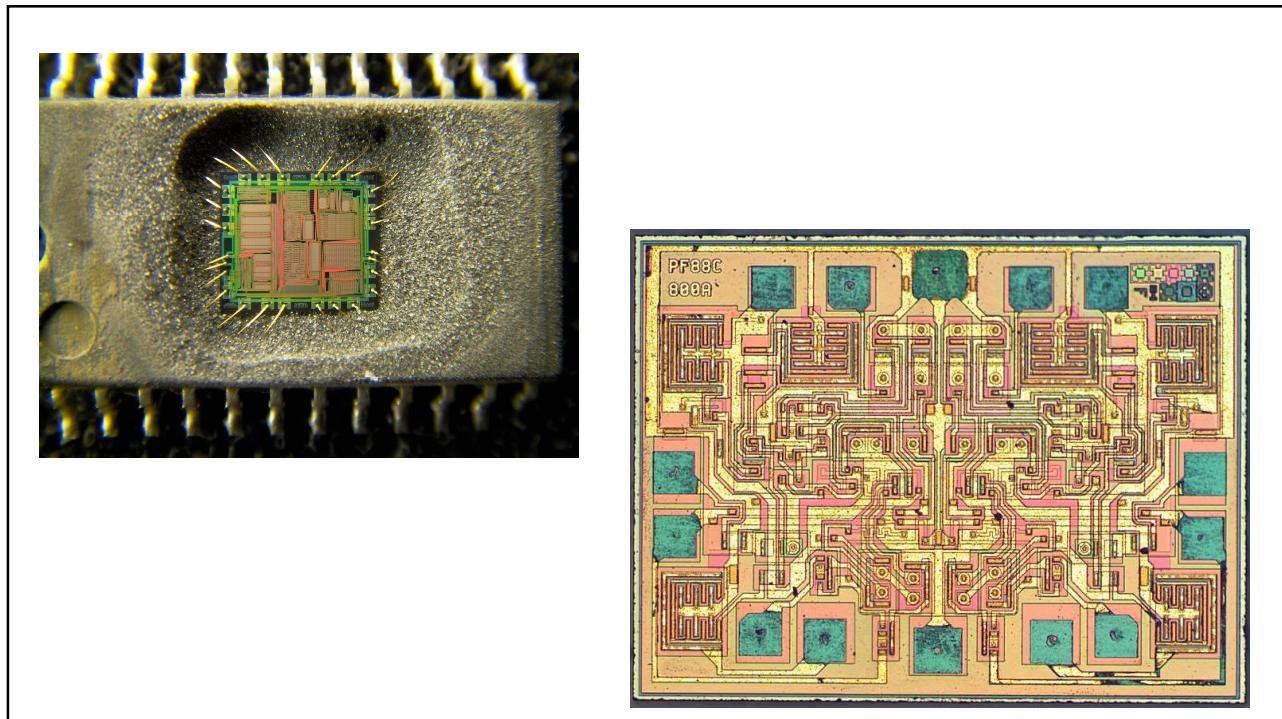
Diagrama de formas de onda:



14

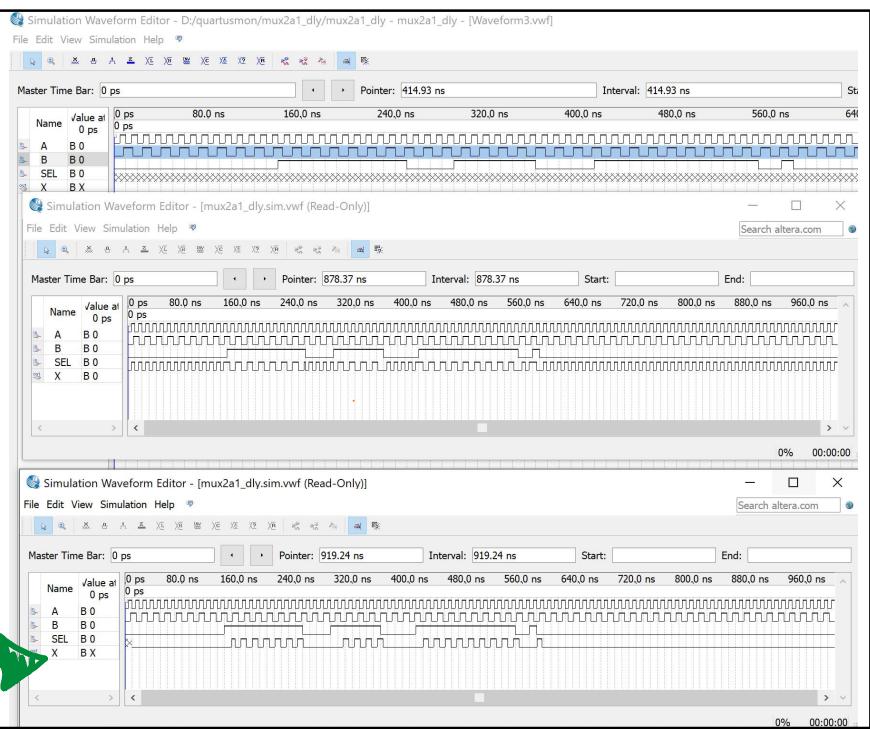


15



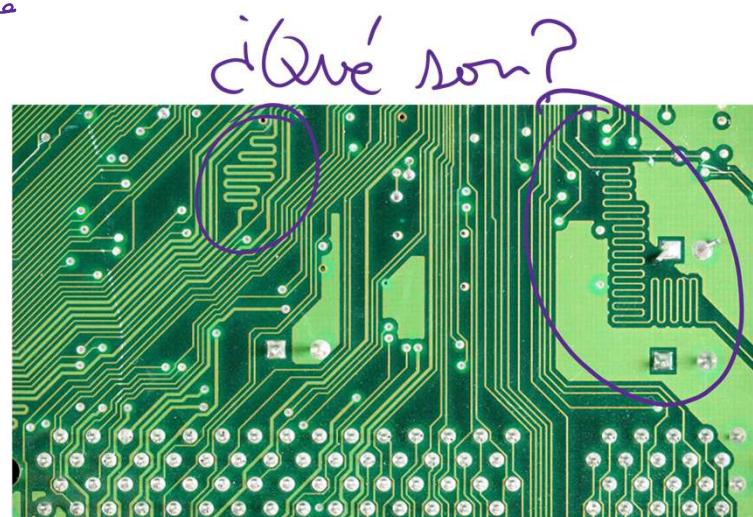
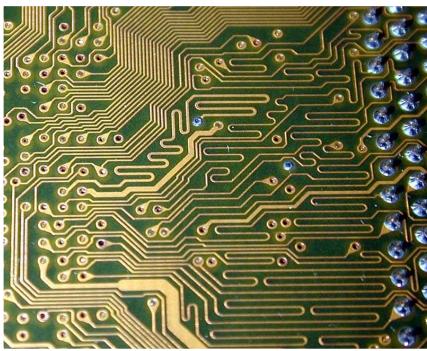
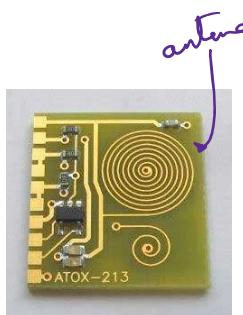
16

Aumentando la frecuencia en las entradas producirá en la salida del circuito el efecto de retardo inercial:



17

Caso:



18

Máquinas de estado

- Son **modelos** para representar el comportamiento de un sistema secuencial.
- Son finitos (no pueden crear nuevos estados)
- La representación de una máquina de estados finita (MEF) se realiza mediante un diagrama de estados.
- La implementación de las MEFs es en base a FFs y al desarrollo de contadores síncronos.
- Dos tipos:
 - Mealy: Salidas cambian por un cambio de estado o por cambio en el valor de las entradas.
 - Moore: Salidas cambian cuando cambia el estado

19

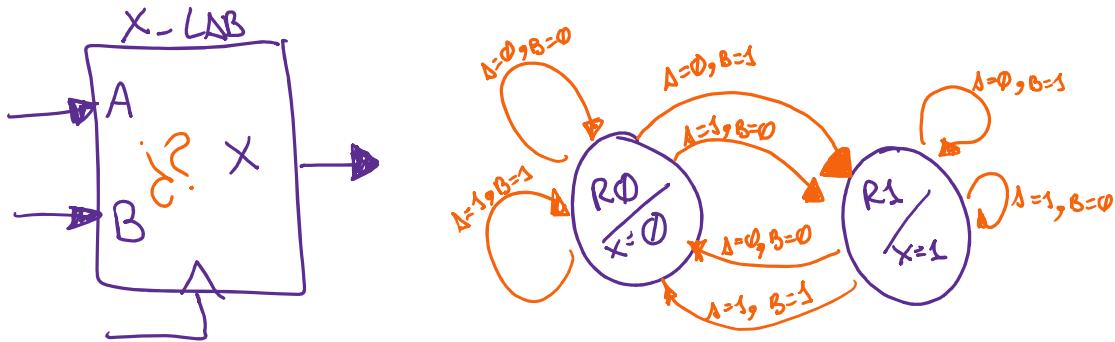
Máquinas de estado

- Información adicional:
 - Ayudas visuales en AV: Unidad 2 / Semana 5 / VHDL – Parte 4
 - James O. Hamblen y Michael D. Furman. Rapid Prototyping of Digital Systems: Capítulos 6.11 y 7.
 - Meher Krishna Patel. FPGA Designs with VHDL (<https://vhdlguide.readthedocs.io/en/latest/>): Capítulo 9

20

MEF Moore

- Ejemplo: Modelo de un XOR con entrada de reloj (síncrono)
- La salida X se actualizará con el pulso de reloj



21

MEF Moore

- Ejemplo: Código descriptivo de lo anterior en VHDL

Tres declaraciones concurrentes:

```

library IEEE;
use IEEE.std_logic_1164.all;

entity X_LAB is
port ( clk, A, B: in std_logic;
       X: out std_logic);
end X_LAB;

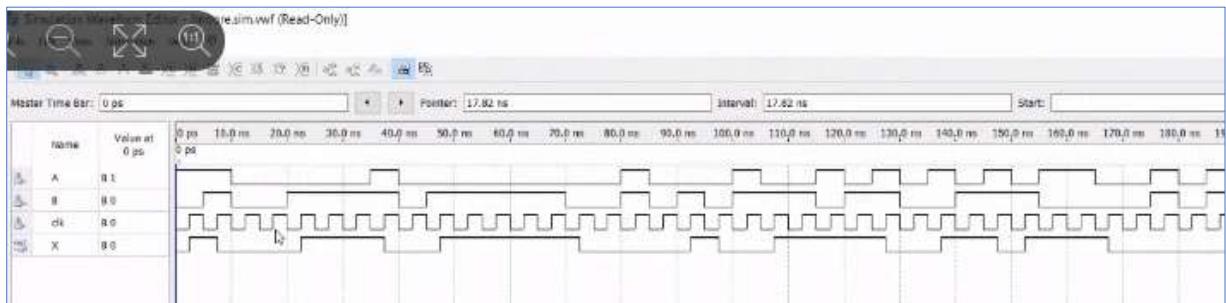
architecture flujo of X_LAB is
TYPE estados is (R0, R1);
SIGNAL es_p: estados;
SIGNAL INTERNO: std_logic_vector(1 downto 0);
begin
  INTERNO <= A&B;
  process (clk)
  begin
    if rising_edge(clk) then
      case es_p is
        when R0 =>
          if INTERNO = "00" then
            es_p <= R0;
          elsif INTERNO = "11" then
            es_p <= R0;
          else
            es_p <= R1;
          end if;
        when R1 =>
          if INTERNO = "01" then
            es_p <= R1;
          elsif INTERNO = "10" then
            es_p <= R1;
          else
            es_p <= R0;
          end if;
      end case;
    end if;
  end process;
  with es_p select X <= '1' when R1, '0' when R0;
end flujo;

```

22

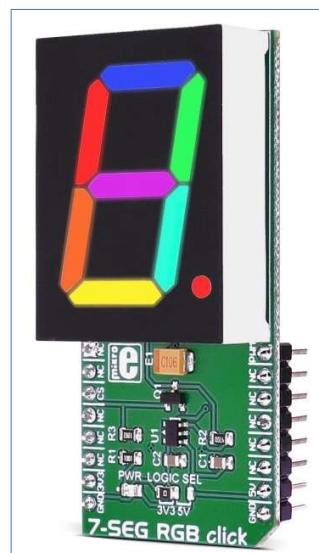
MEF Moore

- Ejemplo: Simulación



23

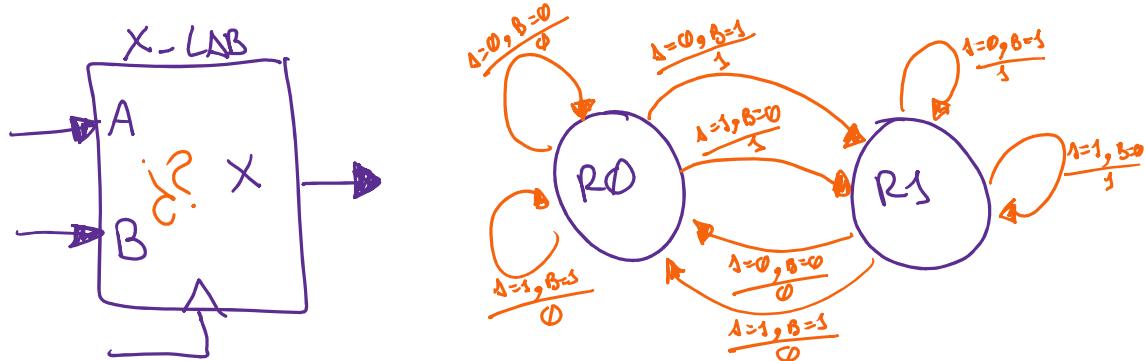
Display de siete segmentos RGB!



24

MEF Mealy

- Modelo de XOR con entrada de reloj (asíncrono)
- La señal X se esta actualizando antes del reloj!



25

MEF Mealy

- Ejemplo: Código descriptivo de lo anterior en VHDL

Tres declaraciones concurrentes:

Cuestionario:
1. ¿Qué es lo que hace cada declaración concurrente?

```

library IEEE;
use IEEE.std_logic_1164.all;

entity X_LAB is
port ( clk, A, B: in std_logic;
      X: out std_logic);
end X_LAB;

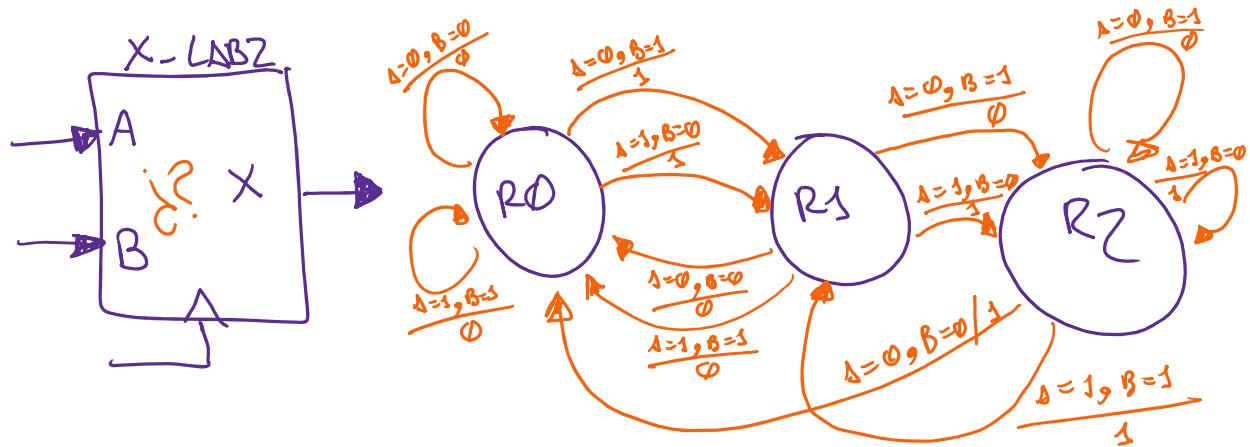
architecture flujo of X_LAB is
TYPE estados is (R0,R1);
SIGNAL es_p: estados;
SIGNAL INTERNO: std_logic_vector(1 downto 0);
begin
  INTERNO <= A&B;
  process (clk)
  begin
    if rising_edge(clk) then
      case es_p is
        when R0 =>
          if INTERNO = "00" then
            es_p <= R0;
          elsif INTERNO = "11" then
            es_p <= R0;
          else
            es_p <= R1;
          end if;
        when R1 =>
          if INTERNO = "01" then
            es_p <= R1;
          elsif INTERNO = "10" then
            es_p <= R1;
          else
            es_p <= R0;
          end if;
      end case;
    end if;
  end process;
  process(es_p, INTERNO)
  begin
    if es_p = R1 then
      case INTERNO is
        when "01" | "10" => X <= '1';
        when others => X <= '0';
      end case;
    else
      case INTERNO is
        when "01" | "10" => X <= '1';
        when others => X <= '0';
      end case;
    end if;
  end process;
end flujo;

```

26

MEF Mealy

- Modelo X_LAB2 con entrada de reloj (asíncrono)
- La señal X se esta actualizando antes del reloj!



27

Asignación

- Modelar X_LAB2 con FSM Mealy en VHDL

28

Cuestionario

- Averiguar el retardo presente en los dispositivos de la familia 74LS
- Averiguar cuál es la familia de dispositivos lógicos con el menor retardo (mas veloz)
- ¿Cuáles son los niveles de voltaje en LVTTL?
- ¿Cuáles son los niveles de voltaje en EIA/TIA232?
- Desarrollar un circuito en VHDL que permita realizar una cuenta 00-99 con visualización en dos displays de siete segmentos del tipo cátodo común y en forma multiplexada.

29

Fin de la sesión

30