

Sistemas Digitales

Laboratorio

Semestre 2020-2

Sesión 1

Profesor: Kalun José Lau Gan

1

Requerimientos

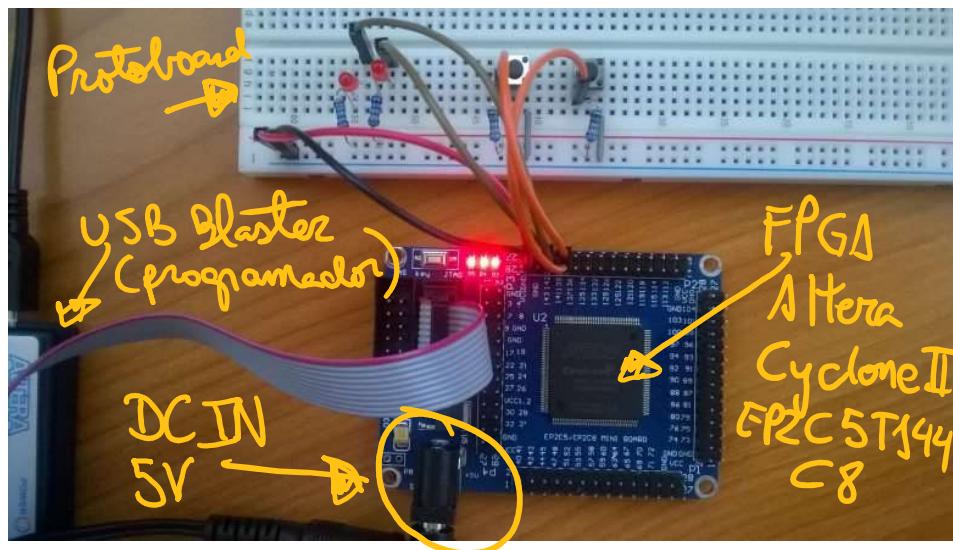
- Software:
 - Altera Quartus II Web Edition (Free) versión 13 sp1

- Hardware:
 - Tarjeta de desarrollo basado el **FPGA Altera Cyclone II EP2C5T144**
 - Programador Altera USB Blaster



2

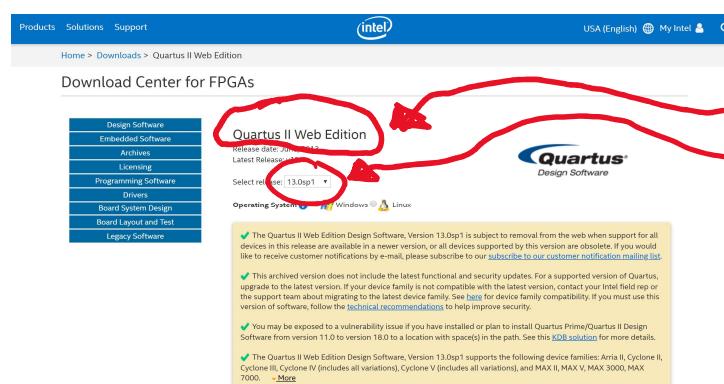
Ejemplo de prototipado con el EP2C5T144



3

Procedimiento para descarga e instalación del Altera Quartus II Web Edition (Free) 13 sp1

- <https://github.com/tocache/VHDL-QuartusII> (minitutorial)
- <https://fpgasoftware.intel.com/13.0sp1/> (link de descarga)



4

Descarga

Quartus II Web Edition (Free)

- Quartus II Software (includes Nios II EDS)**
Size: 1.5 GB MD5: 70D2991B55E70EEFBBA30DB38A40BF01
- ModelSim-Altera Edition (includes Starter Edition)**
Size: 779.3 MB MD5: 97D829F95E3BDFA2AD15891F00936D10

Devices

You must install device support for at least one device family to use the Quartus II software.

- Arria II device support**
Size: 467.3 MB MD5: 18262271D276A9966F42938E1E601AEE
- Cyclone II, Cyclone III, Cyclone IV device support (includes all variations)**
Size: 568.9 MB MD5: CDAC3B93F0DF21D7371E4395D31D0099
- Cyclone V device support (includes all variations)**
Size: 747.9 MB MD5: 4664B9BDD482C004C3C8D64FEFC124AB
- MAX II, MAX V, MAX 3000, MAX 7000 device support**
Size: 6.7 MB MD5: 64AAC8C4F6CD545D449BE3FFD8CBA50



5

Creación de un proyecto en el Altera Quartus II

Proyecto creado ←

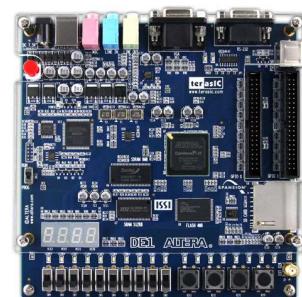
Tener en cuenta el modelo del dispositivo

Altera Cyclone II EP2C5T144C8

Package Speed

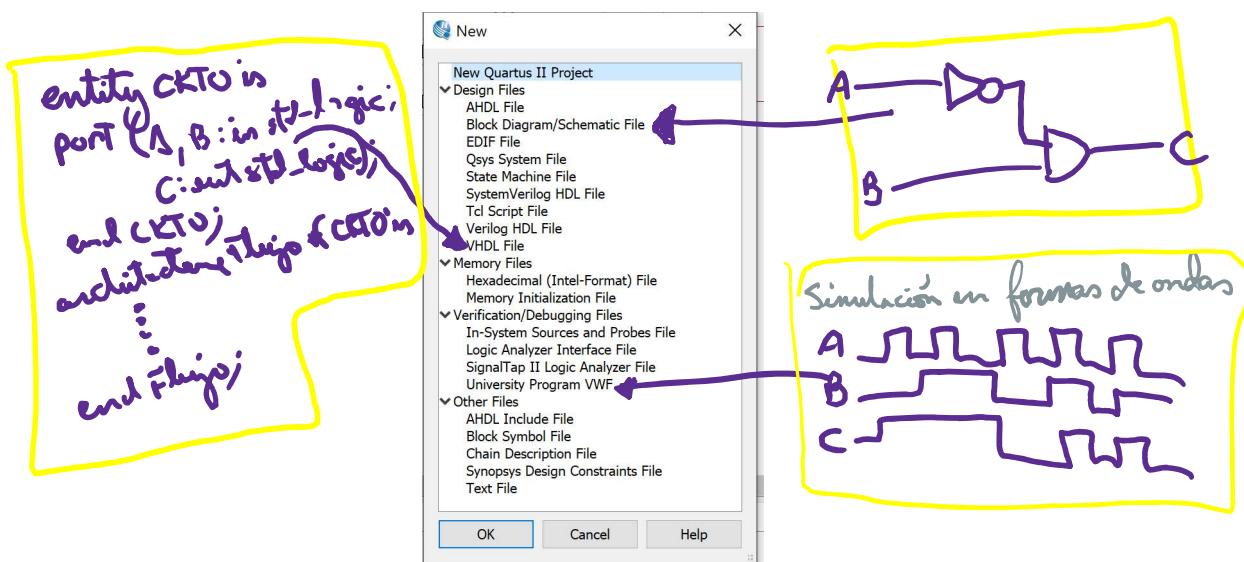
6

Diferentes modelos de tarjeta de desarrollo para el FPGA Altera Cyclone II



7

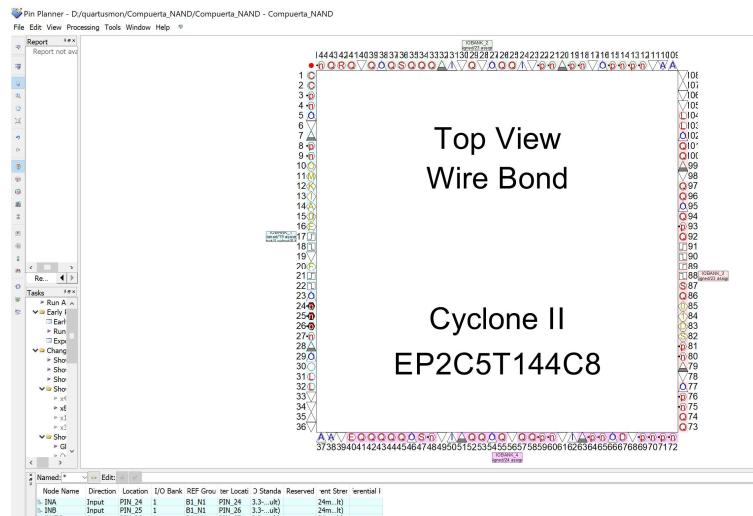
Opciones de desarrollo en Altera Quartus II



8

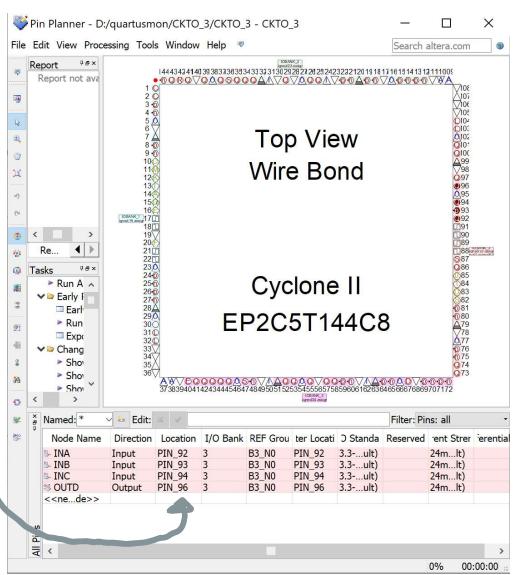
Asignación de pines al diseño

- Proceder a asignar los pines al diseño
LUEGO DE HABER COMPILADO EN UNA PRIMERA OPORTUNIDAD



9

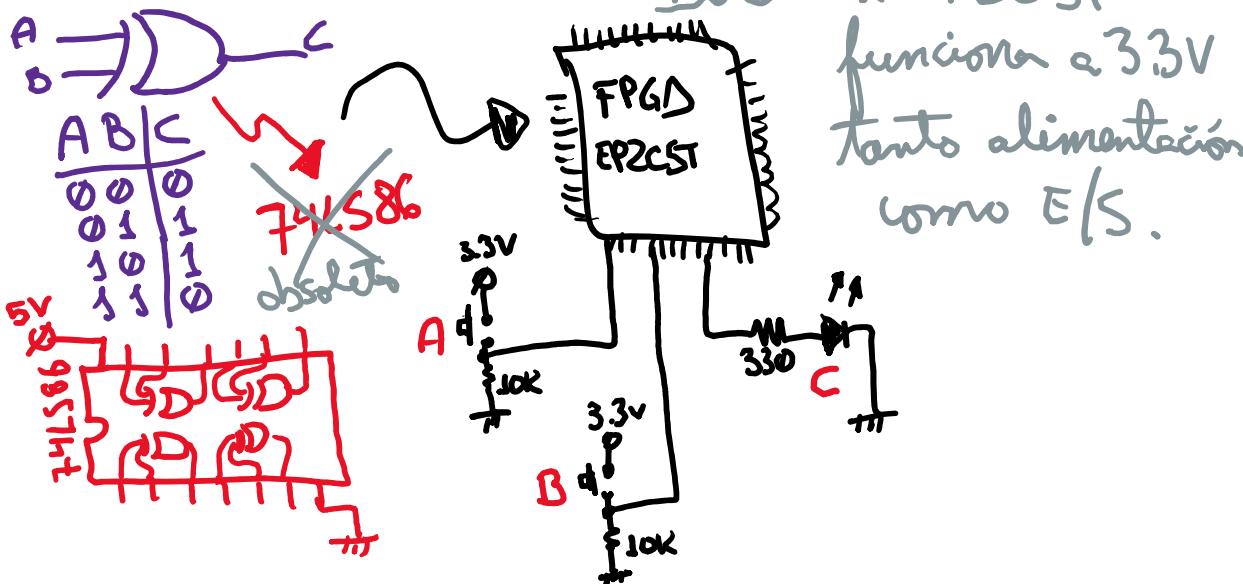
Asignación de pines con PinPlanner:



10

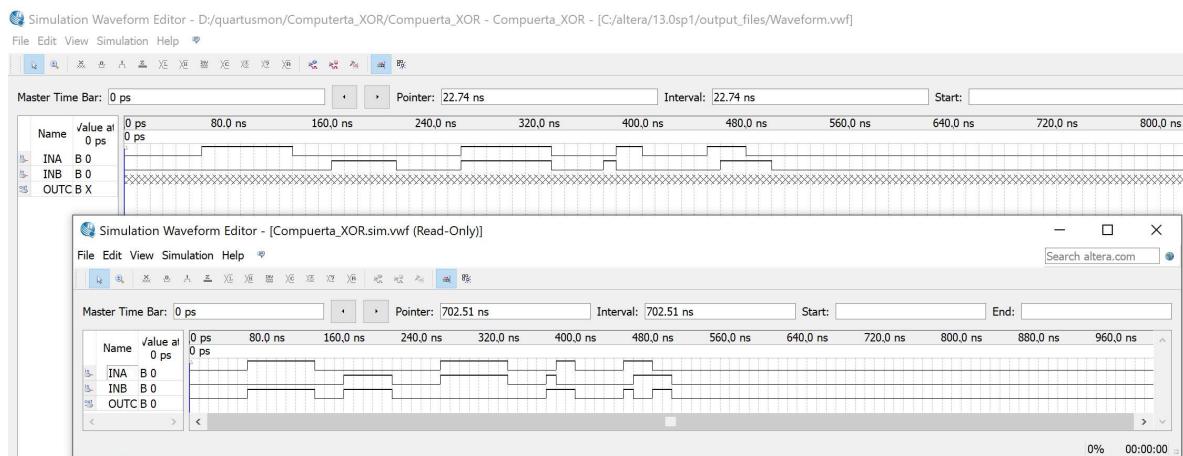
✓ Aparecerán cuando se haya compilado previamente el proyecto luego de asignar los pines deberán compilar nuevamente.

Ejemplo: Compuerta XOR



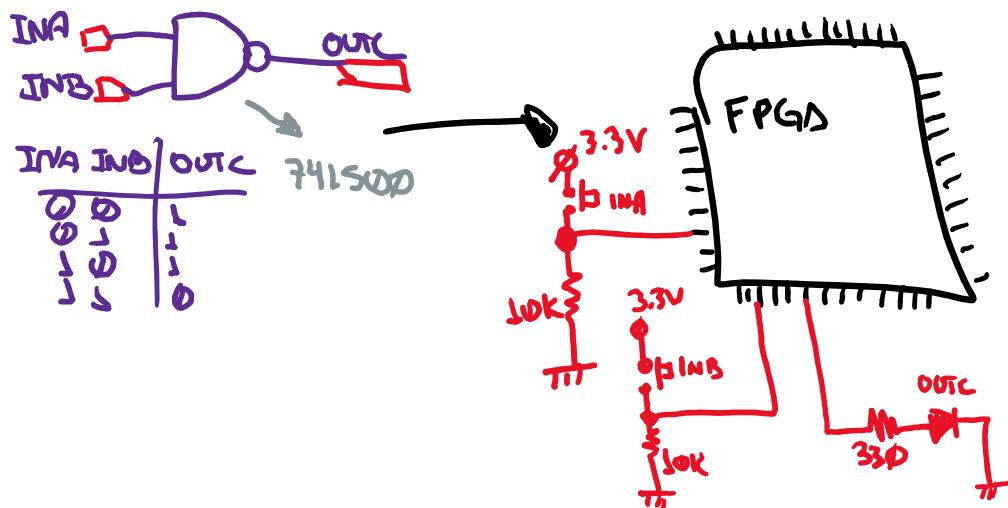
11

Simulación



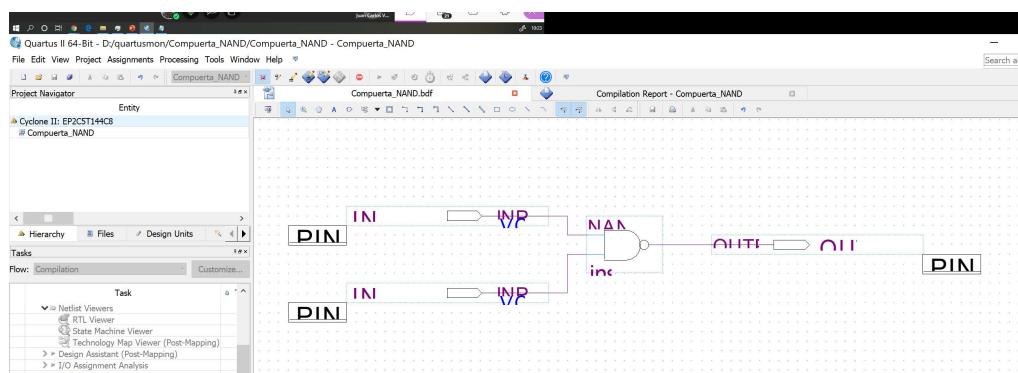
12

Ejemplo: Compuerta NAND



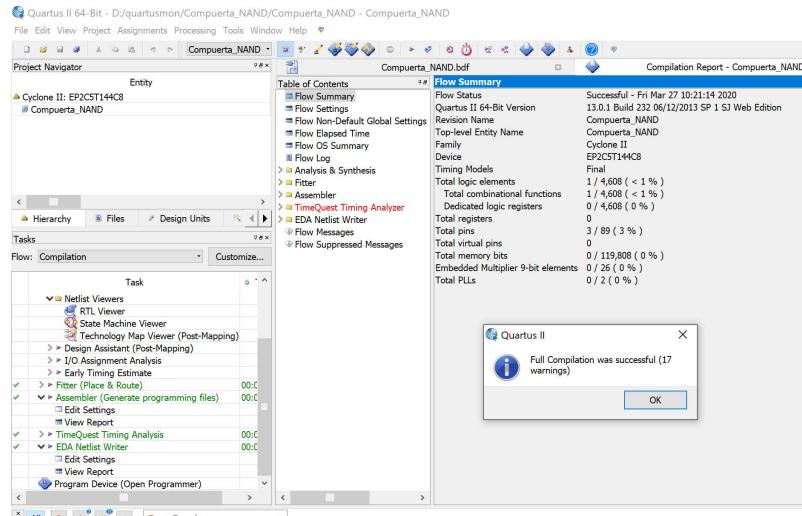
13

Diseño en entrada de schematic



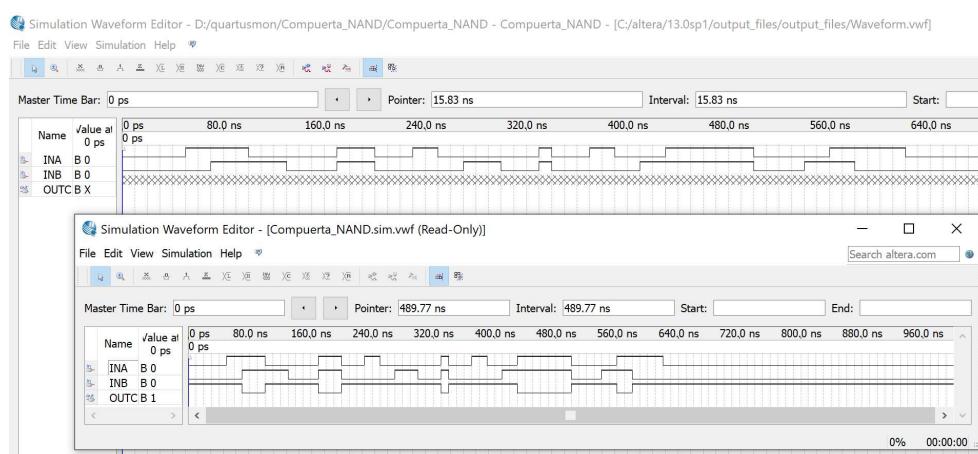
14

Resultado de compilación correcta



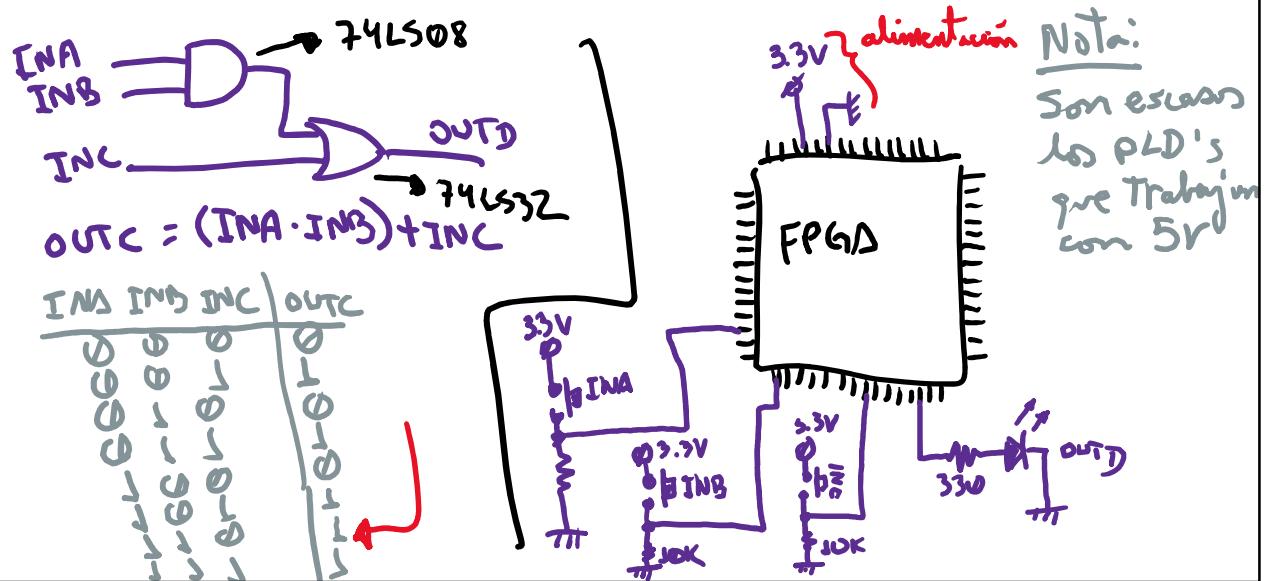
15

Resultados de la simulación de la compuerta NAND



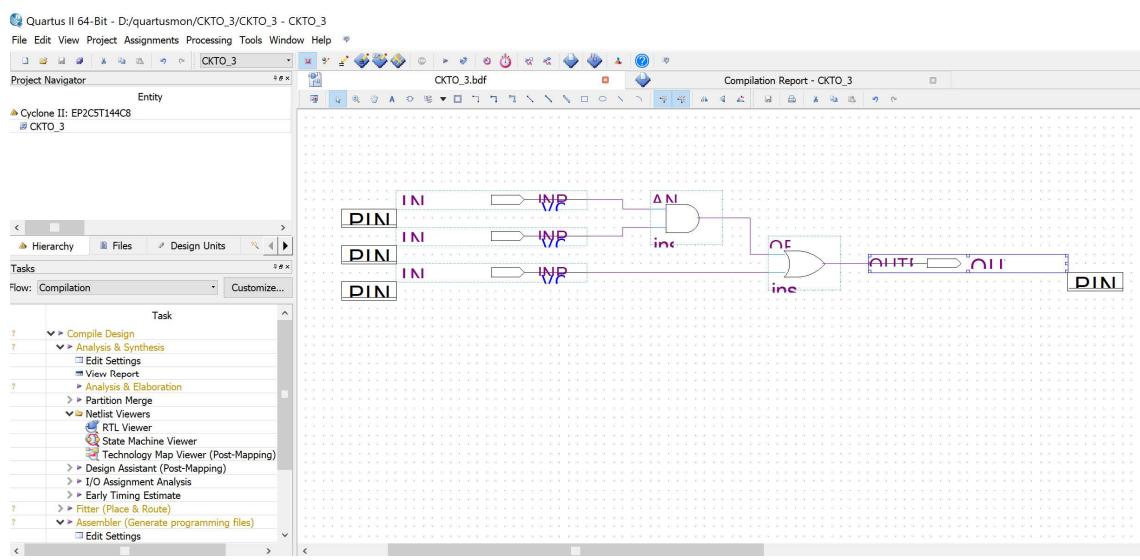
16

Ejemplo: Desarrollar el siguiente circuito:



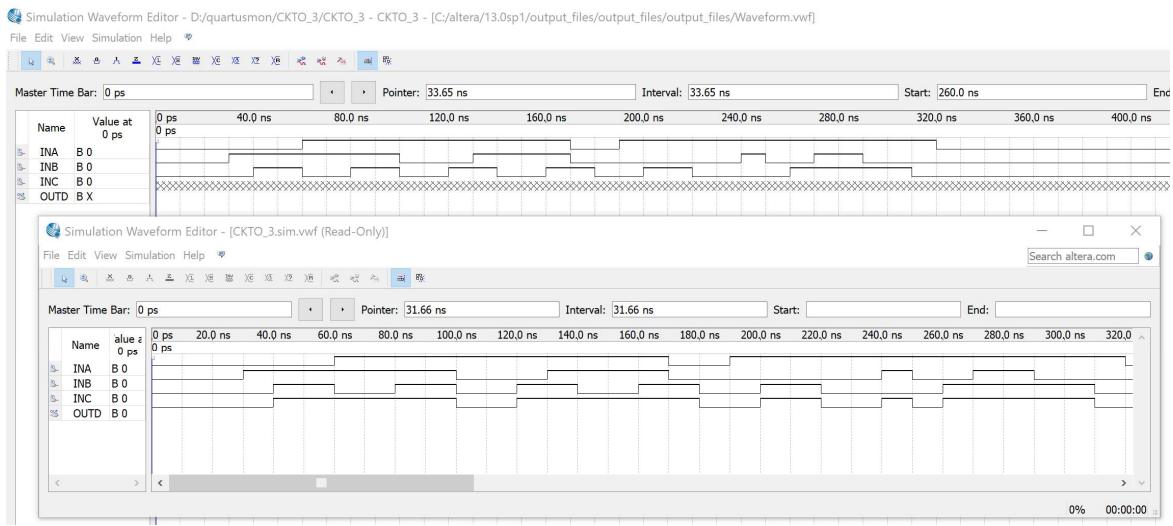
17

Desarrollo en Altera Quartus II



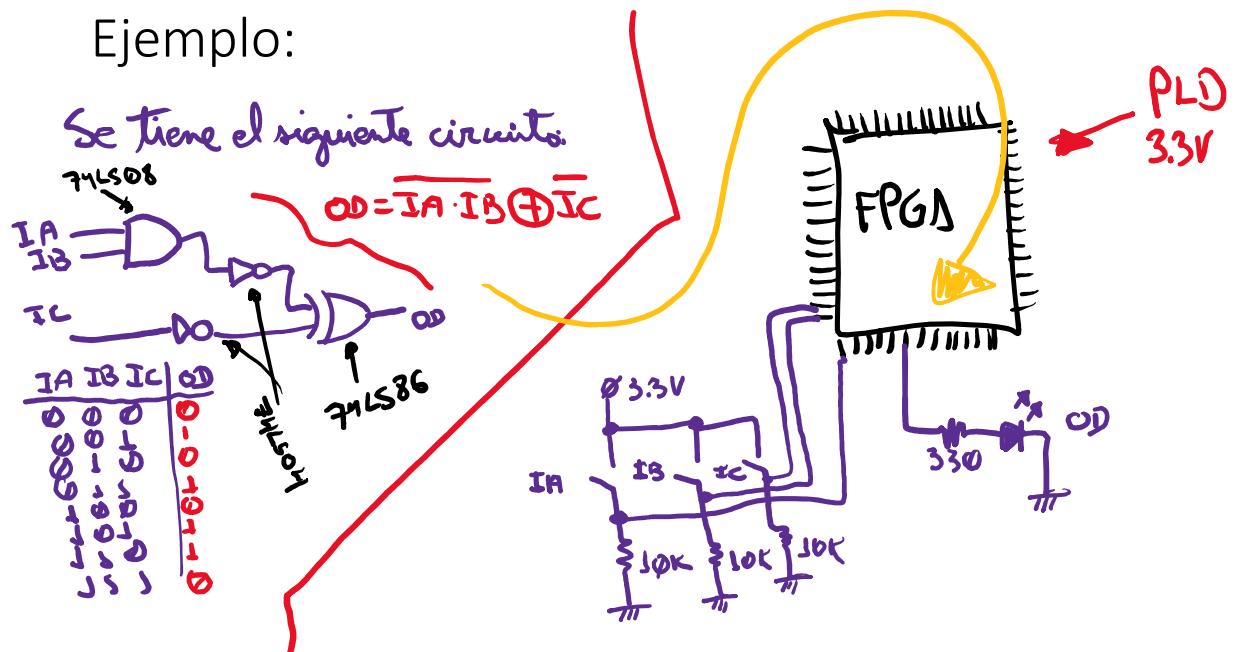
18

Simulación



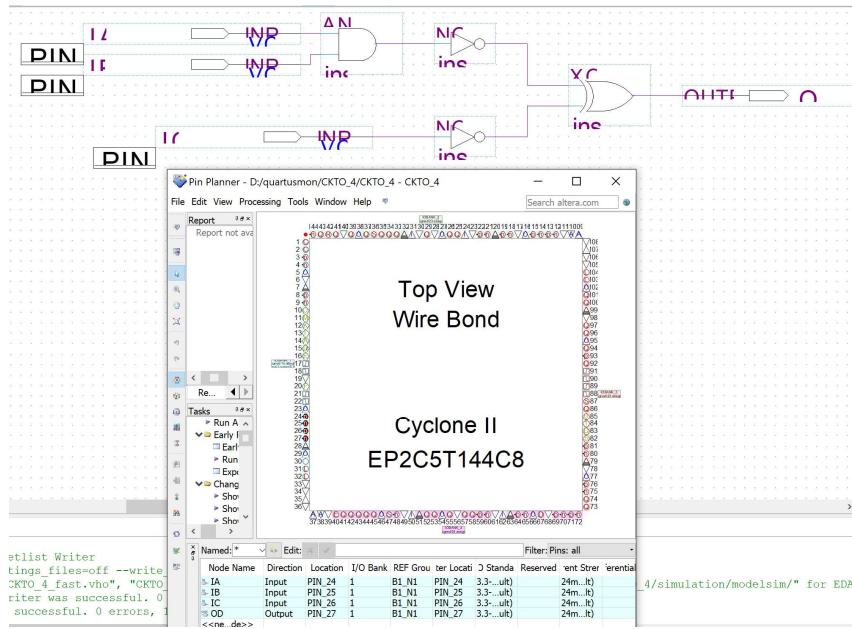
19

Ejemplo:



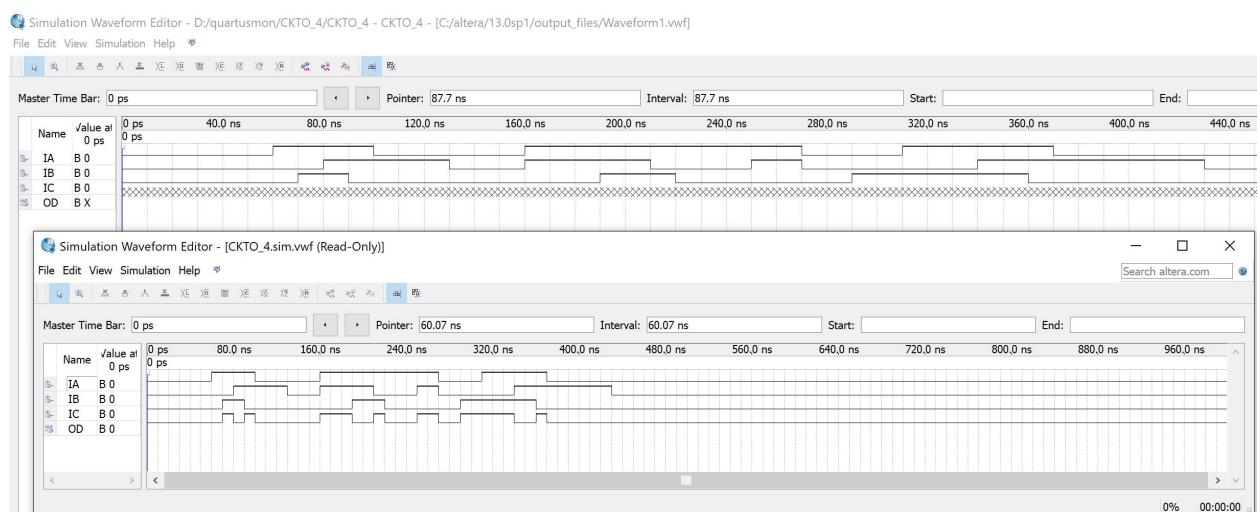
20

Desarrollo en el Altera Quartus II



21

Simulación



22

Cuestionario:

- Detallar 5 características principales del VHSIC-HDL
- Hacer una pesquisa de 5 diferencias entre el VHSIC-HDL y el Verilog-HDL
- ¿A qué se refiere el IEEE1164 con los nueve estados lógicos?
- Detallar los 5 principales fabricantes y desarrolladores de PLDs en la actualidad.
- Hacer una búsqueda entre los fabricantes de PLD para encontrar el FPGA mas denso en la actualidad.
- ¿De qué trata los HPRC?
- Mencionar 8 características de un dispositivo Xilinx ZYNQ

23

Ejercicio:

- Realizar la simulación funcional en el Altera Quartus II con su simulador de formas de onda y empleando el ModelSim de las siguientes funciones:
 - $f_1 = \sum_{m=4}(0,2,3,5,7,9,13,14)$
 - $f_2 = \sum_{m=4}(1,4,6,9,10,11,12,14)$

Nota: Tener en cuenta que para hacer la validación primero deberán de obtener la función lógica simplificada empleando cualquiera de los métodos de simplificación (Veich-Karnaugh, Quine McCluskey, etc).

24

Fin de la sesión