

Sistemas Digitales Laboratorio

Semestre 2020-2

Sesión 2

Profesor: Kalun José Lau Gan

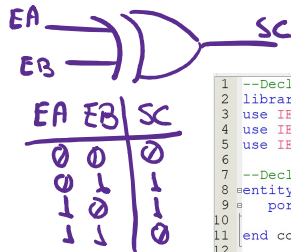
1

Agenda:

- Modelos de circuitos lógicos digitales en VHDL
 - Estilos de descripción en VHDL
- Modelo de decodificador binario en VHDL
- Modelo de decodificador BCD-7SEG en VHDL

2

Modelo de funciones básicas en VHDL en Altera Quartus II

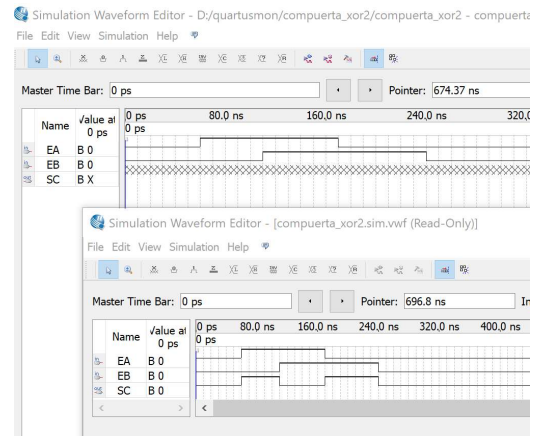


```

1 --Declaración de librerías IEEE --
2 library IEEE;
3 use IEEE.std_logic_1164.all;
4 use IEEE.std_logic_arith.all;
5 use IEEE.std_logic_unsigned.all;
6
7 --Declaración de la entidad--
8 entity compuerta_xor2 is
9     port (EA, EB : in std_logic;
10          SC : out std_logic);
11 end compuerta_xor2;
12
13 --Declaración de la arquitectura--
14 architecture constructo of compuerta_xor2 is
15 begin
16     SC <= EA xor EB;
17 end constructo;
18
19 --architecture constructo2 of compuerta_xor2 is
20 --signal conexion: std_logic_vector(1 downto 0);
21 --begin
22 --    conexion <= EA&EB;
23 --    with conexion select
24 --        SC <= '1' when "01",
25 --        '1' when "10",
26 --        '0' when "00",
27 --        '0' when "11",
28 --        'Z' when others;
29 --end constructo2;

```

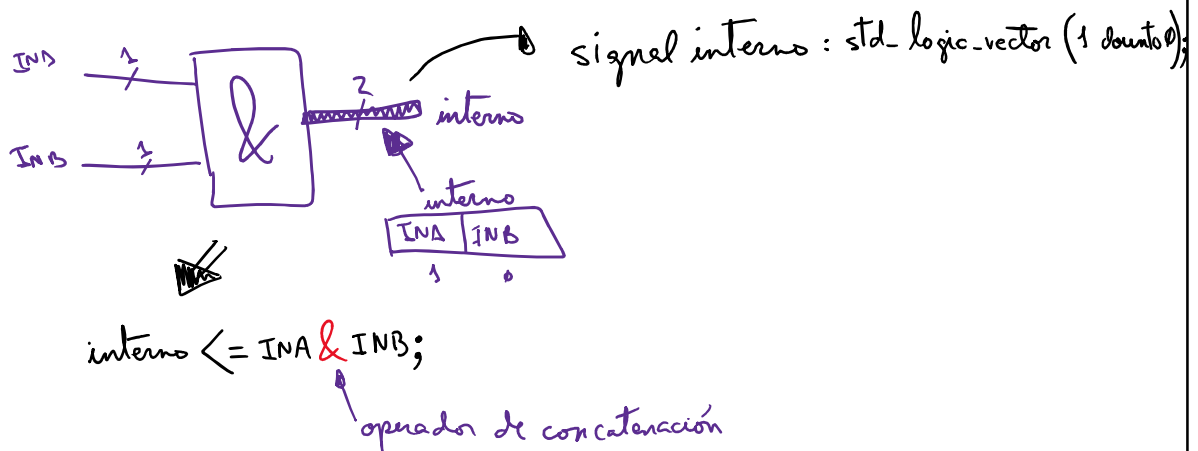
} selectiva (with select)



3

¿Concatenación?

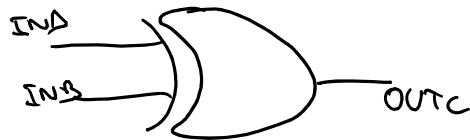
- Unión de señales independientes en un vector



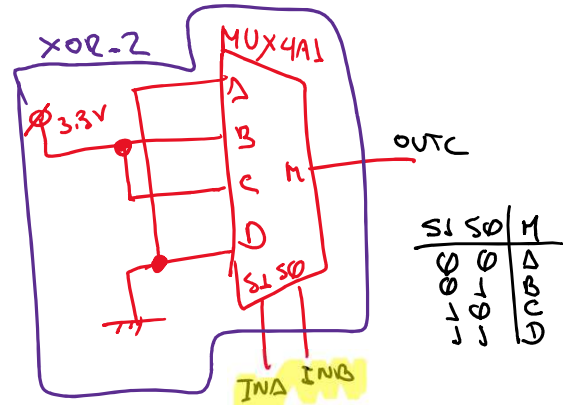
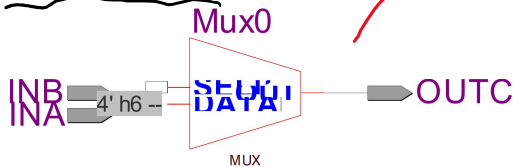
4

¿Qué es lo que interpretó el Quartus?

Hemos descrito el funcionamiento de una XOR

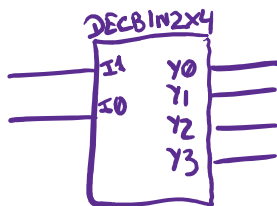


RTL Viewer:



5

Modelo de decodificador binario 2x4 en VHDL



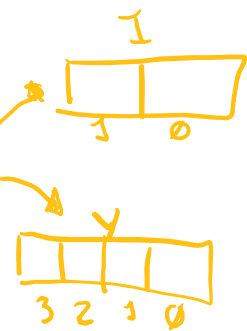
I1	I0	Y3	Y2	Y1	Y0
0	0	0	0	0	1
1	0	0	1	0	0
1	1	1	0	0	0

Table de verdad
Tabla de decodificación

```

1 library IEEE;
2 use IEEE.std_logic_1164.all;
3 use IEEE.std_logic_arith.all;
4 use IEEE.std_logic_unsigned.all;
5
6 entity decbin2x4 is
7   port (I: in std_logic_vector(1 downto 0);
8         Y: out std_logic_vector(3 downto 0));
9 end decbin2x4;
10
11 architecture constructo of decbin2x4 is
12 begin
13   with I select
14     Y <= "0001" when "00",
15          "0010" when "01",
16          "0100" when "10",
17          "1000" when "11",
18          "ZZZZ" when others;
19 end constructo;

```



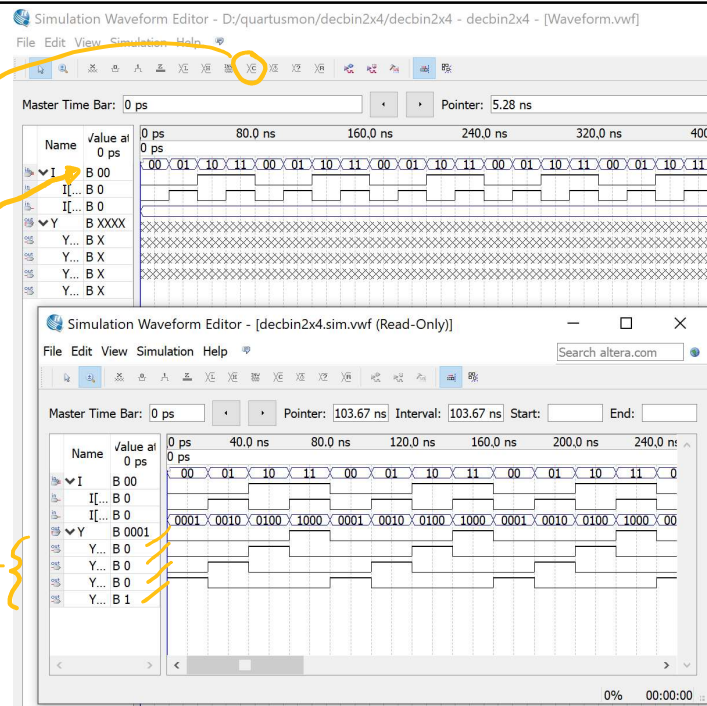
Al usar std_logic_1164
tendremos que
declarar los 2⁹
alternativas de selección

6

Simulación funcional del decbin2x4

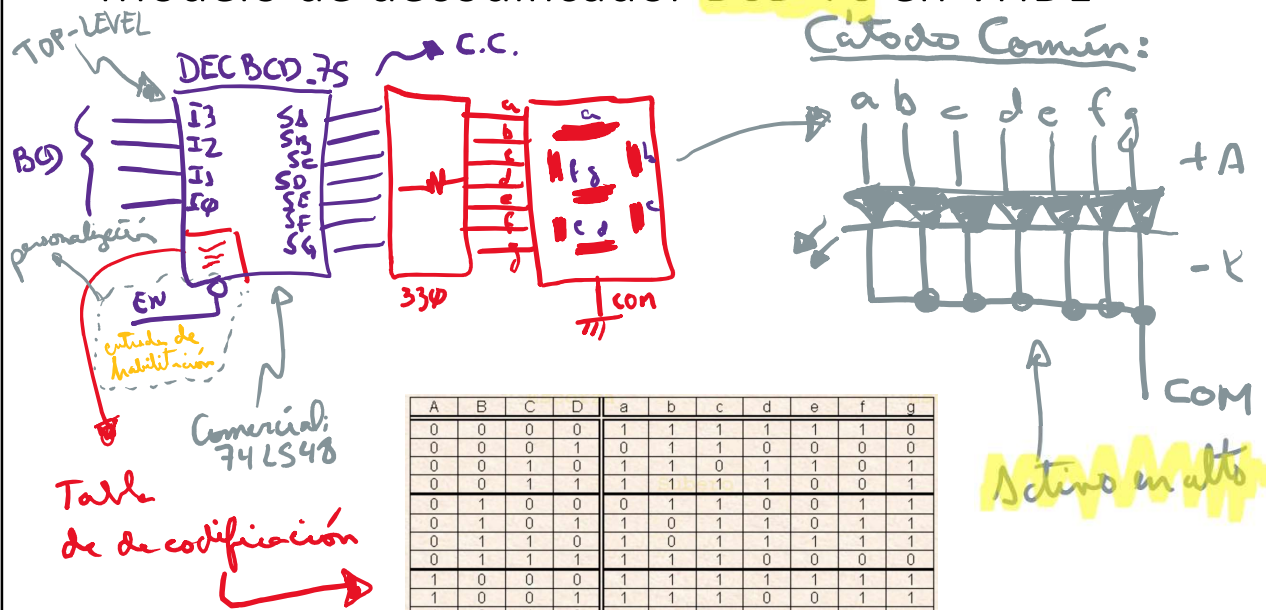
Señal de cuenta generada

Salida Simulada



7

Modelo de decodificador BCD-7S en VHDL



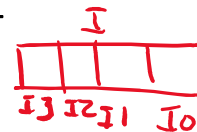
8

Modelo del decbcd_7s en VHDL

```

6 entity decbcd_7s is
7   port( I : in std_logic_vector(3 downto 0);
8         SA, SB, SC, SD, SE, SF, SG : out std_logic);
9         EN : in std_logic); --entrada de habilitación--
10 end decbcd_7s;
11
12 architecture constructo of decbcd_7s is
13   signal salida : std_logic_vector(6 downto 0);
14   signal entrada : std_logic_vector(4 downto 0);
15 begin
16   entrada <= EN&I;
17   SA <= salida(0);
18   SB <= salida(1);
19   SC <= salida(2);
20   SD <= salida(3);
21   SE <= salida(4);
22   SF <= salida(5);
23   SG <= salida(6);
24   with entrada select
25     salida <= "0111111" when "00000",
26               "0000110" when "00001",
27               "1011011" when "00010",
28               "1001111" when "00011",
29               "1100110" when "00100",
30               "1101101" when "00101",
31               "1111101" when "00110",
32               "0000111" when "00111",
33               "1111111" when "01000",
34               "1100111" when "01001",
35               "ZZZZZZZ" when others;
36 end constructo;

```



¿Cuántas sentencias
concurrentes hay
en el modelo?
Se ejecutan
secuencialmente
o todas a la
vez?

concatenación
descripción
selectiva

9

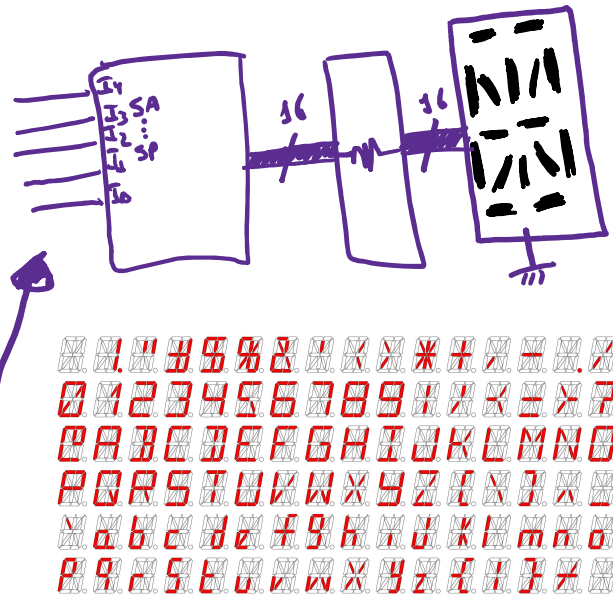
Pendientes:

- Verificar en simulación el funcionamiento del decodificador binario DEC2x4
- Cambiar el estilo de descripción del DEC2x4 hacia estilo de descripción condicional
- Verificar en simulación el funcionamiento del decodificador BCD-7SEG visto anteriormente.
- Agregarle al decodificador anterior una entrada adicional para que se puede cambiar entre display de cátodo común y ánodo común.

10

Cuestionario:

- Cuando se escoge el dispositivo EP2C5T144C8, ¿"C8" qué significado tiene?
- Desarrollar y simular un codificador binario de prioridad 8x3 en VHDL
- Desarrollar un decodificador en VHDL para el siguiente circuito (Solo para las letras mayúsculas del mapa de caracteres mostrado)



11

Fin de la sesión

12