

# EL253 - Sistemas Digitales

Semestre 2022-1

Profesor Kalun José Lau Gan

Sesión de Teoría Semana 2

1

## Preguntas previas

- En la lista de materiales se menciona cable USB-DC, es necesario dicho cable a parte del cable USB-miniUSB?
  - Si, es necesario o el cable USB-DC o una fuente de 5VDC para alimentar la tarjeta de FPGA puesto a que la conexión de USB-miniUSB del programador USB-Blaster es solo para intercambio de datos.
- Solicitó resistencias de 1/2W pero solo puedo conseguir de 1/4W
  - No hay ningún problema con las de 1/4W, hay que tener cuidado al momento de manipularlas
- ¿El USB Blaster (el programador) sirve para cualquier modelo de tarjeta de FPGA?
  - Si, para toda tarjeta que tenga FPGA de Altera/Intel y el puerto JTAG de 10 pines.
- Ya tengo la tarjeta y el USB Blaster pero no se como instalar el driver
  - Lo veremos en la sesión de laboratorio

2

## Preguntas previas

- Conseguí una fuente 5VDC que se conecta directamente a 220VAC.  
¿Necesitaré también el cable USB-DC que esta en la lista?
  - No, solamente uno de los dos mencionados.
- Sobre el cautín, he conseguido uno en forma de pistola en lugar de uno en forma de lápiz. ¿Se podrá usar igual?
  - Cumplen la misma función, hay que tener en cuenta que la soldadura (comúnmente identificado como estaño) debe de ser el que tenga núcleo con flux. Y también contemplar el uso de pasta (flux) para cuando se suelde.
- El ~~capacitor~~ capacitor (condensador) solicitado de 0.1uF tiene forma diferente al que esta en la lista.
- La tarjeta que ha solicitado. ¿Para qué sirve?
  - Es una tarjeta electrónica que contiene un FPGA, y en ese dispositivo podemos “construir” cualquier sistema digital!

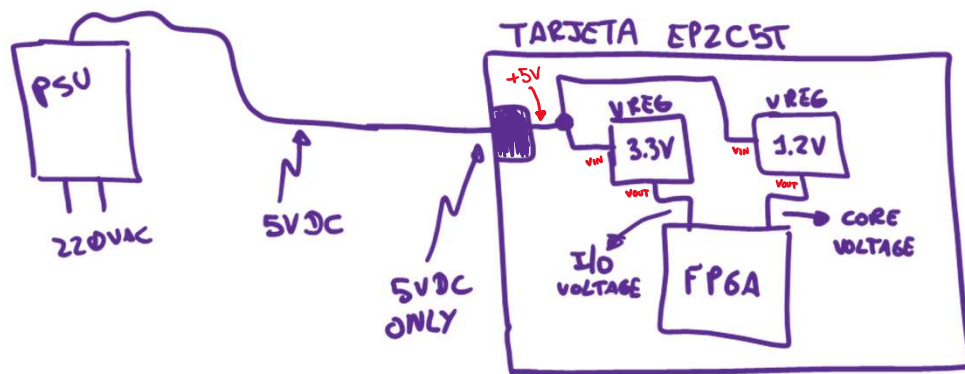
3

## Preguntas previas

- La caja de plástico donde esta su tarjeta montada. ¿Cómo hizo?
  - El diseño esta publicado en: <https://www.thingiverse.com/thing:3842821>, para que lo descargues y uses un servicio de impresión 3D local.
- TSMC: Taiwan Semiconductor Manufacturing Company

4

## Sobre la alimentación energética de la tarjeta



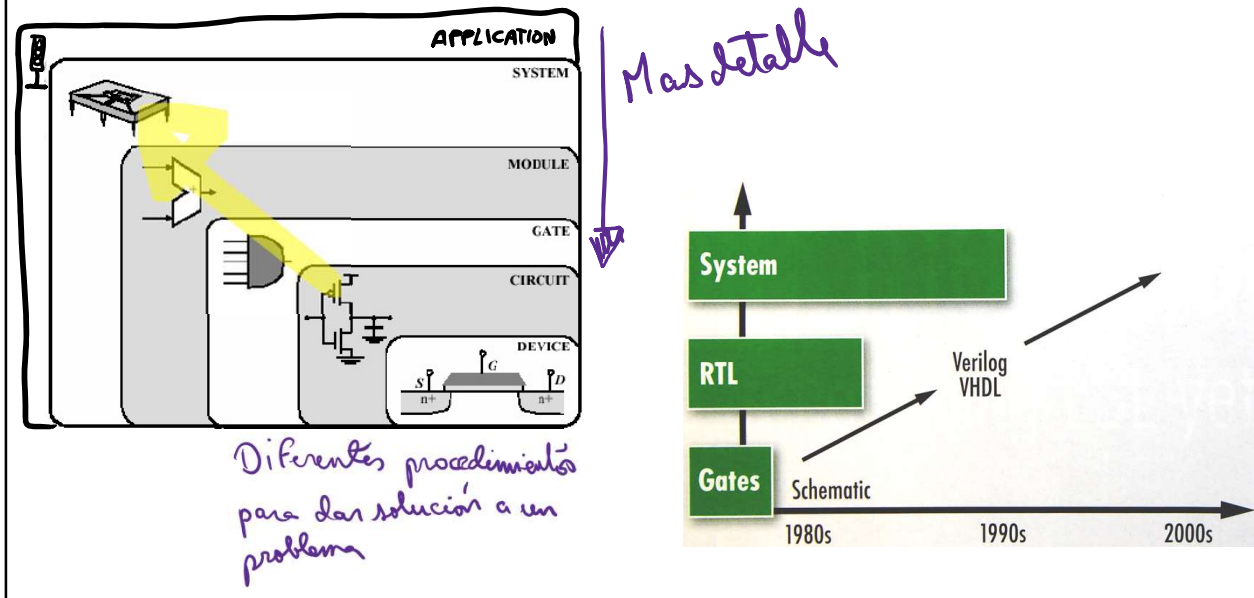
5

## Agenda

- Jerarquía en el diseño digital
- El VHDL
- Características del VHDL y sus estándares
- Estructura de un código en VHDL
- Otros lenguajes HDL: Verilog-HDL

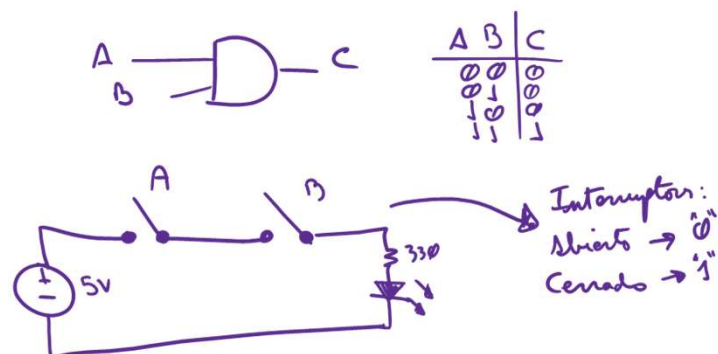
6

## Jerarquía en el diseño digital



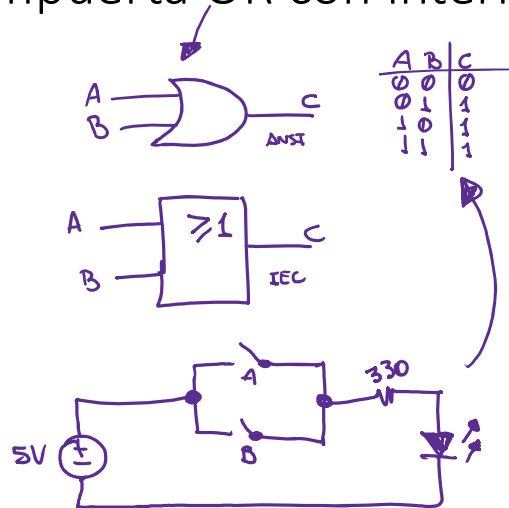
7

## Caso: Compuerta AND con interruptores



8

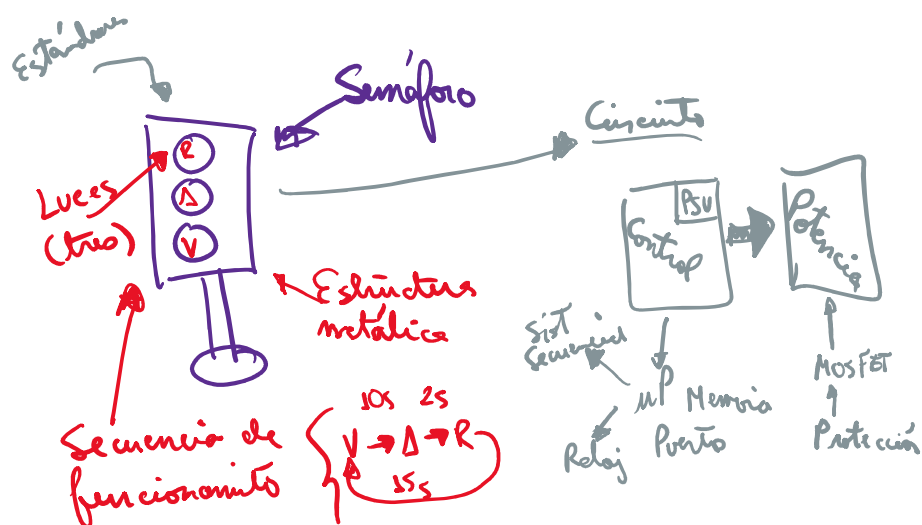
## Caso: Compuerta OR con interruptores



9

## Metodología TOP-DOWN

- Especifica el funcionamiento desde lo mas genérico hacia lo mas específico.



10

## El VHDL

- Las siglas: VHSIC-HDL (Very High Speed Integrated Circuit Hardware Description Language)
- Fue orientado para describir funcionalmente y **de manera formal** el funcionamiento de un circuito integrado.
- ¿Cuándo se concibieron los HDL (VHDL y Verilog) y por que?
  - 1981 por el US Department of Defense
  - 1983 se formalizó el equipo de trabajo
  - 1985 VHDL revisión 7.2 (IBM y TI)
  - 1987 Estándar IEEE 1076 - 1987

11

## El VHDL

- Inicialmente para describir
- Altera Corporation (1983)
  - Síntesis Lógica
  - VHDL
  - PLD
- Fase de simulación
- Fase de implementación (síntesis lógica)



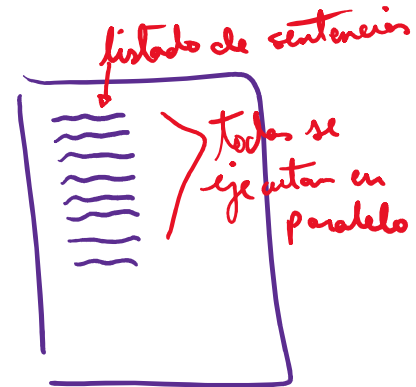
↑ IBM PC  
evolución

FPGA → 1990  
(Xilinx)

12

## El VHDL - Características

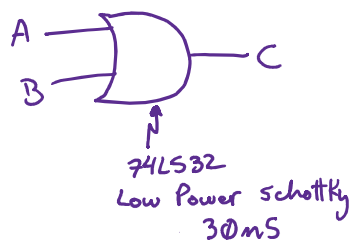
- Actualmente se usa para modelado (descripción), simulación y síntesis (implementación) de circuitos.
- Estándar IEEE 1076, primera revisión en 1987, última revisión 2019(\*) pero los desarrolladores soportan el 2008.
- Adoptado por los fabricantes de IC
- Lenguaje de naturaleza concurrente →
- Modela retardos
- Modularidad (componentes – RTL)
- Diferentes estilos para describir
- **Independiente del fabricante y la tecnología**



(\*) <https://standards.ieee.org/standard/1076-2019.html>

13

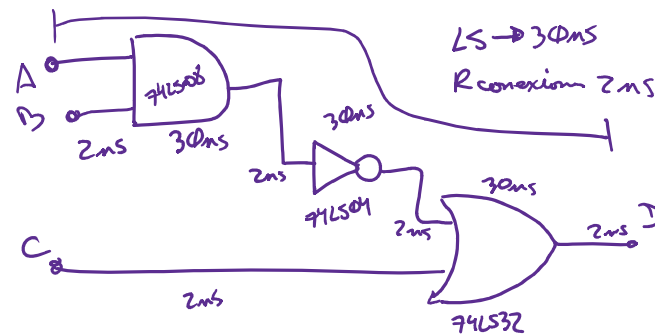
## ¿Retardos?



En VHDL :  $C \leq A \text{ or } B \text{ after } 30\text{ns};$

14

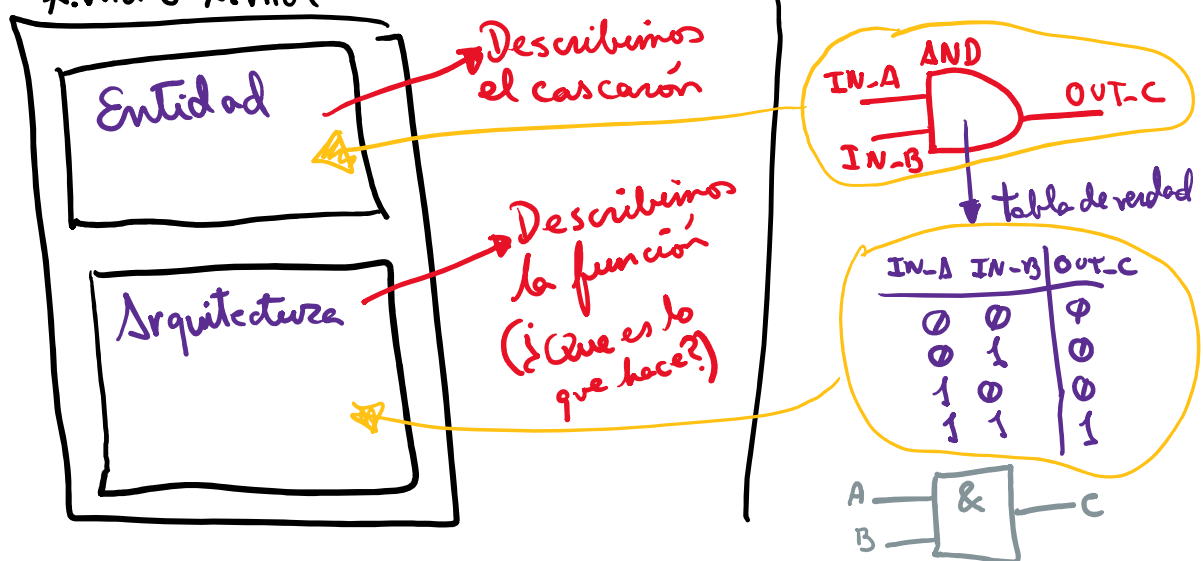
## Ejemplo de cálculo de retardos



15

## Estructura de un código descriptivo en VHDL

\*.vhd ó \*.vhdl



16



## Estándar IEEE 1164

- *Multivalued Logic System for VHDL Model Interoperability*
- Establece los niveles lógicos presentes en un circuito
- ¿Cuántos niveles lógicos contempla?

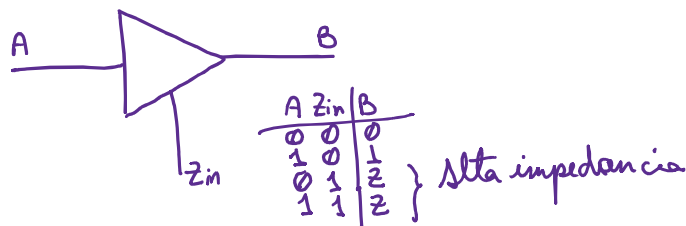
*std\_logic*

Character	Value
'U'	uninitialized
'X'	strong drive, unknown logic value
'0'	strong drive, logic zero
'1'	strong drive, logic one
'Z'	high impedance
'W'	weak drive, unknown logic value
'L'	weak drive, logic zero
'H'	weak drive, logic one
'-'	don't care

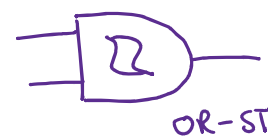
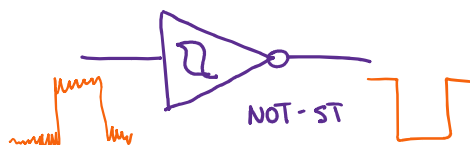


17

## El tri-state



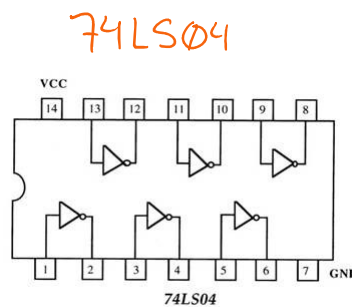
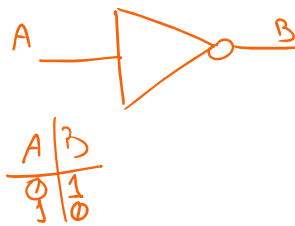
El Schmitt Trigger:



18

## La “zona muerta” o zona de incertidumbre en un circuito digital.

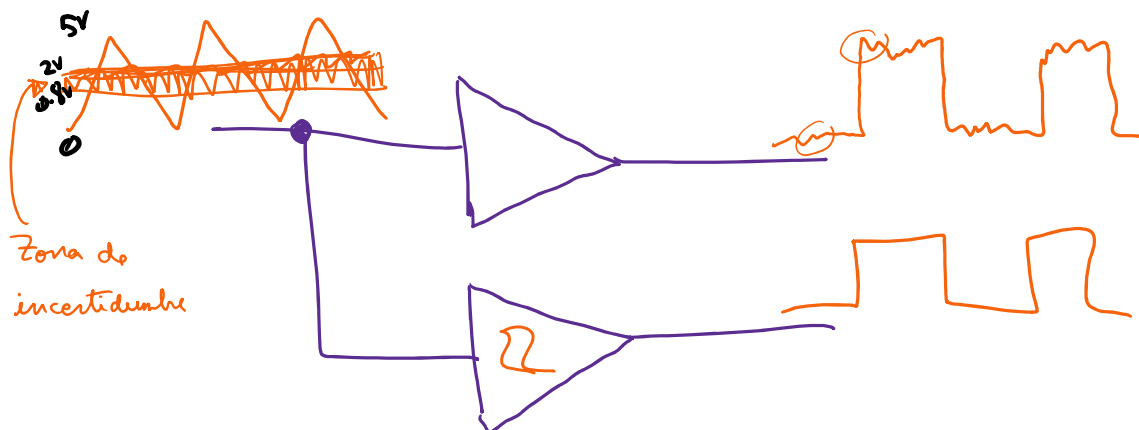
- Es el rango de voltaje en el cual un circuito digital (dependiendo de la tecnología también) que no puede discernir si es un cero lógico o un uno lógico.



"0" → 0V - 0.8V  
 "1" → 2V - 5V  
 ↓  
 0.8 ~ 2V  
 ¿qué hay?

19

## Sobre el Schmitt trigger:



20

Modelo de la AND en VHDL (orientado a la síntesis lógica):

```

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all;
use IEEE.std_logic_unsigned.all;

entity AND_2 is
    port (IN-A, IN-B: in std_logic;
          OUT-C: out std_logic);
end AND_2;

architecture Flujo of AND_2 is
begin
    OUT-C <= IN-A and IN-B;
end Flujo;

```

Declaración de  
 librería, IEEE y  
 sus estándares

Declaración  
 de la entidad

Declaración  
 de la arquitectura

21

Descripción de la AND anterior con estilo  
algorítmico

```

Architecture Bentur of AND_2 is
begin
    process (IN-A, IN-B)
    begin
        if IN-A = '1' and IN-B = '1' then
            OUT-C <= '1';
        else
            OUT-C <= '0';
        end if
    end process;
end Bentur;

```

22

Fin de la sesión de teoría