

Sistemas Digitales

Semestre 2020-2
Profesor Kalun José Lau Gan
Sesión de Teoría Semana 5

1

Preguntas previas:

- EL41:
 - Semana 5: LB2, Semana 6: PC1
- EL42:

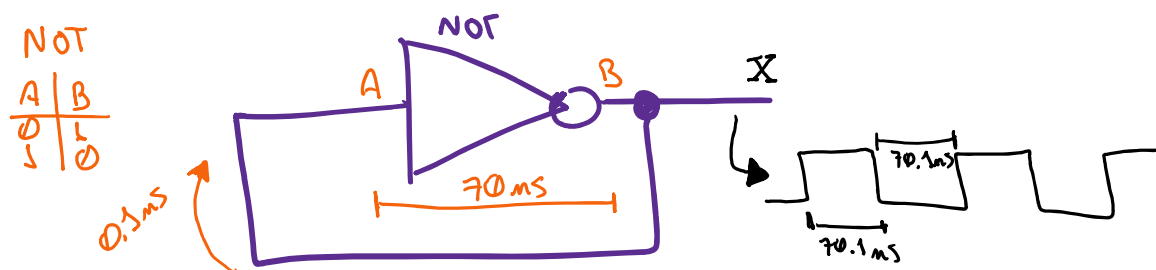
2

Agenda:

- Retardos en circuitos digitales
- Máquinas de Estado
- La MEF Moore y la MEF Mealy
- Modelo en VHDL de una MEF
- Ejemplos de MEF

3

Analice lo siguiente:



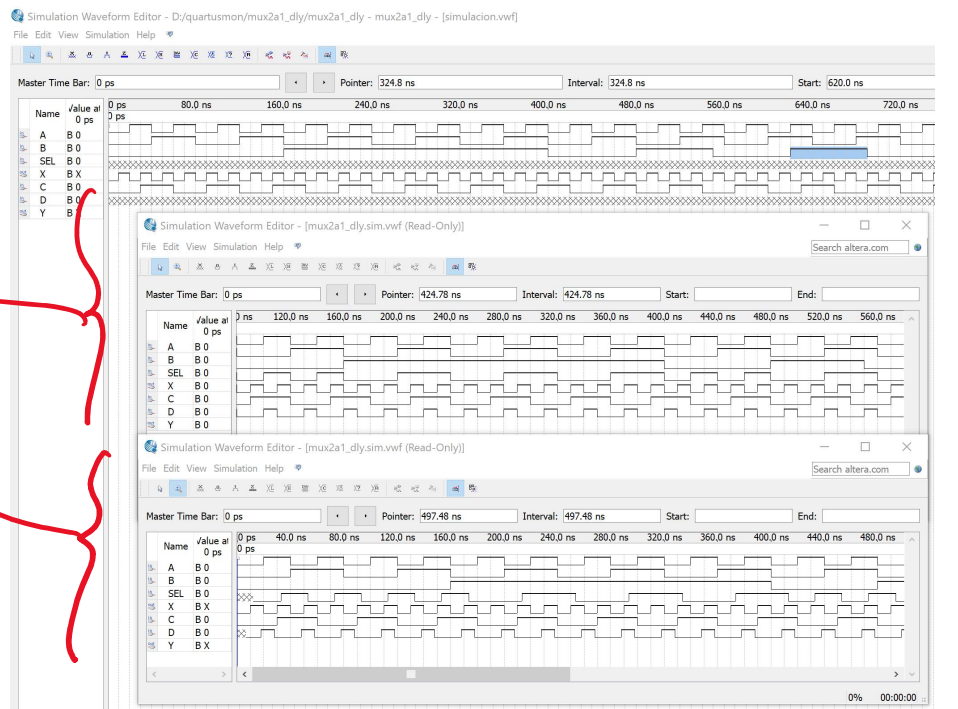
- En combinacional (respuesta sin retardo) representa un cortocircuito
- En la vida real no hay circuitos ni conexiones sin retardo

4

Analicemos
esto otro
también:

Functional

Timing



5

Dos tipos de retardos presentes en circuitos lógicos digitales:

- Retardo Inercial: Modelado de retardo para aproximar el comportamiento real de las compuertas.

Ej: $A \leftarrow \text{not } B \text{ after } 10\text{ns};$

- Retardo de Transporte:

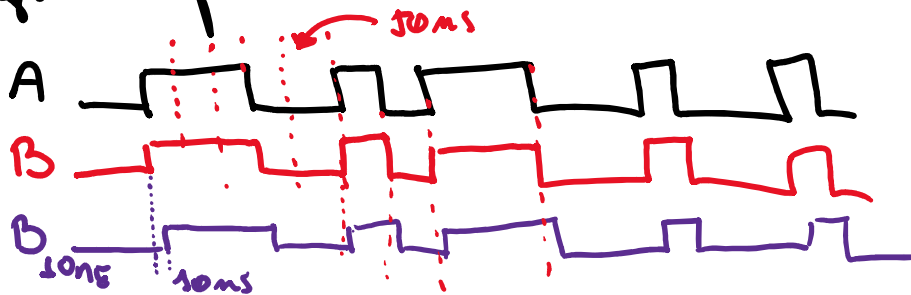
$A \leftarrow \text{transport not } B \text{ after } 10\text{ns};$

6

“Retardo inercial” vs “Retardo de transporte”

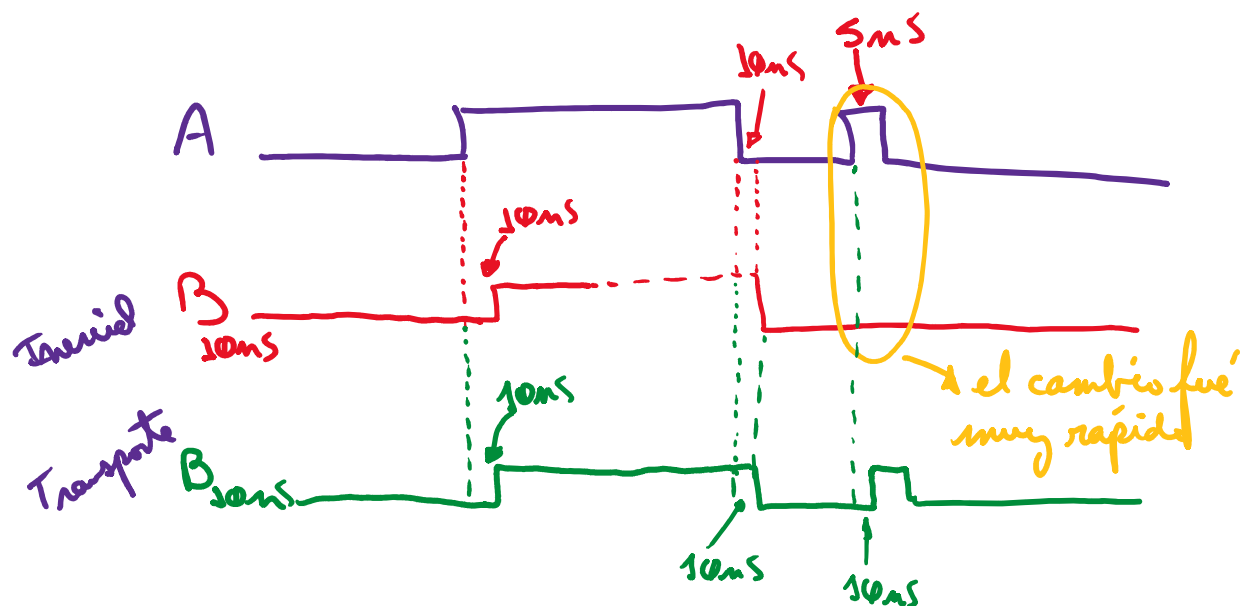


Diagrama de formas de onda:



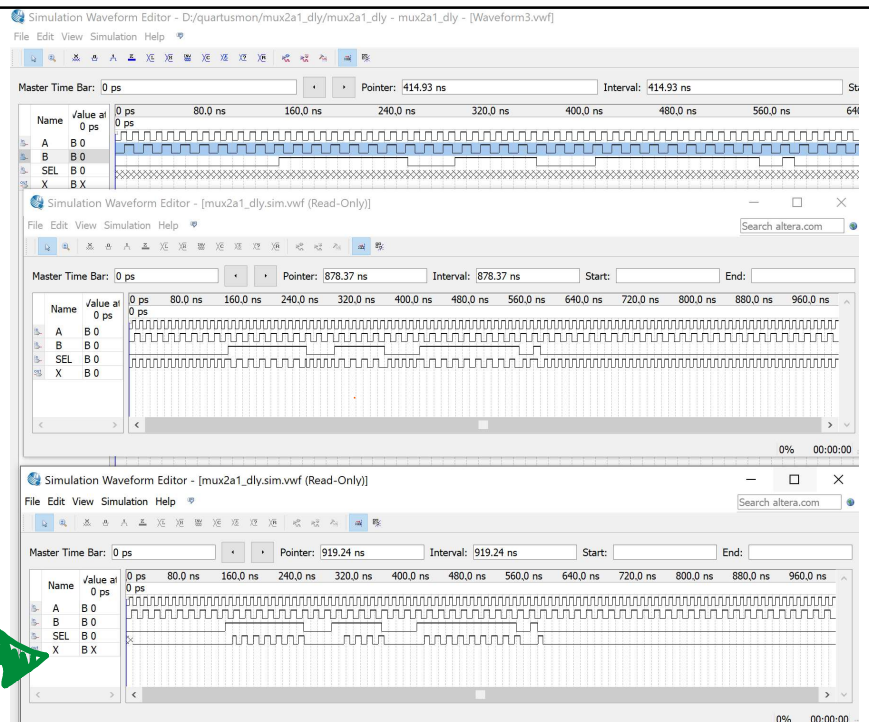
7

(cont...)



8

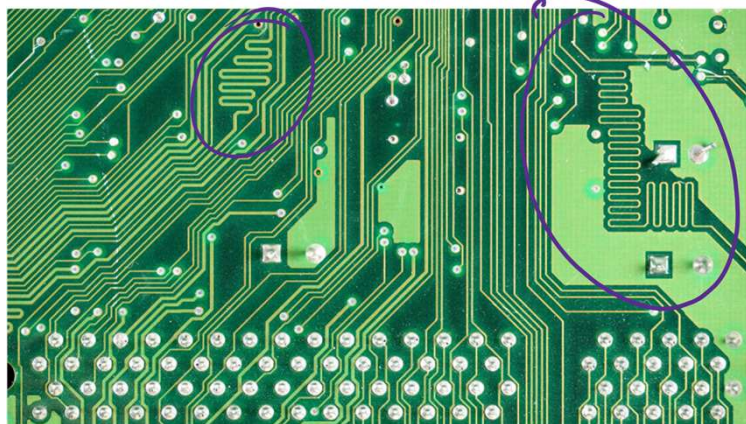
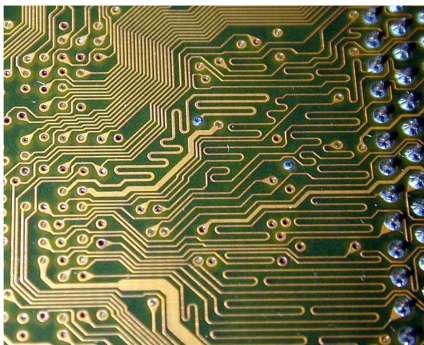
Aumentando la frecuencia en las entradas producirá en la salida del circuito el efecto de retardo inercial:



9

Caso:

¿Qué son?



10

Máquinas de estado

- Son modelos para representar el comportamiento de un sistema secuencial.
- Son finitos (no pueden crear nuevos estados)
- La representación de una máquina de estados finita (MEF) se realiza mediante un diagrama de estados.
- La implementación de las MEFs es en base a FFs y al desarrollo de contadores síncronos.
- Dos tipos:
 - Mealy: Salidas cambian por un cambio de estado o por cambio en el valor de las entradas.
 - Moore: Salidas cambian cuando cambia el estado

11

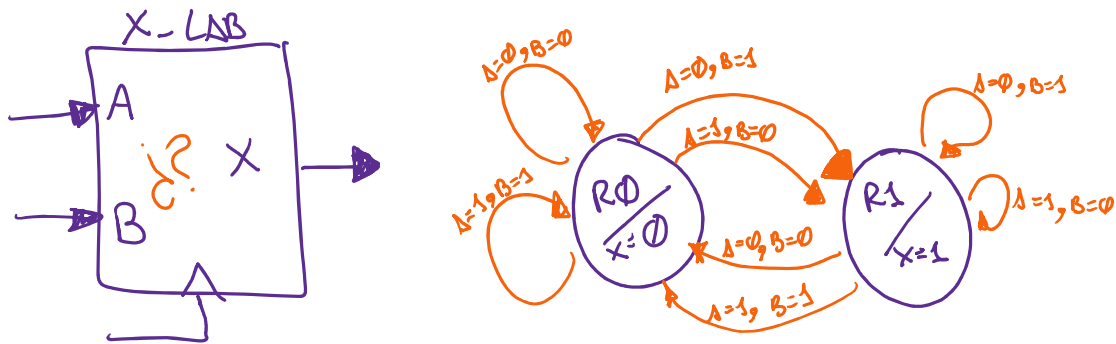
Máquinas de estado

- Información adicional:
 - Ayudas visuales en AV: Unidad 2 / Semana 5 / VHDL – Parte 4
 - James O. Hamblen y Michael D. Furman. Rapid Prototyping of Digital Systems: Capítulos 6.11 y 7.
 - Meher Krishna Patel. FPGA Designs with VHDL (<https://vhdlguide.readthedocs.io/en/latest/>): Capítulo 9

12

MEF Moore

- Ejemplo: Modelo de un XOR con entrada de reloj (síncrono)
- La salida X se actualizará con el pulso de reloj



13

MEF Moore

- Ejemplo: Código descriptivo de lo anterior en VHDL

Tres declaraciones concurrentes:

```
library IEEE;
use IEEE.std_logic_1164.all;

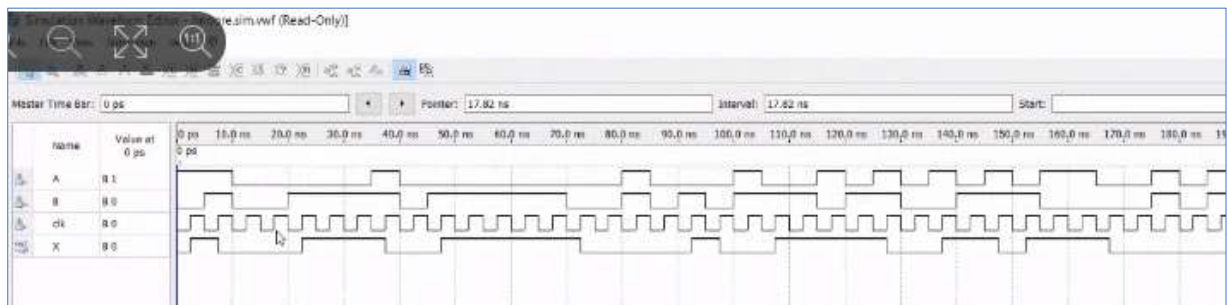
entity X_LAB is
port ( clk, A, B: in std_logic;
      X: out std_logic);
end X_LAB;

architecture flujo of X_LAB is
TYPE estados is (R0, R1);
SIGNAL es_p: estados;
SIGNAL INTERNO: std_logic_vector(1 downto 0);
begin
    1 -- INTERNO <= A&B;
    process (clk)
    begin
        if rising_edge(clk) then
            case es_p is
                when R0 =>
                    if INTERNO = "00" then
                        es_p <= R0;
                    elsif INTERNO = "11" then
                        es_p <= R0;
                    else
                        es_p <= R1;
                    end if;
                when R1 =>
                    if INTERNO = "01" then
                        es_p <= R1;
                    elsif INTERNO = "10" then
                        es_p <= R1;
                    else
                        es_p <= R0;
                    end if;
            end case;
        end if;
    end process;
    2 -- with es_p select X <= '1' when R1, '0' when R0;
    3 -- end flujo;
```

14

MEF Moore

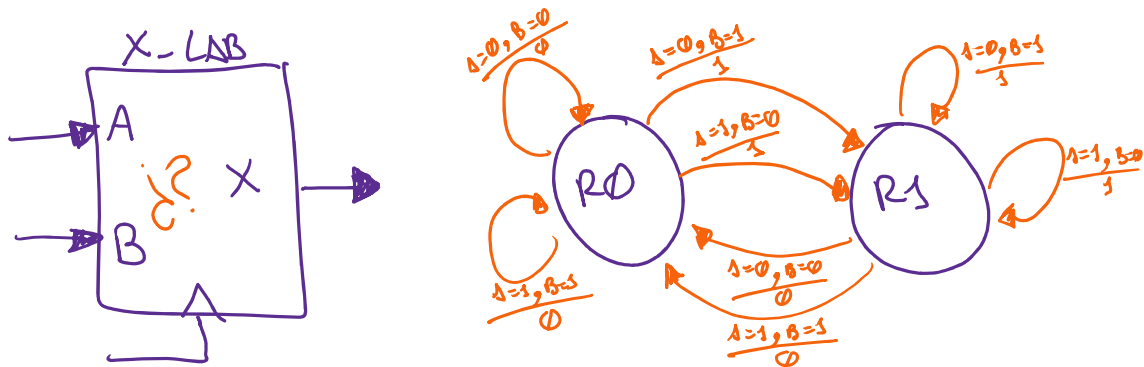
- Ejemplo: Simulación



15

MEF Mealy

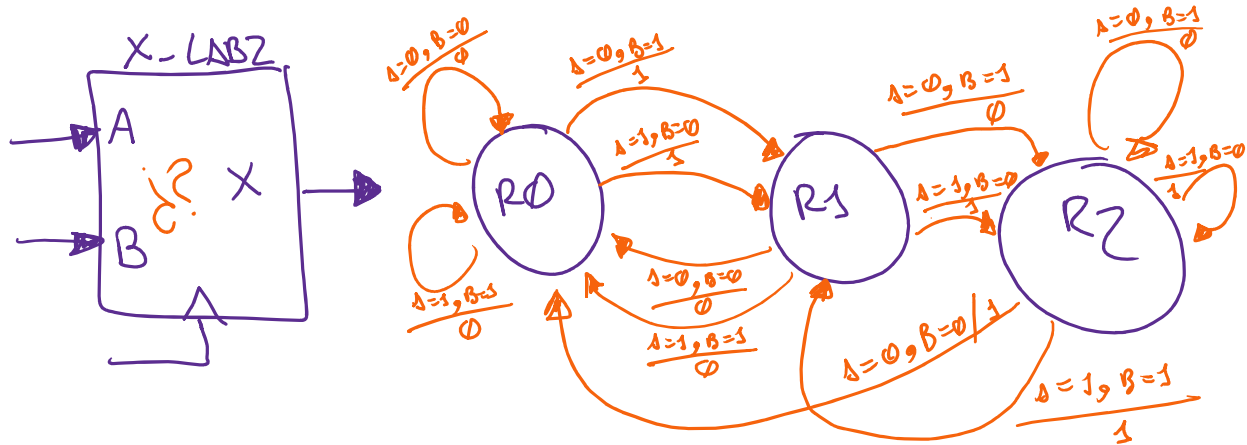
- Modelo de XOR con entrada de reloj (asíncrono)
- La señal X se esta actualizando antes del reloj!



16

MEF Mealy

- Modelo de con entrada de reloj (asíncrono)
- La señal X se esta actualizando antes del reloj!



17

Cuestionario

- Averiguar el retardo presente en los dispositivos de la familia 74LS
- Averiguar cuál es la familia de dispositivos lógicos con el menor retardo (mas veloz)
- ¿Cuáles son los niveles de voltaje en LVTTTL?
- ¿Cuáles son los niveles de voltaje en EIA/TIA232?
- Desarrollar un circuito en VHDL que permita realizar una cuenta 00-99 con visualización en dos displays de siete segmentos del tipo cátodo común y en forma multiplexada.

18

Fin de la sesión