

ТЕХНИЧЕСКИ УНИВЕРСИТЕТ – ВАРНА
ФАКУЛТЕТ ПО ИЗЧИСЛИТЕЛНА ТЕХНИКА И АВТОМАТИЗАЦИЯ
КАТЕДРА „ЕЛЕКТРОННА ТЕХНИКА И МИКРОЕЛЕКТРОНИКА“
ДИСЦИПЛИНА „ЕЛЕКТРОНИКА“

МЕТОДИЧЕСКИ УКАЗАНИЯ ЗА САМОСТОЯТЕЛНО ОНЛАЙН
РАЗРАБОТВАНЕ НА ЛАБОРАТОРНО УПРАЖНЕНИЕ №8
„ИЗСЛЕДВАНЕ НА СТАТИЧНИ ХАРАКТЕРИСТИКИ НА ПОЛЕВИ
ТРАНЗИСТОРИ. ПОЛЕВИ ТРАНЗИСТОР С P-N ПРЕХОД. СТАТИЧНИ
ХАРАКТЕРИСТИКИ В СХЕМА С ОБЩ СОРС“

I. Кратки теоретични сведения.

Полевите транзистори са група транзистори с няколко разновидности, чиито принцип на работа се отличава от този на биполярните транзистори. Обобщеното им наименование е **FET (Field Effect Transistor)**. Те имат още две имена. Първото е **униполярни** транзистори, защото при тях електрическият ток се провежда само от един тип токоносители в полупроводника – или само електрони, или само дупки. Това е съществена разлика с първите видове транзистори, обект на упражнение № 6 (p-n-p и n-p-n), които са биполярни, защото при тях токоносителите са двата вида – електрони и дупки. Второто наименование на полевите транзистори е **канални** транзистори, защото токът се провежда от специално обособена структура, наречена **канал** (лат. *canalis* - тръба).

Идеята при полевите транзистори е да се управлява потокът токоносители с помощта на напречно действащо електрическо поле. Подобна идея е реализирана много отдавна в механиката – т. н. **шибърен кран** (нем. *schieber* – клапа, заслонка, резе).

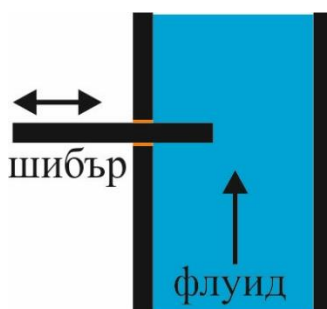


Схема на шибърен кран

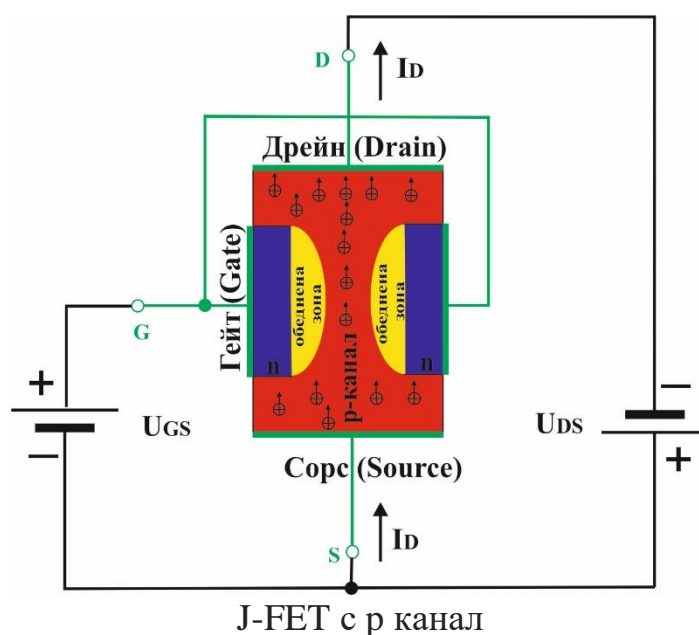
Първ идеята за управление на поток токоносители в твърдо тяло с помощта на електрическо поле изказва физикът Julius Edgar Lilienfeld в 1926-28 г., но поради различни технически трудности, идеята не е реализирана в работещ прибор. Същият

физик през 1931 г. патентова електролитния кондензатор и в този си вид с малки усъвършенствания той се произвежда и до днес. По това време са съществували вакуумните електронни лампи, където е реализирана идеята за управление на поток от електрони, но движещи се във вакуум.

FET транзисторите се разделят на две големи групи.

1. **FET с управляващ p-n преход. Те се наричат j-FET. Буквата j идва от англ. junction – възел, кръстопът, шев, съединение, свързване. Така в англезичната литература се нарича p-n преходът.**
2. **FET с изолиран управляващ електрод. Те се наричат MOSFET (MOS – Metal Oxide Semiconductor). Те са обект на разглеждане в упражнение 9.**

Устройството на j-FET е следното.

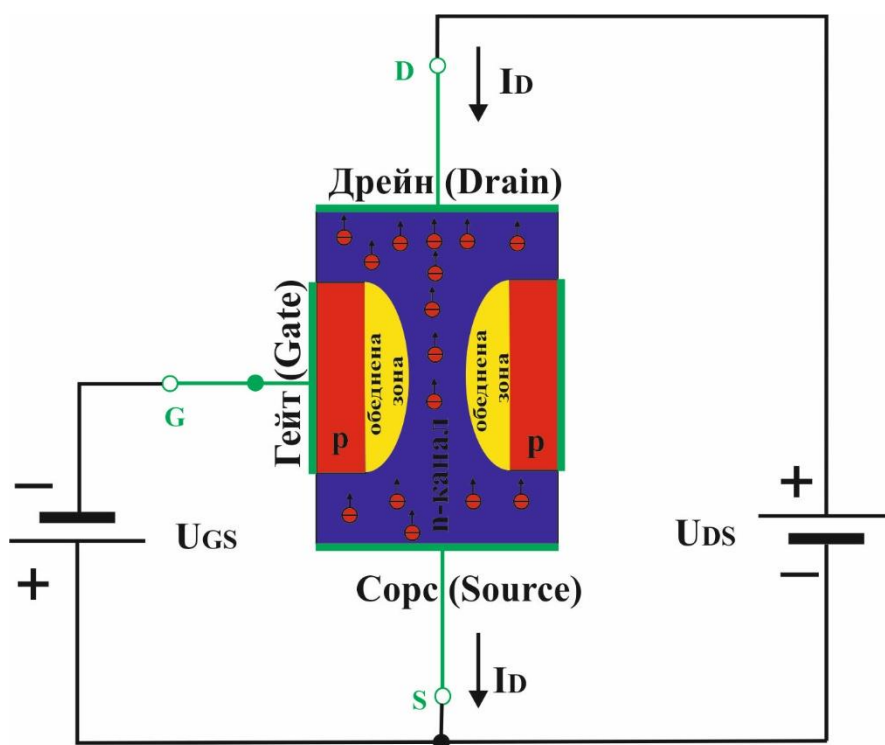


На кристал от полупроводник p тип се формират две области от n тип. Полупроводникът от p тип образува канала, който провежда ток. В случая, токоносителите са само дупки. Областите от n тип образуват с p канала p-n преход. Този преход се поляризира в обратна посока чрез левия токоизточник, при което ток през прехода практически не тече. Но p-n преходът се разширява, при подаване на обратно напрежение, в канала се създава обеднена на токоносители зона и токът през канала намалява. **Колкото е по-голямо обратното напрежение на p-n прехода, толкова по-тесен става каналът и токът е по-малък.** Възможно е и напълно запушване на канала, при някакво напрежение на прехода U_p , при което токът през канала става нула. Буквата p идва от англ. pinch-off – прищипвам, отщипвам, отчеквам, стискам (pinch – притеснено положение). В англезичната литература се срещат още две наименования на това напрежение – cut-off voltage (cut – режа, срязвам, отрязвам, скъсявам и др.) и threshold voltage (threshold – праг, предверие, отправен пункт, начало и др.)

Първите j-FET са били с p канал, затова електродът, през който токът на десния токоизточник влиза в канала се нарича сорс (англ. source – извор, източник, първопричина, начало). Електродът, през който токът излиза от канала се нарича

дрейн (англ. drain – изтичане, оттичане, канализационна тръба, водосточна тръба, дренаж, катетър и др.). Третият електрод е управляващ по отношение на тока на канала (тока на дрейна I_D), затова се нарича **гейт** (англ. gate – врата, порта, бариера, вход, шлюз, планински проход и др.). От съществено значение е фактът, че p-n преходът, стесняващ канала, е поляризиран в обратна посока, поради което ток през прехода (ток на гейта) практически не тече. Това означава, че **J-FET транзисторът се управлява с напрежение, за разлика от биполярните транзистори, които се управляват с ток (тока на базата).** Поради този съществен факт, J-FET транзисторите имат много голямо входно съпротивление. Най-общо казано, входното съпротивление е отношението на входното напрежение към входния ток, а последният е практически нула. Голямото входно съпротивление дава много сериозни схемотехнически предимства на тези транзистори в много области, например, при усилване на слаби сигнали.

За материал на канала може да се вземе и полупроводник n тип. Тогава получаваме n канален J-FET.

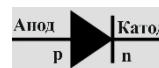


J-FET с n канал

Обърнете внимание на факта, че токоносителите в p каналния и n каналния J-FET транзистори се движат в една посока – от сорса към дрейна. В електротехниката (и електрониката) се приема, че посоката на тока е обратна на посоката на движение на електроните, които причиняват тока. Електроните са с отрицателен заряд. Приема се, че дупките са еквивалентни на положителни заряди. Тогава, движението на положителните заряди ще съвпада с посоката на тока, който те причиняват.

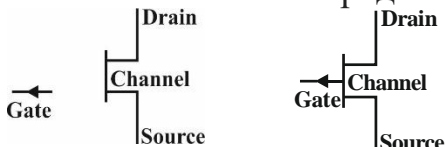
Знаците на J-FET транзисторите в електронните схеми имат две важни особености. Първата е, че те се подчиняват на едно правило, което ще бъде формулирано тук и използвано в следващите упражнения. Втората е, че има две разновидности на знаци.

Знакът на изправителния полупроводников диод е



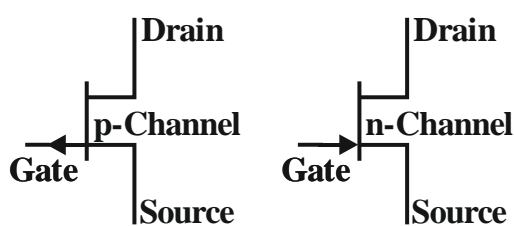
Правилото, при формиране на знака на диода, може да се формулира така: „Стрелката е от р към п“. Това правило важи при формиране на всички знаци на биполарни и полеви транзистори. Когато имаме р j-FET, каналът е р тип, гейтът е от п тип. Тогава стрелката на гейта ще бъде насочена от канала навън. Когато имаме п j-FET, каналът е от п тип, а гейтът е от р тип. Тогава стрелката на гейта ще бъде насочена навътре към канала.

В литературата се срещат два вида означения на j-FET. При първото, знакът на гейта се поставя по средата на канала, между сорса и дрейна.



Изводите на транзисторите не се надписват с букви, или думи. Това се прави само при първоначално запознаване. Тогава, при така съставения знак, няма как да се разбере на схемата, кое е сорс и кое дрейн. В

литературата се посочва, че сорсът и дрейнът са взаимозаменяеми. Това е вярно само, ако структурата на транзистора е симетрична. Фактът, че производителите на j-FET транзистори посочват в справочните данни сорс и дрейн показва, че тя не винаги е симетрична. Затова по-голямо разпространение е получил вторият вариант на знаците.



При този вариант, като отстраним надписите, се разбира кое е сорс (той е срещу гейта) и кое е дрейн.

j-FET имат два вида волтамперни характеристики – предавателна и изходна.

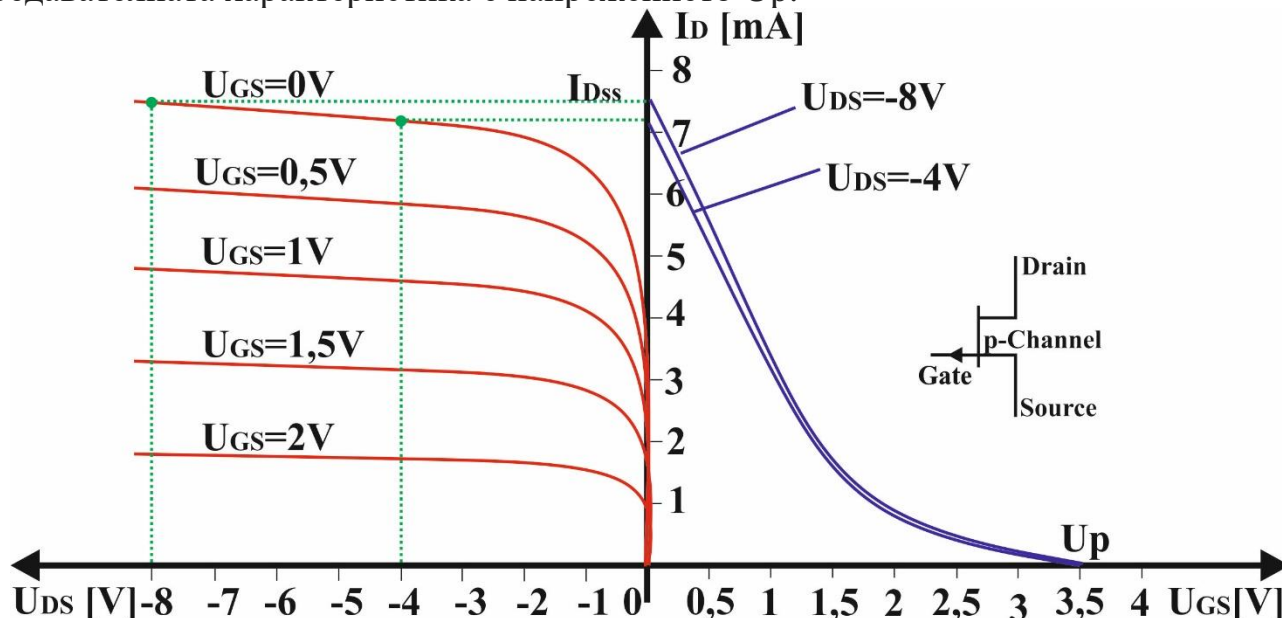
Предавателната характеристика е зависимостта на изходната величина I_D от входната U_{GS} . Тя зависи от напрежението U_{DS} и при различни стойности на U_{DS} се получава семейство предавателни характеристики. При предавателната характеристика аргумент (причината) е U_{GS} , следствието е I_D , а U_{DS} е параметър, който взема различни стойности, но не се изменя при снемане на една зависимост $I_D = f(U_{GS})$, т. е. $U_{DS} = \text{const.}$ (от старогръцки παράμετρος – отмерващ).

Изходната характеристика е зависимостта между двете изходни величини – на тока на дрейна I_D от напрежението U_{DS} , като входната величина U_{GS} е константа. Така се получава семейство изходни характеристики $I_D = f(U_{DS})$ при $U_{GS} = \text{const.}$

При показаните по-горе схеми на свързване на източниците на напрежение към р и п каналните транзистори, двата източника имат общ електрод на транзистора. Това е сорсът. Такава схема на подаване на захранващи напрежения се нарича схема **общ сорс**. При нея големината и полярността на напреженията на другите електроди се измерват спрямо сорса. Съществуват още две схеми на свързване – общ дрейн и общ гейт. За р j-FET напрежението U_{GS} е положително. Тогава е удобно предавателната характеристика да се чертае в I квадрант. Напрежението U_{DS} е отрицателно и тогава е удобно изходната характеристика да се чертае във II квадрант. Много нагледно е двете семейства характеристики да се представят в единна координатна система.

Предавателната характеристика представлява част от парабола. За всяко напрежение U_{DS} , играещо ролята на параметър имаме по една предавателна характеристика. На чертежа са показани само две от тях – за $U_{DS} = 4 \text{ V}$ и за $U_{DS} = 8 \text{ V}$.

Много съществен за предавателната характеристика е токът на дрейна при нулево напрежение U_{GS} . Тогава управляващият р-п преход има нулево напрежение и каналът не е стеснен. Оттук следва, че тогава токът на дрейна ще бъде максимален. Този ток се означава като I_{DSS} (Current Drain-Source Saturation, лат. saturatio, saturationis – насищане, или Current Drain-Source Short-Circuited Gate). Друга величина от предавателната характеристика е напрежението U_p .

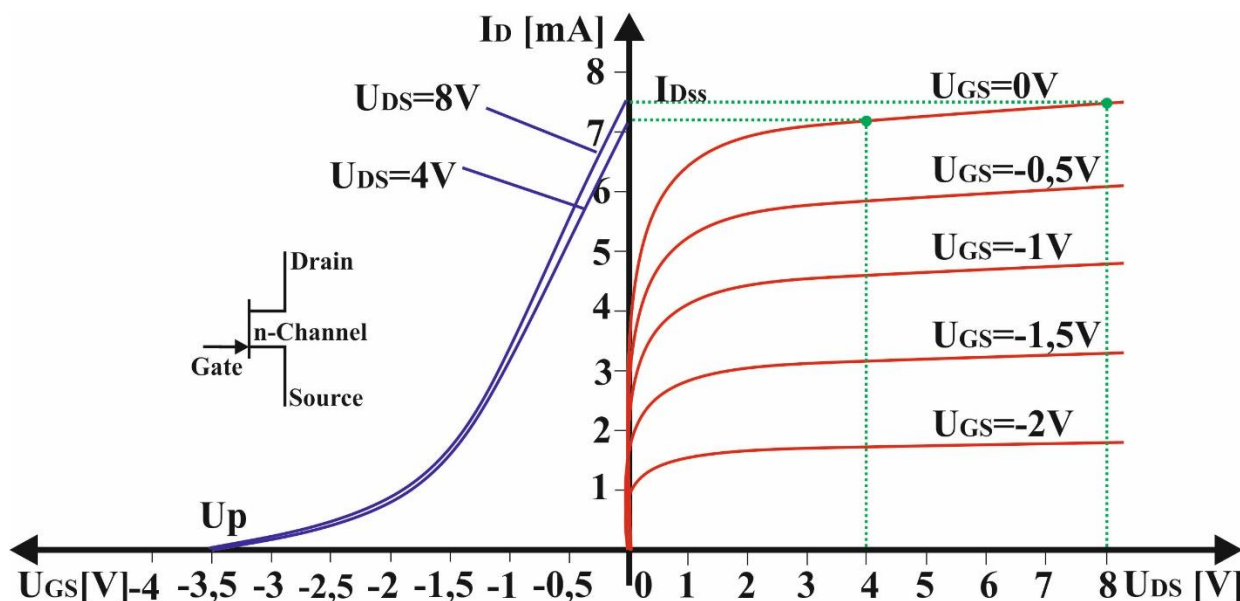


Предавателна и изходна характеристики на р j-FET

Предавателната характеристика се описва теоретично с квадратична зависимост.

$$I_D = f(U_{GS}) = I_{DSS} \left(1 - \frac{U_{GS}}{U_P}\right)^2 \quad \text{за } 0 \leq U_{GS} \leq U_P \quad (1)$$

Токът I_{DSS} е при съответното напрежение U_{DS} . Изходните и предавателните характеристики на j-FET много приличат на тези на биполарните транзистори (BJT – Bipolar Junction Transistor).



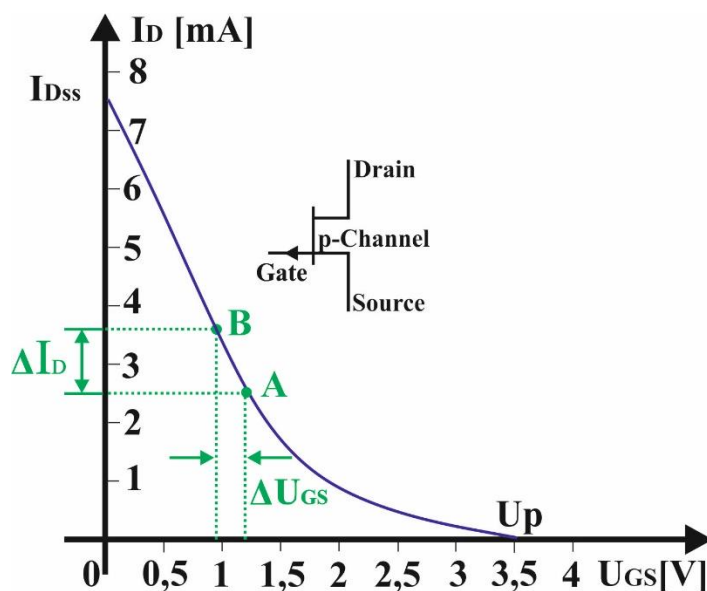
Предавателна и изходна характеристики на p-j-FET

В последните два чертежа е прието, че p-каналният и n-каналният j-FET са абсолютно еднакви по електрически характеристики, само са противоположни посоките на токовете и полярностите на захранващите напрежения. Такива транзистори се наричат **комплементарни** (лат. complementum – допълнение). Такива двойки комплементарни транзистори (марките им са различни) се произвеждат както BJT, така и FET, но получаването на еднаквост на характеристиките не е лесно и се налага последващ допълнителен подбор по двойки от съответните марки. Използването на комплементарни транзистори в схемотехниката дава лесно и качествено решение на някои схемотехнически проблеми, свързани най-вече с изкривяване на сигналите при усилване.

Ако разгледаме предавателната характеристика на j-FET (без значение кой от двата вида) и вземем две близки точки от нея, те ще определят нарастванията ΔU_{GS} и ΔI_D . Тези нараствания са винаги с противоположни знаци! **Отношението $\Delta I_D / \Delta U_{GS}$ се нарича стръмност на предавателната характеристика** и се означава с буквата S от англ. steepness – стръмност, или slope – наклон, склон, скат

$$S = \Delta I_D / \Delta U_{GS} \quad (2)$$

То ще бъде винаги с отрицателен знак, който идва от несъществуващия факт – поляризацията на захранващите напрежения. Затова можем да вземем по абсолютна стойност.



Стръмност на предавателната характеристика на p-j-FET

Стръмността е важна характеристика на j-FET транзистора, защото тя определя усилвателните му свойства. Тя показва колко силно влияе управляващото напрежение U_{GS} върху изходната величина I_D . Дименсията на стръмността в SI е Сименс [$S = A/V$]. Но в практиката се използва по-удобната единица, която не е по SI – mA/V , тъй като токът I_D е от порядъка на милиампери, а напрежението U_{GS} е от

порядъка на единици волтове. Строго математически, стръмността не се определя с крайни нараствания, а с безкрайно малки, което се получава, когато т. В се приближава неограничено към т. А. Това означава, че стръмността е производната на теоретичния израз (1)

$$S = dI_D/dU_{GS} = -2I_{DSS} \left(1 - \frac{U_{GS}}{U_P}\right) \quad \text{за } 0 \leq U_{GS} \leq U_P \quad (3)$$

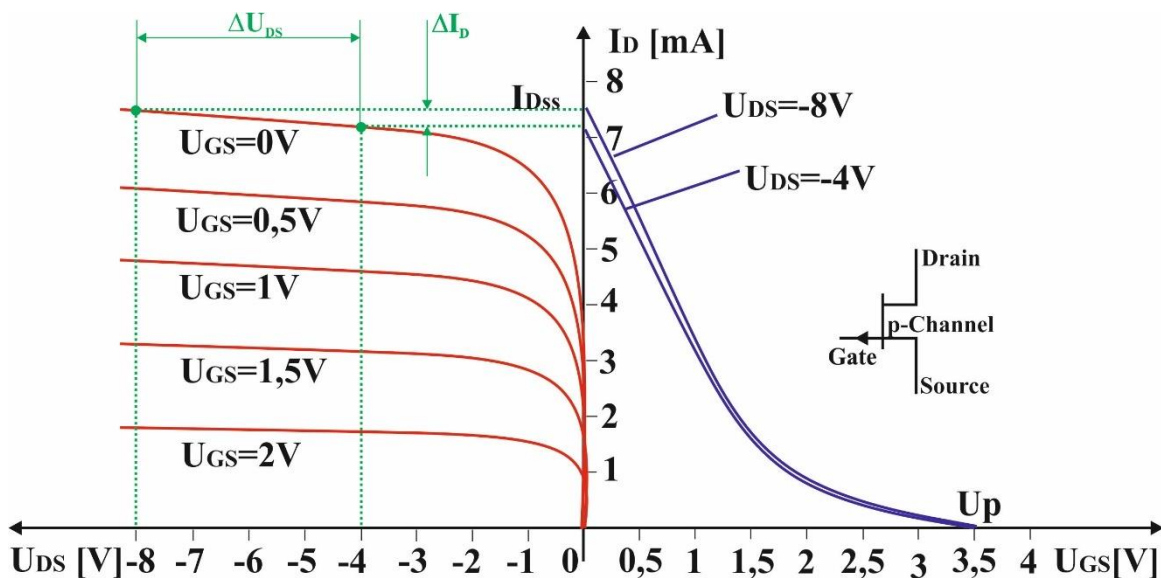
Оттук се вижда, че стръмността зависи от напрежението U_{DS} и е максимална, когато $U_{DS} = 0$, по-нататък намалява.

Ако разгледаме семейството изходни характеристики на j-FET (например на p-j-FET) и върху една от семейството вземем две близки точки, те ще определят нарастванията ΔU_{DS} и ΔI_D . Отношението $\Delta U_{DS}/\Delta I_D$ има дименсия на съпротивление в SI и се нарича диференциално изходно съпротивление

$$R_{изх} = \Delta U_{DS}/\Delta I_D \quad (4)$$

Знаците на нарастванията зависят от полярността на напрежението U_{DS} и посоката на тока I_D , което не е съществено, затова ги вземаме по абсолютна стойност (като положителни).

В началната част на изходната характеристика $R_{изх}$ има сравнително малка стойност, но в хоризонталния участък $R_{изх}$ рязко нараства.



Дефиниране на изходно съпротивление на j-FET

Сравнение между биполярните (BJT) и j-FET транзистори. Прилики и разлики при схеми „Общ емитер“ и „Общ сорс“.

Двата типа транзистори имат принципни разлики в устройството, но и някои прилики. По-лесно се запомнят, ако се направи сравнение между тях и се подчертаят приликите и разликите.

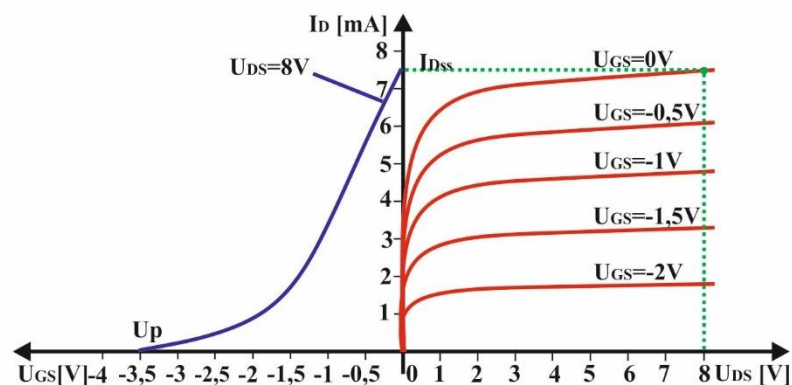
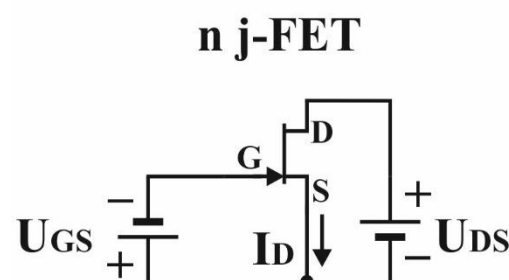
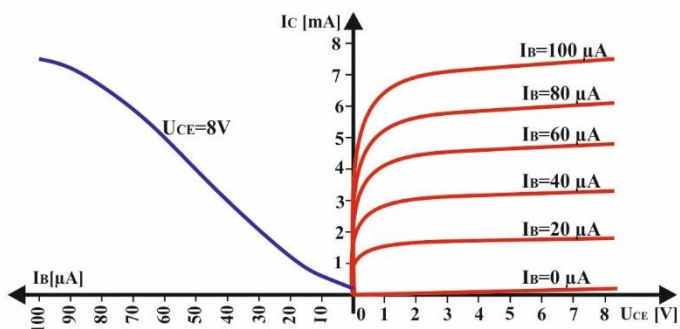
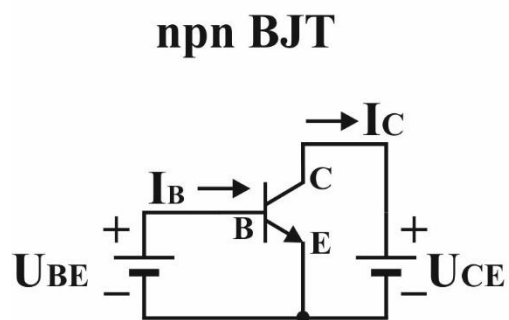
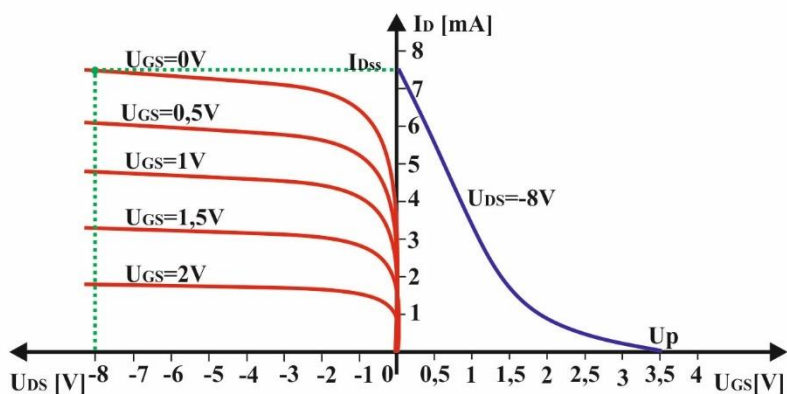
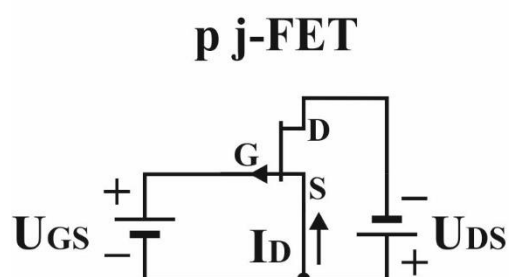
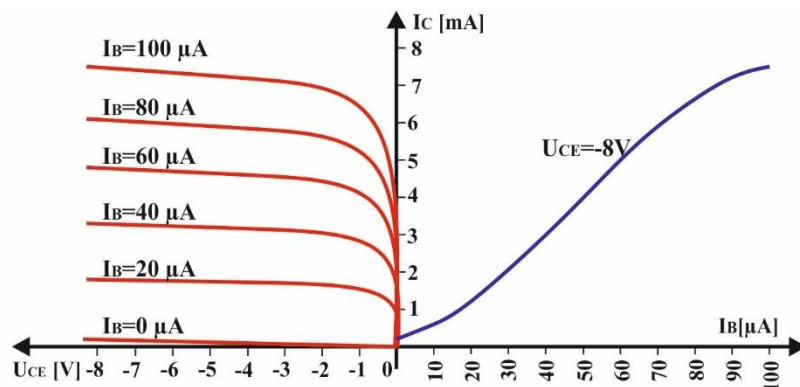
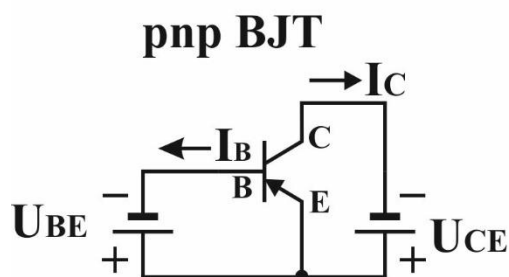
Прилики.

1. Изходните характеристики по двойки (p-n-p BJT/p j-FET и n-p-n BJT/n j-FET) си приличат. Отначало има стръмна част, където на малки изменения на съответното напрежение, съответства съществено изменение на съответния ток, а след това настъпва хоризонтална част, където при изменение на съответното напрежение, съответстващият ток почти не се изменя. Този факт се използва в схемотехниката за създаване на стабилизатори на ток и с единия и с другия тип транзистори.
2. Схемата на свързване „Общ емитер“ при BJT съответства на схемата на свързване „Общ сорс“ при j-FET. При p-n-p BJT/p j-FET полярностите на захранващите източници в изходната верига са еднакви и изходните токове втичат в общите електроди. При n-p-n BJT/n j-FET полярностите на захранващите източници в изходната верига също са еднакви и изходните токове изичат от общите електроди.
3. И при BJT и при j-FET е възможно да се правят комплементарни двойки и те се правят.

Разлики.

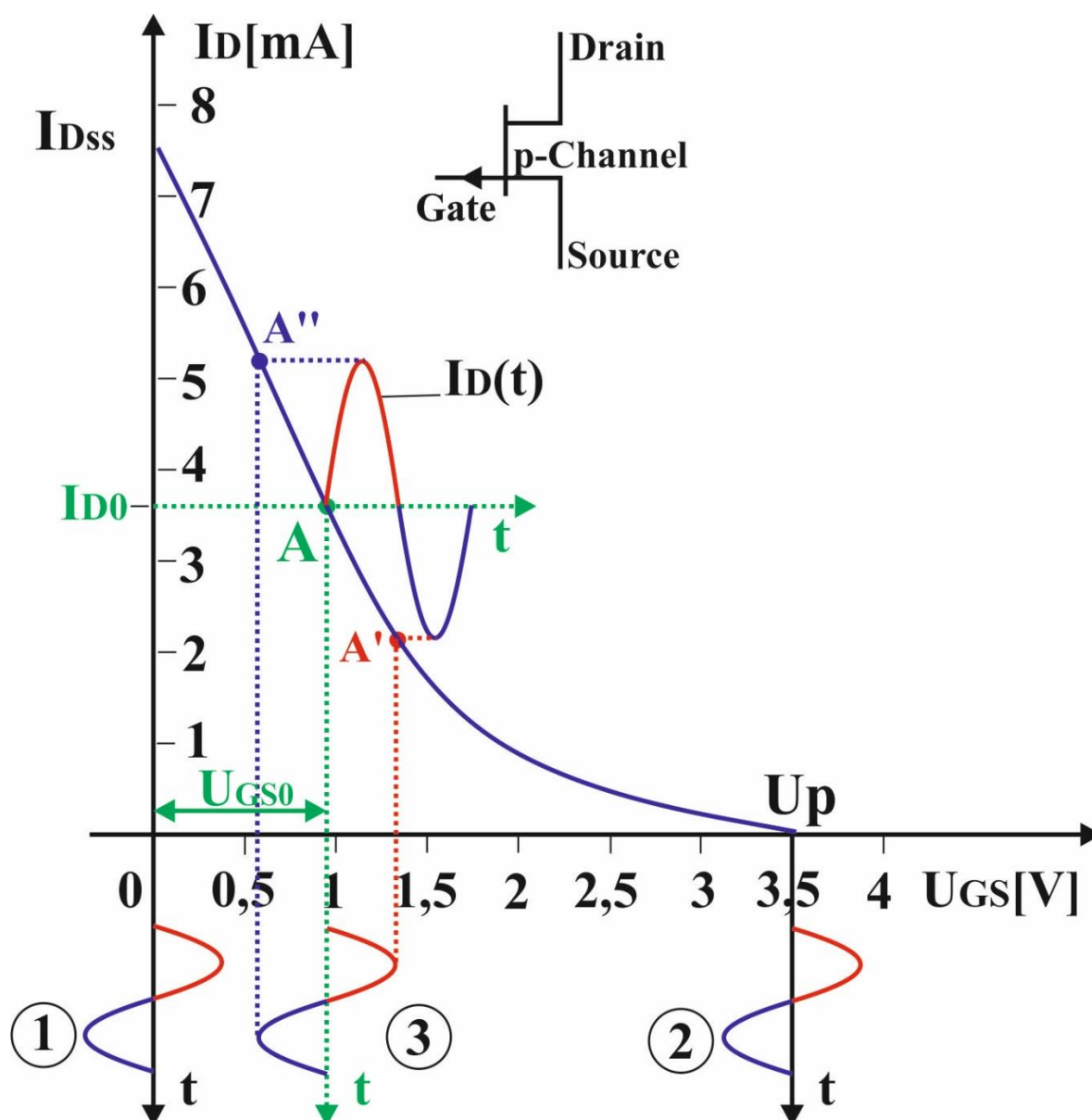
1. Най-важната и съществена разлика е, че BJT се управляват с ток, а j-FET се управляват с напрежение. От тази съществена разлика следват още важни разлики:
 - входното съпротивление на j-FET е много голямо, а на BJT е сравнително малко;
 - във входната (управляващата) верига на BJT тече управляващ ток (токът на базата), а във входната верига на j-FET не тече управляващ ток. Затова на BJT се сменя входна характеристика (зависимостта $I_B = f(U_{BE})$), а на j-FET такава характеристика не се дефинира, защото няма постоянен входен ток.
2. Управляващият електрод на BJT е базата, а на j-FET е гейтът. Предавателните характеристики на двата типа транзистори имат принципна разлика. При нулево управляващо напрежение j-FET имат максимален ток на дрейна, а при нулево управляващо напрежение BJT имат практически нулеви токове на колектора и базата.
3. Стръмността на предавателната характеристика на j-FET има дименсия [mA/V], докато при BJT транзисторите стръмността на предавателната характеристика $\Delta I_C / \Delta I_B = \beta$ е безразмерна величина.
4. За разлика от полярностите на изходните захранващи източници, полярността на входните, при двойките p-n-p BJT/p j-FET и n-p-n BJT/n j-FET е различна.

5. В изходните характеристики на j-FET, най-горната характеристика съответства на нулево управляващо напрежение и по-долните съответстват на по-голямо управляващо напрежение по абсолютна стойност. В изходните характеристики на BJT, най-горната характеристика съответства на най-големия управляващ ток I_B , а по-долните съответстват на по-малък ток I_B .



Сравнение между предавателните и изходните характеристики на р-п-р и п-р-п ВЈТ и р и п канални ј-FET

С помощта на статичните характеристики много нагледно се обяснява едно от най-значимото за практиката приложение на транзисторите – усилване на сигнали. Сигналите са под формата на променящи се напрежения, или токове. В случая на ј-FET, които се управляват с напрежение, ще разгледаме сигнала, подлежащ на усилване, като променящо се във времето напрежение $u(t)$. То заема положителни и отрицателни стойности. За да могат да се усилят еднакво и едните и другите (да няма „дискриминация“), трябва да се вземат предварителни схемотехнически мерки. Идеята е да се направи така, че при подаване на сигнала за усилване $u(t)$, нито положителната, нито отрицателната му част не трябва да попадат извън работната част на волтамперната характеристика. Те трябва да се усилят еднакво, което е гаранция за липса на изкривяване на информацията, която носи сигналът.



Илюстрация на процеса на усилване на p-j-FET

За да може j-FET да усилва правилно сигналите, трябва малко предварителна подготовка. Да предположим, че сигналът за усилване е синусоида (лат. sinus – изивка). Ако го подадем директно на гейта, напр. на p-j-FET (вариант 1), то положителният полупериод на синусоидата ще предизвика намаляване на I_D , но отрицателният полупериод ще доведе до подаване на напрежение в права посока на управляващия p-n преход, което е нарушение на нормалната работа на транзистора. Ако заедно със синусоидата подадем и напрежение U_p (вариант 2), то положителният полупериод няма да предизвика изменение на I_D , а отрицателният ще предизвика увеличение. Няма равнопоставеност между двете половинки на синусоидата, в резултат на което, сигналът ще премине през транзистора изкривен. Единствено добро решение е вариант 3, когато заедно със синусоидата, на гейта на транзистора се подаде постоянно напрежение U_{GS0} . Тогава, ако синусоидата отсъства, през транзистора ще протече ток на дрейна I_{D0} .

Заедно с напрежението U_{GS0} той определя положението на т. А върху предавателната характеристика. Тази точка се нарича работна точка (англ. operation point), или точка на покой (англ. quiescent point, Q-point, quiescence - покой, неподвижност, quiescent – неподвижен, летаргичен). Напрежението U_{GS0} , посредством което се осигурява тази работна точка, се нарича англ. bias voltage (bias – предубеждение, смесване, склонност, предразсъдък и др.), но най-точните значения в случая са **предразполагам, склонявам**. Напрежението U_{GS0} „предразполага, склонява“ транзистора да усилва правилно двата полупериода на сигнала.

В резултат на изменението на U_{GS} във времето, се получава изменение на тока I_D . Изменението на този ток може да се превърне в изменение на напрежението, ако на пътя на тока I_D се постави резистор (между дрейна и захранващия източник U_{DS}). Тогава променящото се напрежение върху резистора ще бъде усиленият сигнал, който ще бъде с по-голяма амплитуда от входния. Този резистор се нарича товарен резистор и се означава с R_T или R_L (от load – товар, тежест, бreme). Отношението на амплитудата на изходния сигнал $U_{ИЗХМАХ}$, към амплитудата на входния $U_{ВХМАХ}$ се нарича коефициент на усилване по напрежение K_U и е безразмерна величина (число).

- $K_U = U_{ИЗХМАХ} / U_{ВХМАХ}$ (5)

Постоянното напрежение U_{GS0} (bias voltage) може да се подаде от отделен източник (което е практически неудобно) или да се получи автоматично от тока на дрейна, чрез един резистор R_s , свързан последователно на сорса. За да не се променя това напрежение, когато се мени токът на дрейна, паралелно на този резистор се свързва изглаждащ пулсациите кондензатор с голям капацитет.

II. Построяване на опитните постановки.

За снемане на предавателната характеристика с помощта на online програмата Multisim, която беше обяснена в упражнение 5, се начертава следната схема на опитната постановка.

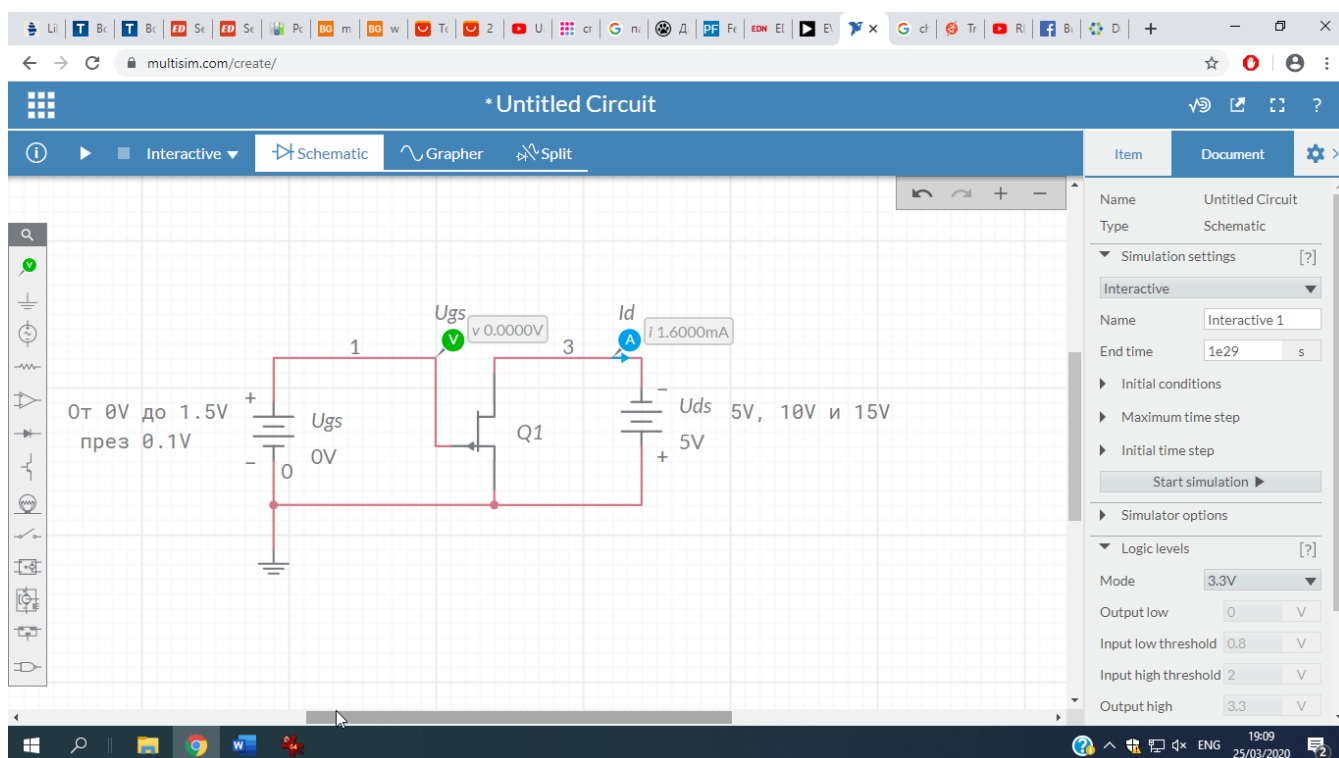


Схема на опитната постановка за снемане на семейства предавателни и изходни характеристики

Левият източник дава напрежението U_{GS} и така се преименува. По същия начин се преименува и десният източник, който дава U_{DS} . **За снемане на семейството предавателни характеристики** се попълват 3 таблици – всяка за съответното напрежение U_{DS} , което взема последователно стойностите 5V, 10V и 15V, както е написано на схемата. Това е параметърът на семейството предавателни хаактеристики. Източникът на U_{GS} (левият) последователно се променя от 0V до 1,5V през 0,1V в режим на стартирана симулация. Вариантът с постоянно напрежение на лявата батерия и потенциометър в този симулатор не работи добре. За всеки две съседни клетки от таблицата се изчислява стръмността S на предавателната характеристика по (2). В симулатора няма възможност да се избира марка на j-FET транзистора.

Предавателна характеристика $I_D=f(U_{GS})$ при $U_{DS}=5V$

U_{GS} [V]	0	0,1	0,2	0,3	0,4	0,5	0,6	0,7	0,8	0,9	1	1,1	1,2	1,3	1,4	1,5
I_D [mA]	1,60	1,48	1,36	1,24	1,13	1,01	0,90	0,79	0,69	0,59	0,50	0,41	0,33	0,26	0,19	0,13
S [mA/V]	-1.2		-1.2		-1.2		-1.1		-1		-0.9		-0.7		-0.6	

Предавателна характеристика $I_D=f(U_{GS})$ при $U_{DS}=10V$

U_{GS} [V]	0	0,1	0,2	0,3	0,4	0,5	0,6	0,7	0,8	0,9	1	1,1	1,2	1,3	1,4	1,5
I_D [mA]	3,6	3,28	2,98	2,68	2,41	2,13	1,88	1,63	1,41	1,19	1	0,82	0,65	0,50	0,37	0,26
S [mA/V]	-3.2		-3		-2.8		-2.5		-2.2		-1.8		-1.5		-1.1	

R_{изх} [Ω]									
U_{DS} [V]	7	8	9	10	11	12	13	14	15
I_D [mA]	0								
R_{изх} [Ω]									

За наблюдаване на процеса на усилване в j-FET и определяне на коефициента на усилване, се начертава следната схема.

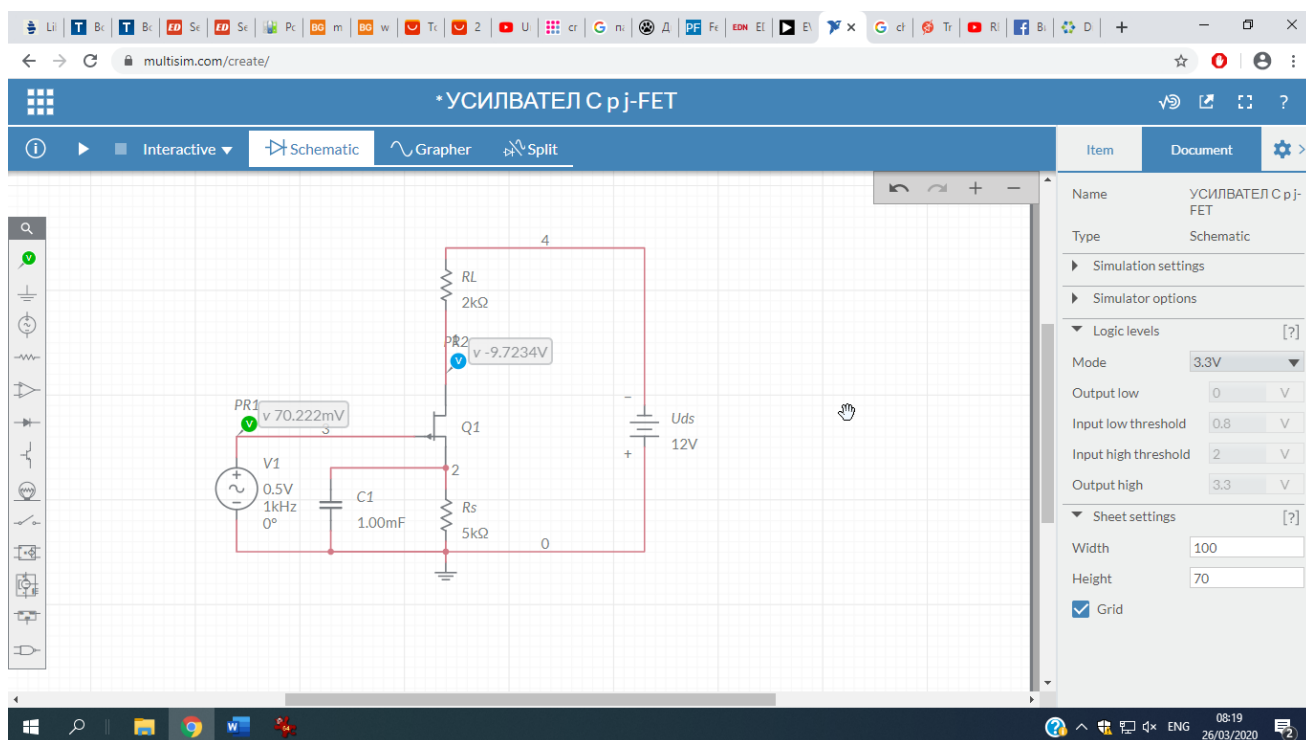
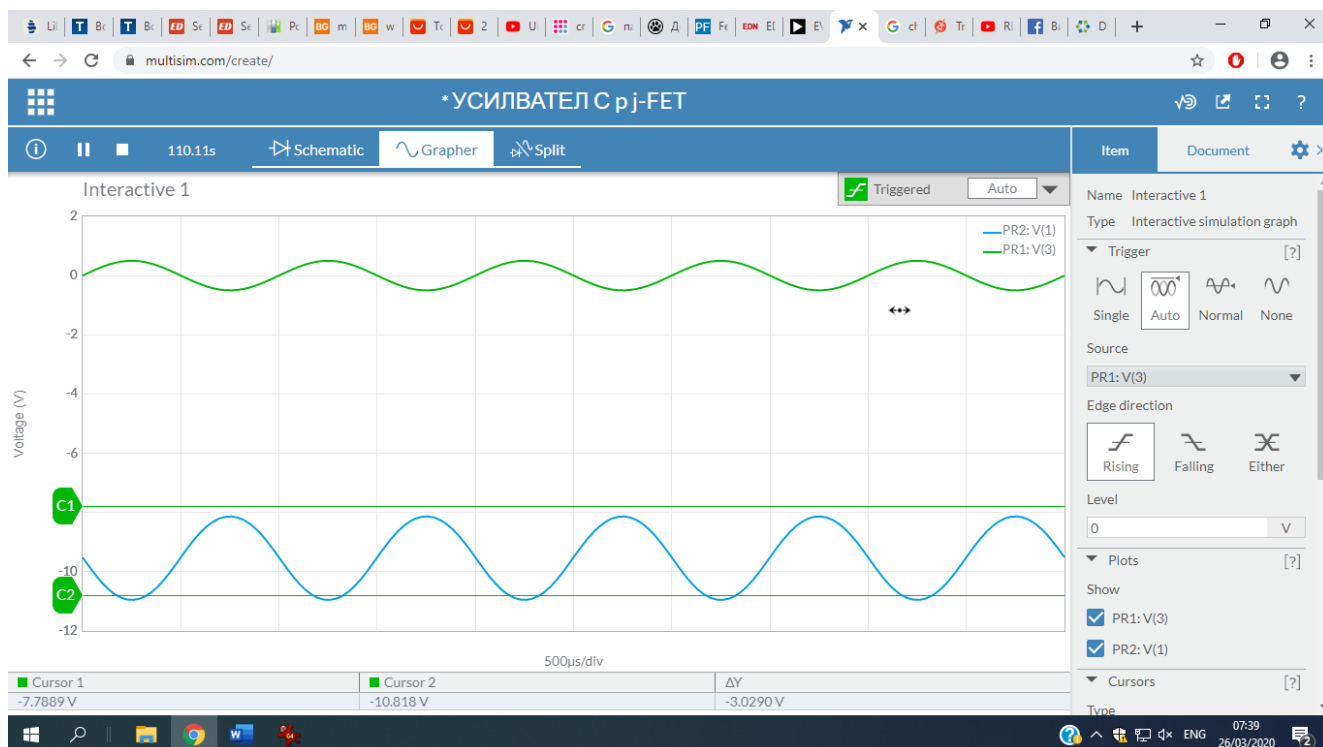


Схема за изследване на усилването на усилвател на сигнали с p j-FET

Захранващия токоизточник преименуваме на U_{DS} , съответно и резисторите във веригите на сorsa и дрейна. Двата волтметра са едновременно и осцилоскопи! **Всеки от тях трябва да бъде захванат само за съединителен проводник!** Можем да наблюдаваме графиката на напрежението в точката на присъединяване на волтметра, като преминем от режим **Schematic** в режим **Grapher**. Осцилограмите се наблюдават в режим на работеща симулация.



Режим Grapher на симулатора

Настройките на осцилоскопа са следните:

Trigger: Auto

Source: PR1 (Probe 1 – Сонда 1)

Edge Direction: Rising

Level: 0V

Plots: PR1, PR2 (Отметки да показва и двата канала едновременно)

Cursors: Type Y Axis

Cursor 1: PR1

Cursor 2: PR1

Axes: Voltage (V)

Time/Div: 500 µs/div

Voltage: Minimum: -12 V

Maximum: 2 V

С помощта на двата курсора, които са конфигурирани да се движат вертикално (по Y), т. е. да мерят напрежение, измерваме амплитудите на двете синусоиди. Генераторът подава на гейта на транзистора синусоида с амплитуда 0,5 V. Това можем да проверим, като захванем синусоидата с двата курсора във вилка така, че курсорите да се допират върху горните и долните и върхове. Най-долу се индицира кой курсор на какво ниво е по напрежение, а най-дясно долу се пресмята ΔY . Взето по абсолютна стойност това е двойната амплитуда. В литературата тя се отбелязва U_{pp} – peak to peak. Половината на U_{pp} е амплитудата на сигнала $U_{BХМАХ} = U_{pp}/2$. Амплитудата е винаги положителна величина! По аналогичен начин се измерва и амплитудата на изходния

променлив сигнал и се изчислява $U_{\text{ИЗХМАХ}}$. Коефициентът на усилване по напрежение K_U се изчислява по (5).

III. Задачи за изпълнение.

1. Снете семейството предавателни характеристики на p j-FET транзистор в схема общ сорс за $U_{DS} = 5 \text{ V}$, 10 V и 15 V . За всяка двойка точки от предавателната характеристика изчислете стръмността.
2. Снете семейството изходни характеристики на p j-FET транзистор в схема общ сорс за $U_{GS} = 0 \text{ V}$, $0,5 \text{ V}$ и 1 V .
3. Начертайте семействата предавателни характеристики, като изберете размера на чертожните полета и подходящи мащаби.
4. Начертайте схема на усилвател на напрежение в схема общ сорс и измерете коефициента на усилване по напрежение.

Разработил: хон. ас. инж. Георги Димитров