

106061151 劉安得

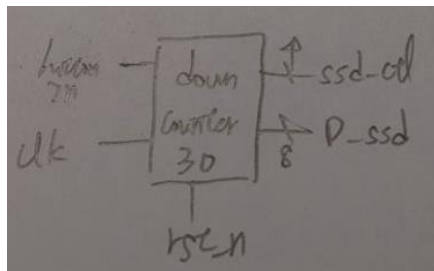
## Prelab5

### 1. Design Specification

30 down counter with button

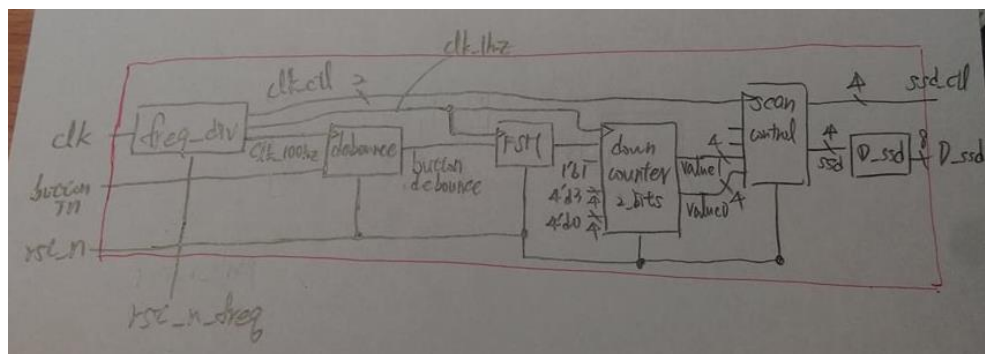
Input : button\_in, clk, rst\_n

Output : [3:0] ssd\_ctl, [7:0] D\_ssd



### 2. Design implementation

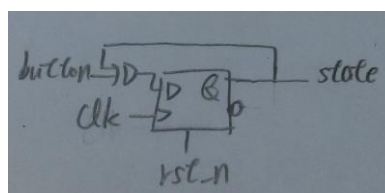
我先大概畫一下 block diagram，因為 prelab 只有要打 finite state machine



### finite state machine

Button	state	Next state
0	0	0
0	1	1
1	0	1
1	1	0

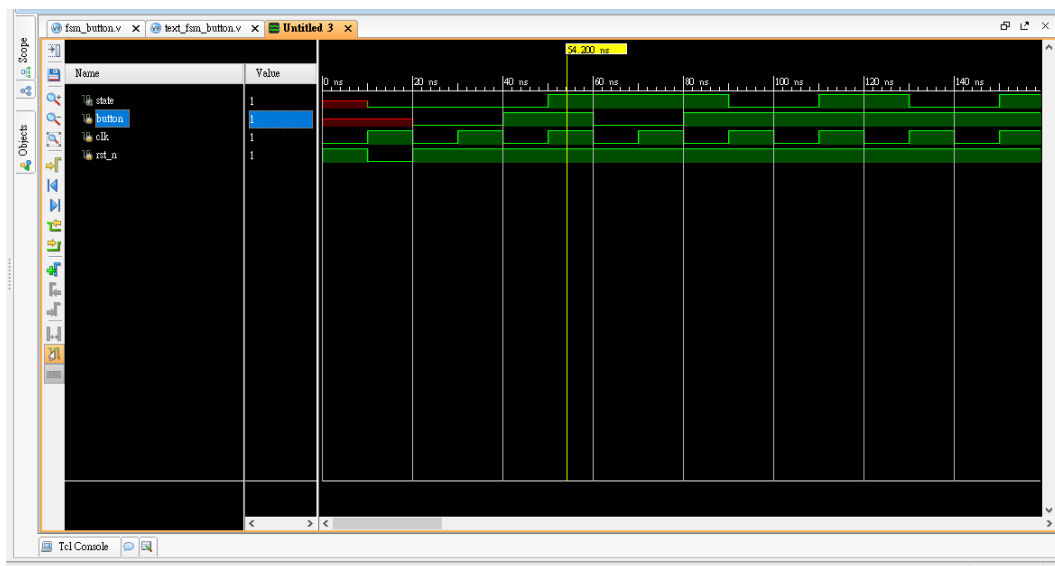
Next state = Button ^ state



D flip-flop

```
always @(posedge clk or negedge rst_n)
begin
    if(rst_n == 0)
        state <= 1'b0;
    else
        state <= next_state;
end
```

### 3. Simulation



State	button	Next state
0	0	0
0	1	1
1	0	1
1	1	0

### 4. Discussion

我 prelab 只有大概畫一下 block diagram，我發現隨著 lab 越做越多，要做的事也越來越複雜。而且這次很多 module 因為之前沒有寫好或是新增功能，所以都要重寫，例如 frequency divider, down counter。Lab5 也有很多新概念，例如 debounce, FSM 等等。

除此之外，我不像範例那樣使用 case 和 if else，我直接用 combinational circuit，來決定 next state 和 state 的關係。我認為這樣會比較省元件。

最後我發現，D flip-flop 最好獨立寫，雖然跟其他 code 寫一起會比較直觀，但這樣也會讓 code 不容易找到錯誤。

## 5. Conclusion

做完這次 prelab，讓我學會如何應用 FSM 和使用 button。

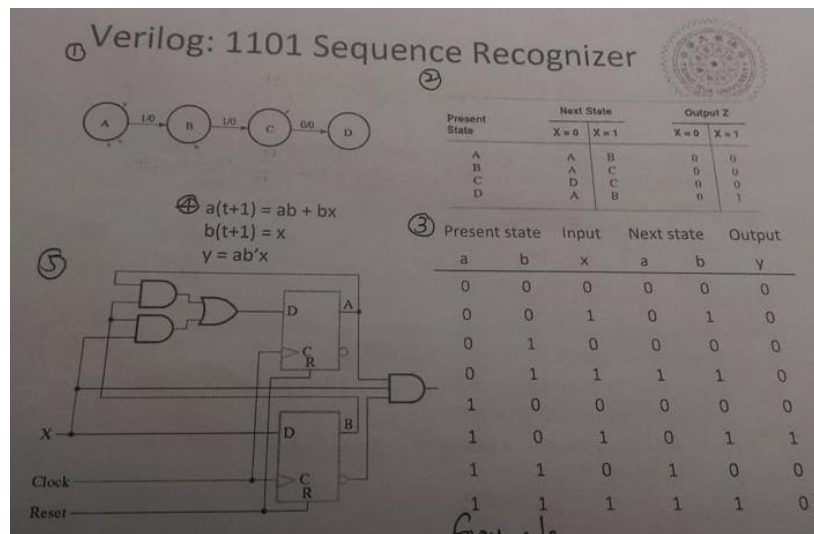
## 6. Reference

05\_Push\_Buttons P.19, P.20

和範例不同的是，我沒有使用 case, if else

## Logic Design Lecture 7 Sequential Circuits

FSM 應用範例



FSM verilog

