

**MINF**  
**Programmation des PIC32MX**

# **Chapitre 2**

## **Architecture et périphériques des PIC32MX**



### **Théorie PIC32MX**

**Christian HUBER (CHR)**  
**Serge CASTOLDI (SCA)**  
**Version 1.91 décembre 2018**



## CONTENU DU CHAPITRE 2

<b>2. Architecture et périphériques des PIC32MX</b>	<b>2-1</b>
2.1.1. Groupe documentation Core	2-1
2.1.2. Groupe documentation Implémentation	2-1
2.1.3. Groupe documentation Peripheral	2-2
<b>2.2. Schéma bloc du PIC32MX</b>	<b>2-3</b>
2.2.1. Schéma bloc du CPU	2-4
2.2.1.1. MDU	2-4
2.2.1.2. MMU	2-4
2.2.2. Concept de Pipeline	2-4
2.2.2.1. Principe exécution des instructions	2-4
2.2.3. Prefetch cache	2-6
2.2.4. Les registres du CPU	2-7
<b>2.3. Organisation de la mémoire</b>	<b>2-8</b>
2.3.1. Kseg et Useg	2-9
<b>2.4. Les périphériques du PIC32MX795F512L</b>	<b>2-10</b>
<b>2.5. Oscillateur et circuit de reset</b>	<b>2-12</b>
2.5.1. L'oscillateur	2-12
2.5.1.1. Les modes de l'oscillateur	2-12
2.5.1.2. Configuration avec oscillateur à quartz	2-12
2.5.1.3. Situation avec oscillateur externe	2-13
2.5.1.4. Détail du système de génération des horloges	2-13
2.5.2. Circuit de Reset	2-14
<b>2.6. Annexe A – Liste E/S du PIC32MX795F512L</b>	<b>2-15</b>
2.6.1. Boitier 100 pin TQFP	2-15
2.6.2. Liste des E/S	2-15
2.6.2.1. Port A	2-15
2.6.2.1. Port B (entrées analogiques)	2-16
2.6.2.1. Port C	2-16
2.6.2.1. Port D	2-17
2.6.2.1. Port E	2-17
2.6.2.1. Port F (Uart SPI I2C)	2-18
2.6.2.1. Port G	2-18
2.6.3. Liste des CN (Change Notification), ordre des ports	2-19
2.6.1. Liste des CN (Change Notification)	2-20
<b>2.8. Historique des versions</b>	<b>2-21</b>
2.8.1. Version 1.0 mars 2014	2-21
2.8.2. Version 1.5 novembre 2014	2-21
2.8.3. Version 1.7 novembre 2015	2-21
2.8.4. Version 1.8 novembre 2016	2-21
2.8.5. Version 1.8.1 décembre 2016	2-21
2.8.6. Version 1.9 octobre 2017	2-21
2.8.7. Version 1.91 décembre 2018	2-21



## 2. ARCHITECTURE ET PÉRIPHÉRIQUES DES PIC32MX

Les PICs existent en de nombreuses variantes et familles. Dans ce chapitre, nous allons focaliser notre étude sur la famille PIC32MX et plus particulièrement sur le modèle MX795F512L utilisé sur le kit PIC32.

Les documents de références sont l'ensemble des datasheets PIC32 que l'on trouve sur le réseau sous :

...\PROJETS\SLO\1102x\_SK32MX775F512L\Datasheets\PIC32 Family Reference Manual.

La documentation est découpée en de multiples sections, dont notamment :

- Un datasheet regroupant l'essentiel de la famille du microcontrôleur MX795 et de ses périphériques.
- 35 sections distinctes détaillant le fonctionnement des différentes parties internes et périphériques.

Les sections se répartissent en 3 groupes :

### 2.1.1. GROUPE DOCUMENTATION CORE

 PIC32 Family Reference Manual, Sect. 02 CPU.pdf

### 2.1.2. GROUPE DOCUMENTATION IMPLEMENTATION

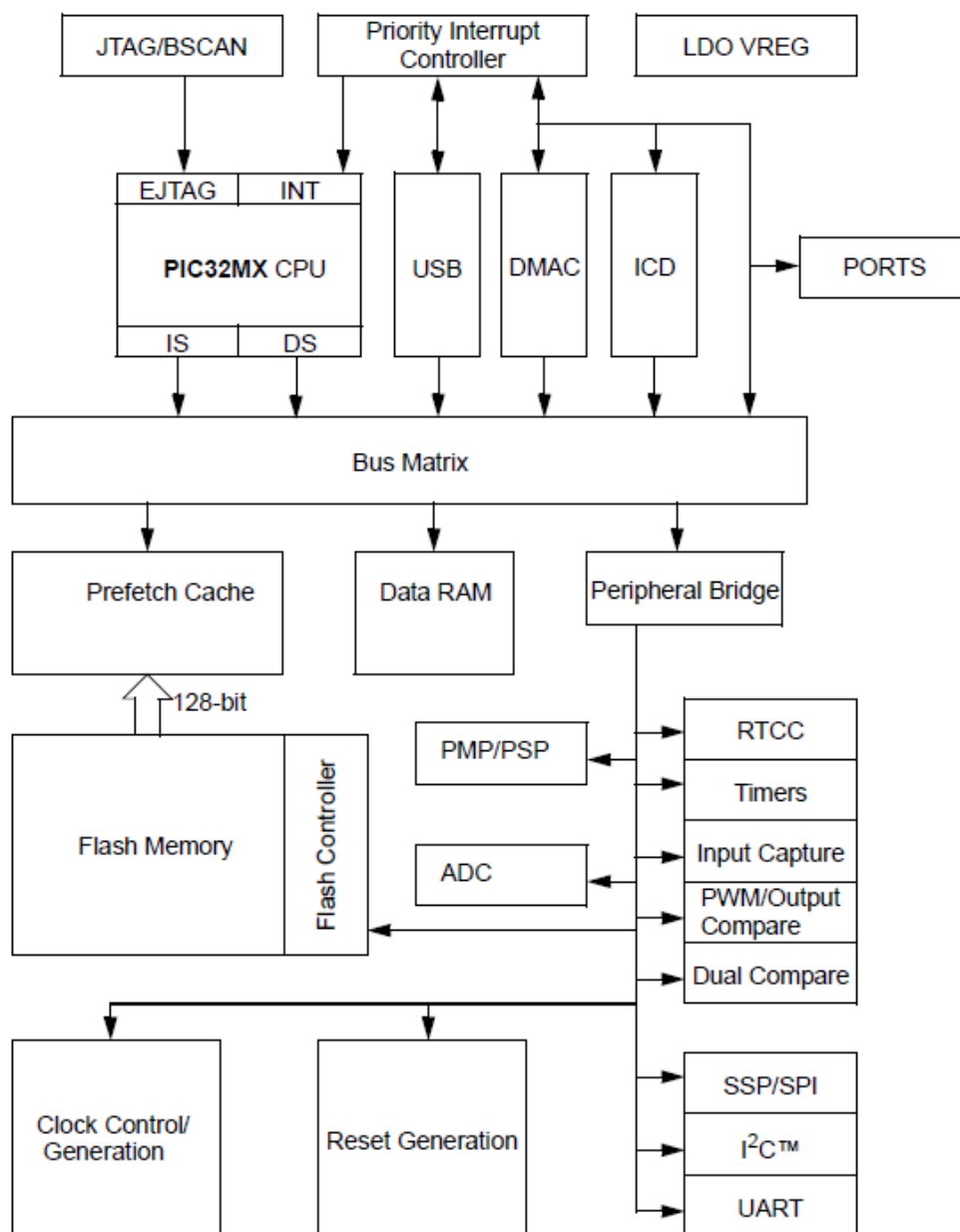
- Section 3. Memory Organization
- Section 4. Prefetch Module
- Section 5. Flash Programming
- Section 6. Oscillator
- Section 7. Resets
- Section 8. Interrupts
- Section 9. Watchdog Timer and Power-up Timer
- Section 10. Power-Saving Modes
- Section 31. Direct Memory Access (DMA) Controller with programmable Cyclic Redundancy Check (CRC)
- Section 32. High-Level Integration (Configuration, Code Protection and Voltage Regulation)
- Section 33. Device Programming, Debugging, In-Circuit and In-Circuit Testing

### **2.1.3. GROUPE DOCUMENTATION PERIPHERAL**

The PIC32MX devices have many peripherals that allow it to interface with the external world. The following sections of this manual discuss the PIC32MX peripherals:

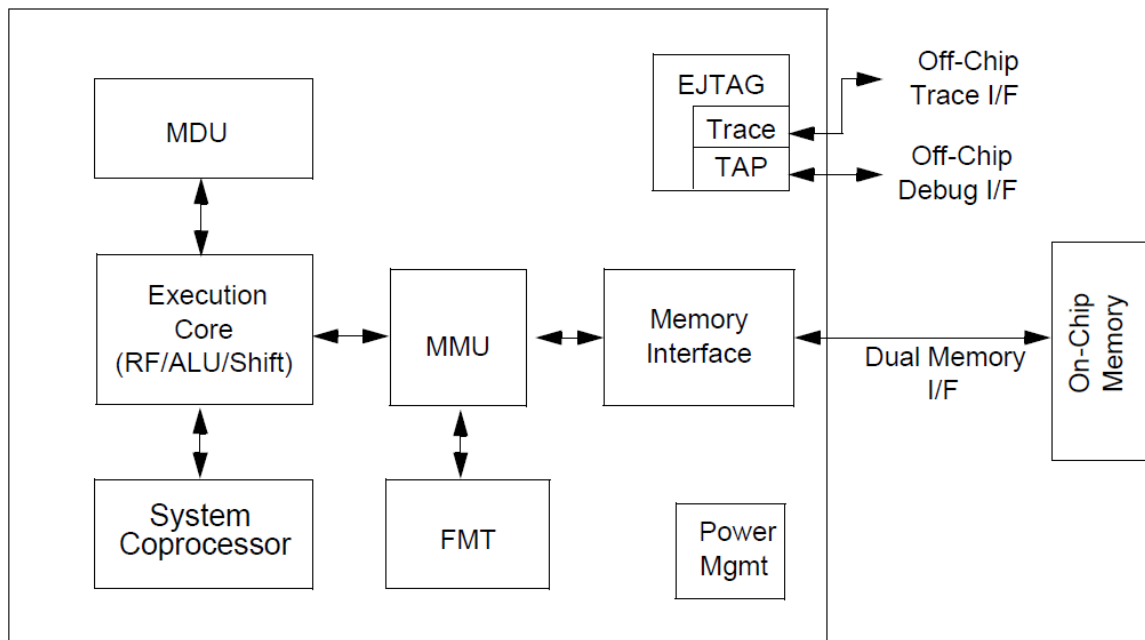
- Section 12. I/O Ports
- Section 13. Parallel Master Port
- Section 14. Timers
- Section 15. Input Capture Module
- Section 16. Output Compare/Pulse Width Modulation (PWM) Module
- Section 17. 10-bit A/D Converter
- Section 19. Comparator Module
- Section 20. Comparator Voltage Reference Module
- Section 21. UART Module
- Section 23. SPI Module
- Section 24. I<sup>2</sup>C™ Module
- Section 27. USB OTG
- Section 29. Real-Time Clock/Calendar (RTCC) Module

## 2.2. SCHÉMA BLOC DU PIC32MX



Le schéma bloc ci-dessus présente de manière synthétique les différents éléments composant le PIC32MX.

### 2.2.1. SCHÉMA BLOC DU CPU



#### 2.2.1.1. MDU

Le MDU (Multiply/Divide Unit) permet des multiplications 32 x 16.

#### 2.2.1.2. MMU

Le MMU (Memory Management Unit) s'occupe de la gestion de la mémoire en collaboration avec le FMT (Fixed Mapping Translation).

### 2.2.2. CONCEPT DE PIPELINE

Le principe du pipeline consiste à subdiviser le traitement d'une instruction en plusieurs sous-opérations. Le traitement traverse les différents étages, d'où le nom de pipeline. Avec un pipeline, plutôt que de terminer complètement une instruction avant de passer à la suivante, le processeur peut débiter le traitement d'une nouvelle instruction sans attendre que la précédente soit terminée. Cela permet d'améliorer la vitesse d'exécution, car les différentes étapes sont effectuées simultanément.

#### 2.2.2.1. PRINCIPE EXÉCUTION DES INSTRUCTIONS

Les différents étages du pipeline d'exécution du PIC32 sont :

- I Inst. Fetch L'instruction est chargée depuis la mémoire
- E Execution Décodage et exécution
- M Mem. Fetch Les opérandes sont chargés depuis la mémoire (SRAM ou flash)
- A Align Le résultat est aligné
- W Writeback Le résultat est écrit dans sa destination



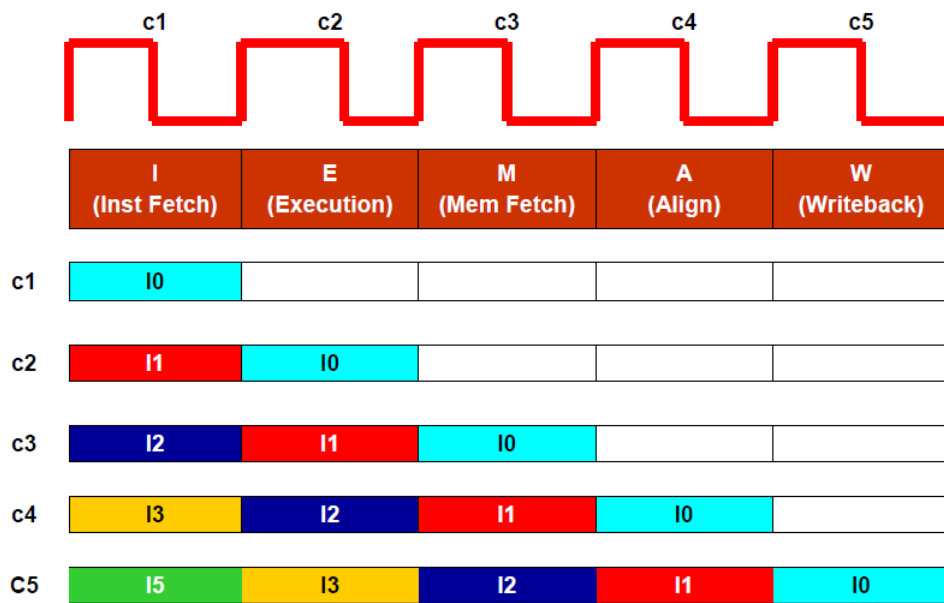
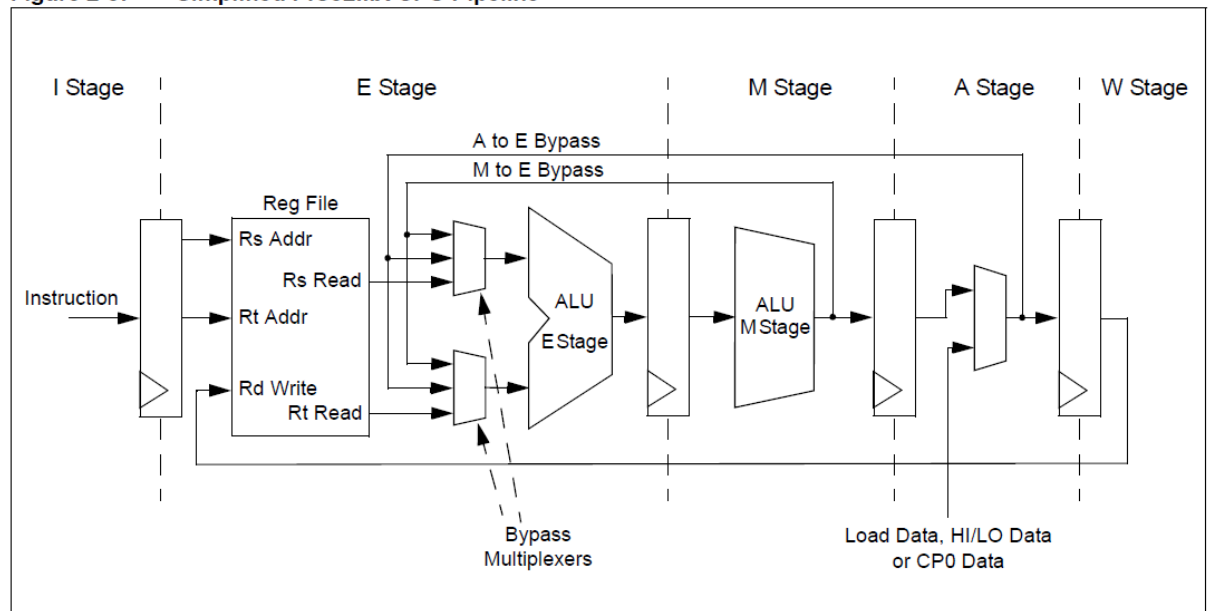


Figure 2-3: Simplified PIC32MX CPU Pipeline



Sources :

- "PIC32 Execution Pipeline" webinar, disponible sous : <https://www.microchip.com/webinars.microchip.com/WebinarDetails.aspx?dDocName=en542876>
- "Section 2. CPU for Devices with M4K® Core" (DS61113), tiré du PIC32 Family Reference Manual"

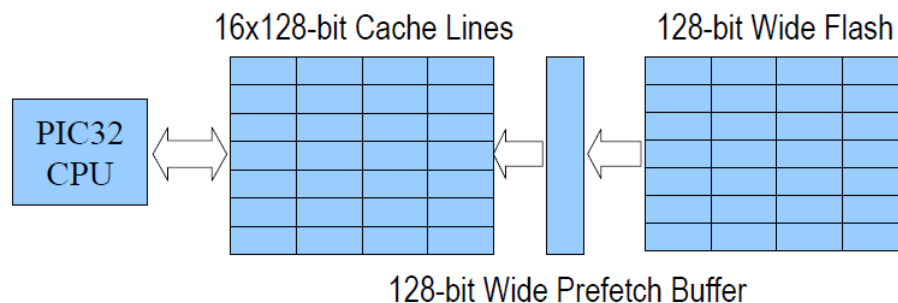
### 2.2.3. PREFETCH CACHE

Lorsque le CPU est plus rapide que la flash, il n'est alors pas possible de faire un accès flash (lecture instruction suivante) à chaque instruction sans temps morts. On peut alors avoir recours à un stockage RAM intermédiaire intelligent (le cache).

Pour les PIC32, la limite où les accès flash ralentiraient le CPU se situe environ à une fréquence  $f_{CPU}$  de 30 MHz (fréquence de lecture maximale de la flash). Plus on augmente la fréquence du CPU, plus la flash va devenir limitante.

Le prefetch cache existe sur les PIC de la série de celui du kit (PIC32MX795F512L,  $f_{CPU}$  maximale 80 MHz). Mais ce n'est pas le cas pour tous les PIC32. Il n'existe par exemple pas sur ceux de la série du PIC32MX130 ( $f_{CPU}$  maximale 50 MHz).

Le prefetch cache est une mémoire RAM rapide intermédiaire entre la flash et le CPU :



Caractéristiques :

- Le prefetch cache peut être désactivé pour un fonctionnement déterministe
- 16 lignes de 128 bits (= 4 instructions 32 bits)
- Accès en lecture/écriture depuis le code
- Possibilité de verrouiller n'importe quelle ligne (par exemple pour des portions de codes fréquentes ou à optimiser : petite boucle, prologue d'interruption)
- Possibilité d'utiliser jusqu'à 4 lignes pour des constantes stockées en flash et fréquemment lues

Principes :

- Lors de l'exécution d'une instruction, le prefetch cache charge automatiquement depuis la flash les 128 bits suivant l'instruction exécutée, "au cas où".
- Lors d'un accès flash de la part du CPU :
  - Soit la donnée est déjà présente dans le cache : l'accès peut alors être fait immédiatement.
  - Soit cette adresse de flash n'est pas dans le cache. On a alors une condition de "**cache miss**".

Les opérations sont alors :

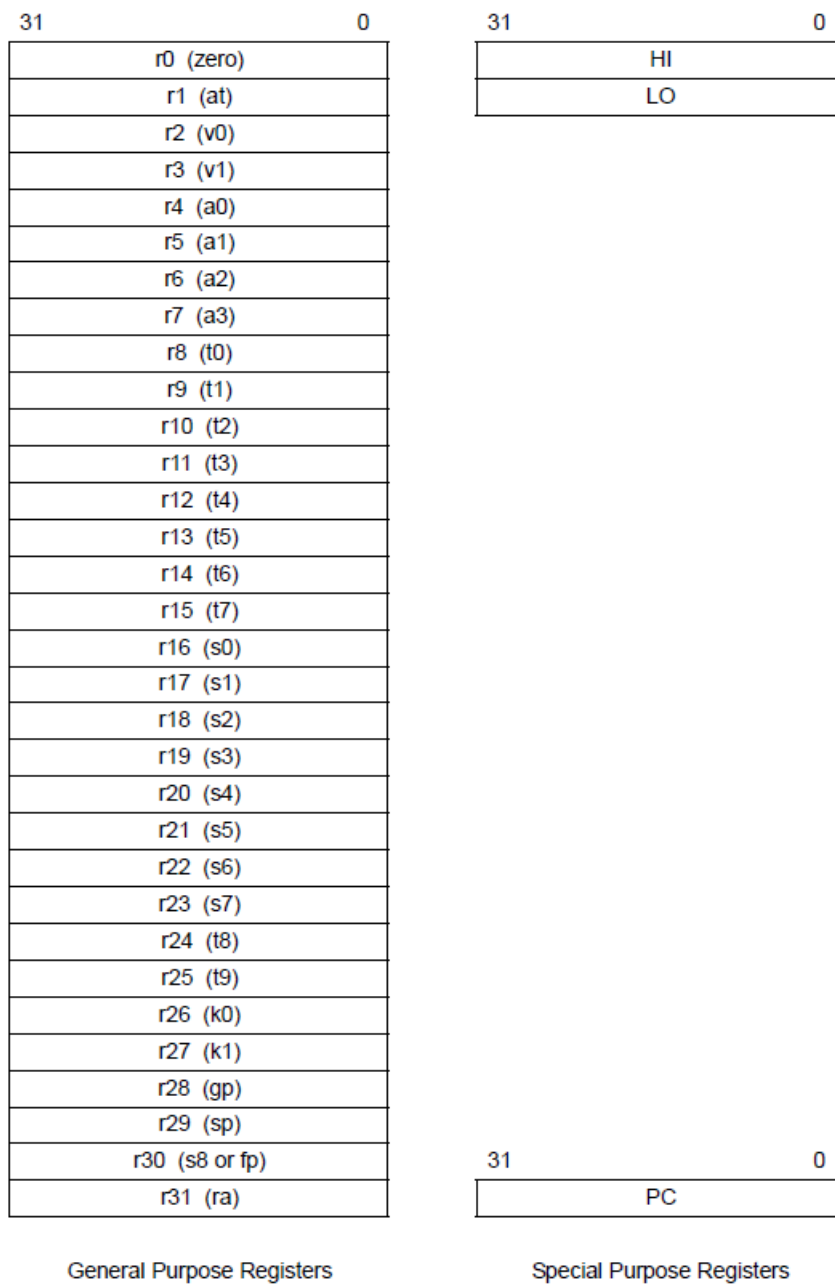
1. Le prefetch buffer charge alors les 128 bits contenant la donnée voulue.
2. Les 128 bits sont stockés dans la ligne la moins récemment utilisée (Least Recently Used).
3. La donnée peut être retournée au CPU.

Sources :

- "PIC32 Prefetch Cache Module" webinar, disponible sous <https://www.microchip.com/webinars.microchip.com/WebinarDetails.aspx?dDocName=en542873>
- "Section 4. Prefetch Datasheet Cache" (DS60001119), tiré du PIC32 Family Reference Manual"

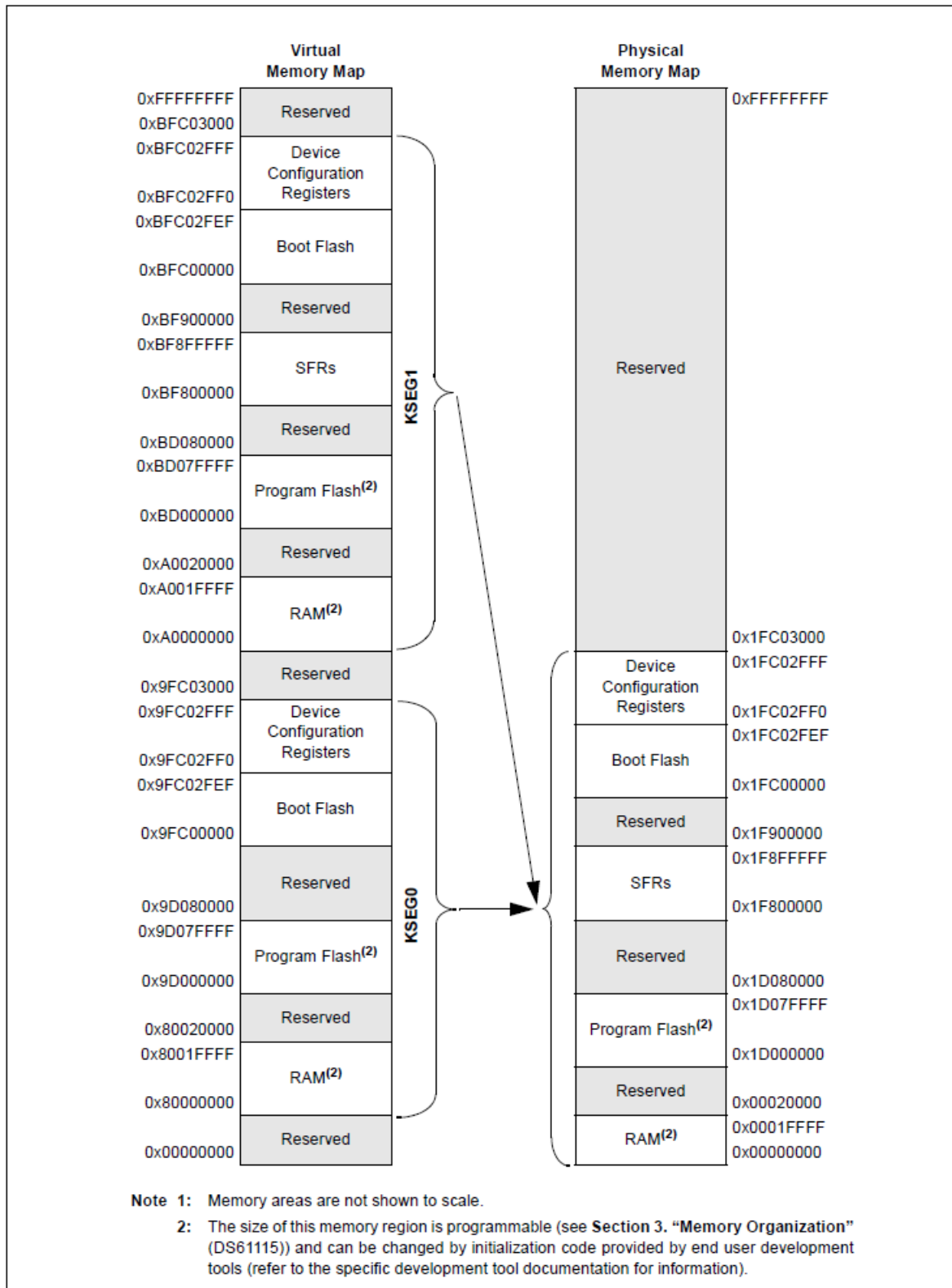
### 2.2.4. LES REGISTRES DU CPU

Le processeur dispose de 32 registres généraux appelés GPR (General Purpose Registers).



## 2.3. ORGANISATION DE LA MÉMOIRE

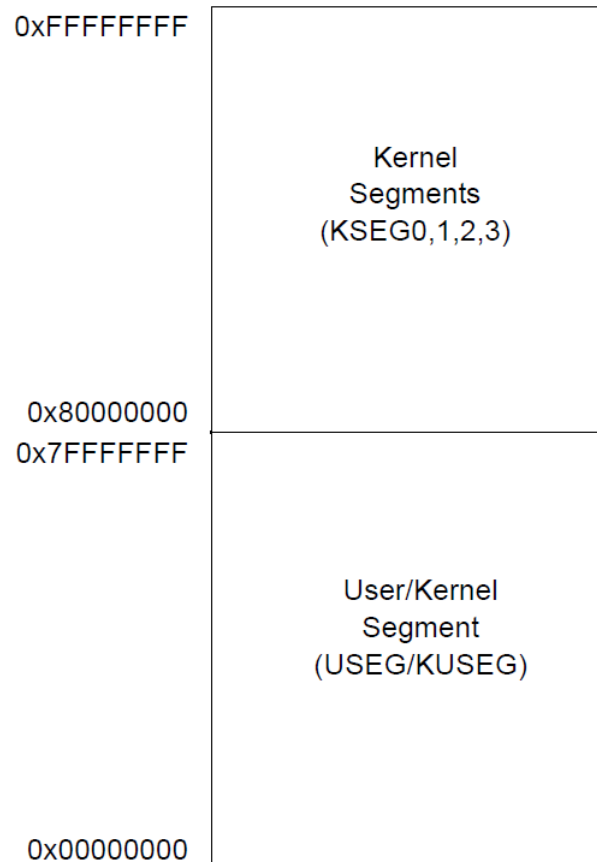
**FIGURE 4-6: MEMORY MAP ON RESET FOR PIC32MX695F512H, PIC32MX695F512L, PIC32MX795F512H AND PIC32MX795F512L DEVICES**



La particularité de l'organisation est l'introduction d'un mapping physique et d'un mapping virtuel.

### 2.3.1. KSEG ET USEG

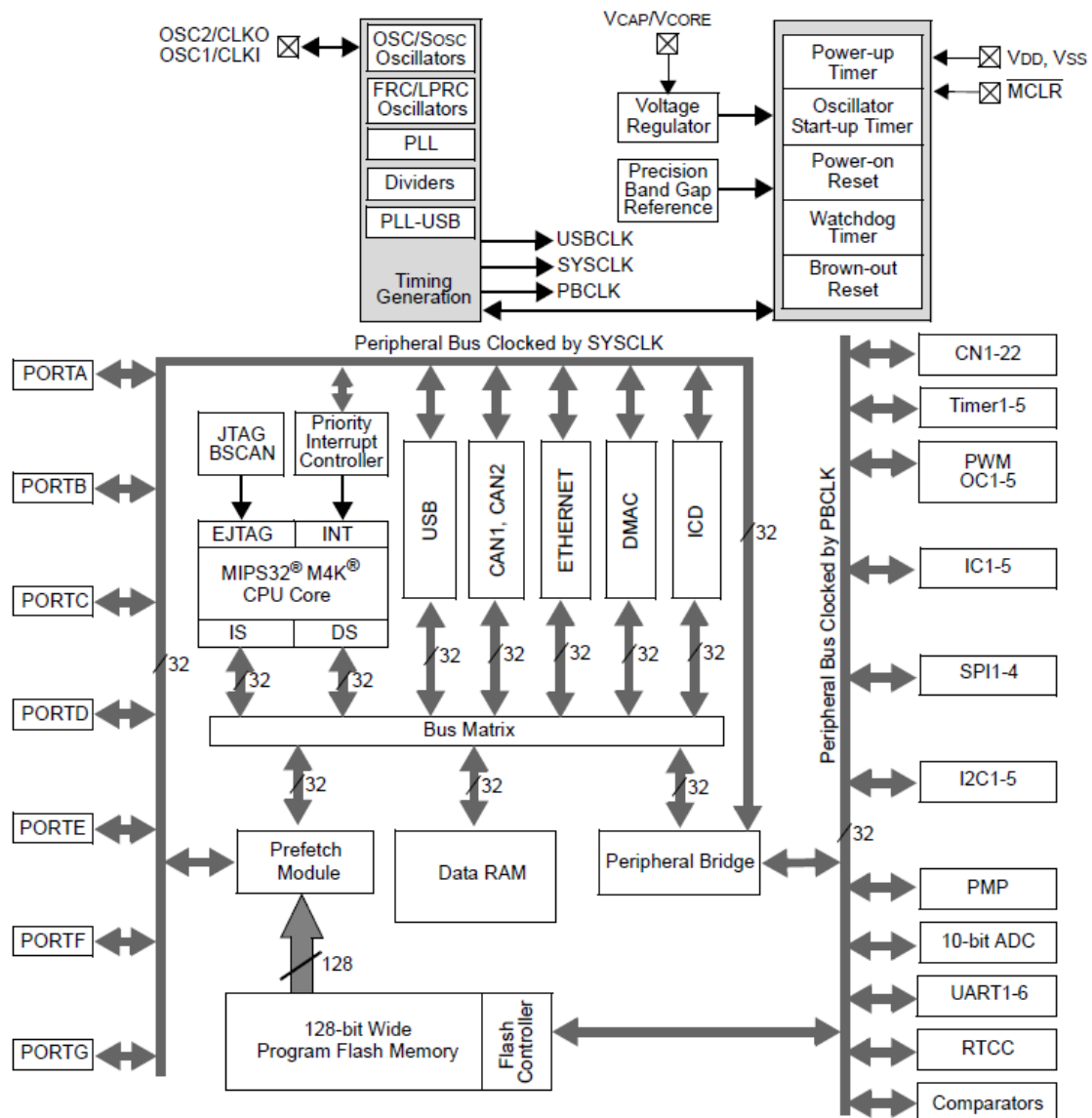
Les 4 GB de la mémoire virtuelle sont découpés en 2 parties de 2 GB.



La zone du kernel est divisée en 4 segments de 512 MB chacun, appelés KSEG0, KSEG1, KSEG2 et KSEG3. Seules les applications en mode kernel peuvent accéder à cet espace. La zone du kernel comprend tous les registres des périphériques, ce qui a pour conséquence que seules les applications en mode kernel peuvent accéder aux périphériques.

## 2.4. LES PERIPHERIQUES DU PIC32MX795F512L

Le diagramme ci-dessous permet de découvrir les différents éléments périphériques d'un PIC32MX795F512L.



Note 1: Some features are not available on all device variants.

Nous trouvons les éléments suivants :

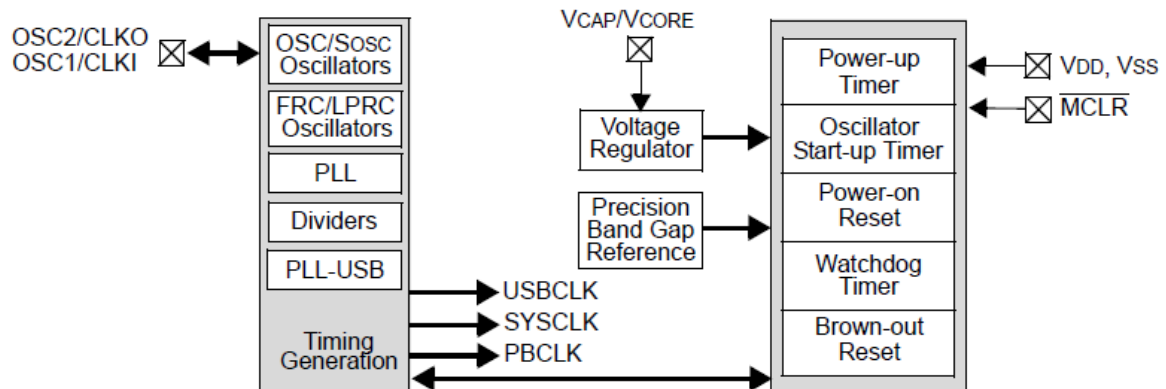
- 7 ports E/S. Les ports sont 16 bits interfacés sur un bus périphérique 32 bits.
- CN1-22 représente les CN (Change Notification Inputs).
- 5 timers. Il s'agit de compteurs 16 bits qui peuvent être utilisés par paire.
- PWM et OC1-5. 5 Output Compare permettant de générer des signaux PWM.
- IC1-5, 5 Input Capture permettant de capturer la valeur d'un timer sur un signal de déclenchement.
- SPI1-4. Possibilité de supporter 4 bus SPI.
- I2C1-5. Possibilité de supporter 5 bus I2C.
- PMP, (Parallel Master Output Port), il s'agit d'un port parallèle.

- ADC 10 bits, il s'agit d'un convertisseur analogique/digital avec une résolution de 10 bits. A disposition **16** entrées sélectionnables.
- UART1-6 **6** Universal Asynchronous Receiver Transmitter, permettant de réaliser des transmissions RS232 par exemple.
- RTCC Real Time Clock and Calendar.
- Comparators, il s'agit d'un module comparateur et tension de référence.

Les périphériques seront décrits en détail par la suite dans des chapitres séparés, en traitant leur structure et comment les programmer en langage C en utilisant les fonctions de la Peripheral Library correspondante.

## 2.5. OSCILLATEUR ET CIRCUIT DE RESET

Le bloc ci-dessous, extrait du schéma global, nous donne les indications sur la connexion de l'oscillateur, ainsi que les éléments internes pour la gestion du démarrage (Power-up) et du reset.



### 2.5.1. L'OSCILLATEUR

Source : IC32 Family Reference Manual, Sect. 06 Oscillators.pdf

#### 2.5.1.1. LES MODES DE L'OSCILLATEUR

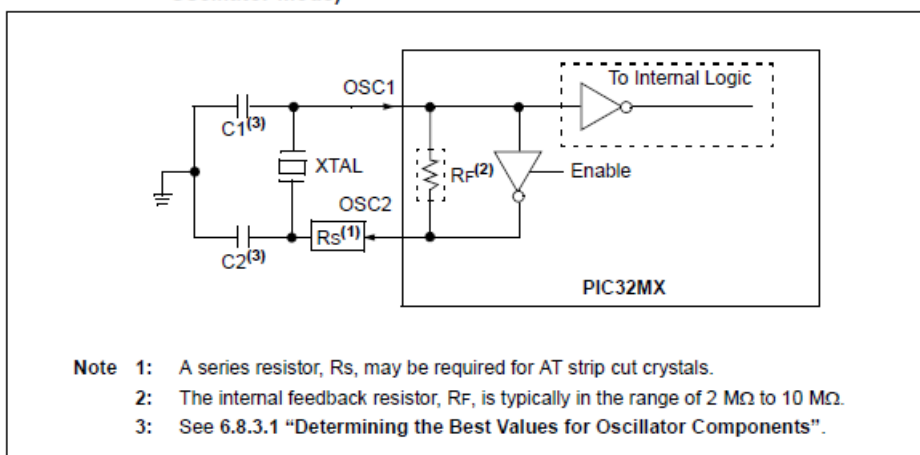
Table 6-4: Primary Oscillator Operating Modes

Oscillator Mode	Description
HS	High-speed crystal
XT	Resonator, crystal or resonator
EC	External clock input
HSPLL	Crystal, PLL enabled
XTPLL	Crystal resonator, PLL enabled
ECPLL	External clock input, PLL enabled

**Note:** The clock applied to the CPU, after applicable prescalers, postscalers, and PLL multipliers, must not exceed the maximum allowable processor frequency.

#### 2.5.1.2. CONFIGURATION AVEC OSCILLATEUR À QUARTZ

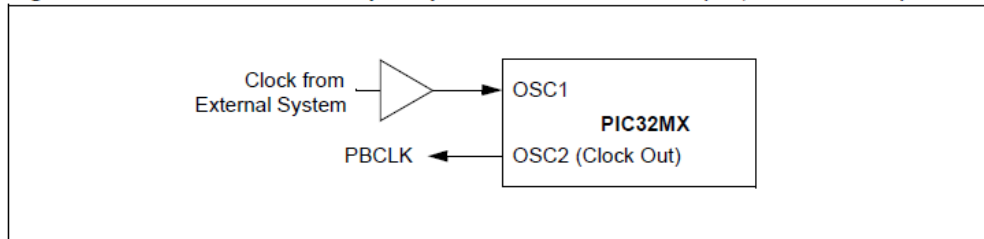
Figure 6-2: Crystal or Ceramic Resonator Operation (XT, XTPLL, HS, or HSPLL Oscillator Mode)



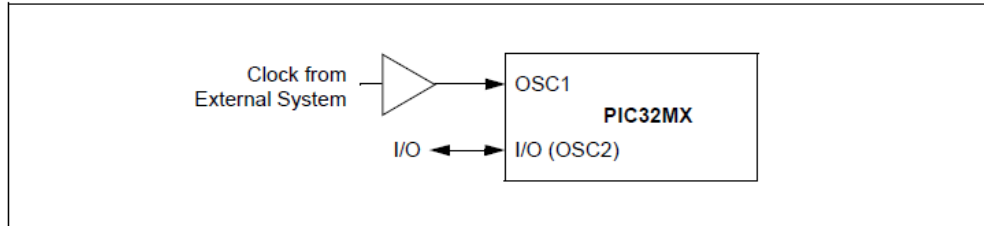


### 2.5.1.3. SITUATION AVEC OSCILLATEUR EXTERNE

**Figure 6-3: External Clock Input Operation with Clock-Out (EC, ECPLL Mode)**

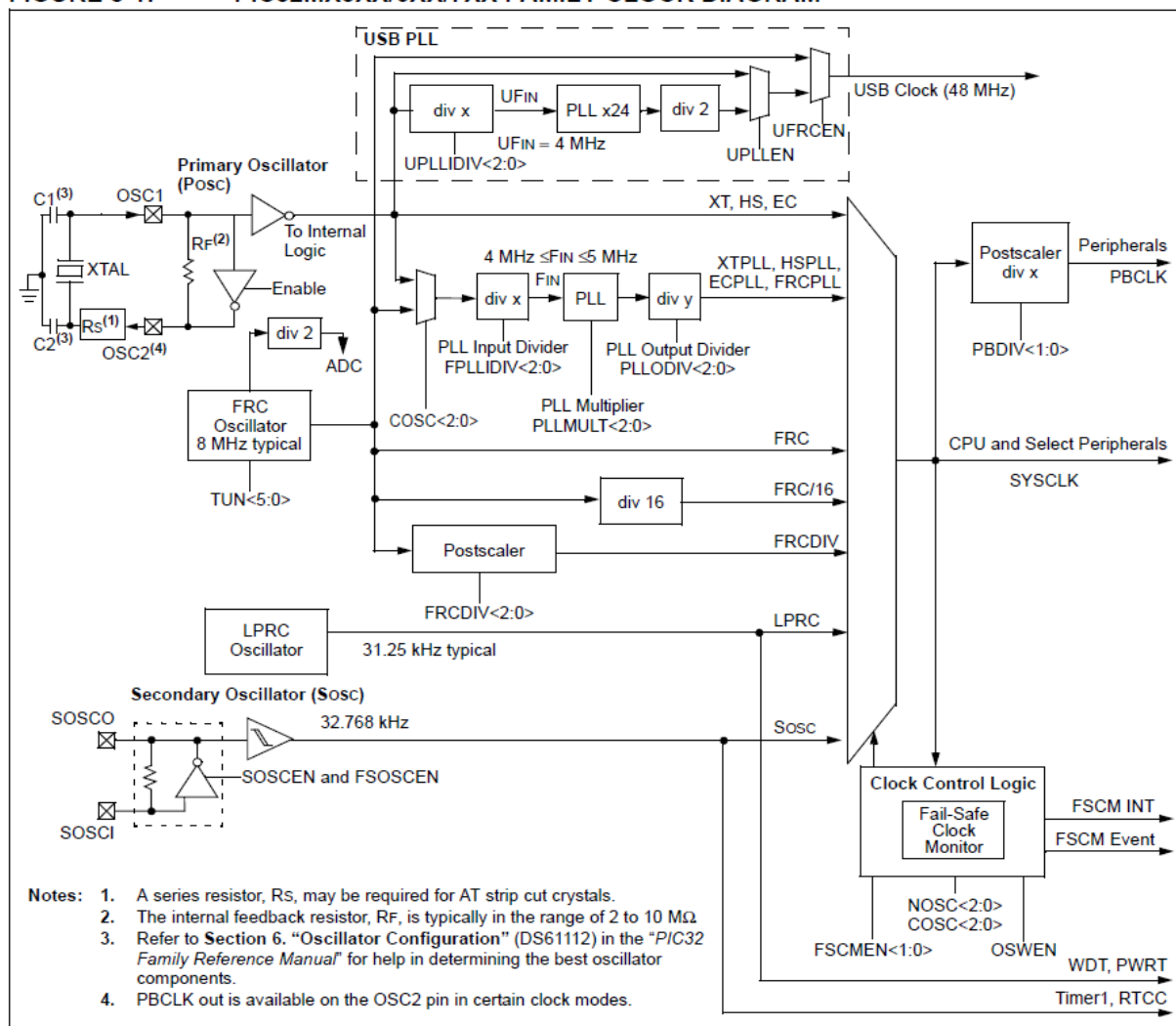


**Figure 6-4: External Clock Input Operation with No Clock-Out (EC, ECPLL Mode)**



### 2.5.1.4. DÉTAIL DU SYSTÈME DE GÉNÉRATION DES HORLOGES

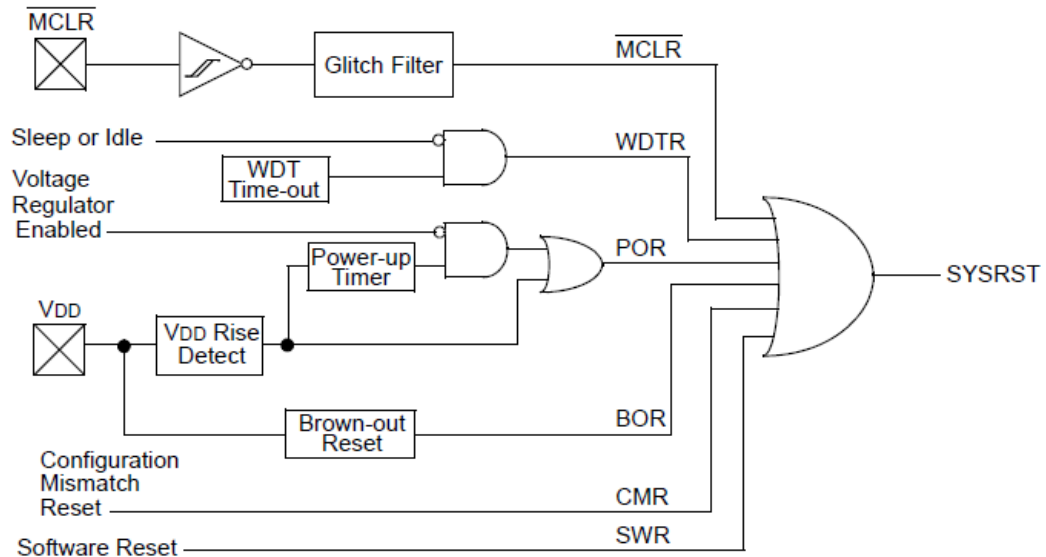
**FIGURE 8-1: PIC32MX5XX/6XX/7XX FAMILY CLOCK DIAGRAM**



### 2.5.2. CIRCUIT DE RESET

Les PIC32MX possèdent une circuiterie qui permet de générer un Reset sur un certain nombre de conditions.

Le schéma suivant montre le principe de cette circuiterie :



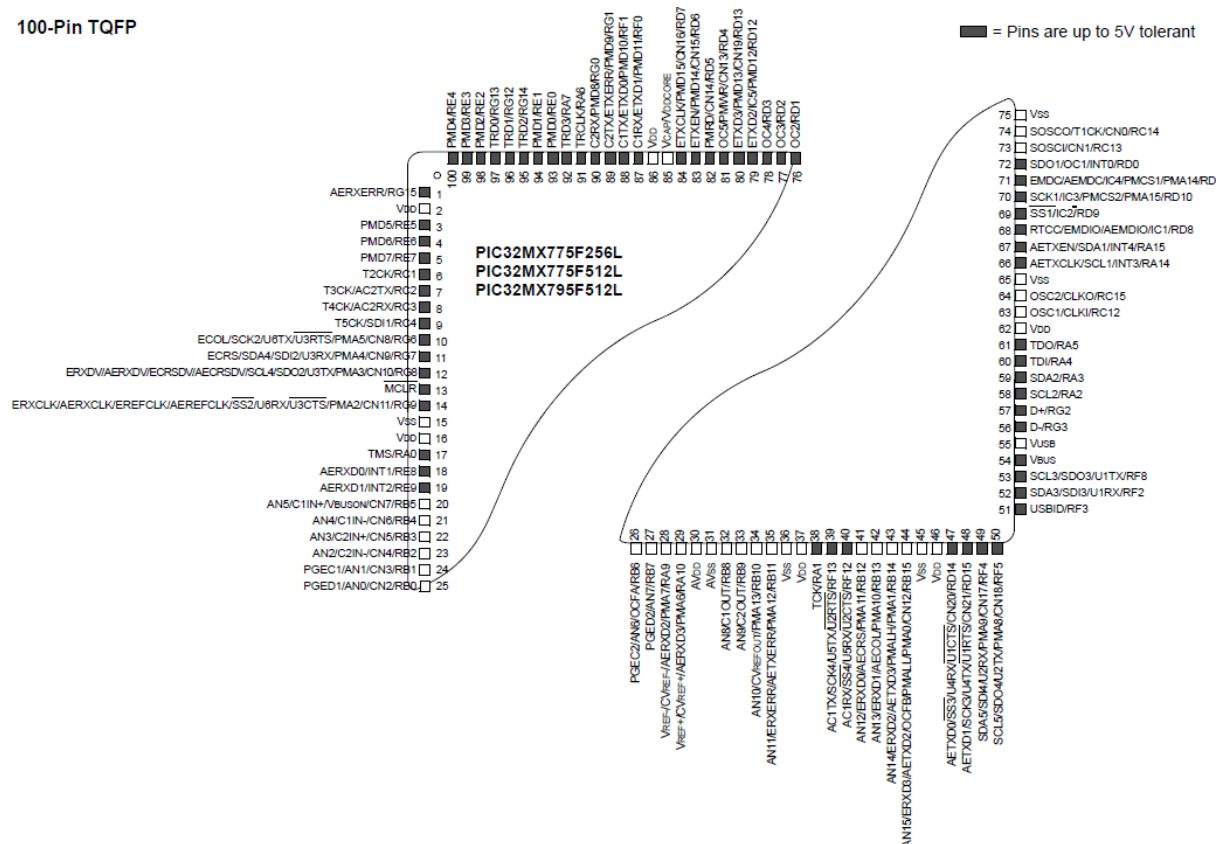
On observe plusieurs sources pour produire le SYSRST (System Reset) :

- Le Reset externe ( $\overline{\text{MCLR}}$ ),
- Le Reset par le watchdog,
- La gestion du Reset à l'enclenchement (**POR** = Power On Reset),
- Le Reset du Brown-Out (tension trop faible),
- Le reset suite à un conflit de configuration,
- Le reset software.

## 2.6. ANNEXE A – LISTE E/S DU PIC32MX795F512L

### 2.6.1. BOITIER 100 PIN TQFP

100-Pin TQFP



### 2.6.2. LISTE DES E/S

Tous les bits de tous les ports ne sont pas présents. Cela dépend du modèle de PIC choisi.

#### 2.6.2.1. PORT A

Nom complet	No pin	Rôles particuliers
TMS/RA0	17	
TCK/RA1	38	
SCL2/RA2	58	I2C 2 serial clock
SDA2/RA3	59	I2C 2 serial data
TDI/RA4	60	
TDO/RA5	61	
TRCLK/RA6	91	
TRD3/RA7	92	
RA8 absent sur ce modèle de PIC		
Vref-/CVref-/AERXD2/PMA7/RA9	28	
Vref+/CVref+/AERXD3/PMA6/RA10	29	
RA11 absent sur ce modèle de PIC		
RA12 absent sur ce modèle de PIC		
RA13 absent sur ce modèle de PIC		
AETXCLK/SCL1/INT3/RA14	66	
AETXEN/SDA1/INT4/RA15	67	

### 2.6.2.1. PORT B (ENTRÉES ANALOGIQUES)

Nom complet	No pin	Rôles particuliers
PGED1/ <b>AN0</b> /CN2/RB0	25	
PGEC1/ <b>AN1</b> /CN3/RB1	24	
<b>AN2</b> /C2IN-/CN4/RB2	23	
<b>AN3</b> /C2IN+/CN5/RB3	22	
<b>AN4</b> /C1IN-/CN6/RB4	21	
<b>AN5</b> /C1IN+/Vbuson/CN7/RB5	20	
PGEC2/ <b>AN6</b> /OCFA/RB6	26	Pour ICD3
PGED2/ <b>AN7</b> /RB7	27	Pour ICD3
<b>AN8</b> /C1OUT/RB8	32	
<b>AN9</b> /C2OUT/RB9	33	
<b>AN10</b> /CVrefout/PMA13/RB10	34	
<b>AN11</b> /ERXERR/AETXER/PMA12/RB11	35	
<b>AN12</b> /ERXD0/AECSR/PMA11/RB12	41	
<b>AN13</b> /ERXD1/AECOL/PMA10/RB13	42	
<b>AN14</b> /ERXD2/AETXD3/PMALH/PMA1/RB14	43	
<b>AN15</b> /ERXD3/AETXD2/OCFB/PMALL /PMA0/CN12/RB15	44	

### 2.6.2.1. PORT C

Nom complet	No pin	Rôles particuliers
T2CK/RC1	6	
T3CK/AC2TX/RC2	7	
T4CK/AC2RX/RC3	8	
T5CK/SDI1/RC4	9	SPI 1 SDI
<i>RC5 absent sur ce modèle de PIC</i>		
<i>RC6 absent sur ce modèle de PIC</i>		
<i>RC7 absent sur ce modèle de PIC</i>		
<i>RC8 absent sur ce modèle de PIC</i>		
<i>RC9 absent sur ce modèle de PIC</i>		
<i>RC10 absent sur ce modèle de PIC</i>		
<i>RC11 absent sur ce modèle de PIC</i>		
OSC1/CLKI/RC12	63	Clock uC
SOSCI/CN1/RC13	73	Clock RTC
SOSC0/T1CK/CN0/RC14	74	Clock RTC
OSC2/CLKO/RC15	64	Clock uC

**2.6.2.1. PORT D**

Nom complet	No pin	Rôles particuliers
SDO1/OC1/INT0/RD0	72	SPI 1 SDO
OC2/RD1	76	
OC3/RD2	77	
OC4/RD3	78	
OC5/PMWR/CN13/RD4	81	
PMRD/CN14/RD5	82	
ETXEN/PMD14/CN15/RD6	83	
ETXCLK/PMD15/CN16/RD7	84	
RTCC/EMDIO/AEMDIO/IC1/RD8	68	
_SS1/IC2/RD9	69	
SCK1/IC3/PMCS2/PMA15/RD10	70	SCK 1 (SPI ou I2C)
EMDC/AEMDC/IC4/PMCS1/PMA14/RD11	71	
ETXD2/IC5/PMD12/RD12	79	
ETXD3/PMD13/CN19/RD13	80	
AETXD0/_SS3/U4RX/_U1CTS/CN20/RD14	47	Uart 4 RX
AETXD1/SCK3/U4TX/_U1RTS/CN21/RD15	48	Uart 4 TX / SCK 3

**2.6.2.1. PORT E**

Nom complet	No pin	Rôles particuliers
PMD0/RE0	93	
PMD1/RE1	94	
PMD2/RE2	98	
PMD3/RE3	99	
PMD4/RE4	100	
PMD5/RE5	3	
PMD6/RE6	4	
PMD7/RE7	5	
AERXD0/INT1/RE8	18	
AERXD1/INT2/RE9	19	
<i>RE10 absent sur ce modèle de PIC</i>		
<i>RE11 absent sur ce modèle de PIC</i>		
<i>RE12 absent sur ce modèle de PIC</i>		
<i>RE13 absent sur ce modèle de PIC</i>		
<i>RE14 absent sur ce modèle de PIC</i>		
<i>RE15 absent sur ce modèle de PIC</i>		

### 2.6.2.1. PORT F (UART SPI I2C)

Nom complet	No pin	Rôles particuliers
C1TX/ETXD1/PMD11/RF0	87	
C1RX/ETXD0/PMD10/RF1	88	
SDA3/SDI3/U1RX/RF2	52	Uart 1 RX/ I2C 3/ SPI 3
USBID/RF3	51	
SDA5/SDI4/U2RX/PMA9/CN17/RF4	49	Uart 2 RX/ I2C 5 / SPI 4
SCL5/SDO4/U2TX/PMA8/CN18/RF5	50	Uart 2 TX/ I2C 5 / SPI 4
RF6 absent sur ce modèle de PIC		
RF7 absent sur ce modèle de PIC		
SCL3/SDO3/U1TX/RF8	53	Uart 1 TX/ I2C 3/ SPI 3
RF9 absent sur ce modèle de PIC		
RF10 absent sur ce modèle de PIC		
RF11 absent sur ce modèle de PIC		
AC1RX/_SS4/U5RX/_U2CTS/RF12	40	Uart 5 RX / SPI4 _SS
AC1TX/SCK4/U5TX/_U2RTS/RF13	39	Uart 5 TX / SPI4 CLK
RF14 absent sur ce modèle de PIC		
RF15 absent sur ce modèle de PIC		

### 2.6.2.1. PORT G

Nom complet	No pin	Rôles particuliers
C2RX/PMD8/RG0	90	
C2TX/ETXERR/PMD9/RG1	89	
D+/RG2	57	USB D+
D-/RG3	56	USB D-
RG4 absent sur ce modèle de PIC		
RG5 absent sur ce modèle de PIC		
ECOL/SCK2/U6TX/_U3RTS/PMA5/CN8/RG6	10	
ECRS/SDA4/SDI2/U3RX/PMA4/CN9/RG7	11	Uart 3 RX / I2C 4 / SPI 2
ERXDV/AERXDV/ECRS/DV/AECRS/DV	12	Uart 3 TX
SCL4/SDO2/U3TX/PMA3/CN10/RG8		
ERXCLK/AERXCLK/EREFCLK/AEREFCLK _SS2/U6RX/_U3CTS/PMA2/CN11/RG9	14	Uart 6 RX
RG10 absent sur ce modèle de PIC		
RG11 absent sur ce modèle de PIC		
TRD1/RG12	96	
TRD0/RG13	97	
TRD2/RG14	95	
RG15 absent sur ce modèle de PIC		

### 2.6.3. LISTE DES CN (CHANGE NOTIFICATION), ORDRE DES PORTS

Voici la liste des 22 CN (CN0-CN21), extraits des tableaux précédents en allant du port B au port G, le port A n'en disposant pas.

Nom complet	No pin	Rôles particuliers
PGED1/AN0/CN2/RB0	25	
PGEC1/AN1/CN3/RB1	24	
AN2/C2IN-/CN4/RB2	23	
AN3/C2IN+/CN5/RB3	22	
AN4/C1IN-/CN6/RB4	21	
AN5/C1IN+/Vbuson/CN7/RB5	20	
AN15/ERXD3/AETXD2/OCFB/PMALL /PMA0/CN12/RB15	44	
SOSCI/CN1/RC13	73	Clock RTC
SOSC0/T1CK/CN0/RC14	74	Clock RTC
OC5/PMWR/CN13/RD4	81	
PMRD/CN14/RD5	82	
ETXEN/PMD14/CN15/RD6	83	
ETXCLK/PMD15/CN16/RD7	84	
ETXD3/PMD13/CN19/RD13	80	
AETXD0/_SS3/U4RX/_U1CTS/CN20/RD14	47	Uart 4 RX
AETXD1/SCK3/U4TX/_U1RTS/CN21/RD15	48	Uart 4 TX / SCK 3
SDA5/SDI4/U2RX/PMA9/CN17/RF4	49	Uart 2 RX/I2C 5 /SPI 4
SCL5/SDO4/U2TX/PMA8/CN18/RF5	50	Uart 2 TX/I2C 5 /SPI 4
ECOL/SCK2/U6TX/_U3RTS/PMA5/CN8/RG6	10	
ECRS/SDA4/SDI2/U3RX/PMA4/CN9/RG7	11	Uart 3 RX/ I2C 4/SPI 2
ERXDV/AERXDV/ECRSDV/AECRSDV SCL4/SDO2/U3TX/PMA3/CN10/RG8	12	Uart 3 TX
ERXCLK/AERXCLK/EREFCLK/AEREFCLK _SS2/U6RX/_U3CTS/PMA2/CN11/RG9	14	Uart 6 RX

### 2.6.1. LISTE DES CN (CHANGE NOTIFICATION)

Voici la liste des 22 CN de CN0 à CN21.

CNx	Nom complet de la pin	No pin	Rôles particuliers
CN0	SOSC0/TICK/CN0/RC14	74	Clock RTC
CN1	SOSCI/CN1/RC13	73	Clock RTC
CN2	PGED1/AN0/CN2/RB0	25	
CN3	PGEC1/AN1/CN3/RB1	24	
CN4	AN2/C2IN-/CN4/RB2	23	
CN5	AN3/C2IN+/CN5/RB3	22	
CN6	AN4/C1IN-/CN6/RB4	21	
CN7	AN5/C1IN+/Vbuson/CN7/RB5	20	
CN8	ECOL/SCK2/U6TX/_U3RTS/PMA5/CN8/RG6	10	
CN9	ECRS/SDA4/SDI2/U3RX/PMA4/CN9/RG7	11	Uart 3 RX/ I2C 4/SPI 2
CN10	ERXDV/AERXDV/ECRSDV/AECRSDV SCL4/SDO2/U3TX/PMA3/CN10/RG8	12	Uart 3 TX
CN11	ERXCLK/AERXCLK/EREFCLK/AEREFCLK _SS2/U6RX/_U3CTS/PMA2/CN11/RG9	14	Uart 6 RX
CN12	AN15/ERXD3/AETXD2/OCFB/PMALL /PMA0/CN12/RB15	44	
CN13	OC5/PMWR/CN13/RD4	81	
CN14	PMRD/CN14/RD5	82	
CN15	ETXEN/PMD14/CN15/RD6	83	
CN16	ETXCLK/PMD15/CN16/RD7	84	
CN17	SDA5/SDI4/U2RX/PMA9/CN17/RF4	49	Uart 2 RX/I2C 5 /SPI 4
CN18	SCL5/SDO4/U2TX/PMA8/CN18/RF5	50	Uart 2 TX/I2C 5 /SPI 4
CN19	ETXD3/PMD13/CN19/RD13	80	
CN20	AETXD0/_SS3/U4RX/_U1CTS/CN20/RD14	47	Uart 4 RX
CN21	AETXD1/SCK3/U4TX/_U1RTS/CN21/RD15	48	Uart 4 TX / SCK 3



## **2.8. HISTORIQUE DES VERSIONS**

### **2.8.1. VERSION 1.0 MARS 2014**

Création, cette version est à compléter

### **2.8.2. VERSION 1.5 NOVEMBRE 2014**

Ajout de la liste des E/S (annexe A). Saut à la version 1.5 pour cohérence avec la nouvelle version du cours.

### **2.8.3. VERSION 1.7 NOVEMBRE 2015**

Saut à la version 1.7 pour cohérence avec la nouvelle version du cours.

### **2.8.4. VERSION 1.8 NOVEMBRE 2016**

Adaptation du chemin de la documentation du Kit PIC32. Quelques retouches d'orthographe.

### **2.8.5. VERSION 1.8.1 DECEMBRE 2016**

Ajout de la liste des CN (Change Notification).

### **2.8.6. VERSION 1.9 OCTOBRE 2017**

Reprise et relecture par SCA.

Compléments pipeline et prefetch cache.

### **2.8.7. VERSION 1.91 DECEMBRE 2018**

Relecture et changements mineurs "Annexe A – liste E/S du PIC32MX795F512L".