



INSTITUTO POLITÉCNICO NACIONAL
Escuela Superior de Computo
Academia de Sistemas Digitales
Primer Examen Parcial
Diseño de Sistemas Digitales 11 de mayo de 2021



ALUMNO: Meza Vargas Brandon David

2CM14

1. Contesta las siguientes preguntas:

- a) ¿Qué característica hace que algunas compuertas lógicas conectadas entre si tengan la capacidad de almacenar un bit?

R. El proceso de retroalimentación

- b) Aparte del uso de la señal de reloj, mencione tres diferencias entre un sistema digital combinacional y uno secuencial.

R.

- **El secuencial cuenta con memoria y el sistema combinacional no**
- **En el sistema combinacional la salida depende solo de las entradas y un secuencial también depende de las salidas ya que se retroalimenta**
- **El sistema combinacional este compuesto por compuertas lógicas y el sistema secuencial se compone de circuitos combinacionales y elementos de memoria.**

- c) ¿Explique qué es un “estado no permitido”?

R. Es un estado qe vuelve inestable el circuito y el estado de todo flip-flop sebe ser estable

- d) ¿Qué tipo de Flip-Flop tiene un PLD y en el caso de la GAL 22V10 cuantos Flip- Flops tiene?

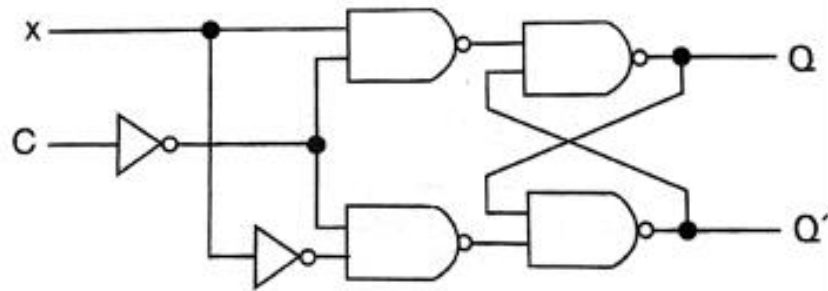
R. El flip-flop que tiene un PLD es un flip-flop tipo D, las GAL 22V10 cuentan con 10 flip-flops tipo D.

- e) ¿Qué diferencia hay entre una memoria tipo LATCH y una FLIP-FLOP??

R. La diferencia es que el flip-flop cuenta con una señal de reloj y la memoria tipo LATCH no

2. Del siguiente circuito:

- Resuelve la tabla de verdad.
- Indique de qué tipo de flip-flop se trata.
- Realiza la descripción en VHDL, utilizando el circuito o la tabla de verdad, considerando además que el Flip-Flop tiene una entrada asíncrona CLEAR que se activa con estado alto y una PRESET que se activa en bajo..



C	Qt	X	Q	Q'
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

a)

C	Qt	X	Q	Q'
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	1	0
1	0	0	Qt	Qt'
1	0	1	Qt	Qt'
1	1	0	Qt	Qt'
1	1	1	Qt	Qt'

b)

Se trata de un flip-flop tipo D con una señal de reloj que se activa en bajo

c)

clear en alto, pre en bajo

PRE	CLR	C	Qt	X	Q	Q'
1	1	↓	0	X	0	1
0	0	↓	0	X	1	0
1	0	↓	1	0	0	1
1	0	↓	1	1	1	0
1	0	↑	0	X	Qt	Qt'
1	0	↑	0	X	Qt	Qt'
1	0	↑	1	X	Qt	Qt'
1	0	↑	1	X	Qt	Qt'

VHDL

```
library IEEE;
use IEEE.std_logic_1164.all;

entity FFE is
    port(PRE, CLR, CLK, X: in std_logic;
          Q,NQ: out std_logic);
end entity

architecture A_FFE of FFE is
begin
    procces(CLR, PRE, CLK, X)
    begin
        if(CLR='1') then
            Q<='0';
            NQ<='1';
        elsif(CLK'event and CLK='0') then
            if(PRE='0') then
                Q<='1';
                NQ<='0';
            elsif(X='0') then
                Q<='0';
                NQ<='1';
            else
                Q<='1';
                NQ<='0';
            end if;
        end if;
    end process;
end A_FFE;
```