

**INSTITUTO POLITÉCNICO NACIONAL**  
**ESCUELA SUPERIOR DE CÓMPUTO**

**DEPARTAMENTO DE SISTEMAS ELECTRÓNICOS**



## **PRACTICA No. 3**

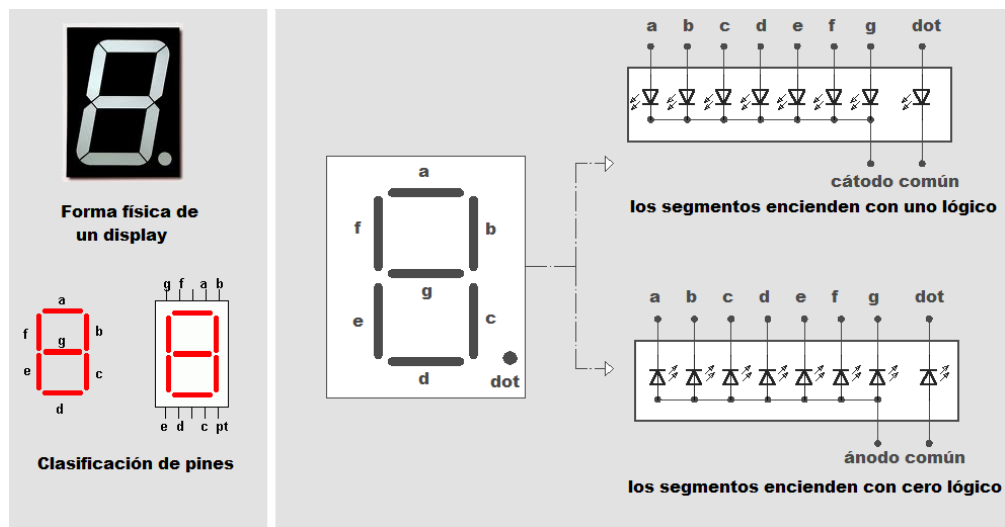
# **CONVERTIDOR BDC A 7 SEGEMENTOS**

**ALUMNO:** MEZA VARGAS BRANDON DAVID

**GRUPO:** 2CM5

**BOLETA:** 2020630288

**PROFESOR:** Fernando Aguilar Sánchez



## 1) Objetivo general

Al terminar de la sesión, los alumnos contarán con la habilidad de reducir circuitos con mapas de Karnaugh, además de construir un circuito convertidor BDC a 7 segmentos.

## 2) Introducción Teórica

### *Mapas de Karnaugh*

El mapa de Karnaugh es una herramienta muy útil para la simplificación y minimización de expresiones algebraicas Booleanas. Es similar a una tabla de verdad, ya que muestra todos los posibles valores de las variables de entrada y la salida resultante para cada valor.

Puesto que la tabla de verdad de una función de  $n$  variables posee  $2^n$  filas, la tabla de Karnaugh correspondiente debe poseer también  $2^n$  celdas. La construcción de la tabla de Karnaugh pasa por codificar cada celda en código binario reflejado (o código Gray) de manera que celdas adyacentes tengan un código que difiere en un solo dígito, esto lo podemos ver en la imagen 1.

cd\ab	00	01	11	10
00	0	4	12	8
01	1	5	13	9
11	2	6	14	10
10	3	7	15	11

abcd	
0000: 0	1000: 8
0001: 1	1001: 9
0010: 2	1010: 10
0011: 3	1011: 11
0100: 4	1100: 12
0101: 5	1101: 13
0110: 6	1110: 14
0111: 7	1111: 15

Imagen 1. Descripción mapa de Karnaugh

Algunas ventajas de usar el mapa de Karnaugh son:

- Los mapas de Karnaugh dan la opción de permitir la forma de convertir la tabla de verdad de una ecuación booleana en una forma SOP minimizada.
- Ofrece reglas básicas y sencillas para realizar la simplificación.
- Se destaca por otorgar una mayor facilidad del método
- Permite que sea el procedimiento más rápido y más eficiente que otras técnicas de simplificación en el Álgebra de Boole

### **Mapa de Karnaugh de dos variables**

El mapa de Karnaugh de dos variables es un conjunto de cuatro celdas.

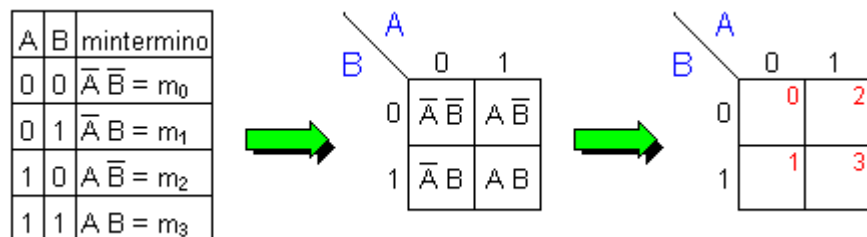


Imagen 2. Mapa de Karnaugh de dos variables

### Mapa de Karnaugh de tres variables

El mapa de Karnaugh de tres variables es un conjunto de ocho celdas.

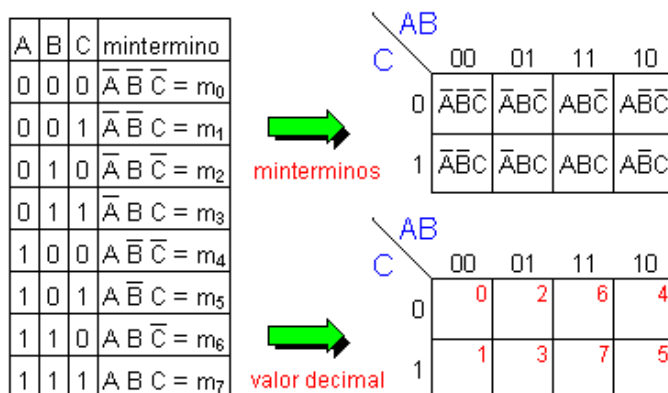


Imagen 3. Mapa de Karnaugh de tres variables

### Mapa de Karnaugh de tres variables

El mapa de Karnaugh de tres variables es un conjunto de 16 celdas.

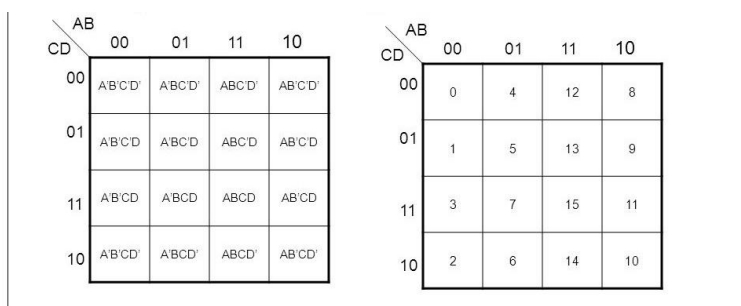


Imagen 4. Mapa de Karnaugh de cuatro variables

### Funciones incompletamente especificadas

En algunas ocasiones hay combinación de las variables de entrada que no están permitidas, y debido a que estas combinaciones no ocurren nunca, se las puede considerar como términos indiferentes a efectos de calcular el valor de la salida.

Esto significa que a la celda del mapa de Karnaugh correspondiente a un término indiferente le podemos asignar tanto un 0 como un 1, según convenga.

### **Convertidor BDC a 7 segmentos.**

BCD (Decimal Codificado en Binario) es un código que representa valores decimales en formato binario, para ello forma grupos de 4 bits para representar cada valor del 0 al 9. El 9 es el valor máximo que se puede representar en un dígito decimal, si recordamos los números binarios el 9 es un 10012, requiere 4 bits, es por eso que cada valor BCD se representa con 4 bits, del 00002 al 10012 (0 – 9). Hay que destacar que BCD es un código, no un sistema de numeración, por lo que no está diseñado para hacer operaciones como sumas o restas, solo para representar valores decimales en binario.

Existen circuitos decodificadores/controladores que simplifican la conexión y uso de los display de 7 segmentos, se les puede dar una entrada en BCD (4 bits) y es capaz de decodificarlo para encender y apagar los segmentos adecuados para mostrar el dígito correspondiente. Existen dos modelos muy similares, el 74LS47 y 74LS48 que tienen el mismo funcionamiento y distribución de pines, varían solo en que uno de ellos tiene las salidas negadas, por lo que uno de ellos se adecua para ser utilizado en un display de ánodo común y el otro en uno de cátodo común. Se trata de un circuito de 16 pines que tiene las 7 salidas para los 7 segmentos de un display (a – g), tiene las 4 entradas para el valor en BCD, representadas con las letras A, B, C y D. Funciona con 5 V en los pines 16 y 8 (Vcc y Gnd respectivamente). Véase imagen 5;

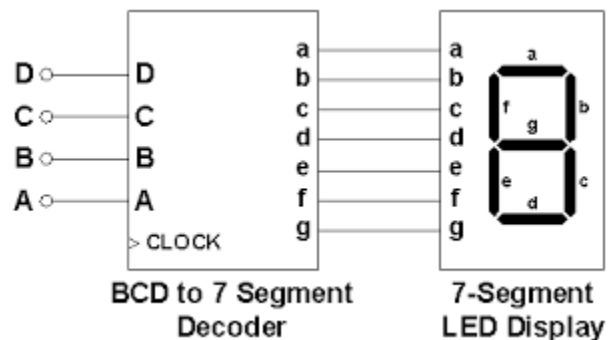


Imagen 5; BDC a 7 segmentos

### **3) Materiales empleados**

- 1 C. I. 74LS47
- 1 C.I. 74LS90
- 10 resistores de 330  $\Omega$
- 10 resistores de 1k  $\Omega$
- Alambre
- Dip switch
- Fuente de alimentación de 5 volts
- 1 display de 7 segmentos
- 1 tablilla de prueba
- 1 pinzas de corte

➤ 1 pinzas de punta

#### 4) Desarrollo Experimental

1. Llene correctamente la tabla de verdad del BCD a 7 segmentos

#	A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	0	0	1	1	0
4	0	1	0	0	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	1	0	0
6	0	1	1	0	0	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	1	0	0
10	1	0	1	0	x	x	x	x	x	x	x
11	1	0	1	1	x	x	x	x	x	x	x
12	1	1	0	0	x	x	x	x	x	x	X
13	1	1	0	1	x	X	X	x	x	x	X
14	1	1	1	0	X	x	X	X	X	X	X
15	1	1	1	1	X	x	x	X	x	X	x

2. Obtenga las ecuaciones canónicas algebraicas de las salidas.

PARA a:

$$a(A, B, C, D) = \sum (0, 3) + \Phi(10 - 15)$$

$$a(A, B, C, D) = \bar{A}\bar{B}\bar{C}D + \bar{A}B\bar{C}\bar{D}$$

PARA b:

$$b(A, B, C, D) = \sum (5, 6) + \Phi(10 - 15)$$

$$b(A, B, C, D) = \bar{A}B\bar{C}D + \bar{A}BC\bar{D}$$

PARA c:

$$c(A, B, C, D) = \sum (2) + \Phi(10 - 15)$$

$$c(A, B, C, D) = \bar{A}\bar{B}C\bar{D}$$

PARA d:

$$d(A, B, C, D) = \sum (1, 4, 7) + \Phi(10 - 15)$$

$$d(A, B, C, D) = \bar{A}\bar{B}\bar{C}D + \bar{A}B\bar{C}\bar{D} + \bar{A}BCD$$

PARA e:

$$e(A, B, C, D) = \sum (1, 3, 4, 5, 7, 9) + \Phi(10 - 15)$$

$$e(A, B, C, D) = \bar{A}\bar{B}\bar{C}D + \bar{A}B\bar{C}\bar{D} + \bar{A}B\bar{C}D + \bar{A}B\bar{C}\bar{D} + \bar{A}BCD + A\bar{B}\bar{C}D$$

PARA f:

$$f(A, B, C, D) = \sum (1, 2, 3, 7) + \Phi(10 - 15)$$

$$f(A, B, C, D) = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + \bar{A}BCD$$

PARA g:

$$g(A, B, C, D) = \sum (0, 1, 7) + \Phi(10 - 15)$$

$$g(A, B, C, D) = \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}C\bar{D} + \bar{A}BCD$$

### 3. Reducción con mapas de Karnaugh

Mapas de Karnaugh

AB \ CD	00	01	11	10
00	0	1	X	0
01	1	0	X	0
11	0	0	X	X
10	0	0	X	X

$$a = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot D + B \bar{C} \bar{D}$$

AB \ CD	00	01	11	10
00	0	0	X	0
01	0	0	X	0
11	0	0	X	X
10	1	0	X	X

$$c = \bar{B} \bar{C} \bar{D}$$

AB \ CD	00	01	11	10
00	0	1	X	0
01	1	1	X	1
11	1	1	X	X
10	0	0	X	X

$$e = D + B \bar{C}$$

AB \ CD	00	01	11	10
00	0	0	X	0
01	0	1	X	0
11	0	0	X	X
10	0	1	X	X

$$b = B \bar{C} D + B C \bar{D}$$

AB \ CD	00	01	11	10
00	0	1	X	0
01	1	0	X	0
11	0	1	X	X
10	0	0	X	X

$$d = \bar{A} \bar{B} \bar{C} D + B \bar{C} \bar{D} + B C D$$

AB \ CD	00	01	11	10
00	0	0	X	0
01	1	0	X	0
11	1	1	X	X
10	1	0	X	X

$$f = \bar{A} \bar{B} D + \bar{B} C + C D$$

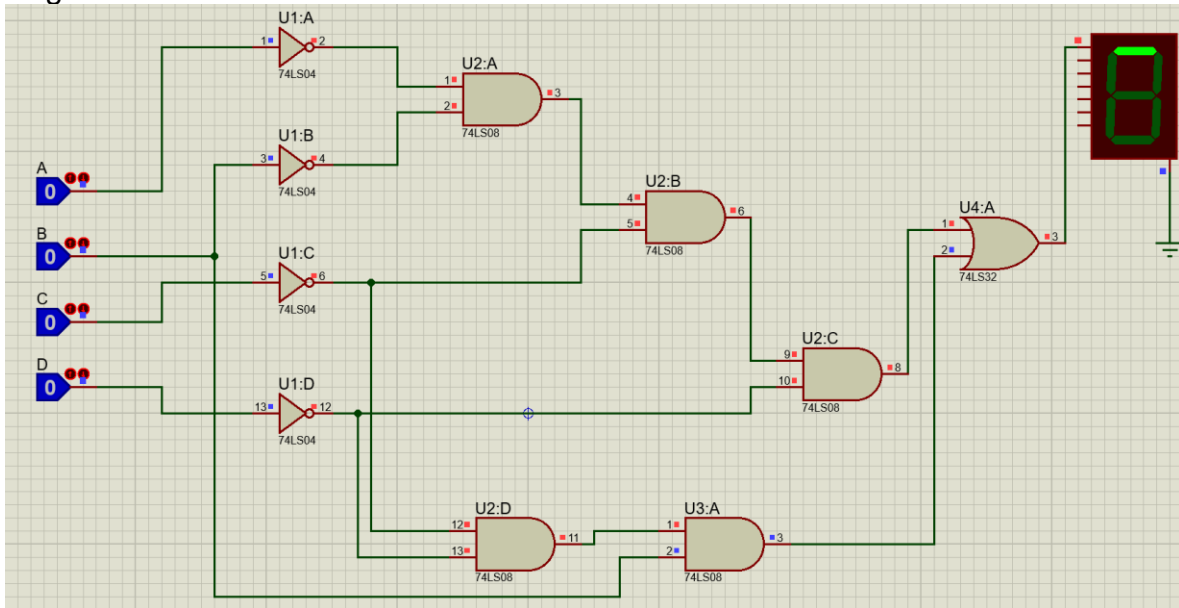


$\overline{A}B$ $CD$	00	01	11	10
00	1	0	X	0
01	1	0	X	0
11	0	1	X	X
10	0	0	X	X

$g = \overline{A}\overline{B}\overline{C} + BCD$

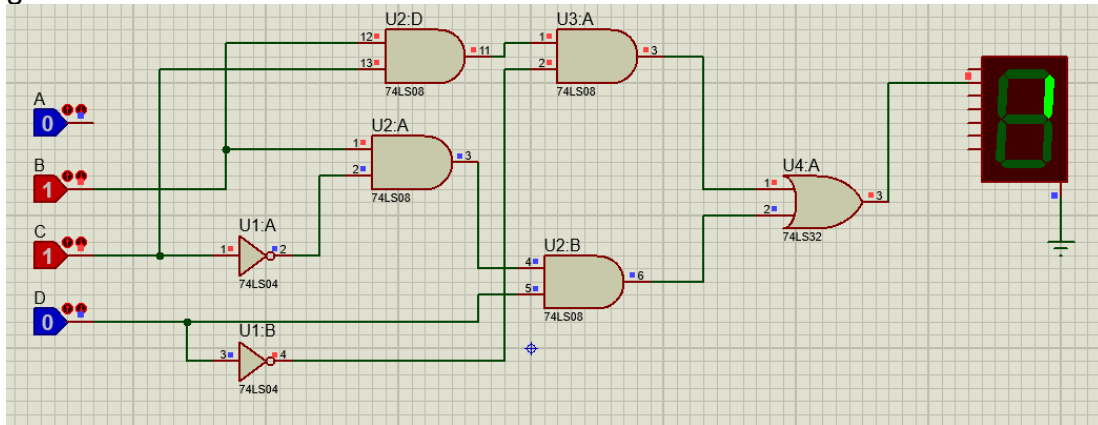
#### 4. Circuitos lógicos por cada fragmento del convertidor

Segmento a:

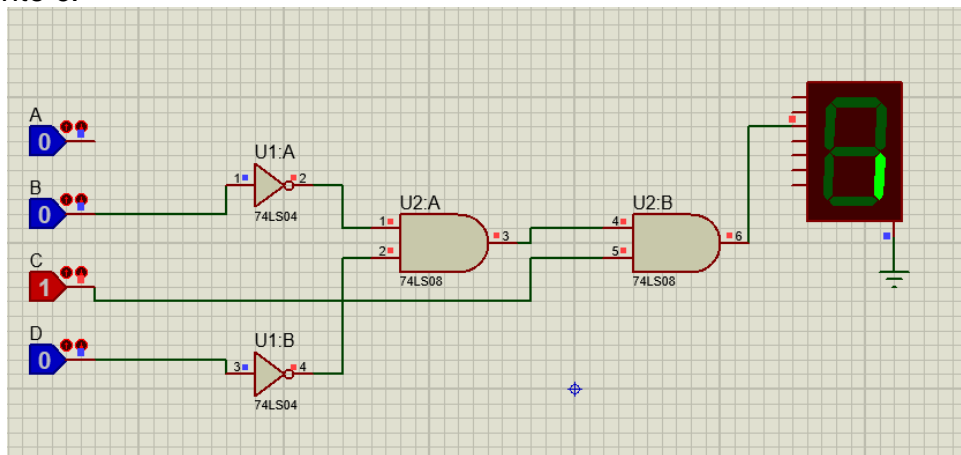




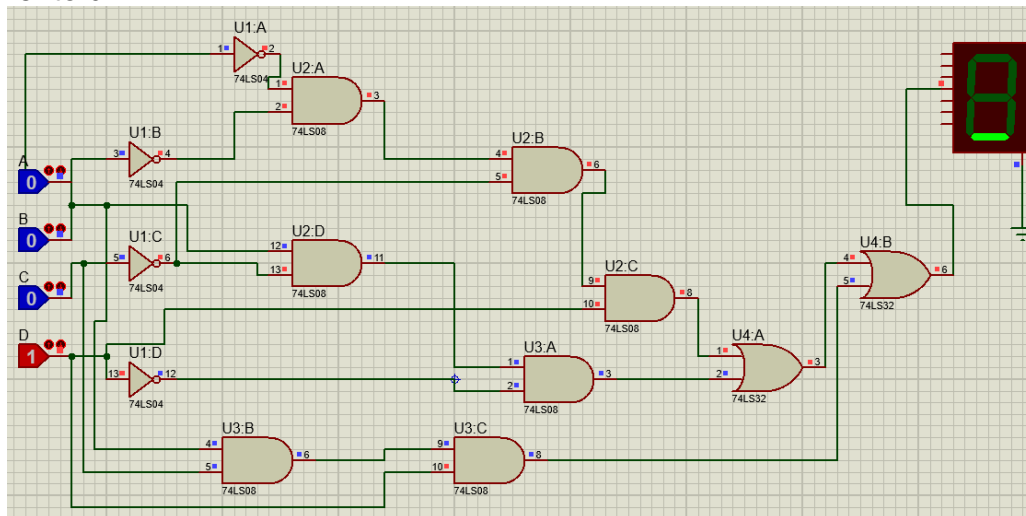
Segmento b:



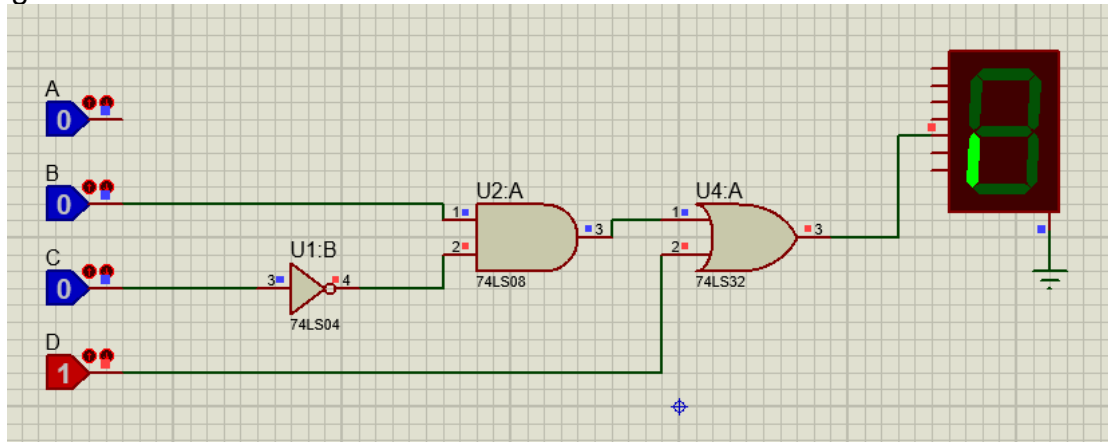
Segmento c:



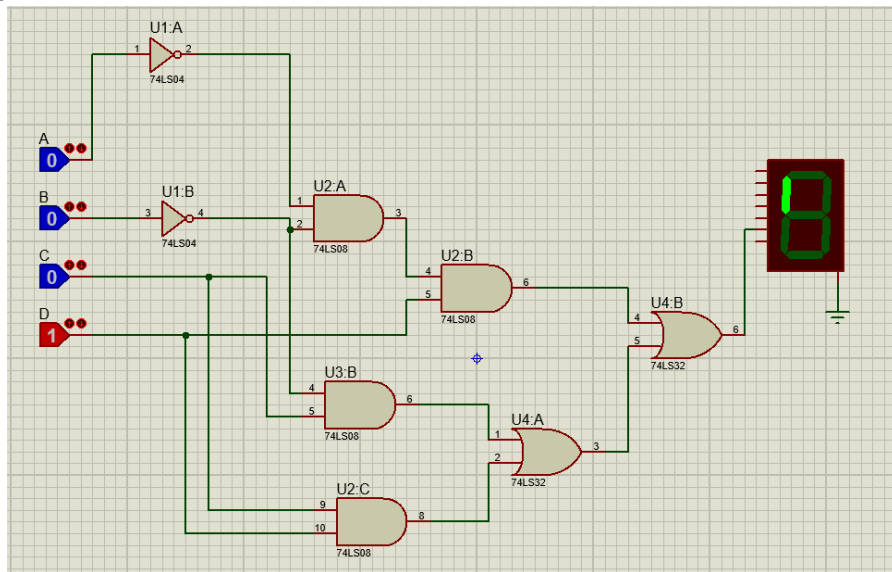
Segmento d:



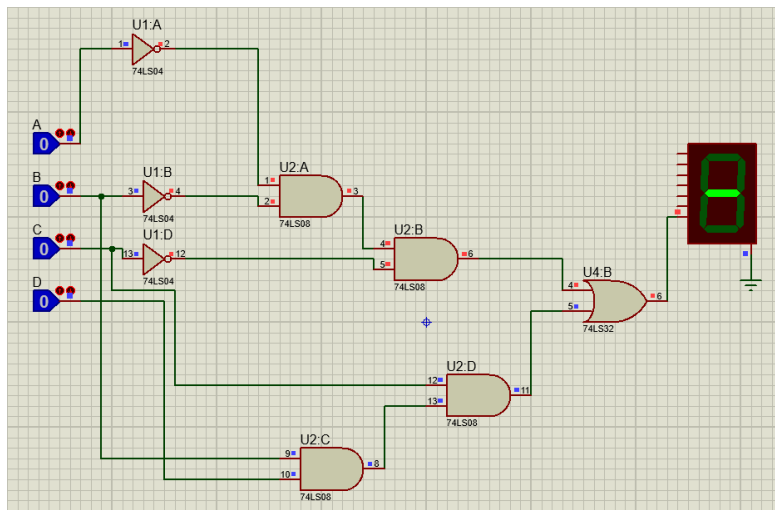
Segmento e:



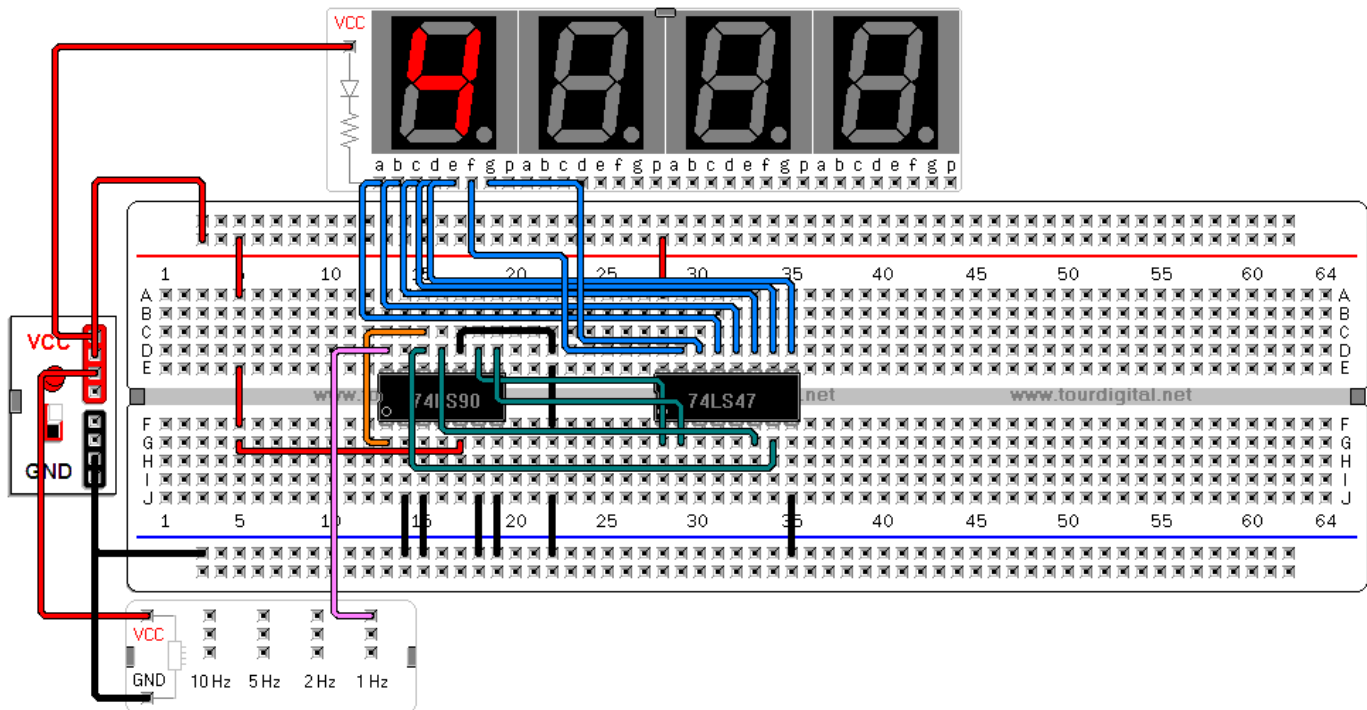
Segmento f:



Segmento g:



## 5. Circuito armado en la protoboard.



## 5) Conclusiones Individuales.

A partir de los ejercicios realizados a partir de la tabla de verdad de un bdc a 7 segmentos puedo concluir que los mapas de Karnaugh son el mejor método para reducir un circuito para su fácil construcción, además, se cumplió el objetivo de la practica de ser capaz de construir un circuito convertidor BDC a 7 segmentos, al menos de manera simulada con un programa implementando el circuito integrado 74LS90 y un reloj para contar del 0 al 9 como se muestra en el desarrollo experimental y en el video del circuito.

## 6) Bibliografía.

- Laiton. W. (2017). "Decodificador BDC A 7 segmentos". Recuperado de: <https://wilaebaelectronica.blogspot.com/2017/01/decodificador-bcd-a-7-segmentos.html>
- Gomez, Y. (2018). "Mapas de Karnaugh". Recuperado de: <https://siaguanta.com/c-tecnologia/mapas-de-karnaugh/>

## **7) ANEXOS**

### **LIGAS DE INTERÉS:**

#### **Hojas de especificaciones de las compuertas lógicas**

<http://maven.smith.edu/~thiebaut/270/datasheets/sn74ls00rev5.pdf>

<http://maven.smith.edu/~thiebaut/270/datasheets/sn74ls02rev5.pdf>

<http://maven.smith.edu/~thiebaut/270/datasheets/sn74ls04rev5.pdf>

<http://maven.smith.edu/~thiebaut/270/datasheets/sn74ls08rev5.pdf>

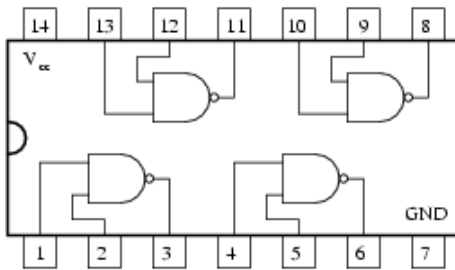
<http://maven.smith.edu/~thiebaut/270/datasheets/sn74ls32rev5.pdf>

<http://maven.smith.edu/~thiebaut/270/datasheets/sn74ls86rev5.pdf>

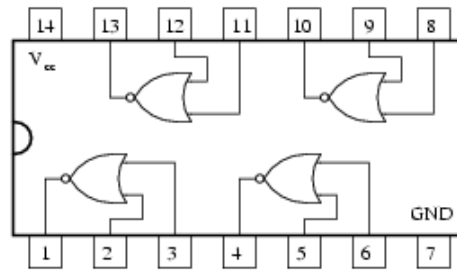
#### **Manual Completo de compuertas digitales de Motorola “FAZ AND LS TTL DATA”**

[https://docs.google.com/viewer?a=v&pid=sites&srcid=ZGVmYXVsdGRvbWVpbnxmYXNpcG58Z3g6Mzg0OTUyYzkyOD\\_U2NjBmMg](https://docs.google.com/viewer?a=v&pid=sites&srcid=ZGVmYXVsdGRvbWVpbnxmYXNpcG58Z3g6Mzg0OTUyYzkyOD_U2NjBmMg)

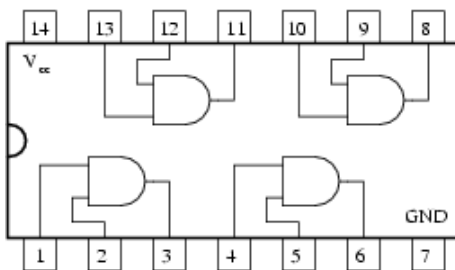
5400/7400  
Quad NAND gate



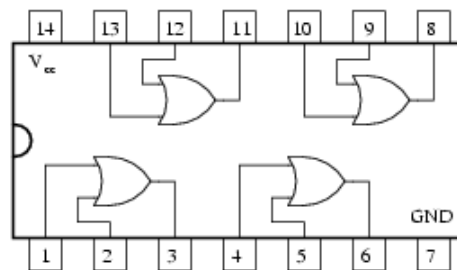
5402/7402  
Quad NOR gate



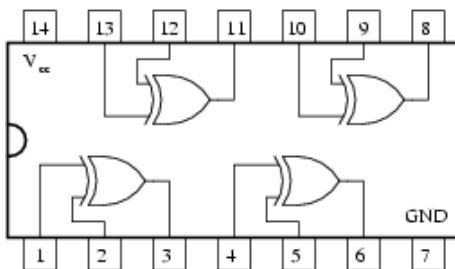
5408/7408  
Quad AND gate



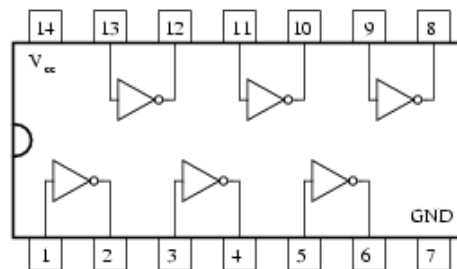
5432/7432  
Quad OR gate



5486/7486  
Quad XOR gate



5404/7404  
Hex inverter



**7446/7447**

