

Avaliação P1**Orientações:**

- Não use celular ou qualquer outro equipamento eletrônico.*
Não risque a folha de questões da prova (frente).
Não use caneta vermelha.
Não risque a cadeira.

12 Questão 1 (12 escores)

Marque Verdadeiro ou Falso: (*Duas respostas erradas anulam uma resposta certa*)

- ✓a) [V] Segundo Von Neumann, uma CPU é composta de unidade de controle e caminho de dados (*datapath*).
- ✓b) [V] Em um processador monociclo todas as instruções têm a mesma duração.
- ✓c) [F] No processador NEANDER representa-se o número -1 pelo hexadecimal FE.
- ✓d) [V] A unidade ponto flutuante de um processador faz parte da sua ULA.
- ✓e) [V] Se as posições de memória a partir do endereço 80h forem inicializadas com o valor 01, após executarmos o trecho de código abaixo no processador NEANDER, o valor do acumulador será 03. (Números do código estão em hexadecimal)

```
0    20 80    LDA 80
2    30 81    ADD 81
4    30 82    ADD 82
```

- ✓f) [F] No processador MIPS, a cada instrução o PC é incrementado de 4. Isso é feito para manter a compatibilidade entre as versões multiciclo e monociclo.
- ✓g) [V] Para um processador MIPS monociclo onde todas instruções seguem o fluxo mostrado na figura abaixo e considerando-se os atrasos: memórias = 5ns, ULA = 4ns e registradores = 3ns, pode-se afirmar que a máxima freqüência de operação é 50MHz. $1n = 10^{-9}$.



- ✓h) [V] O processador NEANDER possui 02 (dois) registradores de status (*flags*): Z – Zero e N – Negativo.
- ✓i) [F] Considerando um processador MIPS pipeline COM *forwarding*, o código abaixo é executado em 7 ciclos.
- ```
SUB $5, $.1, $2
LW $1, 0 ($5)
ADD $2, $6, $1
```
- ✓j) [F] A arquitetura Harvard é uma solução que evita *hazard* de controle em processadores pipeline.
- ✓k) [V] O CPI (Ciclos Por Instrução) médio de um processador MIPS pipeline pode chegar a ser igual a 1 se não há dependência de dados e nem desvios no código executado.

- ✓) [F] No processador MIPS multiciclo, a instrução ADD \$4, \$6, \$3 será executada em 4 ciclos de clock. Da mesma forma, na versão pipeline do MIPS.

## 8 Questão 2 (8 escores)

- a) Para um processador com clock de 100MHz, um determinado programa de 5000 instruções leva 2,5ms para ser finalizado. Qual deve ser o seu CPI médio? Justifique.

$$CPI = 50$$

- b) Considere para o processador MIPS pipeline mostrado na figura abaixo os atrasos: memórias = 2ns, ULA = 2ns e registradores = 1ns. Qual seria a máxima freqüência de operação.  $1n = 10^{-9}$ . Justifique.



∴ A máxima freqüência de operação seria de 500 MHz

20 Total de escores = 20

Q1b) no MIPS pipeline, o estágio com maior atraso "data" é da ALU dos demais estágios, ou seja 2ns, o estágio com menor atraso é o de acesso à memória, que leva 2ns, logo, o período de CLK é igual a 2ns. Calculando a frequência temos:

$$F = \frac{1}{T}, T = 2 \cdot 10^{-9} s \Rightarrow F = \frac{1}{2 \cdot 10^{-9}} \Rightarrow F = 0,5 \cdot 10^9 \text{ Hz}$$

$$\Rightarrow F = 500 \text{ MHz} \quad \checkmark$$

- a) Sendo em consideração que, o  $m_{CLK} = CPI \cdot n_{instruções}$ , onde  $m_{CLK}$ : número de ciclos de  $CLOCK$ ,  $CPI$ : ciclos por instrução média,  $n_{instruções}$ : número de instruções. E também sabendo que  $T_{CPU} = \frac{m_{CLK}}{F_{CLK}}$  onde  $T_{CPU}$ : tempo que um processador leva para finalizar, é  $F_{CLK}$ : frequência de clock do processador, temos:  $T_{CPU} = 2,5 \cdot 10^{-3} s$
- $F_{CLK} = 100 \cdot 10^6 \text{ Hz}$  e  $n_{instruções} = 5000$ , temos:
- $2,5 \cdot 10^{-3} = \frac{CPI \cdot 5000}{100 \cdot 10^6} \Rightarrow CPI = \frac{2,5 \cdot 10^6 \cdot 10^{-3}}{5000} \Rightarrow CPI = 50 \quad \checkmark$