

实验 2 计数器设计与仿真

一. 实验目的

- 1.学习计数器的程序设计方法，熟悉设计的流程。
- 2.掌握 Quartus II 下时序电路仿真的方法。

二. 实验内容

本实验通过在 Quartus II 文本方式下设计实现一个计数器，进一步熟悉基于 Quartus II 软件进行 Verilog 设计的基本流程。主要是进一步掌握设计仿真方法。

计数器是最基本的时序电路，可以使用多种方法构成和实现。本实验从最基本的计数器开始，逐步扩展功能和引脚，达到掌握计数器设计方法。

1. 启动 Quartus II，建立工作项目 counter
建立过程可参考实验 1。

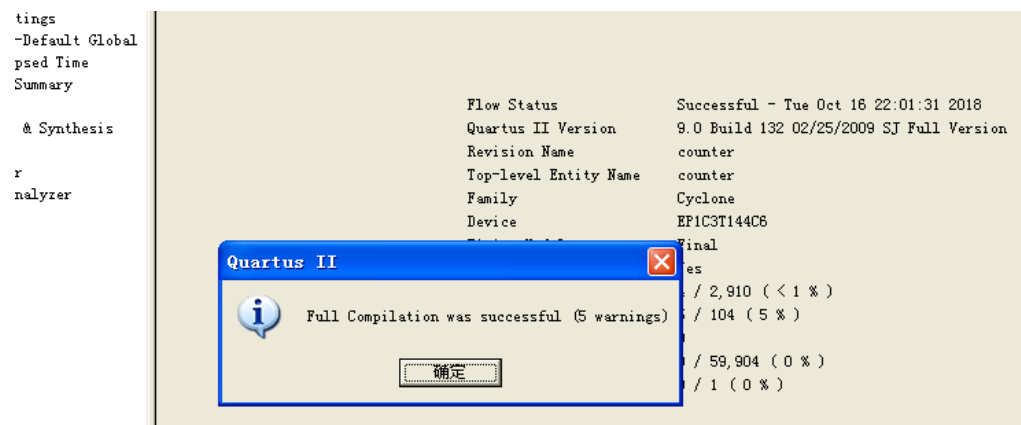
2. 输入源文件

生成“VerilogHDL File”类型的源程序文件，输入 4 位计数器的源程序

```
1 module counter(clk, qout);
2     input clk;
3     output qout;
4     reg[3:0] qout;
5
6     always @(posedge clk)
7         qout <= qout+1;
8 endmodule
9
```

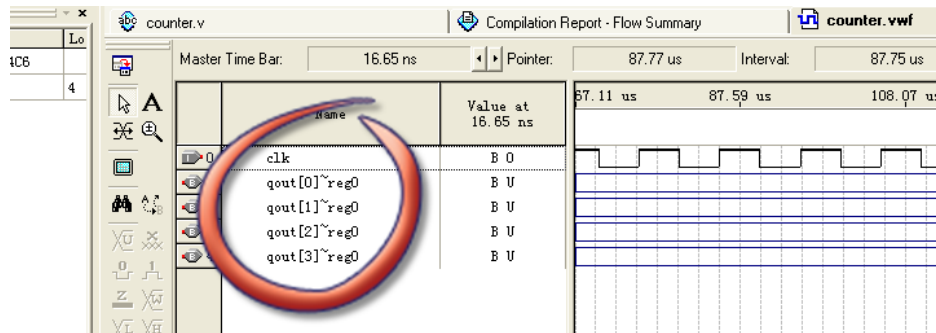
3. 编译

按 process->Start Compilation 命令对程序进行编译，检查是否有错误，改正所有存在的错误。

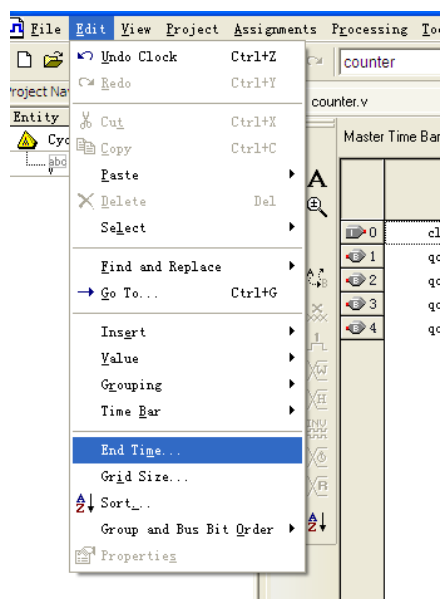


4. 仿真和时序分析

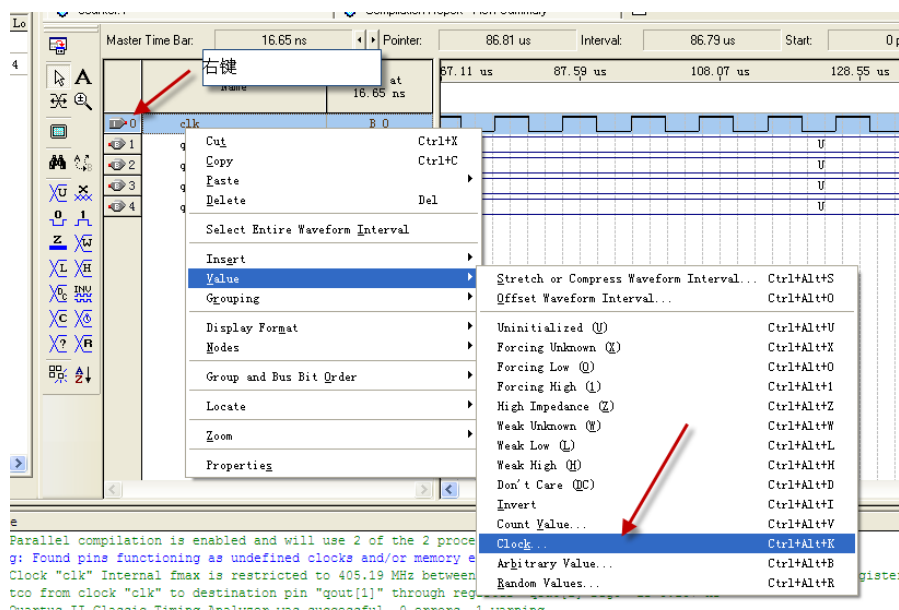
生成矢量波形文件（.vwf）作为激励源进行仿真，指定仿真引脚如下：




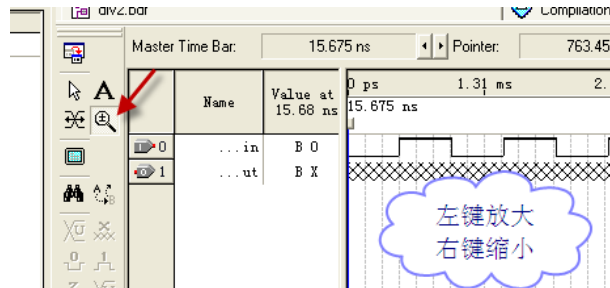
设置仿真时间范围为 1ms:



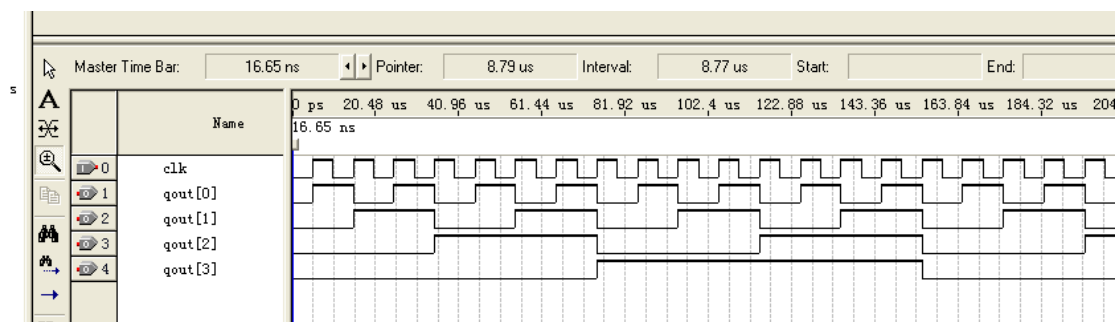
指定 clk 的 value 是 clock, 1MHz 时钟:



观察仿真结果，选择菜单“Processing” → “Start Simulation”，或者单击按钮，即启动仿真器开始工作。仿真完成后，可通过查看输出波形，以检验所设计电路的功能是否正确。使用时间缩放功能，将波形缩放到合适的大小。

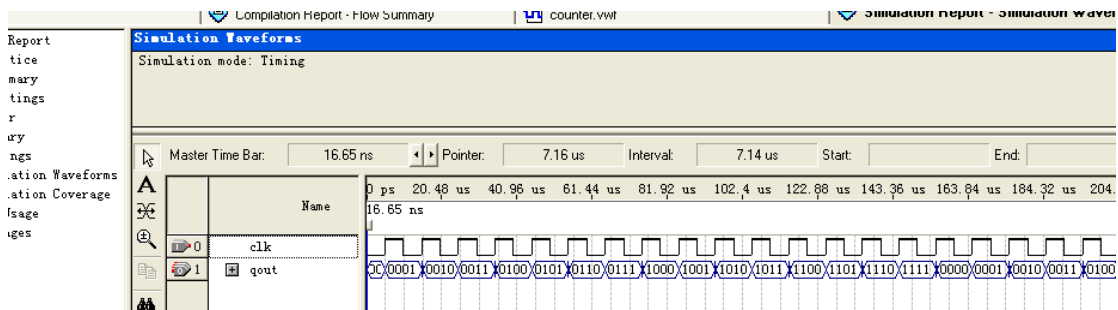


仿真结果如下：



按照电路功能，可以看出该仿真结果符合设计要求。

还可以把 qout 作为总线输出计数值的形式显示，更加简洁，如下：



三. 实验思考题

1. 参照本实验，设计实现一个 8 位计数器，并进行仿真。
2. 设计一个带有同步清 0 信号的 3 位计数器，并进行仿真。
3. 设计一个带有异步清 0 信号的 3 位计数器，并进行仿真。