

实验 1 Quartus II 软件使用入门，简单组合电路设计

一. 实验目的

- 1.学习 Quartus II 软件的使用方法，熟悉设计的流程。
- 2.掌握 Quartus II 下 verilog 编程方式。

二. 实验内容

本实验通过在 Quartus II 文本方式下设计实现一个数据比较器，熟悉基于 Quartus II 软件进行 Verilog 设计的基本流程。主要步骤分为：设计输入；设计编译；设计仿真；器件编程等四个步骤。

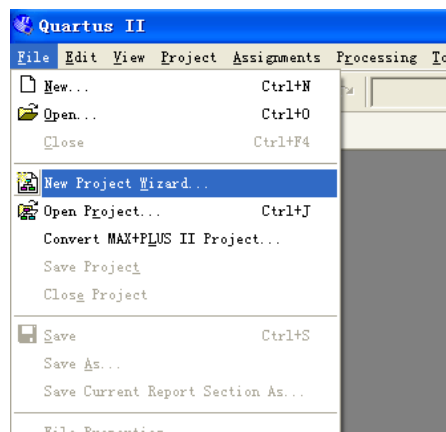
数据比较器可以使用多种方法构成和实现。见教材 314 页。

1. 启动 Quartus II

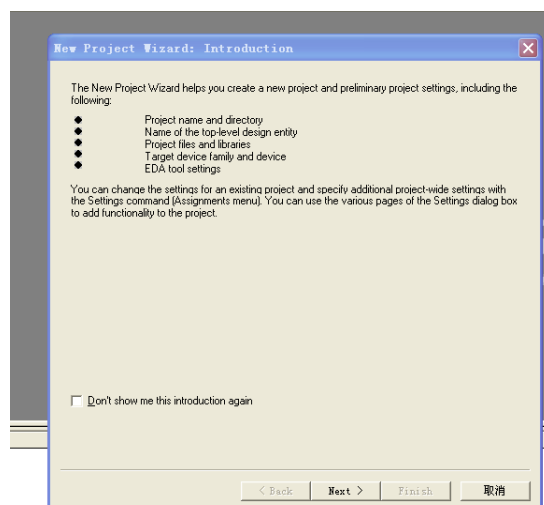
双击桌面 Quartus II 图标，启动 Quartus II。

2. 建立工作项目

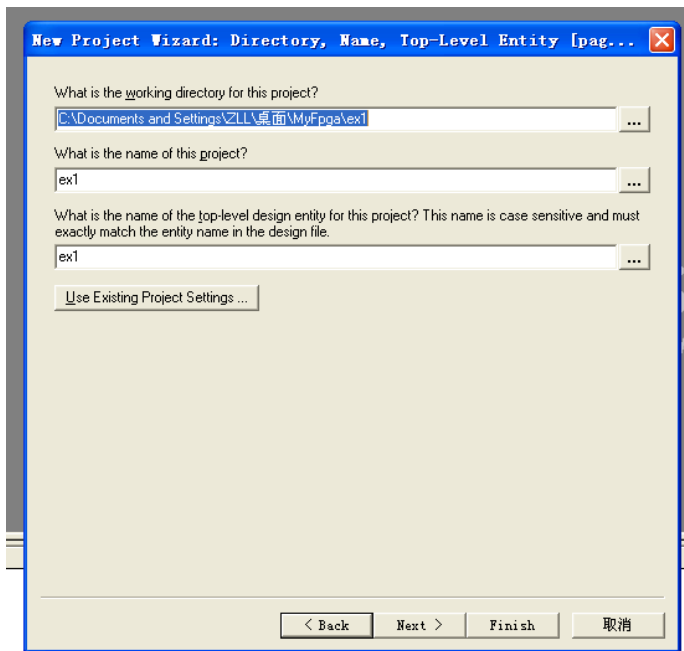
选择菜单“File”→“New Project Wizard”，启动项目生成向导。



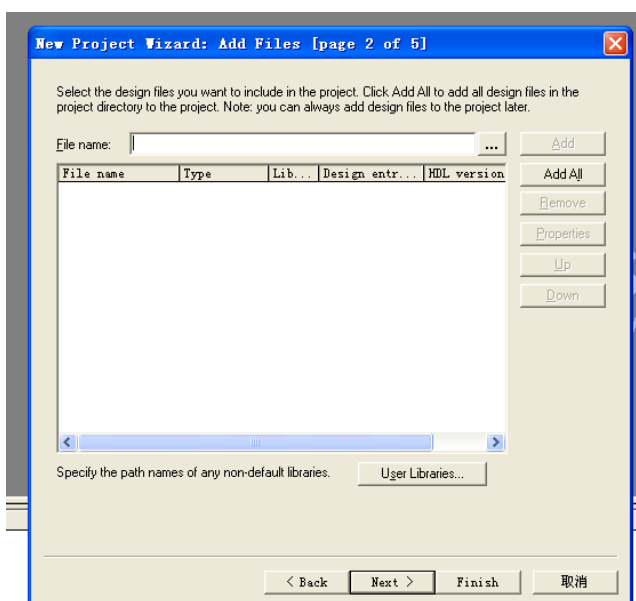
在简介页上按 next 继续



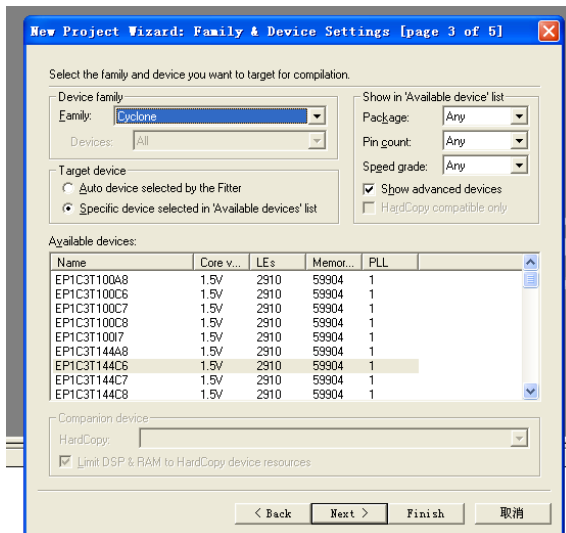
选择工作文件夹，输入项目名



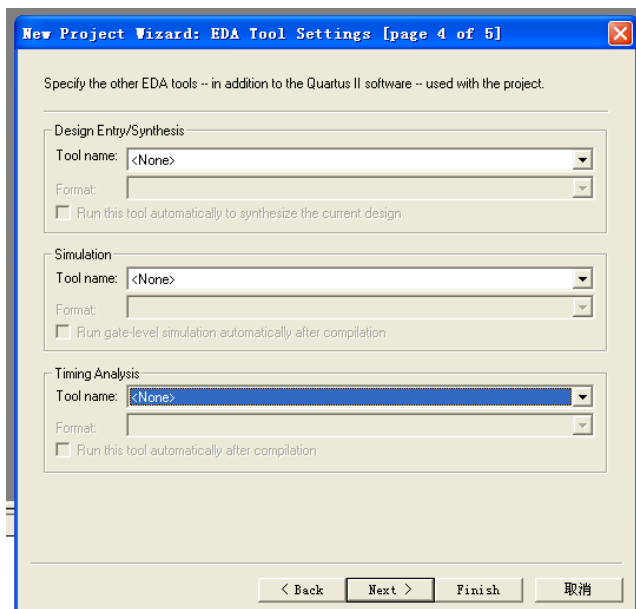
没有源文件则按 next，进入下一步



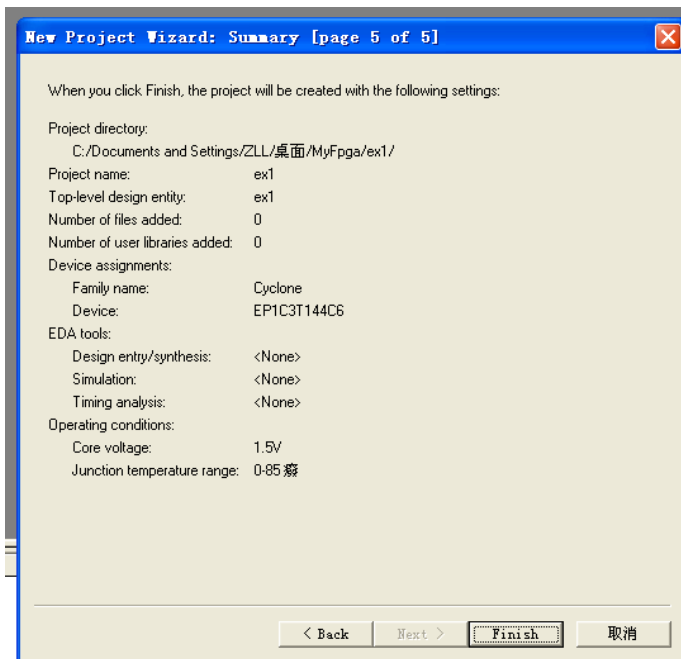
选择器件，仅做仿真实验，则按 next，不需要选择



选择 EDA 工具，实验使用自带的软件，按 next

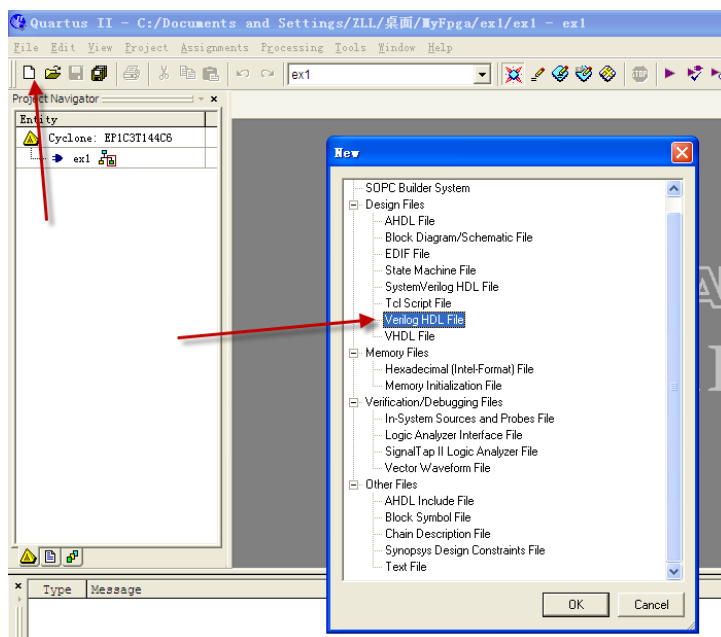


在最后的报告页上按 finsh 按钮，完成项目创建。



3. 输入源文件

选择菜单“File” → “New”，在弹出的“New”对话框中的“Design Files”页面中选择源文件的类型，选择“VerilogHDL File”类型，将出现编辑源程序的界面。



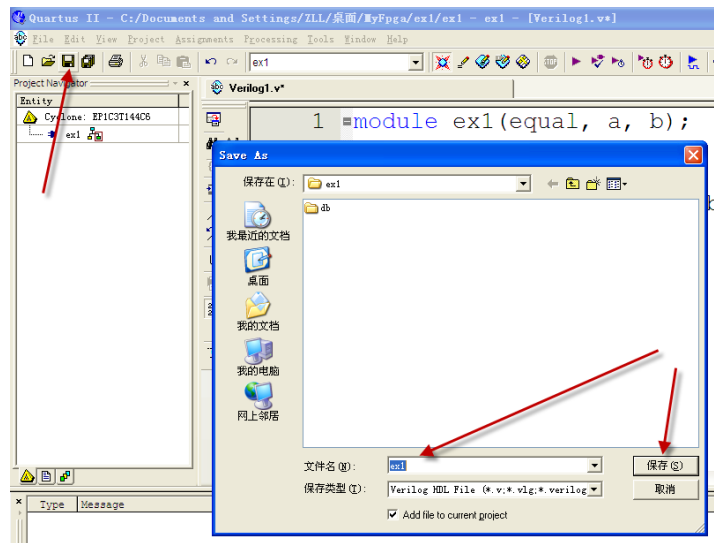
在程序编辑界面中，输入程序（见教材）：

```

1 module ex1(equal, a, b);
2     output equal;
3     input a, b;
4     assign equal = ( a==b )? 1 : 0;
5 endmodule
6

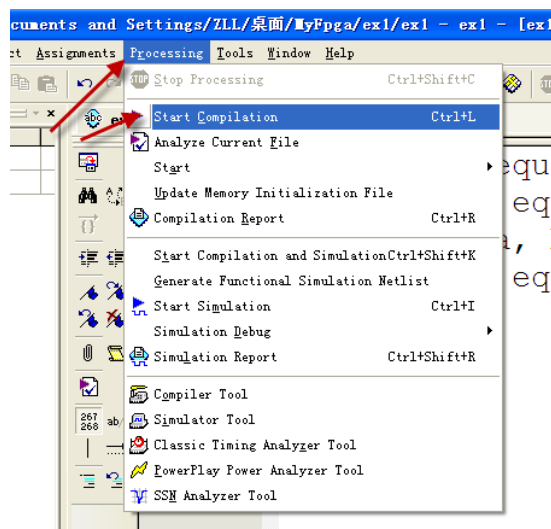
```

按保存命令（菜单命令或者工具条按钮均可），输入保存的文件名，按保存按钮保存到项目文件夹中。

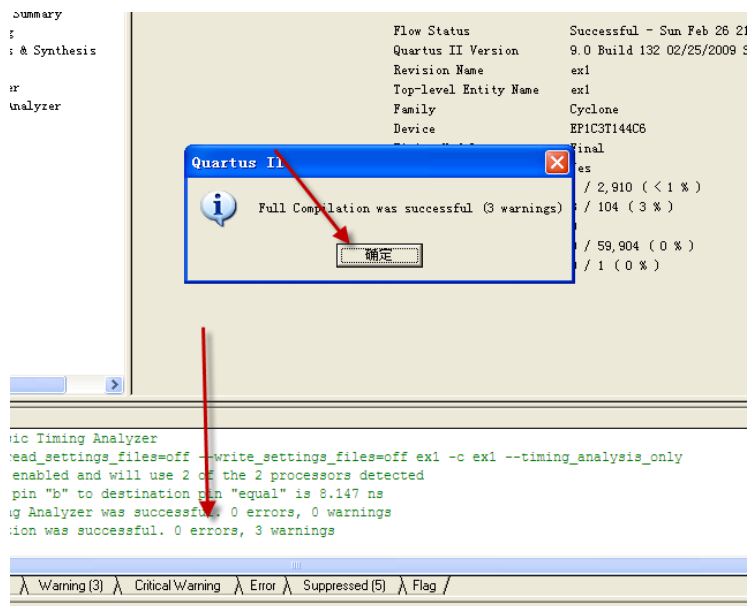


4. 编译


可以按 process->Start Compilation 命令对程序进行编译，检查错误



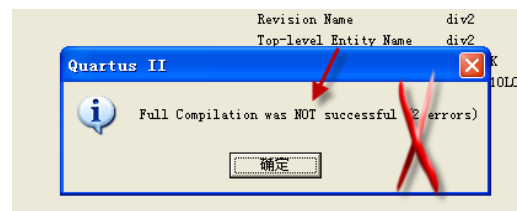
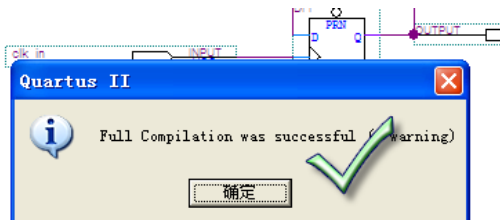
注意要将错误改正，保证没有错误，



Quartus II编译器是由几个处理模块构成的，分别对设计文件进行分析检错、综合、适配等，并产生多种输出文件，如定时分析文件、器件编程文件、各种报告文件等。

选择菜单“Processing” → “Start Compilation”，或者单击按钮，即启动了完全编译，这里的完全编译包括分析和综合、适配、装配文件、定时分析、网标文件提取等过程。

编译完成后，会将有关的编译信息显示在窗口中，可查看其中的相关内容。只有出现成功（Successful）才能进入下一步仿真，否则必须返回编辑窗口修改错误，直到编译成功为止。

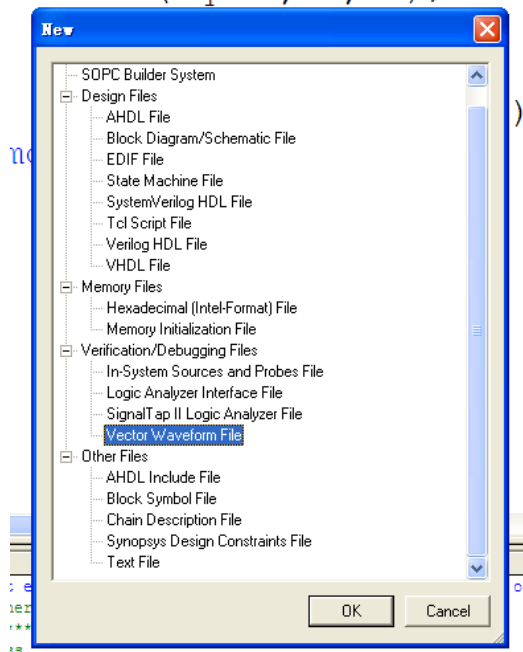


5. 仿真和时序分析

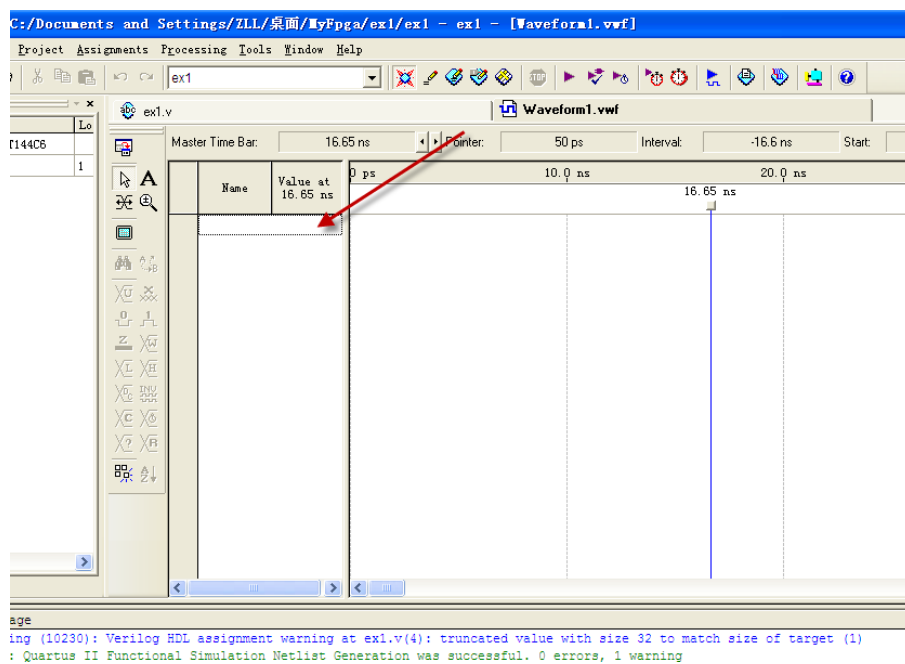
以矢量波形文件（.vwf）作为激励源进行仿真的步骤如下。

（1）打开波形编辑器

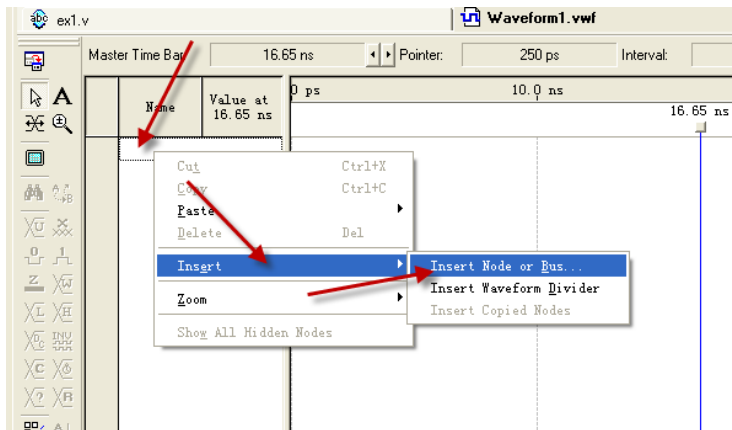
选择菜单“File” → “New”，在“New”对话框中选择“Other Files”页面中的“Vector Waveform File”选项，单击“OK”按钮，出现波形编辑窗口。



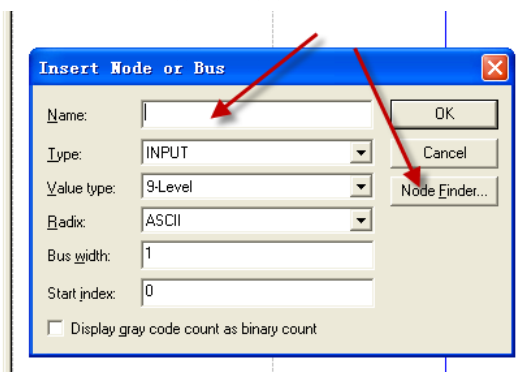
出现选择界面，输入信号节点：



在引脚处按右键进入选择

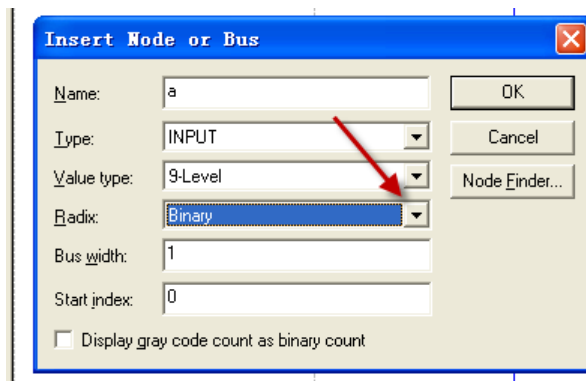


通过 Node Finder 输入仿真引脚



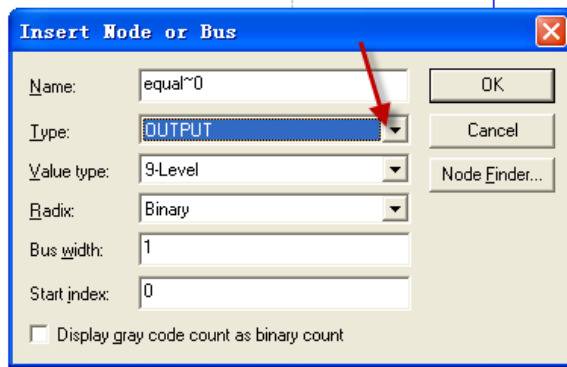
在 Node Finder 界面上将逐个引脚输入

a 节点



b 节点与 a 节点相同

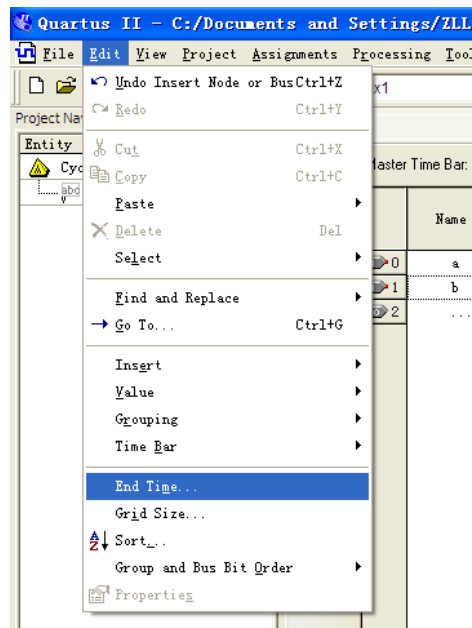
equal 节点



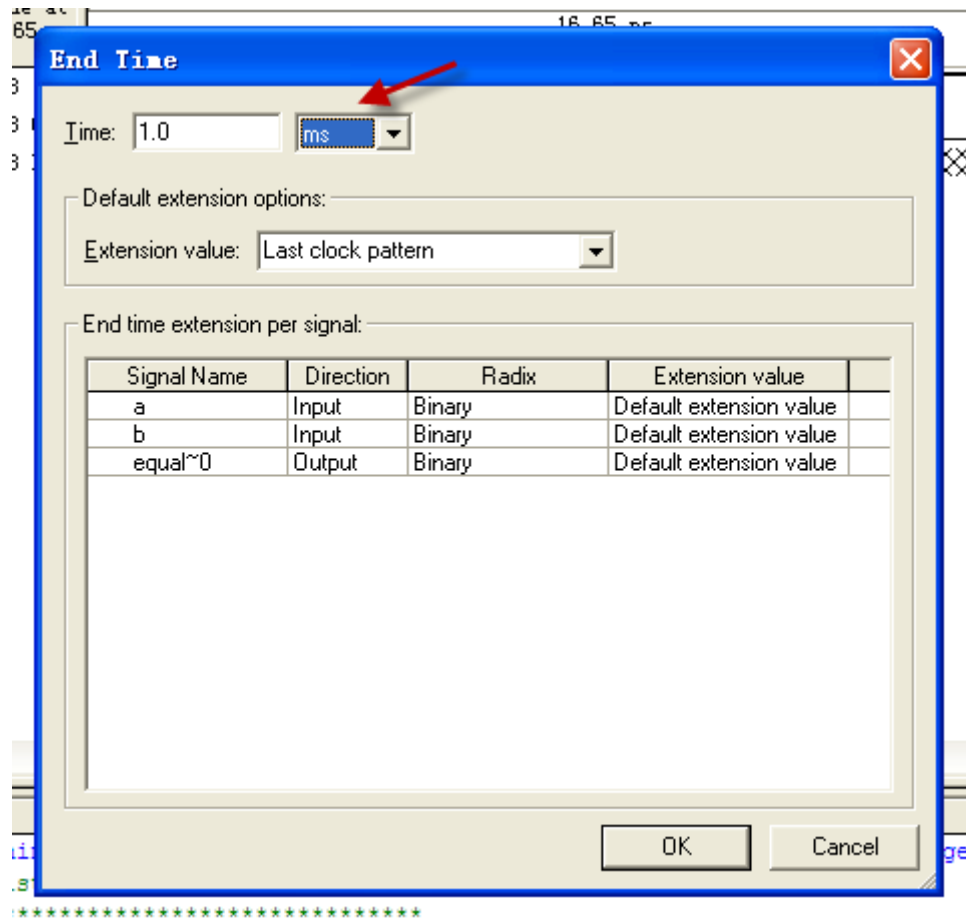
编辑输入信号波形

使用波形编辑窗口中的各种波形赋值快捷键，编辑输入信号的激励波形。

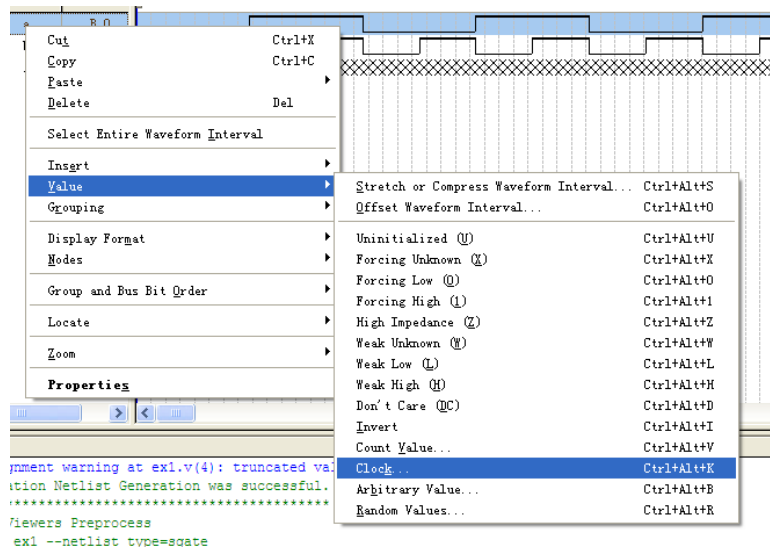
还需设置仿真时间区域，以使仿真时间设置在一个合理的区域上，选择菜单“Edit” → “End Time”，

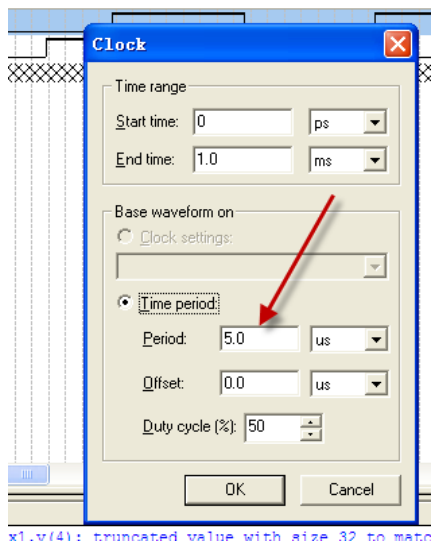


在弹出的“Time”窗口中设置仿真时长为 1ms，默认设置 1us。

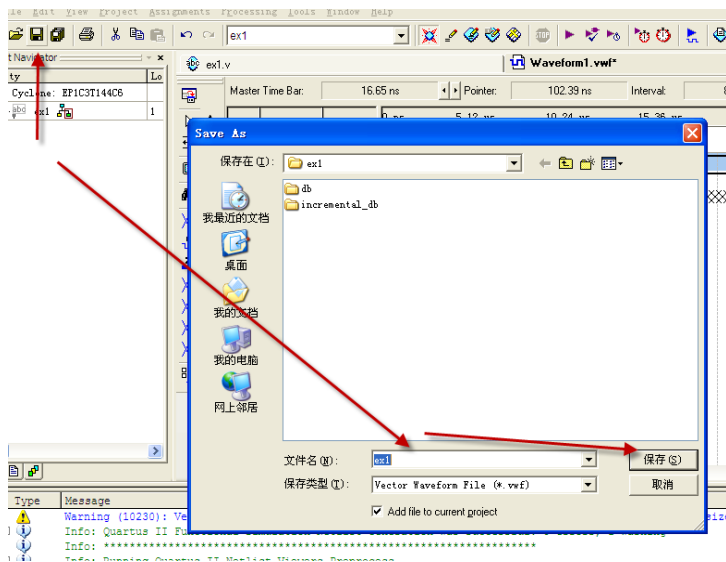


将输入信号 a, b 信号设置为时钟信号的数据格式，周期为 10us 和 5us，占空比为 50%。






保存文件

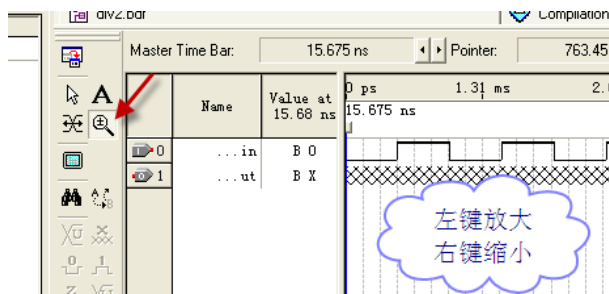


(4) 仿真器参数设置

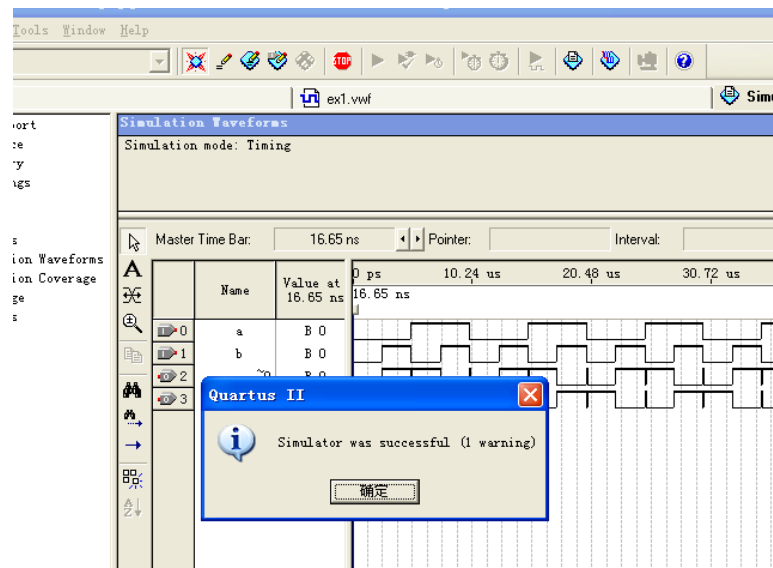
选择“Assignments”→“Settings”项，在弹出框中，选择“Fitter Settings”项下的“Simulator”，在出现的 Simulator 设计页面中选择仿真模式，这里选择时序仿真（Timing）。

(5) 观察仿真结果

选择菜单“Processing”→“Start Simulation”，或者单击按钮，即启动仿真器开始工作。仿真完成后，可通过查看输出波形，以检验所设计电路的功能是否正确。使用时间缩放功能，将波形缩放至合适的大小。



仿真结果如下：



按照电路功能，可以看出该仿真结果符合设计要求。

三. 实验思考题

1. 参照本实验，用程序方式设计实现一个 2—4 译码器，并进行仿真。
2. 设计一个 2 路选择器，并进行仿真。