

实验 4 LED 动态显示程序设计

一. 实验目的

1. 学习实验板的使用方法，进一步熟悉设计和下载的流程。
2. 掌握 Quartus II 下分频器的程序设计和下载方法。
3. 结合分频器产生的低频时钟，设计各种 LED 的显示方式。

二. 实验内容

本实验通过在实验板下设计实现外部 20M 晶振时钟分频获得 1HZ 时钟方法控制一个 LED 的显示，进一步熟悉基于 Quartus II 软件进行 Verilog 设计的基本流程，掌握 LED 闪烁、移动等显示方式的程序设计和下载。

本实验从最基本的分频操作开始，逐步扩展显示功能，达到掌握时序控制显示的设计方法。

1. 启动 Quartus II，建立工作项目 led2。

建立过程可参考实验 1。但是必须指定项目的使用芯片为 EP2C5T144 型号，与实验板所使用的芯片型号一致。

2. 单个 LED 闪烁

实验板提供 20M 的时钟 pin17，分频得到 1Sec 间隔的脉冲（0.5Hz），由此 0.5Hz 时钟直接输出控制 LED，产生闪烁的显示效果。

程序如下：

```
2 module GenClk1s(input clk20m, output clk1s);
3     reg[29:0] cnt;
4     reg cflip;
5
6     always @(posedge clk20m)
7     begin
8         if( cnt >= 20000000 ) cnt <=0;
9         else cnt <= cnt+1;
10        if( cnt == 0 ) cflip <= ~cflip;
11    end
12
13    assign clk1s = cflip;
14 endmodule
15
16 module led2(input clk20m, output a, output cs);
17     wire clk1s;
18     GenClk1s c1s( clk20m, clk1s);
19     assign a = clk1s;
20     assign cs = 1;
21 endmodule
```

3. 锁定引脚

将程序中的 I/O 引脚（信号名）指定芯片上的引脚（引脚号），由实验板的电路原理图

查得（或者在 PCB 上的文字），有下面的对应连接：

clk20m -> pin17

a -> p120

cs -> p144 关闭 sdram。

使用 Quartus II 软件配置上面的引脚。

4. 再次编译，生成 sof 类型文件，下载运行。

可以看到 a 段以 1 秒的间隔闪烁。

思考：如何改为 b c d 等其它段显示？

5. 扩展设计：LED 单个循环显示

设计程序使得 LED 点亮依次为 a->b->c->d->e->f->a->b.....循环显示。

```
module led2(input clk20m, output [7:1] seg, output cs);
    wire clk1s;
    reg [7:1] s0;
    GenClk1s c1s( clk20m, clk1s);
    always @(posedge clk1s)
    begin
        case (s0)
            7'b1000000: s0 <= 7'b0100000;
            7'b0100000: s0 <= 7'b0010000;
            7'b0010000: s0 <= 7'b0001000;
            7'b0001000: s0 <= 7'b0000100;
            7'b0000100: s0 <= 7'b0000010;
            7'b0000010: s0 <= 7'b0000001;
            7'b0000001: s0 <= 7'b1000000;
            default s0 <= 7'b1000000;
        endcase
    end
    assign seg = s0;
    assign cs = 1;
endmodule
```

思考：如何改为 f->e->d->c->b->a->f->e.....

三. 实验思考题

1. 参照本实验，设计实现七段由全暗逐渐增加到全亮的程序。
2. 设计实现七段由全亮逐渐减少到全暗的程序。
3. 设计一个用 K1 控制显示七段增加到全亮切换到减少到全灭的程序。
4. 自由发挥，设计其它不同的显示模式。