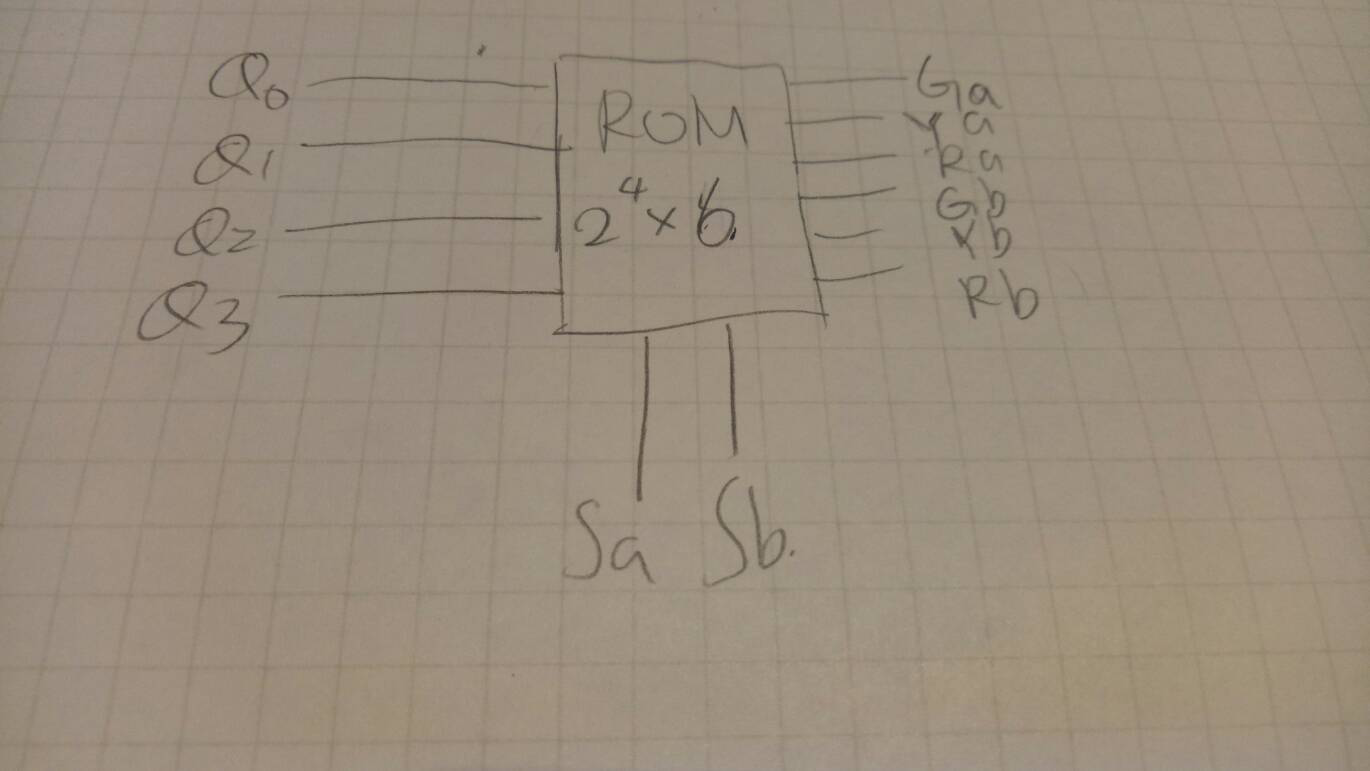
**Digital Design-LAB2**

**0616225 張承遠**

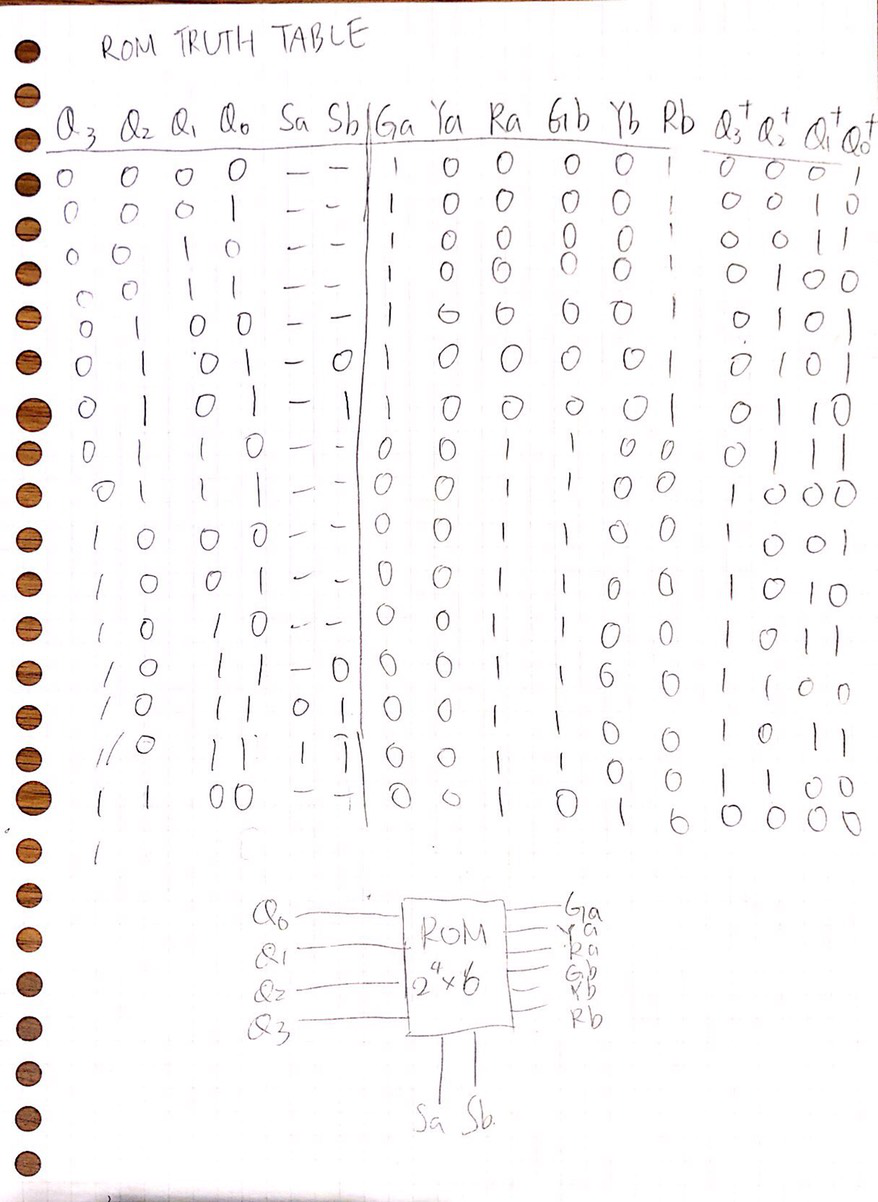
1. **說明你的設計。繪製 A(a)方塊圖與 ROM 的真值表，附上 A(c)模擬結果之波 型圖，並解釋波形圖是否正確。 (20%)**

我依據題目寫出ROM Truth Table及對應的方塊圖。接著依據題目所給的狀態圖寫程式，testbench則讓他跑一次所有的狀態，而其結果皆與結果相吻合。

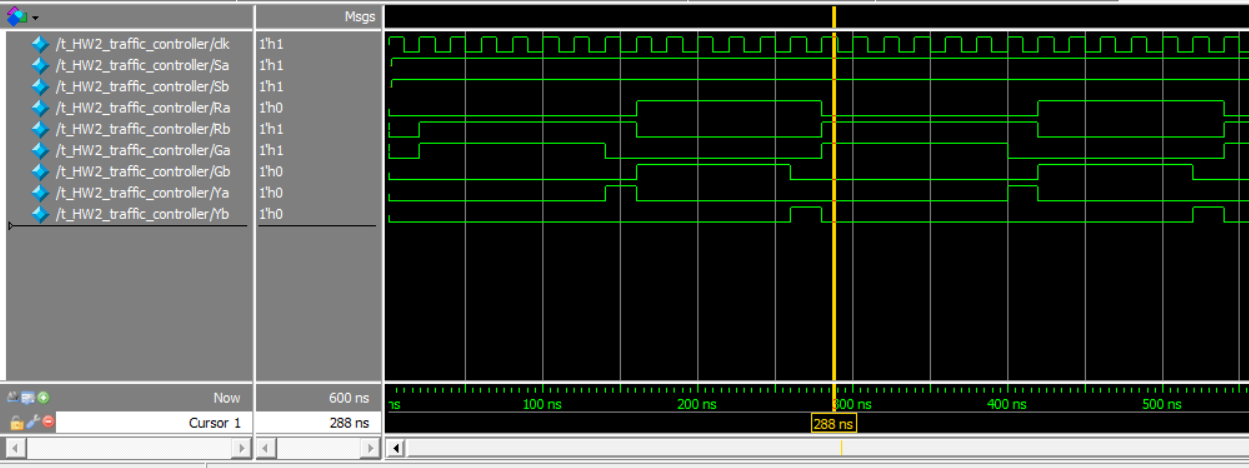
1. ROM 方塊圖：



1. ROM Truth Table：



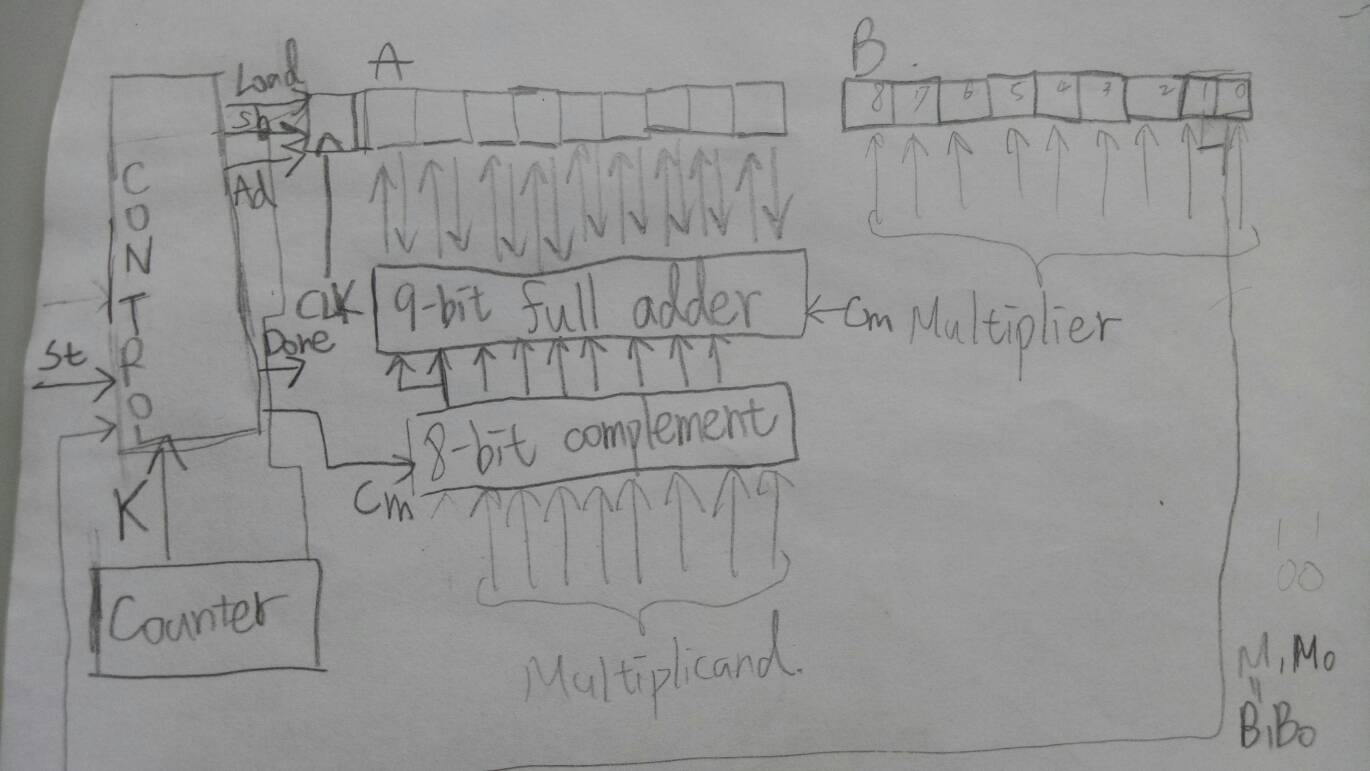
c)波型圖：



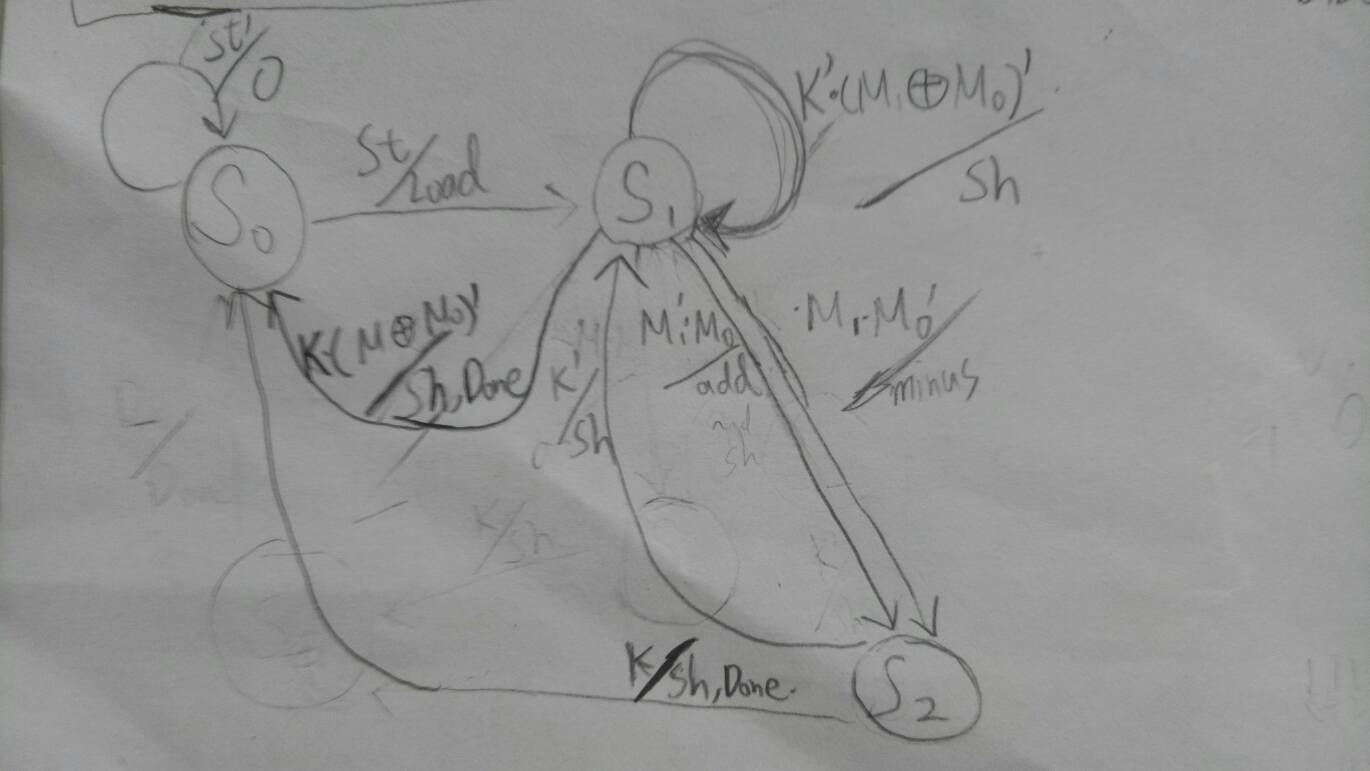
1. **說明你的設計。繪製 B(a)的方塊圖與 B(b)的狀態圖，附上 B(d)模擬結果之波 型圖，並解釋波形圖是否正確。 (20%)**

我依據題目畫出方塊圖及狀態圖，並帶入題目所給的測資，也帶入範例的測資，其結果皆與計算結果相符合，因此判定結果是對的。

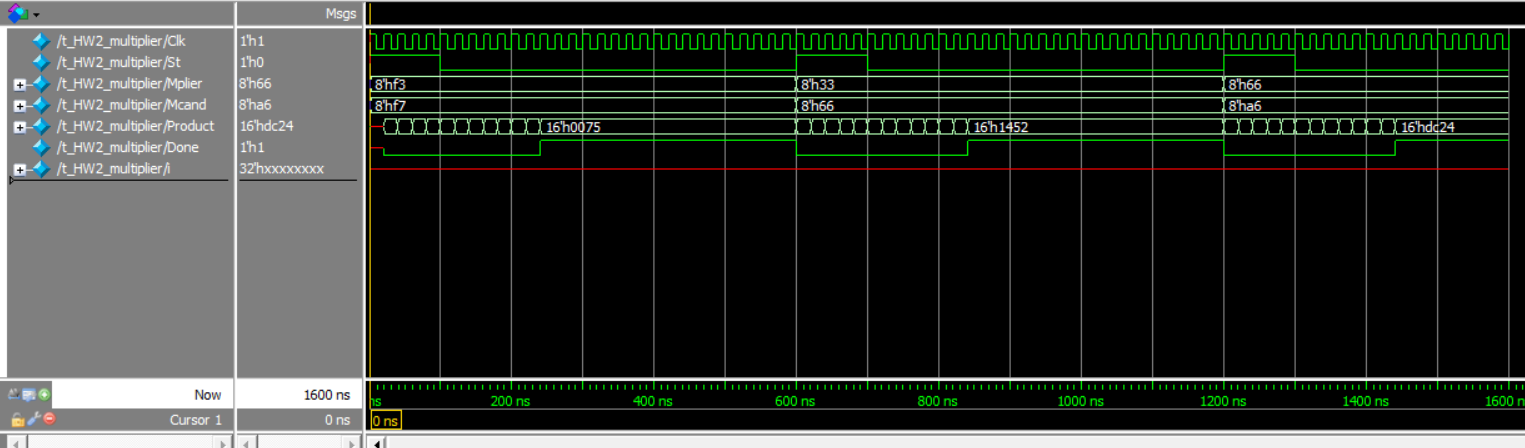
(a) 方塊圖：



(b)狀態圖：



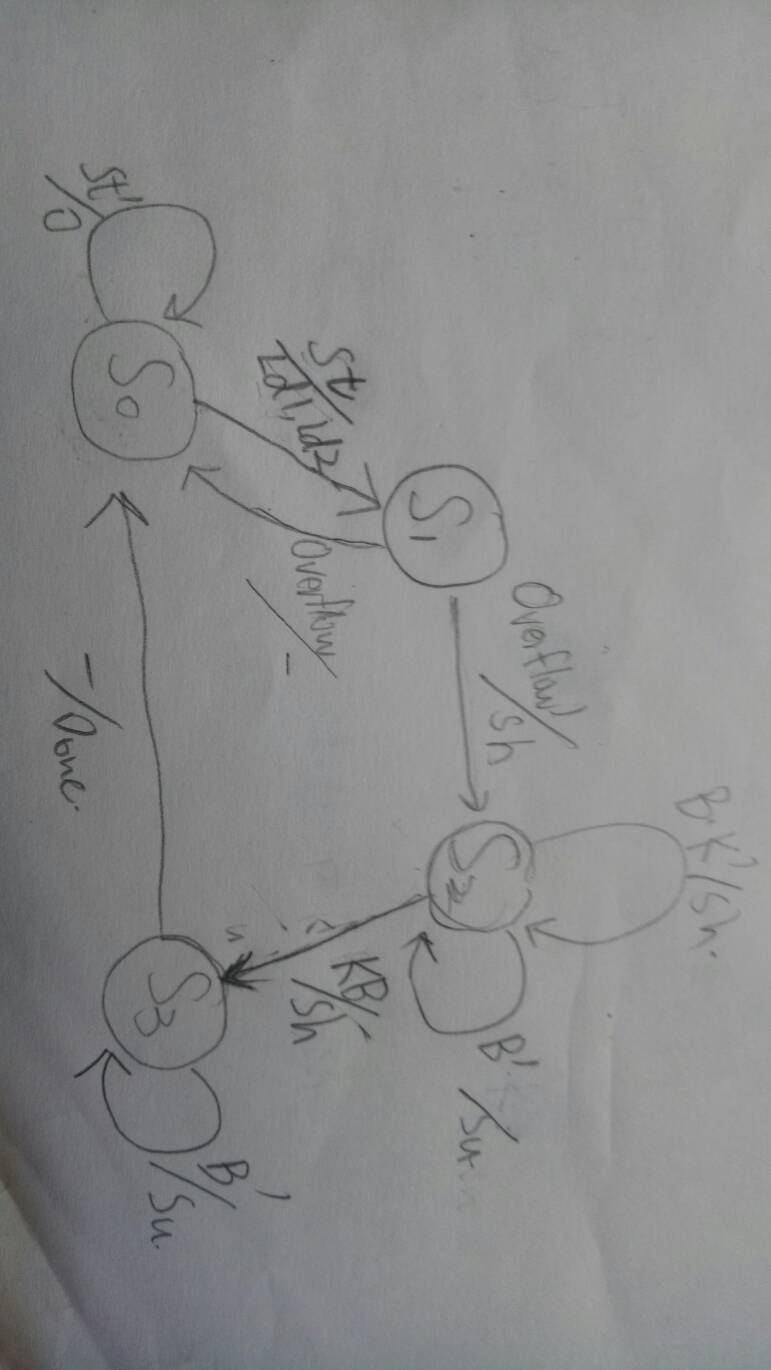
(d)波型圖：

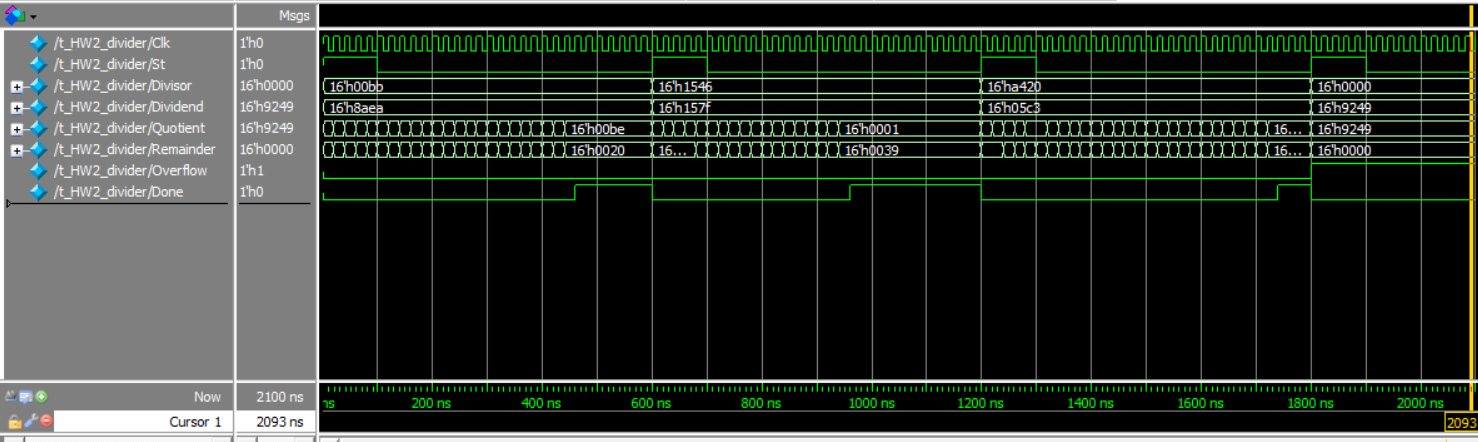


**iii. 說明你的設計。繪製 C(a)修改後的狀態圖，附上 C(c)模擬結果之波型圖，並 解釋波形圖是否正確。 (20%)**

我依據題目所附的狀態圖稍微修改了一下，新增了參數Overflow 和Done，並做一些微調。接著帶入題目所給的測資，結果皆與計算結果吻合。

(a)狀態圖：

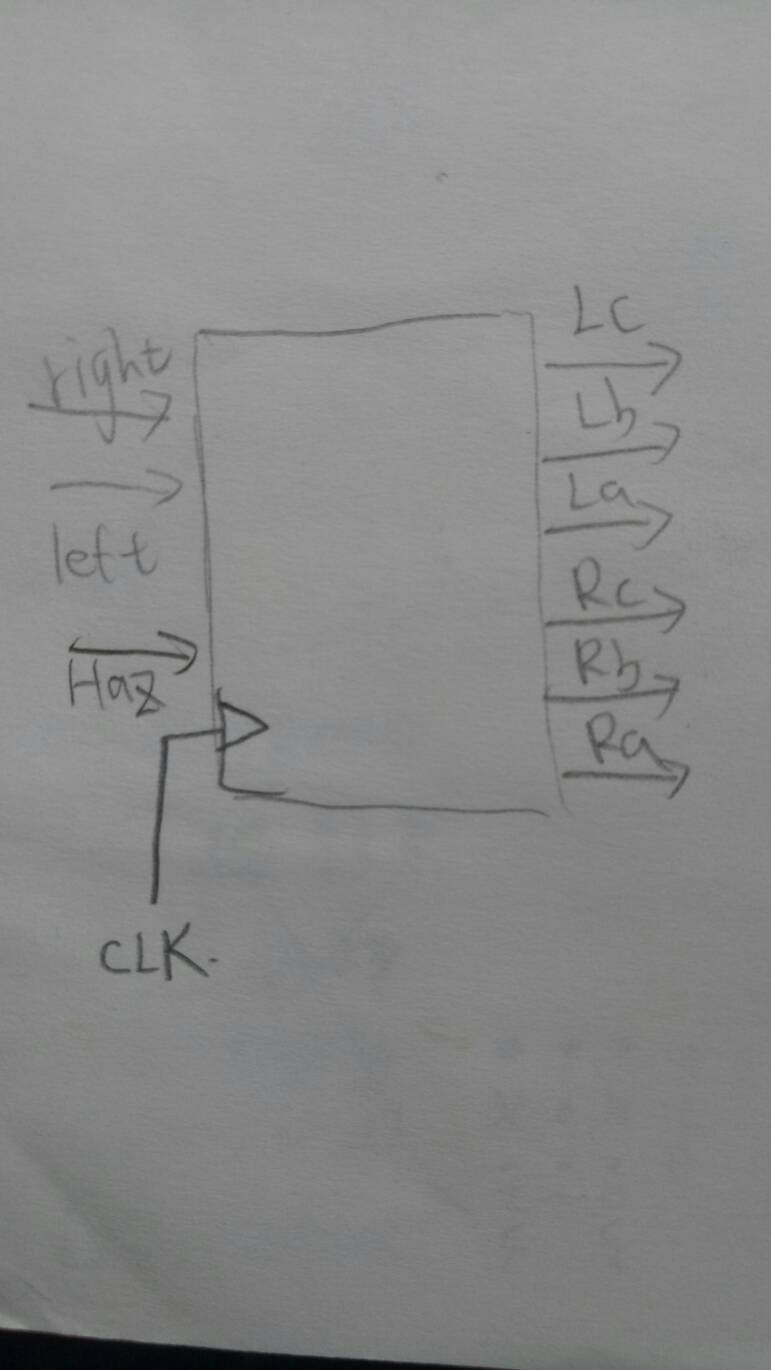


(d)波型圖：

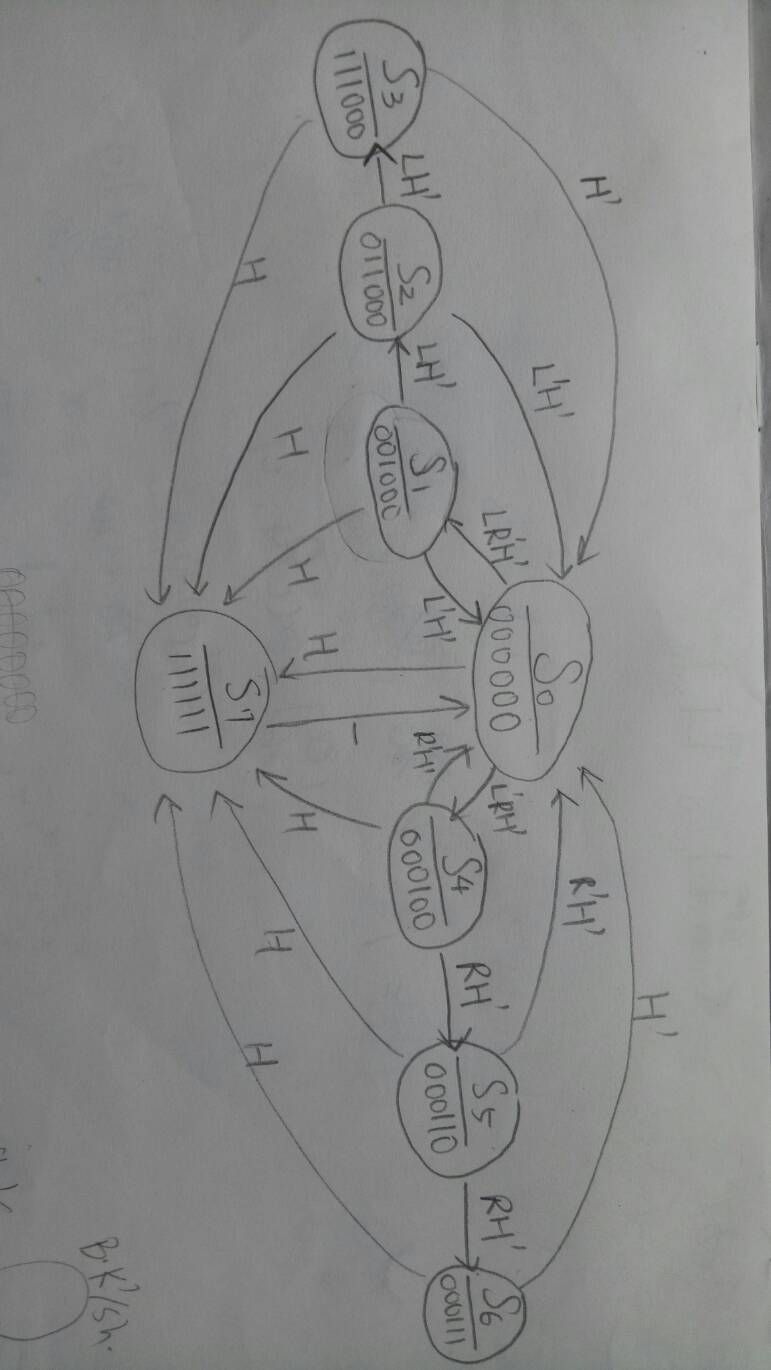
**iv. 說明你的設計。繪製 D(a)的方塊圖與 D(b)的狀態圖，附上 D(d)模擬結果之 波型圖，並解釋波形圖是否正確。 (20%)**

這題我依據題目畫出他的狀態圖。接著我依據題目設計，若本來的Left訊號消失，變成Right訊號，立刻讓他切換到idle 狀態，當Haz為1的時候，則讓所有訊號在0跟1之間來回徘徊。

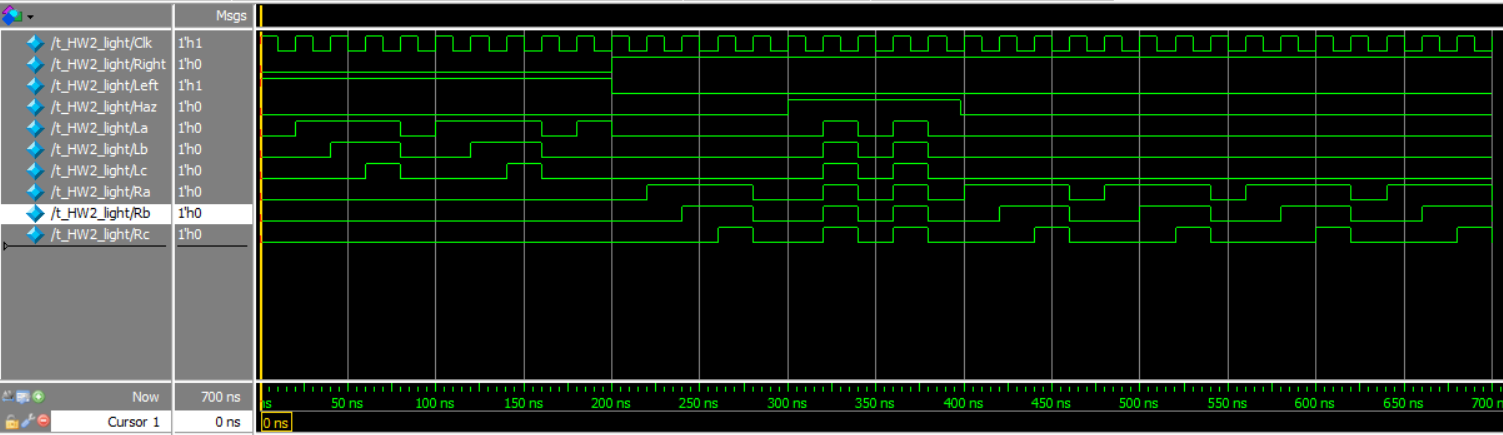
1. 方塊圖：



(b)狀態圖：

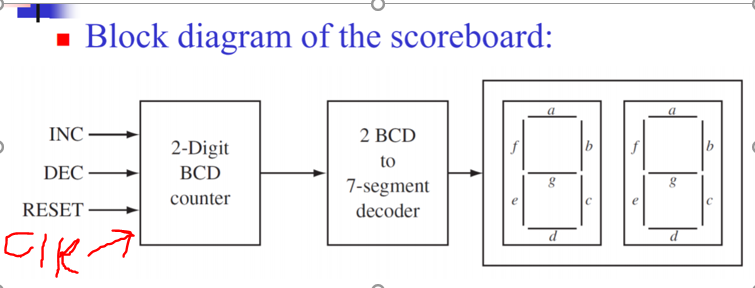


(d)波型圖：



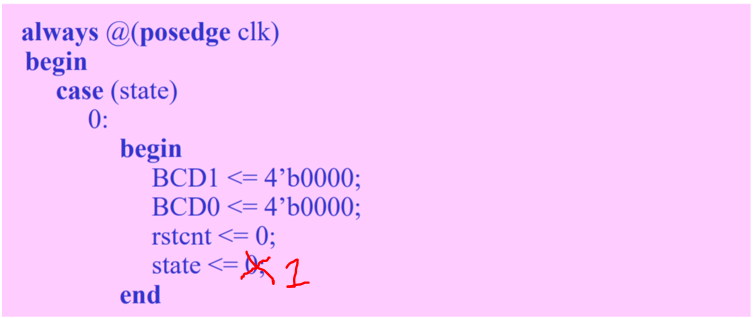
**v. 說明分配到的問題之電路方塊圖、狀態圖、或 Verilog module 是否有任何修 訂或更正。繪製 E(a)修訂後的方塊圖與狀態圖，附上 E(c)模擬結果之波型圖， 並解釋波形圖是否正確。 (20%)**

(a)



The block diagram above forgot to add “clk” input signal. Add it.

(b)



This code has an error that the nextstate must be 1. Otherwise, it will go into a forever loop that the state is always 0.

c)波型圖：

