

# **PROGRAMOWALNE UKŁADY CYFROWE**

**Produkowane masowo, zawierają pewną liczbę bramek i przerzutników zorganizowanych w postaci niepołączonych komórek lub bloków logicznych, programowanie polega na wytyczaniu połączeń wewnętrz układu pomiędzy komórkami oraz skonfigurowaniu samych komórek w celu uzyskania odpowiedniej funkcji logicznej, przy użyciu programów komputerowych**

**Rozróżniamy układy programowalne typu:**

**SPLD – Simple Programmable Logic Device  
(PLA, PROM, PAL, GAL)**

**CPLD – Complex Programmable Logic Device**

**FPGA – Field Programmable Gate Array**

# **PLD – Programmable Logic Device**

**Spotykane nazwy:**

- Cyfrowe układy programowalne
- Układy programowalne
- Programowalne układy logiczne
- Konfigurowalne struktury logiczne
- Układy logiki programowalnej

# **KLASYFIKACJA**

## **STRUKTURY**

- 1. PLA**
  - 2. PROM**
  - 3. PAL**
  - 4. GAL**
  - 5. CPLD**
  - 6. FPGA**
- SPLD

## **PROGRAMOWANIE ( KONFIGUROWANIE )**

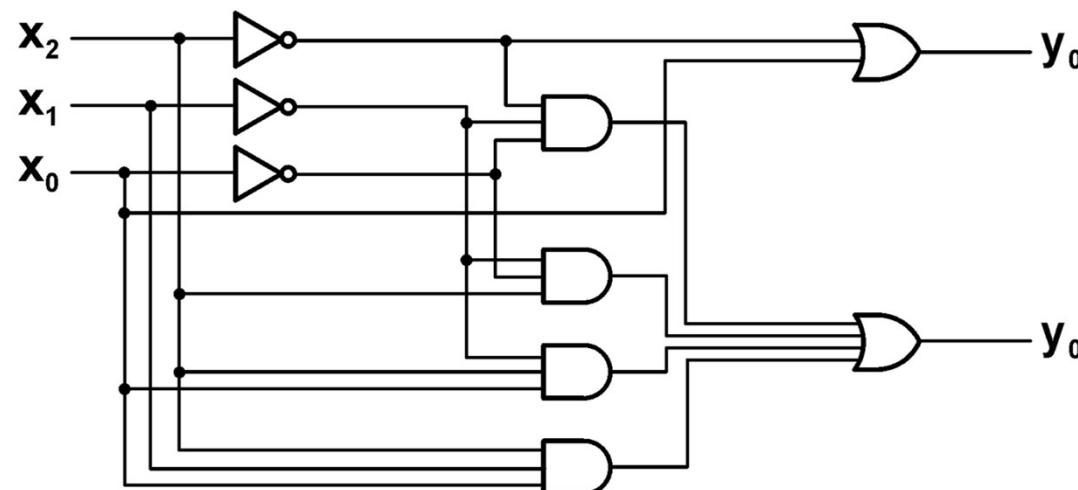
- 1. EPROM**
- 2. EEPROM**
- 3. FLASH**
- 4. SRAM**
- 5. FUSE**
- 6. ANTIFUSE**

# Układy programowalne – idea...

## *Typowy układ kombinacyjny*

$$y_0 = \bar{x}_2 + x_0$$

$$y_1 = \bar{x}_2 \bar{x}_1 \bar{x}_0 + x_2 \bar{x}_1 \bar{x}_0 + x_2 \bar{x}_1 x_0 + x_2 x_1 x_0$$

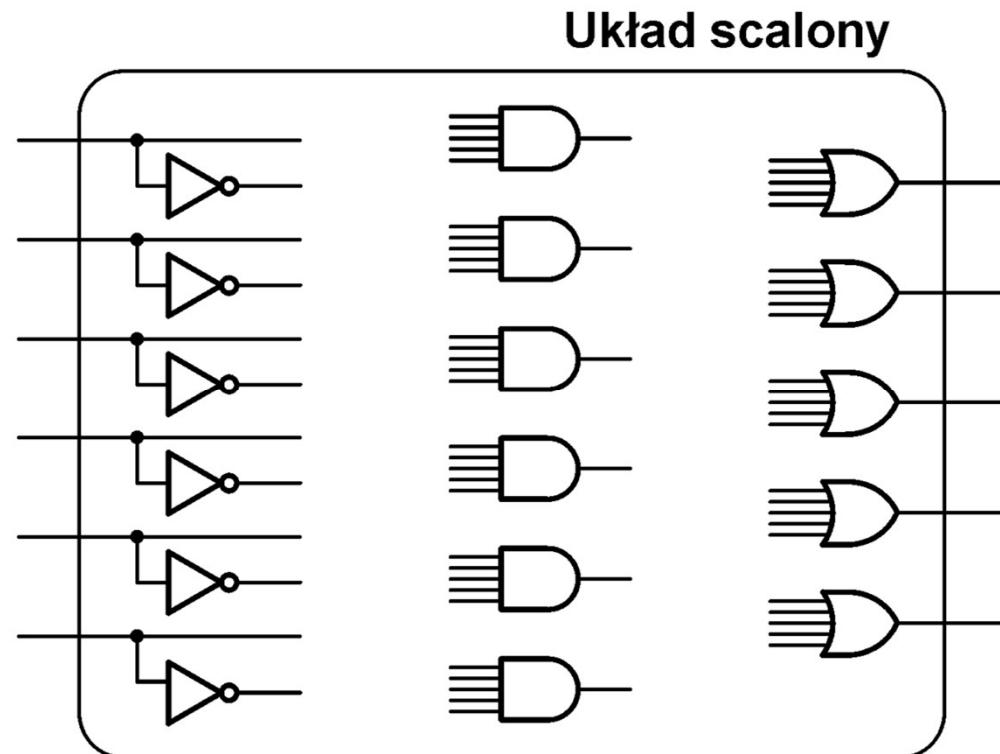


INV

AND

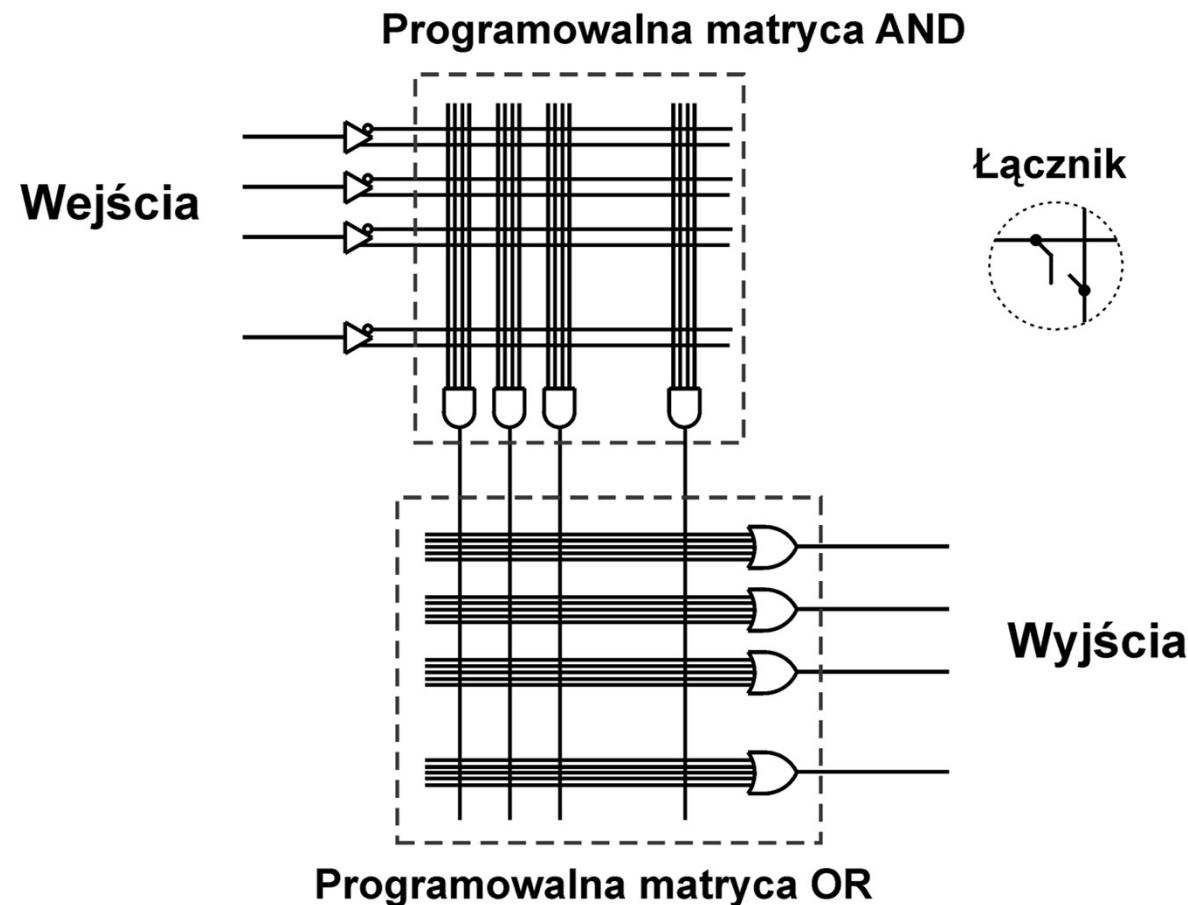
OR

**Może dużą liczbę bramek najczęściej używanych w projektach,  
umieścić w jednym układzie scalonym...**



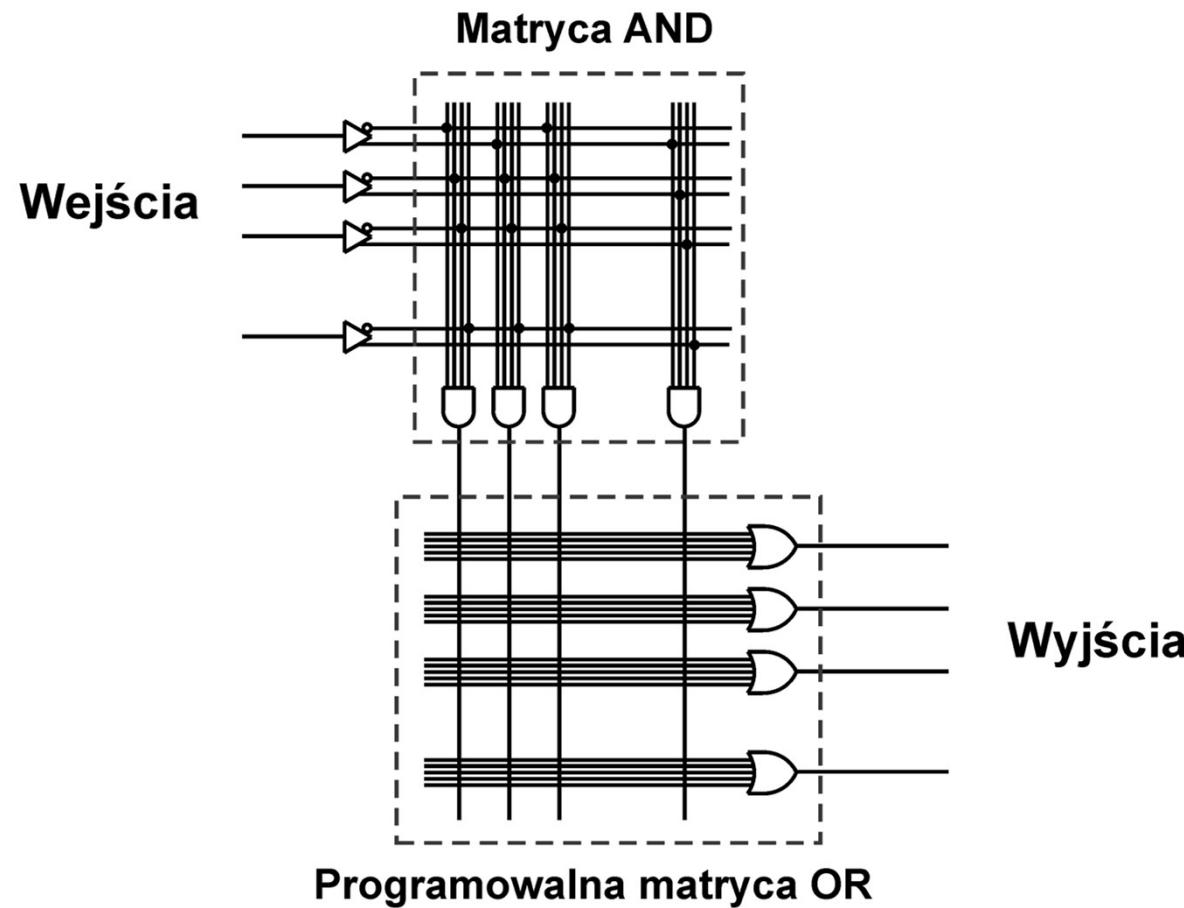
# Układy programowalne – struktura PLA

## Programmable Logic Array



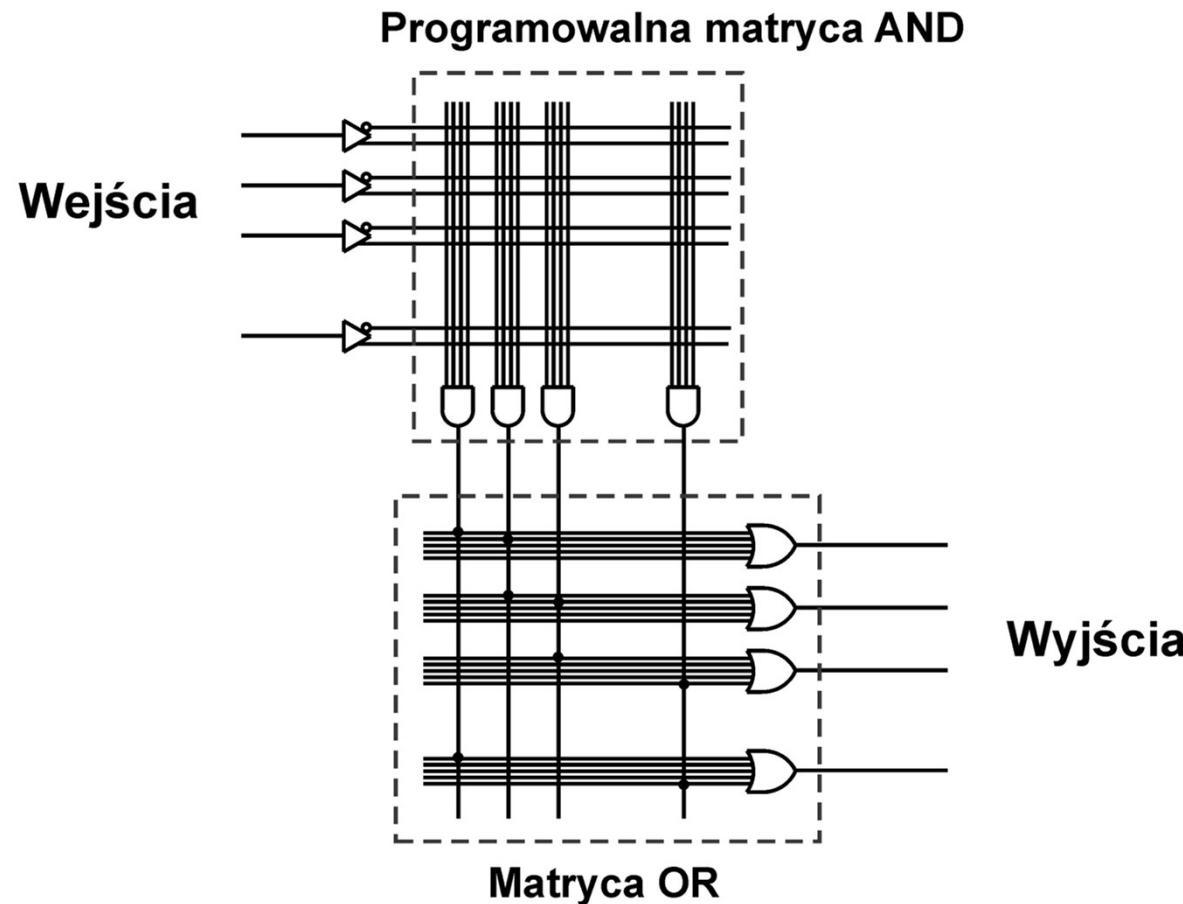
# Układy programowalne – struktura PROM

## Programmable ROM



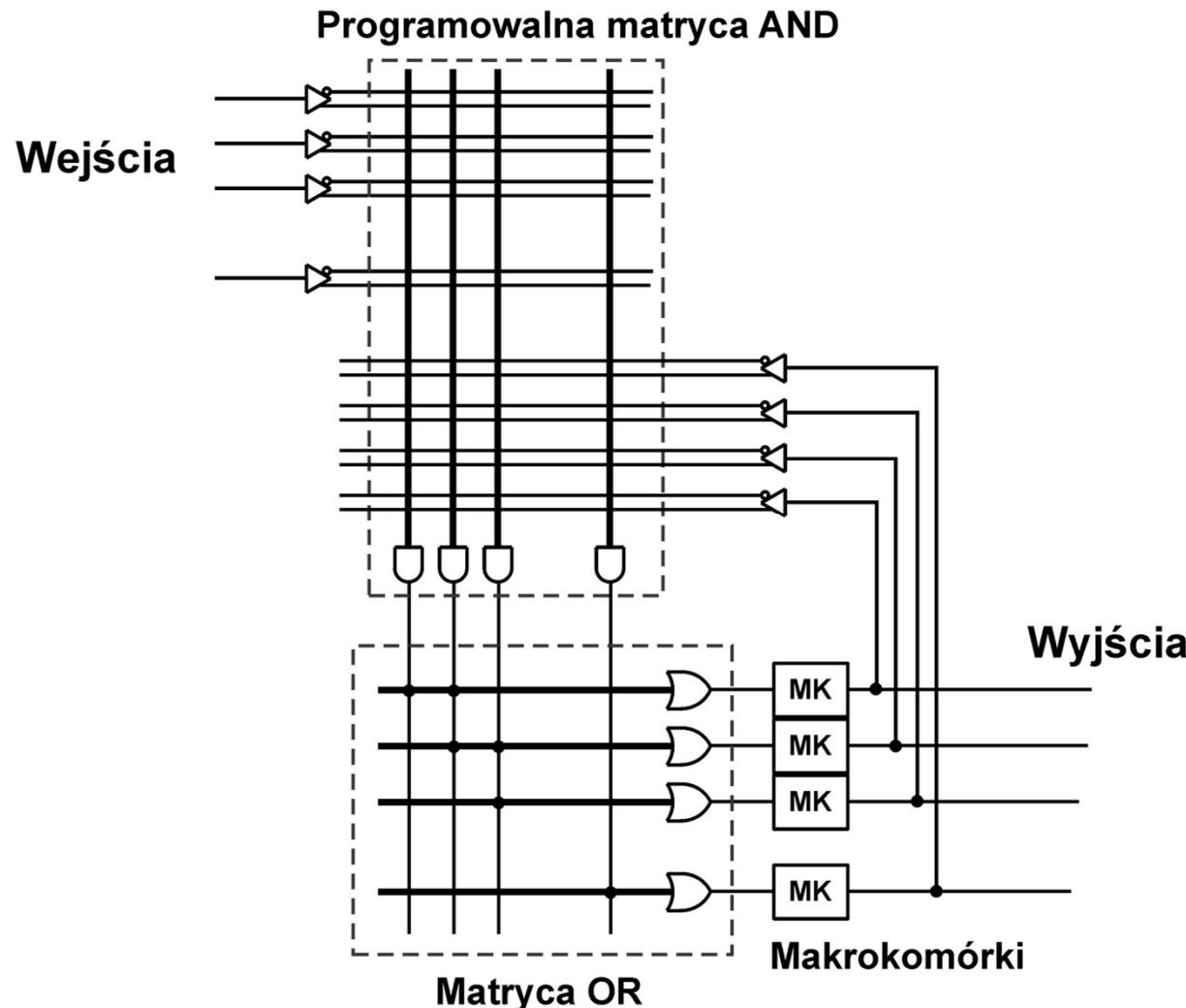
# Układy programowalne – struktura PAL

## Programmable Array Logic

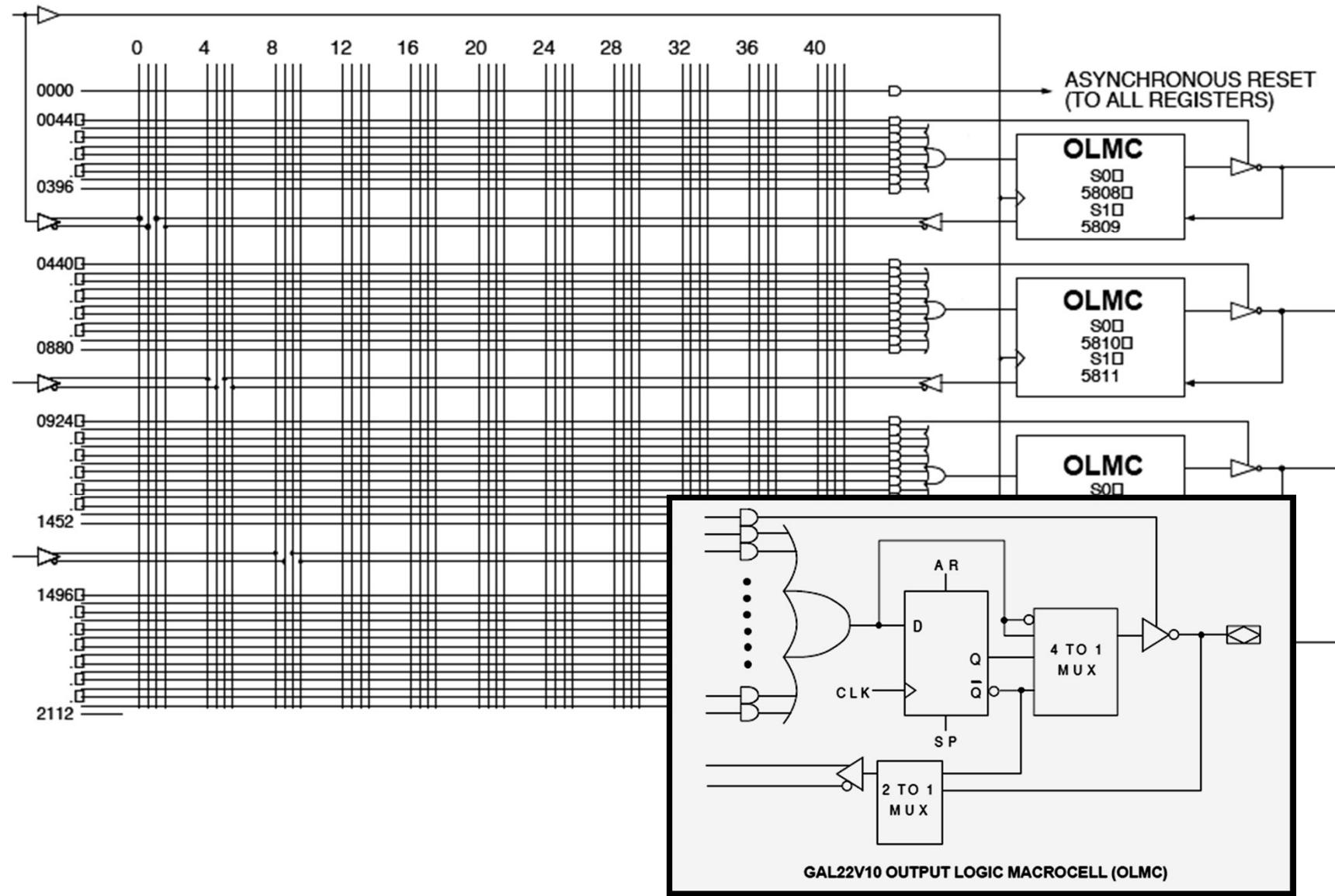


# Układy programowalne – struktura GAL

## Generic Array Logic

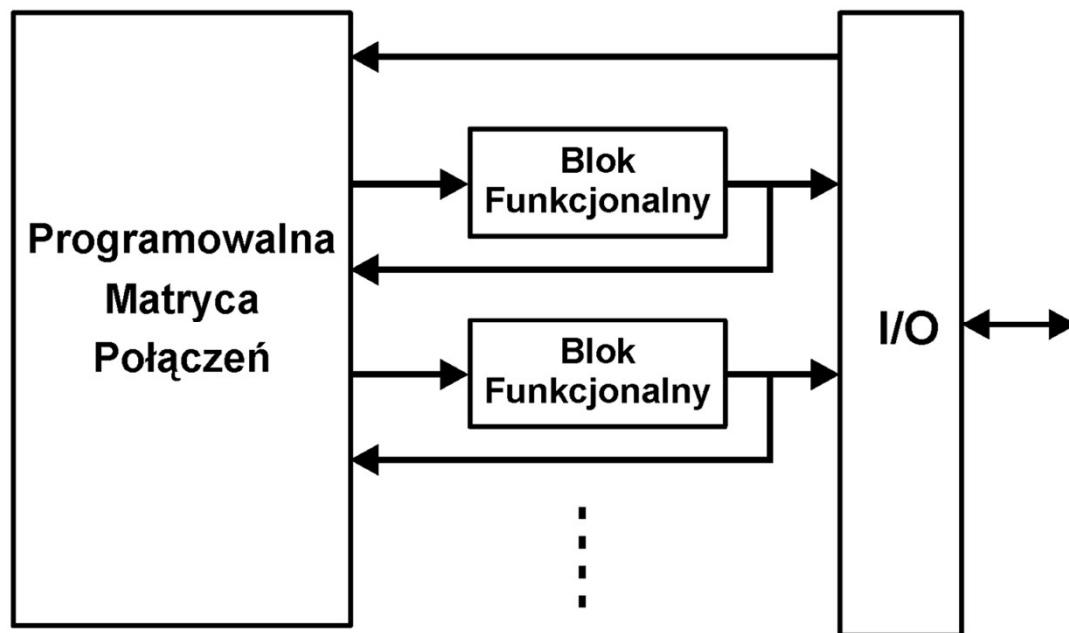


# Układy programowalne – GAL22V10 ( Lattice )



# Układy programowalne – struktura CPLD

## Complex Programmable Logic Device



**XILINX – XC9500XL, CoolRunner II**

**INTEL FPGA (ALTERA) – MAX II, MAX V, MAX 10**

# **Układy programowalne – XC9500XL – CPLD firmy Xilinx**

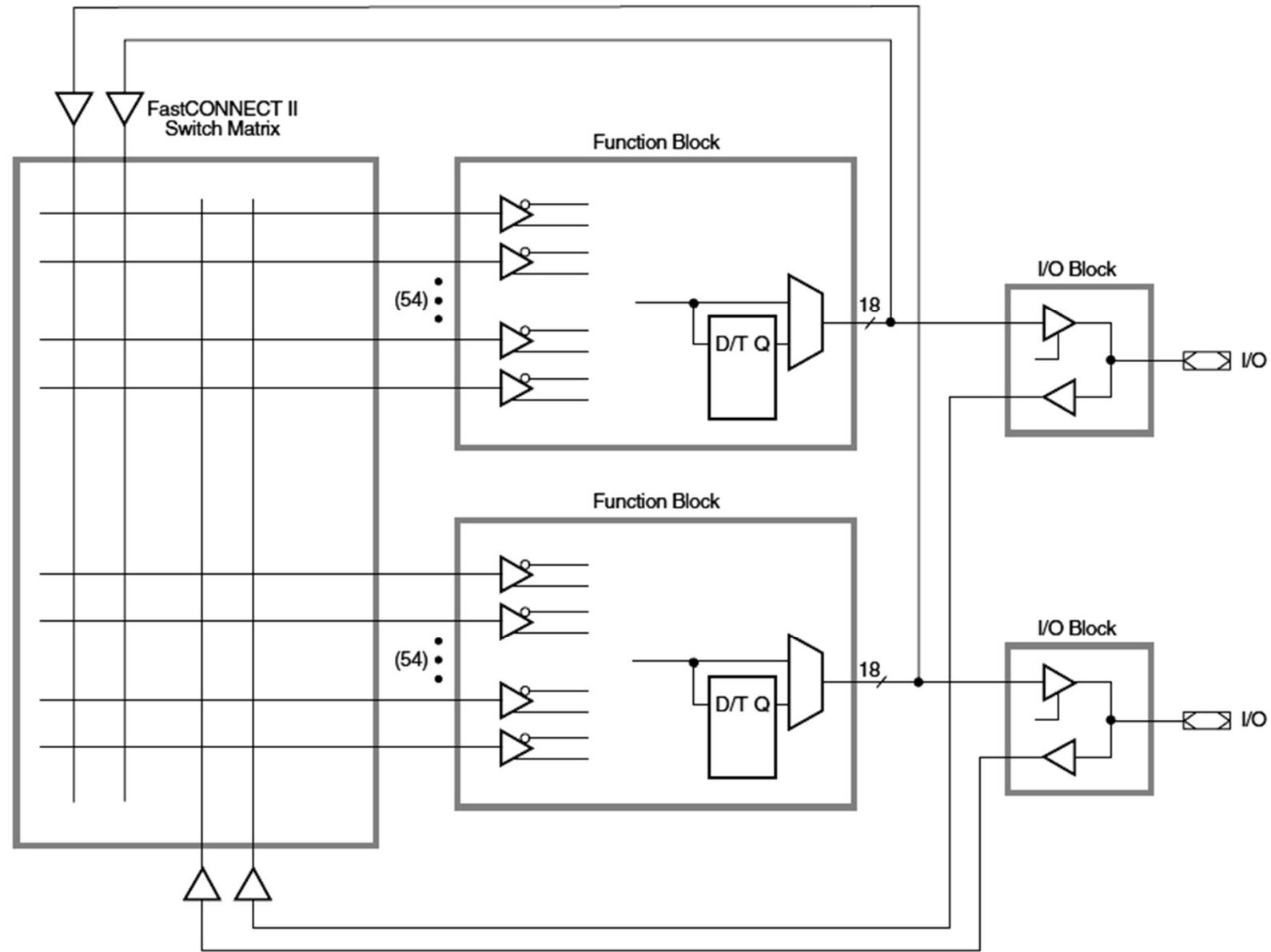
**napięcie zasilania 3,3 V**

**18 makrokomórek w pojedynczym BF**

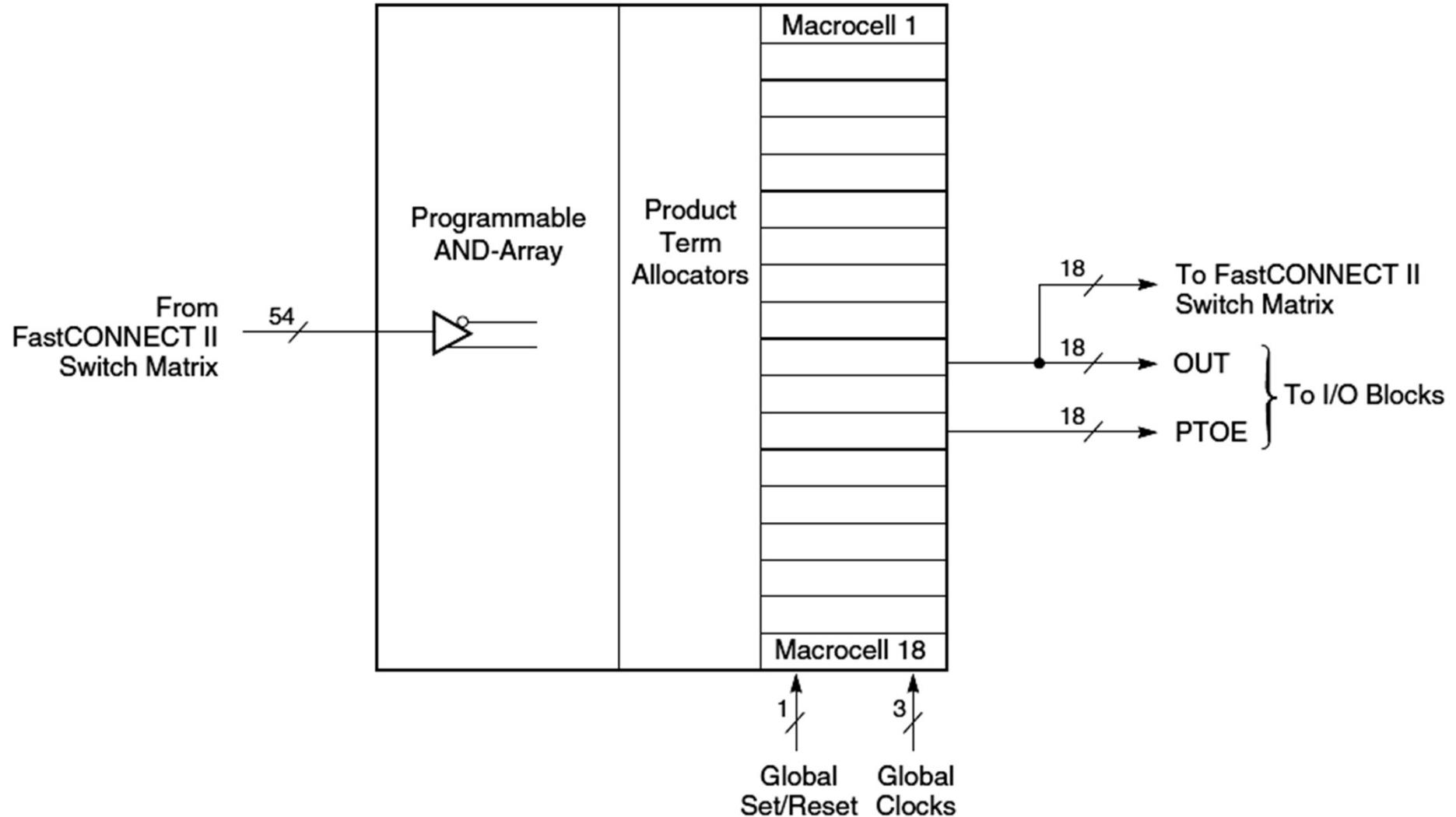
**XC9500XL Device Family**

	<b>XC9536XL</b>	<b>XC9572XL</b>	<b>XC95144XL</b>	<b>XC95288XL</b>
Macrocells	36	72	144	288
Usable Gates	800	1,600	3,200	6,400
Registers	36	72	144	288
$T_{PD}$ (ns)	5	5	5	6
$T_{SU}$ (ns)	3.7	3.7	3.7	4.0
$T_{CO}$ (ns)	3.5	3.5	3.5	3.8
$f_{SYSTEM}$ (MHz)	178	178	178	208

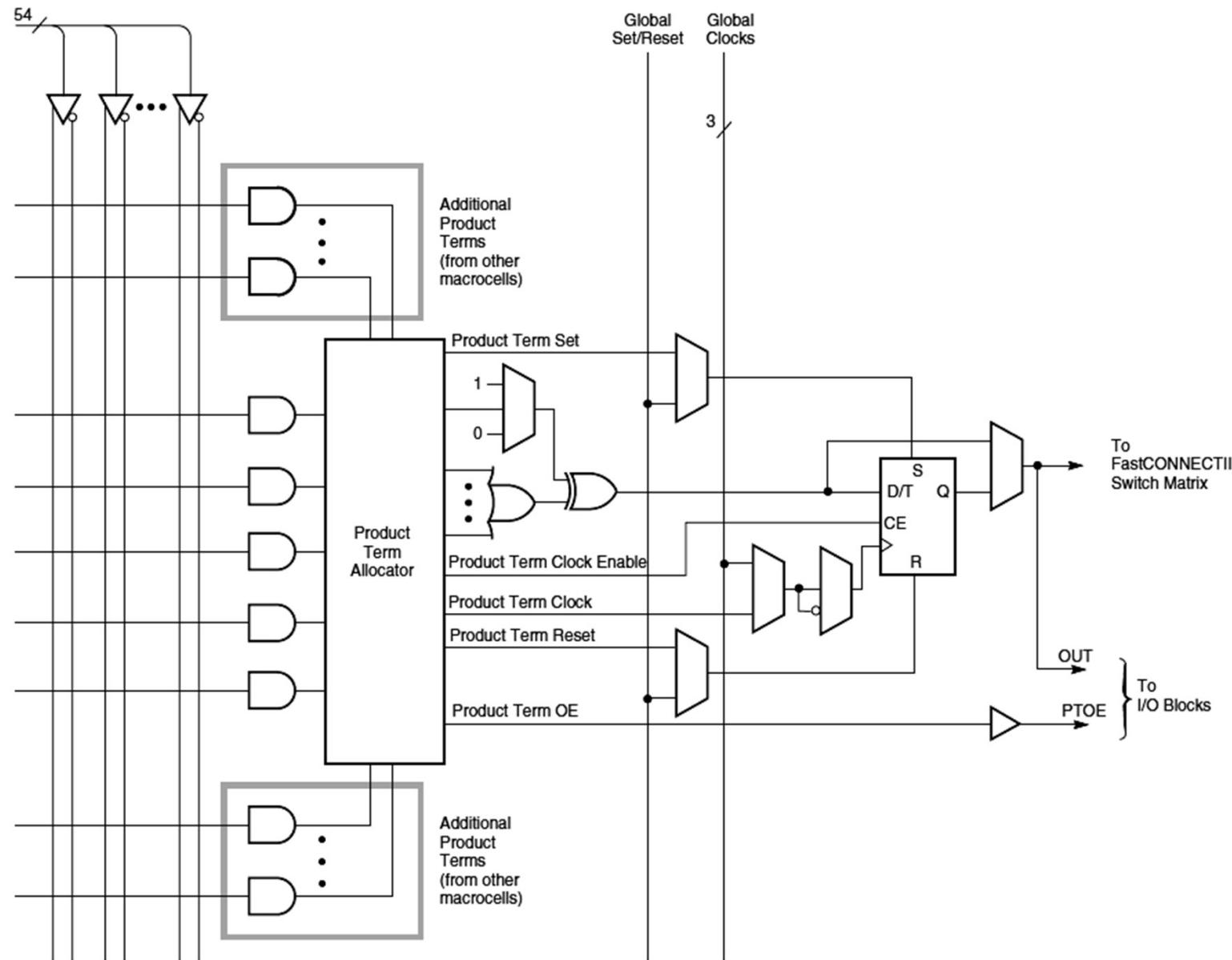
# Układy programowalne – architektura XC9500XL



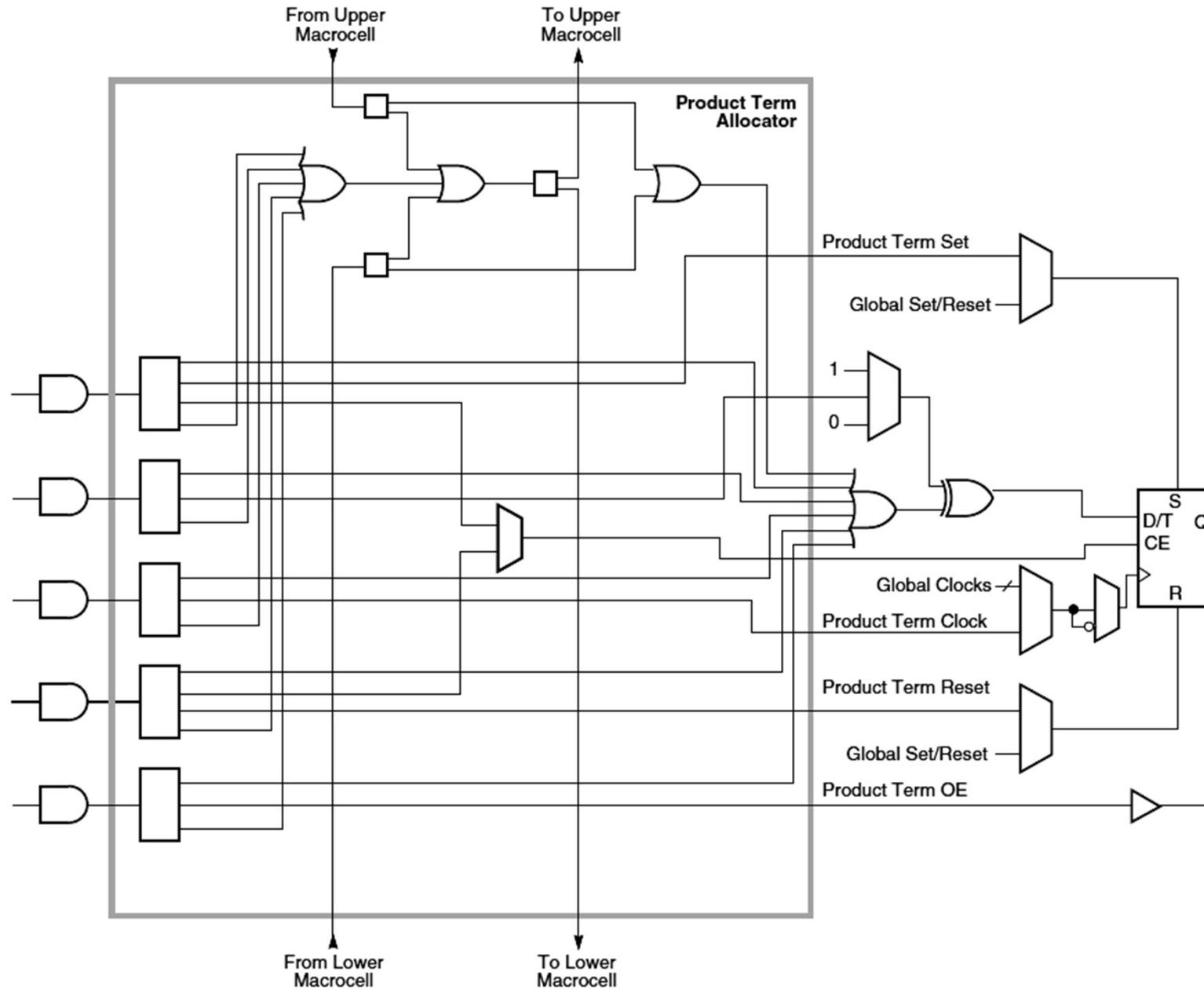
# Układy programowalne – blok funkcjonalny XC9500XL



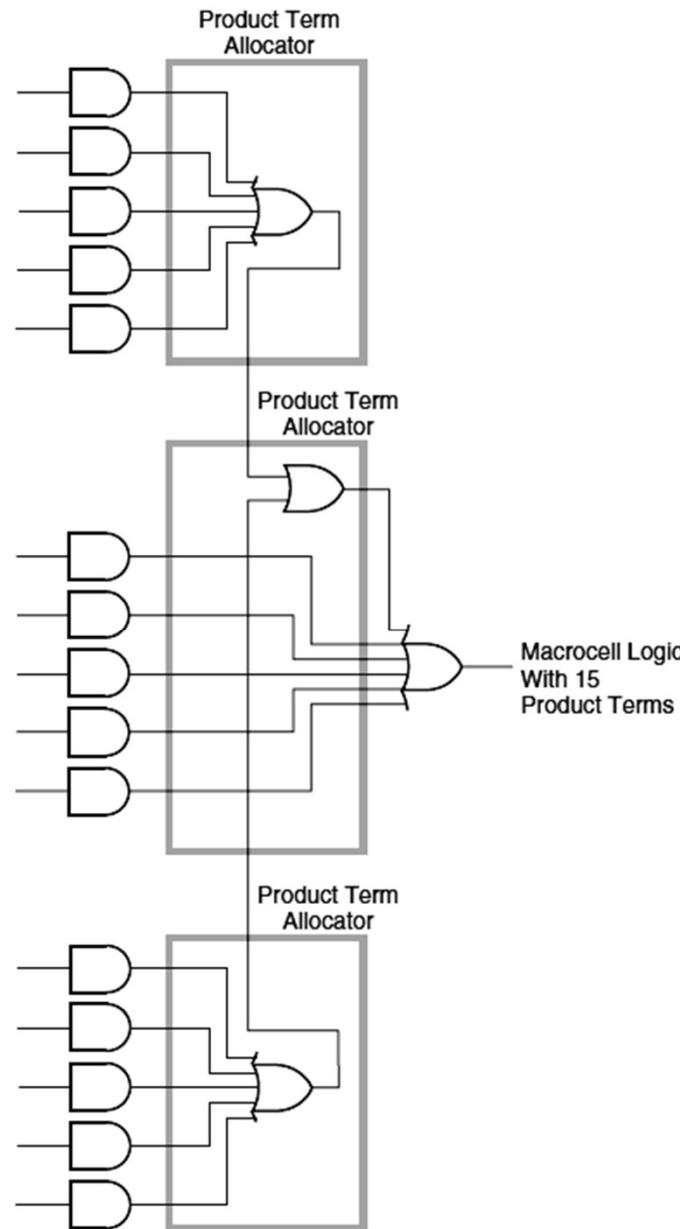
# Układy programowalne – makrokomórka XC9500XL



# Układy programowalne – alokator termów XC9500XL



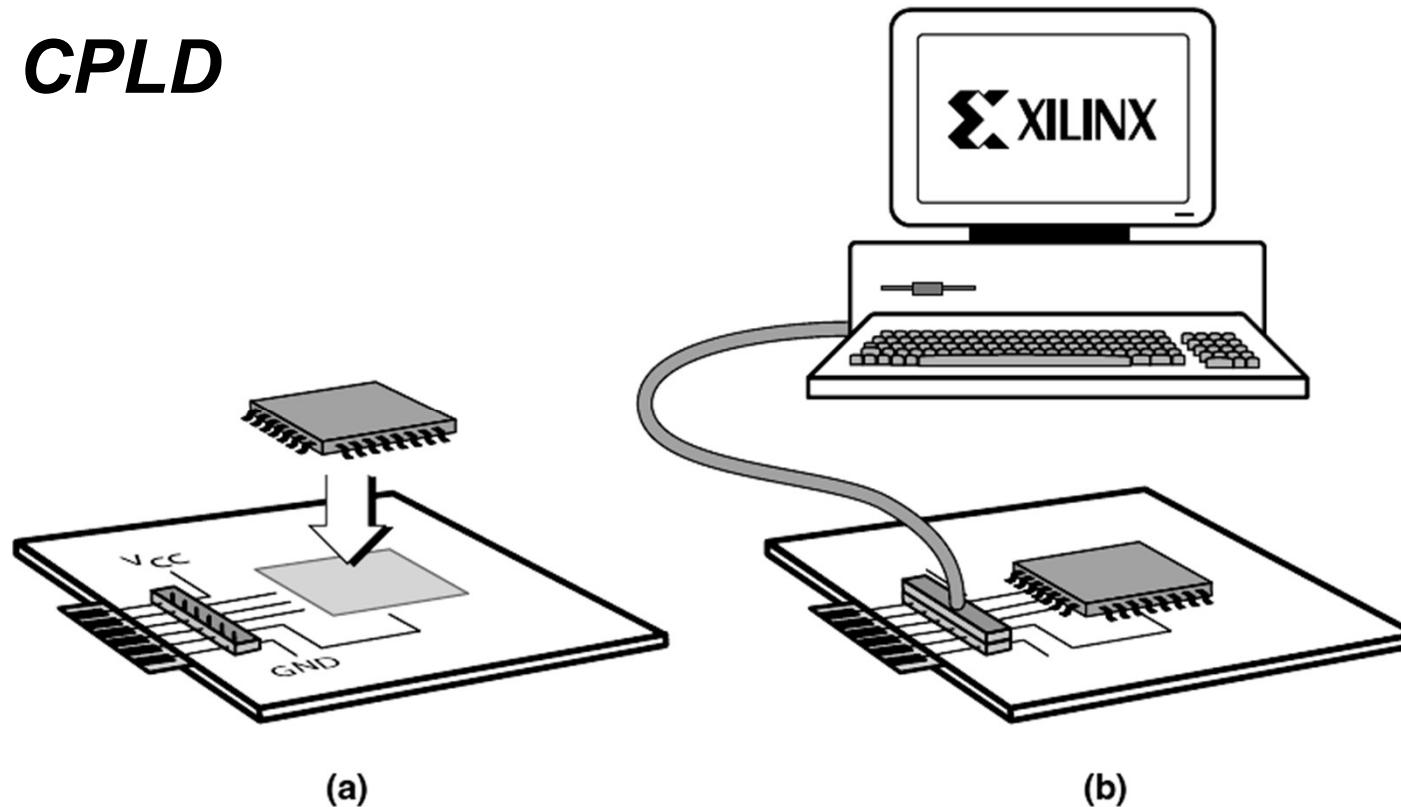
# Układy programowalne – alokator termów XC9500XL



# Układy programowalne – sposób użycia

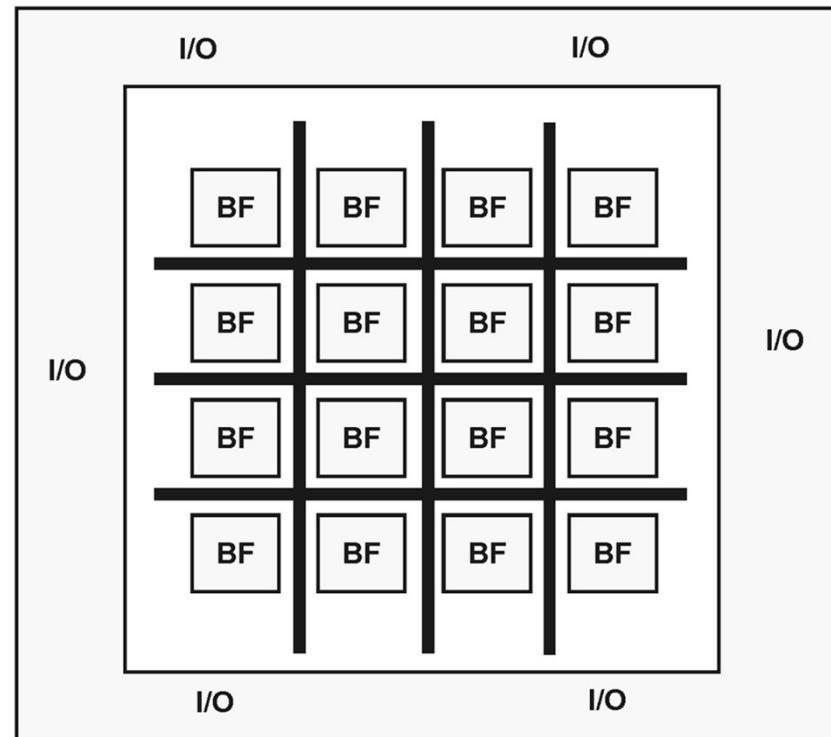
- a) lutowanie układu programowalnego
- b) konfigurowanie w gotowym systemie cyfrowym ( JTAG )

**CPLD**



# Układy programowalne – FPGA

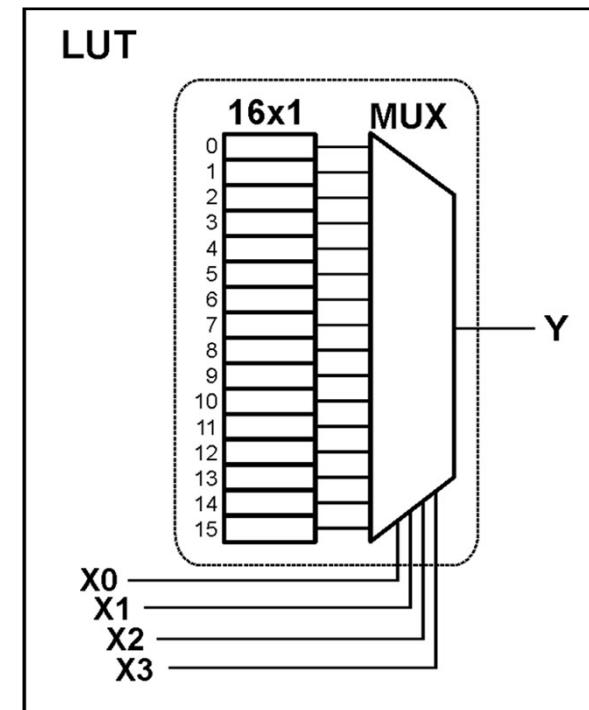
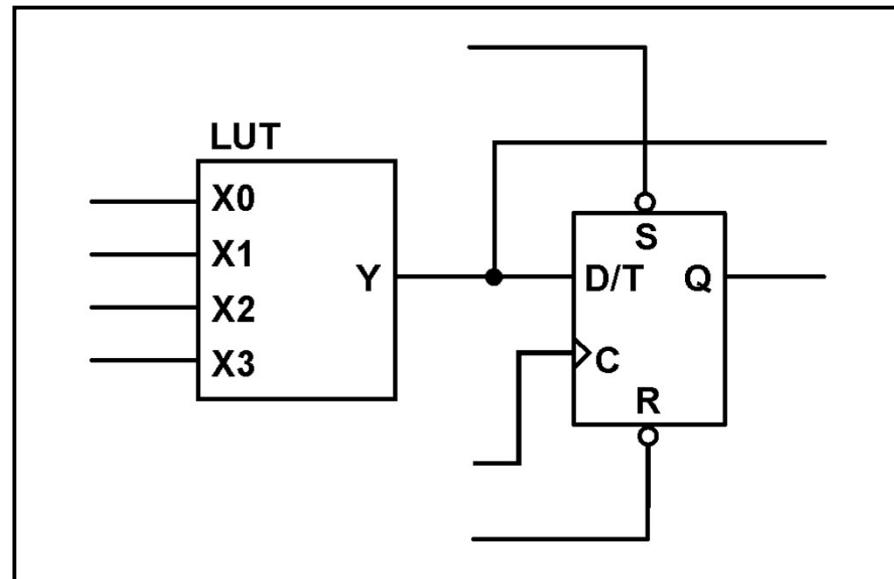
## Field Programmable Gate Arrays



**XILINX** – Spartan, Virtex (Artix, Kintex)

**INTEL FPGA (Altera)** – Cyclone, Arria, Stratix

# FPGA – blok funkcjonalny (naj-naj-najprostsza struktura)



**LUT – *Look-Up Table*, ulotna pamięć statyczna RAM 16x1;  
zawiera wartości funkcji binarnej układu kombinacyjnego  
czyli jego tablicę prawdy**

**SRAM 16x1 – pamięć: 16 komórek 1-bitowych**

# Układy programowalne – Spartan-3 – FPGA firmy Xilinx

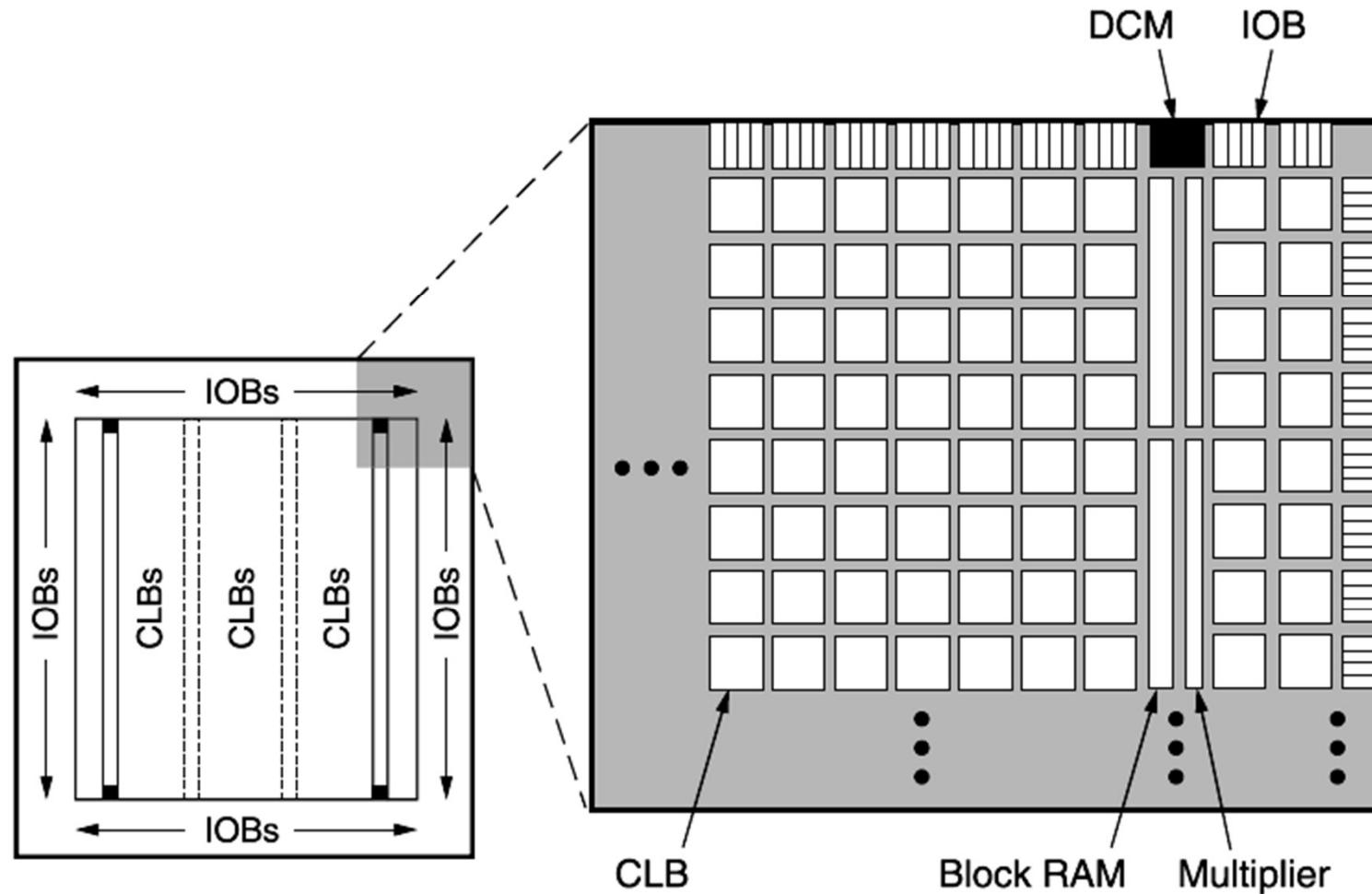
Device	System Gates	Equivalent Logic Cells <sup>(1)</sup>	CLB Array (One CLB = Four Slices)			Distributed RAM Bits (K=1024)	Block RAM Bits (K=1024)	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs						
XC3S50 <sup>(2)</sup>	50K	1,728	16	12	192	12K	72K	4	2	124	56
XC3S200 <sup>(2)</sup>	200K	4,320	24	20	480	30K	216K	12	4	173	76
XC3S400 <sup>(2)</sup>	400K	8,064	32	28	896	56K	288K	16	4	264	116
XC3S1000 <sup>(2)</sup>	1M	17,280	48	40	1,920	120K	432K	24	4	391	175
XC3S1500	1.5M	29,952	64	52	3,328	208K	576K	32	4	487	221
XC3S2000	2M	46,080	80	64	5,120	320K	720K	40	4	565	270
XC3S4000	4M	62,208	96	72	6,912	432K	1,728K	96	4	633	300
XC3S5000	5M	74,880	104	80	8,320	520K	1,872K	104	4	633	300

**Notes:**

1. Logic Cell = 4-input Look-Up Table (LUT) plus a 'D' flip-flop. "Equivalent Logic Cells" equals "Total CLBs" x 8 Logic Cells/CLB x 1.125 effectiveness.
2. These devices are available in Xilinx Automotive versions as described in [DS314: Spartan-3 Automotive XA FPGA Family](#).

1. Logic Cell = 4-input Look-Up Table (LUT) plus a 'D' flip-flop.  
"Equivalent Logic Cells" equals "Total CLBs" x 8 Logic Cells/CLB x 1.125 effectiveness.
2. These devices are available in Xilinx Automotive

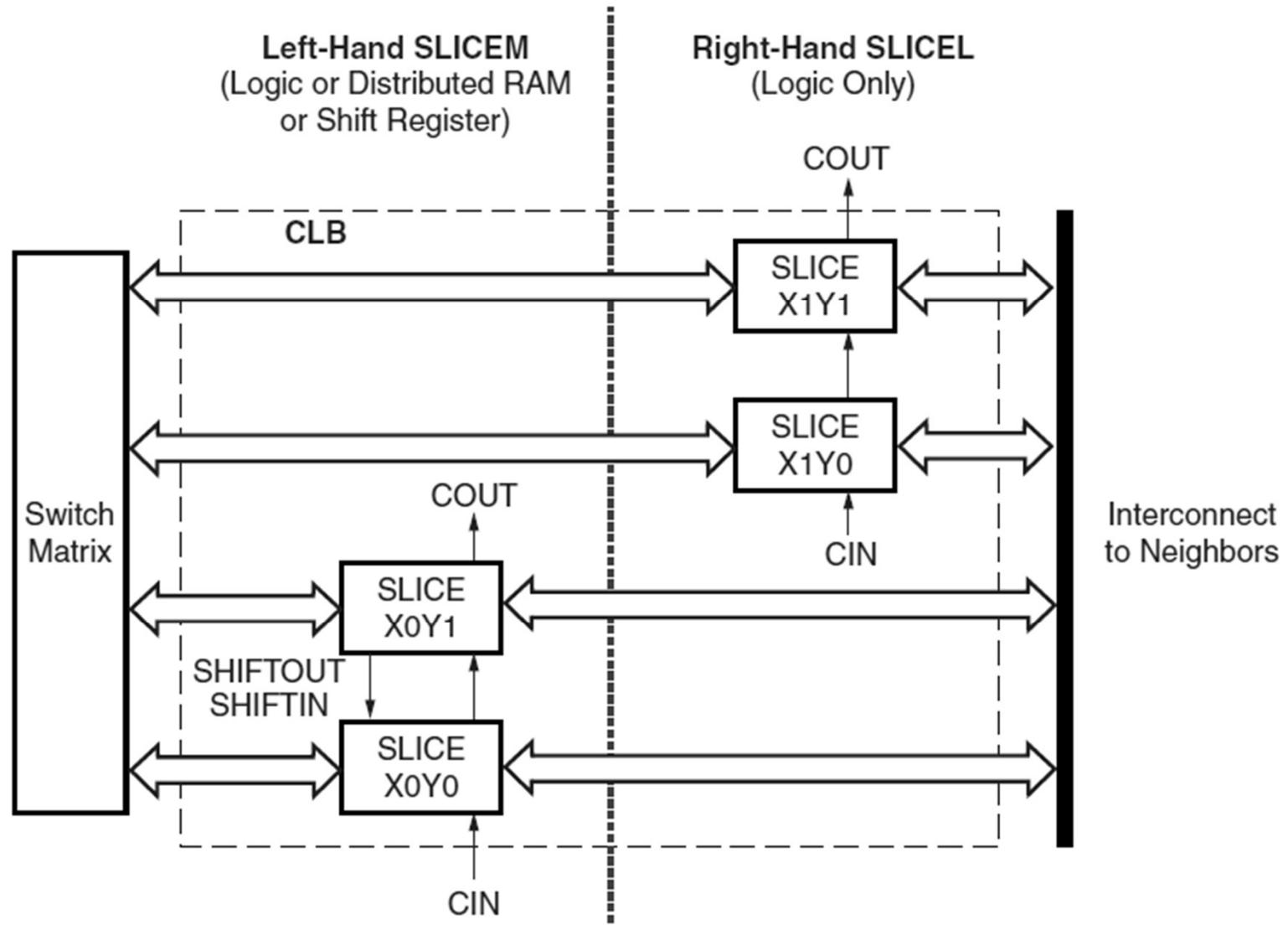
# Układy programowalne – struktura Spartan-3



**CLB** – Configurable Logic Block

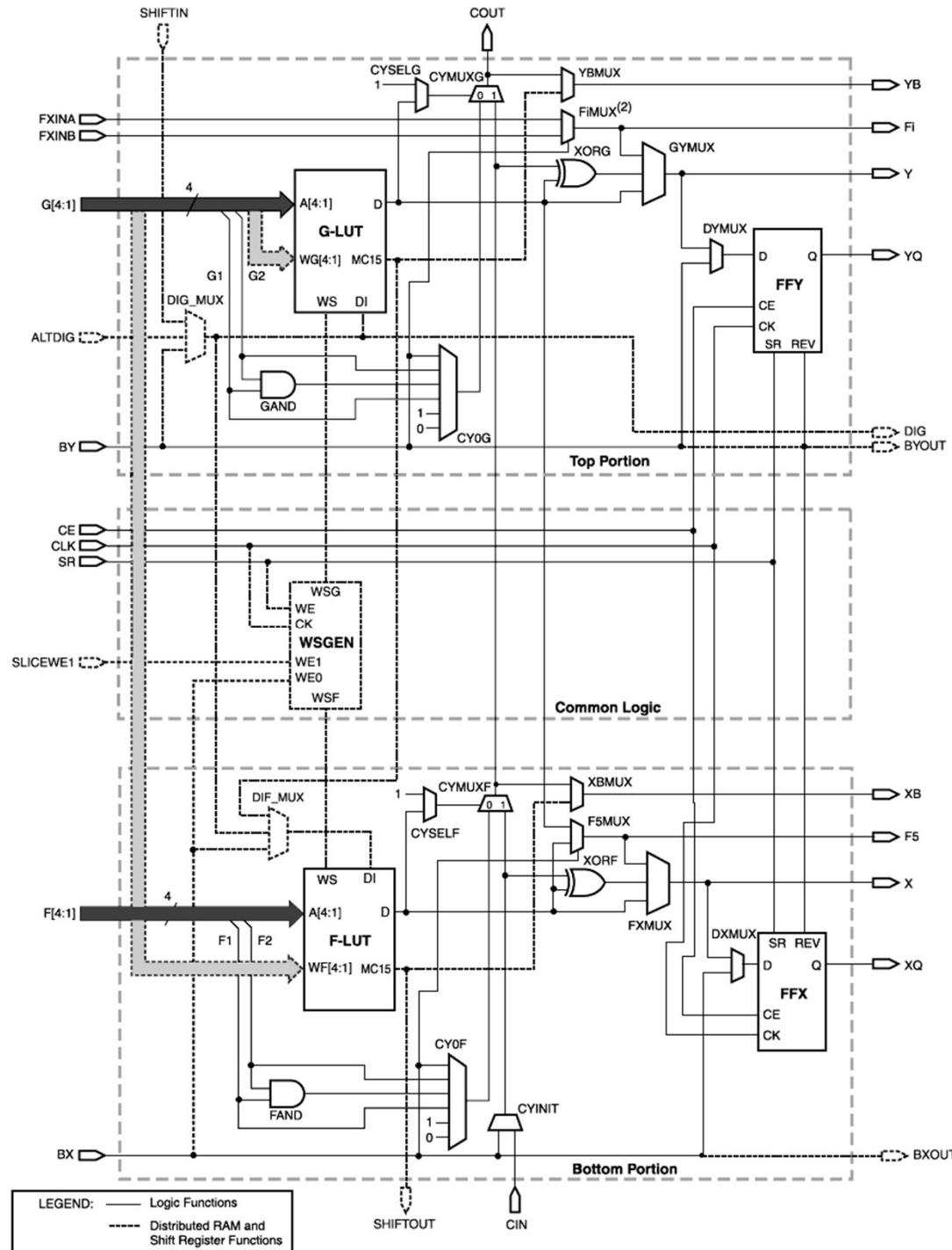
**DCM** – Digital Clock Manager

# Układy programowalne – struktura CLB, Spartan-3

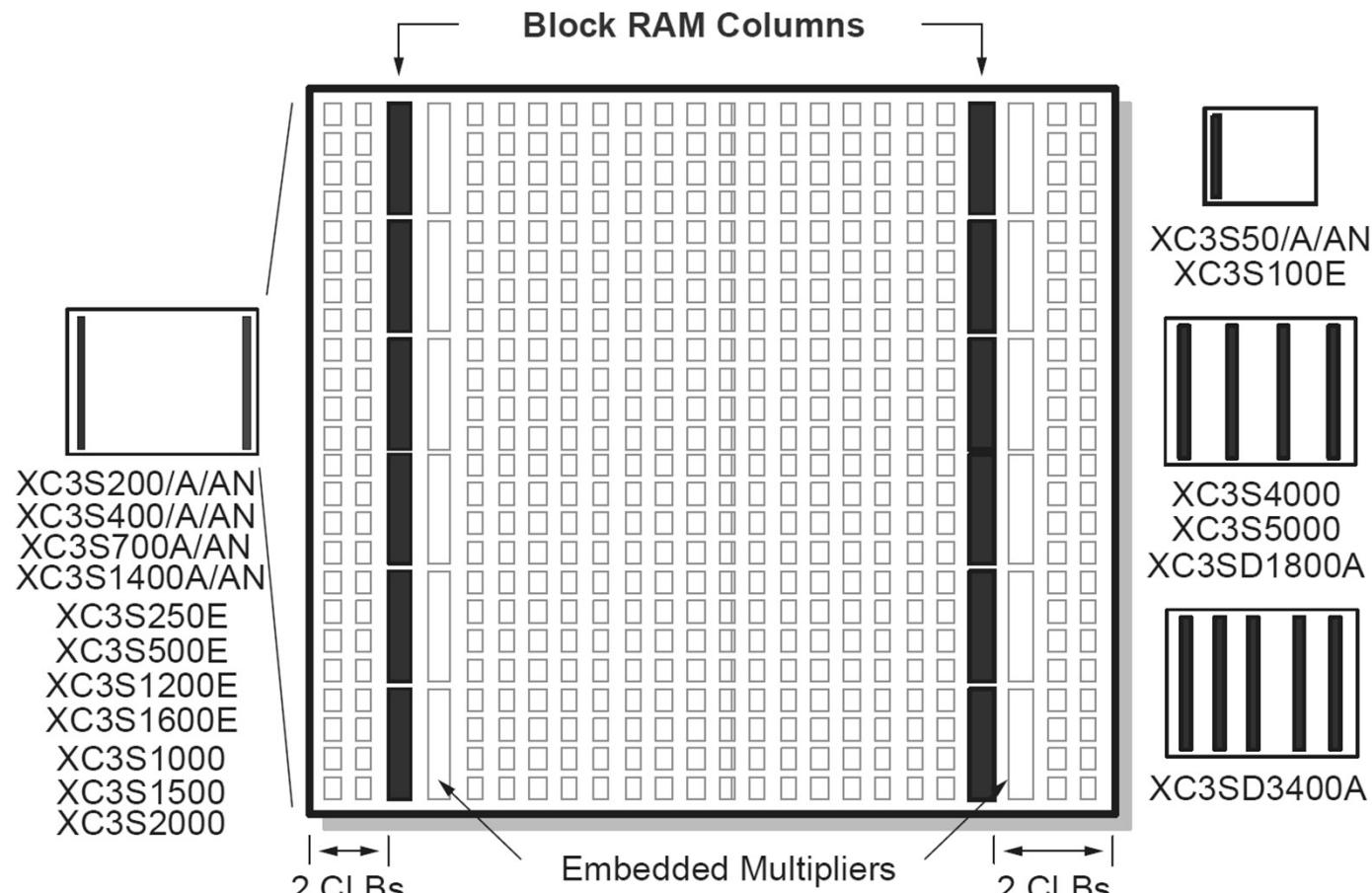


# Układy programowalne – struktura SLICEM, Spartan-3

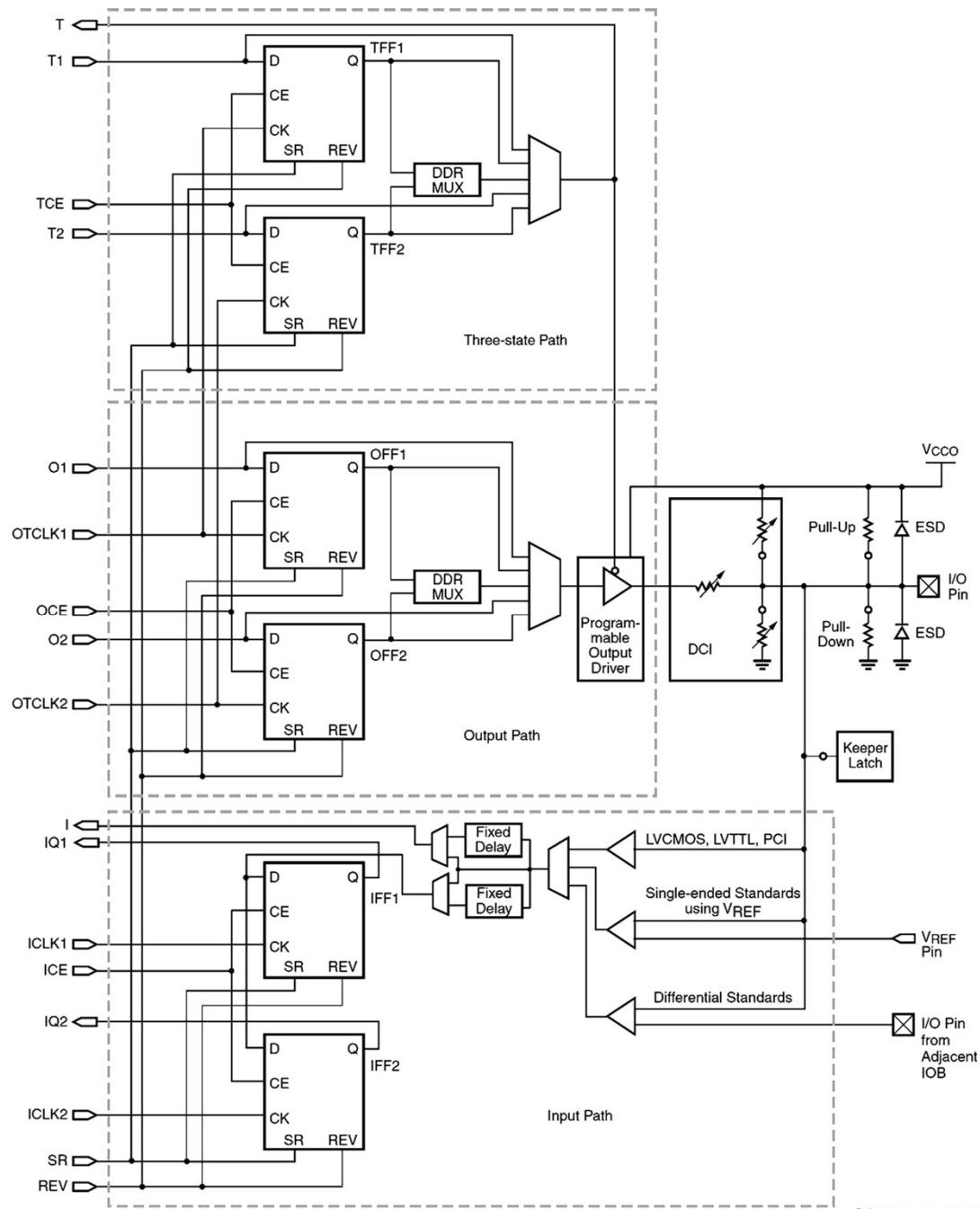
**LUT – Look-Up Table**



# Układy programowalne – BlockRAM, Spartan-3



# Układy programowalne – Block I/O, Spartan-3



# Układy programowalne – konfiguracja, Spartan-3

Configuration Mode <sup>(1)</sup>	M0	M1	M2	Synchronizing Clock	Data Width	Serial DOUT <sup>(2)</sup>
Master Serial	0	0	0	CCLK Output	1	Yes
Slave Serial	1	1	1	CCLK Input	1	Yes
Master Parallel	1	1	0	CCLK Output	8	No
Slave Parallel	0	1	1	CCLK Input	8	No
JTAG	1	0	1	TCK Input	1	No

**Notes:**

1. The voltage levels on the M0, M1, and M2 pins select the configuration mode.
2. The daisy chain is possible only in the Serial modes when DOUT is used.

# **Proces projektowania układów cyfrowych w strukturach programowalnych**

## **1. Projekt funkcjonalny**

(założenia, schemat blokowy, opis słowny działania układu)

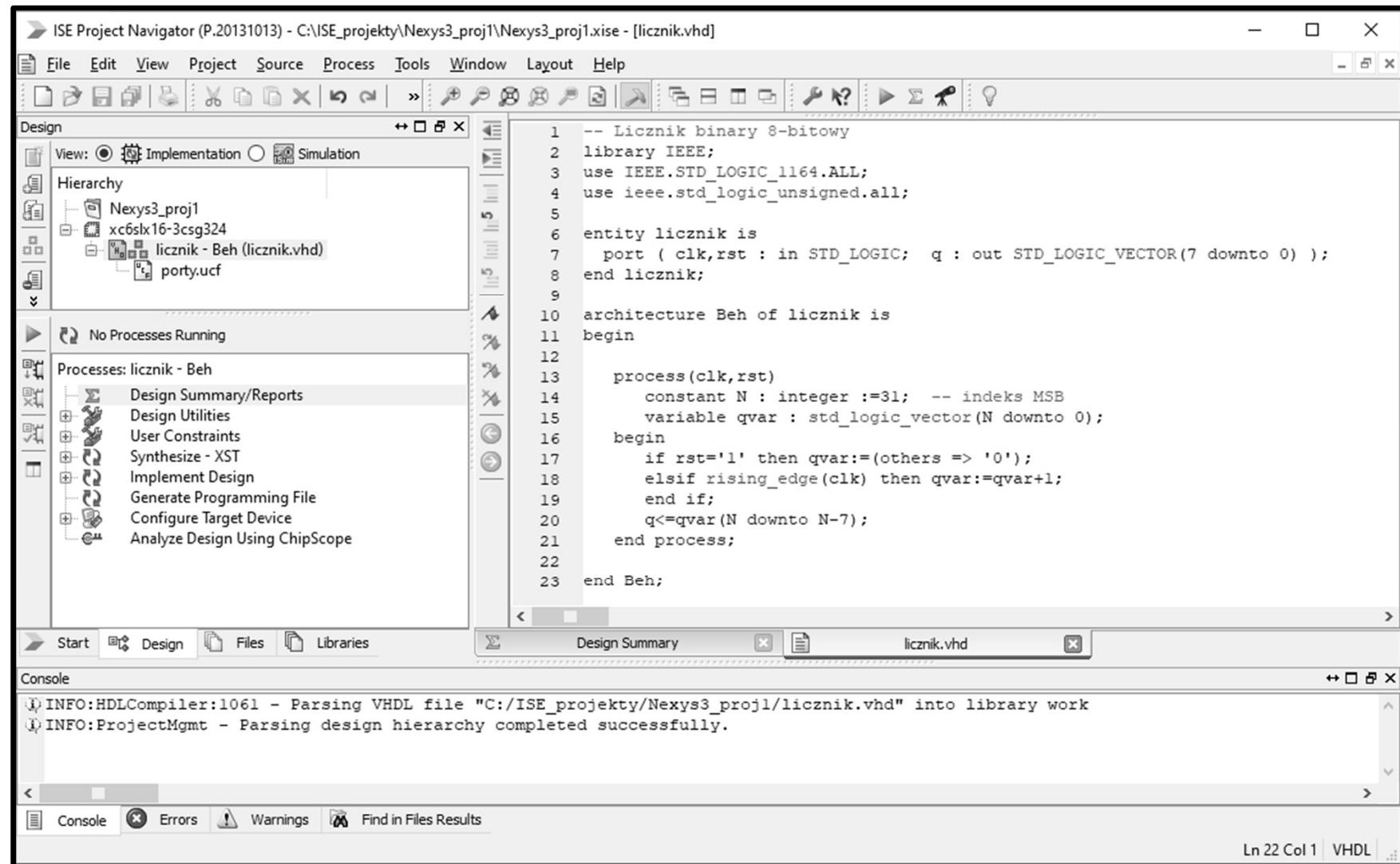
## **2. Projekt logiczny**

(pliki .vhd, wybór układu, kompilacja, symulacja logiczna)

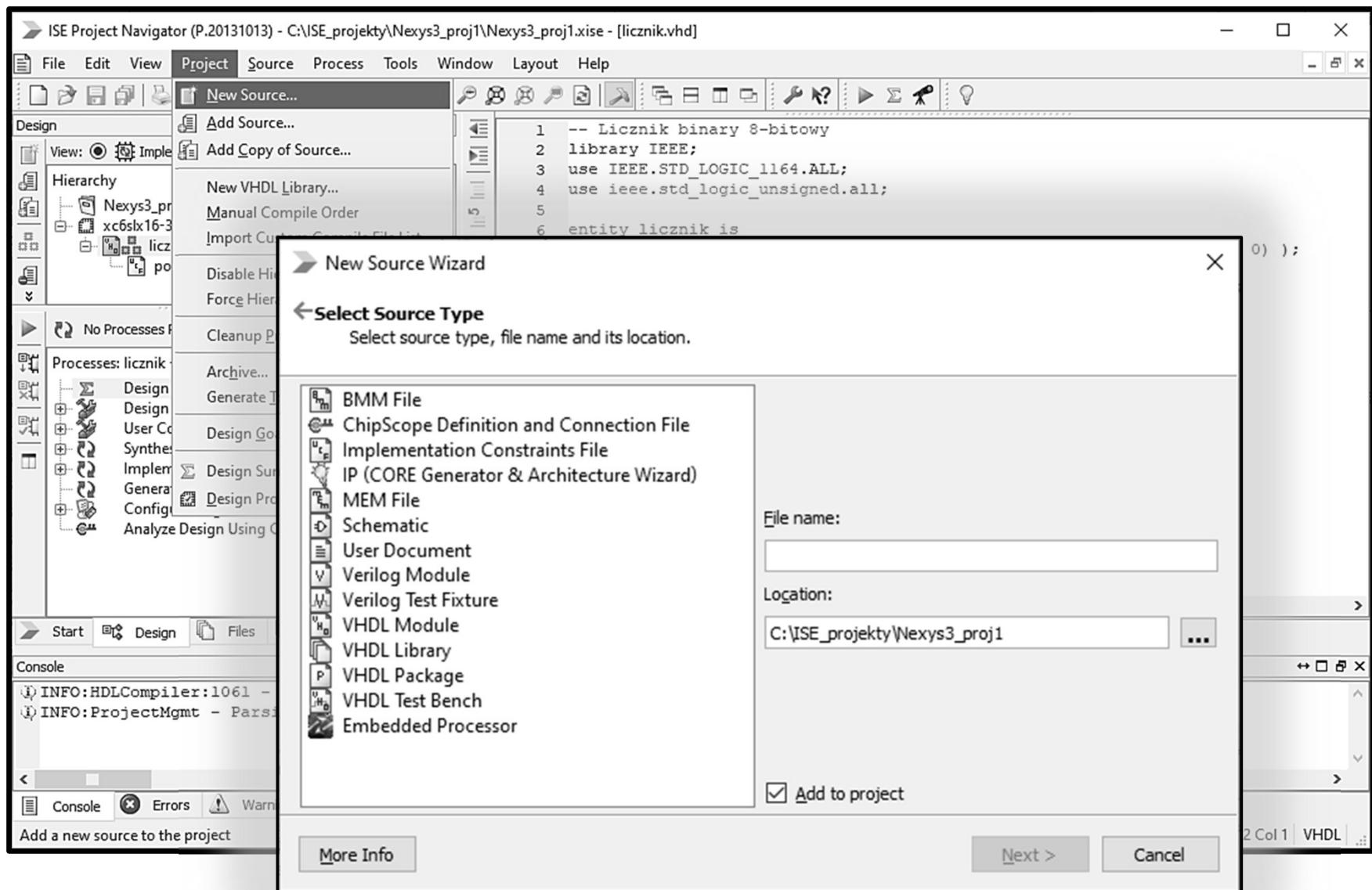
## **3. Projekt fizyczny**

(synteza logiczna, place & route, symulacja czasowa, konfiguracja układu programowalnego)

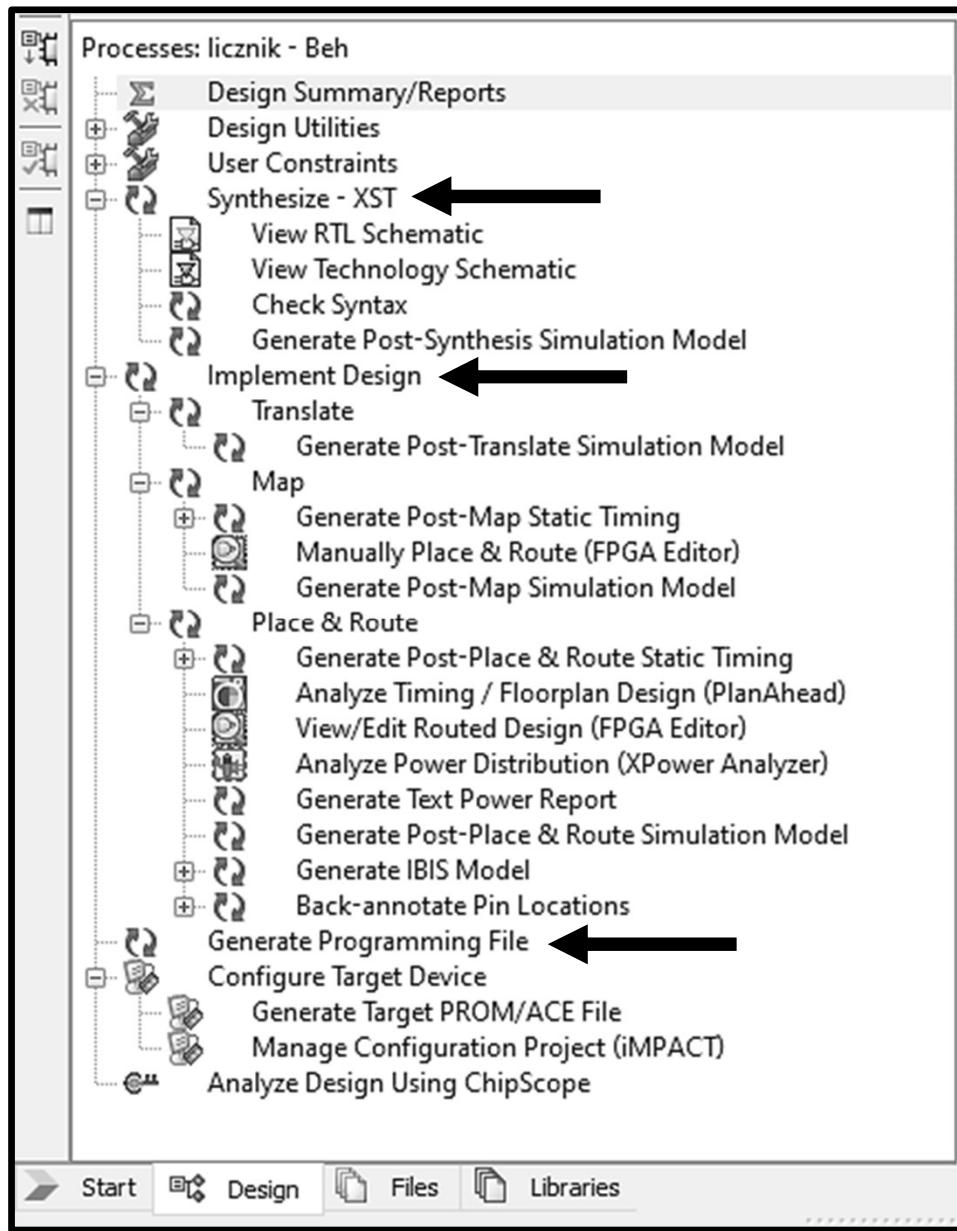
# System projektowy



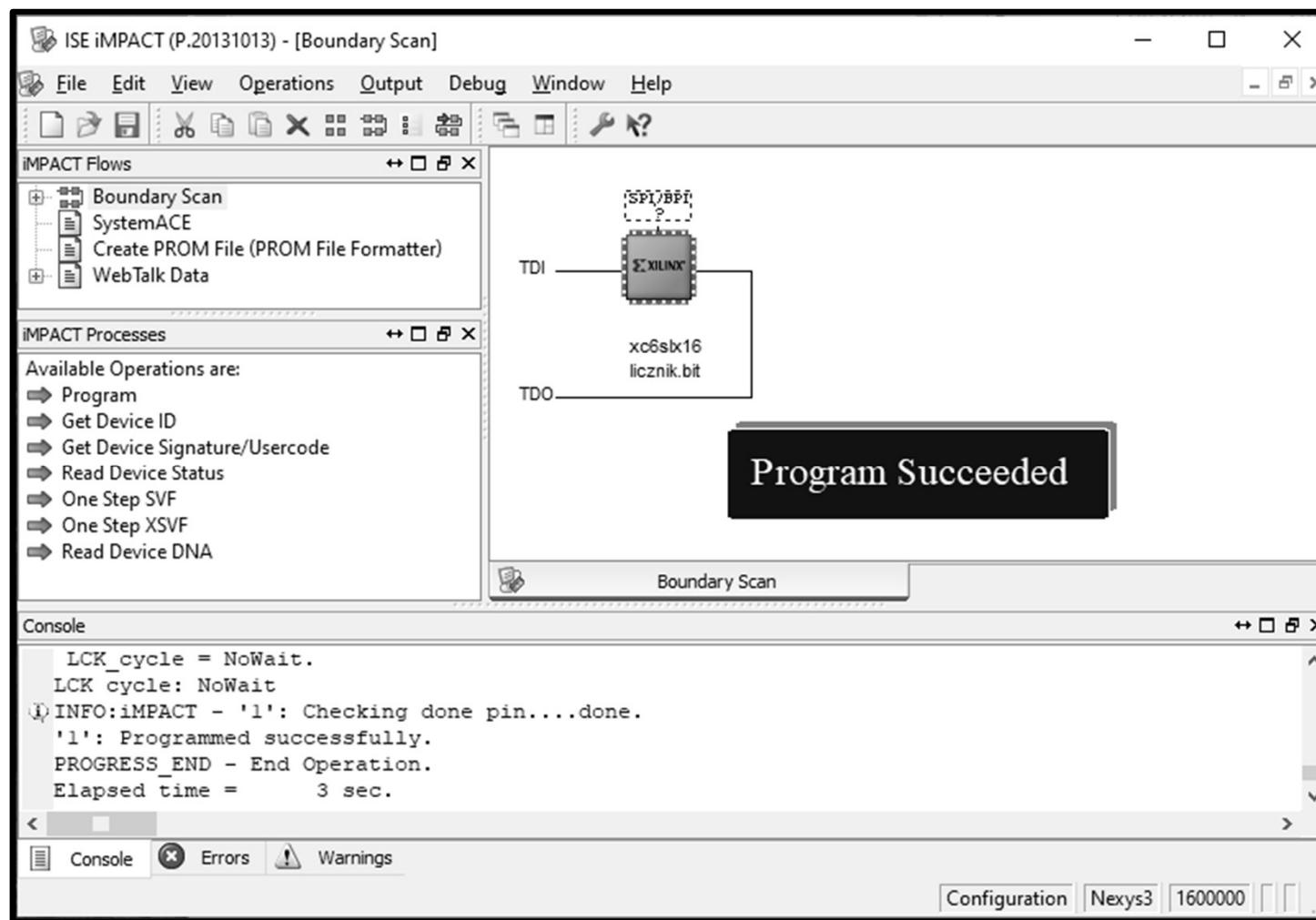
# Tworzenie komponentów opisujących działanie projektu



# FPGA – synteza, implementacja, programowanie...



# Programowanie / Konfiguracja układu scalonego



## Sprzęt...

