

5.3. Das 80C 535-Compuboard

Als Alternative zum 8032-Compuboard haben Sie mit der hier vorgestellten Platine ebenfalls ein sehr gutes Entwicklungssystem zur Hand. Herzstück dieser Platine ist mit dem 80C 535 ein weiterer Vertreter von Mikrocontrollern der 8051-Familie. Es handelt sich auch hier um eine Weiterentwicklung, die mit dem gleichen Befehlssatz arbeitet. Die Schaltung ist so ausgelegt, daß das Board mit dem gleichen Monitorprogramm, das auch im 8032-Board eingesetzt ist, betrieben werden kann. Ob auch die auf dem 8032-Board lauffähigen Programmbeispiele betrieben werden können, hängt davon ab, welche peripheren Baugruppen auf der Erweiterungsplatine angesprochen werden. Ich schicke schon mal voraus, daß ein großer Teil der Beispiele ohne, oder nur mit ganz kleinen Abänderungen in der Software, auch auf dem 80C 535-Board lauffähig sind. Allerdings benötigen wir dazu etwas an Zusatzhardware, die im nächsten Abschnitt beschrieben ist.

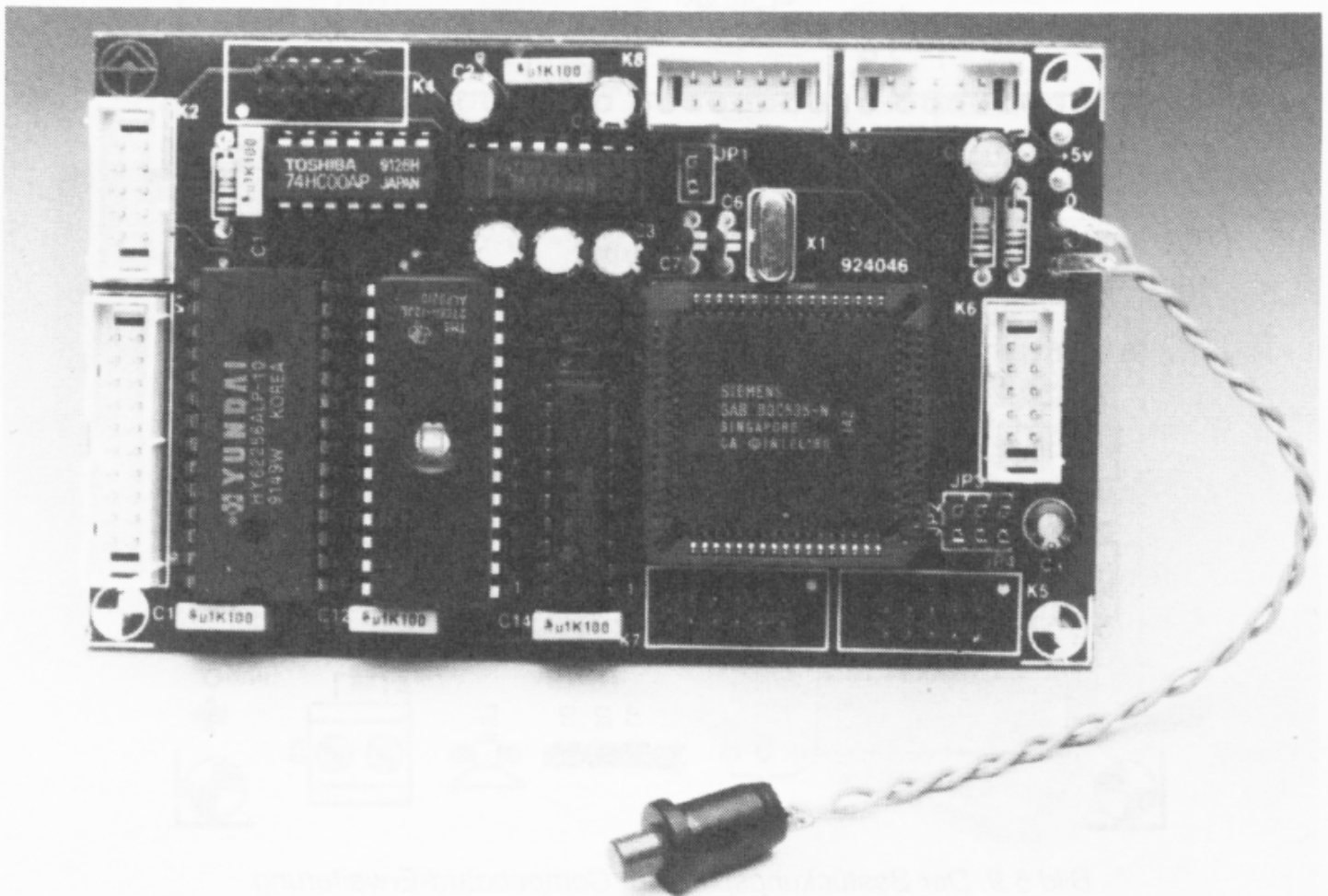


Bild 5.10. Das Fertig aufgebautes 80C 535-Compuboard.

Die Gesamtschaltung entspricht der Standardschaltung bei Mikrocontrollern der 8051-Serie. Alle Port- und Steuerleitungen des Prozessors sind über die Steckverbinder K 1 bis K 8 nach außen geführt. Schon hier sieht man, daß mit dem 80C 535 mehr Ports zur Verfügung stehen als beim 8032-Board.

Controller

Als Controller darf man nur die CMOS-Version 80C 535 verwenden. Ein 80535 in der NMOS-Version würde sich innerhalb kürzester Zeit mit Rauchzeichen verabschieden, da Pin 4 und Pin 37 bei ihm anders beschaltet sind.

Adreßdekodierung

Das 8-fach-Latch IC 4 dient als Adreß-Zwischenspeicher. An seinen Ausgängen liegen die acht niederwertigen Adreßbits A0...A7, die über K 1 nach außen geführt sind. IC 3 (32 K-Eprom) und IC 1 (32 K-RAM) bilden den Lese- beziehungsweise den Schreib-Lesespeicher des Boards. Die Adreßdekodierung ist etwas anders ausgeführt als beim 8032-Board. Da der Speicher in 4 Segmente à 16 KByte aufgeteilt ist, reicht zur Adreßdekodierung ein simples 4-fach NAND-Gatter vom Typ '00 (IC 2). Der 80C 535 kann, wie alle Controller der 8051-Serie, 64 K-Programmspeicher (Code-Memory) und 64 K-Datenspeicher (Data- oder External Memory) adressieren. Ein Zugriff auf den Codespeicher wird durch LOW-Pegel auf der $\overline{\text{PSEN}}$ -Leitung signalisiert, ein Zugriff auf den Datenspeicher durch $\overline{\text{RD}} = \text{LOW}$ (Lesezugriff) oder durch $\overline{\text{WR}} = \text{LOW}$ (Schreibzugriff).

Selektieren von Programm- und Datenspeicher

Wir wollen nun untersuchen, wie die Speicheraufteilung aussieht. Fangen wir mit der Selektierung von Eprom und RAM an. Über Pin 3 des Steckverbinders K 4 kann man durch LOW-Pegel die Ausgänge der beiden NAND-Gatter IC 2c und IC 2d auf HIGH setzen, wodurch Eprom und RAM ausgeschaltet werden. Im Normalfall lassen wir diesen Pin unbeschaltet, so daß er über R 1 auf HIGH-Pegel liegt. Die Ausschaltmöglichkeit wurde vorgesehen, um das Board zusätzlich mit externem EEPROM oder batteriegepuffertem RAM versehen zu können. Auch bei der Ansteuerung von Ein- und Ausgabebausteinen (Memory mapped-I/O) kann dieses Ausschaltsignal sinnvoll eingesetzt werden.

5. Experimentierplatten

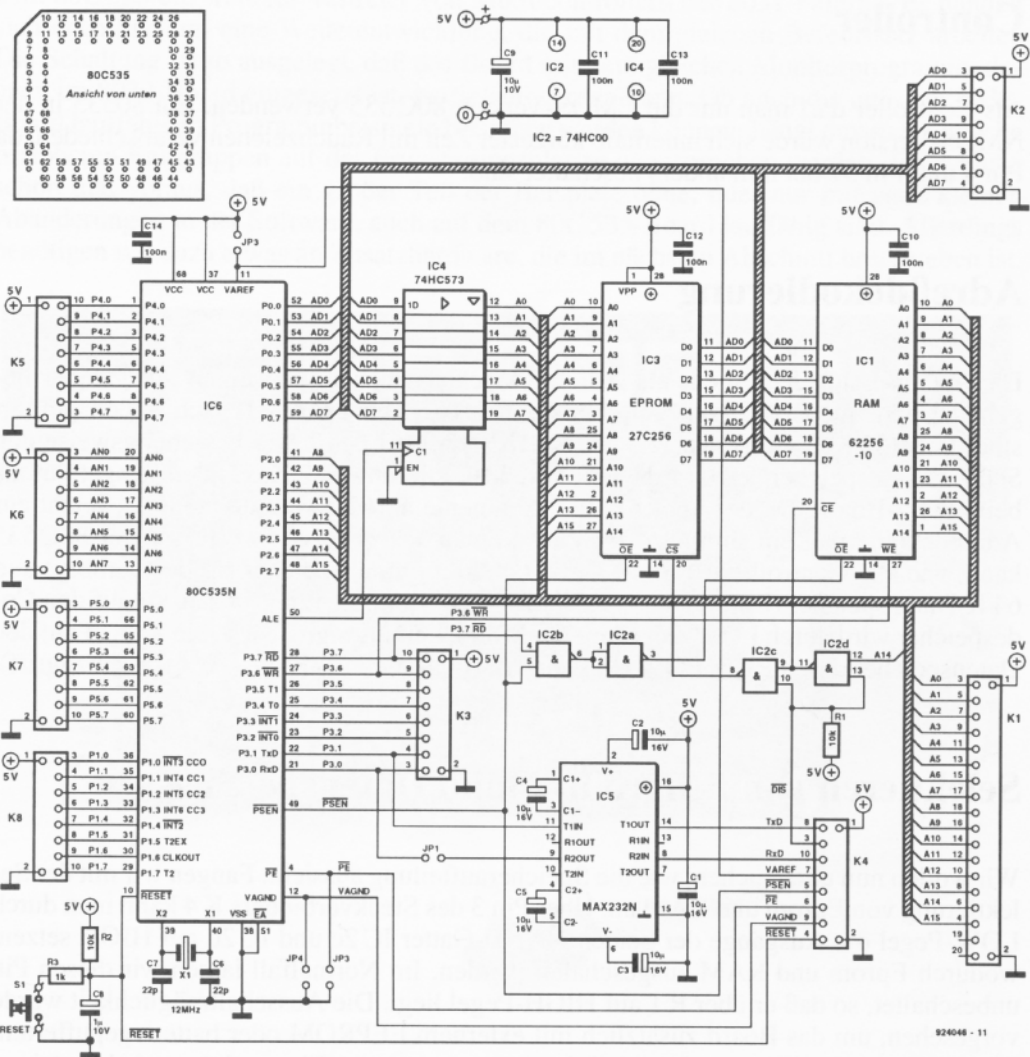


Bild 5.11. Der Schaltplan des 80C 535-Boards.

Das RAM erhält das Chip-Select-Signal von der Adreßleitung A 14. Diese Leitung ist in ganz bestimmten Adreßbereichen gesetzt.

(nur Highbyte dargestellt)

0000 0000 B bis 0011 1111 B	=	0000 H bis 03FF H	: A 14 = LOW
0100 0000 B bis 0111 1111 B	=	4000 H bis 7FFF H	: A 14 = HIGH
1000 0000 B bis 1011 1111 B	=	8000 H bis BFFF H	: A 14 = LOW
1100 0000 B bis 1111 1111 B	=	C000 H bis FFFF H	: A 14 = HIGH

↑
A14

Wegen der Invertierung in IC 2d ist das Chip-Select-Signal für das RAM auf LOW (=aktiv) geschaltet, wenn A 14 HIGH ist. Das sind die Adreßbereiche von 4000 H bis 7FFF H sowie C000 H bis FFFF H.

Das Chip-Select für das Eprom ist durch das NAND-Gatter IC 2c invertiert, so daß das Eprom in den Adreßbereichen 0000 H bis 3FFF H, sowie 8000 H bis BFFF H aktiviert ist.

Das vom Controller erzeugte $\overline{\text{PSEN}}$ -Signal wird direkt auf den Output-Enable ($\overline{\text{OE}}$) der Eproms geführt. Dadurch wird das Eprom im oben genannten Adreßbereich angesprochen. Auch hier wieder der Trick mit der Umleitung der Adreßleitung A 15 auf den Eprom-Pin A 14 (wie beim 8032-Board), der bewirkt, daß bei Adressierung des Bereichs von 8000 H bis BFFF H auf den Eprom-Bereich von 4000 H bis 7FFF H zugegriffen wird.

Das $\overline{\text{PSEN}}$ -Signal spricht nicht nur das Eprom, sondern auch das RAM als Programmspeicher an. Hierfür wird das über das NAND-Gatter IC 2b mit dem $\overline{\text{RD}}$ -Signal verknüpfte $\overline{\text{PSEN}}$ nach nochmaliger Invertierung durch IC 2a dem Output-Enable-Pin des RAMs zugeführt. Damit ist im selektierten Adreßbereich das RAM sowohl als Programmspeicher (Zugriff über $\overline{\text{PSEN}}$) als auch als Datenspeicher (Lesezugriff über $\overline{\text{RD}}$) adressierbar. Das $\overline{\text{WR}}$ -Signal, das den Schreibzugriff auf das RAM freigibt, geht direkt auf den Write-Enable-Eingang ($\overline{\text{WE}}$) des RAMs.

Memory-Map

Bild 5.12. zeigt die Adreßbereiche, in denen RAM und Eprom selektiert sind, nochmals in der Übersicht.

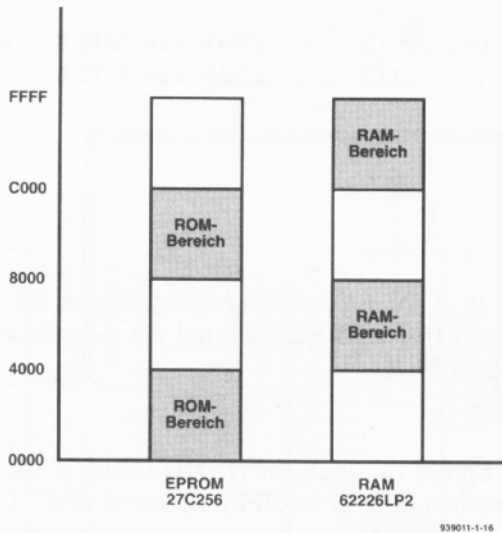


Bild 5.12. Die Memory map des 80C 535-Compubords.

Serielle Schnittstelle

Auch das 80C 535-Board kann mit dem im Eprom abgespeicherten Monitorprogramm EMON51 betrieben werden, so daß über die serielle Schnittstelle des Controllers die Kommunikation mit dem PC aufgebaut werden kann. Dafür müssen wir aber auch hier etwas Hardware spendieren. Normalerweise reichen die TTL-Pegel für die RS-232-Schnittstelle aus, damit die Kommunikation mit dem PC funktioniert. Beim 8032-Board ist die Schnittstelle so realisiert. Um hier allen Eventualitäten vorzubeugen, haben wir mit IC 5 einen Pegelwandler von TTL auf RS-232 eingesetzt, der den richtigen Pegel von ± 12 V erzeugt. Die Sende- und Empfangsleitung (TxD und RxD) sind über den Steckverbinder K 4 zugänglich.