



به نام خدا



دانشگاه تهران

پردیس دانشکده‌های فنی

دانشکده مهندسی برق و کامپیوتر

سیستم‌های دیجیتال 1

استاد: دکتر نوابی

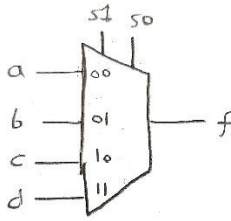
تمرین کامپیوتری شماره 2

فرید سیاه‌کلی

شماره دانشجویی: 810198510

فروردین 1400

(1) شکل مدار شبیه‌سازی شده:



کد سیستم وریلاگ توصیف کننده مدار:

(دیلی‌های 1 و 0 را از پروژهی شماره یک نوشتیم که به ترتیب 36ns و 38ns هستند):

```
`timescale 1ns/1ns
//Part 1:
module MUX_4x1(input a,b,c,d, input [1:0] S, output f);
  assign #(36,38) f = S[1] ? (S[0] ? d : c) : (S[0] ? b : a);
endmodule
```

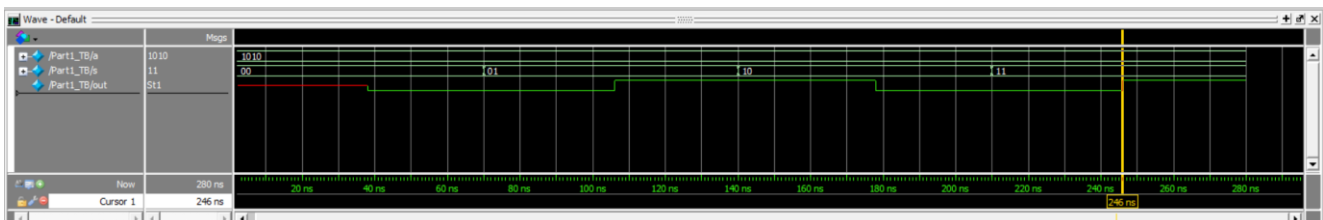
تست بنچ مربوطه:

```
`timescale 1ns/1ns
module Part1_TB();
  reg [3:0] a = 4'b1010;
  reg [1:0] s = 2'b00;
  wire out;
  integer i;
  MUX_4x1 uut(a[0],a[1],a[2],a[3], s, out);
  initial begin
    for(i=0; i < 3; i=i+1) begin
      #70; s = s + 1'b1;
    end
    #70 $stop;
  end
endmodule
```

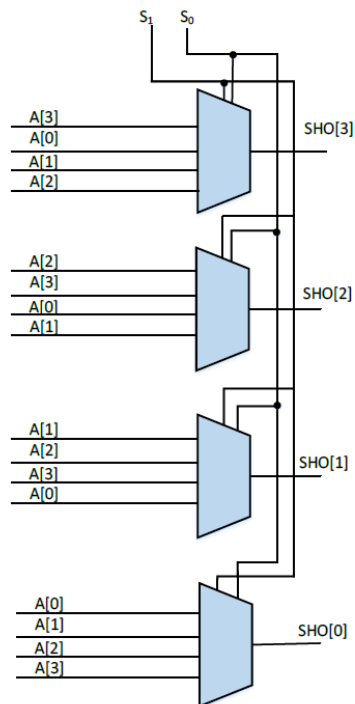
شکل موج خروجی به صورت زیر است که در آن با استفاده از یک حلقه، سویچ‌ها تغییر می‌کنند:

(در اینجا ورودی به صورت 1010 داده شده تا با استفاده از یک حلقه، سویچ‌ها را تغییر دهیم و

خروجی هر بار تغییر کند)



(2) شکل مدار شبیه‌سازی شده برای barrel shifter که شامل 4 مولتی پلکسر 4to1 است:



میان هر ورودی و هر خروجی، یک مولتی پلکسر 4to1 وجود دارد. بنابراین توقع داریم که worst delay برای هر خروجی برابر دیلی یک مولتی پلکسر باشند. در نتیجه اگر یکی از مولتی پلکسرها هم صفر بدهد، دیلی‌ای که می‌بینیم 38ns خواهد بود و تنها در حالتی که تمام خروجی‌های هر 4 مولتی پلکسر یک باشند، دیلی 36ns می‌شود. پس به طور کل میتوان گفت بدترین دیلی برای پاسخ‌دهی این سیستم 38ns است:

To 0 delay: 38ns

To 1 delay: 36ns

کد سیستم وریلاگ توصیف کننده مدار بالا:

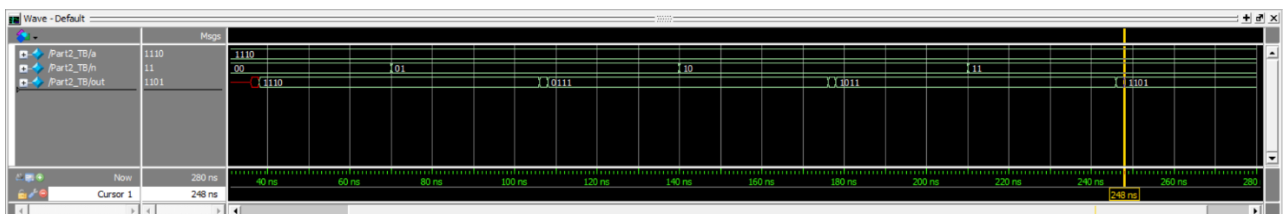
```
module Barrel_shifter_4bit(input [1:0] N, input [3:0] A, output [3:0] SHO);
  MUX_4x1 MUX1(A[0],A[1],A[2],A[3], N, SHO[0]), MUX2(A[1],A[2],A[3],A[0], N, SHO[1]),
    MUX3(A[2],A[3],A[0],A[1], N, SHO[2]), MUX4(A[3],A[0],A[1],A[2], N, SHO[3]);
endmodule
```

تست بنچ مربوطه که در آن با یک حلقه، N را افزایش میدهیم:

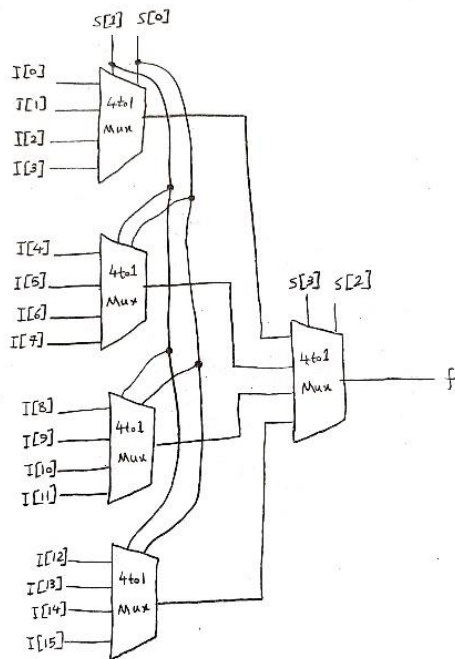
```
`timescale 1ns/1ns
module Part2_TB();
  reg [3:0] a = 4'b1110;
  reg [1:0] n = 2'b00;
  wire [3:0] out;
  integer i;
  Barrel_shifter_4bit UUT1(n, a, out);
  initial begin
    for(i=0; i < 3; i=i+1) begin
      #70; n = n + 1'b1;
    end
    #70 $stop;
  end
endmodule
```

شکل موج خروجی:

همانطور که در شکل با استفاده از Arrow نشان داده شده، دیلی آن سویچ برابر 38ns است که دیلی 0 to 1 مولتی پلکسر 4to1 می باشد. از آنجا که ممکن است در برخی اوقات مانند حالت مورد بررسی، خروجی برخی از مولتی پلکسرها یک باشد و دیلی آنها 36ns بشود، بنابراین زودتر از دیگر مولتی پلکسرها خروجی شان معلوم می شود و تا رسیدن خروجی بقیه مولتی پلکسرها به خروجی نهایی سیستم، یک hazard به مدت 2ns خواهیم داشت.



(3) شکل مدار شبیه‌سازی شده برای مولتی پلکسر 16to1:



عملاً دو مولتی پلکسر 4to1 به طور متوالی بهم بسته شده‌اند. بنابراین توقع داریم که worst delay برابر دلی دو عدد مولتی پلکسر باشند. لازم به ذکر است که حالت صفر شدن مولتی پلکسر اول و یک شدن مولتی پلکسر دوم در کنار هم نمیتواند رخ دهد زیرا در مسیر خروجی هر آنچه که از مولتی پلکسر اول خارج شده باشد، همان مقدار از مولتی پلکسر دوم نیز میگذرد. پس امکان رخداد حالت ذکر شده وجود ندارد و در نتیجه خواهیم داشت:

To 0 delay: $2 \times 38 = 76\text{ns}$

To 1 delay: $2 \times 36 = 72\text{ns}$

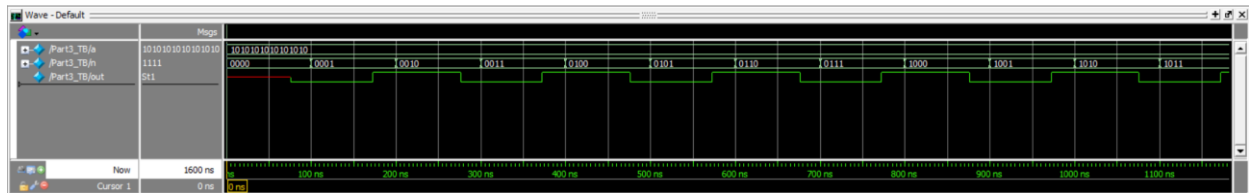
کد سیستم وریلاگ توصیف کننده مدار ترسیم شده در بالا:

```
module MUX_16x1(input [15:0] I, input [3:0] S, output f);
reg [3:0] w;
    MUX_4x1 MUX1(I[0],I[1],I[2],I[3], {S[1],S[0]}, w[0]),
    MUX2(I[4],I[5],I[6],I[7], {S[1],S[0]}, w[1]),
    MUX3(I[8],I[9],I[10],I[11], {S[1],S[0]}, w[2]),
    MUX4(I[12],I[13],I[14],I[15], {S[1],S[0]}, w[3]),
    MUX5(w[0],w[1],w[2],w[3], {S[3],S[2]}, f);
endmodule
```

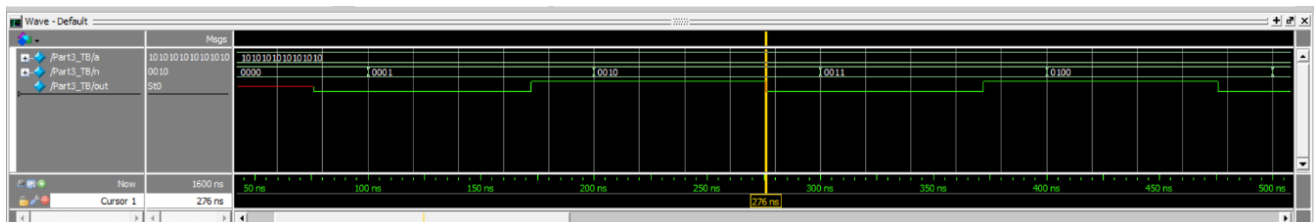
تست بنچ مربوطه که در آن با یک حلقه، N از صفر تا پانزده تغییر می‌کند:

```
`timescale 1ns/1ns
module Part3_TB();
  reg [15:0] a = 16'b1010101010101010;
  reg [3:0] n = 4'b0000;
  wire out;
  integer i;
  MUX_16x1 UUT2(a, n, out);
  initial begin
    for(i=0; i < 15; i=i+1) begin
      #100; n = n + 4'b0001;
    end
    #100 $stop;
  end
endmodule
```

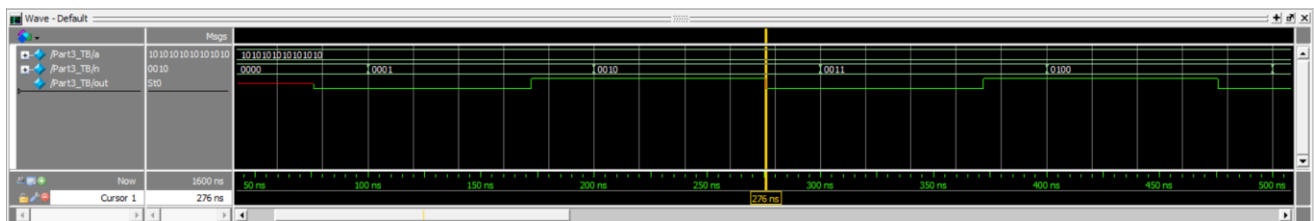
شکل موج خروجی که در این تست بنچ ورودی A به صورت یکی در میان صفر و یک داده شده تا با افزایش عدد N ، افتادن ورودی‌های متفاوت روی خروجی به خوبی نشان داده شود:



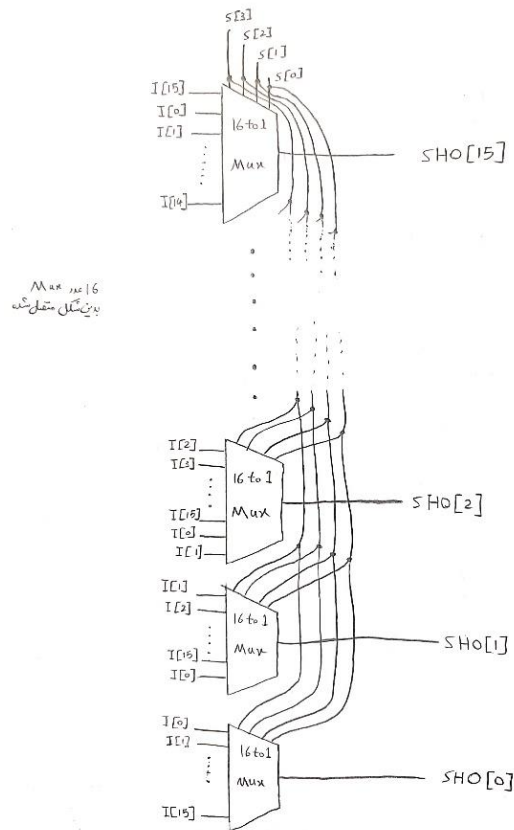
یک مثال از worst delay to 0:



یک مثال از worst delay to 1:



4) شکل مدار شبیه‌سازی شده:



مولتی پلکسرهای 16to1 به طور موازی بهم بسته شده‌اند. بنابراین دیلی آنها همزمان رخ میدهد. توقع داریم که worst delay برای هر خروجی برابر دیلی یک مولتی پلکسر باشند:

To 0 delay: 76ns

To 1 delay: 72ns

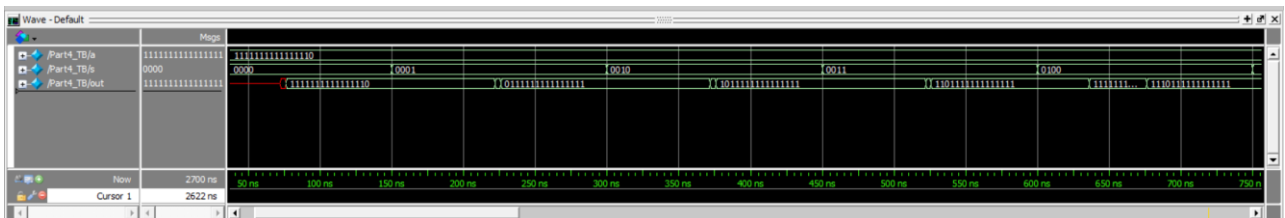
کد سیستم وریلاگ توصیف کننده مدار:

```
module Barrel_shifter_16x1(input [15:0] I, input [3:0] S, output [15:0] SHO);
MUX_16x1 MUX1({I[15],I[14],I[13],I[12],I[11],I[10],I[9],I[8],I[7],I[6],I[5],I[4],I[3],I[2],I[1],I[0]},S,SHO[0]),
MUX2({I[0],I[15],I[14],I[13],I[12],I[11],I[10],I[9],I[8],I[7],I[6],I[5],I[4],I[3],I[2],I[1]},S,SHO[1]),
MUX3({I[1],I[0],I[15],I[14],I[13],I[12],I[11],I[10],I[9],I[8],I[7],I[6],I[5],I[4],I[3],I[2]},S,SHO[2]),
MUX4({I[2],I[1],I[0],I[15],I[14],I[13],I[12],I[11],I[10],I[9],I[8],I[7],I[6],I[5],I[4],I[3]},S,SHO[3]),
MUX5({I[3],I[2],I[1],I[0],I[15],I[14],I[13],I[12],I[11],I[10],I[9],I[8],I[7],I[6],I[5],I[4]},S,SHO[4]),
MUX6({I[4],I[3],I[2],I[1],I[0],I[15],I[14],I[13],I[12],I[11],I[10],I[9],I[8],I[7],I[6],I[5]},S,SHO[5]),
MUX7({I[5],I[4],I[3],I[2],I[1],I[0],I[15],I[14],I[13],I[12],I[11],I[10],I[9],I[8],I[7],I[6]},S,SHO[6]),
MUX8({I[6],I[5],I[4],I[3],I[2],I[1],I[0],I[15],I[14],I[13],I[12],I[11],I[10],I[9],I[8]},S,SHO[7]),
MUX9({I[7],I[6],I[5],I[4],I[3],I[2],I[1],I[0],I[15],I[14],I[13],I[12],I[11],I[10],I[9]},S,SHO[8]),
MUX10({I[8],I[7],I[6],I[5],I[4],I[3],I[2],I[1],I[0],I[15],I[14],I[13],I[12],I[11],I[10]},S,SHO[9]),
MUX11({I[9],I[8],I[7],I[6],I[5],I[4],I[3],I[2],I[1],I[0],I[15],I[14],I[13],I[12],I[11]},S,SHO[10]),
MUX12({I[10],I[9],I[8],I[7],I[6],I[5],I[4],I[3],I[2],I[1],I[0],I[15],I[14],I[13],I[12]},S,SHO[11]),
MUX13({I[11],I[10],I[9],I[8],I[7],I[6],I[5],I[4],I[3],I[2],I[1],I[0],I[15],I[14],I[13]},S,SHO[12]),
MUX14({I[12],I[11],I[10],I[9],I[8],I[7],I[6],I[5],I[4],I[3],I[2],I[1],I[0],I[15],I[14]},S,SHO[13]),
MUX15({I[13],I[12],I[11],I[10],I[9],I[8],I[7],I[6],I[5],I[4],I[3],I[2],I[1],I[0],I[15]},S,SHO[14]),
MUX16({I[14],I[13],I[12],I[11],I[10],I[9],I[8],I[7],I[6],I[5],I[4],I[3],I[2],I[1],I[0],I[15]},S,SHO[15]);
endmodule
```

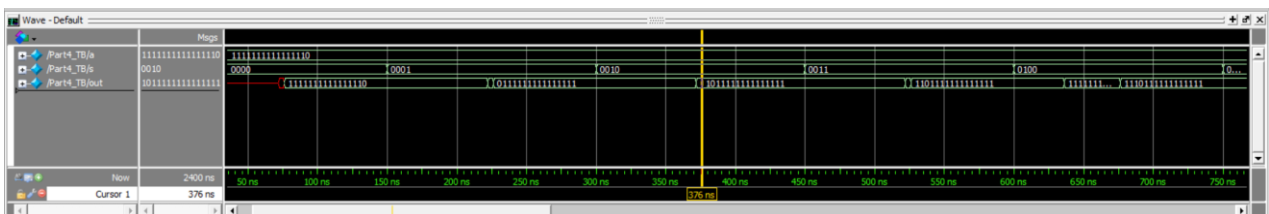
تست بنچ مربوطه:

```
`timescale 1ns/1ns
module Part4_TB();
  reg [15:0] a = 16'b1111111111111110;
  reg [3:0] s = 4'b0000;
  wire [15:0] out;
  integer i;
  Barrel_shifter_16x1 UUT1(a, s, out);
  initial begin
    for(i=0; i < 15; i=i+1) begin
      #150; s = s + 1'b1;
    end
    #150 $stop;
  end
endmodule
```

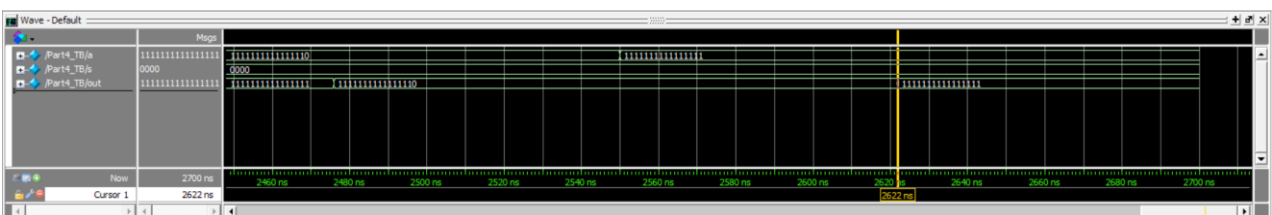
شکل موج خروجی:



یک مثال از worst delay to0:



یک مثال از worst delay to1:



نکته مهم آنست که اگر حتی یکی از خروجی‌های سیستم صفر شود، دیلی یک 2ns hazard دارد و درنهایت دیلی 76ns می‌شود. برای گرفتن دیلی 72ns باید تمامی 16 ورودی یک باشند تا هیچ صفری روی هیچکدام از خروجی‌ها نرود.