



به نام خدا

مدار منطقی ۱ - پروژه اول

دانشکده مهندسی برق و کامپیوتر



تاریخ: 99/12/25

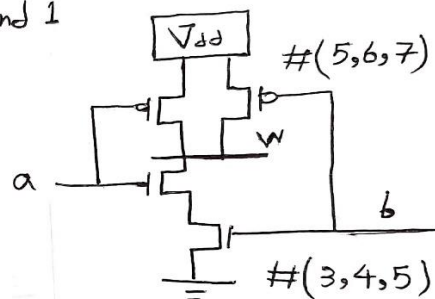
دکتر نوابی

فرد سیاه کلی: 810198510

(1) با چهار ترانزیستور به شکل روبه‌رو یک 2x1 nand ساختیم:

تحلیل delay های مدار در عکس انجام شده است.

to 1 worst delay: one of the pmos, should send 1
& both nmos should send 0 $\rightarrow 5+5=10ns$
to 0 worst delay: both nmos should send 0
& both pmos should send 1 $\rightarrow (4+4)=8ns$



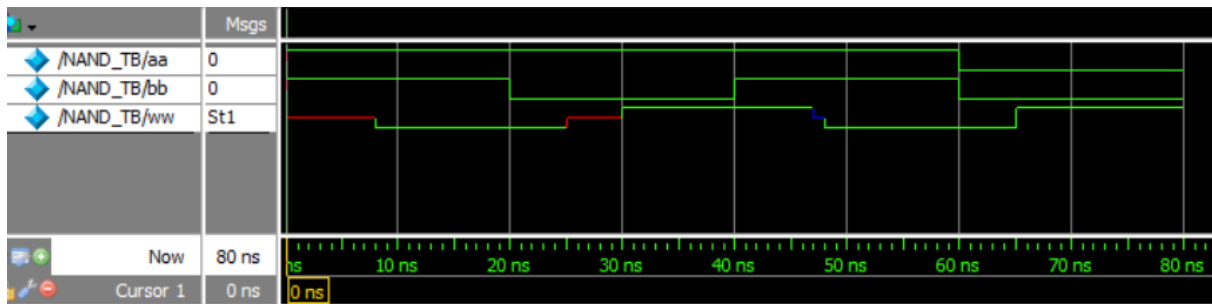
حال کد وریلگ و تست بنج برای مدار بالا را مشاهده می‌کنید:

```
1 `timescale 1ns/1ns
2 module NAND_Gate(input a, b, output w);
3   wire y;
4   supply1 Vdd;
5   supply0 Gnd;
6   pmos #(5,6,7) T1(w,Vdd,a);
7   pmos #(5,6,7) T2(w,Vdd,b);
8   nmos #(3,4,5) T3(y,Gnd,b);
9   nmos #(3,4,5) T4(w,y,a);
10 endmodule
```

a	b	w
0	0	1
0	1	1
1	1	0
1	0	1

```
1 `timescale 1ns/1ns
2 module NAND_TB();
3   reg aa = 1, bb = 1;
4   wire ww;
5   NAND_Gate uut(aa,bb,ww);
6   initial begin
7     //examining To 1 worst case senario:
8     #20 aa = 1;
9     #20 bb = 0;
10    #20 aa = 1;
11    #20 bb = 1;
12    #20 aa = 0;
13    #20 bb = 0;
14    #20 aa = 1; bb = 1;
15    #20 $stop;
16  end
17 endmodule
```

هر دو delay برای t_{01} , t_{00} در موج زیر قابل مشاهده است.



(2) مدار ساخته شده برای ایفای نقش Tri-state Buffer، به صورت زیر است.

همچنین تحلیل delayهای مدار در عکس انجام شده است که با شبیه سازی انجام شده نیز همخوانی دارد.

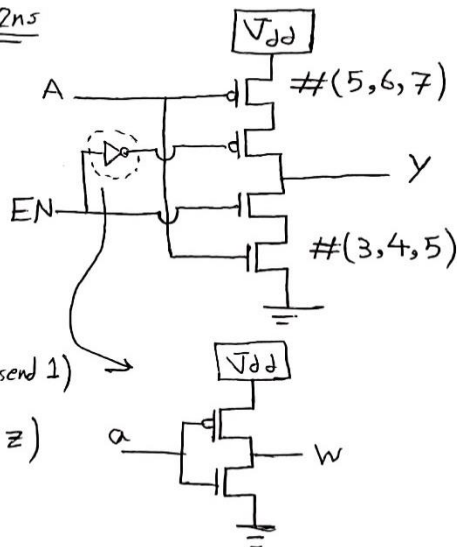
to \bar{z} worst delay: takes ns for inverter
to send 1 & $7ns$ for pmos to send \bar{z} on Y $\rightarrow 12ns$

to 1 worst delay: takes 5 ns to send 1
& takes $7ns$ to send $\bar{z} \rightarrow 12ns$

to 0 worst delay: $7+7ns$ to send \bar{z} from
Pmos & $4+4ns$ to send 0 from nmos $\rightarrow 4ns$

inverter to 1 delay: $5ns$ (5ns for pmos to send 1)

inverter to 0 delay: $7ns$ (for pmos sending \bar{z})



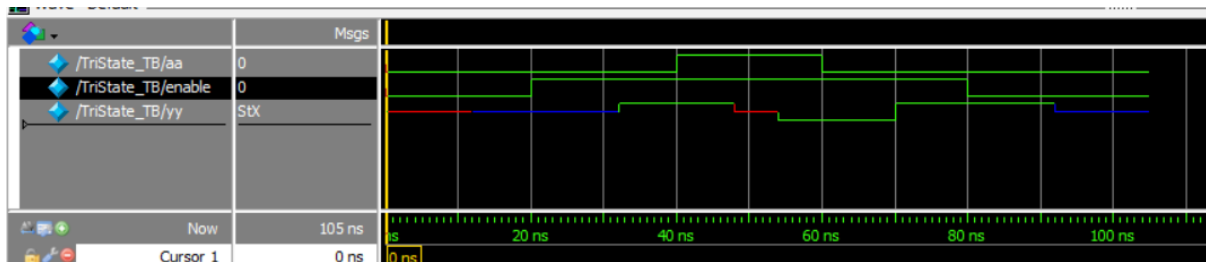
حال کد وریلاگ و تست بنچ برای مدار بالا را مشاهده می کنید:

```
1 `timescale 1ns/1ns
2 module Tri_State(input A, EN, output Y);
3   wire w1, w2, w3;
4   supply1 Vdd;
5   supply0 Gnd;
6   //main of the gate
7   pmos #5,6,7 T1(w1,Vdd,A), T2(Y,w1,w2);
8   nmos #3,4,5 T3(Y,w3,EN), T4(w3,Gnd,A);
9   //inverter:
10  pmos #5,6,7 T5(w2,Vdd,EN);
11  nmos #3,4,5 T6(w2,Gnd,EN);
12 endmodule
```

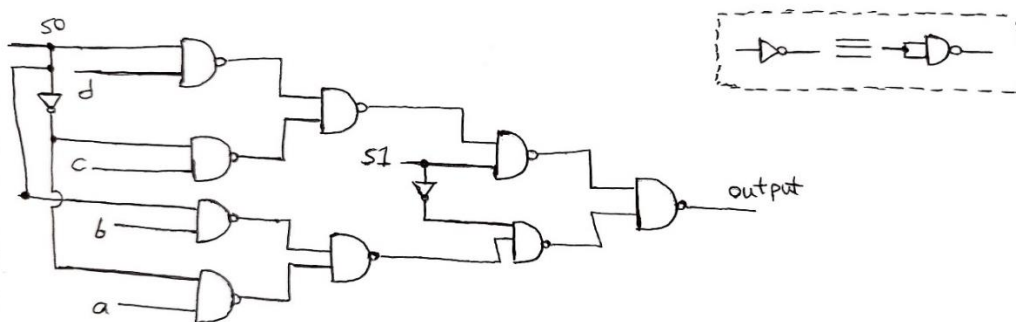
```
1 `timescale 1ns/1ns
2 module TriState_TB();
3   reg aa = 0, enable = 0;
4   wire yy;
5   integer i;
6   Tri_State uut(aa,enable,yy);
7   initial begin
8     //examining To 1 worst case senario:
9     #20 enable = 1;
10    #20 aa = 1;
11    #20 aa = 0;
12    #20 enable = 0;
13    #25 $stop;
14  end
15 endmodule
```

A	EN	Output
0	0	Hi-z
1	0	Hi-z
0	1	1
1	1	0

هر سه delay برای t_{00} , t_{01} , t_{0z} در موج زیر قابل مشاهده است.



(3) مدار بسته شده برای 4x1 MUX، به شکل زیر می باشد که شامل 11 گیت NAND می باشد (برای ساخت Inverter، از گیت NAND با وروی بهم بسته شده استفاده می کنیم):



حال کد وریلاگ و تست بنچ برای مدار بالا را مشاهده می کنید:

```

1  `timescale 1ns/1ns
2  module MUX4x1_NAND(input a, b, c, d, s0, s1, output out);
3      wire ln1, ln2, ln3, ln4, ln5, ln6, ln7, ln8, s0p, slp;
4      NAND_Gate nand1(s0, s0, s0p);
5      NAND_Gate nand2(s1, s1, slp);
6
7      NAND_Gate nand3(s0p, a, ln2);
8      NAND_Gate nand4(b, s0, ln1);
9      NAND_Gate nand5(c, s0p, ln4);
10     NAND_Gate nand6(d, s0, ln3);
11
12     NAND_Gate nand7(ln1, ln2, ln5);
13     NAND_Gate nand8(ln3, ln4, ln6);
14
15     NAND_Gate nand9(ln5, slp, ln7);
16     NAND_Gate nand10(s1, ln6, ln8);
17
18     NAND_Gate nand11(ln7, ln8, out);
19 endmodule

```

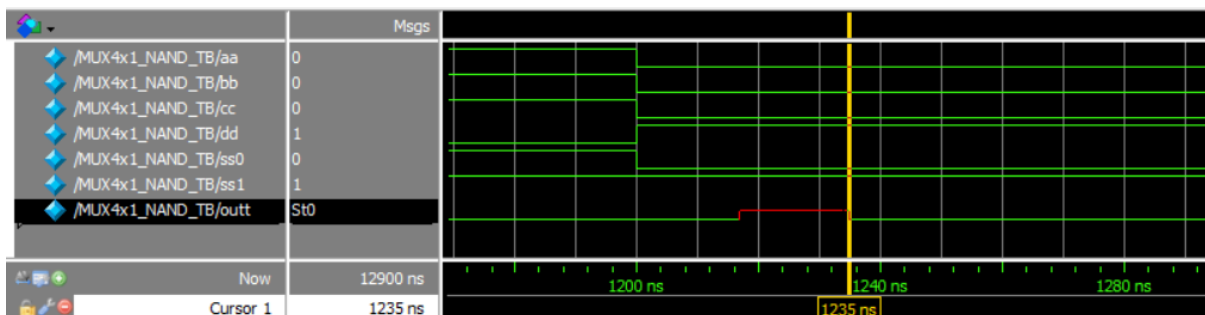
```

1  `timescale 1ns/1ns
2  module MUX_4x1_NAND_TB();
3      reg aa,bb,cc,dd,S0,S1;
4      wire outt;
5      integer i=0;
6      MUX4x1_NAND UUT (aa,bb,cc,dd,S0,S1,outt);
7      initial begin
8          for(i=0; i<64; i=i+1) begin
9              #100; {aa,bb,cc,dd,S0,S1} = 64-i;
10             #100; {aa,bb,cc,dd,S0,S1} = i;
11         end
12         #100 $stop;
13     end
14 endmodule

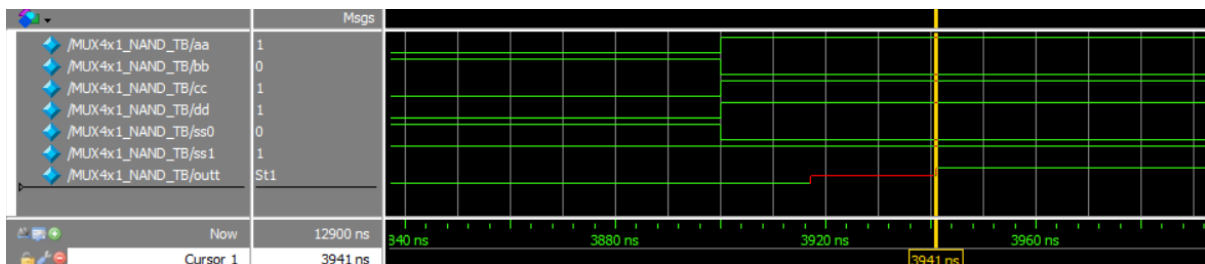
```

و شکل موج برای بدترین حالات بدین گونه است: (همچنین در تست بنچ با استفاده از حلقه، حالات بسیار زیادی بررسی شدند)

Worst delay to 0: 35ns



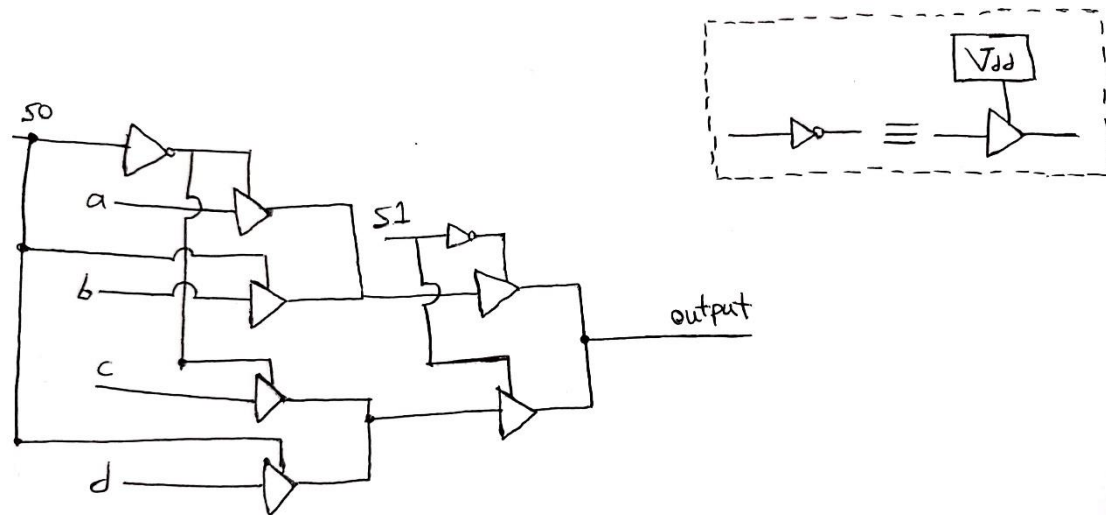
Worst delay to 1: 41ns



4x1 MUX Truth Table:

a	b	c	d	S0	S1	Output
0	x	x	x	0	0	0
1	x	x	x	0	0	1
x	0	x	x	1	0	0
x	1	x	x	1	0	1
x	x	0	x	0	1	0
x	x	1	x	0	1	1
x	x	x	0	1	1	0
x	x	x	1	1	1	1

(4) مدار بسته شده برای 4x1 MUX، به شکل زیر می‌باشد که شامل 8 گیت Tri-State Buffer می‌باشد (برای ساخت Inverter، از گیت Tri-State Buffer با Enable متصل به Vdd استفاده می‌کنیم):

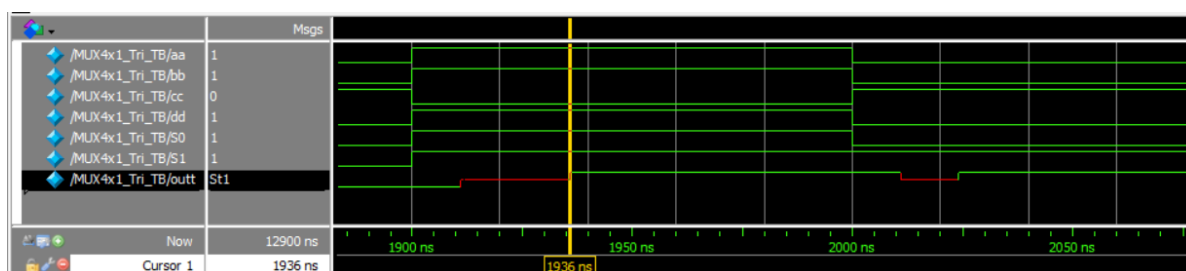


حال کد وریلاگ و تست بنچ برای مدار بالا را مشاهده می‌کنید:

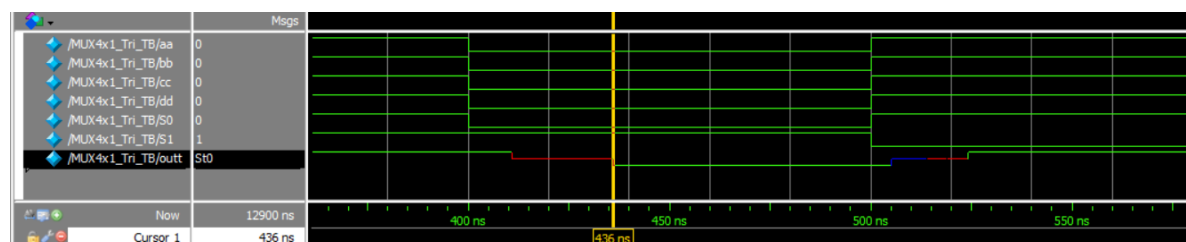
```
1 `timescale 1ns/1ns
2 module MUX4x1_Tri(input a, b, c, d, s0, s1, output out);
3     wire ln1, ln2, s0p, slp;
4     supply1 Vdd;
5     //inverters:
6     Tri_State tri_1(s0, Vdd, s0p);
7     Tri_State tri_2(s1, Vdd, slp);
8     //main part of the circuit:
9     Tri_State tri_3(a, s0p, ln1);
10    Tri_State tri_4(b, s0, ln1);
11    Tri_State tri_5(c, s0p, ln2);
12    Tri_State tri_6(d, s0, ln2);
13    Tri_State tri_7(ln1, slp, out);
14    Tri_State tri_8(ln2, sl, out);
15 endmodule
```

```
1 `timescale 1ns/1ns
2 module MUX4x1_Tri_TB();
3     reg aa,bb,cc,dd,S0,S1;
4     wire outt;
5     integer i;
6     MUX4x1_Tri UUT(aa, bb, cc, dd, S0, S1, outt);
7     initial begin
8         for(i=0; i<64; i=i+1) begin
9             #100; {aa,bb,cc,dd,S0,S1} = 64-i;
10            #100; {aa,bb,cc,dd,S0,S1} = i;
11        end
12        #100 $stop;
13    end
14 endmodule
```

Worst delay to 1: 36ns



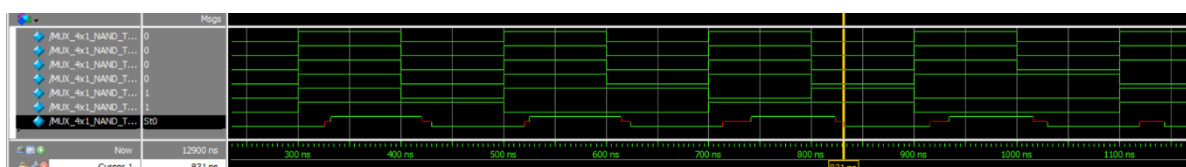
Worst delay to 0: 36ns



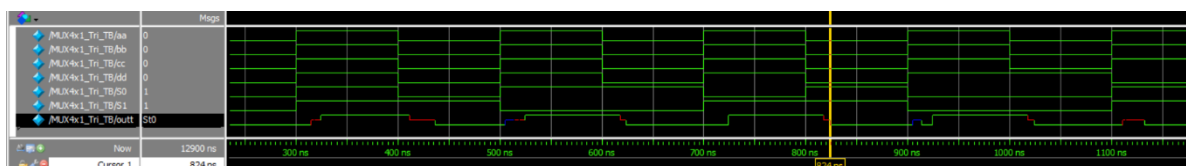
5) مدار ساخته شده با گیت بافر، مجموعاً 48 ترانزیستور و مدار ساخته شده با گیت NAND، مجموعاً دارای 44 ترانزیستور می‌باشد. بنابراین از لحاظ مصرف انرژی، مدار ساخته شده با NAND توان کمتری مصرف می‌کند اما دلیلی بیشتری نسبت به مدار دیگری دارد.

حال به هر دو مولتی‌پلکسر، تست‌بنچی یکسان می‌دهیم:

برای MUX ساخته شده با NAND داریم:



برای MUX ساخته شده با Tri-State Buffer داریم:



بعنوان مثال می‌توان مشاهده کرد که در سوییچی که Arrow روی آن است، مولتی‌پلکسر ساخته شده از Tri-State Buffer، 24ns و مولتی‌پلکسر ساخته شده از گیت‌های NAND، 31ns delay دارد.

در نتیجه مولتی‌پلکسر ساخته شده از Tri-State Buffer، در مقایسه با مولتی‌پلکسر ساخته شده از گیت‌های NAND، از delay به نسبت کمتری برخوردار است.