

西安电子科技大学

考试时间 120 分钟

试 题

题号	一	二	三	四	五	六	七	八	九	十	总分
分数											

1. 考试形式：闭卷 ☒ 开卷 ☐ ； 2. 本试卷共十大题，满分 100 分；
3. 考试日期：2020 年 8 月 日；(答题内容请写在装订线外)

请将所有答案写在试卷上，写在答题纸或草稿纸上的答案无效。

一、(20 分) 单项选择题 (在每小题的四个备选答案中选出一个正确的答案，将其序号填写在下面表格中。每小题 2 分)

1.	2.	3.	4.	5.
6.	7.	8.	9.	10.

- 已知小写英文字母 'i' 的 ASCII 编码值是十六进制 6CH，那么大写英文字母 'N' 的 ASCII 编码值是 (答案填表中)。
A. 6DH B. 7CH C. 4EH D. 4DH
- 某机字长 32 位，如果数据采用补码表示，那么可表示的定点小数和定点整数范围是 (答案填表中)。
A. $[-1, +1]$ 和 $[-2^{31}, +2^{31}-1]$ B. $[-1, +1]$ 和 $[-2^{31}, +2^{31}-1]$
C. $[-1, +1]$ 和 $[-2^{31}, +2^{31}-1]$ D. $[-1, +1]$ 和 $[-2^{31}, +2^{31}]$
- IEEE754 标准的 32 位单精度浮点数，指数偏移量是 (答案填表中)。
A. +128 B. +127 C. +1023 D. +255
- 在虚拟存储器中，当程序正在执行时，由 (答案填表中) 完成地址映射。
A. 程序员 B. 编译器 C. 装入程序 D. 操作系统
- 某指令系统的指令长度是 16 位，由二地址指令、一地址指令和零地址指令构成，具体格式如下表格所示：

操作码	地址 1 (6 位)	地址 2 (6 位)
-----	------------	------------

那么，下面关于指令集描述可行的是 (答案填表中)。

- 二地址指令 16 条，一地址指令 64 条，零地址指令 64 条
- 二地址指令 15 条，一地址指令 63 条，零地址指令 64 条
- 二地址指令 15 条，一地址指令 64 条，零地址指令 64 条
- 二地址指令 16 条，一地址指令 63 条，零地址指令 63 条

6. 中央处理器对 DMA 和中断响应时刻是 (答案填表中)。
A. 指令运行结束和 CPU 周期结束
B. CPU 周期结束和指令运行结束
C. 节拍运行结束和 CPU 周期结束
D. 微指令运行结束和指令运行结束
7. 不需要编译器参与指令成组并行处理的技术是 (答案填表中)。
A. 动态超标量 B. 静态超标量 C. 动态 VLIW D. 超长指令字处理器
8. 磁盘读写数据的最小单位是 (答案填表中)。
A. 1 个字节 B. 1 个扇区 C. 1 个磁道 D. 1 个柱面
9. 如果使得 50 个处理器的并行系统获得 20 倍加速比, 那么原来程序中串行部分占比是 (答案填表中)。
A. 3.06% B. 96.94% C. 5.00% D. 95%
10. 同等条件下集中式仲裁方式最快的是 (答案填表中)。
A. 菊花链 B. 轮询 C. 独立请求 D. 分组独立请求

二、编码

1. (4 分) 阅读以下 C 程序, 请模拟处理器给出浮点数转换过程, 写出输出打印结果。

```
float a; //为 IEEE754 单精度格式
int b;
unsigned char*p;
b= 20;
a=(float)b;
p=(unsigned char*) &a; //取 a 地址
for(int k=3; k>=0;k--)
    printf("%x",p[k]);
printf("H\n");
```

2.（4分）在8位定点小数表示情况下，按要求的正/十六进制数填写下表。

真值（十进制）	原码（十六进制）	补码（十六进制）
	40H	40H
	C0H	C0H
-0.46875		

三、（6分）使用海明码编码系统的接收器收到代码为“101011101011”，其海明码编码格式为

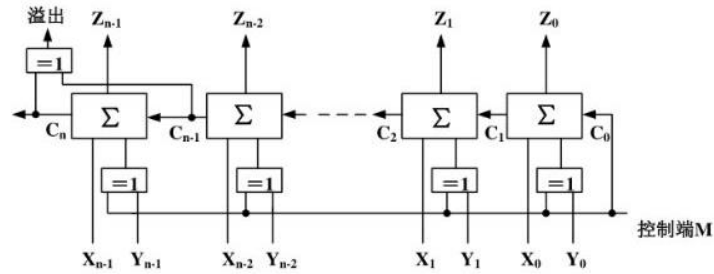
D ₇	D ₆	D ₅	D ₄	H ₃	D ₃	D ₂	D ₁	H ₂	D ₀	H ₁	H ₀
----------------	----------------	----------------	----------------	----------------	----------------	----------------	----------------	----------------	----------------	----------------	----------------

注：D_i为数据位，H_i为冗余校验位。

请问：收到的码字是否正确？如果有错，指出错误发生在哪里。

四、加法运算

1. (4 分) 下图是 n 位行波进位加法器示意图, 请指出图中的控制端 M 的功能并简单分析 M 是如何实现其功能的。



2. (6 分) X 、 Y 都是 IEEE754 标准格式的浮点数, 求 $X+Y$ 和 $X-Y$, 结果仍使用 IEEE754 标准格式表示。(请给出完整的计算过程, 且尾数运算允许采用真值计算)

$X=0\ 10010010\ 0011011010000000000000$

$Y=0\ 10001110\ 1000010000000000000000$

五、(8 分) 若真值 $X = -0.10001111$ 、 $Y = 0.1101$ ，试用原码加减交替法求商及余数，要求写出计算过程，商用 5 位原码表示，余数用真值表示。

六、某硬盘有 6 个记录面，每个记录面有 750 个磁道，每个磁道分 20 个扇区，每个扇区 512 个字节，磁盘转速 15000 转/分钟。

1. (4 分) 该磁盘的数据传输速率约为多少 MB/s?

2. (4 分) 在磁盘采用的记录方式中，哪种方式记录密度较高(编码效率为 100%)? 哪种方式具有自同步能力?

七、某计算机系统，主存最大寻址空间为 16MB，按字节编址。为了加快主存的平均访问速度，该计算机设计了容量为 512B 的高速缓冲存储器（Cache），与主存间采用组相联地址映射方式（即组间直接、组内全相联），每组包含 2 块（即 2 路组相联），每块为 64B。（提示：“B”代表“字节”）

- 1.（4 分）为实现地址映像，主存地址应如何划分？（即主存区号、区内组号、组内块号、块内地址各用多少位表示）
- 2.（5 分）Cache 地址变换表如下图所示，当访问地址为 ABCDEFH 的主存单元时，是否命中 Cache？若命中，试确定变换后的 Cache 地址；若未命中，说明理由。

行号	参与比较的内容	有效位
000	1010 1011 1100 1100	1
001	1010 1011 1100 1101	1
010	1010 1011 1100 1100	1
011	1010 1011 1100 1101	1
100	1010 1011 1100 1100	1
101	1010 1011 1100 1101	1
110	1010 1011 1100 1101	1
111	1010 1011 1100 1100	1

- 3.（3 分）该计算机系统的 CPU 访问主存时，如果 Cache 命中，则直接访问 Cache，Cache 的读写时间 T_C 为 10ns；如果 Cache 未命中，则首先把包含该数据的块从主存装入 Cache，所需时间 T_M 为 100ns（不考虑替换等时间开销），然后访问 Cache 中的该数据。经测试，在运行某程序时，Cache-主存系统的平均读写时间 T_A 为 15ns，求运行此程序时 Cache 的命中率。

八、（8 分）某计算机有 A、B 两类指令。其中，A 类指令共 5 条，使用频度为 80%；B 类指令共 12 条，使用频度为 20%。试用扩展操作码编码方案，为两类指令分别确定操作码长度，要求平均码长尽量短，并计算平均码长。

九、某 CPU 和由该 CPU 构成的计算机系统均为单总线结构，该系统中的部分控制信号（微命令）有： PC_{out} 为程序计数器的输出允许控制信号； $PC+1$ 为程序计数器的自动增量（如自动加 1）控制信号； IR_{in} 为指令寄存器的锁存输入控制信号； Ri_{in} 为通用寄存器 Ri ($0 \leq i \leq n-1$) 的锁存输入控制信号； Ri_{out} 为通用寄存器 Ri ($0 \leq i \leq n-1$) 的输出允许控制信号； AR_{in} 为地址寄存器面向 CPU 内部总线的锁存输入控制信号； AR_{out} 为地址寄存器面向系统总线的输出允许控制信号； DRI_{out} 为双端口数据寄存器面向 CPU 内部总线的输出允许控制信号； DRS_{in} 为双端口数据寄存器面向系统总线的锁存输入控制信号； $Mread$ 为从主存储器读出信息的读控制信号；AND 为加载至 ALU 的逻辑与运算控制信号；.....。

1.（6 分）在该系统中，传送指令 MOV R0,(R1)将按下表中的微命令序列实现，(R1)为寄存器间接寻址。请在虚线处补充下表的微操作序列和微命令序列。

	节拍	微操作序列	微命令序列
取指子周期	T1	$AR \leftarrow PC$	PC_{out} , AR_{in}
	T2	$DR \leftarrow Memory[AR]$	AR_{out} , $Mread$, DRS_{in}
	T3	$PC \leftarrow PC+1$, $IR \leftarrow DR$	$PC+1$, DRI_{out} , IR_{in}
执行子周期	T1	$AR \leftarrow R1$	-----
	T2	-----	AR_{out} , $Mread$, DRS_{in}
	T3	$R0 \leftarrow DR$	-----

2.（4 分）若该系统的控制器采用微程序技术实现，且微指令格式为

控制域（25 位）					地址域（12 位）	
字段 1	字段 2	字段 3	字段 4	字段 5	AC	跳转微地址

注：AC=0，下条微指令地址为μPC 提供的顺序地址

AC=1，下条微指令地址为地址域提供的跳转地址

（1）若字段 1~5 位数相同，每字段最多可放置的控制信号数量是多少？

（2）控制存储器的容量为多大？

十、流水线性能分析

某计算机系统指令流水线由 4 级组成，如下图所示，每级运行时间为 100ps。



在该流水线上，运行如下程序：

I1	Start: mov r0, #0	; 立即数 0→r0
⋮	⋮	
I21	mov r1, #5555H	; 立即数 5555H→r1
I22	mov r2, #1000H	; 立即数 1000H→r2
I23	cmp r1, (r2)	; 寄存器 r1 与存储单元(r2)的内容进行比较，且不改变原数据
I24	jne err	; 若比较结果为不等，程序跳转到 err
I25	add r2, #2	; (r2)+2→r2
⋮	⋮	
I100	ret	; 程序段结束

1.（6 分）画出指令 I21~ I25 在该流水线上执行的时空图，并指出指令 I21~ I25 之间存在的一处真数据相关和一处控制相关在何处。

2.（4 分）假设这段程序在 I24 处未发生跳转，此时有 100 条指令，其他指令间及其他指令与 I21~ I25 之间不存在任何相关，请计算这段程序在该流水线上执行的实际加速比。