

考试时间 120 分钟

试 题

题号	一	二	三	四	五	六	七	总分
分数								

1. 考试形式：闭卷 ☒ 开卷 ☐；2. 本试卷共七大题，满分 100 分；
3. 考试日期：2019 年 9 月 6 日；(答题内容请写在装订线外)

请将所有答案写在试卷上，写在答题纸或草稿纸上的答案无效。

一、(30 分) 单项选择题 (在每小题的四个备选答案中选出一个正确的答案，将其序号填写在下面表格中。每小题 2 分，共 30 分)

1.	2.	3.	4.	5.
6.	7.	8.	9.	10.
11.	12.	13.	14.	15.

- 根据摩尔定律预测，集成电路芯片内可集成的晶体管数量每 18~24 个月翻一番。在摩尔定律提出的 1965 年，可将 50 个晶体管集成在一块芯片中。如果芯片可集成的晶体管数量按照每 24 个月翻一番计算，根据摩尔的预测，在 2019 年，一块芯片中可集成 (答案填表中) 个晶体管。
A. 50×2^{24} B. 50×2^{27} C. 50×2^{36} D. 50×2^{54}
- 若计算机系统有三个部件 a、b、c 是可改进的，各部件改进后的加速比分别为 15、15、20，它们在总执行时间中所占的比例分别是 30%、30%、20%。则这三个部件同时改进后系统的加速比为 (答案填表中)。
A. 2 B. 4 C. 8 D. 16
- 一个 C 语言程序在一台 32 位机器上运行。程序中定义了三个变量 x、y 和 z，其中 x 和 z 为 int 型，y 为 short 型。当 x=125，y=-17 时，执行赋值语句 $x = x + y$ 后，x、y 和 z 的值分别是 (答案填表中)。
A. x=0000007DH, y=FF11H, z=0000006CH
B. x=0000007DH, y=FF11H, z=FFFF006CH
C. x=0000007DH, y=FFEFH, z=FFFF006CH
D. x=0000007DH, y=FFEFH, z=0000006CH

下列说法中正确的是 (答案填表中)。

- 采用变形补码进行加减运算，可以判断运算结果是否溢出
 - 只有定点数运算才有可能溢出，浮点数运算不会产生溢出
 - 只有带符号数的运算才有可能产生溢出，无符号数运算不可能溢出
 - 上述说法都不正确
- SRAM、DDR4 SDRAM、3D NAND Flash 三种类型的半导体存储器，可分别用来实现计算机系统 (答案填表中)。
A. 内存 (主存)、高速缓存 (Cache)、辅存 (外存)
B. 高速缓存 (Cache)、辅存 (外存)、内存 (主存)
C. 内存 (主存)、辅存 (外存)、高速缓存 (Cache)
D. 高速缓存 (Cache)、内存 (主存)、辅存 (外存)
 - 在一个按字节编址的 32 位计算机中，数据在存储器中以小端方式存储。假定 int 类型 (32 位整数) 变量 i 的地址为 08000000H，i 的机器数为 01234567H，地址 08000001H 单元的内容是 (答案填表中)。
A. 01H B. 23H C. 45H D. 67H
 - 堆栈寻址方式中，设 A 为累加器，SP 为堆栈指针寄存器，M_{SP} 为 SP 指向的内存单元。如果进栈操作的动作是：(SP)-1→SP，(A)→M_{SP}，那么出栈操作的动作应为 (答案填表中)。
A. (M_{SP})→A, (SP)+1→SP B. (SP)+1→SP, (M_{SP})→A
C. (SP)-1→SP, (M_{SP})→A D. (M_{SP})→A, (SP)-1→SP
 - 某指令系统指令长为 8 位，每一地址码长 3 位，用扩展操作码技术。若指令系统具有 2 条二地址指令、14 条一地址指令，则最多有 (答案填表中) 条零地址指令。
A. 8 B. 16 C. 32 D. 64
 - 下列微处理器中，具有“指令系统简单”、“Load/Store 结构”、“强调优化编译技术”特点的是 (答案填表中)。
A. Intel Core i7 B. AMD 锐龙 (RYZEN) 7 2700X
C. 兆芯 开胜 KH-20000 (x86 SOC) D. 华为鲲鹏 920 (ARMv8 指令集)
 - 下列哪些因素不会影响 CPU 运行某程序的 CPI？(答案填表中)
A. CPU 时钟频率 B. Cache 行为发生变化
C. 指令混合发生变化 D. 分支预测发生变化
 - 下列不修改 PC 寄存器的指令是 (答案填表中)。
A. JUMP 指令 B. POP 指令
C. CALL 指令 D. RET 指令
 - 某 CPU 主频为 1.03GHz，采用 4 级指令流水线，每个段的执行需要 1 个时钟周期。假定 CPU 执行了 100 条指令，在其执行过程中没有发生任何流水线阻塞，此时流水线的吞吐率为 (答案填表中)。
A. 0.25×10^9 条指令/秒 B. 0.97×10^9 条指令/秒
C. 1.0×10^9 条指令/秒 D. 1.03×10^9 条指令/秒

13. 在某计算机系统中, 各设备得到总线使用权的机会不相等 (优先级固定), 则该系统采用的集中式总线仲裁策略可能是 (答案填表中)。(注: I-链式查询方式, II-计数器定时轮询方式, III-独立请求方式)

- A. 只能 I, 其余都不可能 B. II 和 III 都有可能, I 不可能
C. 只能 II, 其余都不可能 D. I、II、III 都有可能

14. 占用 CPU 资源最高的 I/O 控制技术是 (答案填表中)。

- A. 程序查询方式 B. 中断方式
C. DMA 方式 D. I/O 通道方式

15. 不属于对称多处理器系统 (SMP) 特点的是 (答案填表中)。

- A. 由两个以上相同的处理器构成, 通过总线或其他互连方式连接在一起。
B. 多个处理器共享主存储器和 I/O 设备。
C. 每个处理器的体系结构、功能各不相同。
D. 在一个集中的操作系统统一管理下工作, 为每一处理器安排进程或线程。

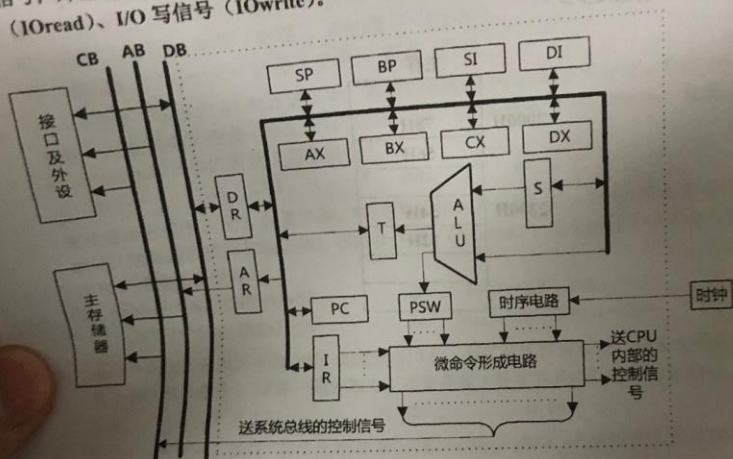
二、(10 分) 已知两个 IEEE754 标准单精度浮点数的十六进制表示为 $F_x=3F00\ 0000$ 和 $F_y=3EC0\ 0000$, 解决以下问题:

1. 将这两个数转换为十进制表示的实数真值 X 和 Y 。
2. 按照浮点数加法流程, 完成 IEEE754 单精度浮点数 $X+Y$ 操作。要求给出对阶、尾数求和、规格化步骤 (舍入采用截断法), 其中尾数求和可以使用二进制真值计算, 最终结果以 8 位十六进制的 IEEE754 单精度编码形式表示。

三、(15 分) 某计算机 Cache 容量为 2KB, 以 128B 分块; 主存容量为 1MB, 按字节编址; 主存与 Cache 地址转换采用直接映射方式。

1. Cache 共分为 _____ 块, Cache 块号为 _____ 位, Cache 块内地址为 _____ 位。
2. 为实现地址映射, 主存地址区号为 _____ 位, 区内块号 _____ 位, 块内地址为 _____ 位。
3. 将主存中块号为 128 (即若主存不分区, 以第 0 块开始顺序编号) 的数据块装入 Cache 时, 应该装入 Cache 的 _____ 块中。
4. 在上一步的基础上, 读写主存地址 0404BH 时是否命中? 此时区号、块号和块内地址分别是多少? (分别用 16 进制表示)

五、(15分) 某计算机框图如下, 包括 CPU、主存、外设、总线等。CPU 的寄存器有输入锁存控制信号 $AXin$ 、 $BXin$ 、 $CXin$ 、 $DXin$ 、 $SPin$ 、 $BPin$ 、 $SPin$ 、 $DIin$ 、 $PCin$ 、 $IRin$ 、 $DRin$ 、 $DRsin$ 、 $ARin$ 、 Sin 、 $PSWin$; 输出允许控制信号 $AXout$ 、 $BXout$ 、 $CXout$ 、 $DXout$ 、 $SPout$ 、 $BPout$ 、 $SIout$ 、 $DIout$ 、 $PCout$ 、 $IRout$ 、 $DRout$ 、 $DRSout$ 、 $ARout$ 、 $Tout$ 、 $PSWout$; 还有 PC 自增信号 $PC+1$ 、SP 自增信号 $SP+1$ 和 SP 自减信号 $SP-1$ 。CPU 的 ALU 有加 (ADD)、减 (SUB)、与 (AND)、或 (OR)、非 (NOT) 等运算控制信号; 外部控制信号有存储器读信号 (Mread)、存储器写信号 (Mwrite)、I/O 读信号 (IOrad)、I/O 写信号 (IOwrite)。



1. 减法指令 $SUB\ AX, 1000H[DI]$ 的功能是将寄存器 AX 中的操作数减去地址 $(DI)+1000H$ 所指向的内存单元中的操作数, 并将结果存入寄存器 AX。其中 DI 为变址寄存器, $1000H[DI]$ 为变址寻址方式。该指令取指令阶段和执行指令阶段的微操作与微命令序列如下表所示, 请将该表补充完整。

节拍	微操作	微命令
T1	$AR \leftarrow PC$	$PCout, ARin$
T2	$DR \leftarrow Memory[AR]$	$ARout, Mread, DRSin$
T3	$PC \leftarrow PC+1, IR \leftarrow DR$	$PC+1, DRout, IRin$
T4	$S \leftarrow IR$ (地址字段)	$IRout, Sin$
T5		
T6	$AR \leftarrow T$	$Tout, ARin$
T7		
T8		
T9	$T \leftarrow AX-S$	$AXout, SUB$
T10		

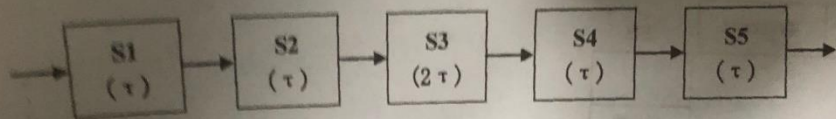
2. 下列指令是哪些的? 还是互斥的。请勾选正确答案。

- $ADD\ AX, BX$ ()
 $ADD\ AX, 1000H$ ()
 $INC\ AX$ ()
 $DEC\ AX$ ()

3. 如果该计算机字长 16 位, AX 寄存器中值为 $FFFFH$, DI 寄存器中值为 $1200H$ 。如果主存相应单元中存储内容如下图所示 (采用小端存储), 执行 $SUB\ AX, 1000H[DI]$ 指令后, AX 中的值是多少?

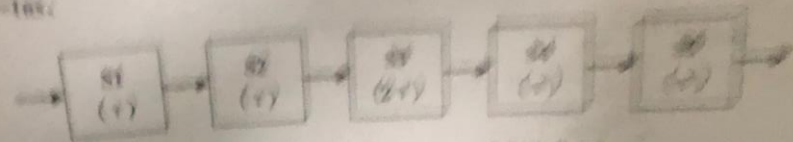
主存	
2000H	78H
2001H	56H
2002H	34H
2003H	12H

六、(14分) 某计算机系统的 CPU 内部指令流水线为 5 级，每级运行时间如图所示，
 $\tau = 1\text{ns}$ 。



1. 该流水线的最大加速比 Sp_{\max} 和最大吞吐率 Tp_{\max} 分别为多少？
2. 若有 1000 条指令在该流水线上顺序执行，且未出现相关问题，则此时流水线的实际加速比 Sp 为多少？
3. $S3$ 为该流水线上的性能瓶颈段，若要改进该流水线，使得在流水线满负荷时每间隔 τ 有一条指令执行完成。问如何改进？改进后的最大加速比 Sp_{\max} 可以达到多少？

六、(14分) 某计算机系统的 CPU 内部指令流水线为 5 级，每级运行时间如图所示，
 $\tau = 1\text{ns}$ 。



1. 该流水线的最大加速比 Sp_{\max} 和最大吞吐率 Tp_{\max} 分别为多少？
2. 若有 1000 条指令在该流水线上顺序执行，且未出现相关问题，则此时流水线的实际加速比 Sp 为多少？
3. $S3$ 为该流水线上的性能瓶颈段，若要改进该流水线，使得在流水线满负荷时每间隔 τ 有一条指令执行完成。问如何改进？改进后的最大加速比 Sp_{\max} 可以达到多少？

七、(6分) 请简述外设与计算机系统进行数据交换时，什么情况下输入输出方式应该选择中断方式？什么情况下应该选择 DMA (直接存储器存取) 方式？

天才小蓝蓝 2019/9/6 16:50:55

选1-5 BBDBD

选6-10 CDBAB

天才小蓝蓝 2019/9/6 16:50:59

选择 11-15 BBBAC

三.

1. 16. 4. 7

2. 9. 4. 7

3. 0

三. 4. 组号 8H

块号 0H

块内地址 4BH

读取 0404BH时, 命中

二.

1. 根据IEEE754标准可得

$$F_x = -0.5$$

$$F_y = 0.375$$

2. F_x 的阶码为7EH

F_y 的阶码为7DH

故 F_y 应向 F_x 阶码对齐, 对阶之后
 F_x 的尾数为(显示的写出隐藏位)
1.0

F_y 的尾数为(显示的写出隐藏位)
0.11

故尾数求和后为 1.11

故最终结果为 03FC0000H

五

1. $T_5 \quad T \leftarrow DI + S,$ DI_{out}, ADD
 ~~$T_6 \quad AR \leftarrow A$~~
 $T_7 \quad DR \leftarrow Memory[AR],$ $AR_{out}, M_{read}, DR_{sin}$
 $T_8 \quad S \leftarrow DR$ DR_{out}, Sin
 $T_{10} \quad AX \leftarrow T$ T_{out}, AX_{in}

五

2. 互斥
互斥
相容
相容

3. EDCBH

六

1. 最大加速比为 ~~3~~ 3
 最大吞吐率为 $\frac{1}{2T}$

2. 实际加速比为

$$\frac{6000}{2005} = \frac{1200}{401}$$

3. 可以分离瓶颈, 将 S_3 再细分为
 两个 T 的子流水线, 双进后的最大
 加速比为 6

七

DMA直接靠硬件来实现, 中断方式需要CPU响应中断, 并在中断里面完成数据IO。当CPU需要与外设频繁进行数据交换时可以先先将外设数据存入高速缓存然后使用DMA, 这个时候DMA只占用一个存储周期。当CPU与外设的数据交换不频繁时, 使用中断。