

西安电子科技大学

考试时间 120 分钟

试 题

题号	一	二	三	四	五	六	总分
分数							

1. 考试形式: 闭卷 ☒ 开卷 ☐ ; 2. 本试卷共六大题, 满分 100 分;
3. 考试日期: 年 月 日; (答题内容请写在装订线外)

请将所有答案写在试卷上, 写在答题纸或草稿纸上的答案无效。

一、(共 30 分, 每小题 2 分) 单项选择题 (在每小题的四个备选答案中选出一个正确的答案, 将其序号填写在下面表格中)

1.	2.	3.	4.	5.
6.	7.	8.	9.	10.
11.	12.	13.	14.	15.

- 关于静态随机访问存储器 SRAM 和动态随机访问存储器 DRAM, 下列说法错误的是 (填入表格中)。
A. 初始加电时, 存储的内容是随机的
B. SRAM 功耗更大、速度更快
C. DRAM 集成度更高
D. SRAM 必须定时刷新
- 在管理高速缓冲存储器 Cache 时, 下列哪一种地址映射方式不需要实现替换算法 (填入表格中)。
A. 全相联
B. 直接映射
C. 2 路组相联
D. 8 路组相联
- 下列磁记录方式中, 有自同步能力且编码效率最高的是 (填入表格中)。
A. 不归零制 NRZ
B. 调频制 FM
C. 改进调频制 MFM
D. 调相制 PM
- 某硬盘有 3 个盘片, 共有 4 个记录面, 转速为 7200r/min, 盘面有效记录区域的外直径为 30cm, 内直径为 10cm, 磁道密度为 8 道/毫米, 每磁道分为 16 个扇区, 每扇区 512 字节, $1\text{MB}=2^{20}\text{B}$, 则该硬盘的格式化容量约为 (表格中)。
A. 25MB
B. 30MB
C. 50MB
D. 100MB

5. 某计算机存储器按字节编址，采用小端方式存放数据。假定编译器规定 `int` 型、`short` 型和 `char` 型长度分别为 32 位、16 位和 8 位，并且数据按边界对齐存储。某 C 语言程序段如下：

```
struct {  
    int a;  
    char b;  
    short c;  
} record;  
record.a = 0x12345678;
```

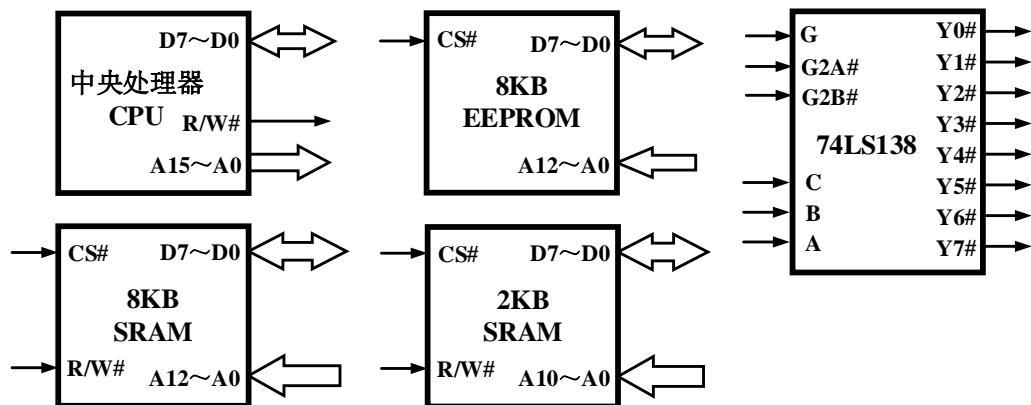
若 `record` 变量的首地址为 `0x0118F000`，则地址 `0x0118F001` 中的内容及 `record.c` 的地址分别为（填入表格中）。

- A. `0x56`、`0x0118F005` B. `0x56`、`0x0118F006`
C. `0x34`、`0x0118F005` D. `0x34`、`0x0118F006`
6. 在内存地址空间与接口地址空间统一编址的计算机中，下列哪种类型的指令是不需要的？（填入表格中）
A. 数据传送类（比如 `MOV` 指令）
B. 算术、逻辑运算类（比如 `ADD`、`SUB`、`AND`、`OR` 指令）
C. 输入/输出类（比如 `IN`、`OUT` 指令）
D. 程序控制类（比如条件转移指令、子程序调用指令）
7. 下列寻址方式中，取得操作数最慢的是（填入表格中）。
A. 寄存器寻址 B. 直接寻址
C. 寄存器间接寻址 D. 基址寻址
8. 下列哪一项不属于 RISC（精简指令集计算机）的关键技术？（填入表格中）
A. 延迟转移技术 B. 指令流调整技术
C. 动态分支预测技术 D. 以硬件为主固件为辅
9. 同一指令集体系结构有两种实现，计算机 A 的主频为 `1.5GHz`，执行某程序时平均 $CPI=2.0$ ；而计算机 B 的主频为 `1.2GHz`，执行同一程序时平均 $CPI=1.0$ 。执行该程序时，则该程序在 A 和 B 上运行时间的比值 T_{CPUA}/T_{CPUB} 是（填表格中）。
A. `0.4` B. `0.625` C. `1.6` D. `2.5`
10. 关于处理器的多核、多线程技术，下列说法正确的是（填入表格中）。
A. 其他参数相同的情况下，单核多线程的性能可达到单核单线程的 2 倍。
B. 其他参数相同的情况下，双核多线程的性能可达到单核单线程的 2 倍。
C. 处理器内核引入多线程技术，会大幅度增加处理器的功耗。
D. 某程序只有一个线程，其在双核处理器上的运行速度是单核处理器的 2 倍。
11. 在实现 RISC-V 的指令流水线时，右侧两条指令之间的冒险问题，可以用哪种方法解决？（填入表格中）
A. 分支预测技术
B. 延迟转移技术
C. 增加资源副本
D. 增加专用硬件（推后法）或 转发技术（相关直接通路）

I1: <code>sub x2,x3,x4</code> I2: <code>add x10,x2,x5</code>

三、(共 20 分) 存储器及存储体系

3.1 (10 分) 已知 CPU 的地址总线 16 根 ($A_{15} \sim A_0$, A_0 为低位), 双向数据总线 8 根 ($D_7 \sim D_0$), 控制总线中与主存有关的信号有 $R/W\#$ (高电平为读命令, 低电平为写命令)。主存地址空间分配如下: $0 \sim 8191$ 为系统程序区, 由只读存储芯片组成; $8192 \sim 32767$ 为用户程序区; 主存地址空间的最后 (最大地址) $2K$ 为系统程序工作区。上述地址为十进制, 按字节编址。目前有如下规格的 SRAM 器件和 EEPROM 器件, 请采用 3:8 译码器 74LS138 和必要的组合逻辑门, 画出存储系统连接图。



解:

(续 3.1 答题区域)

3.2 (5 分) 假设某 CPU 的主存最大寻址空间为 1MB, 虚拟存储空间容量为 1GB, 均按照字节编址, 那么主存实地址和虚拟地址各包含多少位? 如果页面大小为 2KB, 则在主存中的页表应有多少个表项? 页表总容量是多少 KB?

(注: 1KB=1024B, 1MB=1024KB, 1GB=1024MB, 页表项不考虑有效位、修改位、访问位、替换控制位、访问权限位等附加信息)

解:

主存实地址_____位, 虚拟地址_____位。 (2 分)

页表的表项数为_____个表项。 (2 分)

页表总容量是_____KB。 (1 分)

3.3 (5 分) 已知如下 C 语言程序段:

```
int a[1024];
int i;
for (i=0; i<1024; i++)
    a[i] = a[i] + 100;
```

其中变量 i 执行时在寄存器中, 不需要访问存储器。而数组 a[1024]则是连续存放在内存的一个 32 位 INT 型数组。假设 CPU 的 Cache 容量为 1024B, 每个行为 32B, 直接地址映射方式, 开始执行时 Cache 为空。内存空间和 Cache 空间按照字节编址。计算该程序段运行后的 Cache 命中率。

解:

Cache 命中率 = _____。

分析过程:

四、(共 14 分) 某微机的指令字长为 16 位, 指令有零地址和一地址两种格式, 操作数的地址码为 10 位。主存按字寻址, 最大寻址空间 64K 字。

4.1 (4 分)

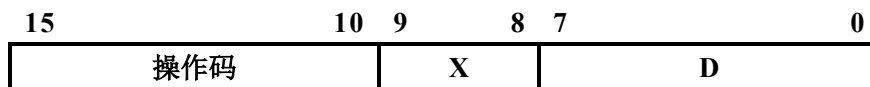
采用扩展操作码技术, 零地址指令有 1024 条, 则一地址指令最多有多少条?

解: 一地址指令最多有_____条

分析过程:

4.2 (10 分)

设一地址指令的指令格式如下所示:



其中, D 是位移量; X 是寻址特征位, 具体定义如下:

X=00 直接寻址

X=01 用基址寄存器 X_1 进行基址寻址

X=10 用基址寄存器 X_2 进行基址寻址

X=11 PC 相对寻址

(1) 试说明下列情况下能访问的最大主存区为多少机器字?

基址寄存器的字长均为 16 位。

① X=00 ② X=10

解:

① _____ 个机器字。

分析过程:

② _____ 个机器字。

分析过程:

(2) 设 $(PC) = 1234H$, $(X_1) = 0037H$, $(X_2) = 1122H$ (H 代表十六进制数), 请确定下列指令的有效地址。

① 4420H ② 3521H ③ 6723H

解:

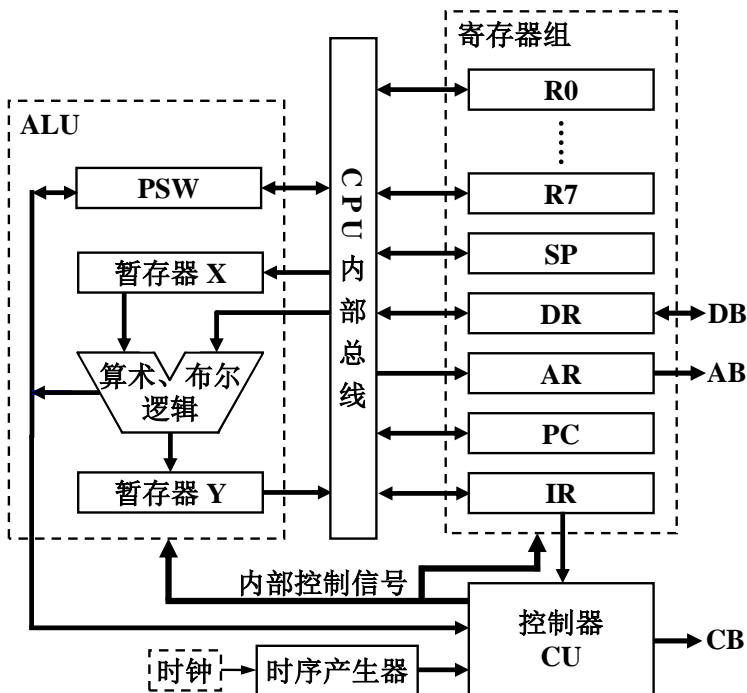
① X=_____, D=_____H, 有效地址 EA=_____H

② X=_____, D=_____H, 有效地址 EA=_____H

③ X=_____, D=_____H, 有效地址 EA=_____H

五、(共 14 分) 控制器设计

下图是一个简单 CPU 模型：



- R0~R7 为通用寄存器，SP 为堆栈指针寄存器，DR 为数据寄存器，AR 为地址寄存器，PC 为程序计数器，IR 为指令寄存器，PSW 为标志寄存器。寄存器名加 in 下标的控制信号为该寄存器的写信号，寄存器名加 out 下标的控制信号为该寄存器的读信号。
- PC 具有自动加 I 功能（表示为 PC+I）。SP 具有自增、自减功能，控制信号分别为 SP+1、SP-1。

- DR 为双端口寄存器，DR_{Iin} 与 DR_{Iout} 为 DR 寄存器 CPU 片内总线边的写信号、读信号；DR_{SIin} 与 DR_{SIout} 为 DR 寄存器系统总线边的写信号、读信号。
- 其它的控制信号：ADD、SUB、AND、OR 控制运算器做算术加、算术减、逻辑与、逻辑或运算。Mread、Mwrite、IOread、IOwrite 分别为内存读、内存写、接口读、接口写信号。

1. (4 分) 下列信号是相容的还是互斥的？

- (1) AR_{out}, IOread, DR_{SIin} ()
- (2) ADD, OR ()
- (3) DR_{Iout}, R3_{out} ()
- (4) Y_{out}, DR_{Iin}, SP+1 ()

2. (8 分) 指令“ADD R0, (R1)”的功能为 R0=R0+(R1)，其中(R1)表示寄存器间接寻址方式。请填写该指令执行阶段的微操作和对应的微命令序列。

节拍	微操作	微命令
取指令公操作：		
T1	AR←PC	PC _{out} , AR _{in}
T2	DR←Memory[AR]	AR _{out} , Mread , DR _{SIin}
T3	PC←PC+I, IR←DR	PC+I , DR _{Iout} , IR _{in}

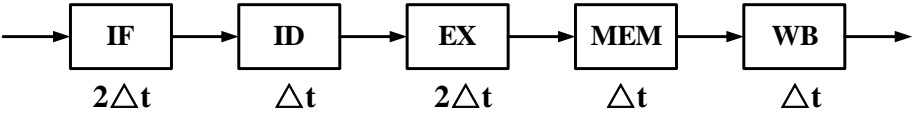
节拍	微操作	微命令
ADD R0, (R1) 指令:		
T4		
T5		
T6		
T7		
T8		

3. (2 分) 若该系统的控制器采用微程序技术实现，微指令控制域由 5 个字段构成，每个字段 5 位，则每字段最多可放置的控制信号数量是 ()。

控制产生次地址的条件有 3 种，需要 () 位来编码。

六、(共 12 分) 流水线

指令流水线有取指 (IF)、译码 (ID)、执行 (EX)、访存 (MEM)、写回寄存器堆 (WB) 五个过程段，流水线的结构框图如下图所示。连续向流水线输入 1000 条指令。假设单位时间 $\Delta t = 10\text{ns}$ 。 ($1\text{ns} = 10^{-9}\text{s}$)



- (1) 求流水线的实际吞吐率 (结果以 MIPS 为单位表示) 和加速比。
- (2) 流水线的瓶颈段有两段，分别是哪两段？若要改进该流水线的性能，可以用哪两种方法对流水线进行改造？画出一种同时改造流水线两瓶颈段后的流水线结构框图。
- (3) 根据 (2) 画出的流水线结构框图，计算改造后流水线的实际吞吐率 (结果以 MIPS 为单位表示) 和加速比。

解：(1) 实际吞吐率 =

加速比 =

(2) 瓶颈段分别是_____段和_____段。

改造流水线的两种方法分别是_____或_____。

改造后的流水线结构图：(只需画出上述两种方法之一即可)

(3) 改造后的实际吞吐率 = _____

改造后的加速比 = _____