

计算机组成与结构



西安电子科技大学

考试时间 120 分钟

专业 照相 (价低 优质 速取)

地址:老综合楼南方造型内(秦霖书店旁)

《计算机组成与结构II》 试题

题号	一	二	三	四	五	六	七	总分
分数								

1. 考试形式: 闭卷; 2. 考试日期: 2010 年 月 日 3. 本试卷共 七 大题, 满分 100 分。

班级 学号 姓名 任课教师

一. 填空题 (每空 1 分, 答对 30 空即可, 本题共 30 分)

1. 在主存和 CPU 之间增加 Cache 存储器的目的是
计算机中设置 Cache 的依据是。
2. Cache 工作中, 常用的数据一致性方法有 法和 法。
3. 计算机中, 内存与接口地址编址有 和 两种方式。
4. 若要使多个中断源具有相同的优先级, 可采用 的方法来实现。
5. RAID2 磁盘阵列的含义是 。
6. 磁盘的道密度的定义为 位密度的定义为 。
7. 计算机系统中, 磁盘接口总线有 ； 等。
8. 在构成多机系统的互连网络时, 所用到的 2x2 开关有 、 四种连接方式。
9. 流水线上, 数据相关主要包括: 写后读 (RAW)、 和 三种情况。
10. 内总线的标准有多种, 其中常见的有 、 、 等。
11. 8086CPU 响应 INTR 请求需同时满足多个条件, 其中有 和 。
12. 异步串行通信, 每传送一个字符, 总是首先发送 1 位低电平的 位、接着发送数据位, 并且总是 位在前 位在后, 最后发送的高电平的 位。
13. 可编程定时/计数器 8253 有 个独立的计数器; 每个计数器都是 位的; 最大计数值为 。

新综合楼一楼辉扬复印部, (迈德思科对面)

14. 可编程并行接口 8255 有 3 种工作方式, C 口的按位操作是通过将按位操作控制字写入 控制寄存器 来实现的。

15. 计算机中, 接口与外设之间有三类信号, 它们分别是 数据信号、地址信号、控制信号和 中断信号。

16. 现在市场上所见到的多核处理器是属于 多核 结构。

二. 简答题 (每小题 5 分, 本题共 20 分)

1. 简述在 8088CPU 上, 外部非屏蔽中断 NMI 的响应过程。

2. 某硬盘有 5 个记录面, 其外半径 4cm, 内半径 1cm, 道密度为 10000 道/mm, 位密度为 10000bit/mm。试计算该硬盘的非格式化容量。

3. 若外部计数时钟为 1MHz, 说明如何利用一片可编程定时器 8253, 产生周期为 1 秒的对称方波。

4. 说明中断控制器 8259 一般全嵌套 (固定优先级) 的含义。

三. Cache-MM 两级存储器采用组相联映像 (组间直连, 组内全相联)。若 Cache 容量为 512B, 64 个字节为一块, 且共分为 2 个组。主存容量是 Cache 容量 2048 倍。

1. 主存区号 10 位, 区内组号 2 位, 组内块号 4 位, 组内块号 4 位, 块内地址 16 位。每次进行 MM→Cache 的地址变换时, 需要参与相联比较的位数是 16 位。

2. 若 Cache-MM 地址变换表的内容如下表, 当 CPU 访问主存的地址分别为 91118H 和 0EDCBAH 时, 问是否能命中 Cache, 若能命中, 指出相应的 Cache 地址。(每小题 5 分, 此题共 10 分)

主存区号	组内块号
000	0C9H
001	574H
010	244H
011	76EH
100	76EH
101	373H
110	0C9H
111	488H

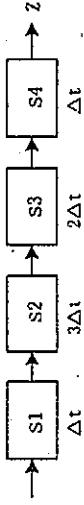
四. 画出对称多处理机系统的结构框图并说明其中的三个特点。(本题 10 分)

五. 某计算机 CPU 的主频为 500MHz, CPI 为 5 (即平均每条指令的执行周期为 5 个时钟周期)。若某外设的数据传输率为 0.5MB/s, 采用中断方式与主机进行数据传送, 以 32 位为传送单位。对应的中断服务程序包含 18 条指令, 中断服务过程中的其他开销相当于 2 条指

令的执行时间。回答下列问题并给出计算过程。(每小题 5 分, 本题共 10 分)

1. 在中断方式下, CPU 用于该外设 I/O 时间占整个 CPU 时间的百分比是多少?
2. 当该外设的数据传送速率达到 5MB/s 时, 改用 DMA 方式传送数据。假定每次 DMA 传送的数据块为 5000B, 且 DMA 预处理及后处理的总开销为 500 个时钟周期。则 CPU 用于该外设 I/O 时间占整个 CPU 时间的百分比是多少?

六. 某流水线分为 4 段, 如下图所示。(每小题 5 分, 本题共 10 分)

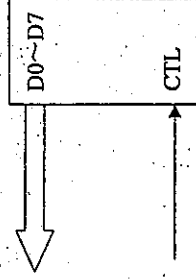


- (1) 若每隔 $3\Delta t$ 向该流水线提供一个数据, 连续提供 4 个。画出该流水线处理过程的时空图。

(2) 计算此流水线的加速比和效率。

七. 某外设如下图所示, 其中 D0~D7 可输出二进制编码的温度值, CTL 为控制输入端, 可控制其温度上升或下降。(每小题 5 分; 本题共 10 分)

- (1) 若接口地址 8000H 到 800FH 可随意使用, 试利用 8255 将该外设接到系统总线上, 画出连接图。



- (2) 利用上题的连接图, 若外设输出小于 96 度则使 CTL 为 1; 若不小于 96 度, 则使 CTL 为 0, 试编写此控制程序。(编程时 8255 不需要初始化, 就认为 8255 已初始化好)

参考答案及评分标准

一. (意思对即可给分)

1. 使计算机既有低的价格又发挥出了 CPU 的高速度: 程序执行及数据访问的局部性原理。

2. 写问法 全写法

3. 内存与接口统一编址、内存与接口独立(隔离) 编址

4. 自动循环优先级

5. RAID2 为位交叉海明编码阵列

6. 沿磁盘半径方向, 单位长度内磁道的数日: 最靠近盘中心的磁道上单位长度内存储的二进制位的个数

7.: SCSI、ATA、SAS、SATA、USB、IEEE-1394 (任意二个均可)

8. 直通、上播、下播、交叉

9. 写后写 (WAW); 写后读 (WAR)

10. PC/XT、ISA、EISA、PCI、STD、CPCI、VESA (任意三个均可)

11. 一条指令执行结束; IF=1; 没有比它优先级更高的请求存在; 不是一条特殊指令 STI 或 IRET (任意二个均可)

12. 启动; 低; 高; 停止

13. 三; 16; 65535

14. 三; 控制寄存器

15. 数据、状态; 控制

16. 对称多处理(器)机 SMP

二

1. CPU 在一条指令执行结束时, 检测 NMI 发生, CPU 内部硬件电路自动产生该中断的
中断向量码 02H。(到此 1 分) 接着就将 F、CS 和 IP 压入堆栈保护起来, 非关中断。而后,
将中断向量码 02H 乘 4 得到中断向量表地址 (到此 3 分), 从该地址开始的顺序两个单元
的内容送 IP, 下两个单元的内容送 CS。这就转向了中断服务程序。当然, 在此之前, 中断
服务程序的入口地址早已填入中断向量表 0008H 到 000BH 中。(到此 5 分)

2. 容量 = $5 \times 30 \times 10000 \times 2 \pi \times 10 \times 10000 = 942 \text{Gbit}$ (注此处 $K=1000$)

3. 因为计数时钟为 1MHz, 而每个计数器的计数值是 16 位的。因此, 一个计数器的最大
计数时间只有 65.5ms 左右, 无法满足要求。但 8253 有三个计数器, 可以串联使用以
解决问题。(到此 1 分)

例如, 将时钟接到 CLK0 上, 使 GATE0 有效(高电平)并将 OUT0 输出接到 CLK1
上做为计数器 1 的计数时钟, 并使 GATE1 为高电平。这就将计数器 0 和计数器 1 串
到一起。可使计数器 0 工作在方式 2 或方式 3, 使其输出连续的脉冲。使计数器 1 工
作在方式 3。且使两计数器的总计数值为 1000×1000 , 可以使计数器 0 的计数值均为
1000, 则 OUT0 的输出就是周期为 1ms 的对称方波或窄脉冲。使计数器 1 的计数值为
1000, 则 OUT1 的输出即为周期 1 秒的对称方波。(到此 5 分)

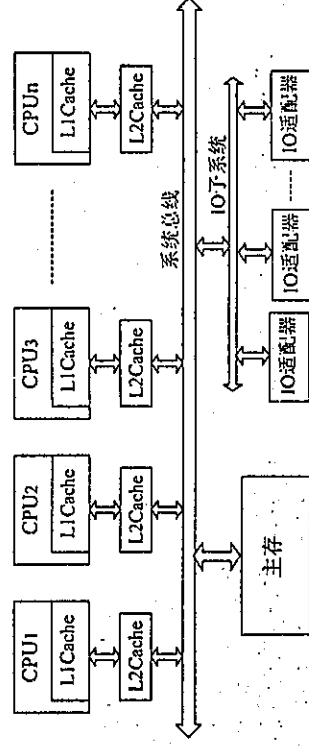
4. 中断控制器 8259 的固定优先级规定 8259 所管理的个中断源 (IR0~IR7) 的 IR0 的优
先级最高, IR1 次之, 优先级依次降低, 直至 IR7 优先级最低。并且, 这一优先级

顺序固定不变。

三. (每小题 5 分。若结果错, 有分析, 分析对为 3 分。)

1. 11 位, 1 位, 2 位, 6 位, $13 \times 2 = 52$ 位 (对一空 1 分)
2. 91118H 命中, 对应的 Cache 地址 1D8H; 0EDCB4H 地址未命中 (对 5 分)

四. 对称多处理机系统的结构框图如下图所示。(画对框图即可给 5 分)



对称多处理机系统结构

由图可以看到, 构成的 SMP 中包含多个处理机。SMP 最常见到的实例就是目前广为使用的双核、四核等多核计算机。

对称多处理机系统具有如下特点: (答对下面三个特点即可给 5 分)

1. 这样的系统是由两个以上的多个相同的处理机构成。
2. 多个处理机通过总线或其他互连方式连接在一起。上图中, 是利用系统总线将这些处理机连在一起。
3. 多个处理机共享同一主存储器。并且, 每一个处理机访问主存储器的时间是相同的, 也就是一致的。
4. 所有的处理机通过相同的通道或不同的通道共享 I/O 设备。
5. 每一处理机都能完成相同的功能, 这或许是对称多处理机中对称的由来。
6. 整个对称多处理机系统是在一个集中的操作系统统一管理下工作。操作系统能够为每一处理机按排进程或线程, 对各处理机的工作进行统一地调度与控制。

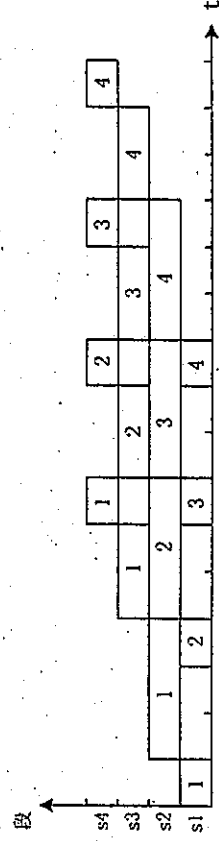
五.

1. 每中断一次, 传送 4B 用去 20 条指令的执行时间, 即每个字节为 5 条指令的执行时间。则传送 1B 需 25 个时钟周期, 即 50ns。

外设要求每秒 500KB 的传送速率, 则利用中断方式所用时间约为 25ms。因此, CPU 用于该外设 I/O 时间占整个 CPU 时间的百分比是 $25/1000 = 2.5\%$ (每小题 5 分)

2. 利用 DMA 传送 5000B 只需 500 个时钟周期即 1000ns, 平均每 1B 只需 0.2ns。同时, 外设的传送速率为 5MB/s, 则需时间为 1ms, 故此方式下 CPU 用于该外设 I/O 时间占整个 CPU 时间的百分比是 $1/1000 = 1\%$ 。(每小题 5 分)

六. (1) 画出时空图如下: (画对图即可给 5 分)



(2) 顺序计算的时间为 $4 \times 7\Delta t = 28\Delta t$

利用流水线为 $16\Delta t$

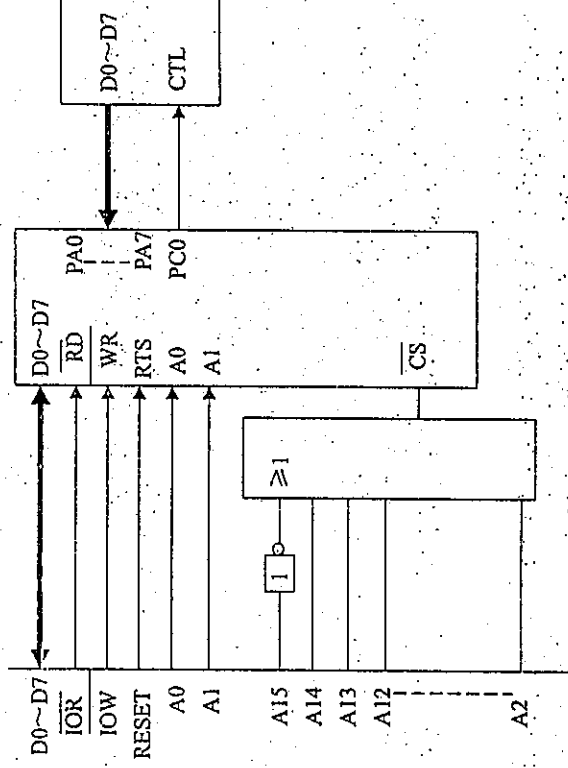
故加速比 $Sp = 28/16 = 1.75$ (此小题 3 分)

效率为: $\eta = (4 \times 7\Delta t) / (4 \times 16\Delta t) = 28 / 64 = 44\%$

(以上全对 5 分)

七.

(1) 画出连接图如下: (译码对 2 分, 其他连线对 3 分, 共 5 分)



4. 程序如下: (程序思路对 4 分, 指令错扣 1 分)

```

CONTL:  MOV  DX, 8000H
        IN   AL, DX
        CMP  AL, 96
        JNC  THIGH
        MOV  DX, 8002H
        MOV  AL, 01H
        OUT  DX, AL
        JMP  CONTL
  
```

专业**照相**(价低 优质 速取)

地址:老综合楼南方造型内(秦琼书店旁)

THIGH:

MOV DX, 8002H
MOV AL, 00H
OUT DX, AL
JMP CONTL

西安电子科技大学

考试时间 120 分钟

试 题

题号	一	二	三	四	五	六	七	八	九	十	总分
分数											

1. 考试形式: 闭卷; 2. 考试日期:

3. 本试卷共 7 大题, 满分 100 分。

班级 学号 姓名 任课教师

请将所有答案写在试卷上, 写在答题纸或草稿纸上的答案无效。

一、单项选择题 (共 30 分, 每小题 2 分, 答案写在表中)

1.	2.	3.	4.	5.
6.	7.	8.	9.	10.
11.	12.	13.	14.	15.

1. 下列选项中不属于冯·诺依曼计算机特点是 ()。

- A. 二进制 B. 程序和数据存储在一起
C. 程序和数据分开存储 D. 程序控制

2. IEEE754 浮点数的尾数用 () 表示。

- A. 原码 B. 反码 C. 补码 D. 移码

3. 某浮点数格式如下: 7 位阶码 (包含一个符号位), 9 位尾数 (包含一个符号位)。若阶码用移码、尾数用补码表示, 则浮点数所能表示数的范围是 ()。

- A. $-2^{63} \sim (1-2^{-8}) \times 2^{63}$ B. $-2^{64} \sim (1-2^{-8}) \times 2^{64}$
C. $-(1-2^{-8}) \times 2^{63} \sim 2^{63}$ D. $-(1-2^{-8}) \times 2^{64} \sim (1-2^{-8}) \times 2^{64}$

4. 对于大多数计算机来说, () 是最小的可寻址存储器单位。

- A. 位 B. 字节 C. 字 D. 双字

5. 行波进位加法器的最大缺点在于 ()。

- A. 无法实现减法 B. 进位传递延迟 C. 门电路的级延迟 D. 无法判断溢出

6. 下列选项中不能用于描述计算机主存的是 ()。

- A. 顺序读写存储器 B. 半导体存储器 C. 随机读写存储器 D. 易失性存储器
Cache 的地址映像方式中块冲突最小的是 ()。

- A. 全相联映像 B. 直接映像 C. 组相联映像 D. 无法确定

8. 程序计数器 PC 的位数决定于 ()。

A. 机器字长
C. 指令字长

B. 可寻址的最大内存空间
D. 数据总线的宽度

9. 下列寻址方式中取得操作数最快的是 ()。

A. 间接寻址 B. 直接寻址 C. 寄存器寻址 D. 相对寻址
10. 一般情况下, 时间最短的是 ()。

A. 指令周期 C. 节拍周期 D. 时钟周期 B. CPU 周期

11. 一位 Booth 法是一种较好的乘法算法, 其速度较快, 这是因为 ()。

A. 当乘数中有连续的 1 或连续的 0 时, 进行加法操作。
B. 当乘数中连续两位是 01 或 10 时, 进行加法运算。
C. 当乘数中有连续的 1 或连续的 0 时, 进行移位运算。
D. 当乘数中连续两位是 01 或 10 时, 进行加法和移位运算。
12. 为了实现多级中断, 保存现场最有效的方法是采用 ()。

A. 存储器 B. 堆 C. 寄存器 D. 堆栈

13. 总线位宽为 16 位, 时钟频率为 100MHz, 若总线上每 5 个时钟周期传送一个 16 位的字, 则该总线的带宽为 ()。

A. 20 MB/S B. 40 MB/S C. 60 MB/S D. 80 MB/S

14. 设一条指令完成时间为 T, 若将其分解成时间相等的 m 个子过程构成流水线, 则流水线 CPU 稳定连续工作时每隔 () 可流水完成一条指令。

A. mT B. T/2m C. 2mT D. T/m

15. 当前设计高性能计算机的重要技术途径是 ()。

A. 提高 CPU 主频 B. 扩大主存容量
C. 采用并行处理技术 D. 采用更先进的硅加工制造技术

二、填空题 (共 20 分, 每空 1 分)

1. 若 80H 分别表示整数原码、整数补码、整数反码和整数移码时, 则其对应的十进制真值分别为 _____, _____, _____, _____。

2. 在规格化浮点数中, 浮点数的数值范围主要取决于 _____; 而精度则取决于 _____。

3. 用若干片容量为 2K×4bit 芯片构成 8K×8bit 的存储器, 地址从 0000H 开始。则地址 0B1FH 所在芯片的最小地址为 _____。

4. 计算机存储系统中, 采用高速缓冲存储器的目的是 _____; 采用虚拟存储器的目的是 _____。

5. RAID 主要使用三种技术实现数据的存储，分别为：_____、_____、_____。

6. 互连网络是指由_____按照一定的拓扑结构和控制方式构成的网络。

7. 计算机流水线数据相关指：_____、_____和_____三种情况。

8. 某 Web 服务器系统，采用新的 CPU 以提高其性能，新的 CPU 处理 Web 计算的运行速度是原来处理器的 10 倍，同时假定此 CPU 有 40% 的时间用于计算，另外 60% 的时间用于 I/O 操作，则根据 Amdahl 定律，增强性能后总的加速比是_____。

9. CPU 响应中断请求发生在_____结束时；CPU 响应 DMA 请求发生在_____结束时。

10. 某计算机指令字长 16 位，有单地址和双地址指令两类，用扩展操作码技术。若每个地址字段均为 6 位，且双地址指令有 12 条，则单地址指令最多有_____条。

三、(8 分)设一直接映像方式的 Cache 容量为 8KB，以 16B 分块。主存储器容量为 512KB。

1. 主存储器和 Cache 地址应如何划分，每部分各需多少位？

2. 分析主存中顺序排列的第 1024 块（即若主存不分区，以第 0 块开始顺序排列时）应调入到 Cache 的哪一块中？

3. 在上一步的基础上，试说明读写主存地址为 02001H 时是否命中？为什么？

四、(10分) 某规格化浮点数字长11位，阶码4位(含1位符号)，用移码表示；尾数7位(含1位符号)，补码表示。 $x = 2^{-110} \times (-0.101100)$, $y = 2^{-101} \times (+0.101100)$, x, y 的阶码和尾数均已用二进制表示。

1. 将 X, Y 表示为符合上述格式的规格化浮点数，填入下表。

浮点数	阶码 (含 1 位符号)	尾数 (含 1 位符号)
X		
Y		

2. 在 X 和 Y 均已规格化浮点数的基础上，计算 $X + Y$ 和 $X - Y$ 。

1) 对阶。应将_____的阶码对齐_____的阶码，这样对阶的原因是_____。

对阶后的 X 和 Y 为:

浮点数	阶码 (含 1 位符号)	尾数 (含 1 位符号)
X		
Y		

2) 尾数求和差。

$X + Y$

$X - Y$

3) 规格化及舍入。

$X + Y$ 的结果是否应进行规格化? _____ (是、否)。

$X - Y$ 的结果是否应进行规格化? _____ (是、否)。

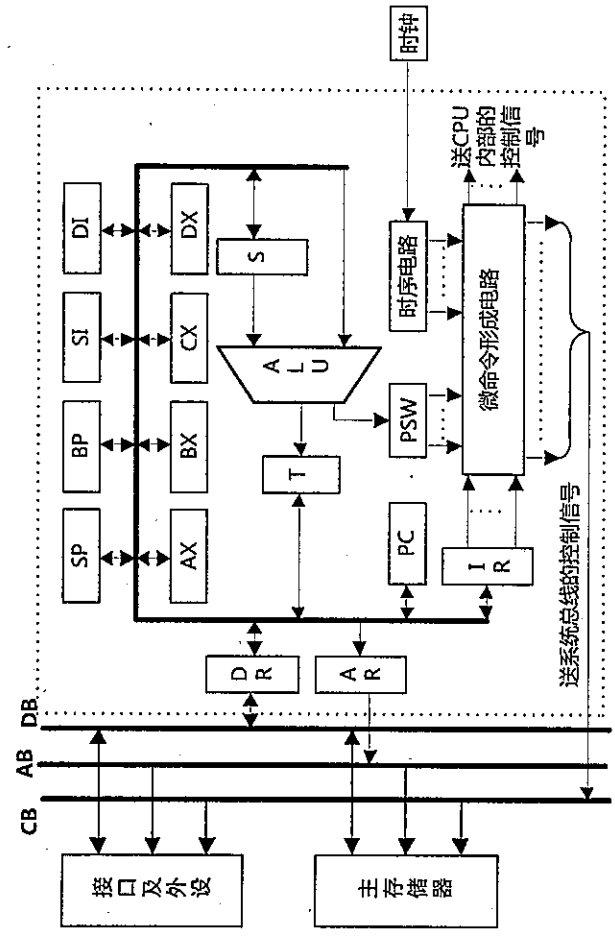
最终的结果为:

浮点数	阶码 (含 1 位符号)	尾数 (含 1 位符号)
$X + Y$		
$X - Y$		

五、(12分) 某计算机框图如下，包括 CPU、主存、外设、总线等。CPU 的寄存器有输入锁存控制信号 AXin、BXin、CXin、DXin、SPin、BPin、SIin、DIin、PCin、IRin、DRIin、DRSin、ARin、PSWin；输出允许控制信号 AXout、BXout、CXout、DXout、SPout、BPout、SIout、PCout、IRout、DRIout、DRSout、ARout、Tout、PSWout；还有 PC 自增信号 PC+1，SP 自增信号 SP+1 和 SP 自减信号 SP-1。CPU 的 ALU 有加(ADD)、减(SUB)、与(AND)、或(OR)、非(NOT)等运算控制信号；外部控制信号有存储器读信号(Mread)、存储器写信号(Mwrite)、I/O 读信号(IOread)、I/O 写信号(IOwrite)。

1. 试用微操作和对应的微命令表示以下计算机指令的执行流程：

- (1) POP AX；弹出指令，从堆栈栈顶弹出一个 16 位数放入 AX 寄存器。
- (2) ADD AX, (X)；加法指令，X 是内存地址，(X) 表示间接寻址，相加结果放入 AX 寄存器。



节拍	微操作	微命令
取指令公操作:		
T1	AR←PC	PC _{out} , AR _{in}
T2	DR←Memory[AR]	AR _{out} , Mread , DRS _{in}
T3	PC←PC+I, IR←DR	PC+1 , DRI _{out} , IR _{in}

POP AX 指令:	
T4	
T5	
T6	
ADD AX, (X) 指令:	
T4	
T5	
T6	
T7	
T8	
T9	
T10	

2. 假设要设计微程序控制器，微指令（微操作）控制域按字段编码进行设计，则

ARin 和 SPout _____（可以/不可）安排在同一字段；

IRout 和 PCout _____（可以/不可）安排在同一字段。


六、(8分) 磁盘转速为 15000rpm，平均寻道时间 4ms，每道 512 个扇区，每扇区 512 字节。若要读取磁盘上一个 1.25MB 大小的文件。磁头从一个磁道移动到紧相邻的另一个磁道的时间（道间寻道时间）忽略不计，B、KB 和 MB 间按 1024 换算。

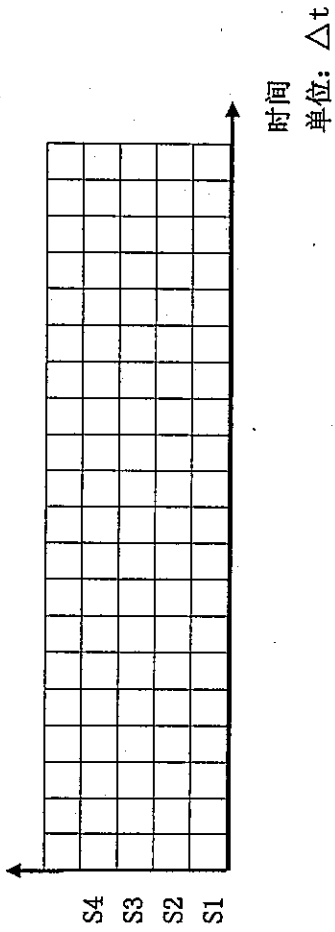
1. 若文件数据连续分布在磁盘上，请计算该文件的平均访问时间。

2. 若文件数据随机分布在磁盘上，请计算该文件的平均访问时间。

3. 通过本题你能得到什么结论？

七、(12分) 向量A和B各有4个元素, 计算 $AB=a_1 \times b_1 + a_2 \times b_2 + a_3 \times b_3 + a_4 \times b_4$ 。有静态双功能流水线, S1、S2、S3、S4各段时间分别为 Δt 、 Δt 、 $2\Delta t$ 、 Δt , 其中 $S1 \rightarrow S3 \rightarrow S4$ 组成乘法流水线; $S1 \rightarrow S2 \rightarrow S4$ 组成加法流水线。假定流水线输出可直接回送到输入端或暂存于缓冲寄存器中, 它们的延迟时间及功能切换时间均可忽略。

1. 画出吞吐率最高的流水线时空图。(将需要的方框涂成 , 并在横坐标轴下添加必要的字母标注)。



2. 计算其加速比和效率。

3. 若流水线瓶颈段可再细分, 计算细分后加速比和效率。

一、(共 30 分) 每小题选对 2 分, 错无分。

1. C	2. A	3. A	4. B	5. B
6. A	7. A	8. B	9. C	10. D
11. C	12. D	13. B	14. D	15. C

二、(共 20 分) 每空答对 1 分, 错无分。

- 0, -128, -127, 0
- 阶码(指数), 尾数
- 0800H
- 解决主存与 CPU 之间的速度匹配问题, 扩大内部存储器的寻址空间
- 条带化, 镜像, 校验
- 高速开关元件
- 写后读 (RAW), 读后写 (WAR), 写后写 (WAW)
1. 5625 (或 1/0.64, 或 25/16)
- 指令周期, CPU 周期 (或总线周期)
- 256

四、(共 10 分)

1.

浮点数	阶码 (含 1 位符号)	尾数 (含 1 位符号)
X	0010	1.010100 (1 分)
Y	0011	0.101100 (1 分)

2. (1) 对阶。应将 X 的阶码对齐 Y 的阶码 (1 分), 这样对阶的原因是 减少精度损失 (1 分)。

浮点数	阶码 (含 1 位符号)	尾数 (含 1 位符号)
X	0011	1.101010 (1 分)
Y	0011	0.101100 (对不给分, 错扣 1 分)

(2) 尾数求和差。

$$\begin{array}{r}
 x + y \\
 11.101010 \\
 + 00.101100 \\
 \hline
 00.010110 \quad (1 \text{ 分})
 \end{array}
 \qquad
 \begin{array}{r}
 x - y \\
 11.101010 \\
 + 11.010100 \\
 \hline
 10.111110 \quad (1 \text{ 分})
 \end{array}$$

(3) 规格化及舍入。

X + Y 的结果是否应进行规格化? 是。(0.5 分) X - Y 的结果是否应进行规格化? 是。(0.5 分) 最终的结果为:

浮点数	阶码 (含 1 位符号)	尾数 (含 1 位符号)
X + Y	0010	0.101100 (尾数左移 1 位, 阶码减 1) (1 分)
X - Y	0100	1.011111 (尾数右移 1 位, 阶码加 1) (1 分)

三、(共 8 分)

- Cache 分为 8KB/16B=512 块; Cache 块号为 9 位 (1 分); 块内地址号为 4 位 (1 分)。主存地址划分为:

18	13	12	4	3	0
主存区号 6 位 (1 分)			区内块号 9 位		块内地址 4 位

- 主存第 1024 块为第 02H 区第 0 块, 按直接映像, 应装入 Cache 的第 0 块中。(3 分)
- 主存地址 02001H 是第 01H 区第 0 块, 对应于 Cache 的第 0 块, 但与第 1024 块不同区, 故不命中。(2 分)

五、(共12分)

i

节拍	微操作	微命令
取指令公操作:		
T1	AR ← PC	PC _{out} , AR _{in}
T2	DR ← Memory[AR]	AR _{out} , Mread, DRS _{in}
T3	PC ← PC + 1, IR ← DR	PC + 1, DRI _{out} , IR _{in}
POP AX 指令:		
T4(1分)	AR ← SP	SP _{out} , AR _{in}
T5(1分)	DR ← Memory[AR]	AR _{out} , Mread, DRS _{in}
T6(1分)	AX ← DR, SP ← SP + n	DRI _{out} , AX _{in} , SP + 1
ADD AX, (X) 指令:		
T4(1分)	AR ← IR(地址字段 X)	IR _{out} , AR _{in}
T5(1分)	DR ← Memory[AR]	AR _{out} , Mread, DRS _{in}
T6(1分)	AR ← DR	DRI _{out} , AR _{in}
T7(1分)	DR ← Memory[AR]	AR _{out} , Mread, DRS _{in}
T8(1分)	S ← AX	AX _{out} , S _{in}
T9(1分)	T ← S + DR	DRI _{out} , ADD
T10(1分)	AX ← T	T _{out} , AX _{in}

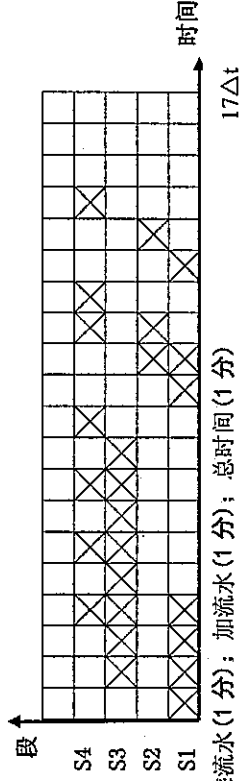
2. ARin 和 SPout 不可 (1 分) 安排在同一字段; IRout 和 PCout 可以 (1 分) 安排在同一字段。

六、(共8分)

1. 访问第1个磁道: 平均寻道+平均旋转延迟+512个扇区数据传输时间= $4\text{ms}+2\text{ms}+4\text{ms} = 10\text{ms}$ (2分)
访问其余每磁道: 平均旋转延迟+512个扇区数据传输时间= $2\text{ms} + 4\text{ms} = 6\text{ms}$ (1分)
总时间: $10\text{ms} + 6\text{ms} \times 4 \text{磁道} = 0.034\text{s}$ (1分)
2. 访问每个扇区: 平均寻道+平均旋转延迟+1个扇区数据传输时间= $4\text{ms}+2\text{ms}+0.008\text{ms} = 6.008\text{ms}$ (2分)
总时间: $6.008\text{ms} \times 2560 \text{扇区} = 15.38048\text{s}$ (1分)
3. 数据在磁盘上扇区的分布情况对I/O读取的性能有很大的影响。(1分)

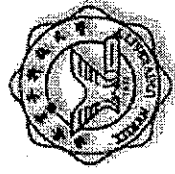
七、(共12分)

1.



先乘后加(1分);乘流水(1分);加流水(1分);总时间(1分)

2. $T = 17\Delta t$ 或 $16\Delta t$
 $Sp = (4 * 4\Delta t + 3 * 3\Delta t) / T = 25\Delta t / 17\Delta t \approx 1.47(2\text{分})$ (按 $16\Delta t$ 算 ≈ 1.56)
 $\eta = 25 / (17 * 4) \approx 36.76\%$ (2分) (按 $16\Delta t$ 算 $\approx 39.06\%$)
 $T = 14\Delta t$ 或 $13\Delta t$ (1分)
3. $Sp = (4 * 4\Delta t + 3 * 3\Delta t) / T = 25\Delta t / 14\Delta t \approx 1.78(2\text{分})$ (按 $13\Delta t$ 算 ≈ 1.92)
 $\eta = 25 / (14 * 5) \approx 35.7\%$ (1分) (按 $13\Delta t$ 算 $\approx 38.46\%$)



西安电子科技大学

考试时间 120 分钟

试 题

题号	一	二	三	四	五	六	七	八	总分
分数									

1. 考试形式: 闭卷 2. 考试日期:

3. 本试卷八大题, 满分 100 分

班次 _____ 姓名 _____ 学号 _____ 任课教师 _____

一、选择题 (每小题 1 分, 本题共 5 分)

1. 在计算机中, CPU 对其访问速度最快的是_____。

- A. 主存 B. Cache C. CPU 中的通用寄存器 D. 硬盘盘

2. 定点纯整数的 8 位二进制原码 80H 所表示的真值为_____。

- A. -1 B. -127 C. -0 D. -128

3. 浮点数字长 16 位, 其中阶符 1 位、阶码 6 位, 数符 1 位、尾数 8 位。若阶码用移码表示, 尾数用补码表示。则该浮点数所能表示的数值范围是_____。

- A. $-2^{64} \sim (1-2^{-8}) \times 2^{64}$
B. $-2^{63} \sim (1-2^{-8}) \times 2^{63}$
C. $-(1-2^{-8}) \times 2^{64} \sim (1-2^{-8}) \times 2^{64}$
D. $-(1-2^{-8}) \times 2^{63} \sim (1-2^{-8}) \times 2^{63}$

4. 若 Cache 的存取时间为 10ns, 主存的存取时间为 100ns, 系统的平均存取时间为 14.5ns, 则 Cache 的命中率为_____。

- A. 96% B. 95% C. 94% D. 92%

5. 程序计数器 PC 的位数决定了_____。

- A. 机器字长 B. 可寻址的最大内存空间
C. 指令字长 D. 数据总线的宽度

二、填空题（每小题 1 分，本题共 15 分）

1. 计算机中设置 Cache 的依据是_____。
2. 若有效信源信息 $M(x)=1011010$ ，若要构成具有纠正 1 位错能力的校验码，对该信源信息应加_____位冗余码。
3. 采用多体交叉存储器的目的是为了_____。
4. RAID 的中文称为_____。
5. 多机系统互连网络中用到的 2×2 开关有_____、_____、_____、_____四种连接方式。
6. 在内存中，我们要设计一个存放启动程序的存储区，实现该存储区的存储器类型应选择为_____。
7. 在 Cache-MMM 两级存储体系中，提高 Cache 的命中率，可以使该存储体系的_____指标得到提高。
8. 一个慢速外设在满足一定条件时可与计算机系统进行信息交换，如果希望 CPU 既有高的工作效率又能及时响应外设的输入输出要求，I/O 方法应选择为_____。
9. EPROM 芯片擦除干净的标志为_____。
10. 计算机流水线中，数据相关主要包括：写后读 (RAW)、读后写 (WAR) 和_____三种情况。
11. 浮点数中， n 位（包括 1 位符号位）补码表示的规格化负尾数的数值范围是_____。
12. 若 80H 分别表示整数原码、整数补码和整数移码时，则其对应的十进制真值分别为_____、_____、_____。
13. 构成 $32K \times 8\text{bit}$ 的内存，选用容量分别为 $1K \times 4\text{bit}$ 、 $4K \times 8\text{bit}$ 的内存芯片，则分别需要_____片、_____片。
14. 一个汉字的内码是由_____位二进制位表示。
15. 8 位整数原码的取值范围是_____。

三、简答题（每小题 5 分，本题共 30 分）

1. 画出集中式独立请求总线仲裁方式示意框图，并说明其工作原理。
2. 若某磁盘有两个记录面，外径为 10cm，内径 2cm。道密度为 100 道/mm。每磁道为 32 个扇区，而每个扇区存放 512 字节，则该磁盘的容量为多少字节？
3. CPU 执行一段程序，共完成对内存的存取 25000 次，其中对 Cache 的存取为 24200 次，对主存的存取为 800 次。已知 Cache 存取时间为 30ns，主存的存取时间为 300ns。试求 Cache 的命中率及平均存取时间。
4. 设浮点数 $X=0.110101 \times 2^{-2}$ 和 $Y=-0.101010 \times 2^{-1}$ ，其字长 12 位，阶码 4 位，尾数 8 位。若阶码、尾数均用双符号补码表示，计算中采用 0 舍 1 入，请按浮点运算步骤计算 $X+Y$ 。

5. 简述 RISC（精简指令集计算机）的主要特点。

6. 画一种对称多处理机系统框图，并说明这种多处理机系统的特点。

四、（本题 10 分）高速缓存 Cache 与主存间采用全相联地址映像方式，高速缓存的容量为 4KB，分为 4 块每块 1KB，主存容量为 1MB。若地址变换表如下，试根据主存地址确定变换后的高速缓存地址。

地址变换表	
0	367H
1	222H
2	195H
3	388H

1. 主存地址为 654E2H 时，高速缓存地址为_____H。主存地址为 D9D9DH 时，高速缓存地址为_____H。
2. 如何完善该地址变换表？该地址变换表用什么器件实现？该地址变换表的容量应为多大？

五、（本题 10 分）某 SRAM 芯片如下图所示。若总线信号 A0~A19、D0~D7、MEMR、MEMW可以利用，试利用这样的芯片构成 88000H 到 97FFFH

图中, 寄存器用 XXIn 锁存数据或用 XXout 控制数据输出, ALU 仅具有加 (ADD)、与 (AND)、或 (OR) 的功能, C 部件具有直送 (V)、左移一位 (L)、右移一位 (R) 的功能, $1 \rightarrow \Sigma$ 是加法器最低进位设置为 1 的控制信号。

1. 选择以下小题括号中的正确答案

- ① PCout, Dout, MARin (相容 / 互斥)
- ② R0out, R2out (相容 / 互斥)
- ③ $IB \rightarrow A$, $\overline{IB} \rightarrow A$, $SB \rightarrow A$ (相容 / 互斥)
- ④ MDRout, IRin (相容 / 互斥)
- ⑤ Xin, Yin, AND (相容 / 互斥)

2. 写出在该计算机系统中取得并执行减法指令 SUB R1, mem_addr 的微操作流程及相应的微命令流程。该指令中 R1 为寄存器, mem_addr 为主存地址, 实现功能为: 寄存器 R1 中内容减去地址单元 mem_addr 中的内容并将结果存入 R1 中。

八、(本题 10 分) 某指令系统共有 200 条指令, 统计结果表明, 传送类指令占 5%, 使用频度为 50%; 运算类指令占 10%, 使用频度为 25%; 分支跳转类指令占 20%, 使用频度为 15%; 其余指令使用频度为 10%。

- 1. 若用固定长度操作码编码方法为各类指令设计操作码编码, 给出每类指令操作码的最短长度;
- 2. 试用扩展长度操作码编码方法为各类指令设计操作码编码, 给出每类指令操作码的最短长度;
- 3. 计算两种编码情况下的平均操作码长度。

一. (对则给分)

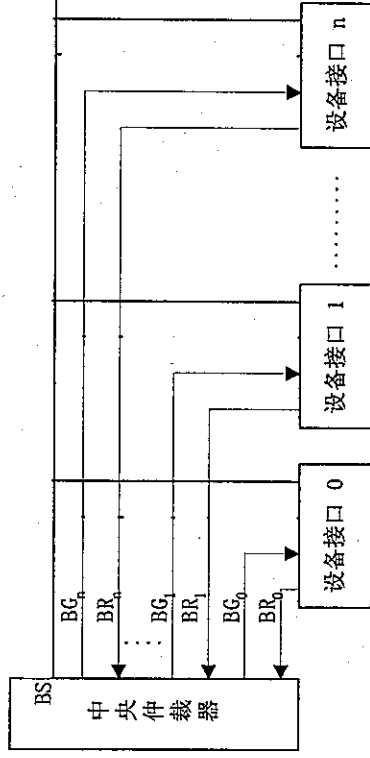
- 1.C 2.C 3.B 4.B 5.B

二. (意思对即可给分)

1. 程序执行的局部性原理
2. 4
3. 提高存取 (访问/访存) 速度
4. 廉价的冗余磁盘阵列
5. 直送、交叉、上播、下播
6. ROM
7. 平均读写时间 (速度)
8. 中断方式
9. PFH
10. 写后写 (WAW)
11. $-1 \sim -(1/2+2^{(n-1)})$
12. $-0 -128$
13. 64
14. 16
15. $-127 \sim +127$

三.

1. 绘图如下: (绘图正确 3 分, 说明 2 分)



中央仲裁器中有优先级排队电路, 用以决定各设备请求的优先级。各设备利用 BR_i 向仲裁器提出总线请求, 仲裁器根据优先级用 BG_i 输出信号为设备授权, 从而实现总线仲裁。

2. $2 \times 40 \times 100 \times 32 \times 0.5KB = 12800KB$ (若有式子, 式子对 4 分, 全对 5 分)

3. $h = 24200/25000 = 96.8\%$ (2 分)

$T = 300 \times 0.03 + 0.97 \times 30 = 9 + 29.1 = 38.1ns$ (3 分)

或 $= 30 + (1 - 96.8\%) \times 300 = 39.6ns$

或 $= 30 \times 0.968 + 300 \times 0.032 = 38.64ns$

4. 已知 $X=0.110101 \times 2^2$ $Y=-0.101010 \times 2^{-1}$

① $[X]_{\#}=1110; 00.110101$

$[Y]_{\#}=1111; 11.010110$

② 对阶

③ 相加

$[X]_{\#}=1111; 00.011011$ (0 舍 1 入) $[Y]_{\#}=1111; 11.010110$

尾数求和:

$$\begin{array}{r} 00.011011 \\ + 11.010110 \\ \hline 11.110001 \end{array}$$

④ 规格化

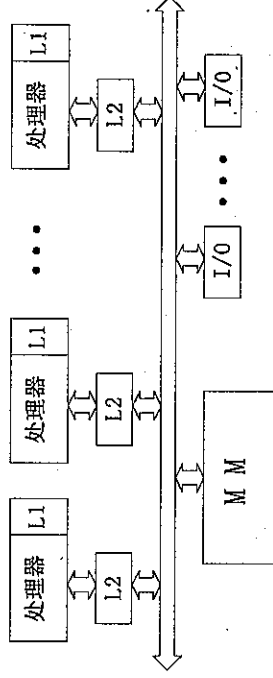
得到两数相加结果为: $[X+Y]_{\#}=1101; 11.000100$ 。

(错一步扣 1 分, 全对 5 分)

5. RISC 特点如下: (答出下列一条即可得 1 分, 答对 5 条即可)

- ① 只设置使用频度高的一些简单指令。
- ② 指令长度固定,
- ③ 指令种类少,
- ④ 寻址方式种类少。
- ⑤ CPU 中设置大量的通用寄存器, 一般有几十个甚至几百个。
- ⑥ 控制器用硬件实现, 采用组合逻辑控制器。
- ⑦ 采用流水线技术, 大多数指令 1 个时钟周期即可完成。
- ⑧ 访存指令很少。多数指令的操作在速度快的内部通用寄存器间进行。
- ⑨ 有利于优化编译程序。
- ⑩ 可简化硬件设计, 降低设计成本。

6. (画出框图 2 分, 特点只需答对 2 条即得 3 分)



特点:

1. 由两个以上性能相同的处理器构成。
2. 各处理器通过总线共享主存和 I/O。
3. 所有处理器均能完成同样的功能。
4. 用一个操作系统来统一指挥调度各处理器的工作。

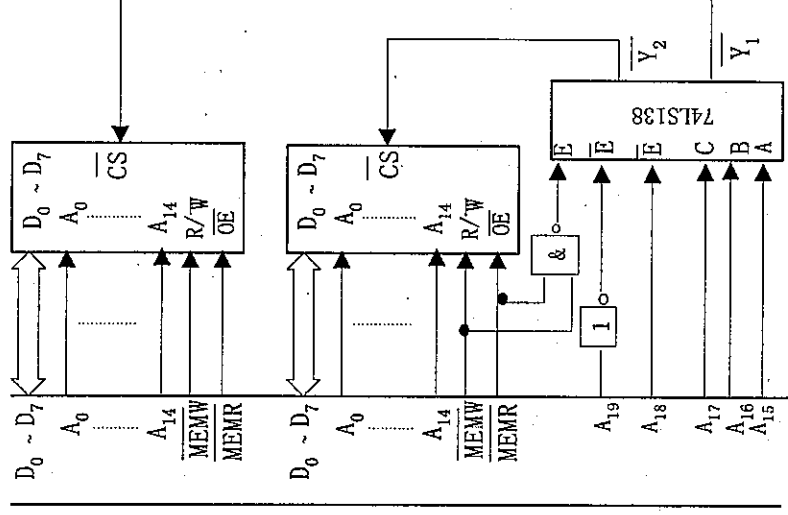
四、1. 8E2H 19DH (4分)

2. 完善: 增加有效位和修改位 (6分)

器件: 用相联存储器

容量: $(10+2) \times 4 \text{ bit}$

五. (画一片者 3 分, 画两片译码错 5 分. 全对 10 分)
画连接图如下:



六、1. 顺序执行= $100 \times 5\text{ns}=500\text{ns}$

流水线执行= $5\text{ns} + (100-1) \times 1\text{ns}=104\text{ns}$

实际吞吐率= $100 \div 104=961\text{MIPS}$ (3分)

加速比= $500/104=4.8$ (3分)

2. 有停顿的流水线执行= $5\text{ns} + (100-1) \times 1\text{ns} + 10 \times (5-1) \times 1\text{ns}=144\text{ns}$

加速比= $500/144=3.47$ (4分)

七. 1. (对一条1分, 全对5分)

① PCout, Dout, MARin (相容)

② R0out, R2out (互斥)

③ $IB \rightarrow A$, $\overline{IB} \rightarrow A$, $SB \rightarrow A$ (互斥)

④ MDRout, IRin (相容)

⑤ Xin, Yin, AND (相容)

2. (5分)

T1 PC \rightarrow MAR PCout, Dout, MARin

T2 M[MAR] \rightarrow MDR RD

T3 MDR \rightarrow IR MDRout, IRin

T4 IR[DISP] \rightarrow MAR DISout, MARin

T5 M[MAR] \rightarrow MDR RD

T6 MDR \rightarrow A MDRout, $\overline{SB} \rightarrow A$

T7 R1 \rightarrow B R1out, IB \rightarrow B

T8 A \rightarrow X, B \rightarrow Y Xin, Yin

T9 X+Y+1 \rightarrow C 1 \rightarrow Σ , ADD, V

T10 C \rightarrow R1 Cout, R1in

八. 1. (2分) 8位

2. (6分) 每类: 4、6、10、13位

指令类	指令数	使用频度	操作码长度	操作码编码 (参考)
传送	10	50%	4	0000~1001
运算	20	25%	6	101000~111011
分支	40	15%	10	1111000000~1111100111
其余	130	10%	13	11111010000000~111111000001

3. (2分) 定长: 平均操作码长度=8位

变长: 平均操作码长度=4×50%+6×25%+10×15%+13×10%=6.3位

专业 **照相** (价低 优质 速取)

地址:老综合楼南方造型内(秦琼书店旁)



西安电子科技大学

考试时间 120 分钟

试题

题号	一	二	三	四	五	六	总分
分数							

1. 考试形式: 闭卷; 2. 考试日期: 2010年11月 日; 3. 本试卷共 六 大题, 满分 100 分.

班级 _____ 学号 _____ 姓名 _____ 任课教师 _____

一、填空题 (每空 1.5 分, 只要答对 30 空即可, 本题共 45 分)

1. 指令流水线中, 通常有三种类型的相关, 它们是 _____ 和 _____.
2. 计算机系统中采用中断方式实现数据的输入输出, 是因为中断方式较其他 I/O 方式有两大优点: _____ 并 _____.
3. 8086CPU 的中断系统最多可以容纳 _____ 个中断源, 每个中断源用一个长度为 _____ 位的编码标识, 该编码称为 _____.
4. 硬磁盘中, 技术指标位密度的定义是 _____.
5. 廉价的冗余磁盘阵列的英文缩写是 _____.
6. Cache 工作中, 替换算法有多种, 其中有 _____ 算法和 _____ 算法.
7. 假设一个有 2 个盘片的硬盘, 共有 4 个记录面, 转速为 7200 转/分, 盘面有效记录区域的外直径为 30cm, 内直径为 10cm, 记录位密度为 250 位/mm, 磁道密度为 100 道/mm, 每个磁道分 16 个扇区, 每个扇区 512 字节, 则该硬盘的格式化容量约为 _____, 数据传输率约为 _____. 若一个文件超出一个磁道的容量, 剩下的部分应记录在 _____.

新综合楼一楼辉扬复印部 (迈德思斜对面)

8. 在计算机系统中, I/O 技术可分为: 通道控制方式、外围处理机方式、 方式、 方式和 方式。

9. 利用 8253 产生连续的对称方波, 应用其工作方式 。

10. 系统总线中地址线的功能是 。

11. 并行处理技术已成为计算机技术发展的主流。它贯穿于信息加工的各个步骤和阶段。概括起来, 主要有三种形式 ; ;

12. 在 8086 中, $IF=1$ 是 中断能够得到响应的必要条件。中断响应过程中, 8086CPU 硬件会自动保护 、 、 这三个寄存器。

13. 可编程并行接口 8255 工作在方式 0 时, 其 A、B、C 三个口均被定义为 I/O 口。三个口的 I/O 方向可有 种可供选择的方案。

14. 可编程并行接口 8255 的 C 口按位操作方式, 是利用程序将 C 口的按位操作控制字写入 8255 的 来实现。

15. 采用先写入 方法, 可以保证从 8253 读出的计数值总是正确的。(参看本试题四)

16. USB 2.0 以下的标准规定 4 条传输线, 其中 2 条用于 , 另外 2 条用于 。

17. 多机系统中, 2×2 开关有 、 、 、 这四种控制状态。

18. 可编程定时/计数器 8253 有 种工作方式, 其每个定时/计数器的计数器都是 位的。

二、简答题 (每小题 5 分, 选做其中三个小题即可, 本题共 15 分)

1. 简述在 8088CPU 上, 外部中断 INTR 的响应过程。

2. 某异步串行通信接口的数据格式为: 7 位数据位, 奇校验, 1 位停止位, 若要求传送 1 个 ASCII 码大写英文字母 'B' (42H), 画出该串口数据传送的波形图。

3. 叙述利用 DMA 方式, 在外设需要时将内存中的一批数据连续传送到外设的一般过程。

4. 说明对称多处理机系统多个主要特点中的三个特点。

三、(本题 10 分) 高速缓存 Cache 与主存间采用组相联地址映像方式 (即组间直接, 组

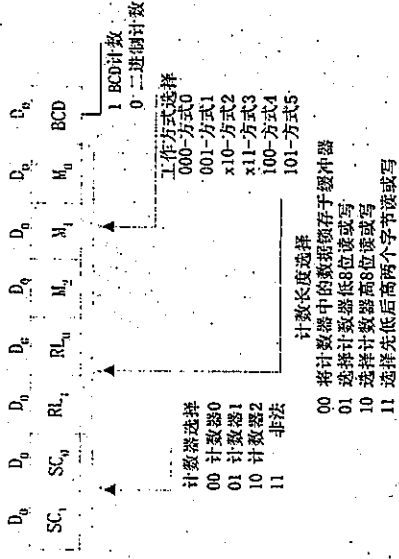
内全相联), 高速缓存分为两组, 每组包含 4 块, 每块为 1KB。主存容量为 1MB。

- ① 说明主存区号、区内组号、组内块号、块内地址号各用多少位表示?
- ② 已知地址变换表如下, 若主存地址为 ABCDEH, 试确定变换后的高速缓存的地址。

地址变换表

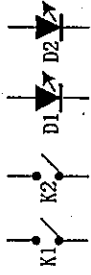
0	058H	第0组
1	112H	
2	067H	
3	157H	
0	188H	第1组
1	022H	
2	157H	
3	167H	

四. (本题 10 分) 可编程定时/计数器 8253 的控制字如下图所示



- ① 若规定该 8253 所用的接口地址可在 FF00H~FF0FH 内自由选用, 试画出该芯片与系统总线连接图。
- ② 试说明当外部计数时钟频率为 2MHz 时, 只用该 8253 如何产生周期为 1s 的对称方波, 并编写相应的初始化程序。

五. (本题 10 分) 开关 K1、K2 和发光二极管 D1、D2 如下图所示。若限定接口地址 8000H 到 8003H 可使用, 试利用 8255 接口将开关 K1、K2 和发光二极管 D1、D2 接到系统总线上, 画出连接图。



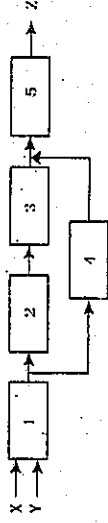
六. (本题 10 分) 设向量 A 和 B 各有 4 个元素, 在下图所示的静态双功能流水线上计算点积:

$$A \cdot B = \sum_{i=1}^4 a_i b_i$$

其中 1→4→5 组成乘法流水线, 1→2→3→5 组成加法流水线。假定流水线各段所经过的时间均为 Δt , 流水线输出可直接回送到输入端或暂存于缓冲寄存器中, 它们的延迟时间及功能切换时间均可忽略。求

(1) 画此流水线的时空图

(2) 计算加速比 SP 及效率 η 。



参考答案及评分标准

一. (答对一空 1 分对 30 空即可)

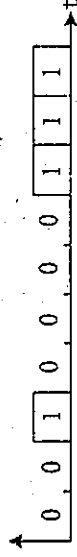
1. 结构相关、数据相关、控制相关
2. CPU 效率高、对突发事件实时响应
3. 256, 8 位, 中断类型码
4. 最内圈磁道上, 单位长度 (mm 或英寸) 上记录的二进制位数
5. RAID
6. 随机替换算法 (RAND)、先进先出算法 (FIFO)、近期最少使用算法 (LRU)、最不经常用算法 (LFU)、最优替换算法 (OTF) (这五种方法中的任意二种)
7. 320MB, 1MB/S, 同一柱面的另一磁道上
8. 直接程序控制 (查询)、中断、DMA
9. 3
10. 用于指定主存和 I/O 设备接口电路的地址
11. 时间重迭、资源重复、资源共享
12. 可屏蔽中断 INTR; F (PSW)、CS、IP
13. 数据 16 种
14. 控制寄存器
15. 写入 bit4、bit5 为 00 的控制字到 8253 的控制寄存器
16. 用于数据传送 用于提供 5V500MA 电源
17. 直送 上播 下播 交叉
18. 六 16

二.

1. 外设在 CPU 的 INTR 输入端加上高电平, 向 CPU 提出可屏蔽中断请求。CPU 在一条指令执行结束, 且满足 IF=1 等条件, 对该中断请求作出响应: 首先由 CPU 内部硬件从中断响应端 INTA 送出两个负脉冲, 并在第二个负脉冲期间从数据线 D0~D7 上获得提出请求外设所提供的中断向量 (类型) 码。(到此 2 分) 接着 CPU 将断点信息 F、CS 和 IP 的内容压入堆栈。(到此加 1 分)

然后关单步、关中断（即使 $TF=0$ 、 $IF=0$ ）。将中断向量码乘 4 形成中断向量表的地址，由此开始的顺序 4 个地址中分别读出事先已放在中断向量表中的 INTR 的中断向量，放入 IP 和 CS 中（到此加 1 分）。从下一个总线周期开始，CPU 转到 INTR 中断服务程序的入口地址 $CS \times 16 + IP$ ，开始执行 INTR 中断处理。（到此加 1 分）

2. 画出波形图如下



（画错一处扣一分：启动、数据顺序、数据位数、奇校验、终止位）

3. DMA 传送的一般过程如下：

- (1) 外设向 DMAC 提出 DMA 请求。
- (2) DMAC 通过 CPU 上的 HOLD 向 CPU 提出请求。
- (3) CPU 在一个总线周期结束时对该请求作出响应：使 CPU 上的三态信号置高阻，即放弃了对总线的控制权。同时送出 HLDA 高电平加到 DMAC 上，让 DMAC 知道其请求已获得响应。
- (4) DMAC 向外设发响应信号，告诉外设其请求已获得响应。
- (5) DMAC 获得总线的控制权开始进行 DMA 传送：DMAC 送出内存地址、内存谈及接口的写，将数据直到传送到外设。同时，内存地址自动修改，传送数自动减 1。重复上述过程直至一批数据传送完。
- (6) 当传送结束时，DMAC 使请求信号无效。CPU 重新获得总线的控制权，继续执行指令。（答对一步 1 分）

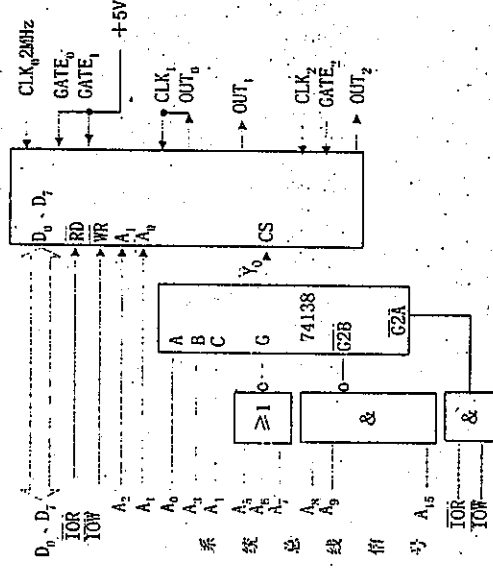
4. 对称多处理机系统具有如下特点：

- ① 这样的系统是由两个以上的多个相同的处理机构成。
- ② 多个处理机通过总线或其他互连方式连接在一起。
- ③ 多个处理机共享同一主存储器。并且，每一个处理机访问主存储器的时间是一致的。
- ④ 所有的处理机通过相同的通道或不同的通道共享 I/O 设备。
- ⑤ 每一处理机都能进程或线程，对各处理机的工作进行统一地调度与控制。
- ⑥ 每一处理机都能完成相同的功能，这或许是对称多处理机中对称的由来。（只要答对上述三种即可）

三.各部分分布如下: (对一小题 5 分, 全对 10 分)

- ① 主存区号: 7 位; 区内组号: 1 位; 组内块号: 2 位; 块内地址号: 10 位
 ② 1 0101 0111 (157H) 1 1000 1101 1110 18DEH

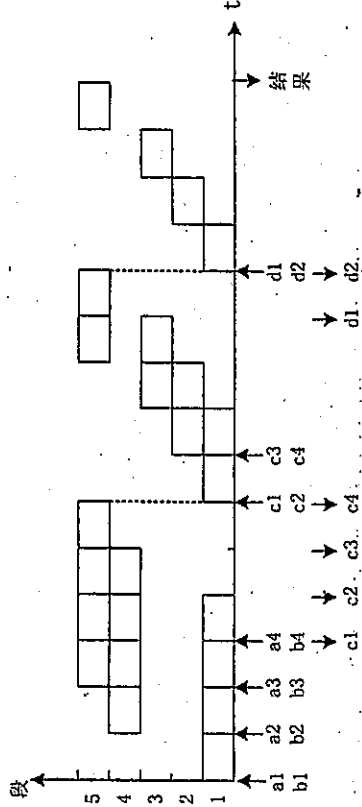
四. ①画连接图如下: (译码器对 3 分, 其他连接 2 分。若用 8 位机的总线信号, 只要逻辑对也可以)



②因为计数时钟为 2MHz, 而每个计数器的计数值只有 16 位。因此, 一个计数器的最大计数时间只有 32.75ms 左右, 无法满足要求。但 8253 有三个计数器, 可以串联使用以解决问题。由于时钟周期为 $0.5\mu\text{s}$, 而要求产生的方波周期为 1s, 因而可求得要求的总计数值为: $1000 \times 1000 \mu\text{s} \div 0.5 \mu\text{s} = 2000000$ 。

例如, 将计数时钟接到计数器 0 的 CLK0 上, 使 GATE0 有效 (高电平) 并将 OUT0 输出接到 CLK1 上作为计数器 1 的计数时钟, 并使 GATE1 为高电平。这就将计数器 0 和计数器 1 串到一起。可使它们都工作在方式 3, 且总计数值为 2000×1000 , 即使其中一个计数器 0 的计数值均为 1000, 另一个计数器 1 的计数值均为 2000, 将两者串起来, 则可以得到 OUT1 输出就是周期为 1s 的对称方波。连接可见上题, 程序如下: (到此 1 分)

六. (1)面时空图如下: (时空图对 5 分, 对接口外设连接 3 分, 其他 2 分)



(2)顺序执行时间为 $4 \times 3 \Delta t + 3 \times 4 \Delta t = 24 \Delta t$

流水线执行时间为 $15 \Delta t$

$$SP = 15 \Delta t / 24 \Delta t = 1.6$$

效率 η 为:

$$\eta = (12 + 8 + 4) / (15 \times 5) = 32\%$$

(对一间 2.5 分, 全对 5 分)



西安电子科技大学

考试时间 120 分钟

《计算机组成与结构II》试题

题号	一	二	三	四	五	六	七	总分
分数								

1. 考试形式: 闭卷; 2. 考试日期: 2011 年 月 日 3. 本试卷共 大题, 满分 100 分。

班级 _____ 学号 _____ 姓名 _____ 任课教师 _____

一. 单项选择题 (在每小题的四个备选答案中选出一个正确的答案, 并将其号码填写在题干后面的○中。每小题 1.5 分; 本题共 15 分)

- 8086CPU 构成内存时, 内存需分为○
 ①不分体 ②2 个体 ③3 个体 ④4 个体
- 若某中断的中断类型码为 0AH, 则其中断向量表的首地址为○
 ①0000AH ②00028H ③0002AH ④0004AH
- 若 PSW 中的 IF=0, 8086CPU 不响应的中断请求是○
 ①INT nmi ②INT0 ③NMI ④INTR
- 内存从 A4000H 到 DBFFFH, 共有○
 ①160K ②198K ③224K ④288K
- 在系统总线的数据线上, 不可能传输的信号是○
 ①指令 ②操作数 ③握手信号 ④中断类型码
- 某计算机有五级中断 $L_4 \sim L_0$ 。中断屏蔽字为 $M_4 M_3 M_2 M_1 M_0$ 。其中 $M_i=1$ 则可将它所对应的中断 L_i 加以屏蔽, 若要求中断响应的优先级顺序为 $L_4 \rightarrow L_0 \rightarrow L_2 \rightarrow L_1 \rightarrow L_3$, 则在 L_1 的中断处理程序中设置的中断屏蔽字为○
 ①11110 ②01101 ③00011 ④01010
- 当 8086CPU 读写内存的一个规则 (对准) 字 (16 位) 时, \overline{BHE} 和 A0 的状态必须是○
 ①00 ②01 ③10 ④11
- 在 8088CPU 中, 用于寄存器间接寻址输入输出指令的寄存器是○
 ①AX ②BX

③CX

④DX

9. ISA总线是一种多少位的内(系统)总线? O

①8位

②16位

③32位

④64位

10. 支持即插即用、热插拔的总线是O

①ISA

②SCSI

③RS-232C

④USB

二. 填空题(每空1分, 本题共15分)

1. 计算机中, 内存与接口地址编址方法有_____和_____两种方式。

2. 8086CPU的中断系统最多可以容纳_____个中断源, 每个中断源用一个长度_____位的编码标识, 该编码称为_____。

3. 在市场上所见到的多核处理器是属于_____结构。

4. 假设一个有2个盘片的硬盘, 共有4个记录面, 转速为7200转/分, 盘面有效记录区域的外直径为30cm, 内直径为10cm, 磁道密度为1000道/mm, 每磁道分16个扇区, 每扇区1K字节, 则该硬盘的格式化容量约为_____, 数据传输率约为_____。若一个文件超出一个磁道容量, 剩下的部分应记录在_____。

5. 磁盘的磁密度的定义为_____; 位密度的定义为_____。

6. 动态存储器中的信息是存放在小_____上, 为使信息丢失, 需要定时_____。

7. EPROM中存储的信息需用_____进行擦除。而EEPROM的信息只需用_____进行擦除。

8. 为始终保持主存与Cache的数据一致性, 可采用_____法。

9. 在计算机与外设的数据传输中, 查询方式不能保证数据的_____传输。而传输速度最高的方式是_____。

三. 简单回答题(每小题4分, 本题共24分)

1. 说明通用串行总线USB诸多特点中的三个特点。

2. 叙述利用DMA方式, 在外设需要时将内存中的一批数据连续传送到外设的一般过程。

3. 说明当8253的外部时钟为1MHz时, 只用该8253如何产生一个周期为1秒的连续对称方波?

4. 试说明在8088CPU执行INT 40H指令的过程?

5. 8088系统中, 利用定时器每20ms产生一次中断, 在内存中定义四个单元分别对50次、秒、分、小时进行计数。即每中断一次对50次计数单元加1。当加到50时, 50次计数单元清0, 秒计数单元加1。秒计数单元加到60时, 秒计数单元清0, 分计数单元加1。分计数单元加到60时, 分计数单元清0, 小时计数单元加1。小时计数单元加到24时清0。这样, 利用中断可实现电子时钟。

试分析在什么情况下, 由主程序读出的时间误差会接近1小时? 如何避免这种误差?

6. CPU执行一段程序, 共完成对内存的存取25000次, 其中对Cache的存取为24200次, 对主存的存取为800次。已知Cache的存取时间为30ns, 主存的存取时间为300ns。

试求 Cache 的命中率及平均存取时间。

四. (本题共 6 分) 若写入代码为 101011001, 试画出 NRZI、FM、MFM 的写电流波形 (假设初始电流为低), 分析它们的同步能力。

五. (三小题分别 5 分、3 分、2 分, 本题共 10 分) Cache-MM 两级存储器采用组相联映像 (组间直接, 组内全相联)。若 Cache 容量为 512B, 64 个字节为一块, 且共分为 2 个组。主存容量是 Cache 容量 2048 倍。

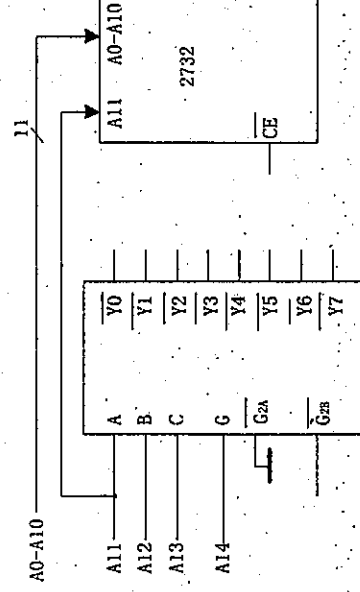
(1) 主存区号 位, 区内组号 位, 组内块号 位, 块内地址 位。每次进行 MM→Cache 的地址变换时, 需要参与相联比较的位数是 位。

(2) 若 Cache-MM 地址变换表的内容如下表, 当 CPU 访问主存的地址分别为 91118H 和 0EDCB AH 时, 问是否命中 Cache, 若能命中, 指出相应的 Cache 地址。

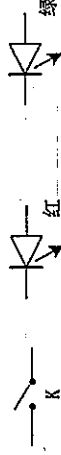
(3) 若主存以 Cache 的 64 个字节为一块, 从 0 块开始顺序分块并编号, 试决定 515 块应放在 Cache 的哪一组中?

主存区号	组内块号
0C9H	00B
574H	01B
244H	10B
76EH	11B
76EH	10B
373H	10B
0C9H	00B
488H	00B

六. (本题共 10 分) 设计存储器电路, 其中部分电路如下图所示, 规定该 2732 所占的内存地为 FE000H 到 FEFFFFH。利用基本的门电路 (与门、或门、非门、与非门或非门等) 完成对 3-8 译码器 $\overline{G_{2B}}$ 的控制和对 2732 的 \overline{CE} 的控制。



七. (每小题 5 分, 本题共 10 分) 按键 K 和红绿灯发光二极管如下图所示。其中发光二极管通过 10mA 左右的电流便可发光。电流很小时熄灭。

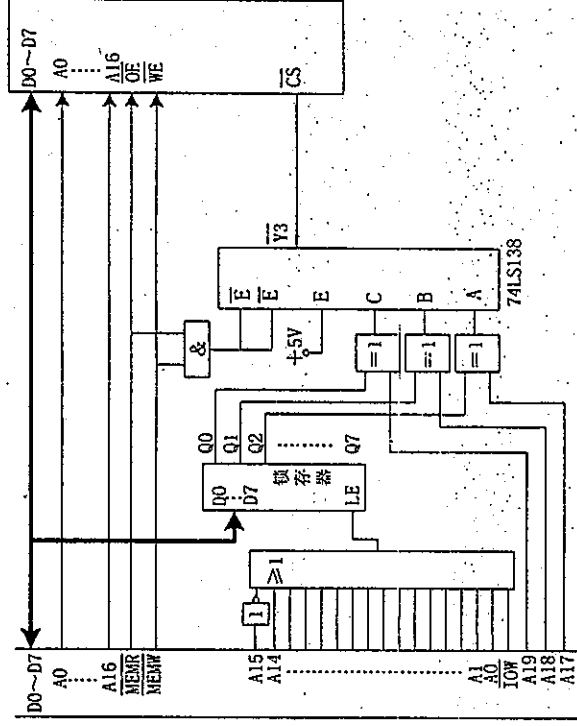


1. 若规定接口地址为 0000H, 试自选输出接口 (锁存器、8255 均可) 将按键和发光二极管接到 8088 八位机的最大模式下的总线上, 画出连接图。
2. 试编程序, 检测按键 K 的状态, 当 K 闭合时使红发光二极管亮、绿色发光二极管灭; 当 K 断开时使红发光二极管灭、绿色发光二极管亮。

八. (每小题 5 分, 本题共 10 分) 读下面 SRAM 连接图, 系统总线为 8088CPU 构成的 8 位机总线。

① 现欲将此 SRAM 构成内存地址 E0000H 到 FFFFFH, 试决定为获得此内存地址应预先向锁存器输出接口写入什么样的数据?

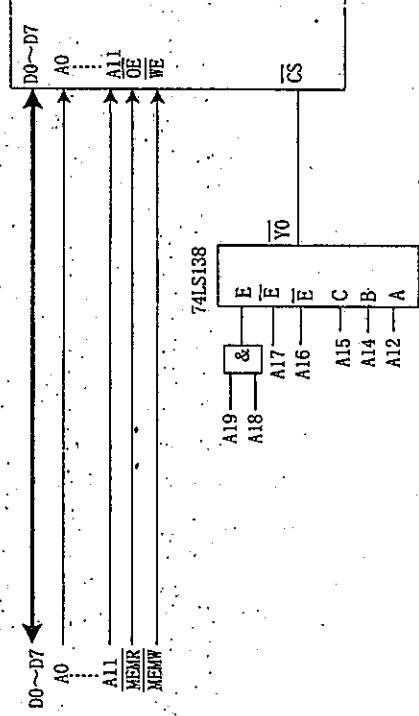
② 若将此 SRAM 构成内存地址 80000H 到 9FFFFH, 此时为获得此内存地址应预先向锁



存器输出接口写入什么样的数据?

九. (本题 10 分) 本题与第八题可任选一题完成

SRAM 芯片与 8088 系统总线连接图如下:



1. 试分析该 SRAM 占用的内存地址范围。
2. 若用这样芯片构成地址范围为 38000H—39FFFFH 的可用内存, 试画出与 8088 系统总线的连接图

参考答案及评分标准

一. (对则 2 分, 错则无分)

1. ② 2. ② 3. ④ 4. ③ 5. ③
6. ③ 7. ① 8. ④ 9. ② 10. ④

二. (意思对即可给分, 每空 1 分, 错则无分)

1. 统一 隔离 (独立)
2. 256 8 中断类型码或中断向量码
3. 对称多处理机系统 SMP
4. 1600MB 1920KB/S
5. 道密度为磁盘沿半径方向上, 单位长度 (毫米或英寸) 上的磁道数;
位密度为磁盘最内磁道上, 单位长度 (毫米或英寸) 上记录的二进制制位数。
6. 电容 刷新
7. 紫外光 高压
8. 全写法
9. 实时 DMA
10. 三 0

三

1. (对一条 1.5 分, 对 2 条 3 分, 对 3 条 4 分)

USB 具备许多优异的性能与特点:

- ① 传输速率高 ② 支持即插即用 ③ 支持热插拔 ④ 良好的扩展性 ⑤ 可靠性高
- ⑥ 统一标准 ⑦ 总线供电 ⑧ 传送距离 ⑨ 低成本

2. DMA 的工作过程大致如下:

- (1) 外设向 DMAC 发出 DMA 传送请求。
- (2) DMAC 通过连接到 CPU 的保持请求 HOLD 信号向 CPU 提出 DMA 请求。(到此 1 分)
- (3) CPU 在完成当前总线周期后会立即对 DMA 请求作出响应。
CPU 的响应包括两个方面: 一方面, CPU 将控制总线、数据总线和地址总线置高阻, 即 CPU 放弃对总线的控制权; 另一方面, CPU 将有效的保持响应 HLDA 信号加到 DMAC 上, 以此来通知 DMAC, CPU 已经放弃了总线的控制权。(到此 2 分)
- (4) 待 CPU 将总线置高阻——放弃总线控制权, DMAC 向外送出 DMAC 的应答信号并立即开始对总线实施控制。
- (5) DMAC 送出地址信号和控制信号, 实现内存向外设的数据传送。(到此 3 分)
- (6) DMAC 将规定的数据字节传送完之后, 通过向 CPU 发 HOLD 无效信号, 撤消对 CPU 的 DMA 请求。CPU 收到此信号, 一方面使 HLDA 无效, 另一方面又重新开始控制总线, 实现正常的运行。(到此 4 分)

3. 因为计数时钟为 1MHz, 而每个计数器的计数值是 16 位的。因此, 一个计数器的最大计数时
间只有 65.5ms 左右, 无法满足要求。但 8253 有三个计数器, 可以串联使用以解决问题。(到此 2
分)

例如, 将时钟接到 CLK0 上, 使 GATE0 有效 (高电平) 并将 OUT0 输出接到 CLK1 上做为计数
器 1 的计数时钟, 并使 GATE1 为高电平。这就将计数器 0 和计数器 1 串到一起。可使计数器 0 工作
在方式 2 或方式 3, 使其输出连续的脉冲。使计数器 1 工作在方式 0。且使两计数器的总计数值为

1000×1000, 可以计数器0的计数值均为1000, 则OUT0的输出就是周期为1ms的对称方波或窄脉冲。使计数器1工作在方式3, 并使其计数值为1000, 则OUT1的输出即为周期1秒的对称方波。(到此4分)

4. CPU取出INT 40H指令, 经指令译码获知这是一条中断指令。并且得到40H就是该软件中断的中断向量码。(到此2分)接着就将F、CS和IP压入堆栈保护起来, 并关中断。而后, 将中断向量码40H乘4得到中断向量地址,(到此3分)从该地址开始的顺序两个单元的内容送IP, 下两个单元的内容送CS。这就转向了中断服务程序。当然, 在此之前, 中断服务程序的入口地址早已填入中断向量表中。(到此4分)

5. 根据题意可知, 这是利用定时器和中断软件实现电子时钟。当发生在某时59分59秒且50次计数计到49时, 即电子时钟计数如下:

XX: 59: 49

这时利用程序从内存读出当前时间, 必须用多条指令才能将时、分、秒读出。(到此1分)并且, 恰好再读出59分、59秒(或在先读出时)时产生中断; 在中断处理程序中会使内存中的时间计数变为:

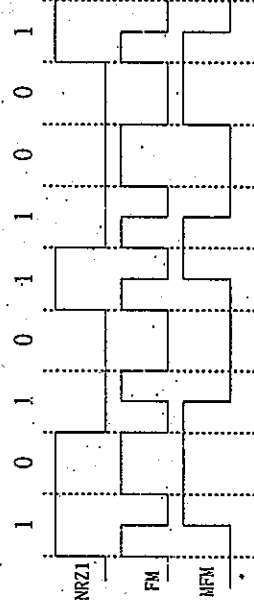
XX+1: 00: 00: 00

中断返回后再去读小时(或再去读分秒)必定产生近1小时的误差。(到此4分)

6. 命中率 $H=24200/25000=96.8$

平均存取时间 $T=(24200 \times 30 + 800 \times 300) \div 25000=38.64$

四. 画图如下(对一种2分)



五.

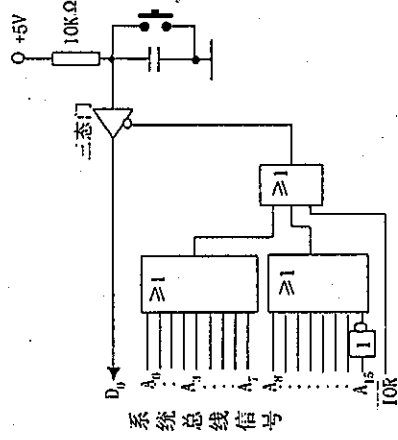
(1) 区号为11位; 组号1位; 块号2位; 块内地址6位; 相联比较13位。(对一空1分, 共5分)

(2) 主存地址91118H命中, 其Cache地址为1D8H(此对空2分)
主存地址0EDCBAH未命中(此对空1分)

(3) 515块应放在Cache的0组中(此对空2分)

六. 1. 画出连接图如下:

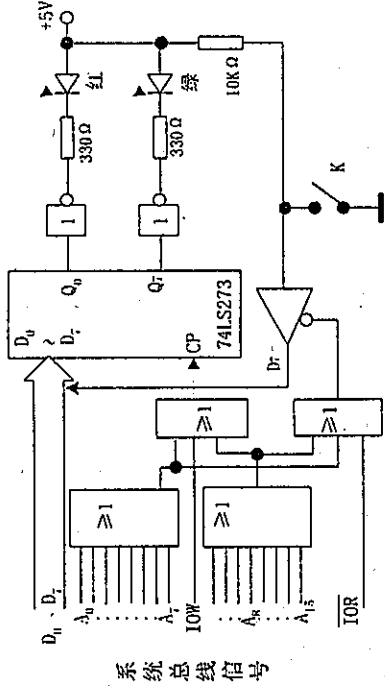
八. ①画图如下 (画对左侧译码部分 4 分; 右侧部分 1 分)



②编程序如下: (编程对 5 分)

```
DIPM:  MOV  DX, 8000H
        IN   AL, DX
        AND  AL, 01H
        JZ   CLOSE
        JMP  OPEN
```

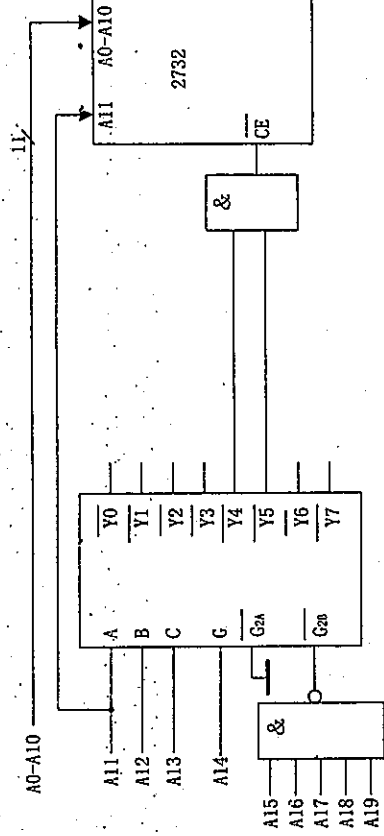

(画对地址译码 3 分; 其他对 2 分)



2. 编程程序如下

```
START: MOV DX,0000H
        IN  AL,DX
        AND AL,80H
        JZ  NEXT
        MOV AL,80H
        OUT DX,AL
        JMP START
NEXT: MOV AL,01H
        OUT DX,AL
        JMP START
(程序逻辑上对即得 5 分)
```

七. (3—8 译码对 6 分, 2732 连对 4 分, 共计 10 分)



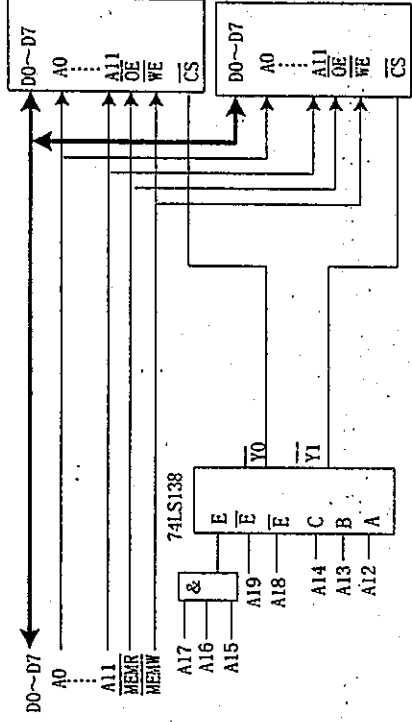
八. (对一小题 5 分)

- ① $\times \times \times \times \times 001B$
- ② $\times \times \times \times \times 111B$

九.

1. C0000H-C0FFFH; C2000H-C2FFFH (对一个3分, 全对5分)

2. 电路图如下: (将码逻辑对一个3分, 其他部分对2分)





西安电子科技大学

考试时间 120 分钟

《计算机组成与结构II》试题

题号	一	二	三	四	五	六	七	八	总分
分数									

1. 考试形式: 闭卷; 2. 考试日期: 20 11 年 6 月 日 3. 本试卷共 大题, 满分 100 分.

班级 学号 姓名 任课教师

一. 单项选择题 (在每小题的四个备选答案中选出一个正确的答案, 并将其号码填写在题干后面的○中。每小题 2 分, 本题共 20 分)

- 8088CPU 上 NMI 信号为下面哪种信号有效? ○
①上升边 ②下降边
③高电平 ④低电平
- 若某中断的中断类型码为 0AH, 则其中断向量表的首地址为 ○
①0000AH ②00028H
③0002AH ④0004AH
- 若 PSW 中的 IF=0, 8086CPU 不响应的中断请求是 ○
①INT nhl ②INT0 ③NMI ④INTR
- 内存从 B8000H 到 DBFFFFH, 共有 ○
①144K ②198K ③224K ④288K
- 采用中断方式来实现输入输出是因为它 ○
①速度最快 ②CPU 不参与操作
③实现起来比较容易 ④能对突发事件做出实时响应
- 主存与 CPU 之间增加高速缓存 Cache 的目的是 _____.
①解决主存与 CPU 之间的速度匹配问题
②扩大主存的存储容量
③扩大外存储器的寻址空间
④提高外部存储器的速度
- 8086CPU 构成内存时, 内存需分为 ○
①不分体 ②2 个体
③3 个体 ④4 个体
- 在计算机中, CPU 对其访问速度最快的是 _____.
①主存 ② Cache
③CPU 中的通用寄存器 ④ 硬盘盘
- 掉电后, 下面说法中正确的是 _____.
① RAM 的数据不会丢失
② ROM 的数据不会丢失

③ EPROM 的数据会丢失

④ DRAM 的数据不会丢失

10. 支持即插即用、热插拔的总线是

① ISA ② SCSI

③ RS-232C ④ USB

二. 填空题 (每空 1 分, 本题共 10 分)

1. 8086 CPU 的中断系统最多可以容纳 _____ 个中断源, 每个中断源用一个长度为 _____ 位的编码标识, 该编码称为 _____。

2. 相联存储器不按地址访问存储器, 而是按 _____ 访问存储器。

3. 在市场上所见到的多核处理器是属于 _____ 结构。

4. Cache 工作中, 替换算法有多种, 其中有 _____ 算法和 _____ 算

法。

5. 在主存采用多体存储器的目的是 _____。

6. 磁盘的道密度的定义为 _____; 位

密度的定义为 _____。

三. 判断题 (认为正确的在题后○中打“√”号, 错误的打“×”号。并写出正确的内容, 否则不得分。每小题 2 分, 本题共 10 分)

1. EEPROM 的内容可以利用紫外线照射擦除干净。○

2. 在可编程并行接口 8255 中, 利用将 C 口的按位操作控制字写入 C 口, 可实现对 C 口的按位操作。○

3. 8086 (88) CPU 在执行指令过程中, 总是在一个总线周期结束的时候检测有无中断请求发生。○

4. 在 8086 微机系统中, 可用多个主控制中断控制器 8259 和多个从属中断控制器 8259 相连接, 构成可管理多个外部中断源的中断系统。○

5. 8086 CPU 是 16 位的微处理器。因此, 一个总线周期就能将一个 16 位的字写入内存。○

四. 简单回答题 (每小题 4 分, 本题共 20 分)

1. 说明在数据 Cache 中, 保证数据一致性的方法。

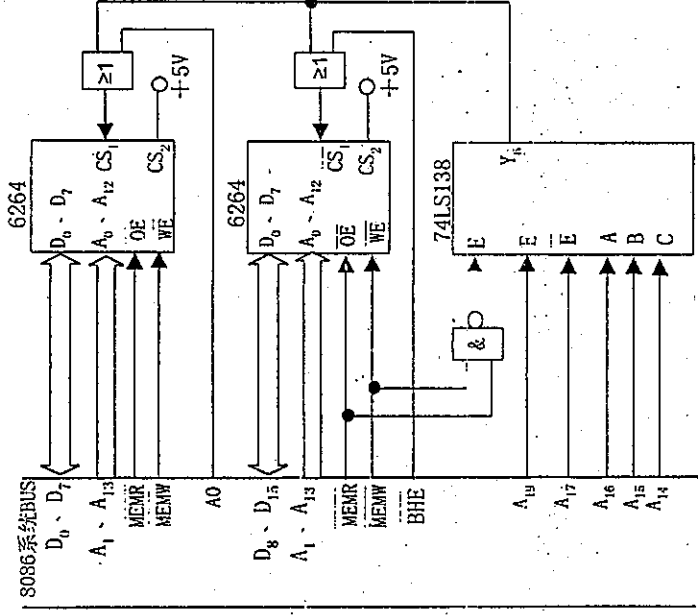
2. 试叙述可编程定时器 8253 工作方式 3 的特点。

3. 说明 PCI 总线诸多特点中的三个特点。

4. 某硬盘有 5 个记录面, 记录面上有效记录区域的内径为 2cm, 外径为 12cm。磁道上记录的位密度为 2600B/mm, 道密度为 1000 道/mm, 每一磁道上分为 64 个扇区, 每个扇区记录 2.4KB, 磁盘旋转速度为 10000 转/分。则该硬盘的非格式化容量、格式化容量各为多少? 该硬盘的数据传输速率约为多少?

5. CPU 执行一段程序, 共完成对内存的存取 25000 次, 其中对 Cache 的存取为 24200 次, 对主存的存取为 800 次。已知 Cache 存取时间为 30ns, 主存的存取时间为 300ns。试求 Cache 的命中率及平均存取时间。

五. (本题 10 分) 在 8086 最大模式的系统总线上, 存储器连接图如下图所示。试判断该连接图所构成的内存地址。



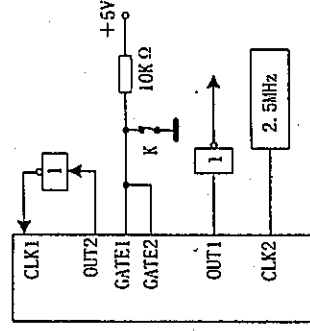
六. (三个小题分别为 5 分、3 分、2 分, 本题共 10 分) 设一直接映像方式的 Cache, 容量为 8KKB, 以 16B 分块。主存储器容量为 512KKB, 求:

- (1) Cache 分为多少块, 块号及块内地址各为多少位? 为实现地址映像, 主存地址应如何划分。
- (2) 主存中顺序排列的第 513 块 (即若主存不分区, 以第 0 块开始顺序排列时) 内容调入到 Cache 的哪一块中?
- (3) 在上一步的基础上, 若第 513 块的内容已调入。试说明主存地址为 04011H 时是否命中?

七. (本题 10 分) 可编程定时计数器 8253 连接如下图所示:

计数器 1 初始化为方式 1, 计数值为 500; 计数器 2 初始化为方式 3, 计数值为 2000; 计数器 2 外接时钟频率为 2.5MHz, 其输出 OUT2 经反相器用作计数器 1 的外部计数时钟。在开关 K 闭合 (两计数器门控信号 GATE 接地) 的情况下, 将两计数器初始化。

此后, 某一时刻将开关 K 断开, 试画出开关 K 断开之后 OUT2 的波形和 OUT1 反相器后的输出波形, 并标出波形的宽度。



八、（每小题 5 分，本题共 10 分）按钮开关如下图所示：按下时两接点短路，抬起时开路。



1. 定接口地址 8000H~800FH 可随意选用，试自选接口芯片，将该按钮开关接在 8088CPU 的最大模式下的系统总线上。画连接图。
2. 试编程序，读此按钮，若按钮按下，程序转向 CLOSE；若按钮抬起，程序转向 OPEN。

参考答案及评分标准

一. (对则 2 分, 错无分)

1. ① 2. ② 3. ③ 4. ① 5. ④
6. ① 7. ② 8. ③ 9. ② 10. ④

二. (意思对即可给分, 每空 1 分, 错则无分)

1. 256 8 中断类型码或中断向量码
2. 内容
3. 对称多处理机系统 SMP
4. (答出下面 2 种即可)

① 随机替换算法 (RAND) ② 先进先出算法 (FIFO) ③ 近期最少使用算法 (LRU) ④ 最不经常用算法 (LFU) ⑤ 最优替换算法 (OTP)

5. 道密度为磁盘沿半径方向上, 单位长度 (毫米或英寸) 上的磁道数;
位密度为磁盘最内磁道上, 单位长度 (毫米或英寸) 上记录的二进制位数。
6. 提高速度

三. (对则 4 分, 错无分)

1. X EEPROM 是用高电压来擦除其存储的内容。
2. X C 口的按位操作是将按位操作控制字与入 8255 的控制寄存器来实现的。
3. ✓
4. X 在 8086 微机系统中, 只能用 1 个主中断控制器 8259 和一个或多个从属中断控制器 8259 相连接, 构成可管理多个外部中断源的中断系统。
5. X 8086 CPU 对于一个规则字或对准字, 用一个总线周期就能将一个 16 位的字写入内存; 而对于一个不规则字或未对准字, 必须用两个总线周期才能将一个 16 位的字写入内存。

四.

1. 为了保证主存与 Cache 内容的一致性, 可采取下面所描述的写策略: (答出下面 1 种即可)

① 写回法

写回法是当 CPU 写 Cache 命中时, 只将数据写入 Cache 而不立即写入主存。只有当被 CPU 写入修改的块被替换出去时才写回到主存中。

② 全写法

全写法是当 CPU 写 Cache 命中时, 在将数据写入修改 Cache 的同时写入修改主存, 较好地保证了主存与 Cache 内容的一致性。

2. 方式 3 (方波发生器)

在这种方式下, 可以从 OUT 得到对称的方波输出。当装入的计数值 N 为偶数时, 则前 N/2 计数过程中, OUT 为高; 后 N/2 计数过程中, OUT 为低, 如此这般一直进行下去。若 N 为奇数, 则 (N+1)/2 计数过程中, OUT 保持高电平; 而 (N-1)/2 计数期间, OUT 为低电平。(到此 3 分)

在此方式下, GATE 信号为低电平时, 强迫 OUT 输出高电平。当 GATE 为高电平时, OUT 输出对称方波。(到此 4 分)

3. PCI 的一些特点: (答出下面 3 种即可)

- ① 高传输性能 ② 总线设备工作与 CPU 相对独立 ③ 即插即用 ④ 支持设备多主控 ⑤ 错误检测及报告 ⑥ 两种电压环境 ⑦ 两种兼容卡槽

4. (近似下列数值即可, 对一项 1.5 分, 全对 4 分)
 非格式化容量 = $50 \times 1000 \times 3.14 \times 2 \times 10 \times 2600 = 8.16\text{GB}$
 格式化容量 = $50 \times 1000 \times 64 \times 2.4 = 7.68\text{GB}$
 传输速率 = $120 \times 64 \times 2.4 = 18.4\text{MB/S}$

5. (答出下面 1 项 2 分)

$$H = 24200 \div 25000 = 0.968$$

$$SP = (24200 \times 30 + 800 \times 300) \div 25000 = 38.64$$

- 五. 内存地址为 18000H~1BFFFFH (头对或尾对给 3 分, 全对 5 分)
 58000H~5BFFFFH (头对或尾对给 3 分, 全对 5 分)

六

- (1) Cache 分为 8KB/16B=512 块, Cache 块号 9 位, 块内地址 4 位;
 主存区号 6 位, 区内块号为 9 位; 块内地址号为 4 位。

主存地址分为

18	13	12	4	3	0
区号	区内块号	块内地址			

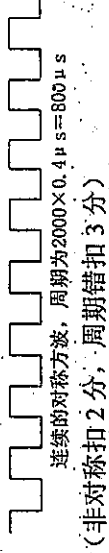
(对一问 1 分, 全对 4 分)

- (2) 513 对 512 取模得 1, 则主存第 513 块应装入 Cache 的第 1 块中。(本小题 3 分)

- (3) 主存地址 04011H, 对应的区号为 02, 区内块号为 001H, 它应当是第 1025 块, 对应于 Cache 的第 1 块, 但与第 513 块不是同一区的第 1 块, 故未命中。(本小题 3 分)

七.

- ①计数器 2 的 OUT2 的输出波如下图:



- ②OUT1 反相后波形如下:

