

任课教师：学号：姓名：班级：

西 安 电 子 科 技 大 学

考试时间 120 分钟

试 题

题号	一	二	三	四	总分
分数					
题号	五	六	七		
分数					

- 1.考试形式：闭卷☒ 开卷☐ ； 2.本试卷共七大题，满分 100 分；
3.考试日期： 年 月 日；(答题内容请写在装订线外)

请将所有答案写在试卷上，写在答题纸或草稿纸上的答案无效。

一、(共 20 分) 单项选择题 (在每小题的四个备选答案中选出一个正确答案，将其序号填写在下表中。1~10 小题各 1 分，11~15 小题各 2 分)

1.	2.	3.	4.	5.
6.	7.	8.	9.	10.
11.	12.	13.	14.	15.

1. 一个 8 位二进制整数采用补码表示，且由 3 个“1”和 5 个“0”组成，则最小值的十进制真值为 ([答案填入前面表格])。

- A. -127 B. -32 C. -125 D. -3

2. 有关海明码，以下说法错误的是 ([答案填入前面表格])。

- A. 海明码的码距至少为 3，因此能纠 1 位错误。
B. 如果要检测 r 位错误，则编码的海明码距 d_{min} 至少应为 $r+1$ 。
C. 如果要纠正 r 位错误，则编码的海明码距 d_{min} 至少应为 $2r+1$ 。
D. 如果海明码由 k 位信息码+3 位冗余码构成，则该海明码一定可以纠正 1 位错误。

3. 定点运算器内部总线互联有三种结构，下面的描述中，（[答案填入前面表格]）适用于双总线结构。
- A. 执行一次运算需要三步。
 - B. 在此运算器中至少需要设置两个暂存器。
 - C. 在运算器的两个输入和一个输出上至少需要设置一个暂存器。
 - D. 在运算器的两个输入和一个输出上不需要设置暂存器。
4. 虚拟存储器中，程序正在执行时，由（[答案填入前面表格]）完成地址映射。
- A. 编译器
 - B. 装入程序
 - C. 操作系统
 - D. 应用程序
5. 有关磁盘的磁记录方式，有以下说法。其中正确的说法有（[答案填入前面表格]）个。
- ① 调相制 PM、调频制 FM 具有自同步能力。
 - ② 归零制 RZ 每两位信息之间，电流要回到零。
 - ③ 不归零制 NRZ 和见 1 就变不归零制 NRZI 没有自同步能力。
 - ④ 改进调频制 MFPM 的编码效率比调相制 PM 和调频制 FM 要高。
- A. 1
 - B. 2
 - C. 3
 - D. 4
6. 指令系统中采用不同寻址方式的目的是（[答案填入前面表格]）。
- A. 实现存储程序和程序控制。
 - B. 缩短指令长度，扩大寻址空间，提高编程灵活性
 - C. 可以直接访问外存
 - D. 提供扩展操作码的可能并降低指令译码难度
7. 有关总线仲裁，以下说法错误的是（[答案填入前面表格]）。
- A. 菊花链仲裁方式中，电路简单，但当 BG 链路出现问题时，会严重影响正常的仲裁。
 - B. 在轮询仲裁方式中，若采用总线忙信号复位计数器，则各设备具有相同的优先级。
 - C. 轮询仲裁方式优于菊花链仲裁的一点是，轮询中一个设备的故障不会影响其它设备。
 - D. 链式分布式仲裁方式所需要的信号线较少，且不依赖于中央仲裁器。

8. 某 CPU 是小端存储, 1 个 32 位的十六进制数 12345678H 存储在 1000H 开始的以字节编址的主存空间中, 则地址 1002H 处存储的字节是 ([答案填入前面表格])。

- A. 12H B. 34H C. 56H D. 78H

9. 有关硬布线控制器, 以下说法错误的是 ([答案填入前面表格])。

- A. 硬布线控制器比较容易实现现代复杂 CISC 处理器。
- B. 硬布线控制器的输入是指令译码结果、时序信号和状态标志, 输出是控制信号。
- C. 一旦完成了硬布线控制器的设计, 改变控制器行为的唯一方法就是重新设计控制单元。
- D. 每个控制信号用与或逻辑电路生成, 将所有控制信号的与或逻辑电路组合在一起就构成了硬布线控制器。

10. 有关冯·诺依曼体系结构的特点, 以下说法错误的是 ([答案填入前面表格])。

- A. 指令和数据都采用二进制表示
- B. CPU 要逐条取指令, 然后执行指令
- C. 指令和数据存放在不同的存储器中
- D. 计算机要处理的问题应编制为指令构成的程序

11. 已知定点整数 X 的原码为 $1X_{n-1}X_{n-2}\dots\dots X_0$, 且 $X > -2^{n-1}$, 则必有 ([答案填入前面表格])。

- A. $X_{n-1}=0$ B. $X_{n-1}=1$
C. $X_{n-1}=0$ 且 $X_0\sim X_{n-2}$ 不全为 0 D. $X_{n-1}=1$ 且 $X_0\sim X_{n-2}$ 不全为 0

12. 有关 Cache 缺失, 以下说法错误的是 ([答案填入前面表格])。

- A. 采用硬件预取策略, 可以降低强制缺失率。
- B. 采用全相联地址映射方式时, 容易发生冲突缺失。
- C. 当 Cache 总容量一定时, 一味增加 Cache 块的尺寸并不一定会降低缺失率。
- D. 8 路组相联的命中效果已经与全相联非常接近了, 因此实际中相联度一般不超过 8。

13. 有关虚拟存储器，以下说法错误的是（[答案填入前面表格]）。

- A. 虚拟存储器常用的替换策略是 LRU。
- B. 段式虚拟存储器比页式虚拟存储器主存利用率高。
- C. 虚拟存储器的有效工作也建立在程序和数据访问的局部性原理之上。
- D. 虚拟存储器的设计目的之一是在其速度保持与主存一致的同时容量与价格接近外存。

14. 有关提高 CPU 速度的策略，以下说法中正确的有（[答案填入前面表格]）个。

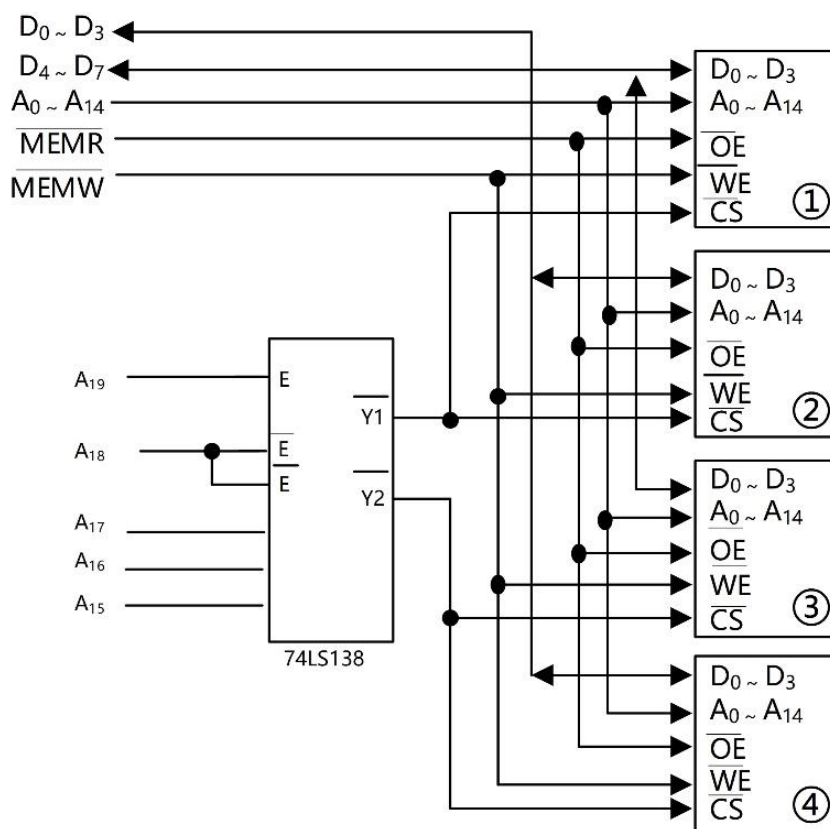
- ① 可采用更先进的半导体加工制造技术，使得 CPU 芯片的集成度更高，延迟更小，能耗更低，成本更低。
- ② 可以采取减少指令执行的时钟周期数，从而加快 CPU 的执行速度。
- ③ 可以采用 RISC 结构来缩短时钟周期，从而使得每条指令的执行速度加快。
- ④ 多核与多线程技术可以相对简单的方式大幅度提高 CPU 的性能。

A. 1 B. 2 C. 3 D. 4

15. 有关多发射处理器，以下说法错误的是（[答案填入前面表格]）。

- A. 多发射处理器的 IPC 都是大于 1 的。
- B. 对于 VLIW 处理器，拼接超长指令字主要由硬件完成。
- C. 超长指令字 VLIW 处理器的结构和控制逻辑比超标量处理器简单。
- D. 超标量处理器指的是有多条流水线或多个独立执行单元的处理器。

二、(共 10 分)



1. 图中有①②③④共四片内存芯片，每片的规格为 _____K × _____b。
2. 芯片①和芯片②的连接方式为_____（字扩展/位扩展），芯片③和芯片④的连接方式为_____（字扩展/位扩展），芯片①②和芯片③④的连接方式为_____（字扩展/位扩展）。
3. 图中 74LS138 译码器 $\bar{Y}1$ 输出所决定的主存地址范围为_____，共_____KB； $\bar{Y}2$ 输出所决定的主存地址范围为_____，共_____KB。

三、(共 15 分)

某计算机系统，主存最大寻址空间为 16MB，按字节编址。

为了提高主存系统的平均访问速度，该计算机设计了高速缓冲存储器 (Cache)，与主存间采用 8 路组相联地址映射方式，每路 4 块，每块 64B。Cache 与主存之间以块为单位传输数据。(提示：“B”代表“字节”)

1. (10 分) 为实现地址映像，试确定主存地址如何划分：

标记 (Tag) 为_____位；索引 (Index) 为_____位；块内地址为_____位。

该计算机的 Cache 容量为_____KB。

Cache 地址映射表如下所示 (其中“标记”一栏为十六进制数)：

第 1 路		第 2 路		第 3 路		第 4 路	
有效位	标记	有效位	标记	有效位	标记	有效位	标记
1	ABCD	1	ABCC	1	ABCB	1	ABCE
1	ABCB	0	—	1	ABCA	1	ABCC
1	ABCF	1	ABCB	1	ABCD	0	—
1	ABCA	0	—	0	—	1	ABCF

第 5 路		第 6 路		第 7 路		第 8 路	
有效位	标记	有效位	标记	有效位	标记	有效位	标记
0	—	1	ABCF	0	—	1	ABCA
1	ABCF	1	ABCD	1	ABCE	0	—
1	ABCC	1	ABCE	1	ABCA	0	—
1	ABCE	1	ABCB	1	ABCD	1	ABCC

当访问地址为 ABCDEFH 的主存单元时，是否命中 Cache？

是否命中？_____ (填“命中”或“未命中”)

如果命中，命中 Cache 第_____路的第_____块 (每路的块号从 0 开始)。
如果未命中，说明理由。

2. (5 分) 该计算机系统的 CPU 访问主存时，如果 Cache 命中，则直接访问 Cache，Cache 的读写时间 T_C 为 8ns；如果 Cache 未命中，则首先把包含该数据的块从主存装入 Cache，所需时间 T_M 为 150ns (不考虑替换等时间开销)，然后访问 Cache 中的该数据。该计算机在运行某程序时，Cache 的命中率 h 为 98%，求运行此程序时 Cache-主存系统的平均访问时间 T_A 。

四、(共 15 分)

某计算机字长 32 位，主存最大寻址空间 4GB，按字节编址。该计算机的指令为单字长，共四种格式，如下所示。

“JU 型”指令：

操作码	立即数	目的寄存器
7 位	20 位	5 位

“BS 型”指令：

操作码	立即数高位	源寄存器 2	源寄存器 1	立即数低位
10 位	7 位	5 位	5 位	5 位

“I 型”指令：

操作码	立即数	源寄存器 1	目的寄存器
10 位	12 位	5 位	5 位

“R 型”指令：

操作码	源寄存器 2	源寄存器 1	目的寄存器
17 位	5 位	5 位	5 位

1. (3 分) 该计算机最多可以有_____个通用寄存器；

每个通用寄存器可存储_____位二进制数据；主存地址_____位。

2. (6 分)

在设计该计算机的指令集时，要求“JU 型”指令 100 条，“BS 型”和“I 型”指令总共 200 条，那么最多可以设计多少条“R 型”指令？

3. (6 分) 某条件转移指令的汇编语言形式：bge R5,R6,-20

其中，“R5”为源寄存器 2，“R6”为源寄存器 1，“-20”为立即数。

该指令视寄存器的内容为补码，采用 PC 相对寻址，如果源寄存器 2 的内容大于等于源寄存器 1 的内容，则 PC 当前的内容（此 bge 指令的地址）加指令给出的立即数(补码表示的偏移量)，加的结果存入 PC。此指令为“BS”型，操作码为“1100011101”，12 位的立即数分成两部分(高 7 位和低 5 位)存储。以二进制形式写出此指令的机器码：

操作码	立即数高位	源寄存器 2	源寄存器 1	立即数低位
1100011101				
10 位	7 位	5 位	5 位	5 位

利用该指令向后（小地址方向）跳转，最多可以跳过多少条指令？

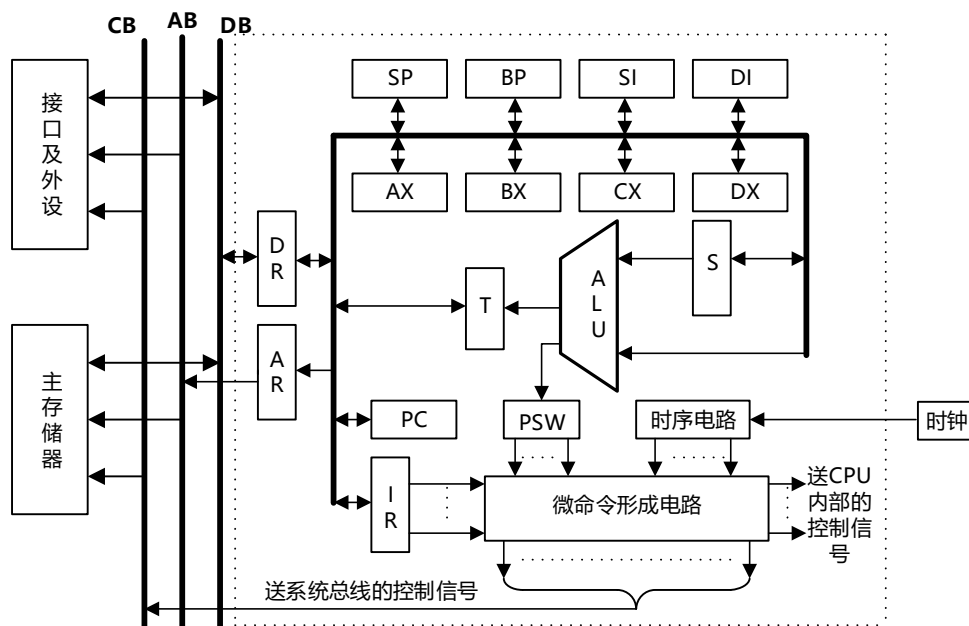
五、(共 15 分)

某单总线计算机框图如下，包括 CPU、主存、外设、总线等。CPU 的寄存器有输入锁存控制信号 AX_{in} 、 BX_{in} 、 CX_{in} 、 DX_{in} 、 SP_{in} 、 BP_{in} 、 SI_{in} 、 DI_{in} 、 PC_{in} 、 IR_{in} 、 DRI_{in} 、 DRS_{in} 、 AR_{in} 、 S_{in} 、 PSW_{in} ；输出允许控制信号 AX_{out} 、 BX_{out} 、 CX_{out} 、 DX_{out} 、 SP_{out} 、 BP_{out} 、 SI_{out} 、 DI_{out} 、 PC_{out} 、 IR_{out} 、 DRI_{out} 、 DRS_{out} 、 AR_{out} 、 T_{out} 、 PSW_{out} ；还有 PC 自增信号 $PC+1$ ，SP 自增信号 $SP+1$ （用于弹出堆栈）和 SP 自减信号 $SP-1$ （用于压入堆栈）。PSW 内部有 ZF、SF、OF、IF 等标志位。CPU 的 ALU 有加 (ADD)、减 (SUB)、与 (AND)、或 (OR)、非 (NOT) 等运算控制信号；外部控制信号有主存储器读信号 (Mread)、主存储器写信号 (Mwrite)、I/O 读信号 (IOread)、I/O 写信号 (IOwrite)。

1. (8 分) 试用微操作和对应的微命令表示以下计算机指令的执行流程，完成表中空出来的部分，包括微操作和微命令：

(1) ADD CX, AX；加法指令，完成 AX 寄存器和 CX 寄存器求和，结果写入 CX 寄存器；

(2) JZ offset；有条件跳转指令，当运算结果为零时，程序跳转到相对当前 PC 位置偏移量为 offset 处，其中 offset 是指令内给出的偏移。



节拍	微操作	微命令
取指令公操作：样例		
T1	$AR \leftarrow PC$	PC_{out}, AR_{in}
T2	$DR \leftarrow Memory[AR]$	$AR_{out}, Mread, DRS_{in}$
T3	$PC \leftarrow PC + I, IR \leftarrow DR$	$PC + 1, DRI_{out}, IR_{in}$
ADD CX, AX 指令：		
T4	$S \leftarrow AX$	AX_{out}, Sin
T5		
T6		
JZ offset 指令：		
	ZF=1:	
T4	$S \leftarrow IR(\text{地址字段})$	IR_{out}, Sin
T5		
T6		

2.（4 分）假设系统中控制器采用微程序控制方式实现，系统的控制信号被分别放置在微指令控制域的 4 个字段中，如下表所示，请确定各字段的位数，并填写在下表中。

字段	字段 1	字段 2	字段 3	字段 4
控制信号数量	15	15	8	4
位宽				

3.（3 分）如果控制器中微地址寄存器是 12 位，微指令地址域采用单地址格式，其中地址控制位 AC 仅占 1 位，那么在 2 题的基础上，请确定微指令的长度和控制存储器的容量。

六、(共 15 分)

用一条 5 功能段的浮点加法器流水线计算 $F=A+B+C+D+E+F+G+H+I+J$ ，假设每个功能段的延迟时间都是 t ，流水线的输出端与输入端之间有直接数据通路，而且设置有足够的缓冲寄存器，要求用尽可能短的时间完成计算。

1. (6 分) 画出流水线时空图，并指出该运算过程是否存在数据冒险。

2. (9 分) 计算流水线的实际吞吐率、加速比和效率。

七、(共 10 分)

1. (4 分) 某总线时钟频率为 50MHz, 传输 1 个 32 位数据需要 4 个总线时钟周期, 则该总线可以支持的设备传输率是多少?

2. (3 分) 假设 RISC-V 处理器执行程序的第 i 条指令时发生了中断, 处理器响应该中断转入执行中断处理程序。若第 i 条指令存放在主存地址为 801CH 起始的存储单元中, 则中断返回地址是_____H。

3. (3 分) 在采用周期挪用(窃取)方式工作的计算机系统中, CPU 和 DMAC 哪一个总线控制优先权高? 为什么?