

浙江大学



# 计算机逻辑设计基础

Lab 1、2、3

Author: 苏煜程

Student ID: 3220105481

Date: 2023 年 10 月 19 日

# 浙江大学实验报告

课程名称：计算机逻辑设计基础

实验名称：常用电子仪器的使用

学生姓名：苏煜程 专业：人工智能（图灵班） 学号：3220105481

同组学生姓名：张延泽 指导老师：董亚波

实验地点：东 4-509 实验日期：2023 年 9 月 21 日

## 1 实验目的和要求

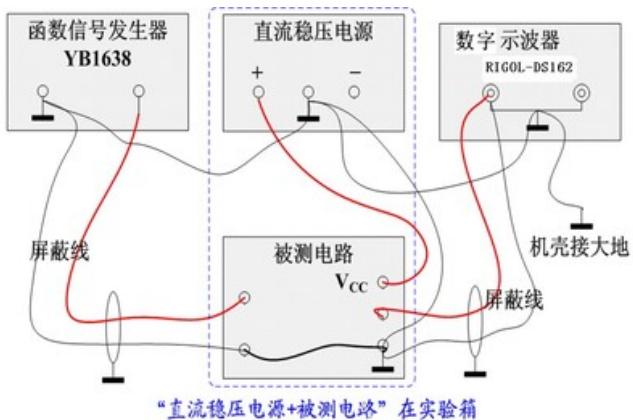
1. 认识常用电子器件
2. 学会数字示波器、数字信号发生器（函数信号发生器）、直流稳压电源、万用表等常用电子仪器的使用
3. 掌握用数字示波器来测量脉冲波形及幅度和频率的参数
4. 掌握万用表测量电压、电阻及二极管的通断的判别

## 2 实验内容和原理

### 2.1 实验内容

1. 用数字示波器来测量函数信号发生器发出来的频率（周期）和幅度。通过选择频率范围按键和频率调节旋钮，使函数信号发生器发出频率分别为 100Hz、10KHz 和 100KHz 的正弦波，用数字示波器测出上述信号的周期和频率，验证函数信号发生器发生信号正确率。
2. 让信号发生器输出频率为 1KHz、1-3V 任意有效值的正弦波（用数字万用表交流档测量有效值），用示波器测量其幅值，并进行有效电压值的计算与比较。

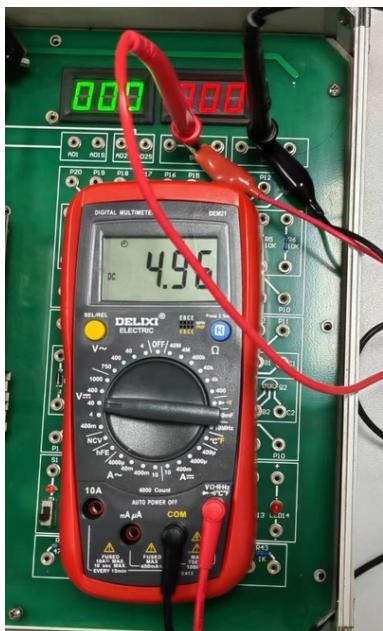
### 2.2 实验原理



### 3 实验过程和数据记录

#### 3.1 测量试验箱中的直流电源

1. 将万用表功能量程开关置于直流电压 (V-) 档位和合适的量程，将红表笔插入实验台 5V 插孔，黑表笔插入 GND 插孔，记录万用表显示电压。
2. 将示波器信号地接 GND 插孔，信号探头接 5V 插孔，测量示波器的电压波形与 0 电平标记之间的格数，计算出测量到的电压值。



(a) 万用表

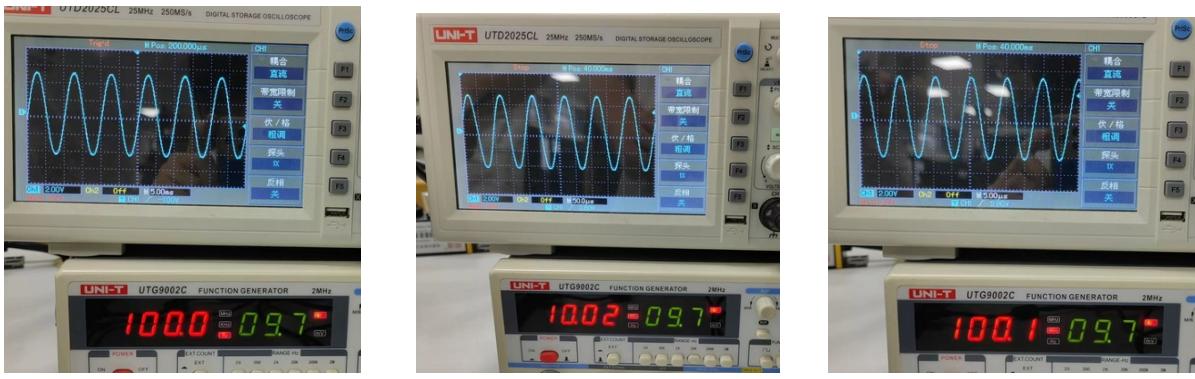


(b) 示波器

直流稳压电源输出	示波器读数	灵敏度	示波器折算值	万用表读数
+5 V	5.0 Div	1.00 V/Div	5.0 V	4.96 V

#### 3.2 用示波器测量正弦波信号

频率（周期）测量：通过选择频率范围开关和频率调节旋钮使 YB1638 型函数信号发生器发出频率分别为 100Hz、10KHz 和 100KHz 的正弦波，用示波器测出上述信号的周期和频率，比较是否与刻度值相一致。测量结果如下图，数据记入下表。



(a) 100Hz

(b) 10KHz

(c) 100KHz

	函数发生器输出	示波器读数	灵敏度	实测值	
幅度	/	4.8 Div	2.00 V/Div	9.6 V	
周期/频率	100Hz	2.0 Div	5.00 ms/Div	10.0 ms	100 Hz
幅度	/	4.8 Div	2.00 V/Div	9.6 V	
周期/频率	10KHz	2.0 Div	50.0 μs/Div	10.0 μs	10 KHz
幅度	/	4.8 Div	2.00 V/Div	9.6 V	
周期/频率	100KHz	2.0 Div	5.00 μs/Div	10.0 μs	100 KHz

### 3.3 测量 YB1638 信号发生器输出电压

1. 让信号发生器输出 1KHz、1-3V 任意的正弦波信号，将信号发生器的输出接到示波器，用示波器测量峰峰值  $V_{p-p}$ 。
2. 将万用表功能量程开关置于交流电压档位和合适量程，测量信号发生器输出的信号的有效值。
3. 示波器测量的峰峰值折算成有效值  $V = \frac{V_{p-p}}{2\sqrt{2}}$ ，与万用表用交流档读取的有效值进行比较。



(a) 示波器测量峰峰值

(b) 万用表测量有效值

函数发生器输出频率	示波器读取值		折算有效值	万用表读取值
1 KHz	4.0 Div	0.500 V/Div	$\frac{2.0}{2\sqrt{2}} = 0.707 \text{ V}$	0.707 V

### 3.4 用万用表测二极管的单向导通特性

将万用表功能量程开关置于二极管档位，把红黑表笔分别接到实验台上的二极管的两极，如果显示屏上显示 0.6-0.7 的数字，此时二极管正向导通，显示的数字是 PN 结的电压，红表笔接的极是二极管的正极，黑表笔接的是负极。如果显示屏上显示的数字是“1”，此时二极管反向截止，红表笔接的是二极管负极，黑表笔接的是正极。



二极管正向导通时万用表读数	二极管反向截止时万用表读数
0.590 V	.OL

## 4 实验结果分析

- 测量试验箱中的直流电源的实验中，万用表测得直流电源电压为 4.96V，而直流电源的额定电压和示波器测出的电压均为 5.00V。导致这种现象出现的原因可能是万用表内部导线电阻较大，使线路分压，从而导致测得电压偏低。
- 因为波形的粗细和示波器肉眼读数时的估计误差，示波器读数值折算的有效值和万用表读数值往往存在一定的差异。
- 用万用表测二极管的单向导通特性的实验中，二极管反向截止时显示 “.OL”，表示超过万用表的量程，此处视作断路，即二极管反向截止。

## 5 讨论与心得

本次实验总体顺利。因为之前选修过电子工程训练这门课，所以相关操作都比较熟悉。这次实验很好地复习了示波器、万用表的使用，为以后的实验打下了基础。

# 浙江大学实验报告

课程名称：计算机逻辑设计基础

实验名称：基本开关电路

学生姓名：苏煜程 专业：人工智能（图灵班） 学号：3220105481

同组学生姓名：张延泽 指导老师：董亚波

实验地点：东 4-509 实验日期：2023 年 9 月 28 日

## 1 实验目的和要求

1. 掌握逻辑开关电路的基本结构
2. 掌握二极管导通和截止的概念
3. 用二极管、三极管构成简单逻辑门电路
4. 掌握最简单的逻辑门电路构成

## 2 实验内容和原理

### 2.1 实验内容

1. 用二极管实现正逻辑与门，并测量输入输出电压参数，分析其逻辑功能
2. 用二极管实现正逻辑或门，并测量输入输出电压参数，分析其逻辑功能
3. 用三极管反向特性实现正逻辑非门，测量输入输出电压参数，分析其逻辑功能
4. 采用前面的与门和非门实现与非门，测量输入输出电压参数，分析其逻辑功能

### 2.2 实验原理

#### 2.2.1 二极管

**半导体** 导电特性处于导体和绝缘体之间，称为半导体，如锗、硅、砷化镓和一些硫化物、氧化物等。半导体的导电机理不同于其它物质，具有不同于其它物质的特点。

完全纯净的、不含其他杂质且具有晶体结构的半导体称为本征半导体。将硅或锗材料提纯形成单晶体，原子结构为共价键结构（图片 5）。温度  $T=0K$  时，半导体不导电，如同绝缘体。

在硅或锗的晶体中掺入少量的 5 价杂质元素，如磷、锑、砷等，即构成 N 型半导体（图 6a）（或称电子型半导体）。

在硅或锗的晶体中掺入少量的 3 价杂质元素，如硼、镓、铟等，即构成 P 型半导体（图 6b）。空穴浓度多于电子浓度，即  $p \gg n$ 。空穴为多数载流子，电子为少数载流子。

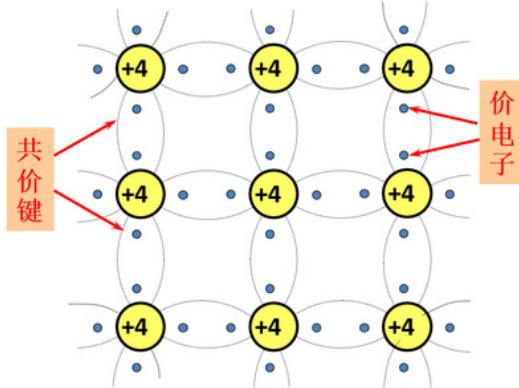


图 5: 本征半导体晶体结构

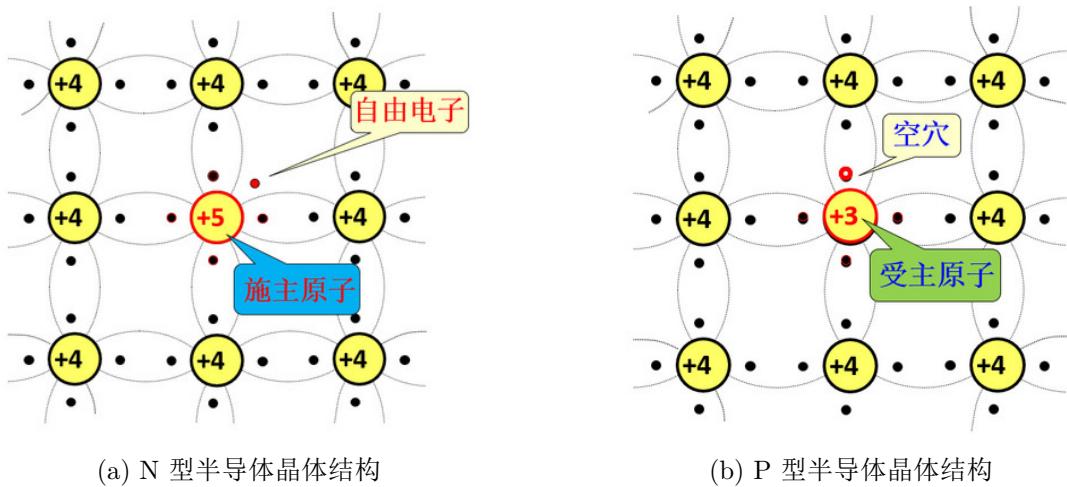


图 6: 杂质半导体晶体结构

**PN 结** 在一块半导体单晶上一侧掺杂成为 P 型半导体，另一侧掺杂成为 N 型半导体，两个区域的交界处就形成了一个特殊的薄层，称为 PN 结（图 7）。

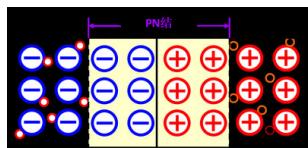


图 7: PN 结

PN 结外加正向电压时处于导通状态，又称正向偏置，简称正偏。PN 结逐渐耗尽，当 PN 结的电势差降低到一定程度时，电子和空穴可以穿过 PN 结，形成电流。此时，PN 结的电阻将变得很小，PN 结的电流将呈现出线性增加的趋势。

PN 结外加反向电压时处于截止状态，又称反向偏置。电子和空穴会被电势差吸引，从而增加 PN 结两侧电势差。此时，电子和空穴将不能穿过 PN 结，从而形成的反向电流  $I_s$  极小，PN 结的电阻将变得很大，PN 结将呈现出非线性的电阻特性。

当反向电压逐渐增大时，反向饱和电流不变。反向饱和电流对温度十分敏感，随着温度升高， $I_s$

将急剧增大。当反向电压达到一定值时，PN 结将被击穿，电流急剧增大。

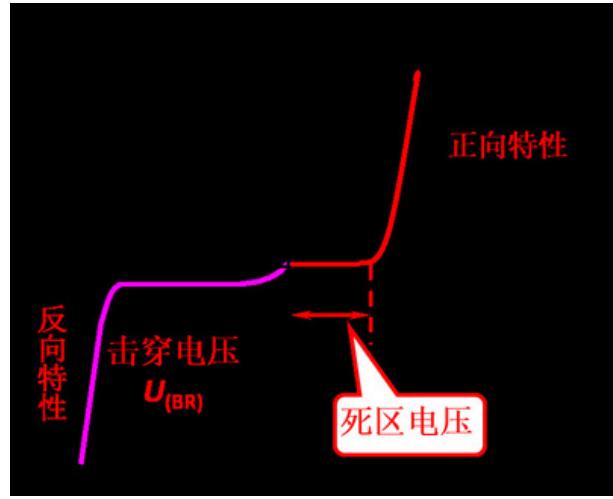


图 8: PN 结的伏安特性

### 2.2.2 三极管

又称半导体三极管、晶体三极管，或简称晶体管。三极管有两种类型：NPN 型和 PNP 型。

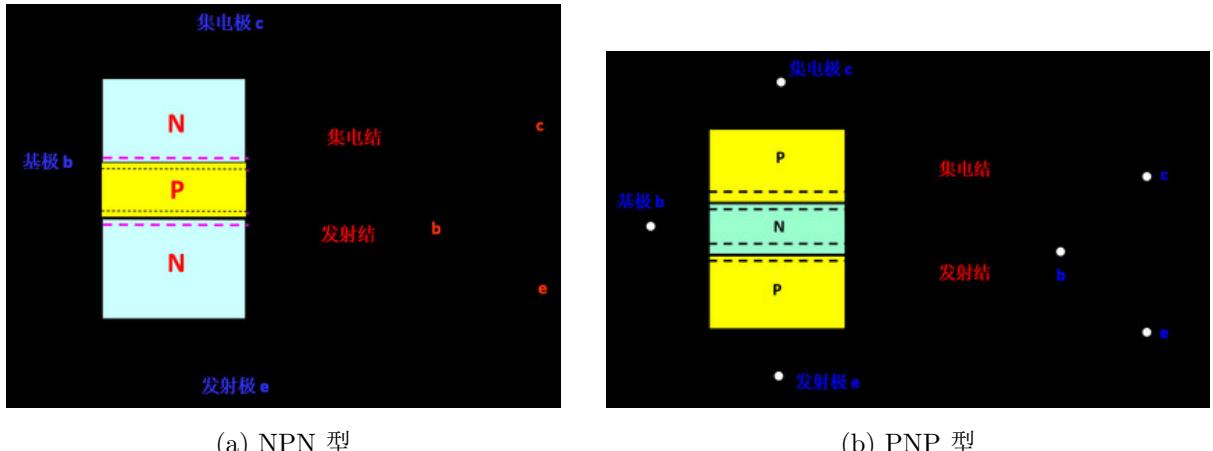


图 9: 三极管结构示意图和符号

对于 NPN 型三极管。当 b 点电位高于 e 点电位零点几伏时，发射结处于正偏状态，而 c 点电位高于 b 点电位几伏时，集电结处于反偏状态，集电极电源  $E_c$  要高于基极电源  $E_b$ 。在制造三极管时，有意识地使发射区的多数载流子浓度大于基区的，同时基区做得很薄，而且，要严格控制杂质含量，这样，一旦接通电源后，由于发射结正偏，发射区的多数载流子（电子）及基区的多数载流子（空穴）很容易地越过发射结互相向对方扩散，但因前者的浓度基大于后者，所以通过发射结的电流基本上是电子流，这股电子流称为发射极电流  $I_e$ 。

由于基区很薄，加上集电结的反偏，注入基区的电子大部分越过集电结进入集电区而形成集电极电流  $I_c$ ，只剩下很少（1 – 10%）的电子在基区的空穴进行复合，被复合掉的基区空穴由基极电源

$E_b$  重新补给，从而形成了基极电流  $I_b$ 。根据电流连续性原理得  $I_e = I_c + I_b$ 。这就是说，在基极补充一个很小的  $I_b$ ，就可以在集电极上得到一个较大的  $I_c$ ，这就是所谓电流放大作用， $I_c$  与  $I_b$  维持一定的比例关系  $I_c = \beta I_b$ 。

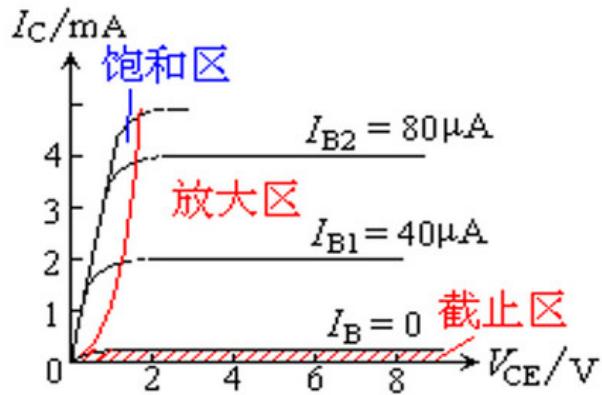
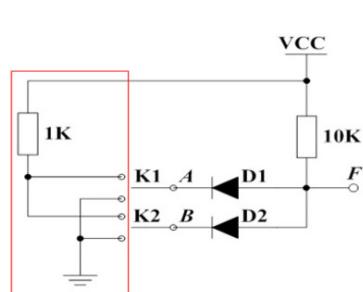


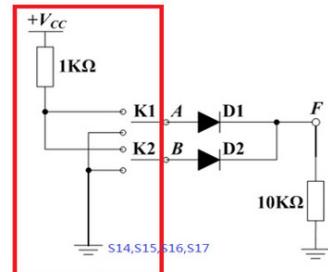
图 10: 晶体管的电流放大作用

### 2.2.3 使用二极管和三极管实现常见逻辑门

通过二极管和三极管可以实现逻辑门电路，从而进一步构建形成计算机的组成单元。本次实验要求的与门、或门、非门和与非门电路如下：



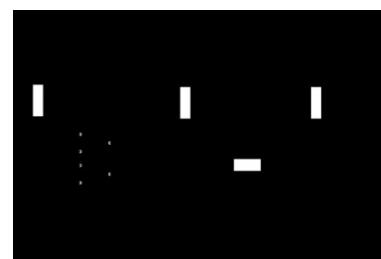
(a) 与门



(b) 或门



(c) 非门



(d) 与非门

图 11: 常见逻辑门的实现

### 3 实验过程和数据记录

#### 3.1 用二极管实现正逻辑“与门”

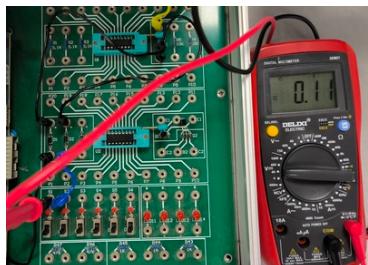
1. 根据图 11a 在实验箱中通过导线连接电路，检查二极管、电源电压和极性、电阻值等是否连接正确。
2.  $V_{cc}$  接实验箱中 +5V 直流电源。
3. 输入高低电平通过开关  $S_1 - S_6$  产生。输入 A, B 的不同电平组合，用万用表或实验箱中的直流电压表测量 A, B 及对应输出 F 的电压值。最后判断逻辑关系是否满足  $F = AB$

接线如图：

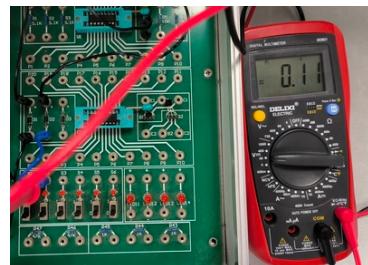


图 12: 与门

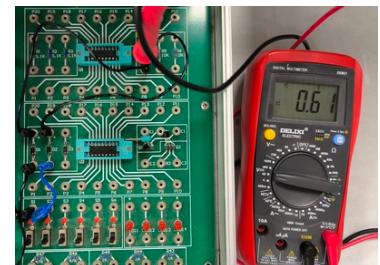
测量结果如下：



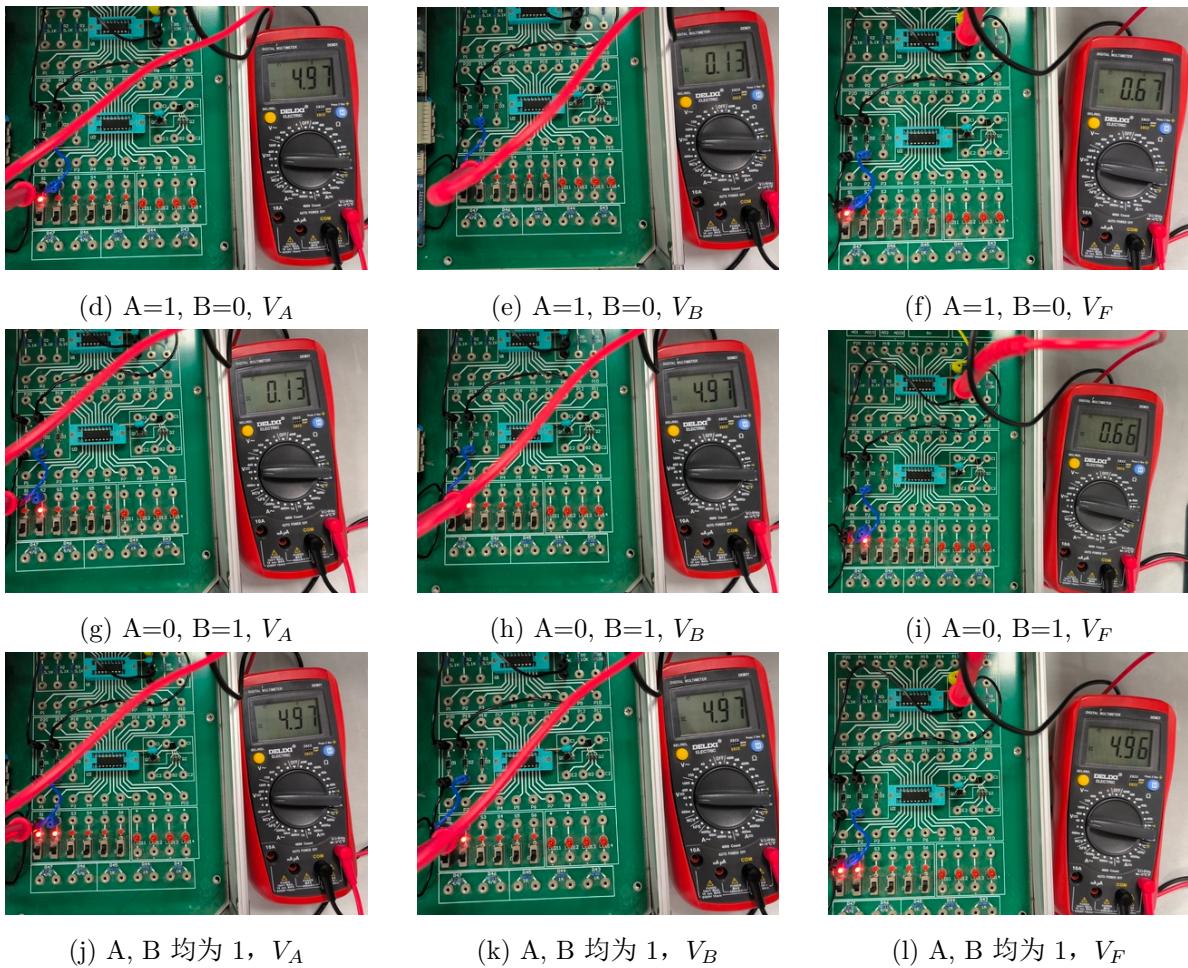
(a) A, B 均为 0,  $V_A$



(b) A, B 均为 0,  $V_B$



(c) A, B 均为 0,  $V_F$



数据记录如下表：

$V_A/V$	$V_B/V$	$V_F/V$	F 逻辑值
0.11	0.11	0.61	0
4.97	0.13	0.67	0
0.13	4.97	0.66	0
4.97	4.97	4.96	1

### 3.2 用二极管实现正逻辑“或门”

- 根据图 11b 在实验箱中通过导线连接电路，检查二极管、电源电压和极性、电阻值等是否连接正确。
- 输入高低电平通过开关  $S_1 - S_6$  产生。输入 A, B 的不同电平组合，用万用表或实验箱中的直流电压表测量 A, B 及对应输出 F 的电压值。最后判断逻辑关系是否满足  $F = A + B$

接线如图：

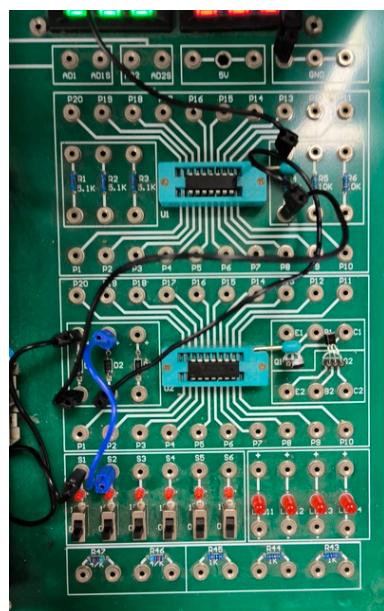
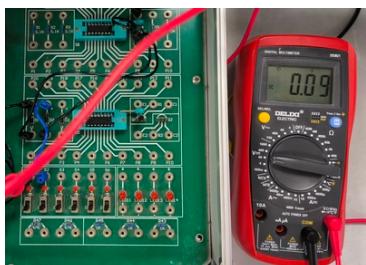
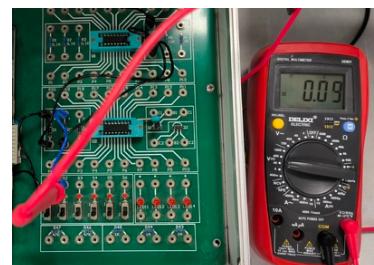


图 14: 或门

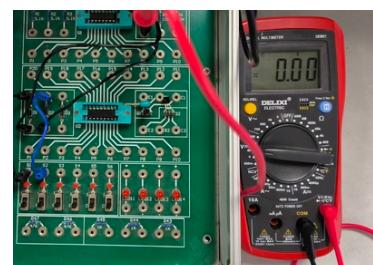
部分测量结果如下：



(a) A, B 均为 0,  $V_A$



(b) A, B 均为 0,  $V_B$



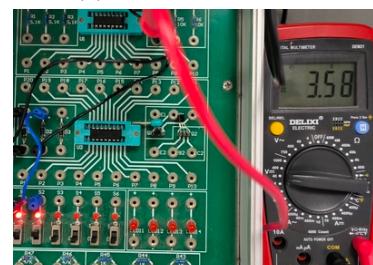
(c) A, B 均为 0,  $V_F$



(d) A=1, B=0,  $V_A$



(e) A=0, B=1,  $V_B$



(f) A, B 均为 1,  $V_F$

数据记录如下表：

$V_A/V$	$V_B/V$	$V_F/V$	F 逻辑值
0.09	0.09	0.00	0
0.09	3.49	2.97	1
3.48	0.09	2.97	1
4.07	4.08	3.58	1

### 3.3 三极管极性测量

1. 将万用表功能量程开关置于二极管档位，用红黑表笔判断被测三极管是 PNP 还是 NPN 型，确定基极 b。
2. 将万用表功能量程置于“hFE”位置，把三极管插入面板上三极管测试插座。
3. 从显示屏上读取 hFE 近似值，若该值较大（约 100），说明三级管 c, e 极与插座上的 c, e 极对应；若该值很小，说明这时的三极管 c, e 极插反，应把 c, e 极对调后再读取 hFE 值。



(a) 红表笔接基极，黑表笔接左侧 (b) 红表笔接基极，黑表笔接右侧 (c) 红表笔接左侧，黑表笔接右侧

图 16: 万用表确定三极管类型和基极 b

经过测试，可知三极管类型为 NPN 型，且基极为中间的引脚。



图 17: 万用表测定三极管 hFE 值

如图 17 所示，该值较大，说明三极管的 c, e 级判断没有错误。由此可以画出三极管引脚示意图。



图 18: 三极管引脚示意图

### 3.4 用三极管实现正逻辑“非门”

1. 根据图 11c 在实验箱中通过导线连接电路，检查三极管、电源电压和极性、电阻值等是否连接正确。
2. 将 +5V 直流电源接入  $V_{cc}$  端。
3. 输入 A 端的高、低电平用开关  $S_1 - S_6$  产生，测量 A 和输出端 F 对应的电压值。
4. 判断逻辑关系是否满足  $F = \bar{A}$ 。

接线如图：

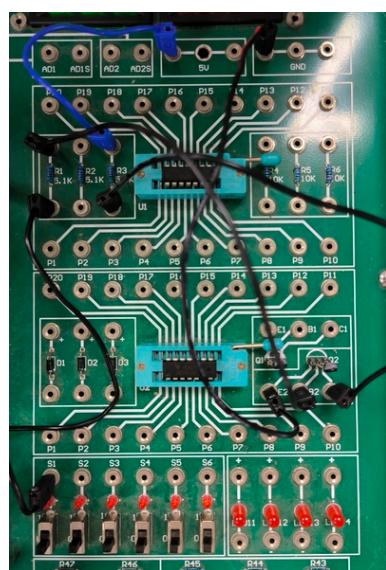
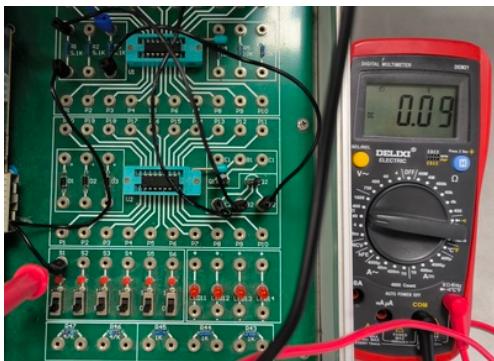
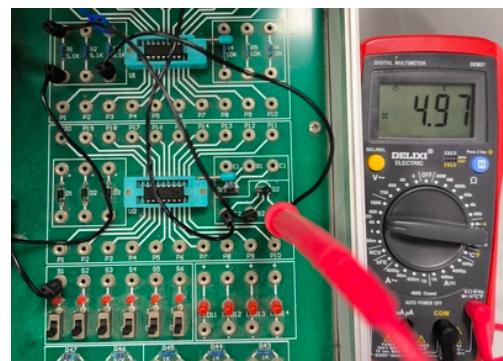


图 19: 非门

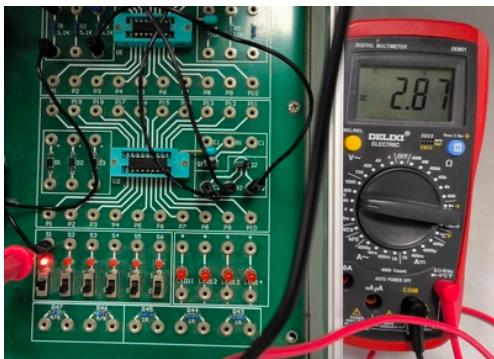
测量结果如下：



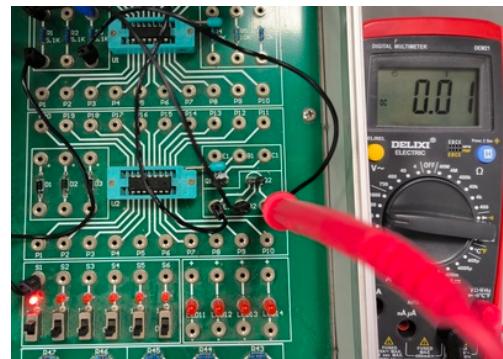
(a)  $A = 0, V_A$



(b)  $A = 0, V_F$



(c)  $A = 1, V_A$



(d)  $A = 1, V_F$

数据记录如下表：

$V_A/V$	$V_F/V$	F 逻辑值
0.09	4.97	1
2.87	0.01	0

### 3.5 用晶体管实现正逻辑“与非门”

- 根据图 11d 在实验箱中通过导线连接电路，检查二极管、三极管、电源电压和极性、电阻值等是否连接正确。
- 将 +5V 直流电源接入  $V_{cc}$  端。
- 输入 A, B 端的高、低电平用开关  $S_1 - S_6$  产生。测量 A, B 及输出端 F 对应的电压值。
- 判断逻辑关系是否满足  $F = \overline{AB}$ 。

接线如图：

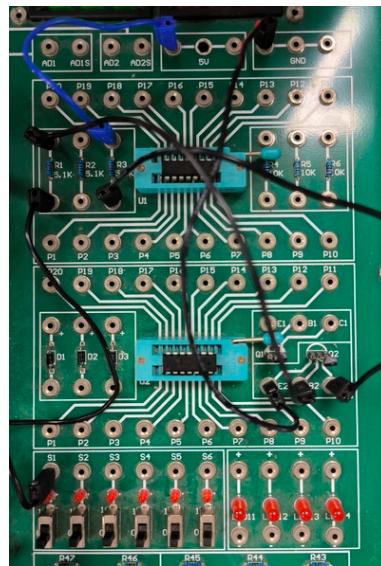
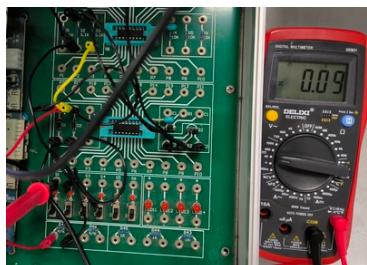
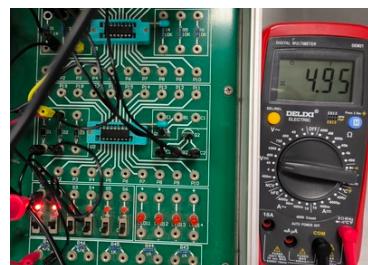


图 21: 与非门

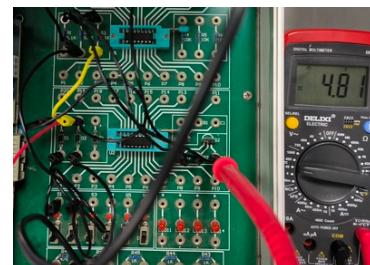
部分测量结果如下:



(a) A, B 均为 0,  $V_A$



(b) A, B 均为 1,  $V_A$



(c) A, B 均为 0,  $V_F$

数据记录如下表:

$V_A/V$	$V_B/V$	$V_F/V$	F 逻辑值
0.09	0.09	4.80	1
4.96	0.09	4.36	1
0.10	4.96	4.54	1
4.96	4.96	0.02	0

## 4 实验结果分析

- 实验中得到的逻辑值，对应的是一个电压范围。通常的判断标准由下表的常用逻辑电平标准给出。

逻辑电平	$V_{CC}/V$	$V_{OH}/V$	$V_{OL}/V$	$V_{IH}/V$	$V_{IL}/V$	说明
TTL						
LV-TTL						
LV-TTL						
CMOS						
LVC-MOS						
LVC-MOS						
RS232						

图 23: 常用逻辑电平标准

表中  $V_{IH}$  是输入高电平,  $V_{IL}$  是输入低电平,  $V_{OH}$  是输出高电平,  $V_{OL}$  是输出低电平。实验中的逻辑“0”实际上是 0.1V 左右的数据, 而逻辑“1”大多是 4.7V-4.9V。同时这个数据并不是固定的, 实际操作中由于晶体管的电器特质或者电阻带来的压降, 比如或门中测得的 2.87V, 也被认作“1”。

2. 实验中的部分导线/元件存在老化, 磨损等情况。通过更换导线才得出正确的结果。但总体实验误差在预期范围内。

## 5 讨论与心得

本次实验需要测量的数据较多, 且接线任务较多。因为急于验收, 有几处忘记拍照记录, 又花费了额外的时间进行接线拍照。

下次做实验的时候应该要有耐心, 不能急于求成。

# 浙江大学实验报告

课程名称：计算机逻辑设计基础

实验名称：集成逻辑门电路的功能及参数测试

学生姓名：苏煜程 专业：人工智能（图灵班） 学号：3220105481

同组学生姓名：张延泽 指导老师：董亚波

实验地点：东 4-509 实验日期：2023 年 10 月 7 日

## 1 实验目的和要求

- 熟悉基本逻辑门电路的功能、外部电气特性和逻辑功能
- 熟悉 TTL 与非门和 CMOS 或非门的封装及管脚功能
- 掌握主要参数和静态特性的测试方法，加深对各参数意义的理解
- 进一步建立信号传输有时间延时的概念
- 进一步熟悉示波器仪器的使用

## 2 实验内容和原理

### 2.1 实验内容

- 验证集成电路 74LS00 “与非”门的逻辑功能
- 验证集成电路 CD4001 “或非”门的逻辑功能
- 测量集成电路 74LS00 逻辑门的传输延迟时间  $t_{pd}$
- 测量集成电路 CD4001 逻辑门的传输延迟时间  $t_{pd}$
- 测量集成电路 74LS00 传输特性与开关门电平  $V_{ON}$  和  $V_{OFF}$  以及噪声容限

### 2.2 实验原理

数字集成电路的基本参数：扇出系数  $N_O$ 、输出高电平  $V_{oH}$ 、输出低电平  $V_{oL}$ 、电压传输特性、关门电平  $V_{OFF}$ 、开门电平  $V_{ON}$ 、噪音容限、平均传输延迟时间  $t_{pd}$ 、低电平输入电流  $I_{iL}$ 、高电平输入电流  $I_{iH}$ 、空载导通功耗  $P_{ON}$ 、空载截止功耗  $P_{OFF}$ 。

#### 2.2.1 输出高电平 $V_{oH}$

输出高电平  $V_{oH}$  是指当输出端为高电平时的电压，一般大于 2.4V，它可衡量输出端高电平负载特性。

74LS00 的  $V_{oH}$  是指在输入端接地或低电平时，输出端为高电平并输出  $400\mu A$  电流时测量的输出电平。

### 2.2.2 输出低电平 $V_{oL}$

输出低电平  $V_{oL}$  是指当输出端为低电平时的输出电压，一般小于  $0.4V$ ，可衡量输出端低电平负载特性。

74LS00 的  $V_{oL}$  是指在输入端接高电平时，输出端为低电平并灌入  $4mA$  电流时测量的输出电平。

### 2.2.3 电压传输特性

电压传输特性是指输出电压随输入电压而变化的关系特性。它可以充分显示出门输入输出的逻辑特征，可以反应出二值量化及门开关跃迁是一个连续过渡的过程。74LS00 的电压传输特性曲线如图 24。

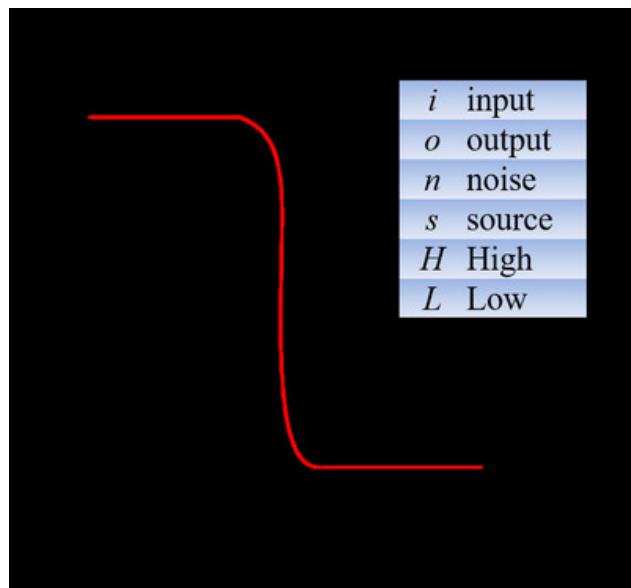


图 24: 74LS00 的电压传输特性曲线

图中标有四个开关参数：输出高电平  $V_{oH}$ 、输出低电平  $V_{oL}$ 、开门电平  $V_{ON}$ 、关门电平  $V_{OFF}$ 。

### 2.2.4 关门电平 $V_{OFF}$

关门电平  $V_{OFF}$  指使输出电压刚好达到输出转折至额定电平值时的最高输入低电平电压。

74LS00 的  $V_{OFF}$  是当输入电压由零逐渐上升、输出电压逐渐下降，当输出电压刚好降到额定最低高电平电压  $2.4V$  时的最高输入低电平电压。

### 2.2.5 开门电平 $V_{ON}$

开门电平  $V_{ON}$  指使输出电压刚好达到输出转折跃迁至另一状态额定电平值时的最低输入高电平电压。

在 74LS00 中，当输入电压由  $V_{ON}$  继续上升，输出电压急剧下降，当输出电压刚好降到额定低电平电压 0.4V 时的最低输入高电平电压称  $V_{ON}$ 。

### 2.2.6 噪音容限 (Noise Margin)

噪音容限是指加到正常输入值上、且不会在电路的输出产生不可预料变化的最大外部噪音电压。

低电平电平噪声容限  $V_{nL} = V_{OFF} - V_{oL}$ ，高电平电平噪声容限  $V_{nH} = V_{oH} - V_{ON}$ 。

### 2.2.7 平均传输延迟时间 $t_{pd}$

传输时间是一个动态参数，是晶体管 PN 节电容、分布寄生电容、负载电容等充放电时间引起的输出信号滞后于输入信号一定时间的参数。

平均传输时间  $t_{pd}$  由两部分构成：

1. 从高电平跃迁到低电平滞后时间  $t_{PHL}$
2. 从低电平跃迁到高电平滞后时间  $t_{PLH}$

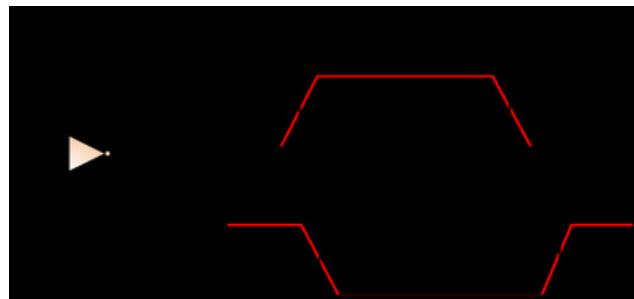


图 25:  $t_{pd}$  的组成

平均延迟时间一般把电压的最大和最小值的中间 50% 点作为时间参考点，测出  $t_{PHL}$  和  $t_{PLH}$  后求其平均值：

$$t_{pd} = \frac{t_{PHL} + t_{PLH}}{2}$$

为提高测量精度，采用环形振荡器测量传输延迟时间：假设每个与非门延迟时间相同，则振荡器周期  $T = 6t_{pd}$ 。一个逻辑门的延迟时间为  $\frac{1}{6}T$ 。

### 2.2.8 低电平输入电流 $I_{iL}$

低电平输入电流  $I_{iL}$  指输入端接地时流过此输入端的电流，也称为输入短路电流，可衡量低电平输入电阻特性。

在 74LS00 中是指一个输入端接地，另一个输入端悬空时输入端流出的电流。

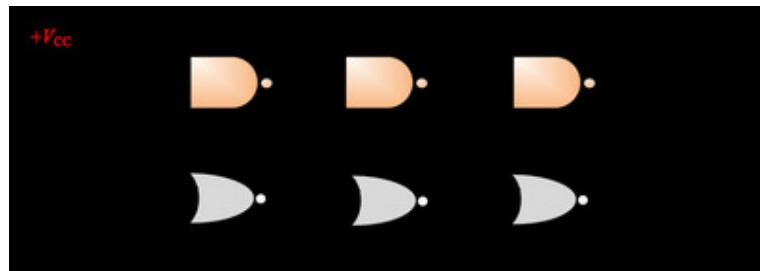


图 26: 环形振荡器

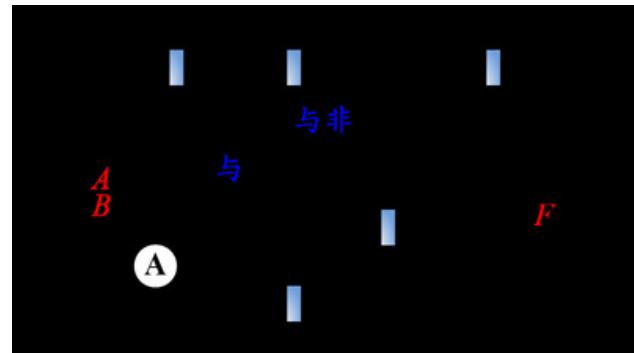


图 27: 低电平输入电流

### 2.2.9 高电平输入电流 $I_{iH}$

高电平输入电流  $I_{iH}$  指输入端接高电平时流过此输入端的电流，可衡量高电平输入电阻特性。在 74LS00 中是指一个输入端高电平，另一个输入端悬空时流入输入端的电流。

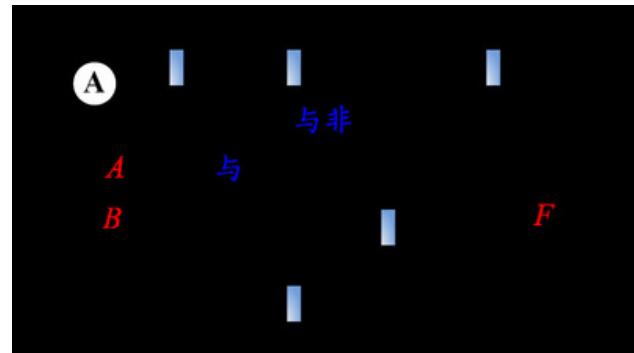


图 28: 高电平输入电流

### 2.2.10 扇出系数 (负载能力) $N_o$

扇出系数是数字逻辑器件用来衡量其输出负载能力的一个参数，表征器件的额定输出能力。逻辑器件是二值量化器件，其输出负载能力可折算成驱动多少个同类型逻辑门的数目。在额定输出电压范围内，器件能带动的同型号门的数目称为扇出系数。

74LS00 与非门输入电路：

1. 输入 A 和 B 为高电平时,  $T_1$  截止, 驱动电流很小
2. 输入 A 或 B 为低电平时,  $T_1$  导通, 驱动电流较大

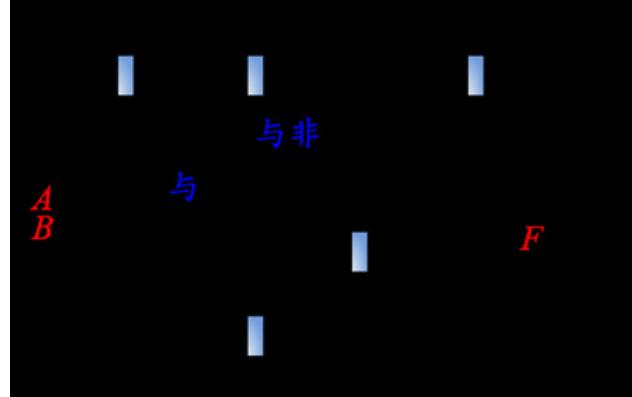


图 29: 扇出系数

TTL 的扇出驱动只要测量输出端为额定低电平时, 输出端能吸收多少电流。一般在输出端电压达到最大允许值 ( $\leq 0.4V$ ) 时测量这个电流, 它也称作最大灌入电流  $I_{oLmax}$ 。将这个电流与低电平输入电流  $I_{iL}$  相除即可获得 TTL 的扇出系数  $N_o$ :

$$N_o = \frac{I_{oLmax}}{I_{iL}}$$

### 2.2.11 空载导通功耗 $P_{ON}$

空载导通功耗  $P_{ON}$  是指输出端为低电平且不接负载时的器件功耗, 用于衡量器件输出导通时的器件功耗。

在 74LS00 中是指输入端均接高电平时, 输出端为低电平且不接负载时的器件功耗。

### 2.2.12 空载截止功耗 $P_{OFF}$

空载截止功耗  $P_{OFF}$  是指输出端为高电平且不接负载时的器件功耗, 用于衡量器件输出截止时的器件功耗。

在 74LS00 中是指输入端均接低电平时, 输出端为高电平且不接负载时的器件功耗。

## 3 实验过程和数据记录

### 3.1 验证 74LS00 “与非” 门逻辑功能

1. 将芯片插入实验箱的 IC 插座中
2. 按图 30 连接电路, 74LS00 的 14 脚接电源 +5V, 7 脚接 GND
3. 高低电平通过  $S_1 - S_6$  拨位开关产生

4. 以真值表顺序遍历输入 A, B 所有组合, 测量 A, B 及输出 F 电压

5. 重复步骤 3-4, 测量其他 3 个门的逻辑关系并判断门的好坏

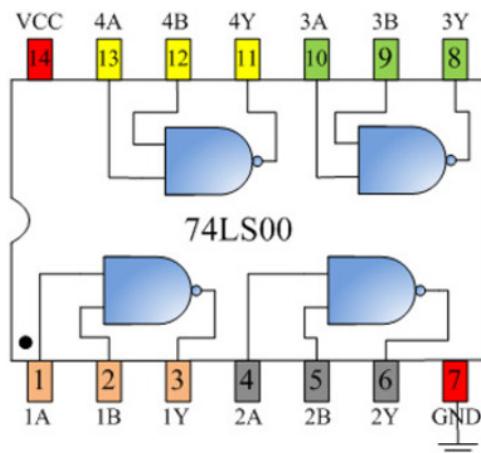


图 30: 74LS00 引脚示意图

接线如图:

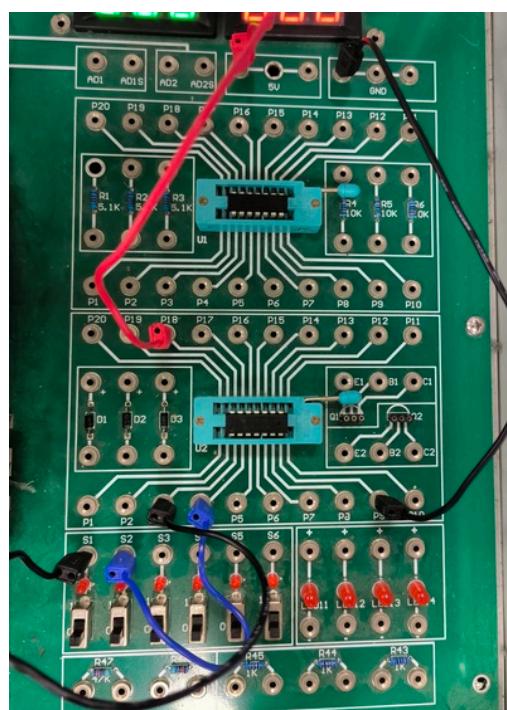
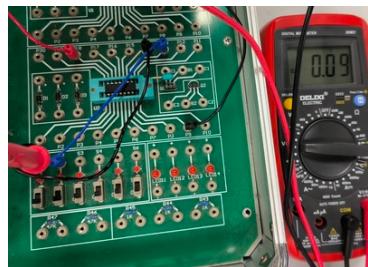


图 31: 74LS00 “与非”门

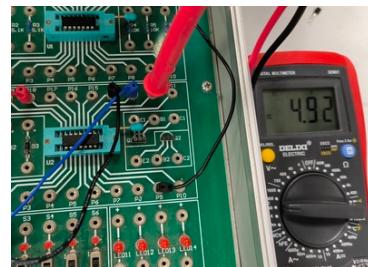
部分测量结果 (测量 3A, 3B, 3Y) 如图:



(a) A, B 均为 0,  $V_A$



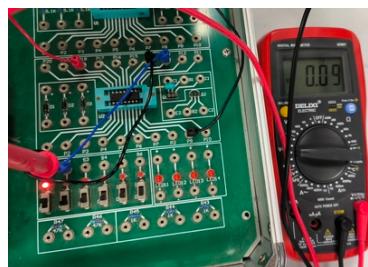
(b) A, B 均为 0,  $V_B$



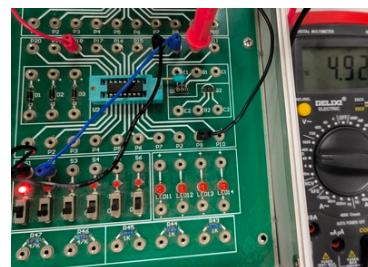
(c) A, B 均为 0,  $V_F$



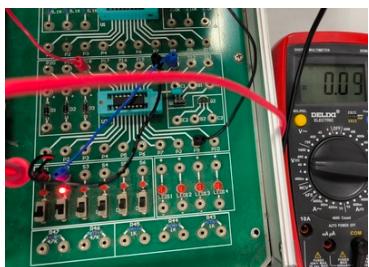
(d) A=1, B=0,  $V_A$



(e) A=1, B=0,  $V_B$



(f) A=1, B=0,  $V_F$



(g) A=0, B=1,  $V_A$



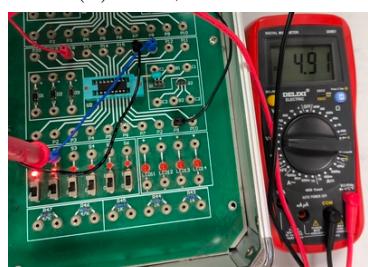
(h) A=0, B=1,  $V_B$



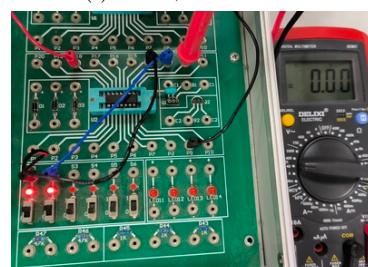
(i) A=0, B=1,  $V_F$



(j) A, B 均为 1,  $V_A$



(k) A, B 均为 1,  $V_B$



(l) A, B 均为 1,  $V_F$

数据记录如下表:

(Next Page)

	$V_A/V$	$V_B/V$	$V_F/V$	F 逻辑值		$V_A/V$	$V_B/V$	$V_F/V$	F 逻辑值
门 1	0.09	0.09	4.92	1	门 2	0.09	0.09	4.91	1
	4.88	0.09	4.91	1		4.91	0.09	4.92	1
	0.09	4.87	4.91	1		0.09	4.90	4.91	1
	4.90	4.90	0.00	0		4.91	4.90	0.00	0
门 3	0.09	0.09	4.92	1	门 4	0.09	0.09	4.91	1
	4.91	0.09	4.92	1		4.91	0.09	4.91	1
	0.09	4.92	4.92	1		0.09	4.91	4.91	1
	4.91	4.91	0.00	0		4.86	4.87	0.00	0

### 3.2 验证 CD4001 “或非”门逻辑功能

1. 将芯片插入实验箱的 IC 插座中
2. 按图 33 连接电路, CD4001 的 14 脚接电源 +5V, 7 脚接 GND
3. 高低电平通过  $S_1 - S_6$  拨位开关产生
4. 以真值表顺序遍历输入 A, B 所有组合, 测量 A, B 及输出 F 电压
5. 重复步骤 3-4, 测量其他 3 个门的逻辑关系并判断门的好坏

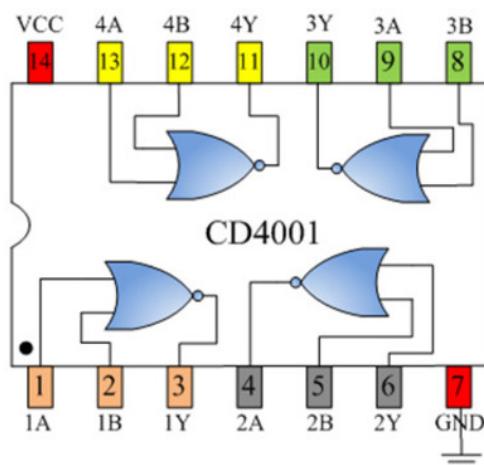


图 33: CD4001 引脚示意图

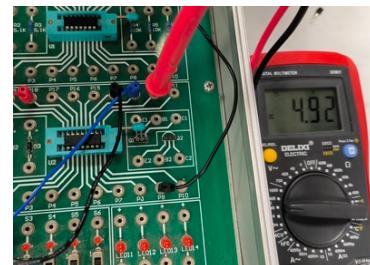
部分测量结果 (测量 1A, 1B, 1Y) 如图:



(a) A, B 均为 0,  $V_A$



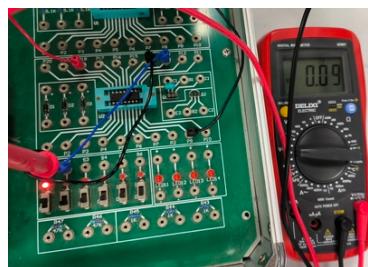
(b) A, B 均为 0,  $V_B$



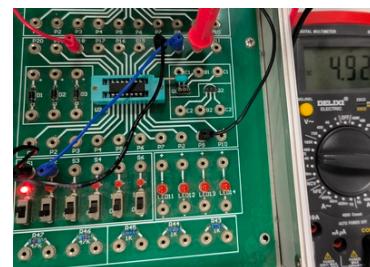
(c) A, B 均为 0,  $V_F$



(d) A=1, B=0,  $V_A$



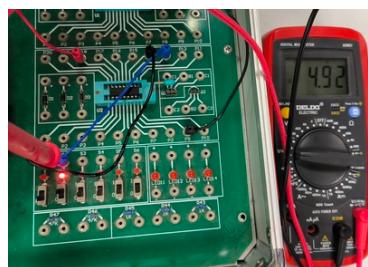
(e) A=1, B=0,  $V_B$



(f) A=1, B=0,  $V_F$



(g) A=0, B=1,  $V_A$



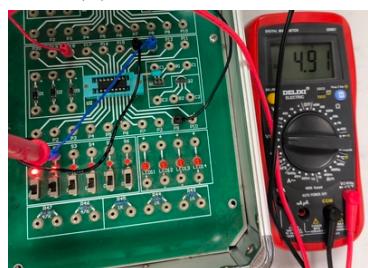
(h) A=0, B=1,  $V_B$



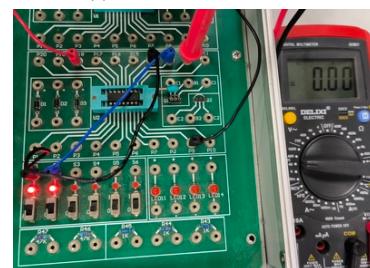
(i) A=0, B=1,  $V_F$



(j) A, B 均为 1,  $V_A$



(k) A, B 均为 1,  $V_B$



(l) A, B 均为 1,  $V_F$

数据记录如下表:

(Next Page)

	$V_A/V$	$V_B/V$	$V_F/V$	F 逻辑值		$V_A/V$	$V_B/V$	$V_F/V$	F 逻辑值
门 1	0.09	0.09	4.92	1	门 2	0.09	0.09	4.92	1
	4.92	0.09	0.00	0		4.92	0.09	0.00	0
	0.09	4.91	0.00	0		0.09	4.91	0.00	0
	4.91	4.91	0.00	0		4.91	4.91	0.00	0
门 3	0.09	0.09	4.92	1	门 4	0.09	0.09	4.92	1
	4.91	0.09	0.00	0		4.91	0.09	0.00	0
	0.09	4.91	0.00	0		0.09	4.91	0.00	0
	4.91	4.91	0.00	0		4.91	4.91	0.00	0

### 3.3 测量 74LS00 逻辑门的传输延迟时间 $t_{pd}$

1. 将芯片插入实验箱的 IC 插座，注意芯片方向
2. 按图 35 连接电路，14 脚接电源 +5V，7 脚接 GND，用 3 个与非门构成一个振荡器
3. 将示波器接到振荡器的任何一个输入或输出端
4. 调节示波器时基旋钮，测量  $V_O$  的波形，读出周期 T 并计算传输延迟时间

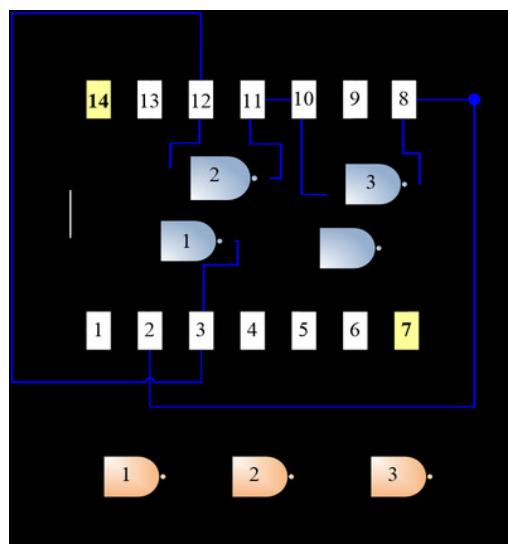
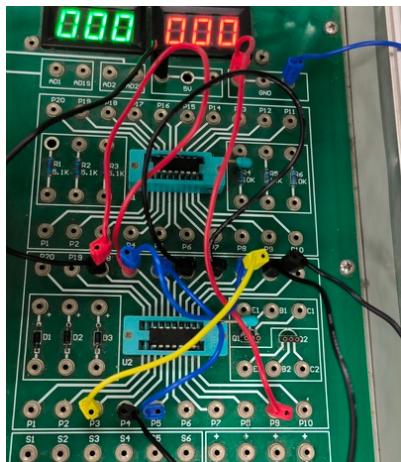
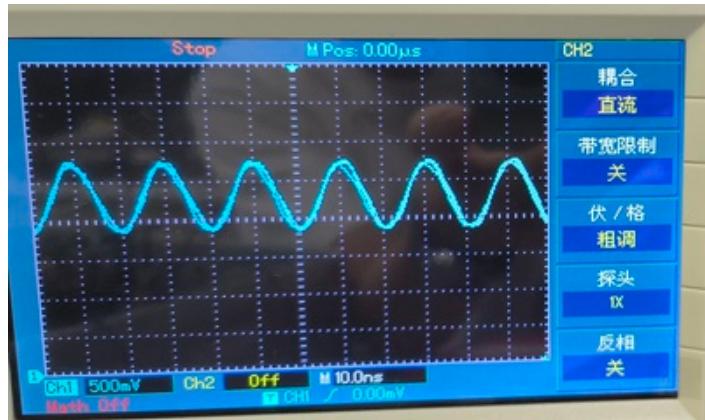


图 35: 测量 74LS00 逻辑门的传输延迟时间接线图

接线和波形如下图:



(a) 接线图



(b)  $V_O$  波形

读出周期为  $T = 20.0\text{ns}$ , 传输延迟时间为  $t_{pd} = 3.33\text{ns}$ 。

### 3.4 测量 CD4001 逻辑门的传输延迟时间 $t_{pd}$

1. 将芯片插入实验箱的 IC 插座, 注意芯片方向
2. 按图 37 连接电路, 14 脚接电源  $+5\text{V}$ , 7 脚接 GND, 用 3 个与非门构成一个振荡器
3. 将示波器接到振荡器的任何一个输入或输出端
4. 调节示波器时基旋钮, 测量  $V_O$  的波形, 读出周期 T 并计算传输延迟时间

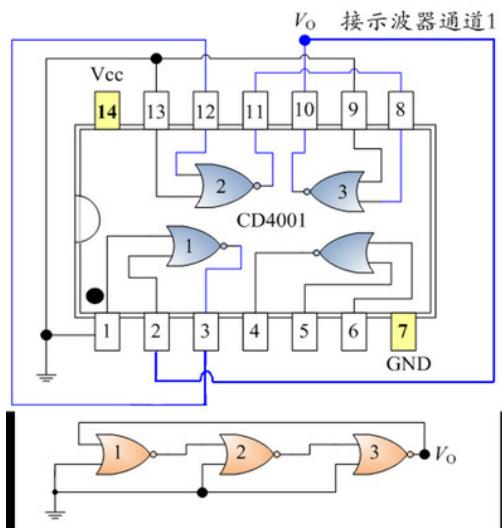
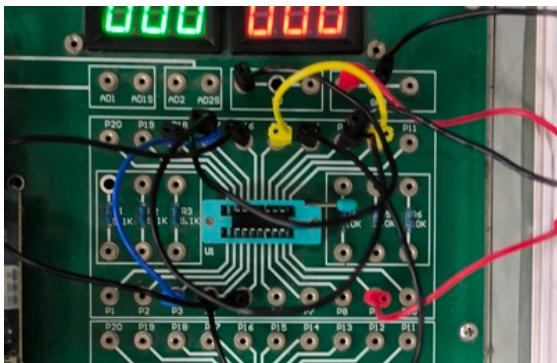
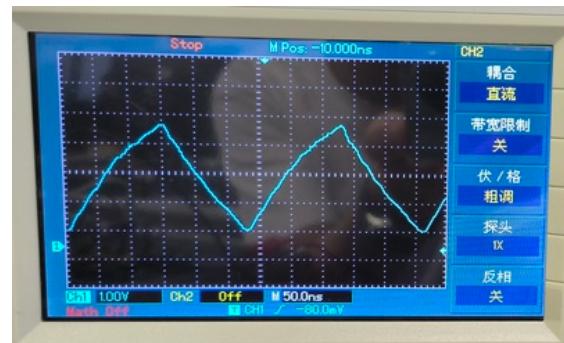


图 37: 测量 CD4001 逻辑门的传输延迟时间接线图

接线和波形如下图:



(a) 接线图



(b)  $V_O$  波形

读出周期为  $T = 560\text{ns}$ , 传输延迟时间为  $t_{pd} = 93.33\text{ns}$ 。

### 3.5 测量 74LS00 传输特性与开关门电平 $V_{ON}$ 和 $V_{OFF}$

1. 将芯片插入实验箱的 IC 插座
2. 按图 39 连接电路
3. 将万用表接入 A, B 端作为  $V_i$ , 直流电压表接与非门的输出 Y 端作为  $V_O$
4. 先将电位器 W 逆时针调到底, 然后顺时针缓慢调节, 观察  $V_i$ ,  $V_O$  两电压表的读数, 并记录数据填入表格
5. 根据表格数据画出曲线图, 并求  $V_{ON}$  和  $V_{OFF}$  和噪声容限

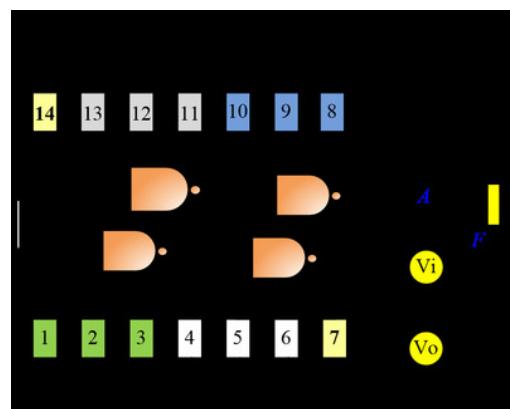


图 39: 接线示意图

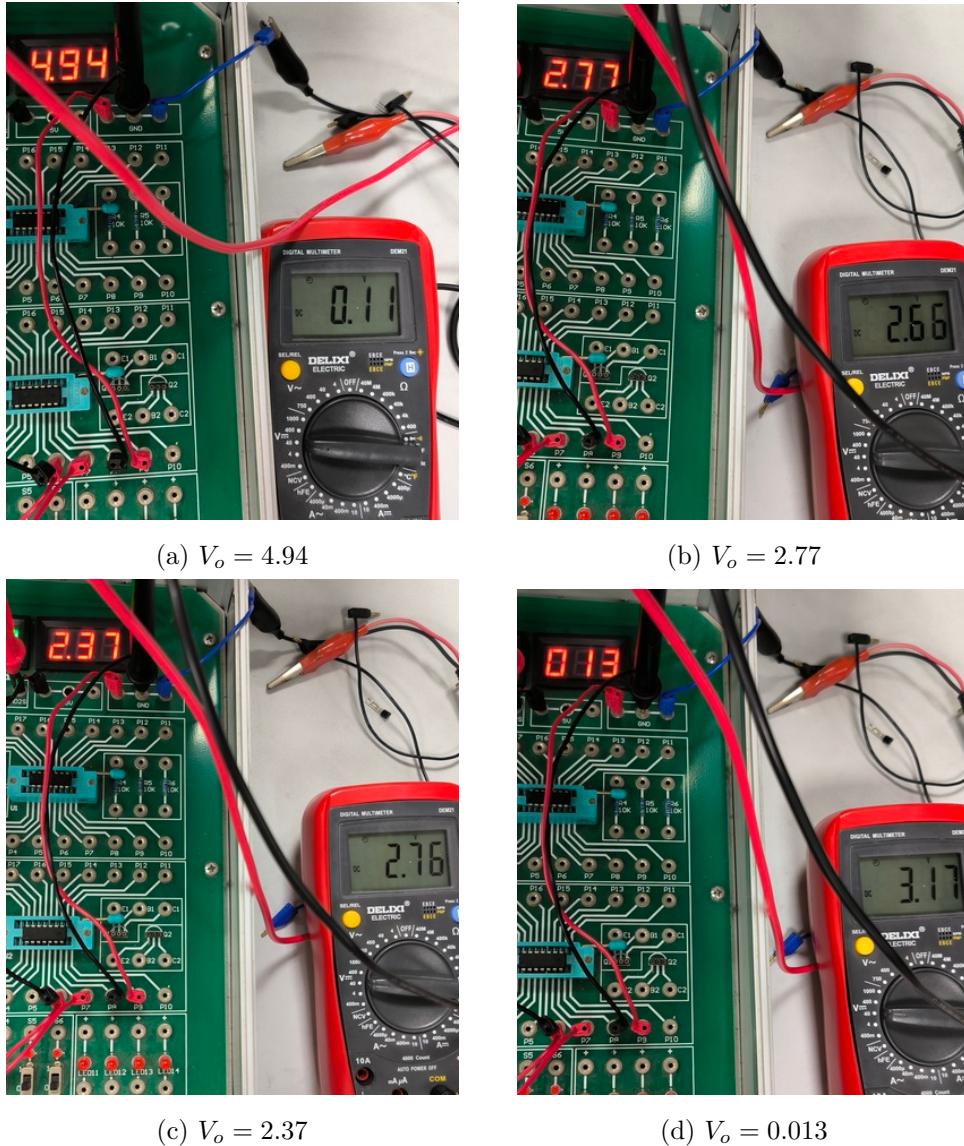


图 40: 电路实物连接图以及部分测试

测得数据记录如下:

(Next Page)

$V_i$	$V_o$	$V_i$	$V_o$
0.11	4.94	2.74	2.44
0.20	4.94	2.75	2.43
0.40	4.93	2.76	2.37
0.60	4.92	2.77	2.29
0.80	4.91	2.80	2.03
1.00	4.92	3.00	1.27
1.50	4.92	3.08	0.27
2.00	4.93	3.09	0.15
2.20	4.65	3.10	0.11
2.40	4.01	3.11	0.07
2.60	3.15	3.13	0.04
2.65	2.77	3.15	0.02
2.71	2.63	3.17	0.01
2.72	2.52	3.18	0.00

得到的图像如下：

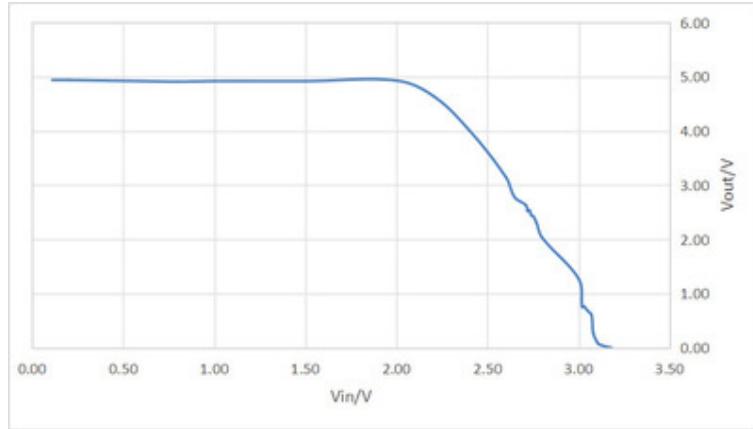


图 41:  $V_o$  和  $V_i$  关系曲线

根据数据和图像可以分析得  $V_{OFF} = 2.75V$ ,  $V_{ON} = 3.13V$

低电平电平噪声容限  $V_{nL} = V_{OFF} - V_{oL} = 2.75V - 0.0V = 2.75V$

高电平电平噪声容限  $V_{nH} = V_{oH} - V_{ON} = 4.96V - 3.13V = 1.83V$

## 4 实验结果分析

1. 74LS00 与 CD4001 延迟时间不同的原因：前者采用 TTL 逻辑，内部电路由三极管组成，是流控器件，输入电容比较小，信号脉冲的上升沿和下降沿比较陡，故延迟时间小，但它的功耗比 CD4001 高。CD4001 采用 CMOS 逻辑电平，内部电路由场效应管组成，是压控器件，输入电

容较大，对信号的沿影响较大，上升沿和下降沿时间比 74LS00 的都大，故延迟时间比 74LS00 长，但它的功耗较小。

2. 测量  $V_{OFF}, V_{ON}$  的实验中。一开始我们为了方便记录，来回拨动变阻器表盘改变读数，结果是数据和理论值偏差过大。之后向一个方向旋转变阻器旋钮才使得数据正常。另外测得的关门电平和开门电平相隔较大，推测可能的原因是：每次改变电压后电路箱的电压示数会一直波动，没有等示数稳定下来就开始记录和拍照，导致数据存在一定波动。

## 5 讨论与心得

本次实验学习到了两种数字逻辑电路芯片的逻辑功能、特性曲线，并且对其内部结构、管脚有了充分的认识。且第一次实验学习的电子仪器使用在这次实验派上了很大用场，在示波器和万用表的使用上没有受到很多阻碍。但是接线方面还是不够细心熟练，在做 CD4001 测量  $t_{pd}$  的实验中，因为少连了一根线导致无法显示稳定波形，在这个地方花费了很多时间。以后做此类任务需要更有条理，按照引脚位置顺序接线，可能可以减少此类错误。