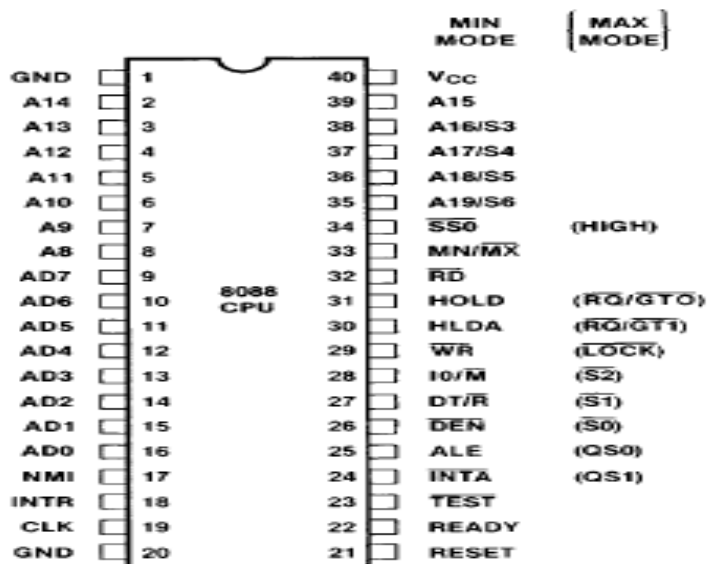


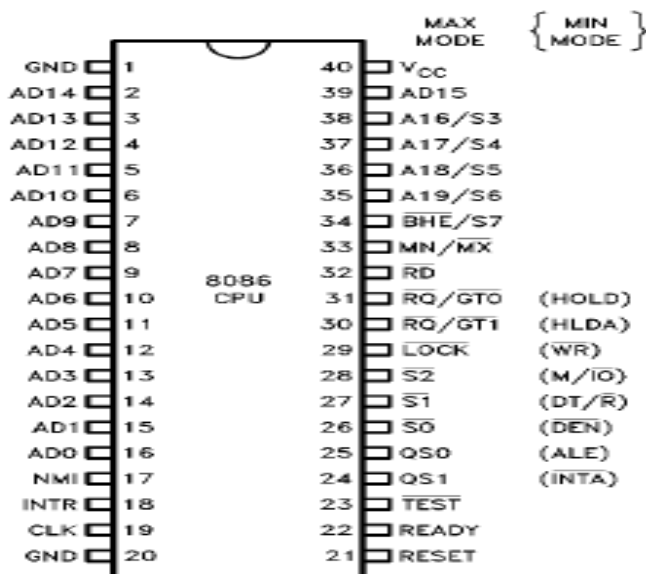
Chương 4

ĐẶC TẢ PHẦN CỨNG 8088-8086

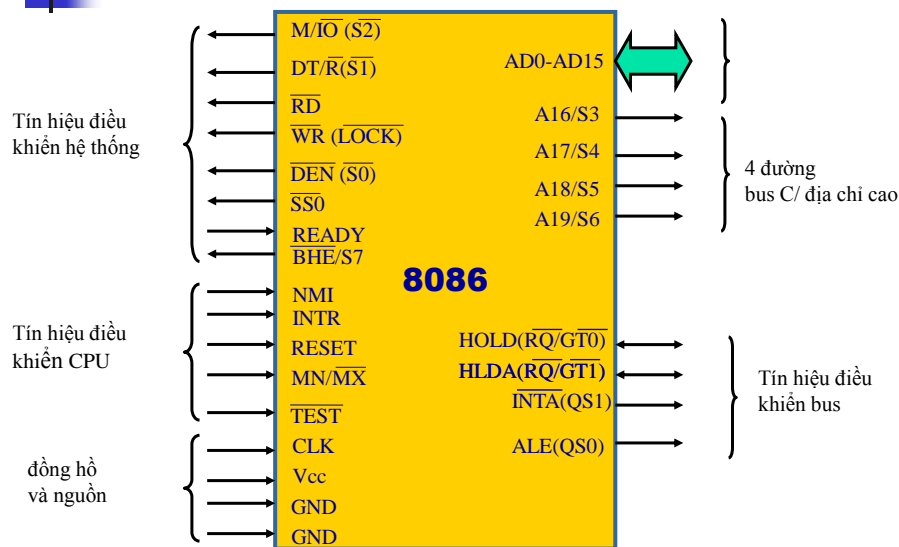
Sơ Đồ Chân 8088



Sơ đồ chân của 8086



Sơ đồ chân 8086 dựa trên nhóm chức năng





Mô tả chung

- 8088 và 8086 gần tương tự như nhau, chỉ khác ở chỗ 8088 có 8bit dữ liệu còn 8086 có 16 bit dữ liệu ngoài.
- Cả 2 bộ xử lý đều có:
 - Độ rộng bus dữ liệu nội là 16 bit
 - 20 đường địa chỉ (16 address/data + 4 address/status), cho phép địa chỉ hoá không gian bộ nhớ tối đa là 1Mbyte ở chế độ dồn kênh address/data pins (8088 only multiplexes 8 pins)
 - 2 chế độ hoạt động (maximum và minimum mode)
 - Cùng 1 tập lệnh



Ý nghĩa các chân tín hiệu

- Do có 3 loại bus :Bus địa chỉ, Bus dữ liệu, Bus điều khiển → các chân trên vi xử lý 8088/8086 cũng được chia thành 3 nhóm lớn
- Nhóm tín hiệu điều khiển : lại được chia thành các nhóm con theo chức năng
 - Nhóm DMA : HOLD, HLDA, $\overline{RQ}/\overline{GT}$
 - Nhóm ngắt : INTR, \overline{INTA} , NMI
 - Nhóm điều khiển bus : \overline{RD} \overline{WR}
 - Nhóm đồng bộ : \overline{Test} , \overline{LOCK} , Ready
 - Nhóm cấu hình : MN/\overline{MX}
 - Nhóm trạng thái : S0 – S7, QS0, QS1



Ý nghĩa các chân tín hiệu

- Các tín hiệu dữ liệu :
 - 8088 : AD0 – AD7
 - 8086 : AD0 – AD15
- Các tín hiệu địa chỉ : A0 – A19
- Nhận xét
 - Có 2 chế độ làm việc : Min và Max
 - Có các tín hiệu chung (cho cả 2 chế độ)
 - Có các tín hiệu chỉ dùng cho chế độ Min
 - Có các tín hiệu chỉ dùng cho chế độ Max
 - Có tín hiệu đi vào
 - Có tín hiệu đi ra
 - Có tín hiệu theo cả 2 chiều

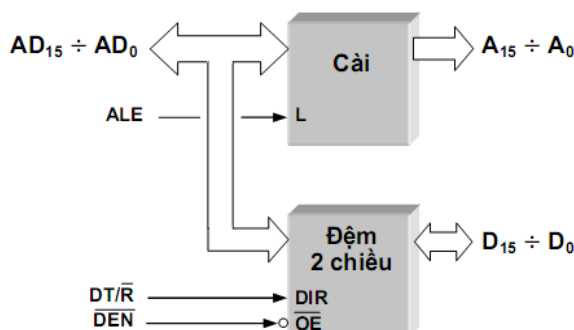


Chức Năng Các Chân

- a. Các tín hiệu chung
 - AD0 – AD15
 - AD0 – AD15 : bus dữ liệu – địa chỉ được ghép kênh
 - Mục đích ghép kênh : giảm số chân → kích thước vỏ giảm → giá thành giảm
 - Nảy sinh : các tín hiệu phải được phân kênh (tách kênh) để có 3 bus riêng biệt (data, address, control) cho 1 hệ thống máy tính ổn định.
 - Giải pháp : dùng mạch chốt, kết hợp tín hiệu ALE
 - Chức năng : Bus địa chỉ và dữ liệu được ghép kênh :
 - Dùng để truy cập 1 ô nhớ trong không gian 1MB (A0 – A19), dùng để xác định 1 cổng IO để truy cập IO (16 đường A0 – A15)
 - Bus dữ liệu (AD0 – AD15 : 8086), (AD0 – AD7 : 8088) mang dữ liệu cho/tới bộ nhớ hoặc IO

Mô tả ghép kênh dữ liệu – địa chỉ

- Khi ALE=1, tín hiệu trên bus chung được xem là địa chỉ, trường hợp còn lại xem là dữ liệu.



Chức năng các chân tín hiệu

- Các tín hiệu trạng thái : Gồm A16/S3, A17/S4, A18/S5, A19/S6, dùng làm :

- 4 bit địa chỉ cao
- 4 bit trạng thái (S3, S4, S5, S6)
 - S6 luôn bằng 1
 - S5: trạng thái của cờ IF
 - S4, S3: bit trạng thái về thanh ghi đoạn đang truy cập, nghĩa là :


S4	S3	Chức năng
0	0	ES
0	1	SS
1	0	CS or No
1	1	DS
 - Xác định thanh ghi segment nào được dùng để (tính) phát ra địa chỉ vật lý trên bus địa chỉ trong chu kỳ bus hiện tại
 - Được kiểm tra bởi mạch ngoài để cho phép không gian địa chỉ 1MB được tách biệt cho SS, CS, DS, ES
- Mục đích : hỗ trợ giao tiếp giữa CPU với bộ nhớ, IO

Các tín hiệu điều khiển

- $\overline{BHE} / S7$:
 - \overline{BHE} : (bank high enable) khi tích cực $\overline{BHE} = 0$ cho phép byte cao (D8 – D15)
 - S7 : Luôn bằng 1
- \overline{RD} : Điều khiển đọc
 - $\overline{RD} = 0$ CPU đọc dữ liệu từ bộ nhớ hoặc thiết bị IO
- Ready :
 - Được dùng khi CPU giao tiếp với bộ nhớ, IO có tốc độ chậm hơn (không thể cấp dữ liệu kịp thời với định thời của VXL thông thường)
 - Ready =1, vi xử lý vào trạng thái chờ


Chức năng các chân tín hiệu

- INTR (Interrupt Request) : để thiết bị ngoài báo cho CPU biết có 1 yêu cầu ngắt
- NMI (None Maskable Interrupt)
 - NMI=1 : yêu cầu ngắt không thể che
- CLK : cung cấp tín hiệu định thời (xung nhịp) cho CPU
- \overline{Test} (cũng là 1 hình thức ngắt ngoài)
 - Được dùng với lệnh Wait
 - Khi $\overline{Test} = 1$ và gặp lệnh wait → CPU treo, vào trạng thái nghỉ → khi $\overline{Test} = 0$ → CPU khôi phục hoạt động
 - Dùng để đồng bộ hoạt động của CPU với 1 sự kiện phản ứng bên ngoài.




Chức năng các chân tín hiệu

- MN/\overline{MX} : chọn chế độ hoạt động Min hay Max
 - $MN/\overline{MX} = 1$: chọn chế độ min
 - $MN/\overline{MX} = 0$: chọn chế độ max




Các tín hiệu ở chế độ Min

- Chế độ Min : chế độ hoạt động chỉ có 1 CPU, hỗ trợ hệ thống nhỏ (thường chỉ có 1 board mạch), CPU chịu trách nhiệm phát ra các tín hiệu ĐK
- ALE (Address Latch Enable)
 - Để báo cho mạch chốt chốt tín hiệu địa chỉ trên bus địa chỉ AD0 – AD15, A16 – A19
 - ALE=1 trong trạng thái T1, cuối T1, ALE chuyển từ 1 → 0 → mạch chốt chốt địa chỉ
- \overline{DEN} (Data Enable)
 - Dùng với tín hiệu DT/\overline{R} cho phép 1 tập bộ đệm bus 2 chiều nối vào bus hệ thống.



Các chân ở chế độ Min

- DT/\overline{R} (Data transmit/Receive)
 - Điều khiển hướng dữ liệu qua bộ đệm bus 2 chiều
 - $DT/\overline{R} = 1$: hướng truyền (đi từ CPU ra)
 - $DT/\overline{R} = 0$: hướng thu (từ ngoài đi vào CPU)
- HOLD : yêu cầu giữ (yêu cầu DMA)
 - Báo cho CPU biết có 1 yêu cầu DMA
- HLDA : chấp nhận yêu cầu DMA
 - Vì xử lý DMA chấp nhận DMA
- \overline{WR} : điều khiển ghi bộ nhớ, IO
 - Chỉ ra rằng CPU đang ghi dữ liệu vào bộ nhớ hoặc IO



Các chân ở chế độ Min

- \overline{INTA} :
 - Thông báo cho IO biết CPU chấp nhận yêu cầu ngắt
 - Làm việc cùng với INTR
- M/\overline{IO} :
 - Chọn bộ nhớ hay IO
 - $M/\overline{IO} = 1$: chọn bộ nhớ
 - $M/\overline{IO} = 0$: chọn IO

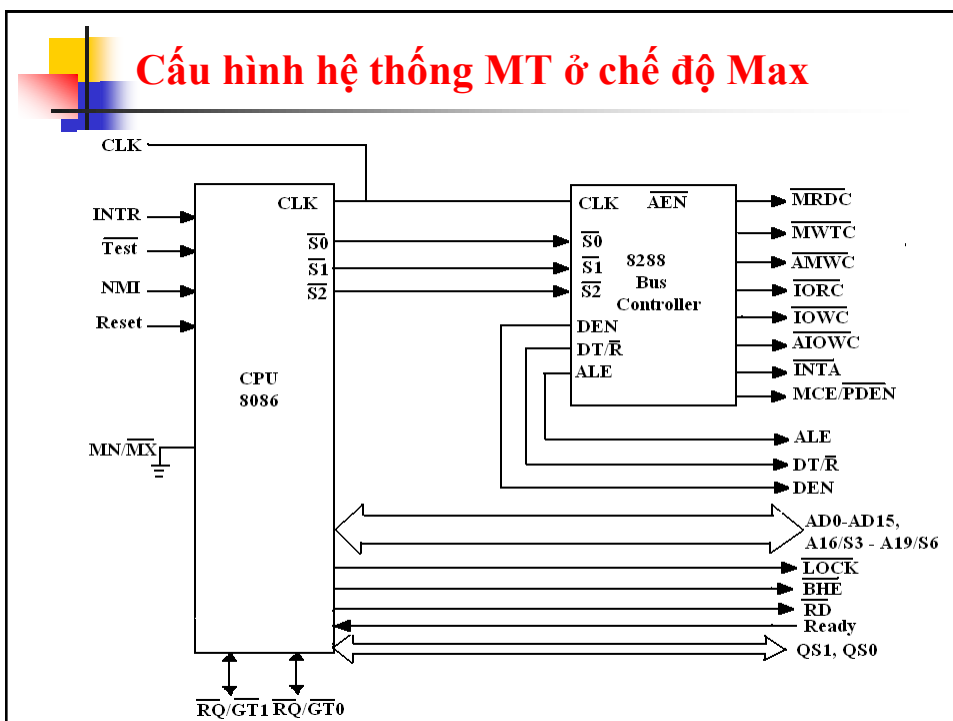
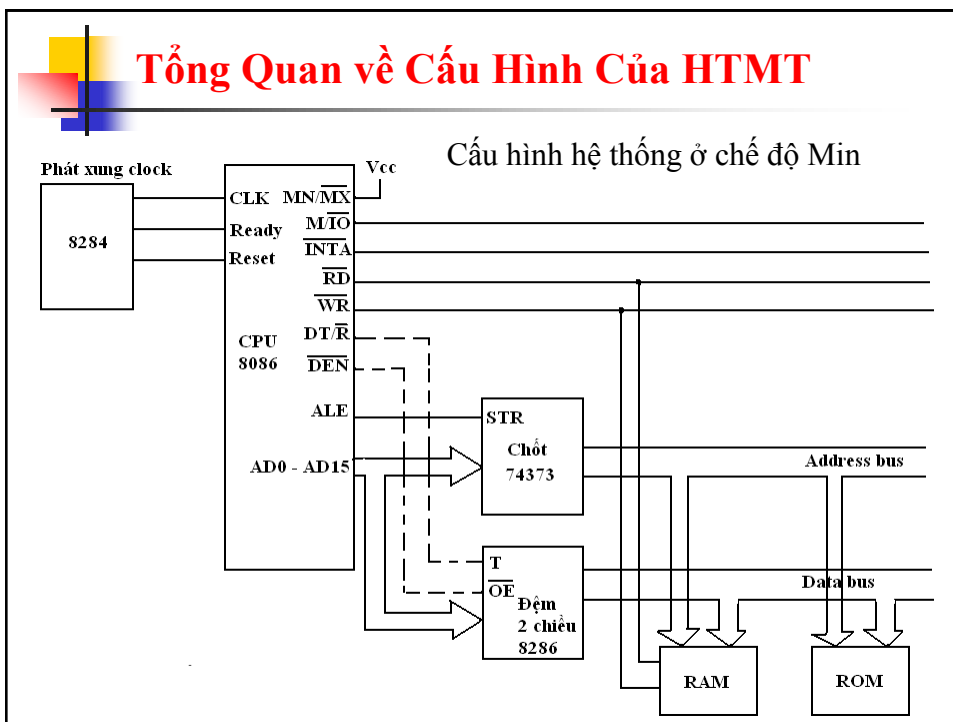
Các tín hiệu ở chế độ Max


- Chế độ Max là chế độ làm việc kết hợp nhiều CPU, thích hợp cho hệ thống lớn, trong đó CPU không trực tiếp phát ra các tín hiệu điều khiển mà nhờ vào 1 vi xử lý khác (VD 8288).
- $\overline{S2}$, $\overline{S1}$, $\overline{S0}$: nối tới mạch ĐK bus 8288

$\overline{S2}$	$\overline{S1}$	$\overline{S0}$	Chu kỳ điều khiển của bus
0	0	0	chấp nhận yêu cầu ngắt
0	0	1	đọc thiết bị ngoại vi
0	1	0	Ghi thiết bị ngoại vi
0	1	1	Dừng
1	0	0	đọc mã lệnh
1	0	1	đọc bộ nhớ
1	1	0	ghi bộ nhớ
1	1	1	bus rỗi

Các chân ở chế độ Max


- \overline{LOCK} :
 - Dừng trong hệ thống nhiều vi xử lý
 - $\overline{LOCK} = 0$: 8086 cấm các vi xử lý khác dùng bus
- $\overline{RQ}/\overline{GT0}$ và $\overline{RQ}/\overline{GT1}$ (Request/Grant)
 - Được dùng để yêu cầu và xác nhận (gán) hoạt động DMA trong chế độ max
 - Dùng 2 chân cho phép phân xử ưu tiên cho các thiết bị yêu cầu
- QS0 và QS1 : trạng thái của hàng đợi lệnh





Hệ gồm

- CPU
- Mạch phát xung clock
- Các bộ đệm 2 chiều
- Các mạch chốt + đệm
- Mạch điều khiển bus (max mode)
- Các thiết bị IO
- Các chip nhớ
- Các chip điều khiển ngắt
- Các chip điều khiển DMA
-



Các thành phần của hệ thống MT

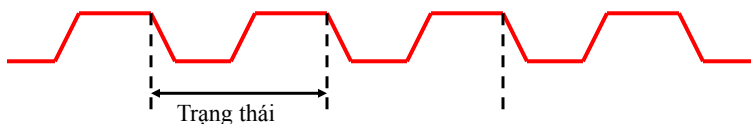
- Khi có nhiều thiết bị cùng nối vào 1 chân → tín hiệu trên chân đó phải được đệm để cấp đủ dòng
- Đệm 2 chiều 3 trạng thái được yêu cầu cho data bus vì
 - 2 chiều : cho phép đọc/ghi
 - 3 trạng thái : cho phép DMA (cách ly CPU khỏi bus) và để ghép kênh

Các hoạt động có thể xảy ra

- CPU đọc bộ nhớ
 - CPU ghi bộ nhớ
 - CPU đọc IO
 - CPU ghi IO
 - Các thiết bị yêu cầu ngắt
 - Các vi xử lý khác yêu cầu DMA
- } → Cần phải
↓
- Giải mã địa chỉ để xác định địa chỉ cho từng ô nhớ
 - Giải mã địa chỉ để xác định địa chỉ cho từng IO
 - Xử lý ưu tiên ngắt nếu nhiều thiết bị y/c ngắt
 - Xử lý DMA ...

1. Mạch Phát Xung Clock

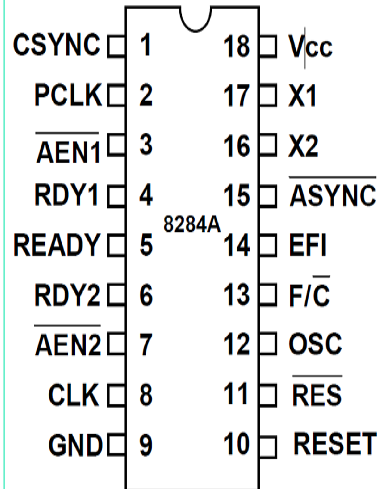
- Tạo xung clock cho CPU, Ready, và Reset cho hệ thống
- Dạng xung clock : tuần hoàn



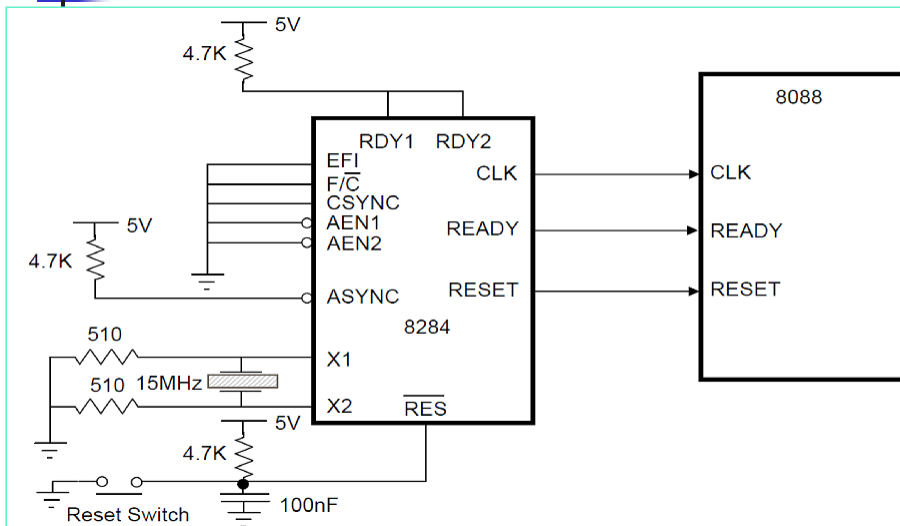
- Mỗi chu kỳ của xung clock gọi là 1 trạng thái
- Quy định : bắt đầu từ sườn âm của 1 xung và kết thúc ở sườn âm của xung tiếp theo
- Mỗi hoạt động cơ bản như : đọc/ghi bộ nhớ hoặc IO mất 1 khoảng thời gian được gọi là chu kỳ bus (chu kỳ máy)
- Mỗi chu kỳ bus kéo dài ít nhất 4 chu kỳ xung clock (4 trạng thái)
- Thực hiện 1 lệnh mất khoảng thời gian gọi là chu kỳ lệnh
- 1 chu kỳ lệnh có thể mất nhiều chu kỳ bus.

Mạch tạo xung nhịp 8284

- OSC : tín hiệu xung nhịp vào (thạch anh) f_x
- EFI : xung nhịp ngoài
- CLK : xung nhịp ($f_{CLK} = f_x / 3$)
- PCLK : xung nhịp ngoài vì ($f_{PCLK} = f_x / 6$)



Mạch tạo xung nhịp 8284 ghép nối với CPU



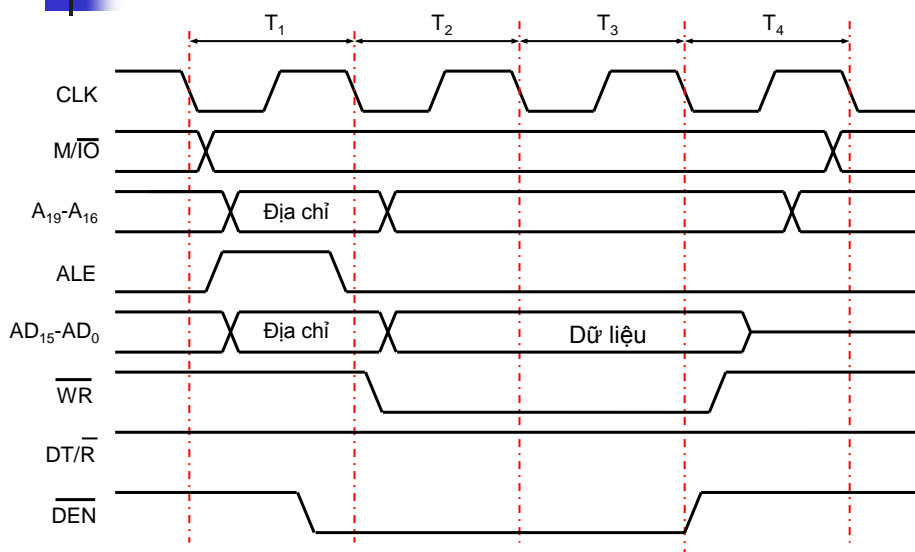



2. Hoạt Động Cơ Bản

- Ghi bộ nhớ : vi xử lý
 - Xuất địa chỉ ô nhớ lên bus địa chỉ
 - Xuất dữ liệu cần ghi lên bus dữ liệu
 - Phát các tín hiệu cần thiết : WR, M/IO (8086), IO/M (8088)
 - Chi tiết chu kỳ ghi trong hình vẽ sau




Chu kỳ máy Ghi bộ nhớ / Chu kỳ máy Xuất





Giải thích :

- Trong T1
 - $\left\{ \begin{array}{l} \blacksquare M/\overline{IO} = 0 \text{ nếu ghi vào cổng} \\ \blacksquare M/\overline{IO} = 1 \text{ nếu ghi vào bộ nhớ} \end{array} \right\}$
Trong suốt 4 trạng thái
 - $DT/\overline{R} = 1$ cho phép các bộ đệm ở chế độ phát (chiều dữ liệu từ CPU → bộ nhớ hoặc IO).
 - Địa chỉ, \overline{BHE} được đưa lên bus địa chỉ (AD0 – AD15, A16 – A19, khi viết cổng thì A16 – A19=0)
 - ALE = 1, tại cuối T1, ALE chuyển 1→0→mạch chốt chốt các tín hiệu trên AD0 – AD15, A16 – A19
 - \overline{DEN} tích cực vào cuối T1 để cho phép bộ đệm cho thông tin đi qua (chưa chắc là địa chỉ)



Giải thích

- Trong T2
 - Tín hiệu trạng thái S3→S7 được truyền (A16 – A19)
 - Dữ liệu được đưa lên bus dữ liệu (AD0 – AD15)
 - $\overline{WR} = 0$ (tích cực) báo cho Mem/IO ghi dữ liệu vào
 - CPU đọc Ready ở cuối T2 để xử lý trong chu kỳ tiếp theo khi nó làm việc với bộ nhớ/IO chậm hơn
- Trong T3
 - Nếu Ready = 0 → T3 trở thành chu kỳ đợi $T_w = n \cdot T$
- Trong T4
 - \overline{WR} chuyển 0 → 1 kích hoạt quá trình ghi
 - Các tín hiệu trên bus được giải phóng chuẩn bị cho chu kỳ khác

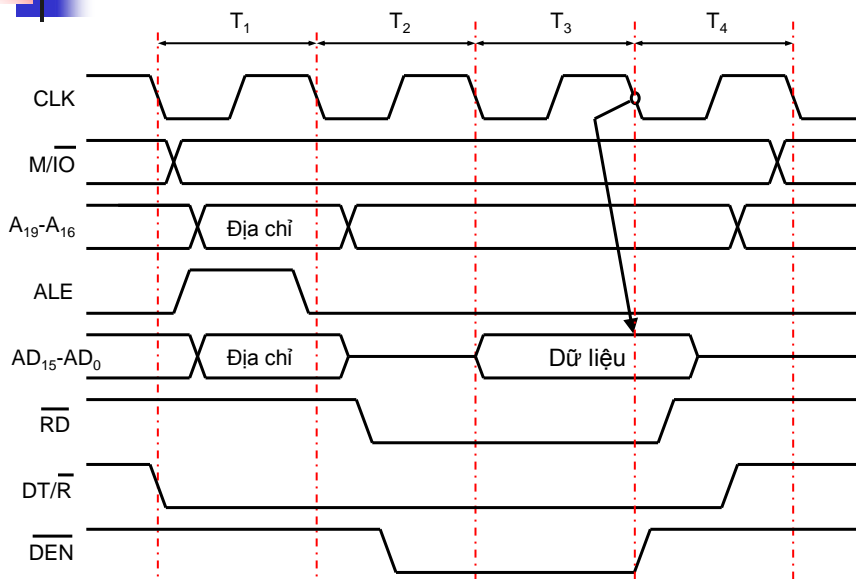



b. Đọc bộ nhớ

- Vi xử lý :
 - Xuất địa chỉ bộ nhớ lên bus địa chỉ
 - $IO/M = 0/1$ (tùy vào 8088 hay 8086)
 - Phát tín hiệu RD tới bộ nhớ, bộ nhớ xuất dữ liệu
 - CPU nhận dữ liệu thông qua bus dữ liệu
- Chi tiết chu kỳ đọc




Chu kỳ máy Đọc / Chu kỳ máy Nhập





Giải thích

- Trong T1
 - $M/\overline{IO} = 1$ nếu đọc bộ nhớ hoặc 0 nếu đọc IO
 - Đưa địa chỉ bộ nhớ hoặc IO lên bus địa chỉ
 - Đưa tín hiệu BHE
 - $ALE = 1$, cuối T1, ALE chuyển $1 \rightarrow 0 \rightarrow$ bộ chốt chốt địa chỉ vào
 - $DT/\overline{R} = 0$ cho phép hướng truyền vào CPU
- Trong T2
 - Truyền tín hiệu trạng thái S3 – S7 lên bus địa chỉ
 - Thả nổi AD0 – AD15
 - Phát tín hiệu $\overline{RD} = 0$ báo cho bộ nhớ/IO đọc dữ liệu
 - $\overline{DEN} = 0$ ở cuối T2 cho phép bộ đệm chuyển dữ liệu vào CPU



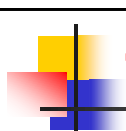
Giải thích

- Cuối T2, CPU đọc tín hiệu Ready
- Trong T3
 - Nếu Ready = 0 thì T3 là trạng thái đợi
 - CPU đọc dữ liệu trên bus dữ liệu
- Trong T4
 - Các tín hiệu trên bus được giải phóng chuẩn bị cho chu kỳ tiếp theo.

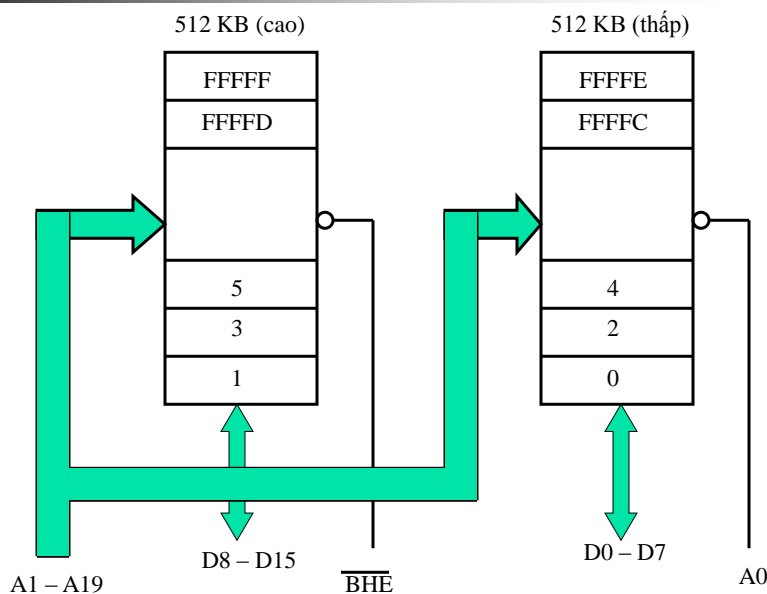


Bộ Nhớ - IO và Giải Mã Địa Chỉ

- Tổ chức phần cứng không gian địa chỉ bộ nhớ
 - Xét tổ chức của 8086
 - Không gian đ/c 1MB của 8086 được chia thành 2 bank, mỗi bank 512KB. Trong đó :
 - Bank chẵn (thấp) : chứa các byte dữ liệu ở đ/c chẵn
 - Bank lẻ (cao) : chứa các byte dữ liệu ở địa chỉ lẻ.
 - A19 – A1 : xác định vị trí ô nhớ cần truy cập, đưa vào cả 2 bank
 - A0 và \overline{BHE} : dùng làm tín hiệu chọn bank.
 - A0 = 0 → chọn byte dữ liệu ở địa chỉ chẵn (chọn bank thấp)
 - \overline{BHE} = 0 → chọn byte dữ liệu ở địa chỉ lẻ (chọn bank cao)



Tổ chức bộ nhớ 2 bank





Tổ chức bộ nhớ 2 bank

- Mỗi bank cấp một nửa dữ liệu trên data bus 16 bit của 8086
- Việc byte dữ liệu ở bank thấp dùng D0 – D7
- Việc byte dữ liệu ở bank cao dùng D8 – D15

- Truy cập byte ở địa chỉ chẵn (X)
 - $A0 = 0$
 - $\overline{BHE} = 1$
 - Dữ liệu được truyền qua D0 – D7
- Truy cập byte ở địa chỉ lẻ (Y)
 - $A0 = 1$
 - $\overline{BHE} = 0$
 - Dữ liệu được truyền qua D8 – D15



Truy cập bộ nhớ

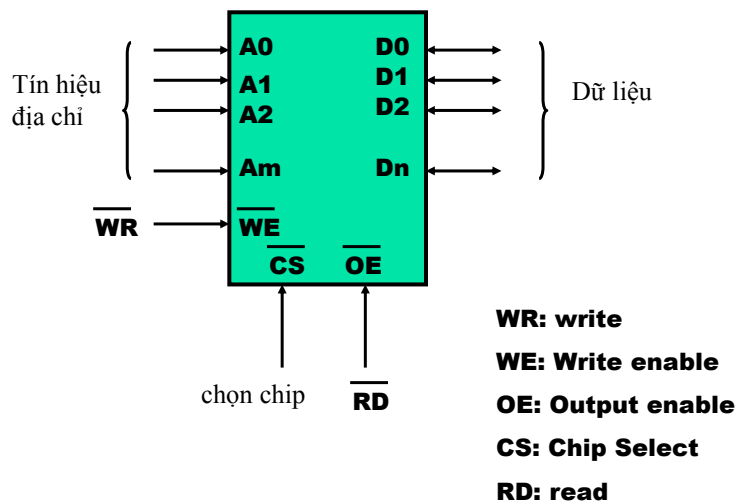
- Truy cập 1 từ ở địa chỉ chẵn (X)
 - Byte thấp ở địa chỉ X, Byte cao ở địa chỉ X+1
 - Mất 1 chu kỳ bus
 - $A0=0$ và $\overline{BHE}=0$: cả 2 bank được chọn, các byte dữ liệu được truyền cùng 1 lúc
- Truy cập 1 từ ở địa chỉ lẻ (X+1)
 - Mất 2 chu kỳ
 - Byte thấp ở địa chỉ X+1, byte cao ở địa chỉ X+2
 - Trong chu kỳ bus 1: byte ở địa chỉ lẻ (bank cao) được truy cập ($A0=1$, $\overline{BHE}=0$), dữ liệu truyền trên D8 – D15
 - Trong chu kỳ bus 2: byte ở địa chỉ chẵn (bank thấp) được truy cập ($A0=0$, $\overline{BHE}=1$), dữ liệu được truyền trên D0 – D7.


2. Cấu Tạo Chung Của 1 Chip Nhớ

- Gồm những loại tín hiệu sau :
 - Các ngõ vào địa chỉ, để chọn 1 vị trí nhớ trong mem
 - Các ngõ ra dữ liệu hoặc các ngõ vào/ra để đưa dữ liệu vào hoặc để lấy dữ liệu ra.
 - Các tín hiệu ngõ vào cho phép (chọn chip CE, CS)
 - Các ngõ vào điều khiển hoạt động của thiết bị nhớ :
 - WE : Write enable
 - RE : Read enable
 - OE : Output enable ...

Cấu trúc chung của chip nhớ


- Cấu trúc chung chip nhớ





Các loại bộ nhớ

- Bộ nhớ không bị mất dữ liệu (non-volatile)
 - ROM (Read Only Memory)
 - PROM (Programmable ROM)
 - EPROM (Electrically programmable ROM)
 - Flash
 - EEPROM (Electrically Erasable Programmable ROM)
 - FeRAM (Ferroelectric Random Access Memory)
 - MRAM (Magnetoelectronic Random Access Memory)
- Bộ nhớ bị mất dữ liệu (volatile)
 - SRAM (Static RAM)
 - SBSRAM (Synchronous Burst RAM)
 - DRAM (Dynamic RAM)
 - FPDram (Fast Page mode Dynamic RAM)
 - EDO DRAM (Extended Data Out Dynamic RAM)
 - SDRAM (Synchronous Dynamic RAM)
 - DDR-SDRAM (Double Data Rate SDRAM)
 - RDRAM (Rambus Dynamic RAM)



ROM

- Read only memory : lưu chương trình, dữ liệu có tính ổn định, còn gọi là không bay hơi
- EPROM (Erasable programable ROM) : có thể xóa khi chiếu ánh sáng cực tím cường độ cao trong thời gian vài phút
- PROM (Programable ROM) : được lập trình bằng cách đốt cháy những cầu chì nhỏ, nhưng mỗi lần lập trình thì không thể xóa.
- EEPROM (Electrically erasable programable ROM) : có thể xóa bằng điện, còn gọi là Flash Rom



RAM

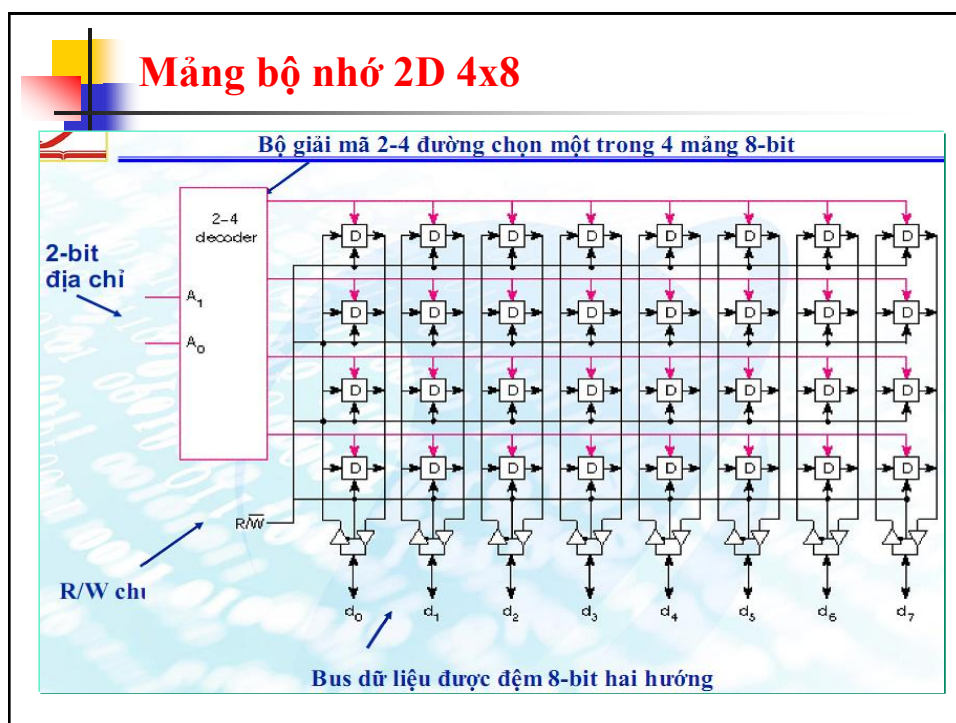
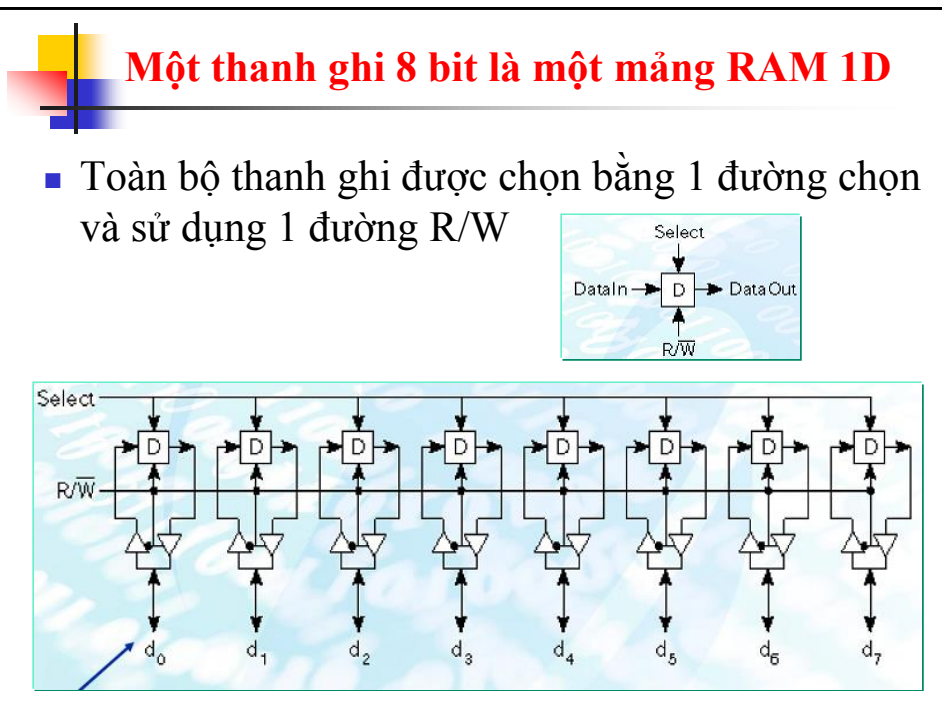
- SRAM (Static RAM)
 - Lưu dữ liệu khi được cấp nguồn
 - Thời gian truy cập nhanh hơn ROM
- DRAM (Danamic RAM)
 - Lưu dữ liệu trên các tụ điện, do đó chỉ giữ được trong thời gian ngắn → nội dung DRAM phải được làm tươi
 - Các ngõ vào địa chỉ thường được ghép kênh để giảm số chân điều khiển



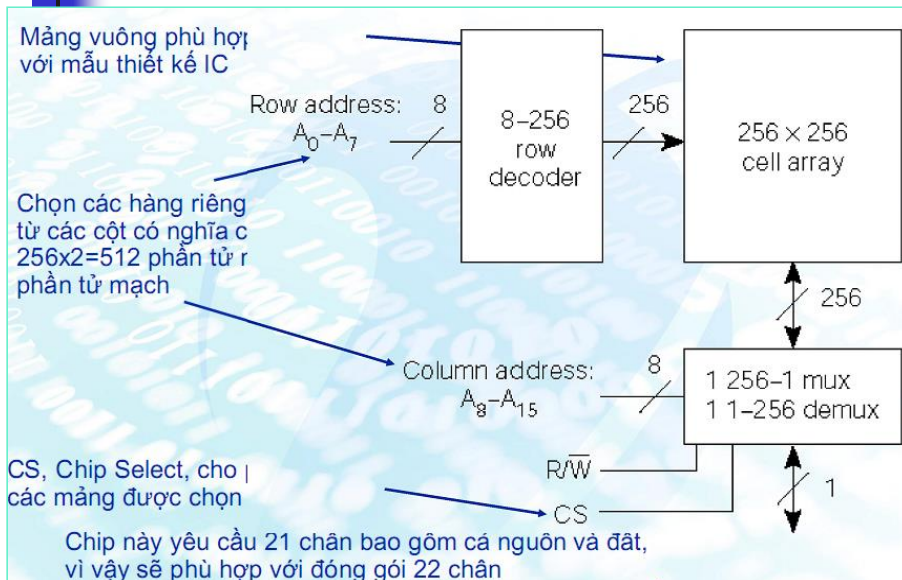
Tổ chức bộ nhớ

- Bộ nhớ được cấu tạo từ nhiều ô nhớ
- Ô nhớ là phần tử nhỏ nhất
- Không xét tới công nghệ, tất cả các ô bộ nhớ RAM phải cung cấp 4 chức năng : chọn, dữ liệu vào, dữ liệu ra và R/W

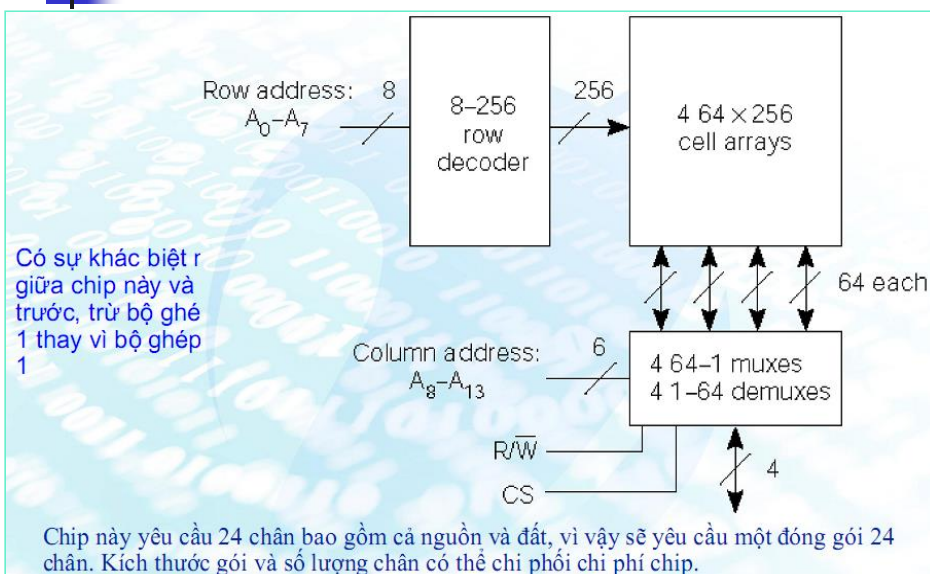




Chip SRAM 16Kx1



Chip SRAM 16Kx4





Ví dụ

■ DRAM TMS 4464

- Có 64Kx4 bit dữ liệu, 8 ngõ vào địa chỉ, Dùng RAS, CAS để cho bộ nhớ biết khi nào 8 bit địa chỉ là dòng, cột

\overline{G}	1	18	Vss	A0 - A7 : Các ngõ vào địa chỉ
DQ1	2	17	DQ4	\overline{CAS} (Column address strobe)
DQ2	3	16	\overline{CAS}	chốt địa chỉ cột
\overline{W}	4	15	DQ3	DQ1 - DQ4 : Data in / Data out
\overline{RAS}	5	14	A0	\overline{G} : Output enable
A6	6	13	A1	\overline{RAS} (Row address strobe) :
A5	7	12	A2	chốt địa chỉ dòng
A4	8	11	A3	Vdd : nguồn cấp 5 V
Vdd	9	10	A7	Vss : Ground
				\overline{W} : Write enable

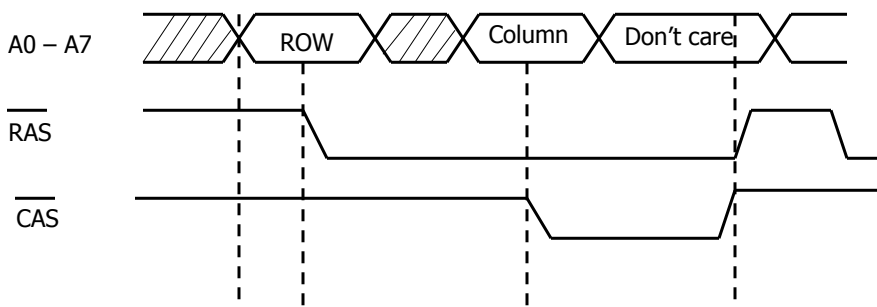


Lưu ý

■ Cách ghi 64Kx4

- 64K : số lượng ô nhớ = $2^6 \times 2^{10} = 2^{16}$ ô nhớ
- 4 : số bit trong 1 ô nhớ (kích thước của 1 ô nhớ)

■ Giải đồ thời gian chọn dòng – chọn cột



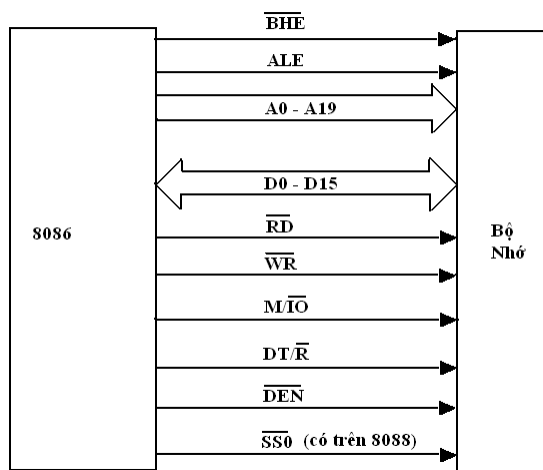


Các Tín Hiệu ĐK Bộ Nhớ

- Các tín hiệu điều khiển bộ nhớ ở chế độ Min
 - ALE : báo cho hệ thống biết khi nào tín hiệu địa chỉ trên bus hợp lệ
 - IO/\overline{M} (8088), M/\overline{IO} (8086) : chọn bộ nhớ hay IO
 - DT/\overline{R} : chọn hướng truyền dữ liệu
 - \overline{RD} : cho biết khi nào đọc
 - \overline{WR} : cho biết khi nào ghi
 - \overline{DEN} : cho phép bus dữ liệu (bộ đệm bus dữ liệu)
 - \overline{BHE} : chọn bank




Các tín hiệu điều khiển Mem ở chế độ Min




[illegible]

- 27



Các tín hiệu điều khiển ở Max Mode

- Các đường AD0 – AD15 và \overline{BHE} bị chốt vào mạch chốt, ngõ ra mạch chốt gồm :
 - A17L – A19L (L=Latch=chốt) được giải mã để tạo ra các ngõ cho phép chọn chip $\overline{CE0} - \overline{CE7}$
 - A1L – A16L và các đường $\overline{CE0} - \overline{CE7}$ được đưa trực tiếp vào hệ thống nhớ
- Trong chu kỳ đọc, t/h \overline{MRDC} cho phép dữ liệu ở ngõ ra của hệ thống nhớ trên bus dữ liệu D0 – D15, xác định xem t/h đọc từ 1 hay 2 bank (u=upper, l=lower)



Mở rộng bộ nhớ

- Có 3 hướng
 - Mở rộng dung lượng
 - Mở rộng kích thước từ
 - Mở rộng cả 2
- Mở rộng dung lượng : số ô nhớ thay đổi, kích thước từ (số bit/1 ô) không đổi
 - Ví dụ : cho bộ nhớ 8Kx4, hãy tạo ra bộ nhớ 16Kx4
- Mở rộng kích thước từ : số ô nhớ không đổi, kích thước từ thay đổi.

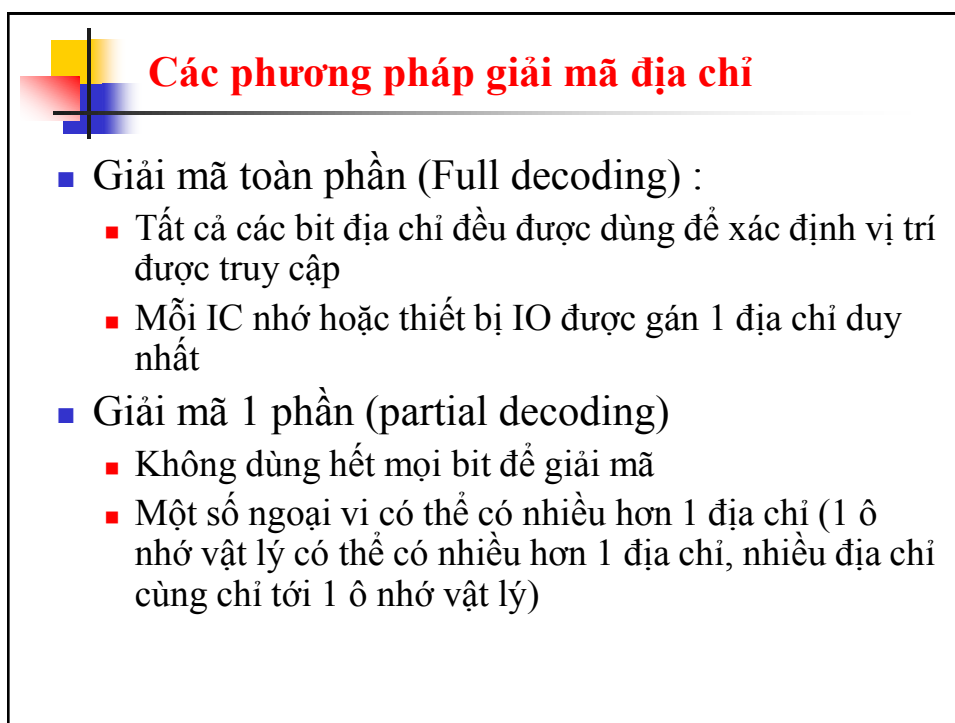
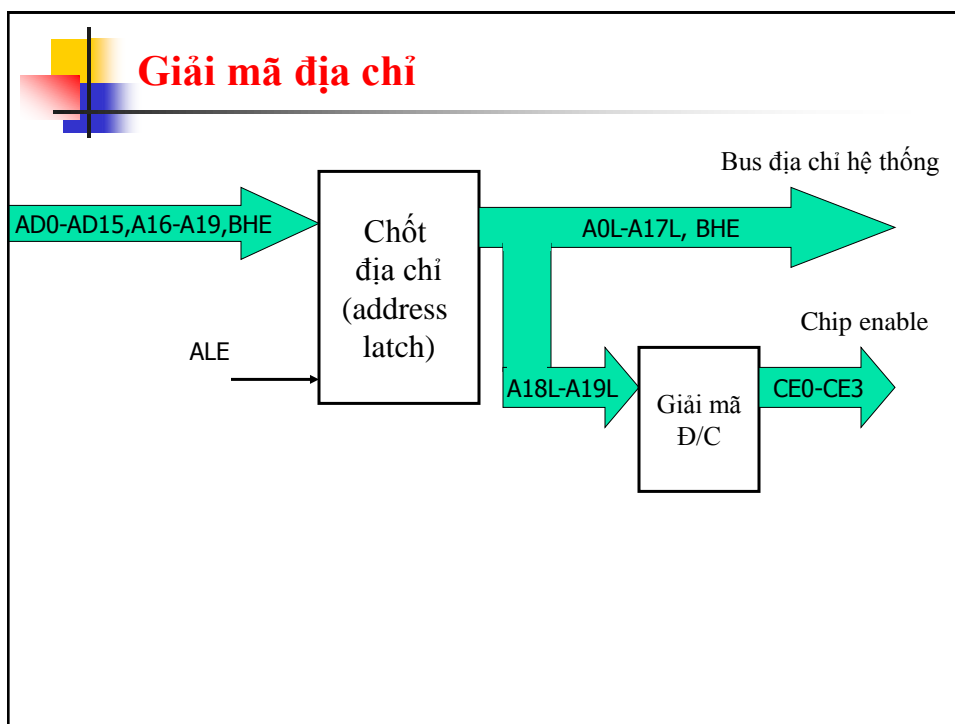


- Ví dụ :cho bộ nhớ 8Kx4, hãy tạo ra bộ nhớ 8Kx8
- Mở rộng cả 2 : cả số ô nhớ và kích thước từ đều thay đổi
 - Ví dụ : cho bộ nhớ 8Kx4, hãy tạo ra bộ nhớ 16Kx8



Giải Mã Địa Chỉ

- Nhận xét : trong hệ thống MT
 - Bộ nhớ → có thể được tạo thành từ nhiều IC nhớ
 - IO → có thể có nhiều thiết bị IO khác nhau
 - CPU thường xuyên đọc/ghi bộ nhớ hoặc IO
 - Mỗi bộ nhớ (ô nhớ) và thiết bị phân biệt nhau nhờ địa chỉ
 - Làm thế nào CPU xác định chính xác IC nhớ hoặc thiết bị IO mà nó cần tương tác
 - Việc xác định IC nhớ hoặc IO gọi là giải mã đ/chỉ
- Mạch giải mã đ/chỉ hệ thống 8086 được đặt ở phía ngõ ra của mạch chốt địa chỉ, như hình vẽ sau



Ví dụ

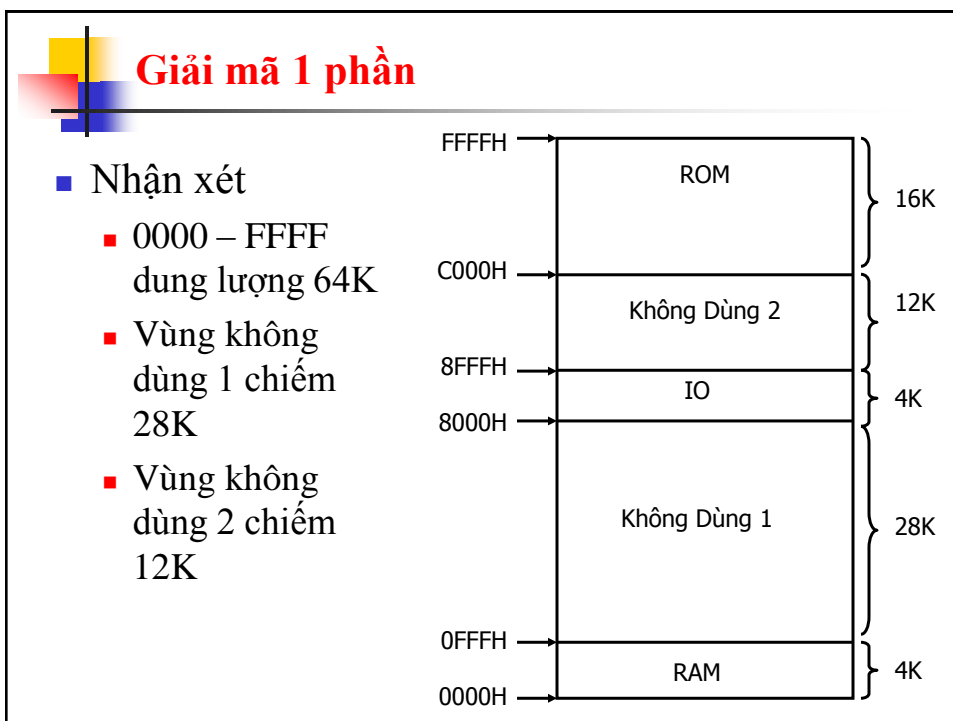
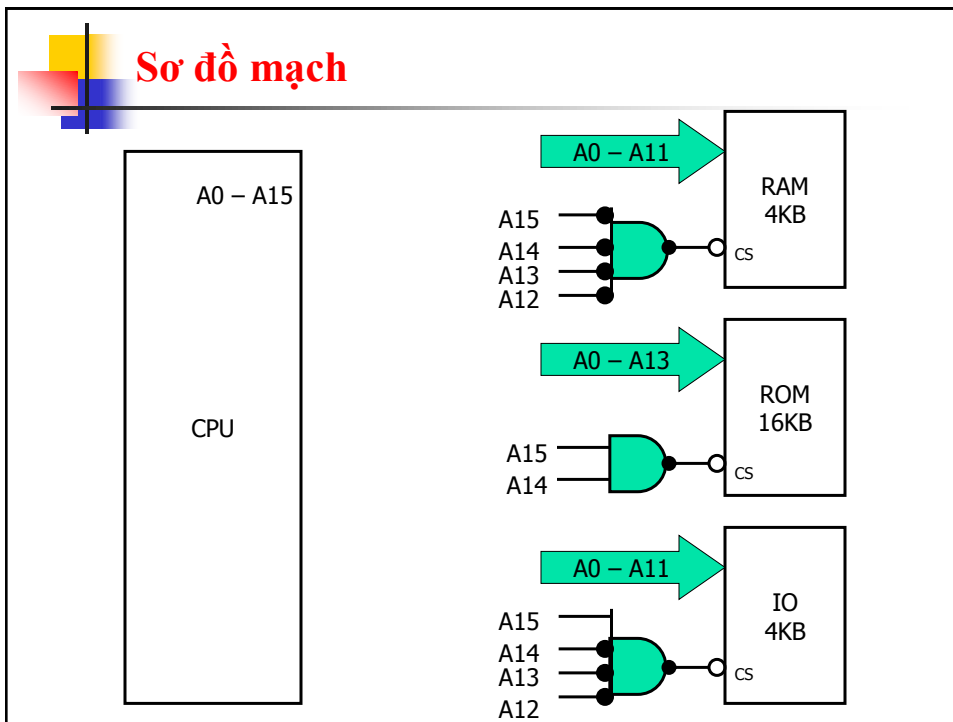
- Cho sơ đồ bộ nhớ như sau. Thiết kế mạch giải mã địa chỉ toàn phần và một phần cho các chip nhớ (RAM, ROM, IO).
- Nhận xét :
 - RAM : 4K
 - IO : 4K
 - ROM : 16K

Memory Map Diagram:

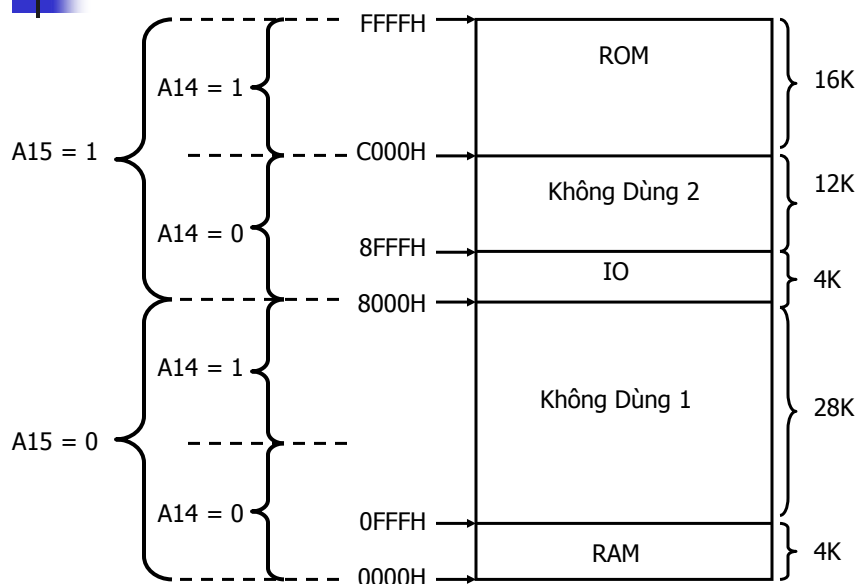
Địa chỉ (Address)	Loại Chip (Chip Type)
FFFFH	ROM
C000H	Không Dùng
8FFFH	IO
8000H	Không Dùng
0FFFH	RAM
0000H	

Phương pháp giải mã toàn phần

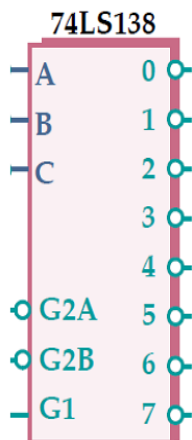
		A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
RAM	Đầu 0000h	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Cuối 0FFFh	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
Không Dùng																	
IO	Đầu 8000h	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Cuối 8FFFh	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
Không Dùng																	
ROM	Đầu C000h	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Cuối FFFFh	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1



Phương pháp giải mã 1 phần



❖ Bảng dữ liệu mạch giải mã 74LS138



Inputs						Output							
Enable			Select										
G2A	G2B	G1	C	B	A	0	1	2	3	4	5	6	7
1	X	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	0	X	X	X	1	1	1	1	1	1	1	1
0	0	1	0	0	0	0	1	1	1	1	1	1	1
0	0	1	0	0	1	1	0	1	1	1	1	1	1
0	0	1	0	1	0	1	1	0	1	1	1	1	1
0	0	1	0	1	1	1	1	1	0	1	1	1	1
0	0	1	1	0	0	1	1	1	1	0	1	1	1
0	0	1	1	0	1	1	1	1	1	1	0	1	1
0	0	1	1	1	0	1	1	1	1	1	1	0	1
0	0	1	1	1	1	1	1	1	1	1	1	1	0



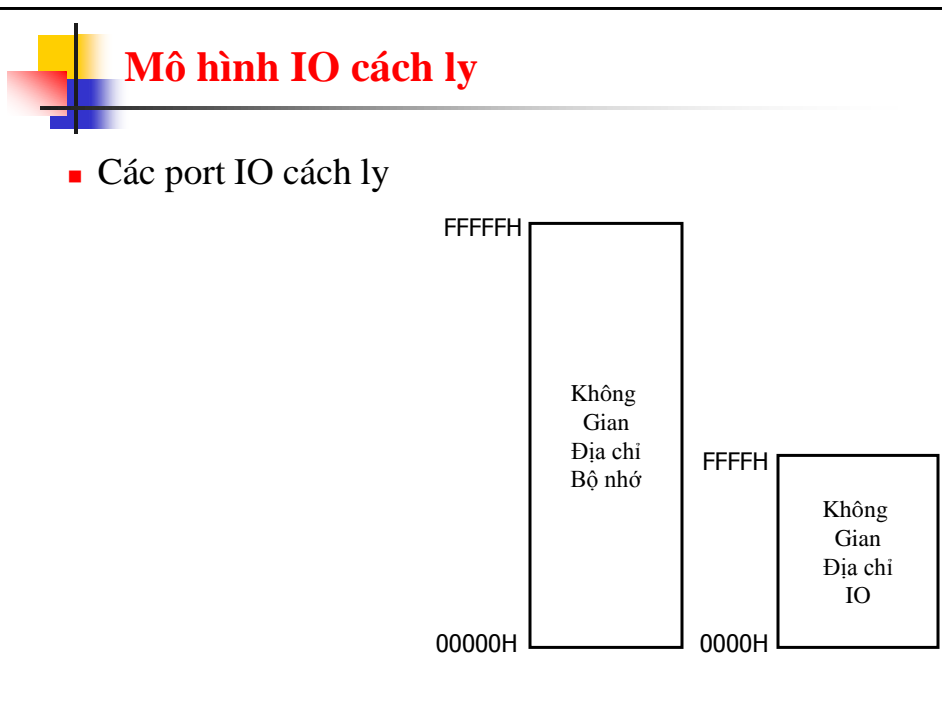
Các Loại Xuất Nhập

- Hệ thống xuất/nhập của vi xử lý cho phép ngoại vi
 - Cung cấp dữ liệu
 - Nhận kết quả xử lý dữ liệu
- Thực hiện thông qua các cổng IO (IO Port)
- Có 2 loại IO port khác nhau :
 - IO cách ly (Isolated IO)
 - IO ánh xạ bộ nhớ (Memory – mapped IO)



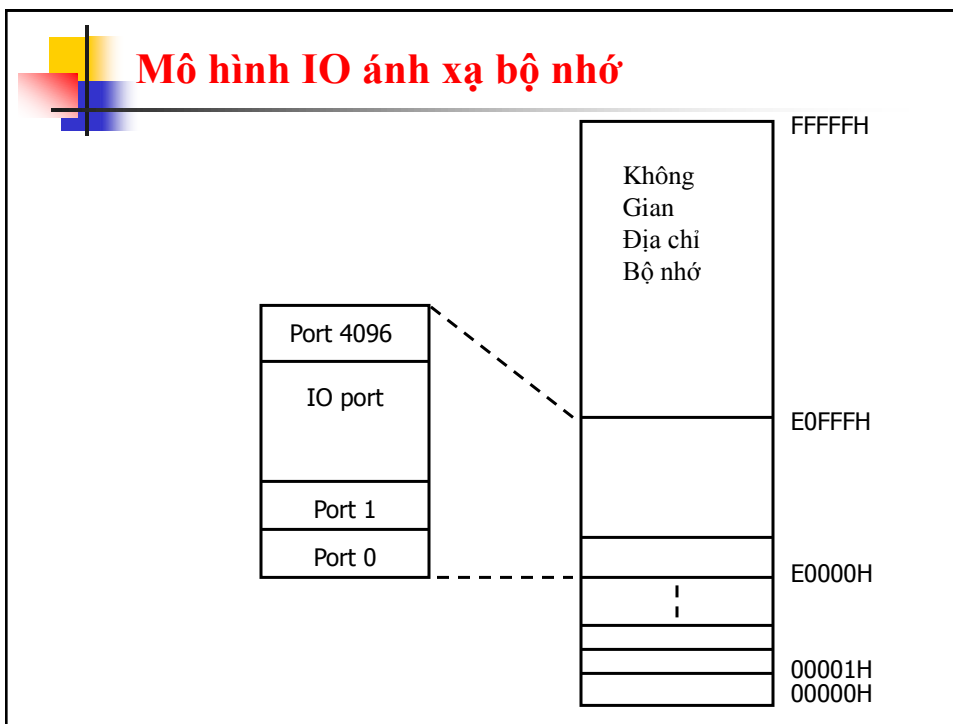
a. IO Cách Ly

- Các thiết bị IO được xử lý tách biệt khỏi bộ nhớ
- Được thực hiện vì cấu hình phần cứng và phần mềm của 8088/8086 hỗ trợ không gian bộ nhớ và IO riêng
- Không gian địa chỉ bộ nhớ 1MB
 - Địa chỉ trong tầm : 00000H → FFFFFH
 - Dùng 20 bit địa chỉ từ A0 → A19
- Không gian địa chỉ IO 64KB
 - Địa chỉ trong tầm : 0000H → FFFFH,
 - Dùng 16 bit địa chỉ từ A0 → A15 (A16 → A19 = 0000)



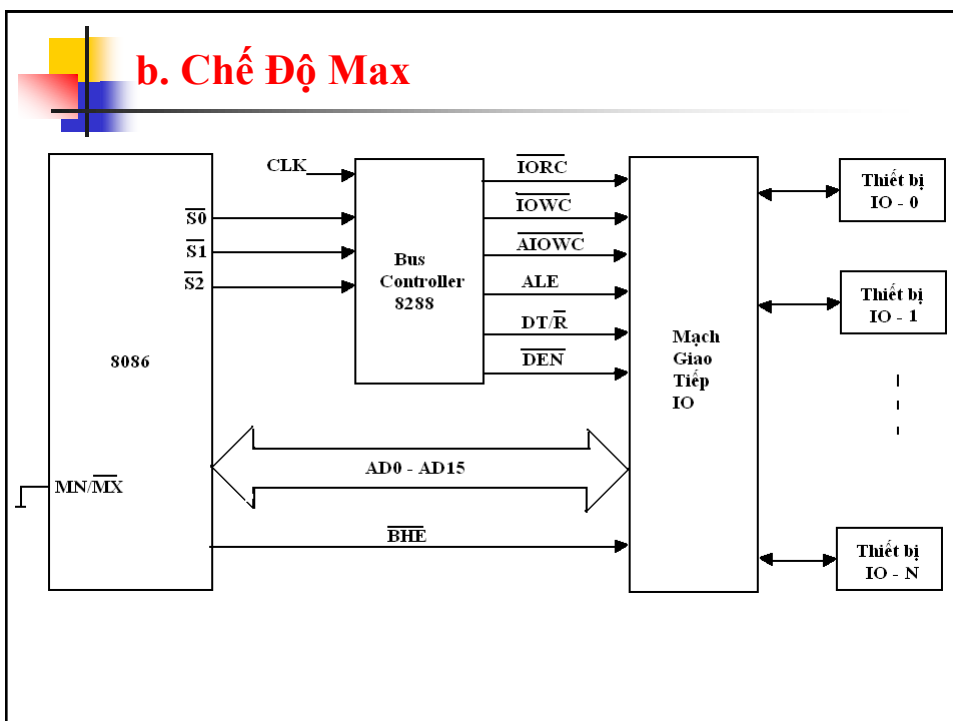
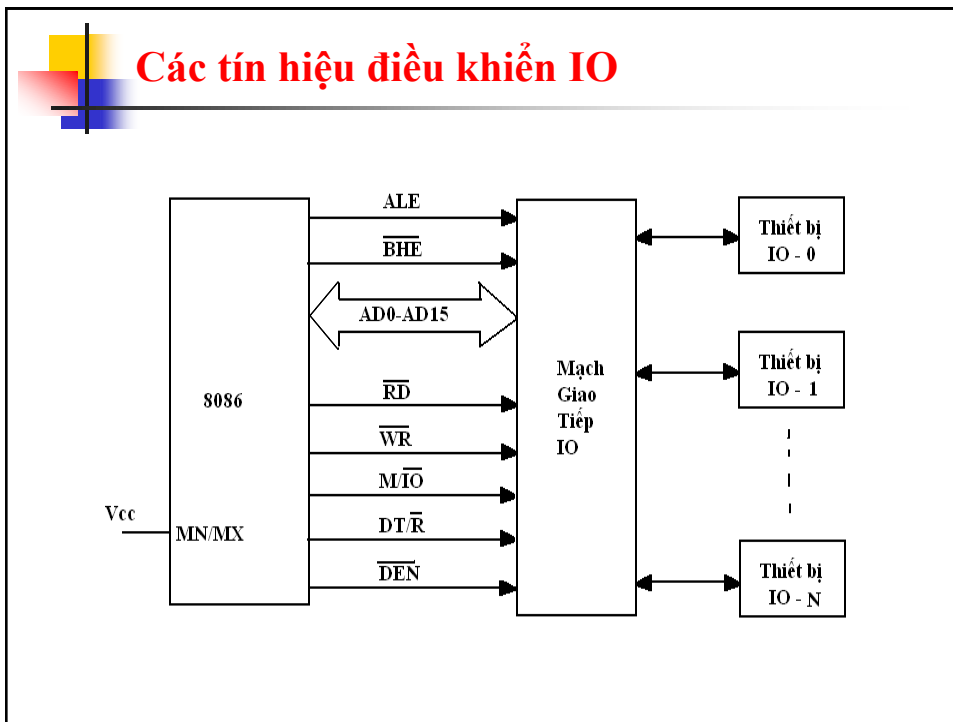
b. IO Ánh Xạ Bộ Nhớ

- Các thiết bị IO (địa chỉ các thiết bị IO) có thể đặt trong không gian địa chỉ bộ nhớ của máy tính.
- Trong trường hợp này CPU xem các IO port như 1 phần của bộ nhớ → nên gọi là IO ánh xạ bộ nhớ
- Có 1 số địa chỉ bộ nhớ được dành riêng cho các IO port.
- Ví dụ : các địa chỉ trong tầm E0000 → E0FFF (4096) được gán cho các thiết bị IO

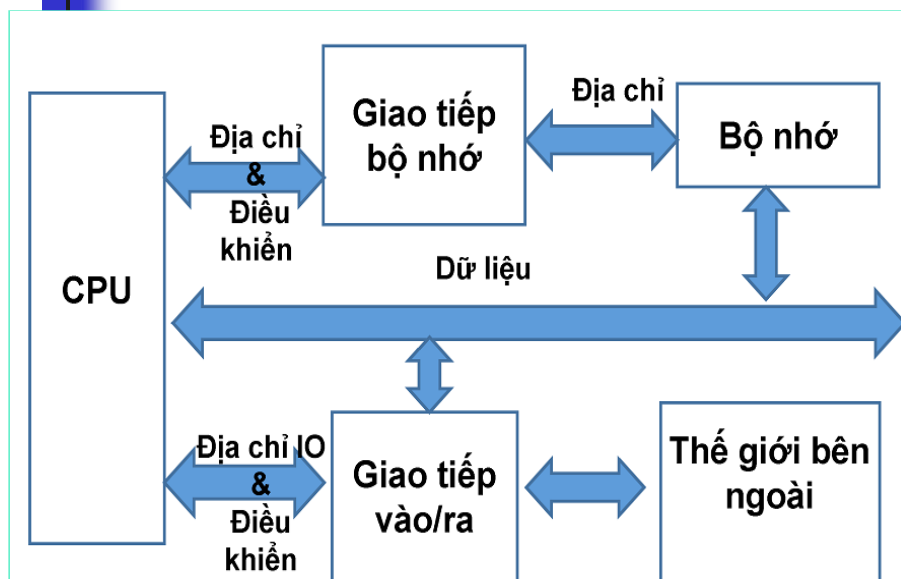


6. Giao Tiếp IO Cách Ly

- Chế độ Min
 - Các thiết bị IO có thể là : keyboard, printer, 8255...
 - Mạch giao tiếp IO có nhiệm vụ
 - Chọn port IO
 - Chốt dữ liệu ngõ ra
 - Lấy mẫu dữ liệu ngõ vào
 - Truyền dữ liệu đồng bộ



c. Các kiểu giao tiếp giữa VXL và IO



Các kiểu giao tiếp giữa VXL và IO

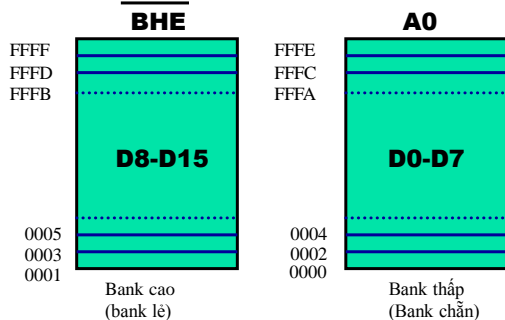
- **Giao tiếp kiểu thăm dò, móc nối (handshaking)**
 - CPU kiểm tra trạng thái của thiết bị ngoại vi
 - Nếu thiết bị ngoại vi sẵn sàng trao đổi dữ liệu việc trao đổi sẽ được thực hiện bởi tín hiệu móc nối
 - Nếu thiết bị ngoại vi chưa sẵn sàng, CPU sẽ thực hiện công việc khác và quay lại bước 1
- **Giao tiếp bằng ngắt (Interrupt)**
 - Thiết bị ngoại vi muốn trao đổi dữ liệu với CPU, nó sẽ gửi tín hiệu yêu cầu ngắt tới chân INTR của CPU
 - CPU chấp nhận yêu cầu ngắt bằng cách gửi tín hiệu INTA tới thiết bị ngoại vi
 - CPU thực hiện chương trình con phục vụ ngắt

■ Giao tiếp bằng truy cập bộ nhớ trực tiếp (DMA)

- Thiết bị ngoại vi muốn truy cập trực tiếp bộ nhớ không thông qua CPU, nó đưa tín hiệu yêu cầu tới chân HOLD của CPU thông qua khối điều khiển DMA
- CPU chấp nhận và gửi tín hiệu HLDA tới khối điều khiển DMA và treo các bus
- Khối điều khiển DMA sẽ điều khiển việc trao đổi dữ liệu giữa thiết bị ngoại vi và bộ nhớ

■ Giải mã địa chỉ cho các thiết bị vào/ra

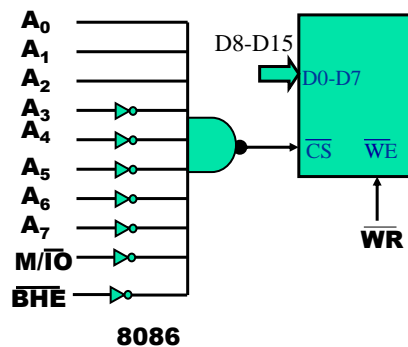
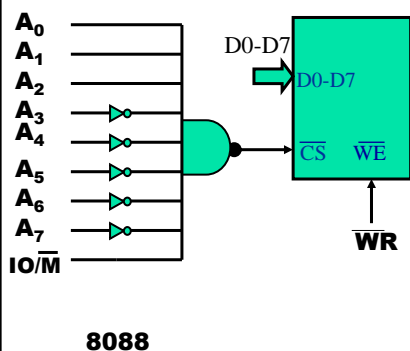
- 8 bit địa chỉ hay 16 bit?
 - Tổng số thiết bị < 256: 8 bit A0-A7: 00H-FFH
 - Tổng số thiết bị > 256: 16 bit A0-A15: 0000H-FFFFH
- 8 bit dữ liệu hay 16 bit?
 - Nếu cổng là 8 bit: chọn 1 trong 2 bank
 - Nếu cổng là 16 bit: chọn cả 2 bank



Giải mã địa chỉ cho các thiết bị vào/ra

- Ví dụ: Giải mã địa chỉ cho thiết bị ra 8 bit với địa chỉ 07H

07H = 0000 0111

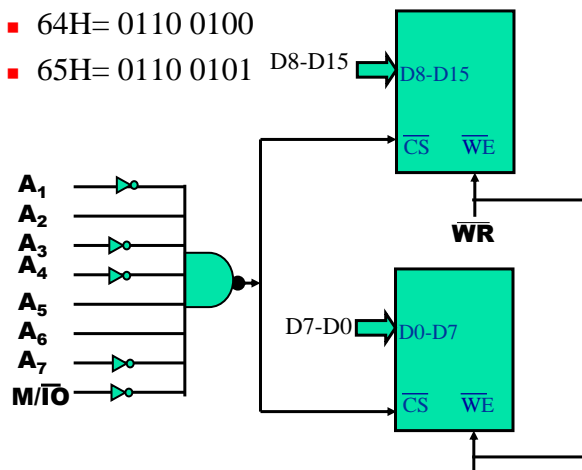


Giải mã địa chỉ cho các thiết bị vào/ra

- Ví dụ: Giải mã địa chỉ cho thiết bị ra 16 bit với địa chỉ cổng 64H và 65H

64H = 0110 0100

65H = 0110 0101



Giải mã địa chỉ cho các thiết bị vào/ra

- Ví dụ: Giải mã địa chỉ cho các cổng vào ra 8 bit ở bank thấp với các địa chỉ 10H, 12H, 14H, 16H, 18H, 1AH, 1CH, 1EH
 - 10H=0001 0000
 - 12H=0001 0010
 -
 - 1EH=0001 1110

