ADJ-602-093F

日立 16 ビットマイクロコンピュータ

H8/3048 シリーズ、H8/3048F-ZTAT™（H8/3048F、H8/3048F-ONE）ハードウェアマニュアル

H8/3048	HD6473048、HD6433048
H8/3047	HD6433047
H8/3045	HD6433045
H8/3044	HD6433044
H8/3048F-ZTAT	
H8/3048F	HD64F3048
H8/3048F-ONE	HD64F3048B

H8/3048 シリーズ、H8/3048F-ZTAT™（H8/3048F、H8/3048F-ONE）ハードウェアマニュアル

発行年月日	平成 6 年 3 月　第 1 版
	平成 12 年 12 月　第 7 版
発行	株式会社　日立製作所
	半導体グループ電子統括営業本部
編集	株式会社　日立小平セミコン
	技術ドキュメントグループ
©株式会社　日立製作所	1994

ご注意

1．本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合，または国外に持ち出す場合は日本国政府の許可が必要です。
2．本書に記載された情報の使用に際して，弊社もしくは第三者の特許権，著作権，商標権，その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合，弊社はその責を負いませんので予めご了承ください。
3．製品及び製品仕様は予告無く変更する場合がありますので，最終的な設計，ご購入，ご使用に際しましては，事前に最新の製品規格または仕様書をお求めになりご確認ください。
4．弊社は品質・信頼性の向上に努めておりますが，宇宙，航空，原子力，燃焼制御，運輸，交通，各種安全装置，　ライフサポート関連の医療機器等のように，特別な品質・信頼性が要求され，その故障や誤動作が直接人命を脅かしたり，人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は，事前に弊社営業担当迄ご相談をお願い致します。
5．設計に際しては，特に最大定格，動作電源電圧範囲，放熱特性，実装条件及びその他諸条件につきましては，弊社保証範囲内でご使用いただきますようお願い致します。
保証値を越えてご使用された場合の故障及び事故につきましては，弊社はその責を負いません。
また保証値内のご使用であっても半導体製品について通常予測される故障発生率，故障モードをご考慮の上，弊社製品の動作が原因でご使用機器が人身事故，火災事故，その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
6．本製品は耐放射線設計をしておりません。
7．本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
8．本書をはじめ弊社半導体についてのお問い合わせ，ご相談は弊社営業担当迄お願い致します。

本版で改訂または追加された箇所

章	節／項	頁	項目	内容
	全般		H8/3048F-ONE	製品追加
	はじめに			説明追加
			H8/3048 シリーズの製品仕様比較	追加
1	1.1　概要	1-1	1.1　概要	説明追加
		1-2	表 1.1　特長 CPU、メモリ	高速動作追加
		1-5	製品ラインアップ	製品追加
	1.2　内部ブロック図	1-6	図 1.1　内部ブロック図	【注】の変更
	1.3.1　ピン配置図	1-7	表 1.2　H8/3048 シリーズのピン配置比較	追加
		1-7	図 1.2　1 ピンの接続図	追加
		1-8	図 1.3　ピン配置図（FP-100B、TFP-100B：上面図）	【注】の変更
		1-9	図 1.3（2）　H8/3048F-ONE ピン配置図（FP-100B、TFP-100B：上面図）	追加
	1.3.2　動作モード別端子機能一覧	1-13	表 1.3　動作モード別端子機能一覧（FP-100B、TFP-100B）	【注】の変更 *3、*4 追加
	1.3.3　端子機能	1-14、 1-18	表 1.4　端子機能	説明、【注】追加
	1.4　H8/3048F-ONE（単一電源）の注意事項	1-19～ 1-24	1.4.1　電源印加時の注意事項 1.4.2　製品型名とマーク表示 1.4.3　H8/3048F と H8/3048F-ONE の相違点 1.4.4　V_{CL} 端子 1.4.5　マスク ROM 品切り替えの際の注意点	追加
	1.5　発振安定待機時間の設定について	1-24		追加
	1.6　水晶発振子を接続する際の注意点	1-24		追加
2	2.1　概要	2-1	2.1.1　特長	・高速動作　変更
3	3.3　システムコントロールレジスタ（SYSCR）	3-4	ビット 6～4：スタンバイタイマセレクト 2～0（STS2～0） （2）H8/3048F-ONE の場合	追加
4	4.2　リセット	4-3	4.2.2　リセットシーケンス	説明追加
	4.3　割込み	4-6		【注】追加
5	5.1　概要	5-1	5.1.1　特長	【注】追加
	5.1.3　端子構成	5-2	表 5.1　端子構成	【注】追加
	5.3.1　外部割込み	5-14	（1）NMI 割込み	【注】追加
	5.4　割込み動作	5-17	5.4.1　割込み動作の流れ	【注】追加
	5.5　使用上の注意	5-26	5.5.5　NMI 割込み使用上の注意	説明追加

章	節／項	頁	項目	内容
9	9.2.2　レジスタ構成	9-5	（1）ポート 1 データディレクションレジスタ（P1DDR） （c）モード 7（シングルチップモード）	説明追加
		9-5、 9-6	（2）ポート 1 データレジスタ（P1DR）	説明追加
	9.3.2　レジスタ構成	9-7	（1）ポート 2 データディレクションレジスタ（P2DDR） （c）モード 7（シングルチップモード）	説明追加
			（2）ポート 2 データレジスタ（P2DR）	説明追加
	9.4.2　レジスタ構成	9-10	（2）ポート 3 データレジスタ（P3DR）	説明追加
	9.5.2　レジスタ構成	9-12	（1）ポート 4 データディレクションレジスタ（P4DDR） （a）モード 1～6（拡張モード）	説明追加
			（2）ポート 4 データレジスタ（P4DR）	説明追加
	9.6.2　レジスタ構成	9-15、 9-16	（1）ポート 5 データディレクションレジスタ（P5DDR） （2）ポート 5 データレジスタ（P5DR） （3）ポート 5 入力プルアップ MOS コントロールレジスタ（P5PCR）	説明追加
	9.7.2　レジスタ構成	9-18、 9-19	（1）ポート 6 データディレクションレジスタ（P6DDR） （2）ポート 6 データレジスタ（P6DR）	説明追加
	9.8　ポート 7	9-20	9.8.1　概要	説明追加
			9.8.2　レジスタ構成	説明追加、修正
	9.9.2　レジスタ構成	9-22	（1）ポート 8 データディレクションレジスタ（P8DDR）	説明追加、修正
		9-23	（2）ポート 8 データレジスタ（P8DR）	
	9.10.2　レジスタ構成	9-26	（1）ポート 9 データディレクションレジスタ（P9DDR） （2）ポート 9 データレジスタ（P9DR）	説明追加、修正
	9.11　ポート A	9-29	9.11.1 概要	説明追加、修正
	9.11.2　レジスタ構成	9-31	（1）ポート A データディレクションレジスタ（PADDR）	説明追加、修正
		9-32	（2）ポート A データレジスタ（PADR）	
	9.12　ポート B	9-37	9.12.1　概要	説明追加
	9.12.2　レジスタ構成	9-38	（1）ポート B データディレクションレジスタ（PBDDR） （2）ポート B データレジスタ（PBDR）	説明追加、修正
12	12.1　概要	12-1	12.1.1　特長	説明追加
		12-2	12.1.3　端子構成	【注】追加
	12.2.3　リセットコントロール／ステータスレジスタ（RSTCSR）	12-6～ 12-8	（1）H8/3048F、H8/3048ZTAT、 H8/3048 マスク ROM 品、 H8/3047 マスク ROM 品、 H8/3045 マスク ROM 品、 H8/3044 マスク ROM 品の場合 （2）H8/3048F-ONE の場合	説明追加
	12.3　動作説明	12-11	12.3.1　ウォッチドッグタイマ時の動作	説明追加

章	節／項	頁	項目	内容
12	12.6　その他注意事項	12-14、 12-15		追加
13	13.2.8　ビットレートレジスタ（BRR）	13-20	表 13.3　ビットレートに対する BRR の設定例〔調歩同期式モード〕	20MHz、25MHz 追加
		13-21	表 13.4　ビットレートに対する BRR の設定例〔クロック同期式モード〕	
		13-23	表 13.5　各周波数における最大ビットレート〔調歩同期式モード〕	
		13-24	表 13.6　外部クロック入力時の最大ビットレート〔調歩同期式モード〕	
			表 13.7　外部クロック入力時の最大ビットレート〔クロック同期式モード〕	
14	14.3.5　クロック	14-12	表 14.5　BRR の設定に対するビットレート B（bit/s）の例（ただし、n=0 のとき）	20MHz、25MHz 追加
			表 14.6　ビットレート B（bit/s）に対する BRR の設定例（ただし n=0 のとき）	
		14-13	表 14.7　各周波数における最大ビットレート（スマートカードインタフェースモード時）	
15	15.1　概要	15-1	15.1.1　特長	説明追加
	15.2.3　A/D コントロールレジスタ（ADCR）	15-7、 15-8	（1）H8/3048F、H8/3048ZTAT、 H8/3048 マスク ROM 品、 H8/3047 マスク ROM 品、 H8/3045 マスク ROM 品、 H8/3044 マスク ROM 品の場合 （2）H8/3048F-ONE の場合	説明追加
18 ～ 20	18.　ROM（H8/3048ZTAT、マスク ROM 内蔵品） 19.　フラッシュメモリ（H8/3048F：二電源方式（V_{PP}＝12V） 20.　フラッシュメモリ（H8/3048F-ONE：単一電源方式）	18-1～ 20-43		製品ごとに章を分割
21	21.1.1　ブロック図	21-1	図 21.1　クロック発信器のブロック図	図の修正
	21.2.1　水晶発振子を接続する方法	21-2	（1）回路構成 表 21.2　外付け容量値	説明追加
		21-3	（2）水晶発振子 表 21.3　水晶発振子のパラメータ	20MHz 追加
	21.2.2　外部クロックを入力する方法	21-5	表 21.4（1）H8/3048F-ONE のクロックタイミング	追加
			表 21.4（2）クロックタイミング	【注】追加
		21-6	図 21.7　外部クロック出力安定遅延時間タイミング	【注】削除
	21.5　分周器	21-8	21.5.3　使用上の注意	（1）修正、追加
			表 21.6　H8/3048 シリーズの動作周波数範囲の比較	追加

章	節／項	頁	項目	内容
22	22.2.1　システムコントロールレジスタ（SYSCR）	22-4	ビット 6〜4：スタンバイタイマセレクト 2〜0（STS2〜0）	(1)、(2)説明追加
	22.4　ソフトウェアスタンバイモード	22-8	22.4.1　ソフトウェアスタンバイモードへの遷移	説明追加
		22-9	22.4.3　ソフトウェアスタンバイモード解除後の発振安定待機時間の設定 （1）水晶発振の場合	(a)、(b)説明追加
			（2）外部クロックの場合	(a)、(b)説明追加
		22-11	表 22.3（2）動作周波数と発振安定待機時間	追加
	22.6.3　使用上の注意	22-14	（2）内蔵周辺モジュール割込み	説明修正
			（4）レジスタの再設定	ビット名修正
23	23.　電気的特性	23-1	表 23.1　H8/3048 シリーズの電気的特性比較	追加
	23.1.1　絶対最大定格	23-2	表 23.2　絶対最大定格	変更
	23.1.4　A/D 変換特性	23-14	表 23.9　A/D 変換特性	変換時間　修正
	23.2.1　絶対最大定格	23-16	表 23.11　絶対最大定格	追加
	23.2.4　A/D 変換特性	23-29	表 23.18　A/D 変換特性	変換時間　修正
	23.3　H8/3048F-ONE（単一電源方式）の電気的特性	23-32〜23-48		追加
	23.4.3　制御信号タイミング	23-56	図 23.22　リセット出力タイミング	【注】追加
付録	B.　内部 I/O レジスタ一覧	付録-28	表 B.1　H8/3048 シリーズの内部 I/O レジスタ仕様比較	追加
		付録-37〜44	B.2　アドレス一覧（H8/3048F-ONE の場合）	追加
	B.3　機能一覧	付録-57	H’40：フラッシュメモリコントロールレジスタ　FLMCR	説明追加
		付録-58	H’40：フラッシュメモリコントロールレジスタ 1　FLMCR1	追加
		付録-59	H’41：フラッシュメモリコントロールレジスタ 2　FLMCR2	追加
			H’42：消去ブロック指定レジスタ　EBR1	説明追加
		付録-60	H’42：消去ブロック指定レジスタ 1　EBR	追加
			H’43：消去ブロック指定レジスタ 2　EBR2	説明追加
		付録-61	H’47：RAM コントロールレジスタ RAMCR	追加
		付録-62	H’48：RAM コントロールレジスタ RAMCR	説明追加
		付録-90	H’AB　リード時、H’AA ライト時：リセットコントロール／ステータスレジスタ RSTCSR	説明追加
			H’AB　リード時、H’AA ライト時：リセットコントロール／ステータスレジスタ RSTCSR	追加
		付録-110	H’E9：A/D コントロールレジスタ　ADCR	説明追加
			H’E9：A/D コントロールレジスタ　ADCR	説明追加

章	節／項	頁	項目	内容
付録	D.1　各処理状態におけるポートの状態	付録-144	表 D.1　各ポートの状態一覧	【注】*2 説明追加
	G.　型名一覧	付録-151	表 G.1　H8/3048 シリーズ型名一覧	H8/3048F-ONE 追加

はじめに

H8/3048 シリーズは、内部 32 ビット構成の H8/300H CPU を核にして、システム構成に必要な周辺機能を集積した高性能シングルチップマイクロコンピュータです。

H8/300H CPU は、内部 32 ビット構成で 16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。

周辺機能として、ROM、RAM、16 ビットインテグレーテッドタイマユニット（ITU）、プログラマブルタイミングパターンコントローラ（TPC）、ウォッチドッグタイマ（WDT）、シリアルコミュニケーションインタフェース（SCI）、A/D 変換器、D/A 変換器、I/O ポート、DMA コントローラ（DMAC）、リフレッシュコントローラなどを内蔵しています。2 チャネルの SCI のうち 1 チャネルは、ISO/IEC7816-3 に準拠したスマートカードインタフェースを拡張機能としてサポートしています。また、電池駆動時の消費電力を低減するため、モジュール単位のスタンバイ機能やチップに供給するシステムクロックの分周比をプログラマブルに変更する機能を追加しています。

アドレス空間は 8 つのエリアに分割されており、エリアごとにデータバス幅、アクセスステートを選択でき、各種のメモリを容易に接続することができます。MCU 動作モードは、モード 1～7 があり、データバス幅の初期値とアドレス空間を選択することができます。

このため、H8/3048 シリーズを用いることにより高性能かつ小型のシステムを容易に実現することができます。

H8/3048 シリーズには、マスク ROM 版のほかに PROM を内蔵した ZTAT®*1 版があり、ユーザサイドでの自由なプログラム書き込みが可能です。さらに H8/3048 シリーズに、フラッシュメモリを内蔵した F-ZTAT™*2 版が加わり、基板実装後のプログラム書き換えを可能にしています。変化の激しい市場ニーズに即応し、フレキシブルな製品開発が実現できます。

H8/3048 シリーズ製品の中に、オンチップエミュレータ（E10T）を搭載した F-ZTAT 製品 H8/3048F-ONE があります。

本マニュアルは、H8/3048 シリーズのハードウェアについて説明します。命令の詳細については、**「**H8/300H **シリーズ　プログラミングマニュアル」**をあわせてご覧ください。

【注】 *1　ZTAT®（Zero Turn Around Time）**は（株）日立製作所の登録商標です。**
*2　F-ZTAT™（Flexible-ZTAT）**は（株）日立製作所の商標です。**

H8/3048F-ONE **で搭載のオンチップエミュレータ（**E10T**）使用上の注意**

H8/3048 シリーズの他の製品とピン配置（1 ピン V_{CL}）と FLASH の仕様が異なります。相違点は H8/3048 シリーズの製品仕様比較をご覧ください。

オンチップエミュレータ（E10T）を使用して H8/3048 のプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

1. プログラムの開発、デバッグは、内蔵FLASHメモリ上のプログラムのみサポートしています。よって、外部メモリ、およびROMレスモードでのエミュレーションはできません。
2. リフレッシュコントローラ、DMACのエミュレーションはできません。
3. オンチップエミュレーションのブレークモード中、WDTのタイマカウントが停止します。

ブレークモード復帰時、カウンタ値がずれることがあります。

4. FWE（BRK）端子はE10Tで占有するため使用できません。
5. P91、P93、P95端子も使用できません。使用する場合はユーザ基盤上に追加ハードウェアが必要となります。
6. 1Mアドレスモード時のアドレスH'F7000～H'F77FF領域（16MアドレスモードではH'FF7000～H'FF77FF領域）はE10Tで使用するためユーザはこの領域は使用できません。
7. E10Tを使用する場合、アドレスブレークをE10Tが使用するか、ユーザに開放するか設定可能になっています。E10Tがアドレスブレークを使用する場合は、ユーザはアドレスブレークの制御レジスタはアクセスしないでください。
8. E10T使用時、FWE（BRK）端子は入出力（出力時はオープンドレイン）、P91端子およびP95端子は入力、P93端子は出力になります。

H8/3048 シリーズの製品仕様比較

H8/3048 シリーズには、H8/3048F-ZTAT（H8/3048F*[1]、H8/3048F-ONE*[2]）、H8/3048ZTAT および H8/3048 マスク ROM 品、H8/3047 マスク ROM 品、H8/3045 マスク ROM 品、H8/3044 マスク ROM 品の 7 種類があります。

各製品仕様の比較を、以下に示します。

【注】 *1　H8/3048F **は、二電源方式のフラッシュメモリ搭載製品です。**
*2　H8/3048F-ONE **は、単一電源方式のフラッシュメモリ搭載し、**E10T **を搭載した製品です。**

ROM TYPE	ZTAT	MASK ROM	F-ZTAT	
製品タイプ	H8/3048	H8/3048 **マスク** ROM **品** H8/3047 **マスク** ROM **品** H8/3045 **マスク** ROM **品** H8/3044 **マスク** ROM **品**	H8/3048F	H8/3048F-ONE
製品仕様	PROM **品**	**マスク** ROM **品**	**二電源方式** **フラッシュメモリ搭載**	**単一電源方式** **フラッシュメモリ搭載** **内部降圧品** **高速動作品**
			「第 1 **章** 1.4.3 H8/3048F **と** H8/3048F-ONE **の相違点」を参照**	
製品型名	HD6473048	HD6433048 HD6433047 HD6433045 HD6433044	HD64F3048	HD64F3048B
ピン配置	**第** 1 **章 図** 1.2(1) **ピン配置図参照**			5V **動作品は** V_{CL} **端子あり外付けコンデンサ接続要** **第** 1 **章 図** 1.2(2) **ピン配置図参照**
RAM **容量**	4k **バイト**	H8/3048：4k **バイト** H8/3047：4k **バイト** H8/3045：2k **バイト** H8/3044：2k **バイト**	4k **バイト**	4k **バイト**
ROM **容量**	128k **バイト**	H8/3048：128k **バイト** H8/3047： 96k **バイト** H8/3045： 64k **バイト** H8/3044： 32k **バイト**	128k **バイト**	128k **バイト**
フラッシュメモリ	**－**	**－**	**「第** 19 **章** ROM**」を参照**	**「第** 20 **章 フラッシュメモリ（**H8/3048F-ONE**：単一電源方式）」を参照**
低消費電力状態	**「第** 22 **章 低消費電力状態」を参照**			
	発振安定時間設定：待機時間 131072 **ステートまで**			**発振安定時間設定：待機時間** 262144 **ステートまで**
電気的特性（動作周波数）	**「第** 23 **章 表** 23.1 H8/3048 **シリーズの電気的特性比較」を参照**			
	1〜18MHz		1〜16MHz	5V **動作品：**2〜25MHz 3V **動作品：**2〜25 MHz
レジスタ一覧	**付録** B**「表** B.1 H8/3048 **シリーズの内部** I/O **レジスタ仕様比較」を参照**			
	付録 B.1**「アドレス一覧」を参照**			**付録** B.2**「アドレス一覧」を参照**
使用上の注意事項	**－**	**－**	**－**	**「第** 1 **章** 1.4 H8/3048F-ONE **の注意事項」参照**
オンチップエミュレータ（E10T**）**	**－**	**－**	**－**	**オンチップエミュレータ（**E10T**）**

目次

第 1 章　概要

1.1　概要 1-1
1.2　内部ブロック図 1-6
1.3　端子説明 1-7
　1.3.1　ピン配置図 1-7
　1.3.2　動作モード別端子機能一覧 1-10
　1.3.3　端子機能 1-14
1.4　H8/3048F-ONE（単一電源）の注意事項 1-19
　1.4.1　電圧印加時の注意事項 1-19
　1.4.2　製品型名とマーク表示 1-19
　1.4.3　H8/3048F と H8/3048F-ONE の相違点 1-20
　1.4.4　V_{CL} 端子 1-23
　1.4.5　マスク ROM 品切り替えの際の注意点 1-24
1.5　発振安定待機時間の設定について 1-24
1.6　水晶発振子を接続する際の注意点 1-24

第 2 章　CPU

2.1　概要 2-1
　2.1.1　特長 2-1
　2.1.2　H8/300CPU との相違点 2-2
2.2　CPU 動作モード 2-2
2.3　アドレス空間 2-3
2.4　レジスタ構成 2-4
　2.4.1　概要 2-4
　2.4.2　汎用レジスタ 2-4
　2.4.3　コントロールレジスタ 2-6
　2.4.4　CPU 内部レジスタの初期値 2-7
2.5　データ構成 2-7
　2.5.1　汎用レジスタのデータ構成 2-7
　2.5.2　メモリ上でのデータ構成 2-9
2.6　命令セット 2-10
　2.6.1　命令セットの概要 2-10
　2.6.2　命令とアドレッシングモードの組み合わせ 2-11
　2.6.3　命令の機能別一覧 2-12
　2.6.4　命令の基本フォーマット 2-20
　2.6.5　ビット操作命令使用上の注意 2-21

2.7 アドレッシングモードと実効アドレスの計算方法 2-22
2.7.1 アドレッシングモード 2-22
2.7.2 実効アドレスの計算方法 2-24
2.8 処理状態 2-28
2.8.1 概要 2-28
2.8.2 プログラム実行状態 2-28
2.8.3 例外処理状態 2-28
2.8.4 例外処理の動作 2-30
2.8.5 バス権解放状態 2-30
2.8.6 リセット状態 2-31
2.8.7 低消費電力状態 2-31
2.9 基本動作タイミング 2-32
2.9.1 概要 2-32
2.9.2 内蔵メモリアクセスタイミング 2-32
2.9.3 内蔵周辺モジュールアクセスタイミング 2-33
2.9.4 外部アドレス空間アクセスタイミング 2-33

第 3 章　MCU 動作モード

3.1 概要 3-1
3.1.1 動作モードの種類の選択 3-1
3.1.2 レジスタ構成 3-2
3.2 モードコントロールレジスタ（MDCR） 3-2
3.3 システムコントロールレジスタ（SYSCR） 3-3
3.4 各動作モードの説明 3-5
3.4.1 モード 1 3-5
3.4.2 モード 2 3-5
3.4.3 モード 3 3-5
3.4.4 モード 4 3-6
3.4.5 モード 5 3-6
3.4.6 モード 6 3-6
3.4.7 モード 7 3-6
3.5 各動作モードにおける端子機能 3-7
3.6 各動作モードのメモリマップ 3-7

第 4 章　例外処理

4.1 概要 4-1
4.1.1 例外処理の種類と優先度 4-1
4.1.2 例外処理の動作 4-1
4.1.3 例外処理要因とベクタテーブル 4-2
4.2 リセット 4-3
4.2.1 概要 4-3
4.2.2 リセットシーケンス 4-3
4.2.3 リセット直後の割込み 4-6

4.3 割込み 4-6
4.4 トラップ命令 4-6
4.5 例外処理後のスタックの状態 4-7
4.6 スタック使用上の注意 4-7

第 5 章　割込みコントローラ

5.1 概要 5-1
5.1.1 特長 5-1
5.1.2 ブロック図 5-2
5.1.3 端子構成 5-2
5.1.4 レジスタ構成 5-3
5.2 各レジスタの説明 5-4
5.2.1 システムコントロールレジスタ（SYSCR） 5-4
5.2.2 インタラプトプライオリティレジスタ A、B（IPRA、IPRB） 5-5
5.2.3 IRQ ステータスレジスタ（ISR） 5-11
5.2.4 IRQ イネーブルレジスタ（IER） 5-12
5.2.5 IRQ センスコントロールレジスタ（ISCR） 5-13
5.3 割込み要因 5-14
5.3.1 外部割込み 5-14
5.3.2 内部割込み 5-15
5.3.3 割込み例外処理ベクタテーブル 5-15
5.4 割込み動作 5-17
5.4.1 割込み動作の流れ 5-17
5.4.2 割込み例外処理シーケンス 5-22
5.4.3 割込み応答時間 5-23
5.5 使用上の注意 5-23
5.5.1 割込みの発生とディスエーブルとの競合 5-23
5.5.2 割込みの受付けを禁止している命令 5-24
5.5.3 EEPMOV 命令実行中の割込み 5-24
5.5.4 外部割込み使用上の注意 5-25
5.5.5 NMI 割込み使用上の注意 5-26

第 6 章　バスコントローラ

6.1 概要 6-1
6.1.1 特長 6-1
6.1.2 ブロック図 6-2
6.1.3 端子構成 6-3
6.1.4 レジスタ構成 6-3
6.2 各レジスタの説明 6-4
6.2.1 バス幅コントロールレジスタ（ABWCR） 6-4
6.2.2 アクセスステートコントロールレジスタ（ASTCR） 6-4
6.2.3 ウェイトコントロールレジスタ（WCR） 6-5
6.2.4 ウェイトステートコントローライネーブルレジスタ（WCER） 6-6

6.2.5 バスリリースコントロールレジスタ（BRCR） 6-7
6.2.6 チップセレクトコントロールレジスタ（CSCR） 6-8
6.3 動作説明 6-9
6.3.1 エリア分割 6-9
6.3.2 チップセレクト信号....6-10
6.3.3 データバス 6-11
6.3.4 バス制御信号タイミング....6-12
6.3.5 ウェイトモード 6-20
6.3.6 メモリとの接続例 6-26
6.3.7 バスアービタの動作....6-28
6.4 使用上の注意....6-31
6.4.1 DRAM および PSRAM の接続 6-31
6.4.2 レジスタライトタイミング....6-31
6.4.3 BREQ 端子の入力タイミング 6-32
6.4.4 ソフトウェアスタンバイモードへの遷移....6-32

第 7 章　リフレッシュコントローラ

7.1 概要 7-1
7.1.1 特長 7-1
7.1.2 ブロック図 7-2
7.1.3 端子構成 7-3
7.1.4 レジスタ構成 7-3
7.2 各レジスタの説明....7-4
7.2.1 リフレッシュコントロールレジスタ（RFSHCR） 7-4
7.2.2 リフレッシュタイマコントロールステータスレジスタ（RTMCSR） 7-7
7.2.3 リフレッシュタイマカウンタ（RTCNT） 7-8
7.2.4 リフレッシュタイムコンスタントレジスタ（RTCOR） 7-9
7.3 動作説明 7-9
7.3.1 概要 7-9
7.3.2 DRAM リフレッシュ制御....7-10
7.3.3 PSRAM リフレッシュ制御 7-23
7.3.4 インターバルタイマ....7-26
7.4 割込み要因 7-31
7.5 使用上の注意....7-32

第 8 章　DMA コントローラ

8.1 概要 8-1
8.1.1 特長 8-1
8.1.2 ブロック図 8-2
8.1.3 機能概要 8-3
8.1.4 端子構成 8-4
8.1.5 レジスタ構成 8-5
8.2 各レジスタの説明（1）（ショートアドレスモード） 8-6
8.2.1 メモリアドレスレジスタ（MAR） 8-6

8.2.2 I/O アドレスレジスタ（IOAR）.....8-7
8.2.3 転送カウントレジスタ（ETCR）.....8-7
8.2.4 データトランスファコントロールレジスタ（DTCR）.....8-8
8.3 各レジスタの説明（2）（フルアドレスモード）.....8-11
8.3.1 メモリアドレスレジスタ（MAR）.....8-11
8.3.2 I/O アドレスレジスタ（IOAR）.....8-11
8.3.3 転送カウントレジスタ（ETCR）.....8-11
8.3.4 データトランスファコントロールレジスタ（DTCR）.....8-13
8.4 動作説明.....8-18
8.4.1 概要.....8-18
8.4.2 I/O モード.....8-19
8.4.3 アイドルモード.....8-21
8.4.4 リピートモード.....8-23
8.4.5 ノーマルモード.....8-26
8.4.6 ブロック転送モード.....8-28
8.4.7 DMAC の起動要因.....8-33
8.4.8 DMAC のバスサイクル.....8-34
8.4.9 DMAC 複数チャネルの動作.....8-37
8.4.10 外部バス権要求、リフレッシュコントローラと DMAC の関係.....8-38
8.4.11 NMI 割込みと DMAC.....8-39
8.4.12 DMAC 動作の強制終了.....8-39
8.4.13 フルアドレスモードの解除.....8-40
8.4.14 リセット、スタンバイモード、スリープモード時の DMAC の状態.....8-41
8.5 割込み.....8-42
8.6 使用上の注意.....8-43
8.6.1 ワードデータ転送時の注意.....8-43
8.6.2 DMAC による DMAC 自体のアクセス.....8-43
8.6.3 MAR のロングワードアクセス.....8-43
8.6.4 フルアドレスモード設定時の注意.....8-43
8.6.5 内部割込みで DMAC を起動する場合の注意.....8-43
8.6.6 NMI 割込みとブロック転送モード.....8-44
8.6.7 MAR、IOAR のアドレス指定.....8-45
8.6.8 転送中断時のバスサイクル.....8-46

第 9 章 I/O ポート

9.1 概要.....9-1
9.2 ポート 1.....9-4
9.2.1 概要.....9-4
9.2.2 レジスタ構成.....9-4
9.3 ポート 2.....9-6
9.3.1 概要.....9-6
9.3.2 レジスタ構成.....9-6
9.4 ポート 3.....9-9
9.4.1 概要.....9-9
9.4.2 レジスタ構成.....9-9

9.5 ポート 4 9-11
9.5.1 概要 9-11
9.5.2 レジスタ構成 9-11
9.6 ポート 5 9-14
9.6.1 概要 9-14
9.6.2 レジスタ構成 9-14
9.7 ポート 6 9-17
9.7.1 概要 9-17
9.7.2 レジスタ構成 9-17
9.8 ポート 7 9-20
9.8.1 概要 9-20
9.8.2 レジスタ構成 9-20
9.9 ポート 8 9-21
9.9.1 概要 9-21
9.9.2 レジスタ構成 9-22
9.10 ポート 9 9-25
9.10.1 概要 9-25
9.10.2 レジスタ構成 9-25
9.11 ポート A 9-29
9.11.1 概要 9-29
9.11.2 レジスタ構成 9-31
9.11.3 端子機能 9-32
9.12 ポート B 9-37
9.12.1 概要 9-37
9.12.2 レジスタ構成 9-38
9.12.3 端子機能 9-39

第 10 章　16 ビットインテグレーテッドタイマユニット（ITU）

10.1 概要 10-1
10.1.1 特長 10-1
10.1.2 ブロック図 10-4
10.1.3 端子構成 10-9
10.1.4 レジスタ構成 10-10
10.2 各レジスタの説明 10-12
10.2.1 タイマスタートレジスタ（TSTR） 10-12
10.2.2 タイマシンクロレジスタ（TSNC） 10-13
10.2.3 タイマモードレジスタ（TMDR） 10-15
10.2.4 タイマファンクションコントロールレジスタ（TFCR） 10-18
10.2.5 タイマアウトプットマスタイネーブルレジスタ（TOER） 10-20
10.2.6 タイマアウトプットコントロールレジスタ（TOCR） 10-22
10.2.7 タイマカウンタ（TCNT） 10-23
10.2.8 ジェネラルレジスタ A、B（GRA、GRB） 10-24
10.2.9 バッファレジスタ A、B（BRA、BRB） 10-25
10.2.10 タイマコントロールレジスタ（TCR） 10-25

10.2.11　タイマ I/O コントロールレジスタ（TIOR）.....10-27
10.2.12　タイマステータスレジスタ（TSR）.....10-29
10.2.13　タイマインタラプトイネーブルレジスタ（TIER）.....10-32
10.3　CPU とのインタフェース.....10-34
10.3.1　16 ビットアクセス可能なレジスタ.....10-34
10.3.2　8 ビットアクセスのレジスタ.....10-36
10.4　動作説明.....10-37
10.4.1　概要.....10-37
10.4.2　基本機能.....10-38
10.4.3　同期動作.....10-45
10.4.4　PWM モード.....10-46
10.4.5　リセット同期 PWM モード.....10-49
10.4.6　相補 PWM モード.....10-51
10.4.7　位相計数モード.....10-60
10.4.8　バッファ動作.....10-61
10.4.9　ITU 出力タイミング.....10-65
10.5　割込み.....10-68
10.5.1　ステータスフラグのセットタイミング.....10-68
10.5.2　ステータスフラグのクリアタイミング.....10-69
10.5.3　割込み要因と DMA コントローラの起動.....10-70
10.6　使用上の注意.....10-71

第 11 章　プログラマブルタイミングパターンコントローラ（TPC）

11.1　概要.....11-1
11.1.1　特長.....11-1
11.1.2　ブロック図.....11-2
11.1.3　端子構成.....11-3
11.1.4　レジスタ構成.....11-4
11.2　各レジスタの説明.....11-5
11.2.1　ポート A データディレクションレジスタ（PADDR）.....11-5
11.2.2　ポート A データレジスタ（PADR）.....11-5
11.2.3　ポート B データディレクションレジスタ（PBDDR）.....11-6
11.2.4　ポート B データレジスタ（PBDR）.....11-6
11.2.5　ネクストデータレジスタ A（NDRA）.....11-7
11.2.6　ネクストデータレジスタ B（NDRB）.....11-9
11.2.7　ネクストデータイネーブルレジスタ A（NDERA）.....11-11
11.2.8　ネクストデータイネーブルレジスタ B（NDERB）.....11-12
11.2.9　TPC 出力コントロールレジスタ（TPCR）.....11-13
11.2.10　TPC 出力モードレジスタ（TPMR）.....11-15
11.3　動作説明.....11-17
11.3.1　概要.....11-17
11.3.2　出力タイミング.....11-18
11.3.3　TPC 出力通常動作.....11-19
11.3.4　TPC 出力ノンオーバラップ動作.....11-21
11.3.5　インプットキャプチャによる TPC 出力.....11-23

11.4 使用上の注意 11-23
11.4.1 TPC 出力端子の動作 11-23
11.4.2 ノンオーバラップ動作時の注意 11-23

第 12 章　ウォッチドッグタイマ

12.1 概要 12-1
12.1.1 特長 12-1
12.1.2 ブロック図 12-2
12.1.3 端子構成 12-2
12.1.4 レジスタ構成 12-2
12.2 各レジスタの説明 12-3
12.2.1 タイマカウンタ（TCNT） 12-3
12.2.2 タイマコントロール／ステータスレジスタ（TCSR） 12-4
12.2.3 リセットコントロール／ステータスレジスタ（RSTCSR） 12-6
12.2.4 レジスタ書き換え時の注意 12-9
12.3 動作説明 12-11
12.3.1 ウォッチドッグタイマ時の動作 12-11
12.3.2 インターバルタイマ時の動作 12-12
12.3.3 オーバフローフラグ（OVF）セットタイミング 12-12
12.3.4 ウォッチドッグタイマリセット（WRST）のセットタイミング 12-13
12.4 割込み 12-14
12.5 使用上の注意 12-14
12.6 その他注意事項 12-14

第 13 章　シリアルコミュニケーションインタフェース

13.1 概要 13-1
13.1.1 特長 13-1
13.1.2 ブロック図 13-2
13.1.3 端子構成 13-3
13.1.4 レジスタ構成 13-3
13.2 各レジスタの説明 13-4
13.2.1 レシーブシフトレジスタ（RSR） 13-4
13.2.2 レシーブデータレジスタ（RDR） 13-4
13.2.3 トランスミットシフトレジスタ（TSR） 13-5
13.2.4 トランスミットデータレジスタ（TDR） 13-5
13.2.5 シリアルモードレジスタ（SMR） 13-6
13.2.6 シリアルコントロールレジスタ（SCR） 13-9
13.2.7 シリアルステータスレジスタ（SSR） 13-13
13.2.8 ビットレートレジスタ（BRR） 13-17
13.3 動作説明 13-25
13.3.1 概要 13-25
13.3.2 調歩同期式モード時の動作 13-27
13.3.3 マルチプロセッサ通信機能 13-36
13.3.4 クロック同期式モード時の動作 13-43

13.4 SCI 割込み 13-50
13.5 使用上の注意 13-51

第 14 章　スマートカードインタフェース

14.1 概要 14-1
14.1.1 特長 14-1
14.1.2 ブロック図 14-2
14.1.3 端子構成 14-2
14.1.4 レジスタ構成 14-3
14.2 各レジスタの説明 14-3
14.2.1 スマートカードモードレジスタ（SCMR） 14-3
14.2.2 シリアルステータスレジスタ（SSR） 14-5
14.2.3 シリアルモードレジスタ（SMR） 14-6
14.2.4 シリアルコントロールレジスタ（SCR） 14-7
14.3 動作説明 14-8
14.3.1 概要 14-8
14.3.2 端子接続 14-8
14.3.3 データフォーマット 14-9
14.3.4 レジスタ設定 14-10
14.3.5 クロック 14-12
14.3.6 データの送信／受信動作 14-13
14.4 使用上の注意 14-20

第 15 章　A/D 変換器

15.1 概要 15-1
15.1.1 特長 15-1
15.1.2 ブロック図 15-2
15.1.3 端子構成 15-3
15.1.4 レジスタ構成 15-3
15.2 各レジスタの説明 15-4
15.2.1 A/D データレジスタ A～D（ADDRA～D） 15-4
15.2.2 A/D コントロール／ステータスレジスタ（ADCSR） 15-5
15.2.3 A/D コントロールレジスタ（ADCR） 15-7
15.3 CPU とのインタフェース 15-9
15.4 動作説明 15-10
15.4.1 単一モード（SCAN＝0） 15-10
15.4.2 スキャンモード（SCAN＝1） 15-12
15.4.3 入力サンプリングと A/D 変換時間 15-14
15.4.4 外部トリガ入力タイミング 15-15
15.5 割込み 15-16
15.6 使用上の注意 15-16

第 16 章　D/A 変換器

16.1　概要 16-1
16.1.1　特長 16-1
16.1.2　ブロック図 16-1
16.1.3　端子構成 16-2
16.1.4　レジスタ構成 16-2
16.2　各レジスタの説明 16-3
16.2.1　D/A データレジスタ 0、1（DADR0、1） 16-3
16.2.2　D/A コントロールレジスタ（DACR） 16-3
16.2.3　D/A スタンバイコントロールレジスタ（DASTCR） 16-5
16.3　動作説明 16-6
16.4　D/A 出力制御 16-7
16.5　使用上の注意 16-7

第 17 章　RAM

17.1　概要 17-1
17.1.1　ブロック図 17-1
17.1.2　レジスタ構成 17-2
17.2　システムコントロールレジスタ（SYSCR） 17-2
17.3　動作説明 17-3

第 18 章　ROM（H8/3048ZTAT、マスク ROM 内蔵品）

18.1　概要 18-1
18.1.1　ブロック図 18-2
18.2　PROM モード 18-3
18.2.1　PROM モードの設定 18-3
18.2.2　ソケットアダプタの端子対応とメモリマップ 18-3
18.3　PROM のプログラミング 18-6
18.3.1　書込み／ベリファイ 18-7
18.3.2　書込み時の注意 18-10
18.3.3　書込み後の信頼性 18-10
18.4　マスク ROM 品発注時の注意 18-11

第 19 章　フラッシュメモリ（H8/3048F：二電源方式（V_{PP}＝12V））

19.1　概要 19-1
19.2　フラッシュメモリの概要 19-2
19.2.1　フラッシュメモリの動作原理 19-2
19.2.2　モード端子の設定と ROM 空間 19-3
19.2.3　特長 19-4
19.2.4　ブロック図 19-5
19.2.5　端子構成 19-6
19.2.6　レジスタ構成 19-6

19.3 フラッシュメモリの各レジスタの説明 19-7
19.3.1 フラッシュメモリコントロールレジスタ（FLMCR） 19-7
19.3.2 消去ブロック指定レジスタ 1（EBR1） 19-10
19.3.3 消去ブロック指定レジスタ 2（EBR2） 19-11
19.3.4 RAM コントロールレジスタ（RAMCR） 19-13
19.4 オンボードプログラミングモード 19-15
19.4.1 ブートモード 19-15
19.4.2 ユーザプログラムモード 19-20
19.5 フラッシュメモリの書込み／消去 19-22
19.5.1 書込みモード 19-23
19.5.2 書込みベリファイモード 19-23
19.5.3 書込みのフローチャートとプログラム例 19-24
19.5.4 消去モード 19-26
19.5.5 消去ベリファイモード 19-27
19.5.6 消去のフローチャートとプログラム例 19-28
19.5.7 プレライトベリファイモード 19-42
19.5.8 プロテクトモード 19-43
19.5.9 NMI 入力禁止条件 19-46
19.6 RAM によるフラッシュメモリのエミュレーション 19-47
19.7 フラッシュメモリの PROM モード 19-49
19.7.1 PROM モードの設定 19-49
19.7.2 ソケットアダプタの端子対応とメモリマップ 19-49
19.7.3 PROM モードの動作 19-52
19.8 フラッシュメモリの書込み／消去時の注意（二電源方式） 19-59
19.9 F-ZTAT（二電源方式）マイコンのマスク ROM 化時の注意事項 19-66

第 20 章　フラッシュメモリ（H8/3048F-ONE：単一電源方式）

20.1 概要 20-1
20.1.1 H8/3048F-ONE（単一電源）の注意事項 20-1
20.1.2 モード端子の設定 20-2
20.2 特長 20-2
20.2.1 ブロック図 20-3
20.2.2 モード遷移図 20-4
20.2.3 オンボードプログラミングモード 20-5
20.2.4 RAM によるフラッシュメモリのエミュレーション 20-7
20.2.5 ブートモードとユーザプログラムモードの相違点 20-8
20.2.6 ブロック分割法 20-8
20.3 端子構成 20-9
20.4 レジスタ構成 20-9
20.5 レジスタの説明 20-10
20.5.1 フラッシュメモリコントロールレジスタ 1（FLMCR1） 20-10
20.5.2 フラッシュメモリコントロールレジスタ 2（FLMCR2） 20-12
20.5.3 消去ブロック指定レジスタ（EBR） 20-13
20.5.4 RAM コントロールレジスタ（RAMCR） 20-14

20.6 オンボードプログラミングモード 20-16
20.6.1 ブートモード 20-17
20.6.2 ユーザプログラムモード 20-22
20.7 フラッシュメモリの書き込み／消去 20-24
20.7.1 プログラムモード 20-25
20.7.2 プログラムベリファイモード 20-25
20.7.3 イレースモード 20-29
20.7.4 イレースベリファイモード 20-29
20.8 プロテクト 20-31
20.8.1 ハードウェアプロテクト 20-31
20.8.2 ソフトウェアプロテクト 20-32
20.8.3 エラープロテクト 20-32
20.8.4 NMI 入力の禁止条件 20-34
20.9 RAM によるフラッシュメモリのエミュレーション 20-35
20.10 フラッシュメモリの PROM モード 20-36
20.10.1 ソケットアダプタとメモリマップ 20-36
20.10.2 PROM モード使用時の注意事項 20-37
20.11 フラッシュメモリの書き込み／消去時の注意 20-37
20.12 F-ZTAT（単一電源方式）マイコンのマスク ROM 化時の注意事項 20-43

第 21 章　クロック発振器

21.1 概要 21-1
21.1.1 ブロック図 21-1
21.2 発振器 21-2
21.2.1 水晶発振子を接続する方法 21-2
21.2.2 外部クロックを入力する方法 21-4
21.3 デューティ補正回路 21-6
21.4 プリスケーラ 21-6
21.5 分周器 21-6
21.5.1 レジスタ構成 21-6
21.5.2 分周比コントロールレジスタ（DIVCR） 21-7
21.5.3 使用上の注意 21-8

第 22 章　低消費電力状態

22.1 概要 22-1
22.2 レジスタ構成 22-3
22.2.1 システムコントロールレジスタ（SYSCR） 22-3
22.2.2 モジュールスタンバイコントロールレジスタ（MSTCR） 22-5
22.3 スリープモード 22-7
22.3.1 スリープモードへの遷移 22-7
22.3.2 スリープモードの解除 22-7

22.4 ソフトウェアスタンバイモード 22-8
22.4.1 ソフトウェアスタンバイモードへの遷移 22-8
22.4.2 ソフトウェアスタンバイモードの解除 22-8
22.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定 22-9
22.4.4 ソフトウェアスタンバイモードの応用例 22-12
22.4.5 使用上の注意 22-12
22.5 ハードウェアスタンバイモード 22-13
22.5.1 ハードウェアスタンバイモードへの遷移 22-13
22.5.2 ハードウェアスタンバイモードの解除 22-13
22.5.3 ハードウェアスタンバイモードのタイミング 22-13
22.6 モジュールスタンバイ機能 22-14
22.6.1 モジュールスタンバイタイミング 22-14
22.6.2 モジュールスタンバイ中のリード／ライト 22-14
22.6.3 使用上の注意 22-14
22.7 φクロック出力禁止機能 22-15

第 23 章　電気的特性

23.1 H8/3048ZTAT（PROM）、マスク ROM 内蔵品の電気的特性* 23-2
23.1.1 絶対最大定格 23-2
23.1.2 DC 特性 23-3
23.1.3 AC 特性 23-8
23.1.4 A/D 変換特性 23-14
23.1.5 D/A 変換特性 23-15
23.2 H8/3048F（二電源方式）の電気的特性 23-16
23.2.1 絶対最大定格 23-16
23.2.2 DC 特性 23-17
23.2.3 AC 特性 23-24
23.2.4 A/D 変換特性 23-29
23.2.5 D/A 変換特性 23-30
23.2.6 フラッシュメモリ特性 23-31
23.3 H8/3048F-ONE（単一電源方式）の電気的特性［暫定仕様］ 23-32
23.3.1 絶対最大定格 23-32
23.3.2 DC 特性 23-33
23.3.3 AC 特性 23-38
23.3.4 A/D 変換特性 23-43
23.3.5 D/A 変換特性 23-44
23.3.6 フラッシュメモリ特性 23-45
23.4 動作タイミング 23-49
23.4.1 バスタイミング 23-49
23.4.2 リフレッシュコントローラバスタイミング 23-51
23.4.3 制御信号タイミング 23-56
23.4.4 クロックタイミング 23-58
23.4.5 TPC、I/O ポートタイミング 23-58
23.4.6 ITU タイミング 23-59
23.4.7 SCI 入出力タイミング 23-60

23.4.8 DMAC タイミング 23-61

付録

A. 命令 付録-1
A.1 命令一覧 付録-1
A.2 オペレーションコードマップ.....付録-16
A.3 命令実行ステート数.....付録-19
B. 内部 I/O レジスタ一覧 付録-28
B.1 アドレス一覧（H8/3048F、H8/3048ZTAT、H8/3048 マスク ROM 品、H8/3047 マスク ROM 品、H8/3045 マスク ROM 品、H8/3044 マスク ROM 品の場合） 付録-29
B.2 アドレス一覧（H8/3048F-ONE の場合） 付録-37
B.3 機能一覧 付録-45
C. I/O ポートブロック図 付録-117
C.1 ポート 1 ブロック図.....付録-117
C.2 ポート 2 ブロック図.....付録-118
C.3 ポート 3 ブロック図.....付録-119
C.4 ポート 4 ブロック図.....付録-120
C.5 ポート 5 ブロック図.....付録-121
C.6 ポート 6 ブロック図.....付録-122
C.7 ポート 7 ブロック図.....付録-126
C.8 ポート 8 ブロック図.....付録-127
C.9 ポート 9 ブロック図.....付録-130
C.10 ポート A ブロック図.....付録-134
C.11 ポート B ブロック図.....付録-138
D. 端子状態 付録-142
D.1 各処理状態におけるポートの状態.....付録-142
D.2 リセット時の端子状態.....付録-145
E. ハードウェアスタンバイモード遷移／復帰時のタイミングについて.....付録-148
E.1 ハードウェアスタンバイモードの遷移タイミング 付録-148
E.2 ハードウェアスタンバイモードからの復帰タイミング 付録-148
F. ROM 発注手順 付録-149
F.1 ROM 書き換え品開発の流れ（発注手順） 付録-149
F.2 ROM 発注時の注意事項 付録-150
G. 型名一覧 付録-151
H. 外形寸法図 付録-152

1.　概要

1.1　概要

本 LSI は、日立オリジナルアーキテクチャを採用した H8/300H CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ（MCU）です。

H8/300H CPU は、内部 32 ビット構成で 16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300CPU の命令に対しオブジェクトレベルで上位互換を保っていますので、H8/300 シリーズから容易に移行することができます。

システム構成に必要な周辺機能としては、ROM、RAM、16 ビットインテグレーテッドタイマユニット（ITU）、プログラマブルタイミングパターンコントローラ（TPC）、ウォッチドッグタイマ（WDT）、シリアルコミュニケーションインタフェース（SCI）、A/D 変換器、D/A 変換器、I/O ポート、DMA コントローラ（DMAC）、リフレッシュコントローラなどを内蔵しています。

本 LSI には、H8/3048、H8/3047、H8/3045、H8/3044 の 4 種類があります。H8/3048 には、128k バイト ROM と 4k バイト RAM、H8/3047 には、96k バイト ROM と 4k バイト RAM、H8/3045 には 64k バイト ROM と 2k バイト RAM、H8/3044 には 32k バイト ROM と 2k バイト RAM がそれぞれ内蔵されています。

MCU 動作モードは、モード 1～7（シングルチップモード 1 種類、拡張モード 6 種類）があり、データバス幅とアドレス空間を選択することができます。

本 LSI には、マスク ROM 版のほかに、ユーザサイドで自由にプログラムの書き込みができる PROM を内蔵した ZTAT®*1 版があります。仕様流動性の高い応用機器さらに量産初期から本格的量産などユーザの状況に応じて迅速かつ柔軟な対応が可能です。さらに、本 LSI には F-ZTAT™*2 版があり、基板実装後のプログラム書き換えが可能です。また、オンチップエミュレータ（E10T）を搭載した、F-ZTAT 製品 H8/3048F-ONE があります。

本 LSI の特長を**表** 1.1 に示します。

【注】 *1　ZTAT **は㈱日立製作所の登録商標です。**

*2　F-ZTAT **は㈱日立製作所の商標です。**

表 1.1　特長（1）

項　目	仕　様
CPU	H8/300CPU に対してオブジェクトレベルで上位互換 汎用レジスタマシン • 汎用レジスタ： 16 ビット×16 本 （8 ビット×16 本＋16 ビット×8 本、32 ビット×8 本としても使用可能） 高速動作（フラッシュメモリ版） H8/3048F-ONE • 最大動作周波数：25MHz • 加減算：80ns • 乗除算：560ns H8/3048F • 最大動作周波数：16MHz • 加減算：125ns • 乗除算：875ns 高速動作（マスク ROM、PROM 版） • 最大動作周波数：18MHz • 加減算：111ns • 乗除算：778ns • アドレス空間 16M バイト 特長ある命令 • 8／16／32 ビット転送・演算命令 • 符号なし／符号付乗算命令 （8 ビット×8 ビット、16 ビット×16 ビット） • 符号なし／符号付除算命令 （16 ビット÷8 ビット、32 ビット÷16 ビット） • ビットアキュムレータ機能 • レジスタ間接指定によりビット番号を指定可能なビット操作命令
メモリ	H8/3048、H8/3048F、H8/3048F-ONE • ROM：128k バイト • RAM：4k バイト H8/3047 • ROM：96k バイト • RAM：4k バイト H8/3045 • ROM：64k バイト • RAM：2k バイト H8/3044 • ROM：32k バイト • RAM：2k バイト
割込みコントローラ	• 外部割込み端子 7 本：NMI、IRQ_0～IRQ_5 • 内部割込み 30 要因 • 3 レベルの割込み優先順位が設定可能

表 1.1 特長（2）

項　目	仕　様
バスコントローラ	• アドレス空間を 8 エリアに分割し、エリアごとに独立してバス仕様を設定可能 • エリア 0～7 に対してそれぞれチップセレクト出力可能 • エリアごとに 8 ビットアクセス空間／16 ビットアクセス空間を設定可能 • エリアごとに 2 ステートアクセス空間／3 ステートアクセス空間を設定可能 • 4 種類のウェイトモードを設定可能 • バス権調停機能
リフレッシュコントローラ	DRAM リフレッシュ • ×16 ビット構成の DRAM を直接接続可能 • CAS ビフォ RAS リフレッシュ • セルフリフレッシュモード設定可能 PSRAM リフレッシュ • セルフリフレッシュモード設定可能 インターバルタイマとして使用可能
DMA コントローラ（DMAC）	ショートアドレスモード • 最大 4 チャネルを使用可能 • I/O モード／アイドルモード／リピートモードの選択可能 • 起動要因： ITU チャネル 0～3 のコンペアマッチ／インプットキャプチャ A 割込み、SCI チャネル 0 の送信データエンプティ／受信データフル割込み、外部リクエスト フルアドレスモード • 最大 2 チャネルを使用可能 • ノーマルモード／ブロック転送モードの選択可能 • 起動要因： ITU チャネル 0～3 のコンペアマッチ／インプットキャプチャ A 割込み、外部リクエスト、オートリクエスト
16 ビットインテグレーテッドタイマユニット（ITU）	• 16 ビットタイマ 5 チャネルを内蔵。最大 12 端子のパルス出力、または最大 10 種類のパルスの入力処理が可能 • 16 ビットタイマカウンタ×1（チャネル 0～4） • アウトプットコンペア出力／インプットキャプチャ入力（兼用端子）×2（チャネル 0～4） • 同期動作可能（チャネル 0～4） • PWM モード設定可能（チャネル 0～4） • 位相計数モード設定可能（チャネル 2） • バッファ動作可能（チャネル 3、4） • リセット同期 PWM モード設定可能（チャネル 3、4） • 相補 PWM モード設定可能（チャネル 3、4） • コンペアマッチ／インプットキャプチャ A の割込みにより DMAC 起動可能（チャネル 0～3）
プログラマブルタイミングパターンコントローラ（TPC）	• ITU をタイムベースとした最大 16 ビットのパルス出力が可能 • 最大 4 ビット×4 系統のパルス出力が可能（16 ビット×1 系統、8 ビット×2 系統などの設定も可能） • ノンオーバラップモード設定可能 • DMAC による出力データの転送可能

表 1.1 特長（3）

<table>
<tr><th>項　目</th><th>仕　様</th></tr>
<tr><td>ウォッチドッグタイマ（WDT）×1 チャネル</td><td>• オーバフローによりリセット信号を発生可能
• リセット信号の外部出力可能
• インターバルタイマとして使用可能</td></tr>
<tr><td>シリアルコミュニケーションインタフェース（SCI）×2 チャネル</td><td>• 調歩同期／クロック同期式モードの選択可能
• 送受信同時動作（全二重動作）可能
• 専用のボーレートジェネレータ内蔵
• スマートカードインタフェース拡張機能内蔵（SCI0 のみ）</td></tr>
<tr><td>A/D 変換器</td><td>• 分解能：10 ビット
• 8 チャネル：単一モード／スキャンモード選択可能
• アナログ変換電圧範囲の設定が可能
• サンプル＆ホールド機能付
• 外部トリガによる A/D 変換開始可能</td></tr>
<tr><td>D/A 変換器</td><td>• 分解能：8 ビット
• 2 チャネル
• ソフトウェアスタンバイモード時 D/A 出力保持可能</td></tr>
<tr><td>I/O ポート</td><td>• 入出力端子 70 本
• 入力端子 8 本</td></tr>
<tr><td>動作モード</td><td>7 種類の MCU 動作モード
<table>
<tr><th>モード</th><th>アドレス空間</th><th>アドレス端子</th><th>バス幅初期値</th><th>バス幅最大値</th></tr>
<tr><td>モード 1</td><td>1M バイト</td><td>A_{19}〜A_0</td><td>8 ビット</td><td>16 ビット</td></tr>
<tr><td>モード 2</td><td>1M バイト</td><td>A_{19}〜A_0</td><td>16 ビット</td><td>16 ビット</td></tr>
<tr><td>モード 3</td><td>16M バイト</td><td>A_{23}〜A_0</td><td>8 ビット</td><td>16 ビット</td></tr>
<tr><td>モード 4</td><td>16M バイト</td><td>A_{23}〜A_0</td><td>16 ビット</td><td>16 ビット</td></tr>
<tr><td>モード 5</td><td>1M バイト</td><td>A_{19}〜A_0</td><td>8 ビット</td><td>16 ビット</td></tr>
<tr><td>モード 6</td><td>16M バイト</td><td>A_{23}〜A_0</td><td>8 ビット</td><td>16 ビット</td></tr>
<tr><td>モード 7</td><td>1M バイト</td><td>－</td><td>－</td><td>－</td></tr>
</table>
• モード 1〜4 では内蔵 ROM は無効となります。</td></tr>
<tr><td>低消費電力状態</td><td>• スリープモード
• ソフトウェアスタンバイモード
• ハードウェアスタンバイモード
• モジュール別スタンバイ機能あり
• システムクロック分周比可変</td></tr>
<tr><td>そ　の　他</td><td>• クロック発振器内蔵</td></tr>
</table>

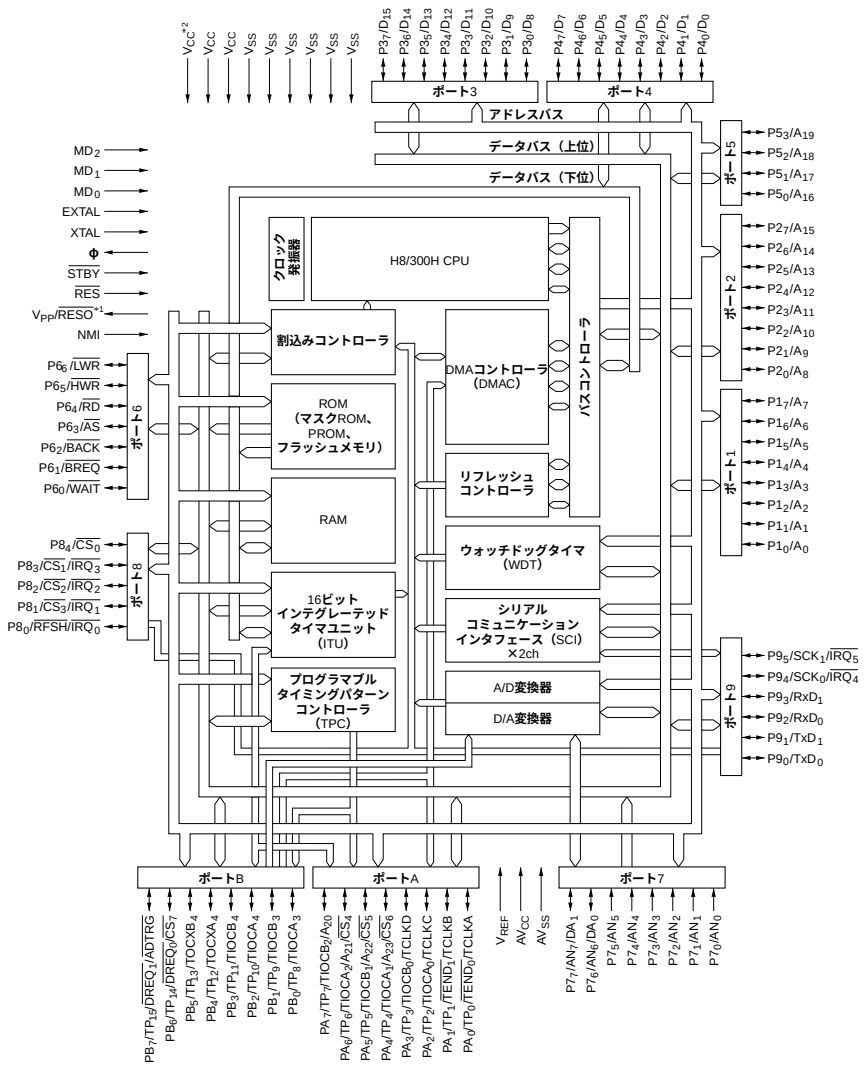
表 1.1 特長（4）

項 目	仕 様
製品ラインアップ	

製品型名（5V 版）	製品型名（3V 版）	パッケージ	ROM	備 考
HD64F3048BTF	HD64F3048BVTF	100 ピン TQFP(TFP-100B)	フラッシュメモリ版	H8/3048F-ONE（E10T 搭載）
HD64F3048BF	HD64F3048BVF	100 ピン QFP(FP-100B)		
HD64F3048TF	HD64F3048VTF	100 ピン TQFP(TFP-100B)	フラッシュメモリ版	
HD64F3048F	HD64F3048VF	100 ピン QFP(FP-100B)		
HD6473048TF	HD6473048VTF	100 ピン TQFP(TFP-100B)	PROM 版	
HD6473048F	HD6473048VF	100 ピン QFP(FP-100B)		
HD6433048TF	HD6433048VTF	100 ピン TQFP(TFP-100B)	マスク ROM 版	
HD6433048F	HD6433048VF	100 ピン QFP(FP-100B)		
HD6433047TF	HD6433047VTF	100 ピン TQFP(TFP-100B)	マスク ROM 版	
HD6433047F	HD6433047VF	100 ピン QFP(FP-100B)		
HD6433045TF	HD6433045VTF	100 ピン TQFP(TFP-100B)	マスク ROM 版	
HD6433045F	HD6433045VF	100 ピン QFP(FP-100B)		
HD6433044TF	HD6433044VTF	100 ピン TQFP(TFP-100B)	マスク ROM 版	
HD6433044F	HD6433044VF	100 ピン QFP(FP-100B)		

1.2 内部ブロック図

内部ブロック図を**図** 1.1 に示します。



【注】 *1 **マスク**ROM**内蔵品では、**$\overline{\text{RESO}}$**（出力）端子、2電源方式フラッシュメモリ内蔵品（**V_{PP}**＝**12V**）およびPROM内蔵品は、**$\overline{\text{RESO}}$**（出力）/**V_{PP}**（入力）端子として機能します。**
また、H8/3048F-ONE**（単一電源方式フラッシュメモリ内蔵品）では、**FWE**（入力）端子として機能します。**

*2 H8/3048F-ONE**（単一電源方式フラッシュメモリ内蔵品）の**5V**動作版1ピンは、**V_{CC}**端子でなく**V_{CL}**端子となり、外付けコンデンサの接続が必要です。**

図 1.1 **内部ブロック図**

1.3 端子説明

1.3.1 ピン配置図

H8/3048 シリーズのピン配置図を**図** 1.2 に示します。また H8/3048 シリーズのピン配置の相違点を**表** 1.2 に示します。H8/3048F-ONE の 5V 動作版は V_{CL} 端子があります（H8/3048F-ONE の 3V 動作版の 1 ピンは、V_{CC} 電源ピンです。）。詳細は**「**1.4 H8/3048F-ONE **の注意事項」**を参照してください。

表 1.2 以外の端子配置は同じです。

表 1.2 H8/3048 **シリーズのピン配置比較**

パッケージ	**ピン番号**	H8/3048 ZTAT	H8/3048 **マスク** ROM **品**	H8/3047 **マスク** ROM **品**	H8/3045 **マスク** ROM **品**	H8/3044 **マスク** ROM **品**	H8/3048F	H8/3048 F-ONE	
								5V **動作品**	3V **動作品**
FP-100B	1	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CL}	V_{CC}
（TFP-100B）	10	V_{PP}/ RESO	RESO	RESO	RESO	RESO	V_{PP}/ RESO	FWE	FWE

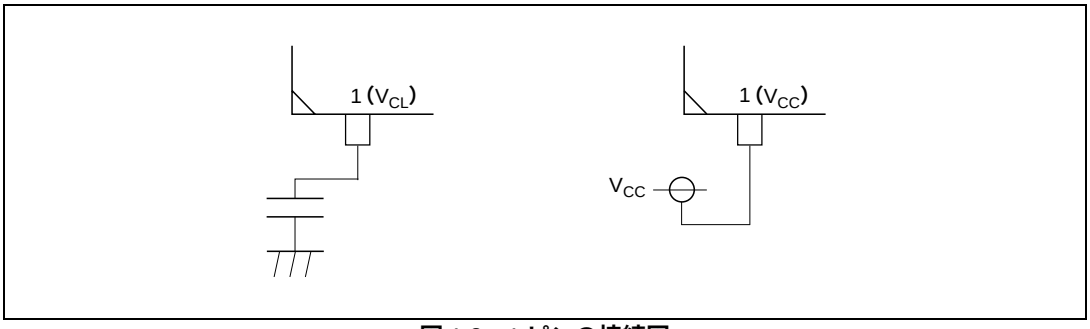
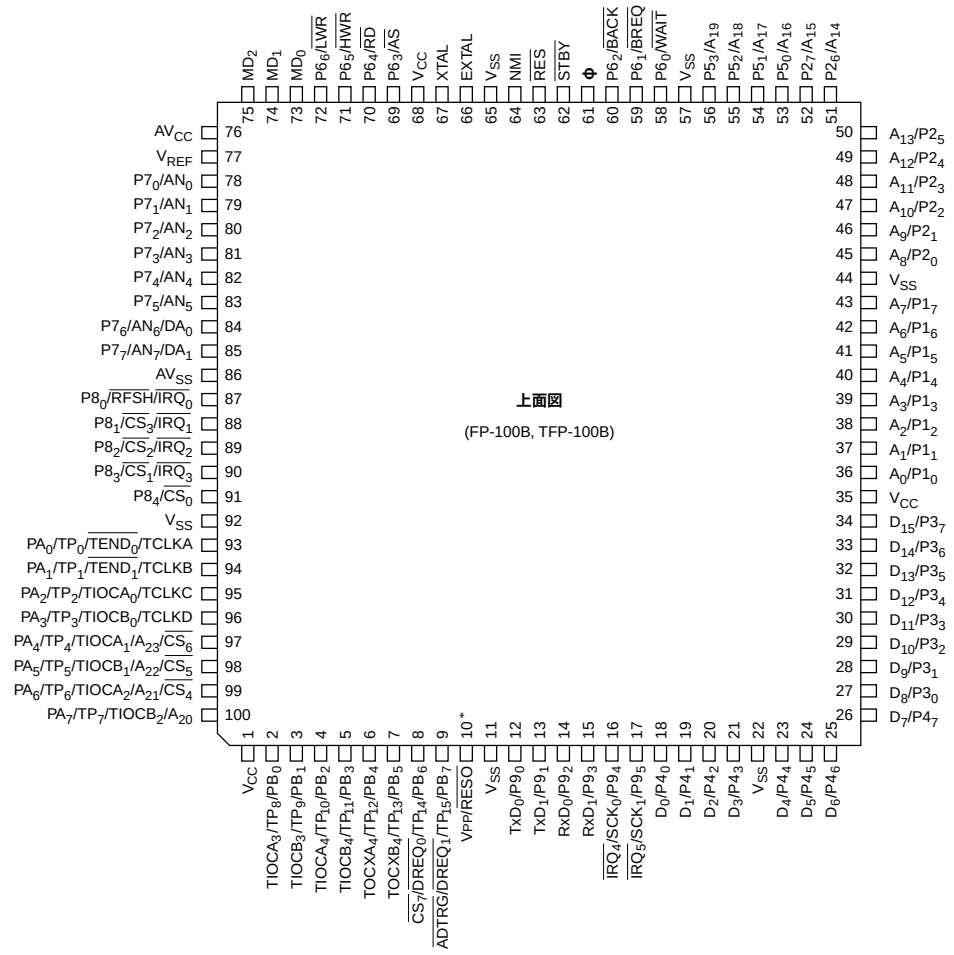
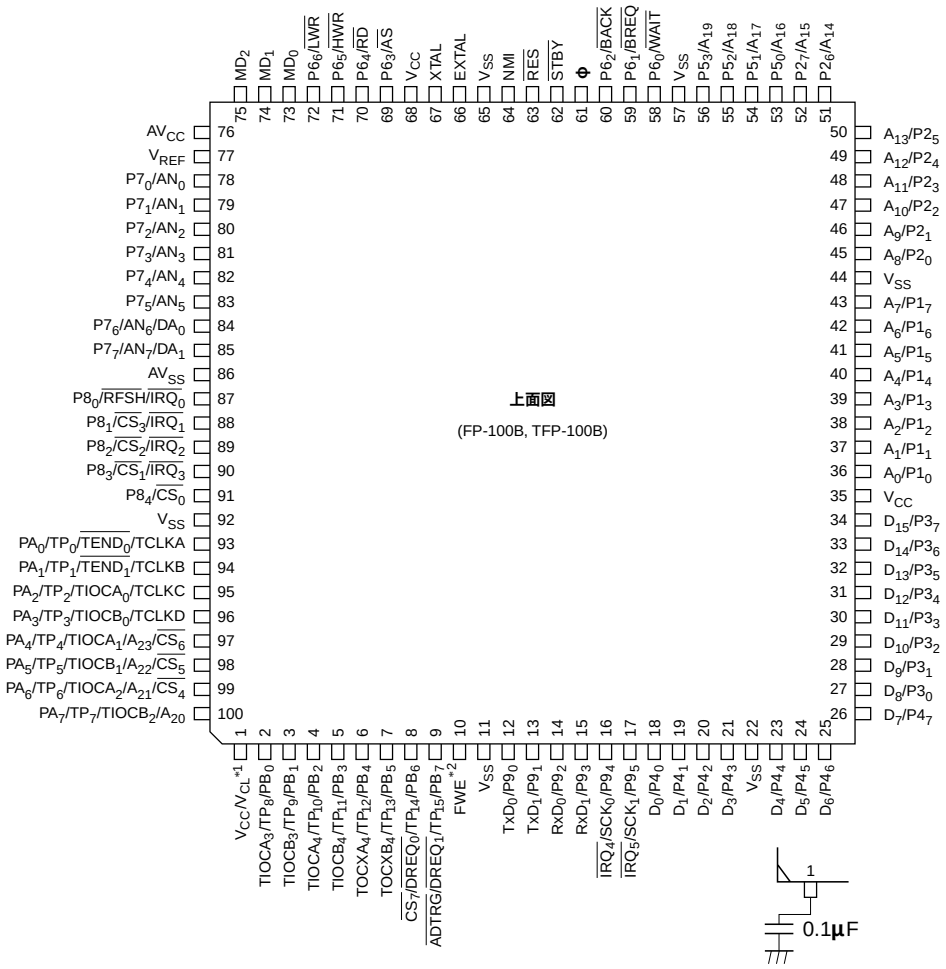


図 1.2 1 **ピンの接続図**



【注】 ＊ **マスク**ROM**内蔵製品は、**$\overline{\text{RESO}}$**端子、**PROM**内蔵製品、二電源方式フラッシュメモリ内蔵製品では、**$\overline{\text{RESO}}$/V_{PP}**端子となります。**
単一電源方式フラッシュメモリ内蔵製品はFWE**端子となり、**$\overline{\text{RESO}}$**出力はありません。**

図 1.3(1)　H8/3048ZTAT**、**H8/3048 **マスク** ROM **品、**H8/3047 **マスク** ROM **品、**H8/3045 **マスク** ROM **品、**H8/3044 **マスク** ROM **品、**H8/3048F **ピン配置図（**FP-100B**、**TFP-100B**：上面図）**



【注】 *1　5V**動作品の場合**V_{CL}**端子、3V動作品の場合**V_{CC}**端子となります。また、**V_{CL}**端子には外付けコンデンサの接続が必要です。**

*2　(1) 10**ピンは、**H8/3048F**（二電源品）は、**V_{PP}/$\overline{RESO}$**端子となり、**H8/3048F-ONE**（単一電源品）は**FWE**端子となります。**
H8/3048F-ONE**は、**$\overline{RESO}$**出力はありません。**
(2) H8/3048F-ONE**（単一電源品）には、絶対に**12V**を印加しないでください。**
12V**を印加した場合、**LSI**の永久破壊となります。**

図 1.3(2)　H8/3048F-ONE **ピン配置図**（FP-100B、TFP-100B：**上面図**）

1.3.2 動作モード別端子機能一覧

動作モード別端子機能を**表** 1.3 に示します。

表 1.3 **動作モード別端子機能一覧**（FP-100B、TFP-100B）

ピン番号	端子名									備考
	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7	PROM モード		
								EPROM	フラッシュ	
1*3	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	**マスク** ROM **品、**PROM **品、二電源品**
	$V_{CL}(V_{CC})$	$V_{CL}(V_{CC})$	$V_{CL}(V_{CC})$	$V_{CL}(V_{CC})$	$V_{CL}(V_{CC})$	$V_{CL}(V_{CC})$	$V_{CL}(V_{CC})$		V_{CL}	**単一電源フラッシュメモリ品**
2	PB_0/TP_8 /$TIOCA_3$	PB_0/TP_8 /$TIOCA_3$	PB_0/TP_8 /$TIOCA_3$	PB_0/TP_8 /$TIOCA_3$	PB_0/TP_8 /$TIOCA_3$	PB_0/TP_8 /$TIOCA_3$	PB_0/TP_8 /$TIOCA_3$	NC	NC	
3	PB_1/TP_9 /$TIOCB_3$	PB_1/TP_9 /$TIOCB_3$	PB_1/TP_9 /$TIOCB_3$	PB_1/TP_9 /$TIOCB_3$	PB_1/TP_9 /$TIOCB_3$	PB_1/TP_9 /$TIOCB_3$	PB_1/TP_9 /$TIOCB_3$	NC	NC	
4	PB_2/TP_{10} /$TIOCA_4$	PB_2/TP_{10} /$TIOCA_4$	PB_2/TP_{10} /$TIOCA_4$	PB_2/TP_{10} /$TIOCA_4$	PB_2/TP_{10} /$TIOCA_4$	PB_2/TP_{10} /$TIOCA_4$	PB_2/TP_{10} /$TIOCA_4$	NC	NC	
5	PB_3/TP_{11} /$TIOCB_4$	PB_3/TP_{11} /$TIOCB_4$	PB_3/TP_{11} /$TIOCB_4$	PB_3/TP_{11} /$TIOCB_4$	PB_3/TP_{11} /$TIOCB_4$	PB_3/TP_{11} /$TIOCB_4$	PB_3/TP_{11} /$TIOCB_4$	NC	NC	
6	PB_4/TP_{12} /$TOCXA_4$	PB_4/TP_{12} /$TOCXA_4$	PB_4/TP_{12} /$TOCXA_4$	PB_4/TP_{12} /$TOCXA_4$	PB_4/TP_{12} /$TOCXA_4$	PB_4/TP_{12} /$TOCXA_4$	PB_4/TP_{12} /$TOCXA_4$	NC	NC	
7	PB_5/TP_{13} /$TOCXB_4$	PB_5/TP_{13} /$TOCXB_4$	PB_5/TP_{13} /$TOCXB_4$	PB_5/TP_{13} /$TOCXB_4$	PB_5/TP_{13} /$TOCXB_4$	PB_5/TP_{13} /$TOCXB_4$	PB_5/TP_{13} $TOCXB_4$	NC	NC	
8	PB_6/TP_{14} /$DREQ_0$ /CS_7	PB_6/TP_{14} /$DREQ_0$ /CS_7	PB_6/TP_{14} /$DREQ_0$ /CS_7	PB_6/TP_{14} /$DREQ_0$ /CS_7	PB_6/TP_{14} /$DREQ_0$ /CS_7	PB_6/TP_{14} /$DREQ_0$ /CS_7	PB_6/TP_{14} /$DREQ_0$	NC	NC	
9	PB_7/TP_{15} /$DREQ_1$ /ADTRG	PB_7/TP_{15} /$DREQ_1$ /ADTRG	PB_7/TP_{15} /$DREQ_1$ /ADTRG	PB_7/TP_{15} /$DREQ_1$ /ADTRG	PB_7/TP_{15} /$DREQ_1$ /ADTRG	PB_7/TP_{15} /$DREQ_1$ /ADTRG	PB_7/TP_{15} /$DREQ_1$ /ADTRG	NC	NC	
10*4	RESO	RESO	RESO	RESO	RESO	RESO	RESO	V_{PP}	V_{PP}	**マスク** ROM **品、**PROM **品、二電源品**
	FWE	FWE	FWE	FWE	FWE	FWE	FWE		FWE	**単一電源フラッシュメモリ品**
11	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	
12	$P9_0/TxD_0$	$P9_0/TxD_0$	$P9_0/TxD_0$	$P9_0/TxD_0$	$P9_0/TxD_0$	$P9_0/TxD_0$	$P9_0/TxD_0$	NC	NC	
13	$P9_1/TxD_1$	$P9_1/TxD_1$	$P9_1/TxD_1$	$P9_1/TxD_1$	$P9_1/TxD_1$	$P9_1/TxD_1$	$P9_1/TxD_1$	NC	NC	
14	$P9_2/RxD_0$	$P9_2/RxD_0$	$P9_2/RxD_0$	$P9_2/RxD_0$	$P9_2/RxD_0$	$P9_2/RxD_0$	$P9_2/RxD_0$	NC	NC	
15	$P9_3/RxD_1$	$P9_3/RxD_1$	$P9_3/RxD_1$	$P9_3/RxD_1$	$P9_3/RxD_1$	$P9_3/RxD_1$	$P9_3/RxD_1$	NC	NC	
16	$P9_4/SCK_0$ /IRQ_4	$P9_4/SCK_0$ /IRQ_4	$P9_4/SCK_0$ /IRQ_4	$P9_4/SCK_0$ /IRQ_4	$P9_4/SCK_0$ /IRQ_4	$P9_4/SCK_0$ /IRQ_4	$P9_4/SCK_0$ /IRQ_4	NC	NC	
17	$P9_5/SCK_1$ /IRQ_5	$P9_5/SCK_1$ /IRQ_5	$P9_5/SCK_1$ /IRQ_5	$P9_5/SCK_1$ /IRQ_5	$P9_5/SCK_1$ /IRQ_5	$P9_5/SCK_1$ /IRQ_5	$P9_5/SCK_1$ /IRQ_5	NC	NC	
18	$P4_0/D_0$*1	$P4_0/D_0$*2	$P4_0/D_0$*1	$P4_0/D_0$*2	$P4_0/D_0$*1	$P4_0/D_0$*1	$P4_0$	NC	NC	
19	$P4_1/D_1$*1	$P4_1/D_1$*2	$P4_1/D_1$*1	$P4_1/D_1$*2	$P4_1/D_1$*1	$P4_1/D_1$*1	$P4_1$	NC	NC	
20	$P4_2/D_2$*1	$P4_2/D_2$*2	$P4_2/D_2$*1	$P4_2/D_2$*2	$P4_2/D_2$*1	$P4_2/D_2$*1	$P4_2$	NC	NC	
21	$P4_3/D_3$*1	$P4_3/D_3$*2	$P4_3/D_3$*1	$P4_3/D_3$*2	$P4_3/D_3$*1	$P4_3/D_3$*1	$P4_3$	NC	NC	
22	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	
23	$P4_4/D_4$*1	$P4_4/D_4$*2	$P4_4/D_4$*1	$P4_4/D_4$*2	$P4_4/D_4$*1	$P4_4/D_4$*1	$P4_4$	NC	NC	

ピン番号	端子名									備考
	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7	PROM モード		
								EPROM	フラッシュ	
24	$P4_5/D_5$*1	$P4_5/D_5$*2	$P4_5/D_5$*1	$P4_5/D_5$*2	$P4_5/D_5$*1	$P4_5/D_5$*1	$P4_5$	NC	NC	
25	$P4_6/D_6$*1	$P4_6/D_6$*2	$P4_6/D_6$*1	$P4_6/D_6$*2	$P4_6/D_6$*1	$P4_6/D_6$*1	$P4_6$	NC	NC	
26	$P4_7/D_7$*1	$P4_7/D_7$*2	$P4_7/D_7$*1	$P4_7/D_7$*2	$P4_7/D_7$*1	$P4_7/D_7$*1	$P4_7$	NC	NC	
27	D_8	D_8	D_8	D_8	D_8	D_8	$P3_0$	EO_0	I/O_0	
28	D_9	D_9	D_9	D_9	D_9	D_9	$P3_1$	EO_1	I/O_1	
29	D_{10}	D_{10}	D_{10}	D_{10}	D_{10}	D_{10}	$P3_2$	EO_2	I/O_2	
30	D_{11}	D_{11}	D_{11}	D_{11}	D_{11}	D_{11}	$P3_3$	EO_3	I/O_3	
31	D_{12}	D_{12}	D_{12}	D_{12}	D_{12}	D_{12}	$P3_4$	EO_4	I/O_4	
32	D_{13}	D_{13}	D_{13}	D_{13}	D_{13}	D_{13}	$P3_5$	EO_5	I/O_5	
33	D_{14}	D_{14}	D_{14}	D_{14}	D_{14}	D_{14}	$P3_6$	EO_6	I/O_6	
34	D_{15}	D_{15}	D_{15}	D_{15}	D_{15}	D_{15}	$P3_7$	EO_7	I/O_7	
35	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	
36	A_0	A_0	A_0	A_0	$P1_0/A_0$	$P1_0/A_0$	$P1_0$	EA_0	A_0	
37	A_1	A_1	A_1	A_1	$P1_1/A_1$	$P1_1/A_1$	$P1_1$	EA_1	A_1	
38	A_2	A_2	A_2	A_2	$P1_2/A_2$	$P1_2/A_2$	$P1_2$	EA_2	A_2	
39	A_3	A_3	A_3	A_3	$P1_3/A_3$	$P1_3/A_3$	$P1_3$	EA_3	A_3	
40	A_4	A_4	A_4	A_4	$P1_4/A_4$	$P1_4/A_4$	$P1_4$	EA_4	A_4	
41	A_5	A_5	A_5	A_5	$P1_5/A_5$	$P1_5/A_5$	$P1_5$	EA_5	A_5	
42	A_6	A_6	A_6	A_6	$P1_6/A_6$	$P1_6/A_6$	$P1_6$	EA_6	A_6	
43	A_7	A_7	A_7	A_7	$P1_7/A_7$	$P1_7/A_7$	$P1_7$	EA_7	A_7	
44	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	
45	A_8	A_8	A_8	A_8	$P2_0/A_8$	$P2_0/A_8$	$P2_0$	EA_8	A_8	
46	A_9	A_9	A_9	A_9	$P2_1/A_9$	$P2_1/A_9$	$P2_1$	OE	OE	
47	A_{10}	A_{10}	A_{10}	A_{10}	$P2_2/A_{10}$	$P2_2/A_{10}$	$P2_2$	EA_{10}	A_{10}	
48	A_{11}	A_{11}	A_{11}	A_{11}	$P2_3/A_{11}$	$P2_3/A_{11}$	$P2_3$	EA_{11}	A_{11}	
49	A_{12}	A_{12}	A_{12}	A_{12}	$P2_4/A_{12}$	$P2_4/A_{12}$	$P2_4$	EA_{12}	A_{12}	
50	A_{13}	A_{13}	A_{13}	A_{13}	$P2_5/A_{13}$	$P2_5/A_{13}$	$P2_5$	EA_{13}	A_{13}	
51	A_{14}	A_{14}	A_{14}	A_{14}	$P2_6/A_{14}$	$P2_6/A_{14}$	$P2_6$	EA_{14}	A_{14}	
52	A_{15}	A_{15}	A_{15}	A_{15}	$P2_7/A_{15}$	$P2_7/A_{15}$	$P2_7$	CE	CE	
53	A_{16}	A_{16}	A_{16}	A_{16}	$P5_0/A_{16}$	$P5_0/A_{16}$	$P5_0$	V_{CC}	V_{CC}	
54	A_{17}	A_{17}	A_{17}	A_{17}	$P5_1/A_{17}$	$P5_1/A_{17}$	$P5_1$	V_{CC}	V_{CC}	
55	A_{18}	A_{18}	A_{18}	A_{18}	$P5_2/A_{18}$	$P5_2/A_{18}$	$P5_2$	NC	NC	
56	A_{19}	A_{19}	A_{19}	A_{19}	$P5_3/A_{19}$	$P5_3/A_{19}$	$P5_3$	NC	NC	
57	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	
58	$P6_0$/WAIT	$P6_0$/WAIT	$P6_0$/WAIT	$P6_0$/WAIT	$P6_0$/WAIT	$P6_0$/WAIT	$P6_0$	EA_{15}	A_{15}	
59	$P6_1$/BREQ	$P6_1$/BREQ	$P6_1$/BREQ	$P6_1$/BREQ	$P6_1$/BREQ	$P6_1$/BREQ	$P6_1$	NC	NC	
60	$P6_2$/BACK	$P6_2$/BACK	$P6_2$/BACK	$P6_2$/BACK	$P6_2$/BACK	$P6_2$/BACK	$P6_2$	NC	NC	
61	φ	φ	φ	φ	φ	φ	φ	NC	NC	
62	STBY	STBY	STBY	STBY	STBY	STBY	STBY	V_{SS}	V_{CC}	
63	RES	RES	RES	RES	RES	RES	RES	NC	RES	
64	NMI	NMI	NMI	NMI	NMI	NMI	NMI	EA_9	A_9	
65	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	

ピン番号	端子名									備考
	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7	PROM モード		
								EPROM	フラッシュ	
66	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	NC	EXTAL	
67	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	NC	XTAL	
68	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	V_{CC}	
69	AS	AS	AS	AS	AS	AS	$P6_3$	NC	A_{16}	
70	RD	RD	RD	RD	RD	RD	$P6_4$	NC	NC	
71	HWR	HWR	HWR	HWR	HWR	HWR	$P6_5$	NC	V_{CC}	
72	LWR	LWR	LWR	LWR	LWR	LWR	$P6_6$	NC	NC	
73	MD_0	MD_0	MD_0	MD_0	MD_0	MD_0	MD_0	V_{SS}	V_{SS}	
74	MD_1	MD_1	MD_1	MD_1	MD_1	MD_1	MD_1	V_{SS}	V_{SS}	
75	MD_2	MD_2	MD_2	MD_2	MD_2	MD_2	MD_2	V_{SS}	V_{SS}	
76	AV_{CC}	AV_{CC}	AV_{CC}	AV_{CC}	AV_{CC}	AV_{CC}	AV_{CC}	V_{CC}	V_{CC}	
77	V_{REF}	V_{REF}	V_{REF}	V_{REF}	V_{REF}	V_{REF}	V_{REF}	V_{CC}	V_{CC}	
78	$P7_0/AN_0$	$P7_0/AN_0$	$P7_0/AN_0$	$P7_0/AN_0$	$P7_0/AN_0$	$P7_0/AN_0$	$P7_0/AN_0$	NC	NC	
79	$P7_1/AN_1$	$P7_1/AN_1$	$P7_1/AN_1$	$P7_1/AN_1$	$P7_1/AN_1$	$P7_1/AN_1$	$P7_1/AN_1$	NC	NC	
80	$P7_2/AN_2$	$P7_2/AN_2$	$P7_2/AN_2$	$P7_2/AN_2$	$P7_2/AN_2$	$P7_2/AN_2$	$P7_2/AN_2$	NC	NC	
81	$P7_3/AN_3$	$P7_3/AN_3$	$P7_3/AN_3$	$P7_3/AN_3$	$P7_3/AN_3$	$P7_3/AN_3$	$P7_3/AN_3$	NC	NC	
82	$P7_4/AN_4$	$P7_4/AN_4$	$P7_4/AN_4$	$P7_4/AN_4$	$P7_4/AN_4$	$P7_4/AN_4$	$P7_4/AN_4$	NC	NC	
83	$P7_5/AN_5$	$P7_5/AN_5$	$P7_5/AN_5$	$P7_5/AN_5$	$P7_5/AN_5$	$P7_5/AN_5$	$P7_5/AN_5$	NC	NC	
84	$P7_6/AN_6/DA_0$	$P7_6/AN_6/DA_0$	$P7_6/AN_6/DA_0$	$P7_6/AN_6/DA_0$	$P7_6/AN_6/DA_0$	$P7_6/AN_6/DA_0$	$P7_6/AN_6/DA_0$	NC	NC	
85	$P7_7/AN_7/DA_1$	$P7_7/AN_7/DA_1$	$P7_7/AN_7/DA_1$	$P7_7/AN_7/DA_1$	$P7_7/AN_7/DA_1$	$P7_7/AN_7/DA_1$	$P7_7/AN_7/DA_1$	NC	NC	
86	AV_{SS}	AV_{SS}	AV_{SS}	AV_{SS}	AV_{SS}	AV_{SS}	AV_{SS}	V_{SS}	V_{SS}	
87	$P8_0$/RFSH /IRQ_0	$P8_0$/RFSH /IRQ_0	$P8_0$/RFSH /IRQ_0	$P8_0$/RFSH /IRQ_0	$P8_0$/RFSH /IRQ_0	$P8_0$/RFSH /IRQ_0	$P8_0/IRQ_0$	EA_{16}	NC	
88	$P8_1/CS_3$ /IRQ_1	$P8_1/CS_3$ /IRQ_1	$P8_1/CS_3$ /IRQ_1	$P8_1/CS_3$ /IRQ_1	$P8_1/CS_3$ /IRQ_1	$P8_1/CS_3$ /IRQ_1	$P8_1/IRQ_1$	PGM	NC	
89	$P8_2/CS_2$ /IRQ_2	$P8_2/CS_2$ /IRQ_2	$P8_2/CS_2$ /IRQ_2	$P8_2/CS_2$ /IRQ_2	$P8_2/CS_2$ /IRQ_2	$P8_2/CS_2$ /IRQ_2	$P8_2/IRQ_2$	NC	V_{CC}	
90	$P8_3/CS_1$ /IRQ_3	$P8_3/CS_1$ /IRQ_3	$P8_3$ /CS_1 /IRQ_3	$P8_3/CS_1$ /IRQ_3	$P8_3/CS_1$ /IRQ_3	$P8_3/CS_1$ /IRQ_3	$P8_3/IRQ_3$	NC	WE	
91	$P8_4/CS_0$	$P8_4/CS_0$	$P8_4/CS_0$	$P8_4/CS_0$	$P8_4/CS_0$	$P8_4/CS_0$	$P8_4$	NC	NC	
92	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	V_{SS}	
93	PA_0/TP_0 /$TEND_0$ /TCLKA	PA_0/TP_0 /$TEND_0$ /TCLKA	PA_0/TP_0 /$TEND_0$ /TCLKA	PA_0/TP_0 /$TEND_0$ /TCLKA	PA_0/TP_0 /$TEND_0$ /TCLKA	PA_0/TP_0 /$TEND_0$ /TCLKA	PA_0/TP_0 /$TEND_0$ /TCLKA	NC	NC	
94	PA_1/TP_1 /$TEND_1$ /TCLKB	PA_1/TP_1 /$TEND_1$ /TCLKB	PA_1/TP_1 /$TEND_1$ /TCLKB	PA_1/TP_1 /$TEND_1$ /TCLKB	PA_1/TP_1 /$TEND_1$ /TCLKB	PA_1/TP_1 /$TEND_1$ /TCLKB	PA_1/TP_1 /$TEND_1$ /TCLKB	NC	NC	
95	PA_2/TP_2 /$TIOCA_0$ /TCLKC	PA_2/TP_2 /$TIOCA_0$ /TCLKC	PA_2/TP_2 /$TIOCA_0$ /TCLKC	PA_2/TP_2 /$TIOCA_0$ /TCLKC	PA_2/TP_2 /$TIOCA_0$ /TCLKC	PA_2/TP_2 /$TIOCA_0$ /TCLKC	PA_2/TP_2 /$TIOCA_0$ /TCLKC	NC	NC	
96	PA_3/TP_3 /$TIOCB_0$ /TCLKD	PA_3/TP_3 /$TIOCB_0$ /TCLKD	PA_3/TP_3 /$TIOCB_0$ /TCLKD	PA_3/TP_3 /$TIOCB_0$ /TCLKD	PA_3/TP_3 /$TIOCB_0$ /TCLKD	PA_3/TP_3 /$TIOCB_0$ /TCLKD	PA_3/TP_3 /$TIOCB_0$ /TCLKD	NC	NC	

ピン番号	端子名									備考
	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7	PROM モード		
								EPROM	フラッシュ	
97	PA_4/TP_4 $/TIOCA_1/CS_6$	PA_4/TP_4 $/TIOCA_1/CS_6$	PA_4/TP_4 $/TIOCA_1/CS_6$	PA_4/TP_4 $/TIOCA_1/CS_6$	PA_4/TP_4 $/TIOCA_1/CS_6$	PA_4/TP_4 $/TIOCA_1/A_{23}$ $/CS_6$	PA_4/TP_4 $/TIOCA_1$	NC	NC	
98	PA_5/TP_5 $/TIOCB_1/CS_5$	PA_5/TP_5 $/TIOCB_1/CS_5$	PA_5/TP_5 $/TIOCB_1/CS_5$	PA_5/TP_5 $/TIOCB_1/CS_5$	PA_5/TP_5 $/TIOCB_1/CS_5$	PA_5/TP_5 $/TIOCB_1/A_{22}$ $/CS_5$	PA_5/TP_5 $/TIOCB_1$	NC	NC	
99	PA_6/TP_6 $/TIOCA_2/CS_4$	PA_6/TP_6 $/TIOCA_2/CS_4$	PA_6/TP_6 $/TIOCA_2/CS_4$	PA_6/TP_6 $/TIOCA_2/CS_4$	PA_6/TP_6 $/TIOCA_2/CS_4$	PA_6/TP_6 $/TIOCA_2/A_{21}$ $/CS_4$	PA_6/TP_6 $/TIOCA_2$	NC	NC	
100	PA_7/TP_7 $/TIOCB_2$	PA_7/TP_7 $/TIOCB_2$	A_{20}	A_{20}	PA_7/TP_7 $/TIOCB_2$	A_{20}	PA_7/TP_7 $/TIOCB_2$	NC	NC	

【注】 NC ピンは、何も接続しないでください。

PROM モードについての詳細は、「第 18 章　ROM」、「第 19 章　フラッシュメモリ（H8/3048F：二電源方式（V_{PP}＝12V））」、「第 20 章　フラッシュメモリ（H8/3048F-ONE：単一電源方式）」を参照してください。

*1　モード 1、3、5、6 では、リセット直後、$P4_0/D_0$〜$P4_7/D_7$ 端子は $P4_0$〜$P4_7$ 端子となっています（プログラムで変更できます）。

*2　モード 2、4 では、リセット直後、$P4_0/D_0$〜$P4_7/D_7$ 端子は D_0〜D_7 端子となっています（プログラムで変更できます）。

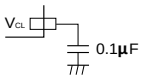
*3　H8/3048ZTAT、H8/3048F、H8/3048 マスク ROM 品、H8/3047 マスク ROM 品、H8/3045 マスク ROM 品、H8/3044 マスク ROM 品では V_{CC} 端子として機能します。H8/3048F-ONE は、5V 動作品では V_{CL} 端子、3V 動作品では V_{CC} 端子として機能します。

*4　マスク ROM 内蔵製品、PROM 内蔵製品、二電源方式フラッシュメモリ内蔵製品では、RESO 端子、単一電源方式フラッシュメモリ内蔵製品では FWE 端子となります。この単一電源方式フラッシュメモリ内蔵品（H8/3048F-ONE）には、絶対に 12V を印加しないでください。12V を印加した場合、LSI の永久破壊となります。また、書き換え制御信号として機能するのは、モード 5、モード 6 およびモード 7 です。

1.3.3 端子機能

各端子の機能について**表** 1.4 に示します。H8/3048F-ONE の 5V 動作品には V_{CL} 端子があり、外付けコンデンサの接続が必要です。

表 1.4 **端子機能**

分 類	記 号	ピン番号	入出力	名称および機能
電源	V_{CC}	1*[1]、35、68	**入力**	**電源** **電源に接続します。V_{CC} 端子は、全端子をシステムの電源に接続してください。**
	V_{SS}	11、22、44、57、65、92	**入力**	**グランド** **電源（0V）に接続します。V_{SS} 端子は、全端子をシステムの電源（0V）に接続してください。**
内部降圧端子	V_{CL}	1*[2]	**出力**	**本端子と GND（0V）との間に外付けコンデンサを接続します。** **V_{CC} と接続しないでください。** 
クロック	XTAL	67	**入力**	**水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 19 章 クロック発振器」を参照してください。**
	EXTAL	66	**入力**	**水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 19 章 クロック発振器」を参照してください。**
	φ	61	**出力**	**システムクロック** **外部デバイスにシステムクロックを供給します。**
動作モードコントロール	MD_2〜MD_0	75〜73	**入力**	**モード端子** **動作モードを設定します。MD_2〜MD_0 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。**

MD_2	MD_1	MD_0	**動作モード**
0	0	0	**−**
		1	**モード** 1
	1	0	**モード** 2
		1	**モード** 3
1	0	0	**モード** 4
		1	**モード** 5
	1	0	**モード** 6
		1	**モード** 7

分　類	記　号	ピン番号	入出力	名称および機能
システム制御	RES	63	入力	リセット入力 この端子が Low レベルになると、リセット状態となります。
	RESO (RESO/V_{PP})	10	出力	リセット出力 マスク ROM 内蔵製品では、外部デバイスに対し、リセット信号を出力します。二電源方式のフラッシュメモリ版では V_{PP}（オンボード書き込み用プログラム電源）端子機能を兼用します。
	FWE*[3]	10	入力	書き込みイネーブル信号 単一電源方式のフラッシュメモリ版におけるフラッシュメモリの書き換え制御信号です。
	STBY	62	入力	スタンバイ この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	BREQ	59	入力	バス権要求 本 LSI に対し、外部バスマスタがバス権を要求します。
	BACK	60	出力	バス権要求アクノリッジ バス権を外部バスマスタに解放したことを示します。
割込み	NMI	64	入力	ノンマスカブル割込み マスク不可能な割込みを要求します。
	IRQ_5〜IRQ_0	17、16、90〜87	入力	割込み要求 5〜0 マスク可能な割込みを要求します。
アドレスバス	A_{23}〜A_0	97〜100、56〜45、43〜36	出力	アドレスバス アドレスを出力します。
データバス	D_{15}〜D_0	34〜23、21〜18	入出力	データバス 双方向データバスです。
バス制御	CS_7〜CS_0	8、97〜99、88〜91	出力	チップセレクト エリア 7〜0 の選択信号です。
	AS	69	出力	アドレスストローブ この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	RD	70	出力	リード この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	HWR	71	出力	ハイライト この端子が Low レベルのとき、外部アドレス空間のライト状態であり、データバスの上位側（D_{15}〜D_8）が有効であることを示します。
	LWR	72	出力	ロウライト この端子が Low レベルのとき、外部アドレス空間のライト状態であり、データバスの下位側（D_7〜D_0）が有効であることを示します。

分　類	記　号	ピン番号	入出力	名称および機能
バス制御	WAIT	58	入力	ウェイト 外部アドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
リフレッシュコントローラ	RFSH	87	出力	リフレッシュ リフレッシュサイクルを示します。
	CS_3	88	出力	ロウアドレスストローブ（RAS） エリア 3 に接続された DRAM のロウアドレスストローブ信号です。
	RD	70	出力	カラムアドレスストローブ（CAS） エリア 3 に接続された DRAM のカラムアドレスストローブ信号です。2WE 方式 DRAM に使用します。
				ライトイネーブル（WE） エリア 3 に接続された DRAM のライトイネーブル信号です。2CAS 方式 DRAM に使用します。
	HWR	71	出力	アッパーライト（UW） エリア 3 に接続された DRAM のライトイネーブル信号です。2WE 方式 DRAM に使用します。
				アッパーカラムアドレスストローブ（UCAS） エリア 3 に接続された DRAM のカラムアドレスストローブ信号です。2CAS 方式 DRAM に使用します。
	LWR	72	出力	ロウアーライト（LW） エリア 3 に接続された DRAM のライトイネーブル信号です。2WE 方式 DRAM に使用します。
				ロウアーカラムアドレスストローブ（LCAS） エリア 3 に接続された DRAM のカラムアドレスストローブ信号です。2CAS 方式 DRAM に使用します。
DMA コントローラ（DMAC）	$DREQ_1$、$DREQ_0$	9、8	入力	DMA 要求 1、0 DMAC の起動を要求します。
	$TEND_1$、$TEND_0$	94、93	出力	DMA 終了 1、0 DMAC のデータ転送終了を示します。
16 ビットインテグレーテッドタイマユニット（ITU）	TCLKD～TCLKA	96～93	入力	クロック入力 D～A 外部クロックを入力します。
	$TIOCA_4$～$TIOCA_0$	4、2、99、97、95	入出力	インプットキャプチャ／アウトプットコンペア A4～A0 GRA4～A0 のアウトプットコンペア出力／インプットキャプチャ入力／PWM 出力端子です。
	$TIOCB_4$～$TIOCB_0$	5、3、100、98、96	入出力	インプットキャプチャ／アウトプットコンペア B4～B0 GRB4～B0 のアウトプットコンペア出力／インプットキャプチャ入力／PWM 出力端子です。

分　類	記　号	ピン番号	入出力	名称および機能
16 ビット インテグレーテッドタイマユニット （ITU）	$TOCXA_4$	6	出力	アウトプットコンペア XA4 PWM 出力端子です。
	$TOCXB_4$	7	出力	アウトプットコンペア XB4 PWM 出力端子です。
プログラマブルタイミングパターンコントローラ （TPC）	TP_{15}〜TP_0	9〜2、100〜93	出力	TPC 出力 15〜0 パルス出力端子です。
シリアルコミュニケーションインタフェース（SCI）	TxD_1、TxD_0	13、12	出力	トランスミットデータ（チャネル 0、1） SCI のデータ出力端子です。
	RxD_1、RxD_0	15、14	入力	レシーブデータ（チャネル 0、1） SCI のデータ入力端子です。
	SCK_1、SCK_0	17、16	入出力	シリアルクロック（チャネル 0、1） SCI のクロック入出力端子です。
A/D 変換器	AN_7〜AN_0	85〜78	入力	アナログ 7〜0 アナログ入力端子です。
	ADTRG	9	入力	A/D 変換外部トリガ入力 A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA_1、DA_0	85、84	出力	アナログ出力 D/A 変換器のアナログ出力端子です。
A/D 変換器、 D/A 変換器	AV_{CC}	76	入力	A/D 変換器および D/A 変換器の電源端子です。A/D 変換器および D/A 変換器を使用しない場合はシステム電源（＋5V）に接続してください。
	AV_{SS}	86	入力	A/D 変換器および D/A 変換器のグランド端子です。システムの電源（0V）に接続してください。
	V_{REF}	77	入力	A/D 変換器および D/A 変換器の基準電圧入力端子です。A/D 変換器および D/A 変換器を使用しない場合はシステムの電源（＋5V）に接続してください。
I/O ポート	$P1_7$〜$P1_0$	43〜36	入出力	ポート 1 8 ビットの入出力端子です。ポート 1 データディレクションレジスタ（P1DDR）によって、1 ビットごとに入出力を指定できます。
	$P2_7$〜$P2_0$	52〜45	入出力	ポート 2 8 ビットの入出力端子です。ポート 2 データディレクションレジスタ（P2DDR）によって、1 ビットごとに入出力を指定できます。
	$P3_7$〜$P3_0$	34〜27	入出力	ポート 3 8 ビットの入出力端子です。ポート 3 データディレクションレジスタ（P3DDR）によって、1 ビットごとに入出力を指定できます。
	$P4_7$〜$P4_0$	26〜23、 21〜18	入出力	ポート 4 8 ビットの入出力端子です。ポート 4 データディレクションレジスタ（P4DDR）によって、1 ビットごとに入出力を指定できます。

分　類	記　号	ピン番号	入出力	名称および機能
I/O ポート	$P5_3$〜$P5_0$	56〜53	入出力	ポート 5 4 ビットの入出力端子です。ポート 5 データディレクションレジスタ（P5DDR）によって、1 ビットごとに入出力を指定できます。
	$P6_6$〜$P6_0$	72〜69、60〜58	入出力	ポート 6 7 ビットの入出力端子です。ポート 6 データディレクションレジスタ（P6DDR）によって、1 ビットごとに入出力を指定できます。
	$P7_7$〜$P7_0$	85〜78	入力	ポート 7 8 ビットの入力端子です。
	$P8_4$〜$P8_0$	91〜87	入出力	ポート 8 5 ビットの入出力端子です。ポート 8 データディレクションレジスタ（P8DDR）によって、1 ビットごとに入出力を指定できます。
	$P9_5$〜$P9_0$	17〜12	入出力	ポート 9 6 ビットの入出力端子です。ポート 9 データディレクションレジスタ（P9DDR）によって、1 ビットごとに入出力を指定できます。
	PA_7〜PA_0	100〜93	入出力	ポート A 8 ビットの入出力端子です。ポート A データディレクションレジスタ（PADDR）によって、1 ビットごとに入出力を指定できます。
	PB_7〜PB_0	9〜2	入出力	ポート B 8 ビットの入出力端子です。ポート B データディレクションレジスタ（PBDDR）によって、1 ビットごとに入出力を指定できます。

【注】 *1　H8/3048ZTAT、H8/3048 マスク ROM 品、H8/3047 マスク ROM 品、H8/3045 マスク ROM 品、H8/3044 マスク ROM 品、H8/3048F の場合。

*2　H8/3048F-ONE（5V 動作品）の場合。3V 動作品の場合は V_{CC} 端子になります。

*3　H8/3048F-ONE（単一電源品）には、絶対に 12V を印加しないでください。12V を印加した場合、LSI の永久破壊となります。

1.4 H8/3048F-ONE（単一電源）の注意事項

フラッシュメモリ内蔵の H8/3048F-ZTAT には二電源品（H8/3048F）と単一電源品（H8/3048F-ONE）があります。単一電源品の H8/3048F-ONE を使用する上での注意事項を以下に示します。

1.4.1 電圧印加時の注意事項

「H8/3048F-ONE（単一電源）には、絶対に 12V を印加しないでください。12V を印加した場合、LSI の永久破壊となります。」

H8/3048F-ONE（単一電源）のフラッシュメモリ書き換え電源は V_{CC} です。

二電源品での書き換え電源は V_{PP} 端子（12V）でしたが、単一電源品には V_{PP} 端子はありません。H8/3048F-ONE では二電源品の V_{PP} 端子と同じピン位置に FWE 端子がありますが、FWE 端子は電源端子ではなく、フラッシュメモリライトイネーブルの制御用端子です。

また、ブートモードでは二電源品では MD2 端子に 12V 印加が必要でしたが、H8/3048F-ONE（単一電源）では 12V の印加は必要ありません。

H8/3048F-ONE（単一電源）の FWE、MD2 端子の最大定格は V_{CC}＋0.3V です。最大定格を超えた電圧を印加した場合、LSI の永久破壊となります。

「H8/3048F-ONE（単一電源）では、ライタの設定を HN28F101 にセットしないでください。誤ってセットした場合、FWE 端子に 12.0V 印加され破壊にいたることがあります。」

ROM ライタを使って、H8/3048F-ONE（単一電源）の内蔵フラッシュメモリの書き換えを行う場合は、**日立 128k バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしている PROM ライタを、使用してください。**

1.4.2 製品型名とマーク表示

H8/3048F（二電源品）と H8/3048F-ONE（単一電源）の製品型名とマーク表示例、およびフラッシュメモリ書き換え電源の違いを**表 1.5** に示します。

表 1.5 H8/3048F と H8/3048F-ONE とのマーク表示の違い（5V 版の例）

	二電源品：H8/3048F	**単一電源品：**H8/3048F-ONE
製品型名	HD64F3048F16	HD64F3048BF25
マーク表示例	H8/3048 HD64F3048F16 JAPAN	64F3048F25 H8/3048BF-ONE JAPAN
フラッシュメモリ書き換え電源	V_{PP} **電源（**12.0±0.6V**）**	V_{CC} **電源（**5.0V±10%**）**

1.4.3 H8/3048F と H8/3048F-ONE の相違点

H8/3048F（二電源品）と H8/3048F-ONE（単一電源品）との相違点を表 1.6 に示します。

表 1.6 H8/3048F と H8/3048F-ONE との相違点

項　目	二電源品：H8/3048F	単一電源品：H8/3048F-ONE
端子仕様	1 ピン → V_{CC}	1 ピン → V_{CL}（5V 動作品の場合）外付け容量 0.1μF を付けて V_{SS} に接続 3V 動作品は、V_{CC} 端子
	10 ピン → V_{PP}/RESO	10 ピン → FWE
ROM/RAM	FLASH メモリ 128k バイト（二電源方式） RAM4k バイト	FLASH メモリ 128k バイト（単一電源方式） RAM4k バイト
オンボード書き込み単位	1 バイト単位の書き込み	128 バイト単位の書き込み
書き込み／消去電圧	V_{PP} 端子に外部から 12V 印加	12V 印加不要。V_{CC} 単一電源
V_{PP} 端子機能	RESO 端子とマルチプレクス	FWE 機能のみ（RESO 機能削除）
ブートモード設定方法	$\overline{RESO}$=12V MD2 MD1 MD0 モード 5: 12V 0 1 モード 6: 12V 1 0 モード 7: 12V 1 1 リセット解除	FWE=1 MD2 MD1 MD0 モード 5: 0 0 1 モード 6: 0 1 0 モード 7: 0 1 1 モード 5 のときモード 1 に設定 モード 6 のときモード 2 に設定 モード 7 のときモード 3 に設定 リセット解除
ユーザプログラムモード設定方法	$\overline{RESO}$=12V MD2 MD1 MD0 モード 5: 1 0 1 モード 6: 1 1 0 モード 7: 1 1 1 リセット解除	FWE=1 MD2 MD1 MD0 モード 5: 1 0 1 モード 6: 1 1 0 モード 7: 1 1 1 リセット解除
プレライト処理	消去前に必要	不要
複数ブロックの消去	複数ブロックと同時に消去可能（ブロックごとにベリファイして、未消去ブロックのみ追加消去する）	1 ブロック単位で消去。複数ブロックの同時消去は不可（消去フローも異なります）
書き込み処理	書き込み前に書き込み対象アドレスに相当するブロックを EBR1/EBR2 に設定	設定なし
FLMCR	FLMCR(H'FF40) V_{PP} V_{PP}E — — EV PV E P	FLMCR1(H'FF40) FWE SWE ESU PSU EV PV E P FLMCR2(H'FF41) FLER — — — — — — —
EBR	EBR1(H'FF42) LB7 LB6 LB5 LB4 LB3 LB2 LB1 LB0 EBR2(H'FF43) SB7 SB6 SB5 SB4 SB3 SB2 SB1 SB0 複数ビット選択可（書き込み／消去時設定）	EBR(H'FF42) EB7 EB6 EB5 EB4 EB3 EB2 EB1 EB0 1 ビットのみ選択（消去時設定）

項　　目	二電源品：H8/3048F	単一電源品：H8/3048F-ONE
RAMCR	RAMCR(H'FF48) FLER　—　—　—　RAMS　RAM2　RAM1　RAM0	RAMCR(H'FF47) —　—　—　—　RAMS　RAM2　RAM1　—
FLASH メモリブロック分割	16 ブロック分割 16k バイト×8：LB0～LB5 12k バイト×1：LB7 512k バイト×8：SB0～SB7 FLASH メモリ H'00000 LB0（16k バイト） LB1（16k バイト） LB2（16k バイト） LB3（16k バイト） LB4（16k バイト） LB5（16k バイト） LB6（16k バイト） LB7（12k バイト） SB0（512 バイト） SB1（512 バイト） SB2（512 バイト） SB3（512 バイト） SB4（512 バイト） SB5（512 バイト） SB6（512 バイト） SB7（512 バイト） H'1FFFF	8 ブロック分割 1k バイト×4：EB0～EB3 28k バイト×1：EB4 32k バイト×3：EB5～EB7 FLASH メモリ H'00000 EB0（1k バイト） EB1（1k バイト） EB2（1k バイト） EB3（1k バイト） EB4（28k バイト） EB5（32k バイト） EB6（32k バイト） EB7（32k バイト） H'1FFFF
RAM エミュレーションブロック分割	内蔵 RAM　FLASH メモリ H'EF10 H'F000 H'F1FF H'FF0F H'00000 H'1EFFF H'1F000 H'1F200 H'1F400 H'1F600 H'1F800 H'1FA00 H'1FC00 H'1FE00 H'1FFFF	内蔵 RAM　FLASH メモリ H'EF10 H'F000 H'F3FF H'FF0F H'00000 H'00400 H'00800 H'00C00 H'01000 H'1FFFF
動作中のリセット	最低 6 システムクロック（6φ）サイクルの間、RES 端子を Low レベルにしてください。（RES パルス幅 T_{RESW}=min.6.0tcyc）	最低 20 システムクロック（20φ）サイクルの間、RES 端子を Low レベルにしてください。（RES パルス幅 T_{RESW}=min.20tcyc）
A/D の ADCR	ADCR(H'FFE9) 初期値 H'7F ビット 7 のみリードライト可。 その他はリザーブビット。リードすると常に 1 が読める。ライトは無効。	ADCR(H'FFE9) 初期値 H'7E ビット 7 のみリードライト可。 ビット 0 はリザーブビットで 1 セット禁止。 その他はリザーブビット。リードすると常に 1 が読める。ライトは無効。

<table>
<tr><th>項目</th><th>H8/3048F</th><th>H8/3048F-ONE</th></tr>
<tr><td>WDT の RSTCSR</td><td>RSTCSR(H'FFAB)
初期値 H'3F
ビット 7、6 のみリードライト可。
その他はリザーブビット。リードすると常に 1 が読める。ライトは無効。</td><td>RSTCSR(H'FFAB)
初期値 H'3E
ビット 7 のみリードライト可。
ビット 6 はリザーブビットで 1 セット禁止。
その他はリザーブビット。リードすると常に 1 が読める。ライトは無効。</td></tr>
<tr><td>発振安定時間の設定
（SYSCR の STS2-0）</td><td>スタンバイタイマセレクト 2～0 の設定
<table><tr><th>STS2</th><th>STS1</th><th>STS0</th><th>説明</th></tr><tr><td>0</td><td>0</td><td>0</td><td>8192 ステート</td></tr><tr><td>0</td><td>0</td><td>1</td><td>16384 ステート</td></tr><tr><td>0</td><td>1</td><td>0</td><td>32768 ステート</td></tr><tr><td>0</td><td>1</td><td>1</td><td>65536 ステート</td></tr><tr><td>1</td><td>0</td><td>0</td><td>131072 ステート</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1024 ステート</td></tr><tr><td>1</td><td>1</td><td>－</td><td>使用禁止</td></tr></table></td><td>スタンバイタイマセレクト 2～0 の設定
<table><tr><th>STS2</th><th>STS1</th><th>STS0</th><th>説明</th></tr><tr><td>0</td><td>0</td><td>0</td><td>8192 ステート</td></tr><tr><td>0</td><td>0</td><td>1</td><td>16384 ステート</td></tr><tr><td>0</td><td>1</td><td>0</td><td>32768 ステート</td></tr><tr><td>0</td><td>1</td><td>1</td><td>65536 ステート</td></tr><tr><td>1</td><td>0</td><td>0</td><td>131072 ステート</td></tr><tr><td>1</td><td>0</td><td>1</td><td>262144 ステート</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1024 ステート</td></tr><tr><td>1</td><td>1</td><td>1</td><td>使用禁止</td></tr></table></td></tr>
<tr><td>フラッシュメモリに関する詳細</td><td>「第 19 章　フラッシュメモリ（H8/3048F：二電源方式（V_{PP}＝12V））」を参照してください。</td><td>「第 20 章　フラッシュメモリ（H8/3048F-ONE：単一電源方式）」を参照してください。</td></tr>
<tr><td rowspan="2">電気的特性
（動作周波数）</td><td>動作周波数：1～16MHz</td><td>動作周波数：2～25MHz</td></tr>
<tr><td colspan="2">「第 23 章　表 23.1　H8/3048 シリーズの電気的特性比較」を参照してください。</td></tr>
<tr><td rowspan="2">レジスタ一覧</td><td colspan="2">付録　B「表 B.1　H8/3048 シリーズの内部 I/O レジスタ仕様比較」を参照してください。</td></tr>
<tr><td>付録　B.1「アドレス一覧」を参照してください。</td><td>付録　B.2「アドレス一覧」を参照してください。</td></tr>
<tr><td>オンチップエミュレータ</td><td>—</td><td>オンチップエミュレータ（E10T）</td></tr>
</table>

1.4.4 V_{CL} 端子

H8/3048F-ONE の 5V 動作版には V_{CL}（内部降圧端子）があり、この端子に内部電圧安定用のコンデンサ 0.1μF を接続する必要があります。

外付けコンデンサ接続方法を**図** 1.4 に示します。

VCL 端子には、VCC 電源は接続しないでください（他の V_{CC} 端子には従来どおり、V_{CC} 電源を接続してください）。V_{CL} 出力端子は、H8/3048F、H8/3048ZTAT およびマスク ROM 内蔵品（H8/3048、H8/3047、H8/3045、H8/3044）の V_{CC} 端子と同じピン位置にありますので、注意願います。

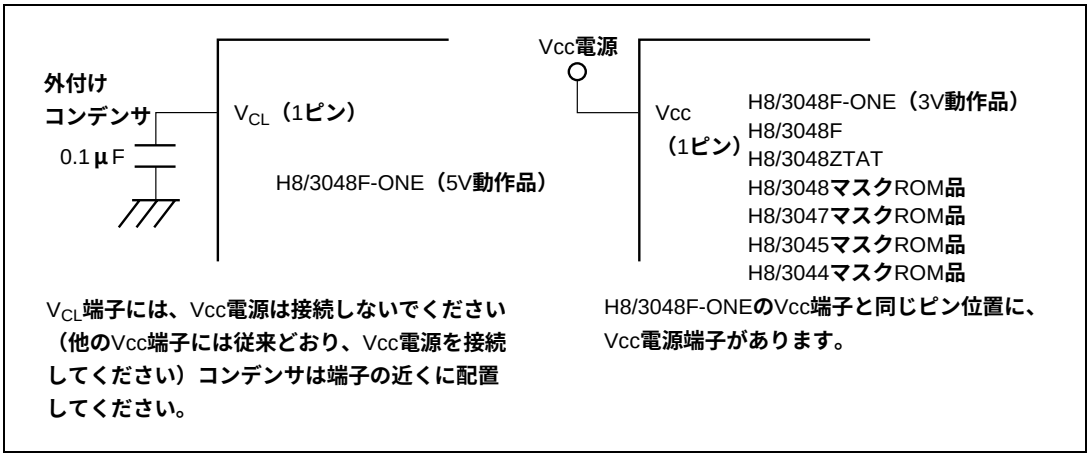


図 1.4　H8/3048F-ONE **の** V_{CL} **コンデンサ接続方法**

また、H8/3048F-ONE の 3V 動作品には VCL 端子はありません。5V 動作品の V_{CL} 端子と同じピン配置に V_{CC} 端子があります。そのため、外付けコンデンサを接続する必要はなく、他の V_{CC} 電源と同じ電源を接続してください。

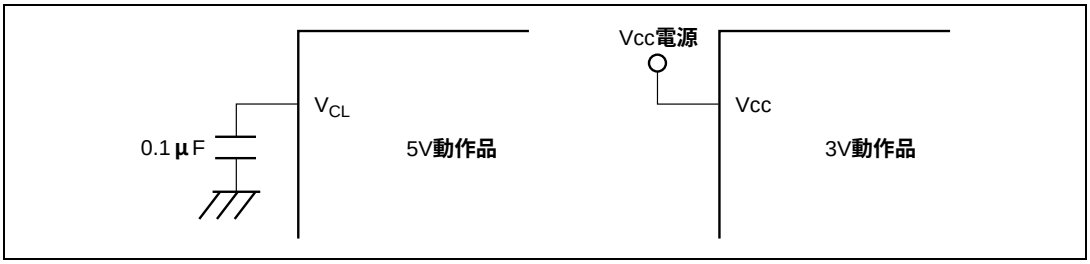


図 1.5　5V **動作品と** 3V **動作品との違い**

1.4.5 マスク ROM 品切り替えの際の注意点

フラッシュメモリを内蔵した H8/3048F-ONE から、マスク ROM 内蔵品（H8/3048、H8/3047、H8/3045、H8/3044）に切り替える際には注意が必要です。

H8/3048F-ONE（5V 動作版）の V_{CL} 端子には外付けコンデンサの接続が必要です。この V_{CL} 端子は、マスク ROM 内蔵品の V_{CC} 端子と同じピン配置となります。そのためボード設計の段階で、マスク ROM 品切り替えを考慮してパターン設計を行うなど、ご検討頂くようお願いします。

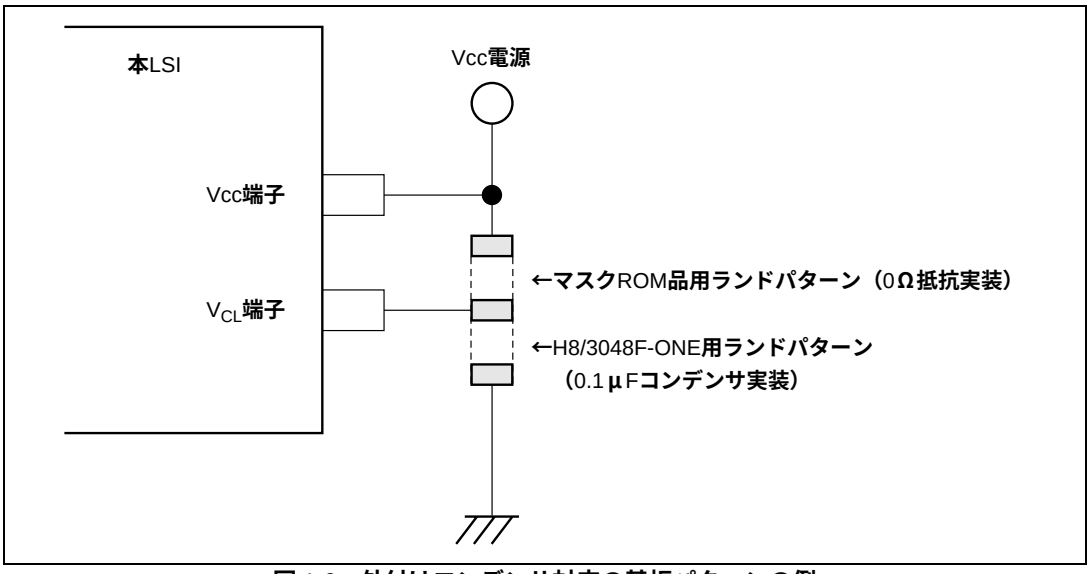


図 1.6 外付けコンデンサ対応の基板パターンの例

1.5 発振安定待機時間の設定について

ソフトウェアスタンバイモードを使用する場合、ソフトウェアスタンバイモード解除後にクロックが安定するまで待機する必要があります。LSI の動作周波数に応じて、システムコントロールレジスタ（SYSCR）の STS2～STS0 ビットおよび分周比コントロールレジスタ（DIVCR）の DIV1, 0 ビットを設定し、CPU と周辺機能が待機する時間を選択します。

H8/3048F-ONE では、外部クロックで動作する場合に、発振安定待機時間が 0.1ms 以上になるように、設定してください。

設定の詳細は、**「22.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」**を参照してください。

1.6 水晶発振子を接続する際の注意点

H8/3048F-ONE では、最大動作周波数 25MHz までをサポートしております。20MHz より高周波数の水晶振動子を接続する場合は、発振回路の外付け負荷容量の値など、回路定数については注意が必要です。

詳細は**「21.2.1 水晶発振子を接続する方法」**を参照してください。

2. CPU

2.1 概要

H8/300H CPU は、H8/300CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8/300H CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイトのリニアなアドレス空間を取り扱うことができ、リアルタイム制御に最適です。

2.1.1 特長

H8/300H CPU には、次の特長があります。

- H8/300CPU 上位互換
  H8/300シリーズのオブジェクトプログラムを実行可能
- 汎用レジスタ方式
  16ビット×16本（8ビット×16本、32ビット×8本としても使用可能）
- 62 種類の基本命令
  - 8／16／32 ビット転送、演算命令
  - 乗除算命令
  - 強力なビット操作命令
- 8 種類のアドレッシングモード
  - レジスタ直接（Rn）
  - レジスタ間接（@ERn）
  - ディスプレースメント付レジスタ間接（@（d:16, ERn），@（d:24, ERn））
  - ポストインクリメント／プリデクリメントレジスタ間接（@ERn＋／@－ERn）
  - 絶対アドレス（@aa:8, @aa:16, @aa:24）
  - イミディエイト（#xx:8, #xx:16, #xx:32）
  - プログラムカウンタ相対（@（d:8,PC），@（d:16, PC））
  - メモリ間接（@@aa:8）
- 16M バイトのリニアアドレス空間
- 高速動作
  - 頻出命令をすべて 2～4 ステートで実行
  - 最高動作周波数 ：25MHz（H8/3048F-ONE）
  - 最高動作周波数 ：18MHz（H8/3048ZTAT、H8/3048 マスク ROM 品、H8/3047 マスク ROM 品、H8/3045 マスク ROM 品、H8/3044 マスク ROM 品）
  - 最高動作周波数 ：16MHz（H8/3048F）
  - 8／16／32 ビットレジスタ間加減算 ：80ns@25MHz（111ns@18MHz/125ns@16MHz）
  - 8×8 ビットレジスタ間乗算 ：560ns@25MHz（778ns@18MHz/875ns@16MHz）
  - 16÷8 ビットレジスタ間除算 ：560ns@25MHz（778ns@18MHz/875ns@16MHz）
  - 16×16 ビットレジスタ間乗算 ：880ns@25MHz（1,221ns@18MHz/1,375ns@16MHz）
  - 32÷16 ビットレジスタ間除算 ：880ns@25MHz（1,221ns@18MHz/1,375ns@16MHz）
- 2 種類の CPU 動作モード
  - ノーマルモード（本 LSI では使用できません）

– アドバンストモード
- 低消費電力動作
  SLEEP命令により低消費電力状態に遷移

2.1.2 H8/300CPU との相違点

H8/300H CPU は、H8/300CPU に対して、次の点が強化、拡張されています。

- 汎用レジスタを拡張
  16ビット×8本の拡張レジスタを追加
- アドレス空間を拡張
  – アドバンストモードのとき、最大 16M バイトのアドレス空間を使用可能
  – ノーマルモードのとき、H8/300CPU と同一の 64k バイトのアドレス空間を使用可能
  （本LSIでは使用できません）
- アドレッシングモードを強化
  16Mバイトのアドレス空間を有効に使用可能
- 命令強化
  – 32 ビット転送、演算命令を追加
  – 符号付き乗除算命令などを追加

2.2 CPU 動作モード

H8/300H CPU は、ノーマルモードおよびアドバンストモードの 2 つの CPU 動作モードを持っています。サポートするアドレス空間は、ノーマルモードの場合最大 64k バイト、アドバンストモードの場合最大 16M バイトとなります。

本 LSI では、アドバンストモードのみ使用できます（以後、特に説明がない場合はアドバンストモードについて説明します）。

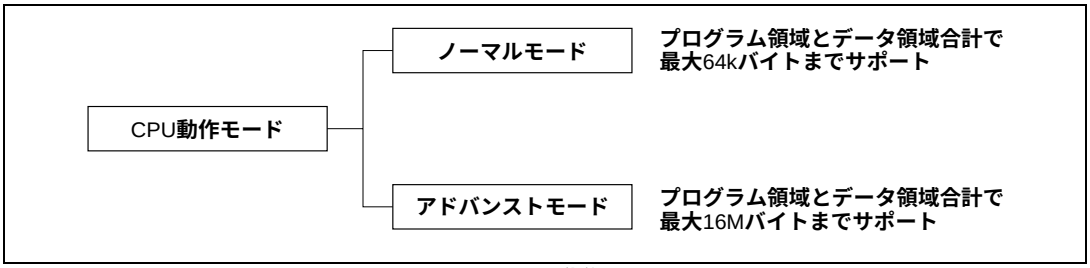


図 2.1 CPU **動作モード**

2.3 アドレス空間

H8/300H CPU のアドレス空間は最大 16M バイトです。本 LSI では MCU 動作モードにより、アドレス空間は、1M バイトモードと 16M バイトモードを選択できます。

本 LSI のメモリマップの概要を**図** 2.2 に示します。詳細は**「**3.6 **各動作モードのメモリマップ」**を参照してください。

アドレス空間が 1M バイトモードの場合、実効アドレスの上位 4 ビットは無視され、20 ビットのアドレスとなります。

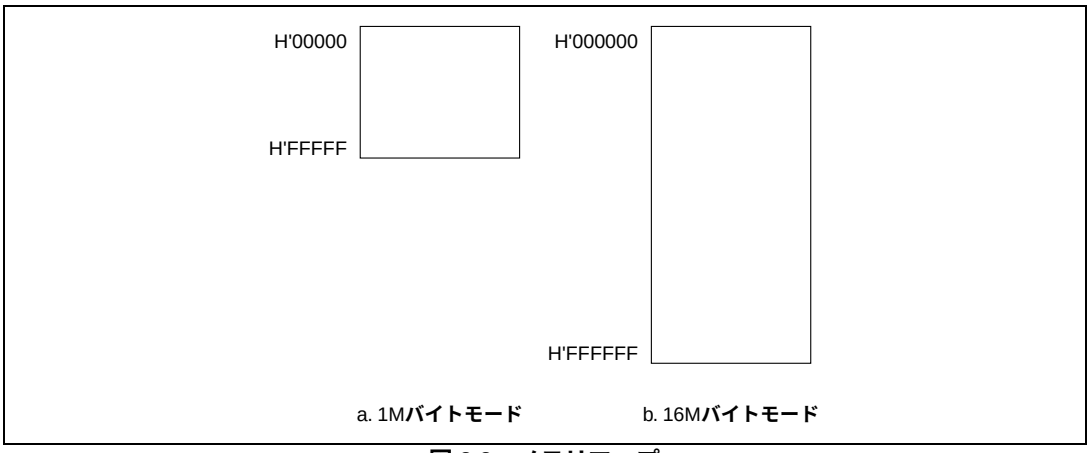


図 2.2 **メモリマップ**

2.4 レジスタ構成

2.4.1 概要

H8/300H CPU の内部レジスタ構成を**図** 2.3 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

汎用レジスタ（ERn）

	15 … 0	7 … 0	7 … 0
ER0	E0	R0H	R0L
ER1	E1	R1H	R1L
ER2	E2	R2H	R2L
ER3	E3	R3H	R3L
ER4	E4	R4H	R4L
ER5	E5	R5H	R5L
ER6	E6	R6H	R6L
ER7	E7 (SP)	R7H	R7L

コントロールレジスタ（CR）

	23 … 0
PC	

	7	6	5	4	3	2	1	0
CCR	I	UI	H	U	N	Z	V	C

【記号説明】

SP: **スタックポインタ**
PC: **プログラムカウンタ**
CCR: **コンディションコードレジスタ**
I: **割込みマスクビット**
UI: **ユーザビット／割込みマスクビット**
H: **ハーフキャリフラグ**
U: **ユーザビット**
N: **ネガティブフラグ**
Z: **ゼロフラグ**
V: **オーバフローフラグ**
C: **キャリフラグ**

図 2.3 CPU **内部レジスタ構成**

2.4.2 汎用レジスタ

H8/300H CPU は 32 ビット長の汎用レジスタ 8 本を持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。

データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。

アドレスレジスタおよび 32 ビットレジスタとしては、一括して汎用レジスタ ER（ER0～ER7）として使用します。

16 ビットレジスタとしては、汎用レジスタ ER を分割して汎用レジスタ E（E0～E7）、汎用レジスタ R（R0～R7）として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本使用することができます。なお、汎用レジスタ E（E0～E7）を、特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとしては、汎用レジスタ R を分割して汎用レジスタ RH（R0H～R7H）、汎用レジスタ RL（R0L～R7L）として使用します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本使用することができます。

汎用レジスタの使用方法を**図** 2.4 に示します。各レジスタは独立に使用方法を選択することができます。

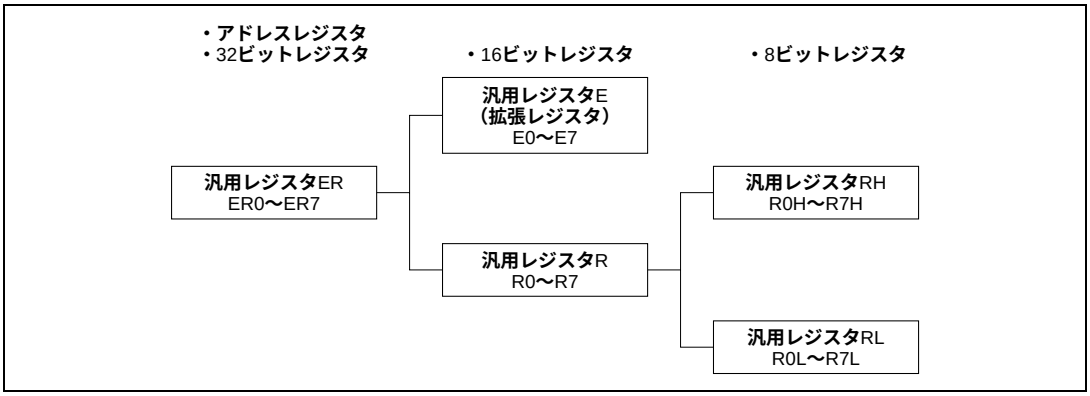


図 2.4　**汎用レジスタの使用方法**

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ（SP）としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を**図** 2.5 に示します。

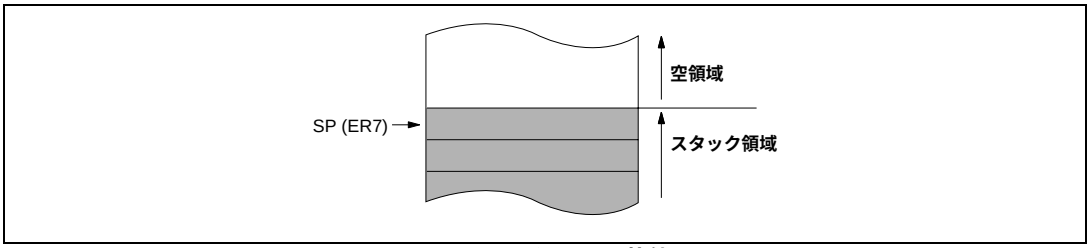


図 2.5　**スタックの状態**

2.4.3 コントロールレジスタ

コントロールレジスタには、24 ビットのプログラムカウンタ（PC）と 8 ビットのコンディションコードレジスタ（CCR）があります。

(1) プログラムカウンタ（PC）

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト（ワード）を単位としているため、最下位ビットは無効です（命令コードのリード時には最下位ビットは 0 とみなされます）。

(2) コンディションコードレジスタ（CCR）

8 ビットのレジスタで、CPU の内部状態を示しています。割込みマスクビット（I）とハーフキャリ（H）、ネガティブ（N）、ゼロ（Z）、オーバフロー（V）、キャリ（C）の各フラグを含む 8 ビットで構成されています。

ビット 7：割込みマスクビット（I）

本ビットが 1 にセットされると、割込みがマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。

ビット 6：ユーザビット／割込みマスクビット（UI）

ソフトウェア（LDC、STC、ANDC、ORC、XORC 命令）でリード／ライトできます。割込みマスクビットとしても使用可能です。詳細は**「第 5 章　割込みコントローラ」**を参照してください。

ビット 5：ハーフキャリフラグ（H）

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。ADD.W、SUB.W、CMP.W、NEG.W 命令の実行によりビット 11 にキャリまたはボローが生じたとき、または ADD.L、SUB.L、CMP.L、NEG.L 命令の実行によりビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。

ビット 4：ユーザビット（U）

ソフトウェア（LDC、STC、ANDC、ORC、XORC 命令）でリード／ライトできます。

ビット 3：ネガティブフラグ（N）

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット 2：ゼロフラグ（Z）

データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。

ビット 1：オーバフローフラグ（V）

算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。

ビット 0：キャリフラグ（C）

演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。

- 加算結果のキャリ
- 減算結果のボロー
- シフト／ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令（Bcc）で使用されます。

各命令ごとのフラグの変化については、**「付録 A.1　命令一覧」**を参照してください。

また I、UI ビットについては、**「第 5 章　割込みコントローラ」**を参照してください。

2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化され、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP（ER7）の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP（ER7）の初期化を行ってください。

2.5 データ構成

H8/300H CPU は、1 ビット、4 ビット BCD、8 ビット（バイト）、16 ビット（ワード）、および 32 ビット（ロングワード）のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第 n ビット（n＝0、1、2、……、7）という形式でアクセスされます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を**図** 2.6 に示します。

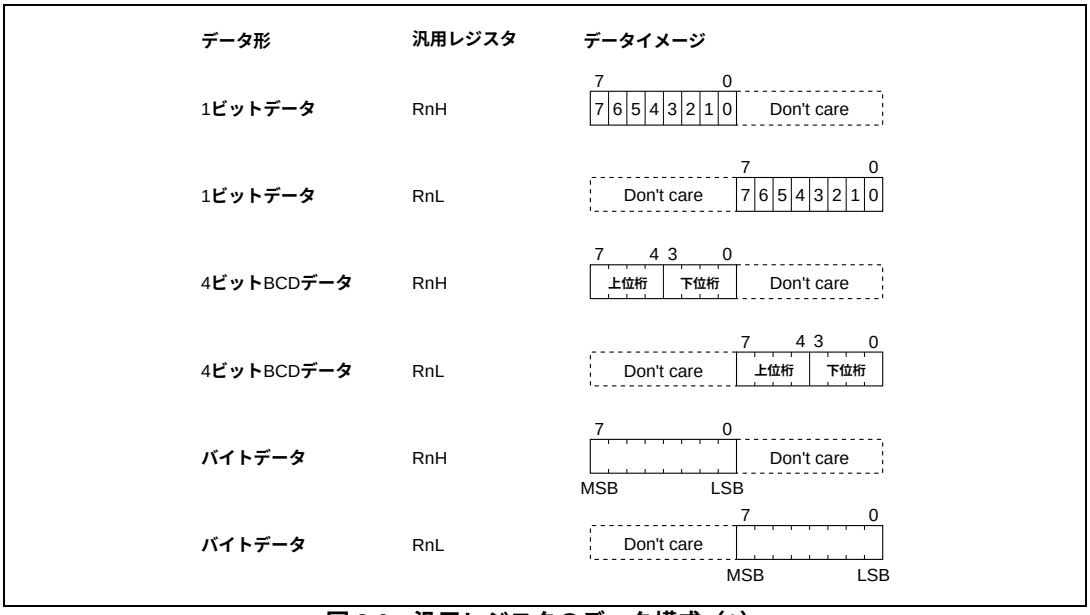


図 2.6　**汎用レジスタのデータ構成**（1）

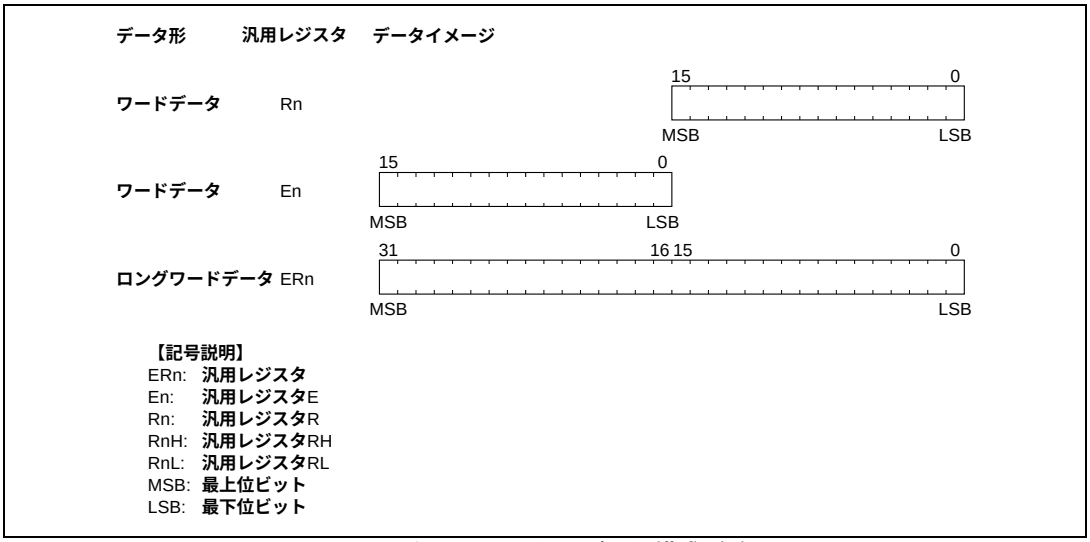


図 2.7　**汎用レジスタのデータ構成**（2）

2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を**図** 2.8 に示します。

H8/300H CPU は、メモリ上のワードデータ／ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ／ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

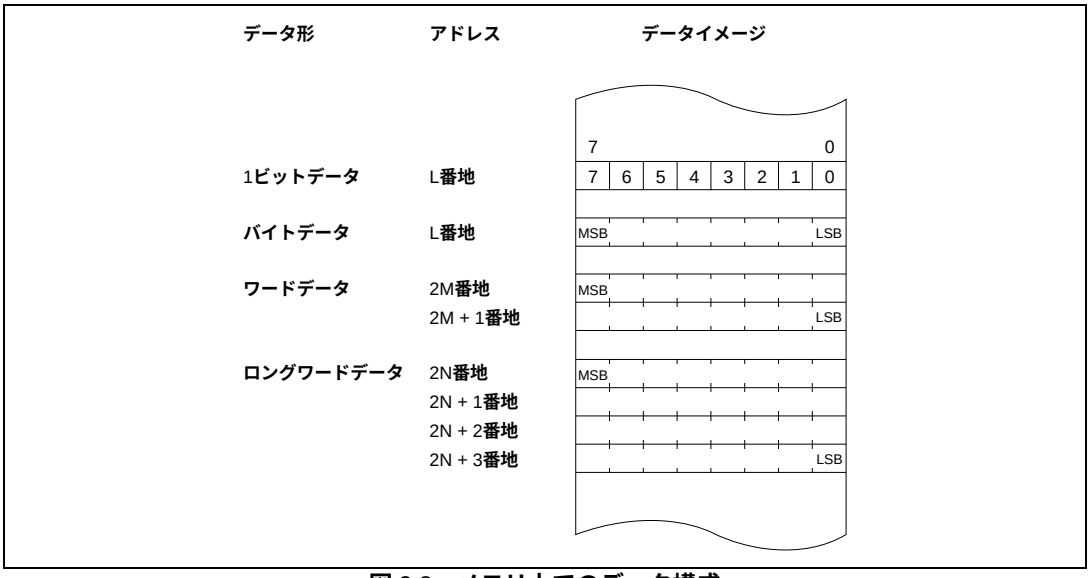


図 2.8 **メモリ上でのデータ構成**

なお、ER7（SP）をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

2.6 命令セット

2.6.1 命令セットの概要

H8/300H CPU の命令は合計 62 種類あり、各命令の機能によって、**表** 2.1 に示すように分類されます。

表 2.1 **命令の分類**

機　能	命　　令	種類
データ転送命令	MOV、PUSH*[1]、POP*[1]、MOVTPE*[2]、MOVFPE*[2]	3
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、ADDS、SUBS、DAA、DAS、MULXU、MULXS、DIVXU、DIVXS、CMP、NEG、EXTS、EXTU	18
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	14
分岐命令	Bcc*[3]、JMP、BSR、JSR、RTS	5
システム制御命令	TRAPA、RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	9
ブロック転送命令	EEPMOV	1
	合計 62 **種類**	

【注】 *1 POP.W Rn、PUSH.W Rn **は、それぞれ** MOV.W@SP＋，Rn、MOV.W Rn，@－SP **と同一です。また、**POP.L ERn、PUSH.L ERn **はそれぞれ** MOV.L@SP＋，Rn、MOV.L Rn，@－SP **と同一です。**

*2 **本** LSI **では使用できません。**

*3 Bcc **は条件分岐命令の総称です。**

2.6.2 命令とアドレッシングモードの組み合わせ

H8/300H CPU で使用可能な命令を**表** 2.2 に示します。

表 2.2 **命令とアドレッシングモードの組み合わせ**

機能	命令	アドレッシングモード												
		#XX	Rn	@ERn	@ (d:16,ERn)	@ (d:24,ERn)	@ERn+/@−ERn	@aa:8	@aa:16	@aa:24	@ (d:8,PC)	@ (d:16,PC)	@@aa:8	I
データ転送命令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	B	BWL	BWL	−	−	−	−
	POP, PUSH	−	−	−	−	−	−	−	−	−	−	−	−	WL
	MOVFPE*, MOVTPE*	−	−	−	−	−	−	−	B	−	−	−	−	−
算術演算命令	ADD, CMP	BWL	BWL	−	−	−	−	−	−	−	−	−	−	−
	SUB	WL	BWL	−	−	−	−	−	−	−	−	−	−	−
	ADDX, SUBX	B	B	−	−	−	−	−	−	−	−	−	−	−
	ADDS, SUBS	−	L	−	−	−	−	−	−	−	−	−	−	−
	INC, DEC	−	BWL	−	−	−	−	−	−	−	−	−	−	−
	DAA, DAS	−	B	−	−	−	−	−	−	−	−	−	−	−
	MULXU, MULXS, DIVXU, DIVXS	−	BW	−	−	−	−	−	−	−	−	−	−	−
	NEG	−	BWL	−	−	−	−	−	−	−	−	−	−	−
	EXTU, EXTS	−	WL	−	−	−	−	−	−	−	−	−	−	−
論理演算命令	AND, OR, XOR	BWL	BWL	−	−	−	−	−	−	−	−	−	−	−
	NOT	−	BWL	−	−	−	−	−	−	−	−	−	−	−
シフト命令		−	BWL	−	−	−	−	−	−	−	−	−	−	−
ビット操作命令		−	B	B	−	−	−	B	−	−	−	−	−	−
分岐命令	Bcc, BSR	−	−	−	−	−	−	−	−	−	○	○	−	−
	JMP, JSR	−	−	○	−	−	−	−	−	○	−	−	○	−
	RTS	−	−	−	−	−	−	−	−	−	−	−	−	○
システム制御命令	TRAPA	−	−	−	−	−	−	−	−	−	−	−	−	○
	RTE	−	−	−	−	−	−	−	−	−	−	−	−	○
	SLEEP	−	−	−	−	−	−	−	−	−	−	−	−	○
	LDC	B	B	W	W	W	W	−	W	W	−	−	−	−
	STC	−	B	W	W	W	W	−	W	W	−	−	−	−
	ANDC, ORC, XORC	B	−	−	−	−	−	−	−	−	−	−	−	−
	NOP	−	−	−	−	−	−	−	−	−	−	−	−	○
ブロック転送命令		−	−	−	−	−	−	−	−	−	−	−	−	BW

【記号説明】

B：**バイト、**W：**ワード、**L：**ロングワード**

【注】 * **本** LSI **では使用できません。**

2.6.3 命令の機能別一覧

各命令の機能について**表** 2.3～**表** 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	**汎用レジスタ（デスティネーション側）**＊
Rs	**汎用レジスタ（ソース側）**＊
Rn	**汎用レジスタ**＊
ERn	**汎用レジスタ（**32 **ビットレジスタ／アドレスレジスタ）**
（EAd）	**デスティネーションオペランド**
（EAs）	**ソースオペランド**
CCR	**コンディションコードレジスタ**
N	CCR **の** N**（ネガティブ）フラグ**
Z	CCR **の** Z**（ゼロ）フラグ**
V	CCR **の** V**（オーバフロー）フラグ**
C	CCR **の** C**（キャリ）フラグ**
PC	**プログラムカウンタ**
SP	**スタックポインタ**
#IMM	**イミディエイトデータ**
disp	**ディスプレースメント**
＋	**加算**
－	**減算**
×	**乗算**
÷	**除算**
∧	**論理積**
∨	**論理和**
⊕	**排他的論理和**
→	**転送**
～	**反転論理（論理的補数）**
：3／：8／：16／：24	3／8／16／24 **ビット長**

【注】 ＊ **汎用レジスタは、**8 **ビット（**R0H～R7H、R0L～R7L**）、**16 **ビット（**R0～R7、E0～E7**）、または** 32 **ビットレジスタ／アドレスレジスタ（**ER0～ER7**）です。**

表 2.3　データ転送命令

命　令	サイズ*	機　能
MOV	B/W/L	（EAs）→Rd、Rs→（EAd） 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPE	B	（EAs）→Rd 本 LSI では使用できません。
MOVTPE	B	Rs→（EAs） 本 LSI では使用できません。
POP	W/L	@SP＋→Rn スタックから汎用レジスタへデータを復帰します。POP.W　Rn は MOV.W　@SP＋, Rn と、また POP.L　ERn は MOV.L　@SP＋, ERn と同一です。
PUSH	W/L	Rn→@－SP 汎用レジスタの内容をスタックに退避します。PUSH.W　Rn は MOV.W Rn，@－SP と、また PUSH.L　ERn は MOV.L　ERn，@－SP と同一です。

【注】 *　サイズはオペランドサイズを示します。
B：バイト
W：ワード
L：ロングワード

表 2.4　算術演算命令（1）

命　令	サイズ*	機　能
ADD SUB	B/W/L	Rd±Rs→Rd、Rd±#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います（バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください）。
ADDX SUBX	B	Rd±Rs±C→Rd、Rd±#IMM±C→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付き加減算を行います。
INC DEC	B/W/L	Rd±1→Rd、Rd±2→Rd 汎用レジスタに 1 または 2 を加減算します（バイトサイズの演算では 1 の加減算のみ可能です）。
ADDS SUBS	L	Rd±1→Rd、Rd±2→Rd、Rd±4→Rd 32 ビットレジスタに 1、2 または 4 を加減算します。
DAA DAS	B	Rd（10 進補正）　→Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
MULXS	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
DIVXU	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。16 ビット÷8 ビット→商 8 ビット　余り 8 ビット、32 ビット÷16 ビット→商 16 ビット　余り 16 ビットの除算が可能です。
DIVXS	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。16 ビット÷8 ビット→商 8 ビット　余り 8 ビット、32 ビット÷16 ビット→商 16 ビット　余り 16 ビットの除算が可能です。
CMP	B/W/L	Rd－Rs、Rd－#IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	0－Rd→Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTS	W/L	Rd（符号拡張）　→Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
EXTU	W/L	Rd（ゼロ拡張）　→Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。

【注】 *　サイズはオペランドサイズを示します。
B：バイト
W：ワード
L：ロングワード

表 2.5　論理演算命令

命　令	サイズ*	機　能
AND	B/W/L	Rd∧Rs→Rd、Rd∧#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd∨Rs→Rd、Rd∨#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs→Rd、Rd⊕#IMM→Rd 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B/W/L	～Rd→Rd 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】 *　サイズはオペランドサイズを示します。
B：バイト
W：ワード
L：ロングワード

表 2.6　シフト命令

命　令	サイズ*	機　能
SHAL SHAR	B/W/L	Rd（シフト処理）　→Rd 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B/W/L	Rd（シフト処理）　→Rd 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B/W/L	Rd（ローテート処理）　→Rd 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B/W/L	Rd（ローテート処理）　→Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。

【注】 *　サイズはオペランドサイズを示します。
B：バイト
W：ワード
L：ロングワード

表 2.7　ビット操作命令

命　令	サイズ*	機　能
BSET	B	1→（<ビット番号> of <EAd>） 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0→（<ビット番号> of <EAd>） 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	～（<ビット番号> of <EAd>）　→（<ビット番号> of <EAd>） 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BTST	B	～（<ビット番号> of <EAd>）　→Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BAND	B	C∧（<ビット番号> of <EAd>）　→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C∧〔～（<ビット番号> of <EAd>）〕→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。
BOR	B	C∨（<ビット番号> of <EAd>）→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	C∨〔～（<ビット番号> of <EAd>）〕→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。
BXOR	B	C ⊕（<ビット番号> of <EAd>）　→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	C ⊕〔～（<ビット番号> of <EAd>）〕→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。
BLD	B	（<ビット番号> of <EAd>）　→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	～（<ビット番号> of <EAd>）　→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。ビット番号は、3 ビットのイミディエイトデータで指定します。

命　令	サイズ*	機　能
BST	B	C→（<ビット番号> of <EAd>） 汎用レジスタまたはメモリのオペランドの指定された 1 ビットにキャリフラグの内容を転送します。
BIST	B	C→～（<ビット番号> of <EAd>） 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、反転されたキャリフラグの内容を転送します。ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 *　サイズはオペランドサイズを示します。
B：バイト

表 2.8　分岐命令

<table>
<tr><th>命　令</th><th>サイズ</th><th>機　能</th></tr>
<tr><td>Bcc</td><td>－</td><td>指定した条件が成立しているとき、指定されたアドレスへ分岐します。
分岐条件を下表に示します。
<table>
<tr><th>ニーモニック</th><th>説　明</th><th>分岐条件</th></tr>
<tr><td>BRA（BT）</td><td>Always（True）</td><td>Always</td></tr>
<tr><td>BRN（BF）</td><td>Never（False）</td><td>Never</td></tr>
<tr><td>BHI</td><td>HIgh</td><td>C∨Z＝0</td></tr>
<tr><td>BLS</td><td>Low or Same</td><td>C∨Z＝1</td></tr>
<tr><td>Bcc（BHS）</td><td>Carry Clear（High or Same）</td><td>C＝0</td></tr>
<tr><td>BCS（BLO）</td><td>Carry Set（LOw）</td><td>C＝1</td></tr>
<tr><td>BNE</td><td>Not Equal</td><td>Z＝0</td></tr>
<tr><td>BEQ</td><td>EQual</td><td>Z＝1</td></tr>
<tr><td>BVC</td><td>oVerflow Clear</td><td>V＝0</td></tr>
<tr><td>BVS</td><td>oVerflow Set</td><td>V＝1</td></tr>
<tr><td>BPL</td><td>Plus</td><td>N＝0</td></tr>
<tr><td>BMI</td><td>MInus</td><td>N＝1</td></tr>
<tr><td>BGE</td><td>Greater or Equal</td><td>N⊕V＝0</td></tr>
<tr><td>BLT</td><td>Less Than</td><td>N⊕V＝1</td></tr>
<tr><td>BGT</td><td>Greater Than</td><td>Z∨（N⊕V）＝0</td></tr>
<tr><td>BLE</td><td>Less or Equal</td><td>Z∨（N⊕V）＝1</td></tr>
</table></td></tr>
<tr><td>JMP</td><td>－</td><td>指定されたアドレスへ無条件に分岐します。</td></tr>
<tr><td>BSR</td><td>－</td><td>指定されたアドレスへサブルーチン分岐します。</td></tr>
<tr><td>JSR</td><td>－</td><td>指定されたアドレスへサブルーチン分岐します。</td></tr>
<tr><td>RTS</td><td>－</td><td>サブルーチンから復帰します。</td></tr>
</table>

表 2.9　システム制御命令

命　令	サイズ*	機　能
TRAPA	－	命令トラップ例外処理を行います。
RTE	－	例外処理ルーチンから復帰します。
SLEEP	－	低消費電力状態に遷移します。
LDC	B/W	（EAs）→CCR ソースオペランドを CCR に転送します。CCR はバイトサイズですが、メモリからの転送のときデータのリードはワードサイズで行われます。
STC	B/W	CCR→（EAd） CCR の内容をデスティネーションのロケーションに転送します。CCR はバイトサイズですが、メモリへの転送のときデータのライトはワードサイズで行われます。
ANDC	B	CCR∧#IMM→CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP	－	PC＋2→PC PC のインクリメントだけを行います。

【注】 *　サイズはオペランドサイズを示します。
B：バイト
W：ワード

表 2.10　ブロック転送命令

命　令	サイズ	機　能
EEPMOV.B	－	if　R4L≠0 then Repeat　@ER5＋→@ER6＋, R4L－1→R4L Until　R4L＝0 else next;
EEPMOV.W	－	if　R4≠0 then Repeat　@ER5＋→@ER6＋, R4－1→R4 Until　R4＝0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.4 命令の基本フォーマット

H8/300H CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（OP）、レジスタフィールド（r）、EA 拡張部（EA）およびコンディションフィールド（cc）から構成されています。

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8 ビット、16 ビット、32 ビットです。24 ビットアドレスおよびディスプレースメントは上位 8 ビットをすべて 0（H'00）とした 32 ビットデータとして扱われます。

(4) コンディションフィールド

Bcc 命令の分岐条件を指定します。

図 2.9 に命令フォーマットの例を示します。

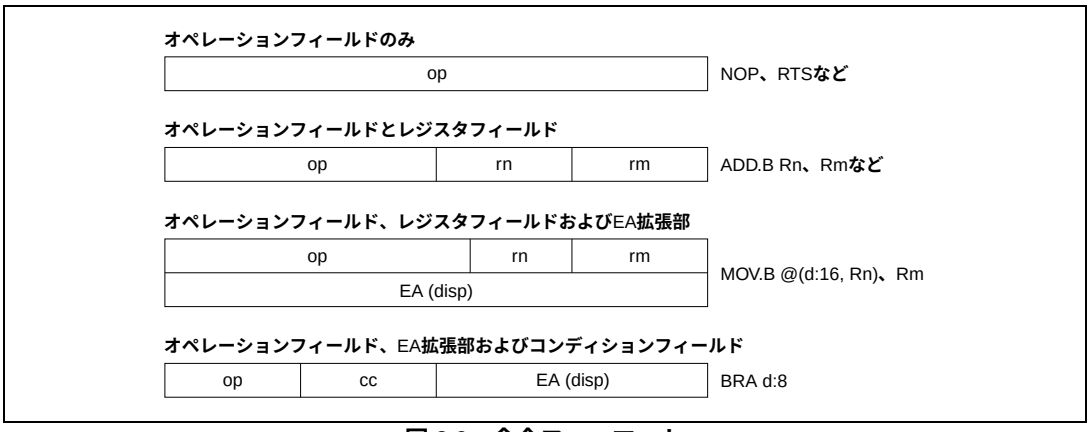


図 2.9 **命令フォーマット**

2.6.5 ビット操作命令使用上の注意

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用することができます。この場合、割込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

動作順序		動作内容
1	リード	指定したアドレスのデータ（バイト単位）をリードします。
2	ビット操作	リードしたデータの指定された 1 ビットを操作します。
3	ライト	指定したアドレスに操作したデータ（バイト単位）をライトします。

ポート 4 の DDR に、BCLR 命令を実行した例を示します。

$P4_7$、$P4_6$は入力端子に設定され、それぞれ Low レベル、High レベルが入力されているとします。

$P4_5$～$P4_0$は出力端子に設定され、それぞれ Low レベル出力状態とします。

ここで、BCLR 命令で、$P4_0$を入力ポートにする例を示します。

(1) BCLR **命令を実行前**

	$P4_7$	$P4_6$	$P4_5$	$P4_4$	$P4_3$	$P4_2$	$P4_1$	$P4_0$
入出力	**入力**	**入力**	**出力**	**出力**	**出力**	**出力**	**出力**	**出力**
DDR	0	0	1	1	1	1	1	1
DR	1	0	0	0	0	0	0	0

(2) BCLR **命令を実行**

```
BCLR　#0　,　@P4DDR
```

DDR に対して BCLR 命令を実行します。

(3) BCLR **命令を実行後**

	$P4_7$	$P4_6$	$P4_5$	$P4_4$	$P4_3$	$P4_2$	$P4_1$	$P4_0$
入出力	**出力**	**出力**	**出力**	**出力**	**出力**	**出力**	**出力**	**入力**
DDR	1	1	1	1	1	1	1	0
DR	1	0	0	0	0	0	0	0

(4) BCLR **命令の動作説明**

BCLR 命令を実行すると、CPU は、最初に P4DDR をリードします。

P4DDR はライト専用レジスタですので、CPU は H'FF をリードします。

したがって、この例では、DDR は H'3F ですが、CPU がリードしたデータは H'FF となります。

つぎに、CPU は、リードしたデータのビット 0 を 0 にクリアして、データを H'FE に変更します。

最後に、このデータ（H'FE）を DDR に書き込んで、BCLR 命令を終了します。

その結果、$P4_0$は、DDR が 0 になり、入力ポートになります。しかし、入力ポートであったビット 7、6 の DDR が 1 になって、出力ポートに変化してしまいます。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用することができます。この場合、割込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.7 アドレッシングモードと実効アドレスの計算方法

2.7.1 アドレッシングモード

H8/300H CPU は、**表** 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレス（@aa:8）が使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接（BSET、BCLR、BNOT、BTST の各命令）、およびイミディエイト（3 ビット）が独立して使用できます。

表 2.11 **アドレッシングモード一覧表**

No.	アドレッシングモード	記　号
1	**レジスタ直接**	Rn
2	**レジスタ間接**	@ERn
3	**ディスプレースメント付きレジスタ間接**	@（d:16, ERn）／@（d:24, ERn）
4	**ポストインクリメントレジスタ間接** **プリデクリメントレジスタ間接**	@ERn＋ @－ERn
5	**絶対アドレス**	@aa:8／@aa:16／@aa:24
6	**イミディエイト**	#xx:8／#xx:16／#xx:32
7	**プログラムカウンタ相対**	@（d:8, PC）／@（d:16, PC）
8	**メモリ間接**	@@aa:8

(1) レジスタ直接　Rn

命令コードのレジスタフィールドで指定されるレジスタ（8 ビット、16 ビットまたは 32 ビット）がオペランドとなります。

8 ビットレジスタとしては R0H～R7H、R0L～R7L を指定可能です。

16 ビットレジスタとしては R0～R7、E0～E7 を指定可能です。

32 ビットレジスタとしては ER0～ER7 を指定可能です。

(2) レジスタ間接　@ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付きレジスタ間接　@（d:16, ERn）／@（d:24, ERn）

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容に、命令コード中に含まれる 16 ビットディスプレースメントまたは 24 ビットディスプレースメントを加算した内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

(4) **ポストインクリメントレジスタ間接@ERn＋／プリデクリメントレジスタ間接　@－ERn**

- ポストインクリメントレジスタ間接　@ERn＋
  命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。
  その後、アドレスレジスタの内容（32ビット）に1、2または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズ／ロングワードサイズのとき、レジスタの内容が偶数となるようにしてください。
- プリデクリメントレジスタ間接　@－ERn
  命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容から1、2または4を減算した内容の下位24ビットをアドレスとして、メモリ上のオペランドを指定します。
  その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズ、ロングワードサイズのとき、アドレスレジスタの内容が偶数となるようにしてください。

(5) **絶対アドレス　@aa:8／@aa:16／@aa:24**

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。
絶対アドレスは 8 ビット（@aa:8）、16 ビット（@aa:16）、または 24 ビット（@aa:24）です。
8 ビット絶対アドレスの場合、上位 16 ビットはすべて 1（H'FFFF）となります。
16 ビット絶対アドレスの場合、上位 8 ビットは符号拡張されます。
24 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。
絶対アドレスのアクセス範囲を**表** 2.12 に示します。

表 2.12　**絶対アドレスのアクセス範囲**

絶対アドレス	1M **バイトモード**	16M **バイトモード**
8 **ビット** （@aa:8）	H'FFF00～H'FFFFF （1048320～1048575）	H'FFFF00～H'FFFFFF （16776960～16777215）
16 **ビット** （@aa:16）	H'00000～H'07FFF,H'F8000～H'FFFFF （0～32767,1015808～1048575）	H'000000 ～H'007FFF,H'FF8000～H'FFFFFF （0～32767,16744448～16777215）
24 **ビット** （@aa:24）	H'00000～H'FFFFF （0～1048575）	H'000000～H'FFFFFF （0～16777215）

(6) **イミディエイト**　#xx:8／#xx:16／#xx:32

命令コードの中に含まれる 8 ビット（#xx:8）、16 ビット（#xx:16）、または 32 ビット（#xx:32）のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令ではベクタアドレスを指定するための 2 ビットのイミディエイトデータが、命令コード中に含まれます。

(7) **プログラムカウンタ相対　@（d:8, PC）／@（d:16, PC）**

Bcc、BSR 命令で使用されます。

PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して、24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して－126～＋128 バイト（－63～＋64 ワード）または－32766～＋32768 バイト（－16383～＋16384 ワード）です。このとき、加算結果が偶数となるようにしてください。

(8) **メモリ間接　@@**aa:8

JMP、JSR 命令で使用されます。

命令コードの中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。メモリ上のオペランドはロングワードサイズで指定します。このうち先頭 1 バイトは無視され、24 ビット長の分岐アドレスを生成します。**図** 2.10 にメモリ間接による分岐アドレスの指定方法を示します。

8 ビット絶対アドレスの上位のビットはすべて 0（H'0000）となりますので、分岐アドレスを格納できるのは 0～255（H'000000～H'0000FF）番地です。

ただし、この内の先頭領域は例外処理ベクタ領域と共通になっていますから注意してください。詳細は**「第 5 章　割込みコントローラ」**を参照してください。

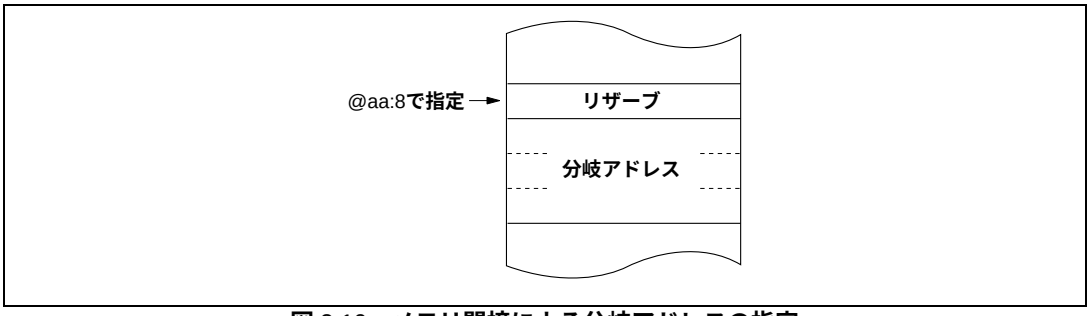


図 2.10　**メモリ間接による分岐アドレスの指定**

ワードサイズ、またはロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします（**「**2.5.2　**メモリ上でのデータ構成」**を参照してください）。

2.7.2　実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算方法を**表** 2.13 に示します。

1M バイトモードの場合、計算結果の上位 4 ビットは無視され、20 ビットの実効アドレスを生成します。

表 2.13　実効アドレスの計算方法（1）

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
(1)	レジスタ直接　　(Rn) op　rm　rn		オペランドは、汎用レジスタの内容です。
(2)	レジスタ間接（@ERn） op　r	31　汎用レジスタの内容　0	23　0
(3)	ディスプレースメント付レジスタ間接 @（d：16, ERn）／@（d：24, ERn） op　r　disp	31　汎用レジスタの内容　0 符号拡張	23　0
(4)	ポストインクリメントレジスタ間接／ プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接@ERn＋ op　r ・プリデクリメントレジスタ間接@－ERn op　r	31　汎用レジスタの内容　0 1、2 または 4 31　汎用レジスタの内容　0 1、2 または 4 オペランドサイズがバイトのとき1、ワードのとき2、ロングワードのとき4が加減算されます。	23　0 23　0

表 2.13　実効アドレスの計算方法（2）

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
(5)	**絶対アドレス** @ aa：8 op　abs @ aa：16 op　abs @ aa：24 op　abs		23　H'FFFF　8 7　0 23　符号拡張　16 15　0 23　0
(6)	**イミディエイト**　#xx：8/#xx：16/#xx：32 op　IMM		**オペランドは、イミディエイトデータです。**
(7)	**プログラムカウンタ相対** @(d：8, PC)／@(d：16, PC) op　disp	23　PC の内容　0 符号拡張　disp	23　0

表 2.13　実効アドレスの計算方法（3）

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
(8)	**メモリ間接 @@ aa：8** **・ノーマルモード** op　abs **・アドバンストモード** op　abs	23　8 7　0　H'0000　abs 15　0　**メモリの内容** 23　8 7　0　H'0000　abs 31　0　**メモリの容量**	23　16 15　0　H'00 23　0

[記号説明]

r、rm、rn　：**レジスタフィールド**
op　：**オペレーションフィールド**
disp　：**ディスプレースメント**
IMM　：**イミディエイトデータ**
abs　：**絶対アドレス**

2.8 処理状態

2.8.1 概要

H8/300H CPU の処理状態には、プログラム実行状態、例外処理状態、低消費電力状態、リセット状態、およびバス権解放状態の 5 種類があります。さらに、低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、およびハードウェアスタンバイモードがあります。処理状態の分類を**図** 2.11 に、各状態間の遷移を**図** 2.13 に示します。

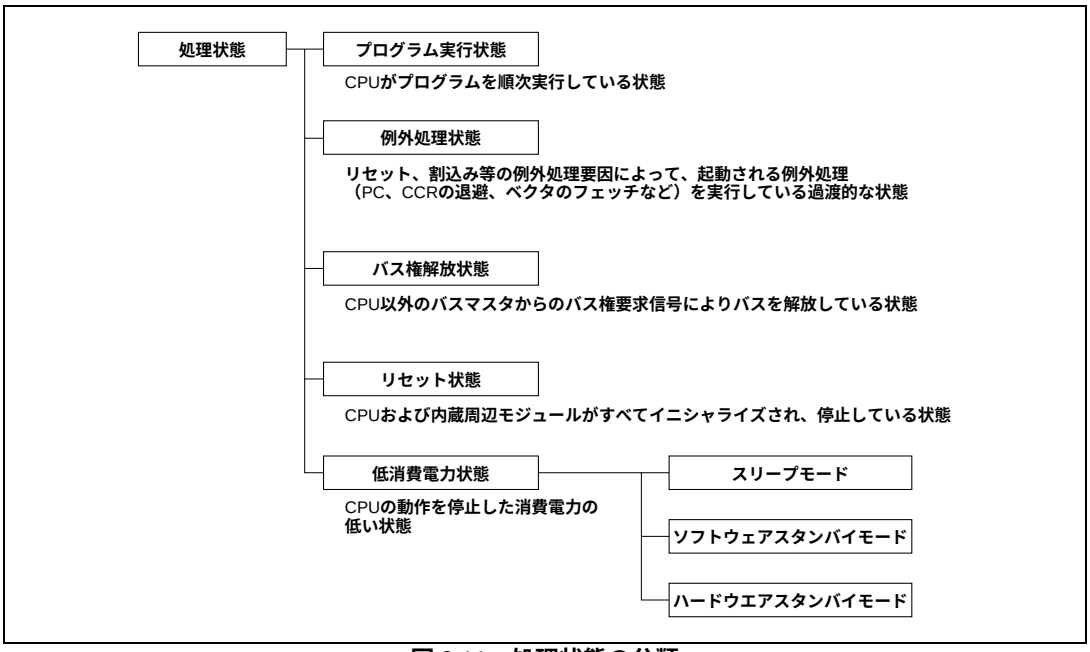


図 2.11 **処理状態の分類**

2.8.2 プログラム実行状態

CPU がプログラムを順次実行している状態です。

2.8.3 例外処理状態

リセット、割込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地に分岐する過渡的な状態です。割込みおよびトラップ命令例外処理では、SP（ER7）を参照して、PC および CCR の退避を行います。

(1) 例外処理の種類と優先度

例外処理には、リセット、割込み、およびトラップ命令があります。**表** 2.14 に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表 2.14　例外処理の種類と優先度

優先度	例外処理要因	例外処理検出タイミング	例外処理開始タイミング
高 ↑	リセット	クロック同期	RES 端子が Low レベルから High レベルに変化すると、ただちに例外処理を開始します。
	割込み	命令の実行終了時または例外処理終了時*	割込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。
低	トラップ命令	TRAPA 命令実行時	トラップ（TRAPA）命令を実行すると、例外処理を開始します。

【注】 * ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では、割込み要因の検出を行いません。

例外処理要因は、**図** 2.12 に示すように分類されます。

例外処理要因とベクタ番号ならびにベクタアドレスの詳細は**「第 4 章　例外処理」**および**「第 5 章　割込みコントローラ」**を参照してください。

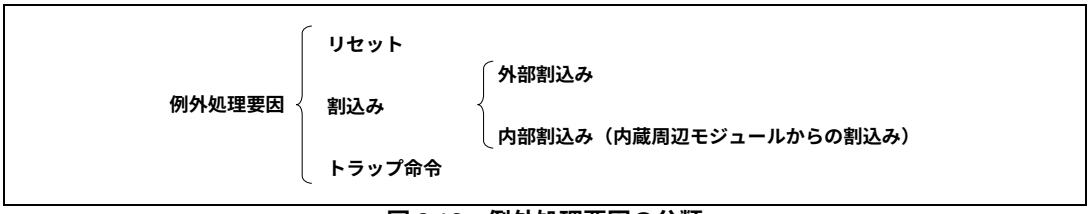


図 2.12　**例外処理要因の分類**

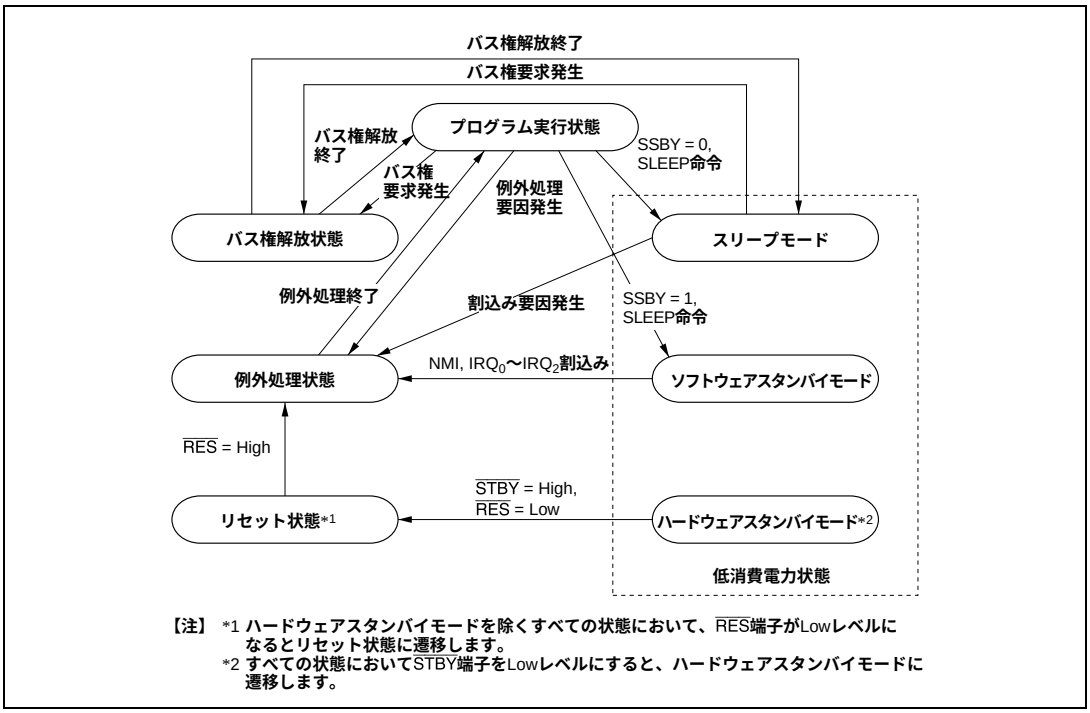


図 2.13　**状態遷移図**

2.8.4 例外処理の動作

(1) リセット例外処理の動作

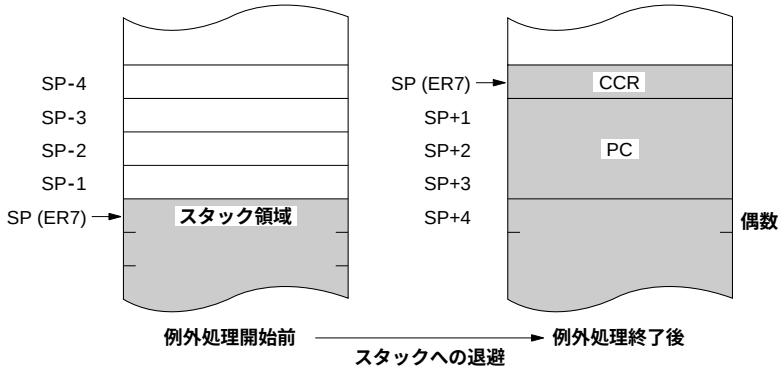
リセット例外処理は、最も優先度の高い例外処理です。RES 端子を Low レベルにしてリセット状態にした後、RES 端子を High レベルにすると、リセット例外処理が起動されます。リセット例外処理が起動されると、CPU は、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地からプログラムの実行を開始します。リセット例外処理実行中、および終了後は、NMI を含めたすべての割込みが禁止されます。

(2) 割込み例外処理およびトラップ命令例外処理の動作

これらの例外処理が起動されると、CPU は SP（ER7）を参照して PC と CCR をスタックに退避します。次に、SYSCR の UE ビットが 1 のときは CCR の I ビットが 1 にセットされ、UE ビットが 0 のときは CCR の I ビット、UI ビットがいずれも 1 にセットされます。

その後、例外処理ベクタテーブルからスタートアドレスを取り出して分岐します。

例外処理終了後のスタックの構造を**図** 2.14 に示します。



【記号説明】
CCR: **コンディションコードレジスタ**
SP: **スタックポインタ**

【注】 1. PC**はリターン後に実行する最初の命令アドレスです。**
2. **レジスタの退避／復帰は必ずワードサイズまたはロングワードサイズで、偶数アドレスから行ってください。**

図 2.14 **例外処理終了後のスタック状態**

2.8.5 バス権解放状態

CPU 以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。CPU 以外のバスマスタには DMA コントローラ、リフレッシュコントローラ、および外部バスマスタがあります。

バス権解放状態では、CPU は内部動作を除き、停止します。また、割込みも受け付けられません。詳細は「6.3.7 **バスアービタの動作**」を参照してください。

2.8.6 リセット状態

RES 端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセットによって CCR の I ビットが 1 にセットされます。リセット状態ではすべての割込みが禁止されます。

RES 端子を Low レベルから High レベルにすると、リセット例外処理が開始されます。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は**「第 12 章　ウォッチドッグタイマ」**を参照してください。

2.8.7 低消費電力状態

低消費電力状態は CPU の動作を停止して、消費電力を下げる状態です。スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。

(1) スリープモード

スリープモードは、SYSCR の SSBY ビットを 0 にクリアした状態で、SLEEP 命令を実行することによって遷移するモードです。CPU の動作は、SLEEP 命令実行直後で停止します。CPU の内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードは、SYSCR の SSBY ビットを 1 にセットした状態で、SLEEP 命令を実行することによって遷移するモードです。

CPU およびクロックをはじめ内蔵周辺モジュールのすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り CPU の内部レジスタの内容および内蔵 RAM の内容は保持されます。また、I/O ポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードは、STBY 端子を Low レベルにすることによって遷移するモードです。ソフトウェアスタンバイモードと同様に、CPU およびすべてのクロックは停止し、内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM の内容は保持されます。

低消費電力状態についての詳細は、**「第 22 章　低消費電力状態」**を参照してください。

2.9 基本動作タイミング

2.9.1 概要

H8/300H CPU は、クロック（φ）を基準に動作しています。φの立上がりから次の立上がりまでの 1 単位をステートと呼びます。メモリサイクルまたはバスサイクルは、2 または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。外部アドレス空間のアクセスについては、バスコントローラで設定することができます。

2.9.2 内蔵メモリアクセスタイミング

内蔵メモリのアクセスは、2 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズのアクセスが可能です。内蔵メモリアクセスサイクルを**図** 2.15 に、端子状態を**図** 2.16 に示します。

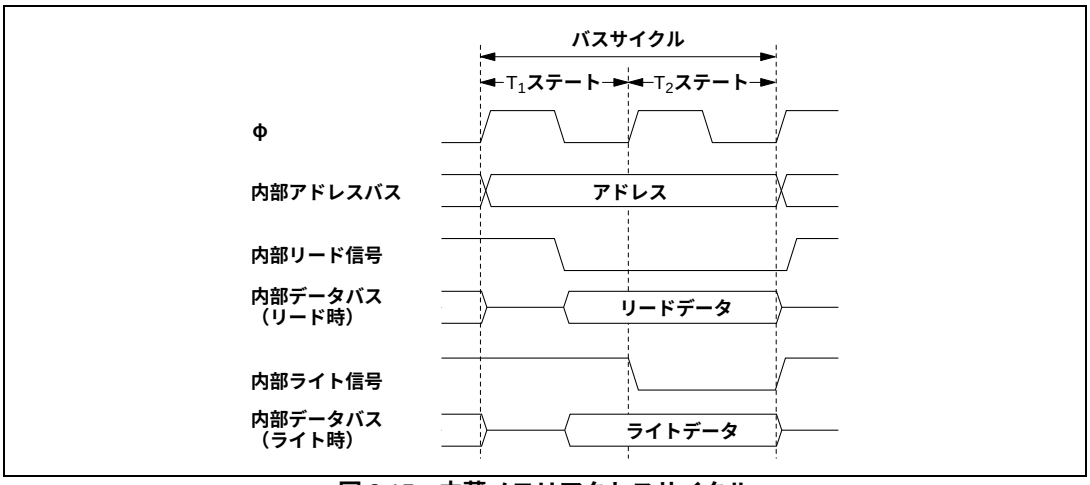


図 2.15 **内蔵メモリアクセスサイクル**

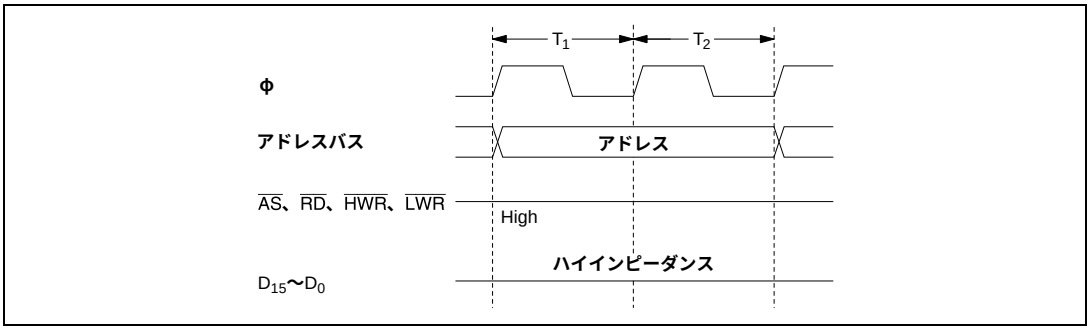


図 2.16 **内蔵メモリアクセス時の端子状態**

2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは 3 ステートで行われます。このとき、データバス幅は 8 ビットまたは 16 ビットであり、内部 I/O レジスタにより異なります。内蔵周辺モジュールアクセスタイミングを**図** 2.17 に、端子状態を**図** 2.18 に示します。

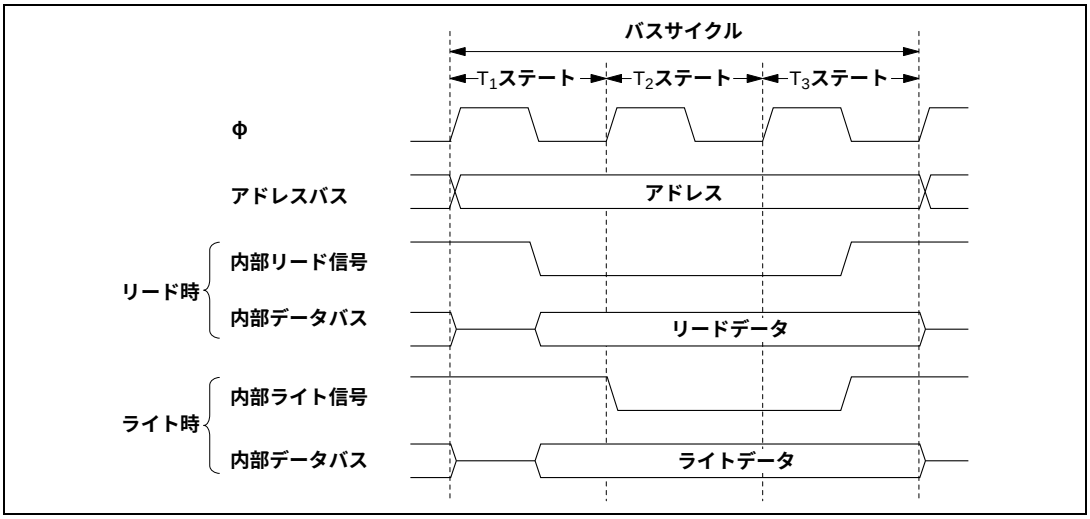


図 2.17 **内蔵周辺モジュールアクセスサイクル**

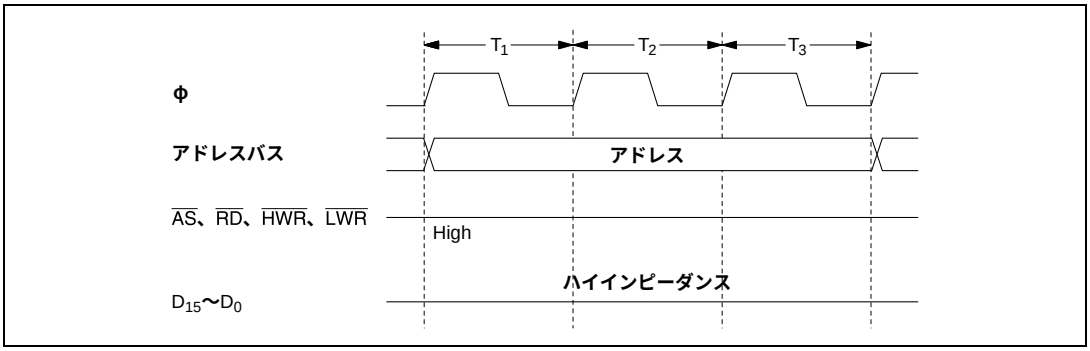


図 2.18 **内蔵周辺モジュールアクセス時の端子状態**

2.9.4 外部アドレス空間アクセスタイミング

外部アドレス空間は 8 つのエリア（エリア 0〜7）に分割されており、バスコントローラの設定により、各エリアごとにデータバス幅（8 ビットまたは 16 ビット）とアクセスステート（2 ステートまたは 3 ステート）の選択ができます。

詳細は**「第 6 章　バスコントローラ」**を参照してください。

3. MCU 動作モード

3.1 概要

3.1.1 動作モードの種類の選択

本 LSI には、7 種類の動作モード（モード 1～7）があります。これらのモードは、モード端子（MD_2～MD_0）を**表 3.1** のように設定することによってバスモードの初期状態とアドレス空間を選択することができます。

表 3.1　動作モードの種類の選択

動作モード	端子設定			内　容			
	MD_2	MD_1	MD_0	アドレス空間	バスモード初期状態*1	内蔵 ROM	内蔵 RAM
－	0	0	0	－	－	－	－
モード 1	0	0	1	拡張モード	8 ビット	無効	有効*2
モード 2	0	1	0	拡張モード	16 ビット	無効	有効*2
モード 3	0	1	1	拡張モード	8 ビット	無効	有効*2
モード 4	1	0	0	拡張モード	16 ビット	無効	有効*2
モード 5	1	0	1	拡張モード	8 ビット	有効	有効*2
モード 6	1	1	0	拡張モード	8 ビット	有効	有効*2
モード 7	1	1	1	シングルチップアドバンストモード	－	有効	有効

【注】 *1　**モード 1～6 において、バス幅コントロールレジスタ（ABWCR）を設定することによりデータバス幅をエリアごとに 8 ビットデータバスまたは 16 ビットデータバスにすることができます。詳細は、「第 6 章　バスコントローラ」を参照してください。**

*2　SYSCR **の** RAME **ビットを** 0 **にクリアすると外部アドレス空間に切り換わります。**

アドレス空間は、1M バイト／16M バイトのいずれかを選択することができます。外部データバスのバス幅は ABWCR により、8 ビット／16 ビットバスモードのいずれかになります。すべてのエリアを 8 ビットアクセス空間に設定した場合、8 ビットバスモードとなります。詳細は**「第 6 章　バスコントローラ」**を参照してください。

モード 1～4 は、外部メモリおよび周辺デバイスをアクセスすることができる内蔵 ROM 無効拡張モードです。

モード 1、2 でサポートするアドレス空間は、最大 1M バイトです。また、モード 3、4 でサポートするアドレス空間は、最大 16M バイトです。

モード 5、6 は、外部メモリおよび周辺デバイスをアクセスすることができる内蔵 ROM 有効拡張モードです。モード 5 でサポートするアドレス空間は、最大 1M バイトです。また、モード 6 でサポートするアドレス空間は、最大 16M バイトです。

モード 7 は、内蔵 ROM と RAM、内部 I/O レジスタで動作するシングルチップモードです。すべてのポートを使用することができます。

アドレス空間は最大 1M バイトです。

モード 1～7 以外は、本 LSI では使用できません。したがって、モード端子は必ずモード 1～7 に

なるように設定してください。
モード端子は、動作中に変化させないでください。

3.1.2 レジスタ構成

本 LSI にはモード端子（MD_2～MD_0）の状態が反映される MDCR と、動作を制御する SYSCR があります。レジスタ構成を**表** 3.2 に示します。

表 3.2 **レジスタ構成**

アドレス*	名　称	略　称	R/W	初期値
H'FFF1	モードコントロールレジスタ	MDCR	R	不定
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B

【注】 ＊ **アドレスの下位** 16 **ビットを示しています。**

3.2 モードコントロールレジスタ（MDCR）

MDCR は 8 ビットのリード専用のレジスタで、本 LSI の現在の動作モードをモニタするのに用います。

ビット：	7	6	5	4	3	2	1	0
	–	–	–	–	–	MDS2	MDS1	MDS0
初期値：	1	1	0	0	0	–*	–*	–*
R/W ：	–	–	–	–	–	R	R	R
	リザーブビット		リザーブビット			モードセレクト2～0 現在の動作モードを示すビットです。		

【注】＊ MD_2～MD_0**端子により決定されます。**

ビット 7、6：**リザーブビット**

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5～3：**リザーブビット**

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

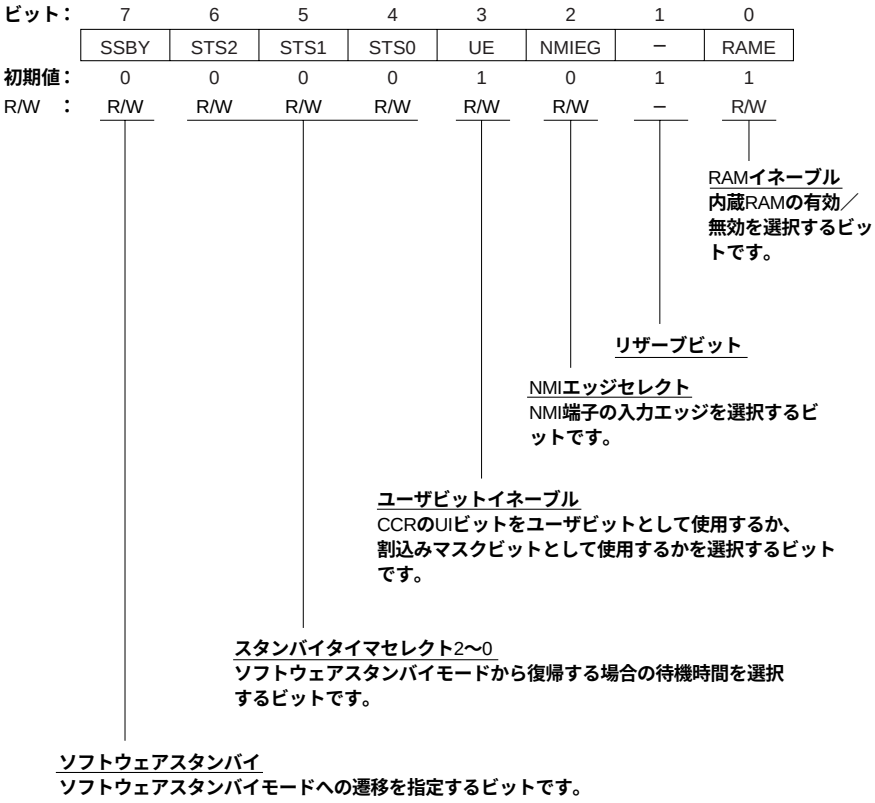
ビット 2～0：**モードセレクト** 2～0（MDS2～0）

これらのビットは、モード端子（MD_2～MD_0）のレベルを反映した値（現在の動作モード）を示しています。MDS2～MDS0 ビットは MD_2～MD_0 端子にそれぞれ対応します。これらのビットは、リード専用でライトは無効です。MDCR をリードすると、モード端子（MD_2～MD_0）のレベルがこれらのビットにラッチされます。

【注】　単一電源方式フラッシュメモリ内蔵製品（H8/3048F-ONE）には、フラッシュメモリを書き換えるブートモードがあります。このブートモードのときには、MDS2 ビットには MD_2 端子のレベルの反転した値が反映されます。

3.3　システムコントロールレジスタ（SYSCR）

SYSCR は 8 ビットのレジスタで本 LSI の動作を制御します。



ビット 7：ソフトウェアスタンバイ（SSBY）

ソフトウェアスタンバイモードへの遷移を指定します（ソフトウェアスタンバイモードについては**「第 22 章　低消費電力状態」**を参照してください）。

なお、外部割込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したとき、このビットは 1 にセットされたままです。クリアする場合は、0 をライトしてください。

ビット 7 SSBY	説　明
0	SLEEP 命令実行後、スリープモードに遷移　（初期値）
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

ビット 6～4：スタンバイタイマセレクト 2～0（STS2～0）

外部割込みによって、ソフトウェアスタンバイモードを解除する場合に、内部クロックが安定するまで CPU と内蔵周辺モジュールが待機する時間を指定します。

水晶発振の場合、動作周波数に応じて待機時間が 7ms 以上となるように指定してください。

待機時間の設定については、**「22.4.3　ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」**を参照してください。

(1)　H8/3048F、H8/3048ZTAT、H8/3048 マスク ROM 品、H8/3047 マスク ROM 品、H8/3045 マスク ROM 品、H8/3044 マスク ROM 品の場合

ビット 6	ビット 5	ビット 4	説　明
STS2	STS1	STS0	
0	0	0	待機時間＝　8192 ステート　（初期値）
		1	待機時間＝ 16384 ステート
	1	0	待機時間＝ 32768 ステート
		1	待機時間＝ 65536 ステート
1	0	0	待機時間＝131072 ステート
		1	待機時間＝　1024 ステート
	1	－	使用禁止

(2)　H8/3048F-ONE の場合

ビット 6	ビット 5	ビット 4	説　明
STS2	STS1	STS0	
0	0	0	待機時間＝　8192 ステート　（初期値）
		1	待機時間＝ 16384 ステート
	1	0	待機時間＝ 32768 ステート
		1	待機時間＝ 65536 ステート
1	0	0	待機時間＝131072 ステート
		1	待機時間＝262144 ステート
	1	0	待機時間＝　1024 ステート
		1	使用禁止

ビット 3：ユーザビットイネーブル（UE）

CCR の UI ビットをユーザビットとして使用するか、割込みマスクビットとして使用するかを選択します。

ビット 3	説　明
UE	
0	CCR の UI ビットを、割込みマスクビットとして使用
1	CCR の UI ビットを、ユーザビットとして使用　（初期値）

ビット 2：NMI エッジセレクト（NMIEG）

NMI 端子の入力エッジ選択を行います。

ビット 2	説　明
NMIEG	
0	NMI 入力の立下がりエッジで割込み要求を発生　（初期値）
1	NMI 入力の立上がりエッジで割込み要求を発生

ビット 1：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 0：RAM イネーブル（RAME）

内蔵 RAM の有効／無効を選択します。RAME ビットは、RES 端子の立上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードでは、イニシャライズされません。

ビット 0	説　明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効　（初期値）

3.4 各動作モードの説明

3.4.1 モード 1

ポート 1、2、5 の機能がアドレス端子 A_{19}～A_0 となり、最大 1M バイトのアドレス空間をアクセスできます。リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、ABWCR により少なくとも 1 つのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなります。

3.4.2 モード 2

ポート 1、2、5 の機能がアドレス端子 A_{19}～A_0 となり、最大 1M バイトのアドレス空間をアクセスできます。リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、ABWCR によりすべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。

3.4.3 モード 3

ポート 1、2、5 およびポート A の一部の機能がアドレス端子 A_{23}～A_0 となり、最大 16M バイトのアドレス空間をアクセスできます。バスモードはリセット直後に 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、ABWCR により少なくとも 1 つのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなります。A_{23}～A_{21} は、バスリリースコントロールレジスタ（BRCR）のビット 7～5 に 0 をライトすると有効になります（本モードでは A_{20} は常に出力となります）。

3.4.4 モード 4

ポート 1、2、5 およびポート A の一部の機能がアドレス端子 A_{23}～A_0 となり、最大 16M バイトのアドレス空間をアクセスできます。バスモードはリセット直後に 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、ABWCR によりすべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。A_{23}～A_{21} は、BRCR のビット 7～5 に 0 をライトすると有効になります（本モードでは A_{20} は常に出力となります）。

3.4.5 モード 5

ポート 1、2、5 の機能がアドレス端子 A_{19}～A_0 となり、最大 1M バイトのアドレス空間をアクセスできます。リセット直後は入力ポートになっています。したがってアドレスバスとして使用する場合は各々の対応するデータディレクションレジスタ（P1DDR、P2DDR、P5DDR）を 1 にセットして、ポート 1、2、5 を出力に設定してください。バスモードはリセット直後に、8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、ABWCR により、少なくとも 1 つのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなります。

3.4.6 モード 6

ポート 1、2、5 およびポート A の一部の機能がアドレス端子 A_{23}～A_0 となり、最大 16M バイトのアドレス空間をアクセスできます。リセット直後は入力ポートになっています。したがってポート 1、2、5 をアドレスバスとして使用する場合は、各々の対応するデータディレクションレジスタ（P1DDR、P2DDR、P5DDR）を 1 にセットして、ポート 1、2、5 を出力に設定してください。また、A_{23}～A_{21} を出力する場合には、BRCR のビット 7～5 に 0 をライトしてください（本モードでは A_{20} は常に出力となります）。

バスモードはリセット直後に、8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、ABWCR により、少なくとも 1 つのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなります。

3.4.7 モード 7

内蔵 ROM と RAM、内部 I/O レジスタで動作するモードです。すべてのポートを使用することができます。

モード 7 はアドレス空間が 1M バイトとなります。

3.5 各動作モードにおける端子機能

動作モードによりポート 1～5、およびポート A の端子機能が切り換わります。各動作モードにおける端子機能の一覧を**表** 3.3 に示します。

表 3.3 **各動作モードにおけるポート** 1～5**、およびポート** A **の機能**

ポート	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7
ポート 1	A_7～A_0	A_7～A_0	A_7～A_0	A_7～A_0	$P1_7$～$P1_0$*2	$P1_7$～$P1_0$*2	$P1_7$～$P1_0$
ポート 2	A_{15}～A_8	A_{15}～A_8	A_{15}～A_8	A_{15}～A_8	$P2_7$～$P2_0$*2	$P2_7$～$P2_0$*2	$P2_7$～$P2_0$
ポート 3	D_{15}～D_8	D_{15}～D_8	D_{15}～D_8	D_{15}～D_8	D_{15}～D_8	D_{15}～D_8	$P3_7$～$P3_0$
ポート 4	$P4_7$～$P4_0$*1	D_7～D_0*1	$P4_7$～$P4_0$*1	D_7～D_0*1	$P4_7$～$P4_0$*1	$P4_7$～$P4_0$*1	$P4_7$～$P4_0$
ポート 5	A_{19}～A_{16}	A_{19}～A_{16}	A_{19}～A_{16}	A_{19}～A_{16}	$P5_3$～$P5_0$*2	$P5_3$～$P5_0$*2	$P5_3$～$P5_0$
ポート A	PA_7～PA_4	PA_7～PA_4	PA_7～PA_5*3、A_{20}	PA_7 ～PA_5*3、A_{20}	PA_7～PA_4	PA_7～PA_5、A_{20}*3	PA_7～PA_4

【注】 *1 **初期状態を示しています。**ABWCR **の設定により、バスモードを切り換えることができます。**8 **ビットモード時には** $P4_7$～$P4_0$ **に、**16 **ビットバスモード時には** D_7～D_0 **となります。**

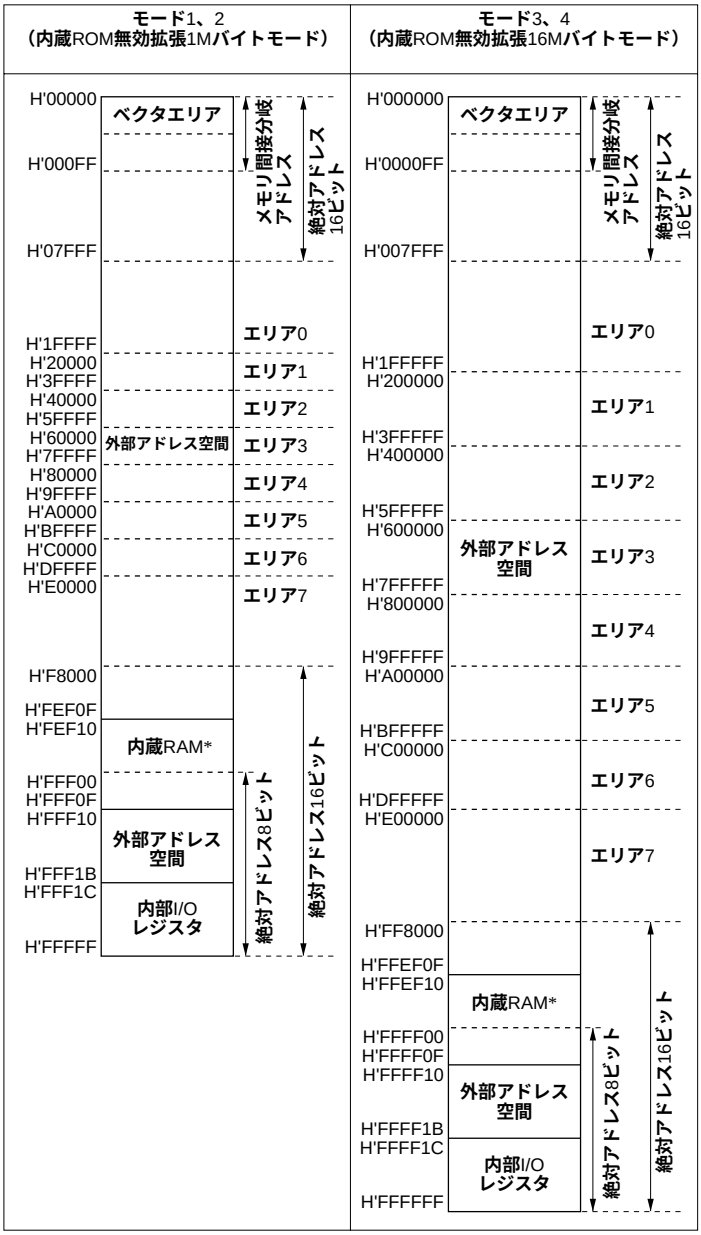
*2 **初期状態を示しています。各々対応するデータディレクションレジスタ（**P1DDR**、**P2DDR**、**P5DDR**）を** 1 **に設定することにより、アドレスバスとなります。**

*3 **初期状態を示しています。**A_{20} **は常にアドレス出力です。**PA_7～PA_5 **は、**BRCR **のビット** 7～5 **に** 0 **をライトすることにより** A_{23}～A_{21} **出力になります。**

3.6 各動作モードのメモリマップ

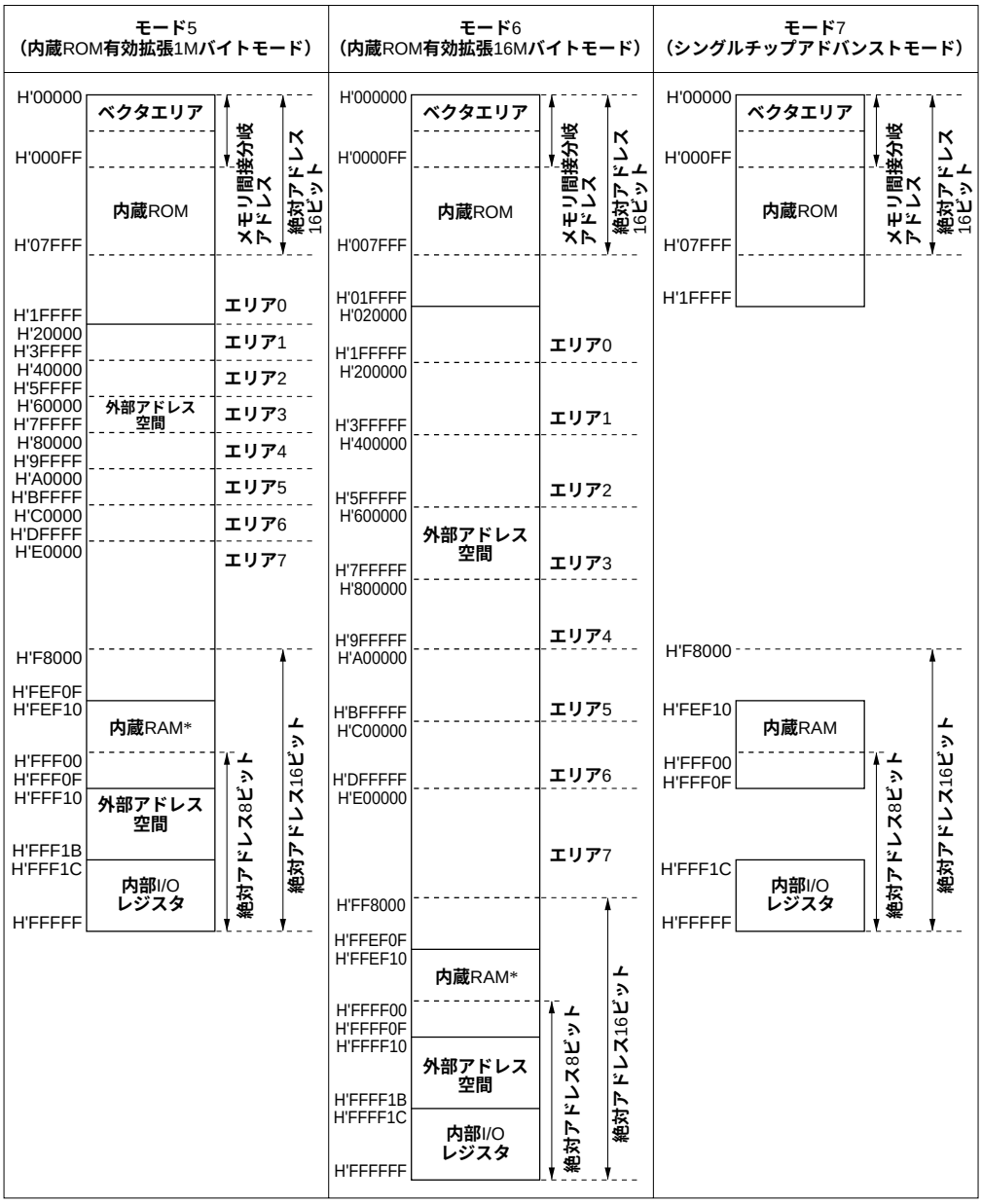
H8/3048 のメモリマップを**図** 3.1 に、H8/3047 のメモリマップを**図** 3.2 に、H8/3044 のメモリマップを**図** 3.3 に、H8/3045 のメモリマップを**図** 3.4 に示します。アドレス空間は 8 エリアに分割されています。モード 1 とモード 2、モード 3 とモード 4 ではそれぞれバスモードの初期状態が異なります。

また、モード 1、2、5、7（1M バイトモード）とモード 3、4、6（16M バイトモード）で、内蔵 RAM および内部 I/O レジスタの配置が異なります。また、CPU のアドレッシングモードのうち、絶対アドレス 8 ビット／16 ビット（@aa:8/@aa:16）で指定できる範囲が異なります。



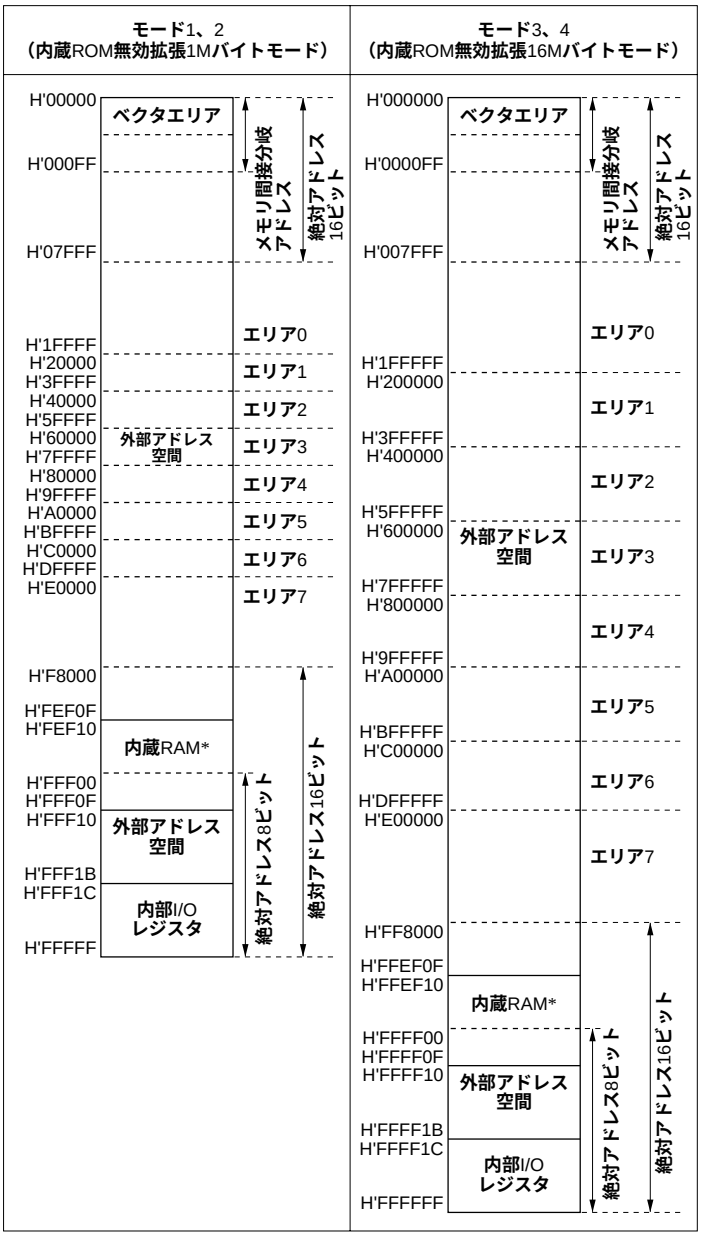
【注】＊　内蔵RAMをディスエーブルにすると外部アドレス空間になります。

図 3.1　H8/3048 **の各動作モードにおけるメモリマップ**（1）



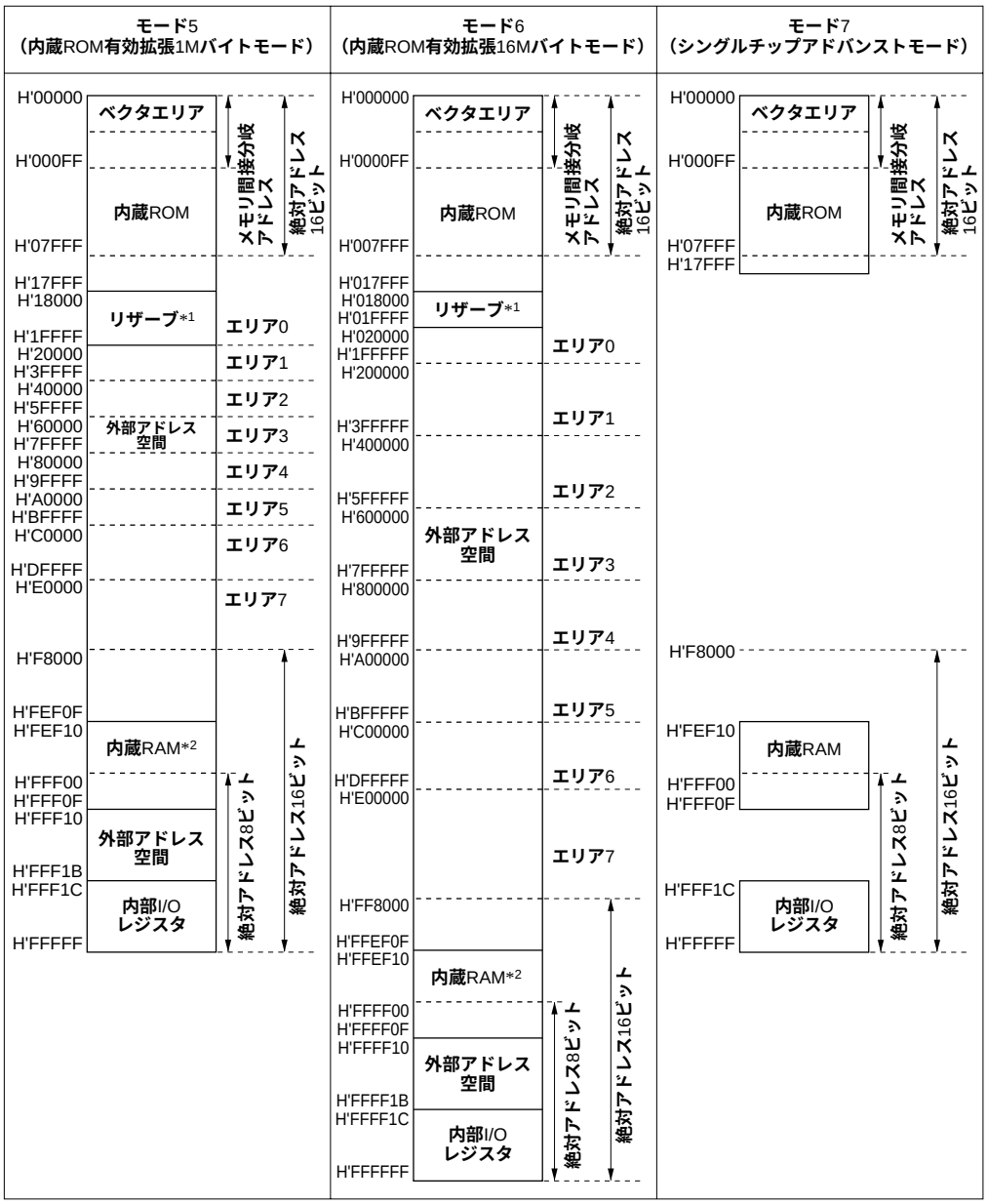
【注】＊　内蔵RAMをディスエーブルにすると外部アドレス空間になります。

図 3.1　H8/3048 **の各動作モードにおけるメモリマップ**（2）



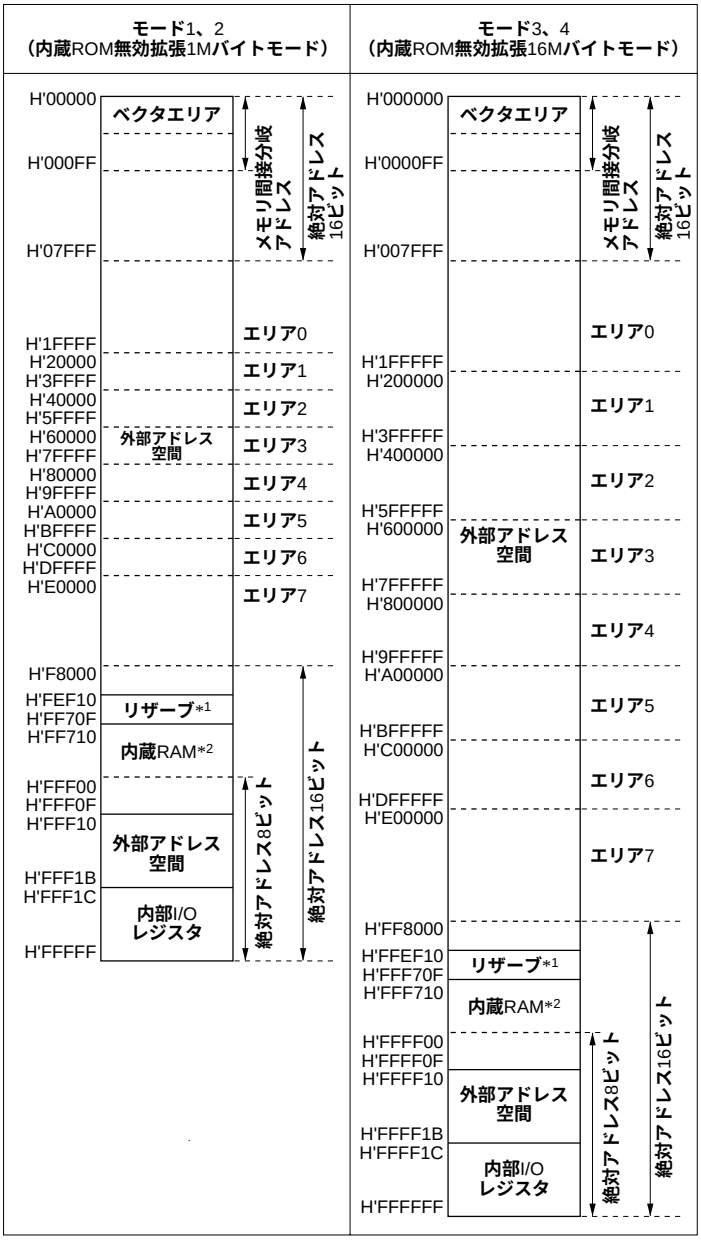
【注】＊　内蔵RAMをディスエーブルにすると外部アドレス空間になります。

図 3.2　H8/3047 **の各動作モードにおけるメモリマップ**（1）



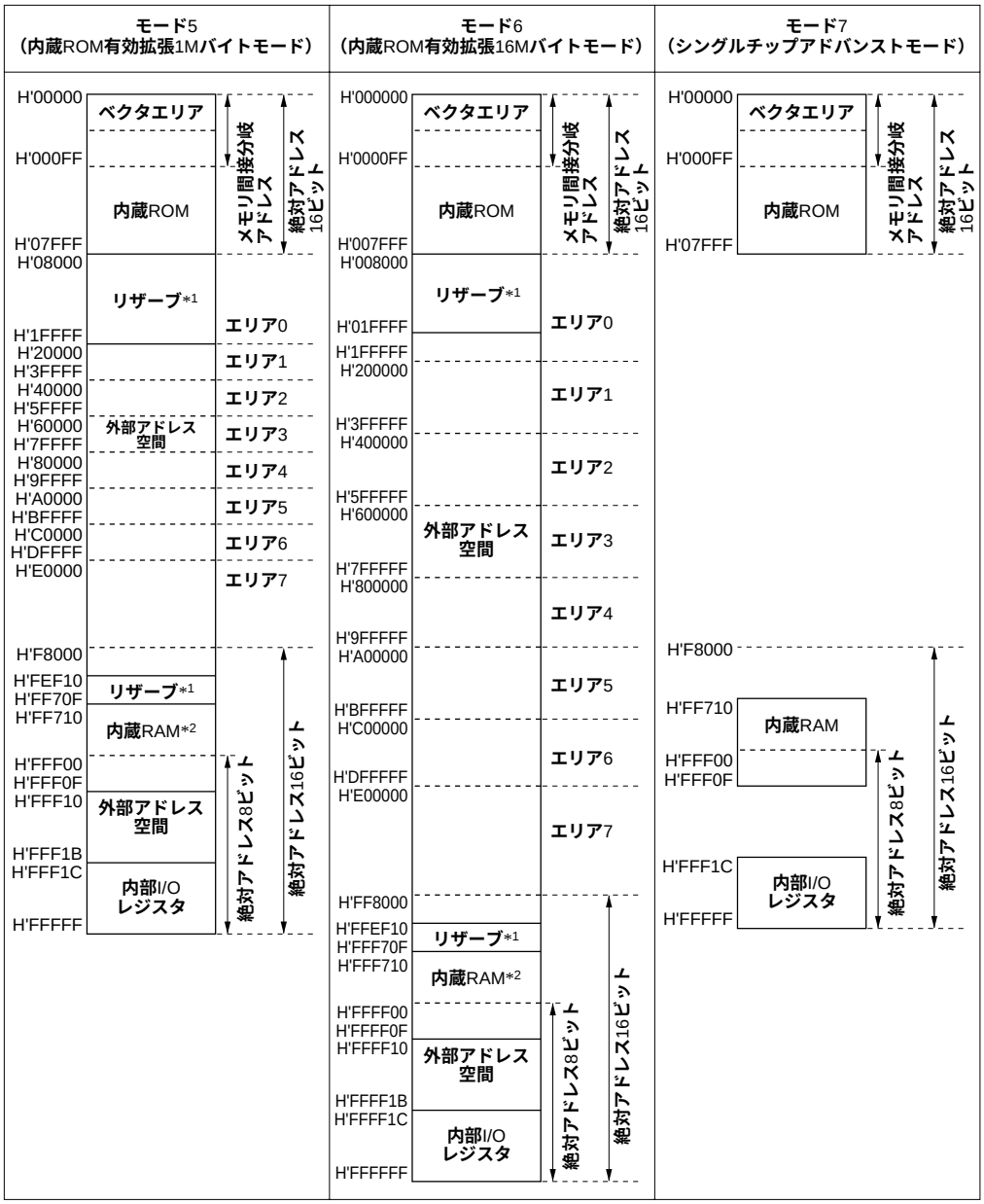
【注】*1 リザーブ領域はアクセスしないでください。
*2 内蔵RAMをディスエーブルにすると外部アドレス空間になります。

図 3.2 H8/3047 の各動作モードにおけるメモリマップ（2）



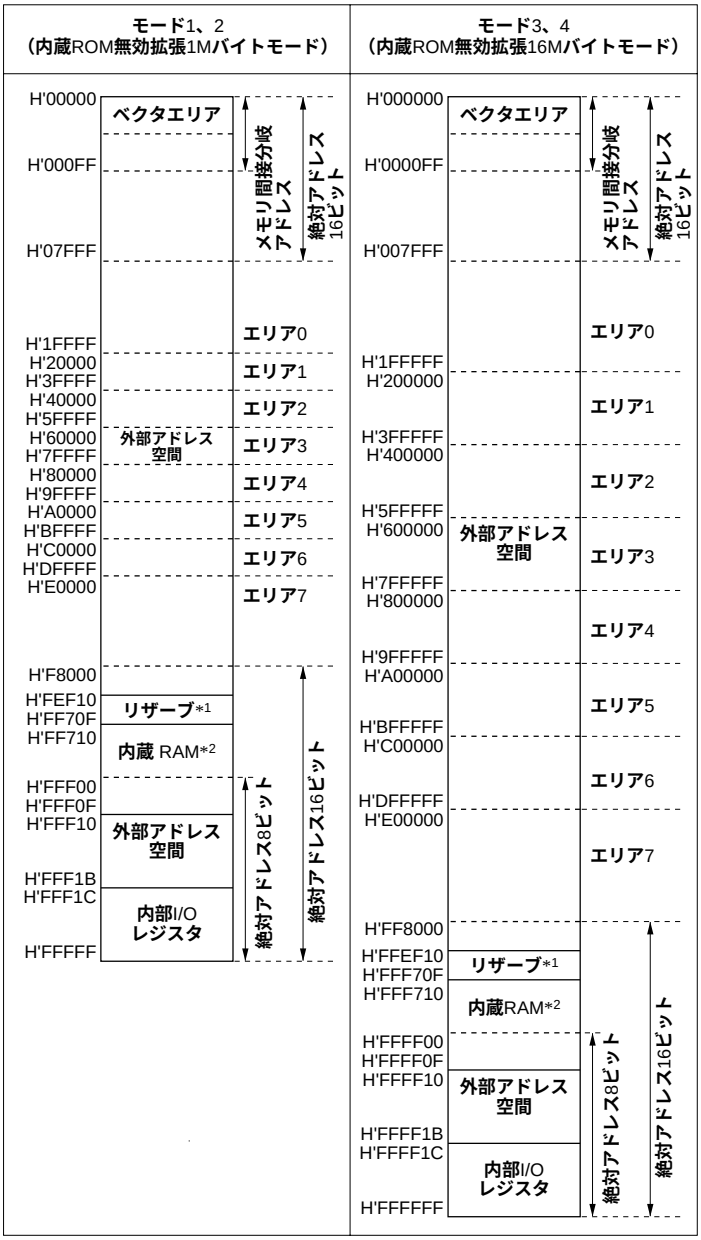
【注】*1 リザーブ領域はアクセスしないでください。
*2 内蔵RAMをディスエーブルにすると外部アドレス空間になります。

図 3.3　H8/3044 の各動作モードにおけるメモリマップ（1）



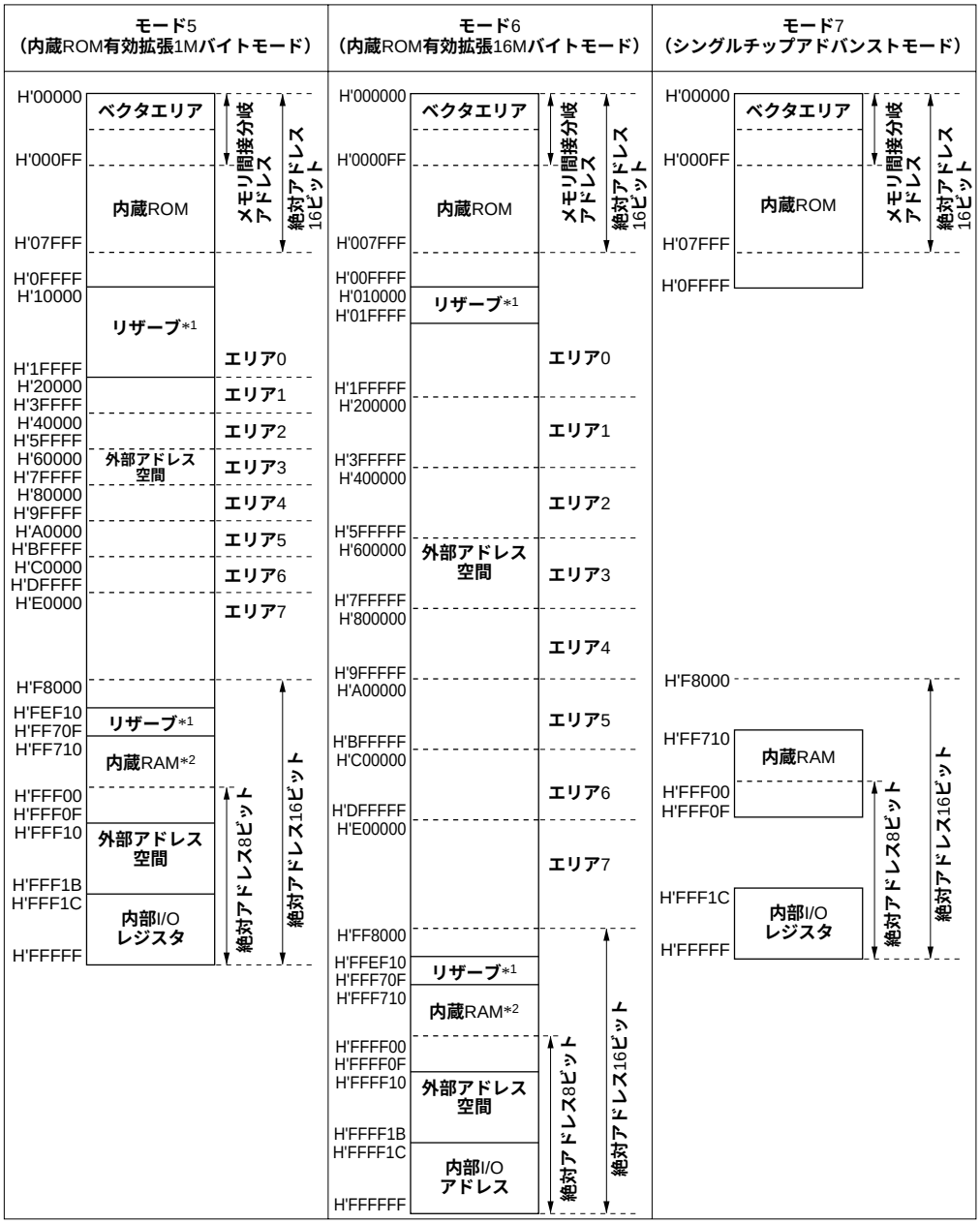
【注】*1 リザーブ領域はアクセスしないでください。
*2 内蔵RAMをディスエーブルにすると外部アドレス空間になります。

図 3.3 H8/3044 の各動作モードにおけるメモリマップ（2）



【注】*1 リザーブ領域はアクセスしないでください。
*2 内蔵RAMをディスエーブルにすると外部アドレス空間になります。

図 3.4 H8/3045 **の各動作モードにおけるメモリマップ**（1）



【注】 *1 リザーブ領域はアクセスしないでください。
*2 内蔵RAMをディスエーブルにすると外部アドレス空間になります。

図 3.4 H8/3045 **の各動作モードにおけるメモリマップ**（2）

4.　例外処理

4.1　概要

4.1.1　例外処理の種類と優先度

例外処理には、**表** 4.1 に示すように、リセット、トラップ命令、および割込みによるものがあります。これらの例外処理には**表** 4.1 に示すように優先度が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表 4.1　**例外処理の種類と優先度**

優先度	例外処理の種類	例外処理開始タイミング
高	リセット	RES 端子が Low レベルから High レベルに変化すると、ただちに開始します。
↑	割込み	割込み要求が発生すると、命令の実行終了時または例外処理終了時に開始します。
低	トラップ命令（TRAPA）	トラップ（TRAPA）命令の実行により開始します。

4.1.2　例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割込み例外処理は、次のように動作します。

（1）　プログラムカウンタ（PC）とコンディションコードレジスタ（CCR）をスタックに退避します。

（2）　CCRの割込みマスクビットを1にセットします。

（3）　起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

【注】　リセット例外処理の場合は上記（2）、（3）の動作を行います。

4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、**図** 4.1 に示すように分類されます。
これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。
これらの要因とベクタアドレスとの対応を**表** 4.2 に示します。

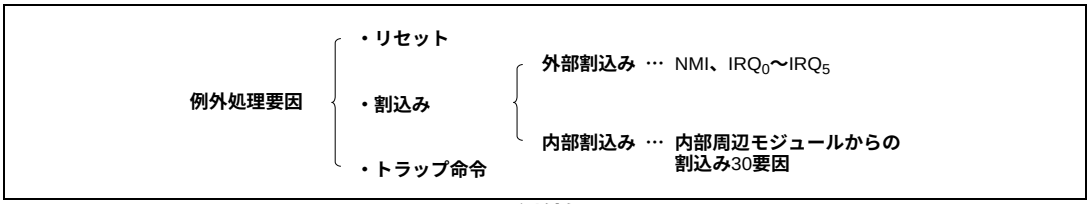


図 4.1 **例外処理要因**

表 4.2 **例外処理ベクタテーブル**

例外処理要因		ベクタ番号	ベクタアドレス*1
リセット		0	H'0000〜H'0003
システム予約		1	H'0004〜H'0007
		2	H'0008〜H'000B
		3	H'000C〜H'000F
		4	H'0010〜H'0013
		5	H'0014〜H'0017
		6	H'0018〜H'001B
外部割込み NMI		7	H'001C〜H'001F
トラップ命令 **（**4 **要因）**		8	H'0020〜H'0023
		9	H'0024〜H'0027
		10	H'0028〜H'002B
		11	H'002C〜H'002F
外部割込み	IRQ_0	12	H'0030〜H'0033
	IRQ_1	13	H'0034〜H'0037
	IRQ_2	14	H'0038〜H'003B
	IRQ_3	15	H'003C〜H'003F
	IRQ_4	16	H'0040〜H'0043
	IRQ_5	17	H'0044〜H'0047
システム予約		18	H'0048〜H'004B
		19	H'004C〜H'004F
内部割込み*2		20〜60	H'0050〜H'0053 〜 H'00F0〜H'00F3

【注】 *1 **アドレスの下位** 16 **ビットを示しています。**
*2 **内部割込みのベクタテーブルは、「**5.3.3 **割込み例外処理ベクタテーブル」を参照してください。**

4.2 リセット

4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

RES 端子が Low レベルになると、実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタがイニシャライズされます。

RES 端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は、**「第 12 章　ウォッチドッグタイマ」**を参照してください。

4.2.2 リセットシーケンス

RES 端子が Low レベルになると本 LSI はリセット状態になります。

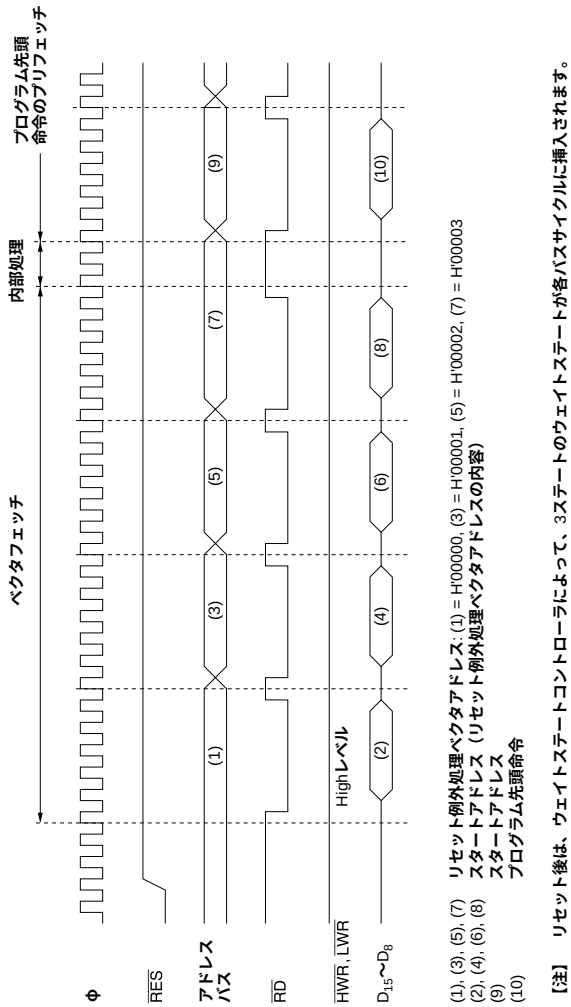
本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、RES 端子を Low レベルに保持してください。また、動作中は最低 10 システムクロック（φ）サイクルの間 Low レベルにしてください。単一電源方式フラッシュメモリ内蔵製品（H8/3048F-ONE）の場合には、最低 20 システムクロック以上 Low レベルにしてください。リセット状態の各端子の状態は**「付録 D.2　リセット時の端子状態」**を参照してください。

RES 端子が一定期間 Low レベルの後、High レベルになるとリセット例外処理が開始され、本 LSI は次のように動作します。

（1） CPUの内部状態と内蔵周辺モジュールの各レジスタがイニシャライズされ、CCRのIビットが1にセットされます。

（2） リセット例外処理ベクタアドレス（H'0000～H'0003）をリードして、そのベクタアドレスの内容が示すアドレスからプログラムの実行を開始します。

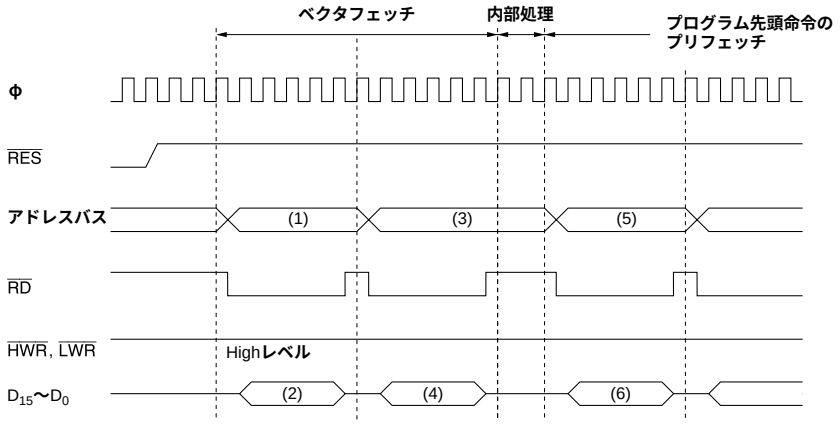
モード 1、3 のリセットシーケンスを**図** 4.2 に、モード 2、4 のリセットシーケンスを**図** 4.3 に、モード 5、6、7 のリセットシーケンスを**図** 4.4 に示します。



(1), (3), (5), (7)　リセット例外処理ベクタアドレス, (1) = H'00000, (3) = H'00001, (5) = H'00002, (7) = H'00003
(2), (4), (6), (8)　スタートアドレス（リセット例外処理ベクタアドレスの内容）
(9)　スタートアドレス
(10)　プログラム先頭命令

【注】　リセット後は、ウェイトステートコントローラによって、3ステートのウェイトステートが各バスサイクルに挿入されます。

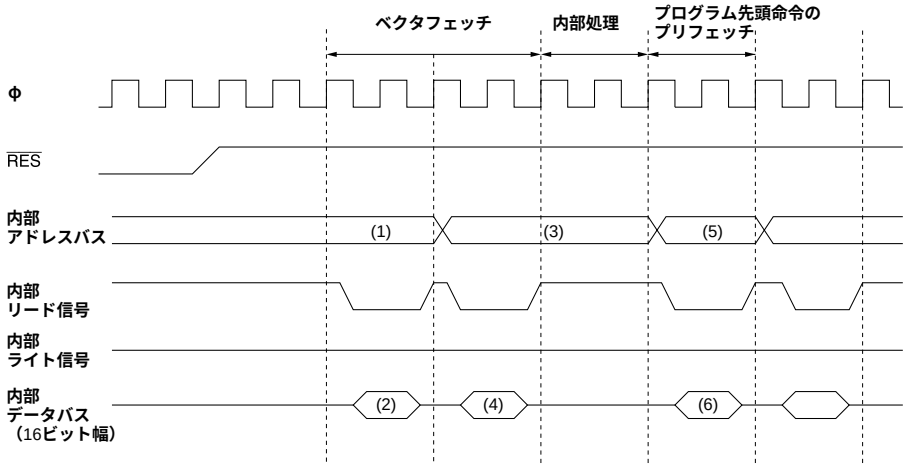
図 4.2　**リセットシーケンス（モード** 1、3）



(1), (3) **リセット例外処理ベクタアドレス**: (1) = H'000000, (3) = H'000002
(2), (4) **スタートアドレス（リセット例外処理ベクタアドレスの内容）**
(5) **スタートアドレス**
(6) **プログラム先頭命令**

【注】 **リセット後は、ウェイトステートコントローラによって、3ステートのウェイトステートが、各バスサイクルに挿入されます。**

図 4.3 **リセットシーケンス（モード** 2、4）



(1), (3) **リセット例外処理ベクタアドレス：**(1) = H'000000, (2) = H'000002
(2), (4) **スタートアドレス（リセット例外処理ベクタアドレスの内容）**
(5) **スタートアドレス**
(6) **プログラムの先頭命令**

図 4.4 **リセットシーケンス（モード 5、**6、7）

4.2.3 リセット直後の割込み

リセット直後、スタックポインタ（SP）をイニシャライズする前に割込みを受け付けると、PC と CCR の退避が正常に行われないため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP をイニシャライズする命令としてください（例：MOV．L　＃xx：32，SP）。

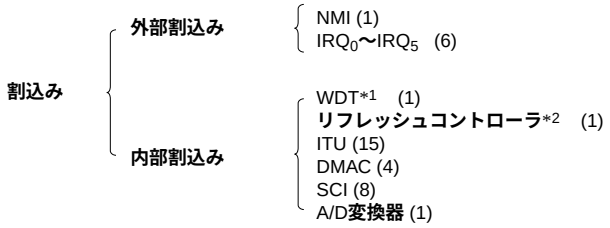
4.3 割込み

割込み例外処理を開始させる要因には、7 つの外部割込み（NMI、IRQ_0～IRQ_5）と、内蔵周辺モジュールからの要求による 30 の内部要因があります。割込み要因と要因数を**図** 4.5 に示します。

割込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ（WDT）、リフレッシュコントローラ、16 ビットインテグレーテッドタイマユニット（ITU）、DMA コントローラ（DMAC）、シリアルコミュニケーションインタフェース（SCI）、および A/D 変換器があります。割込みベクタアドレスは、各要因別に割り当てられています。

NMI は最優先の割込みで、常に受け付けられます*。割込みは、割込みコントローラによって制御されます。割込みコントローラは、NMI 以外の割込みを 2 レベルの優先順位を設定して、多重割込みの制御を行うことができます。割込みの優先順位は、割込みコントローラのインタラプトプライオリティレジスタ A、B（IPRA、B）に設定します。

割込みについての詳細は**「第 5 章　割込みコントローラ」**を参照してください。



【注】（　）内は要因数を示します。
*1 **WDTをインターバルタイマとして使用したときは、カウンタがオーバフローすると割込み要求を発生します。**
*2 **リフレッシュコントローラをインターバルタイマとして使用したとき、コンペアマッチにより割込み要求を発生します。**

図 4.5　**割込み要因と要因数**

【注】*　H8/3048F-ONE（単一電源方式フラッシュメモリ内蔵製品）には、NMI 入力が禁止される場合があります。詳細は、「20.8.4　NMI 入力の禁止条件」を参照してください。

4.4 トラップ命令

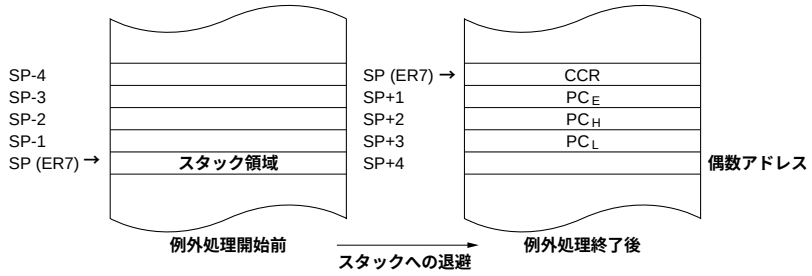
トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。

例外処理によって、SYSCR の UE ビットが 1 のときは CCR の I ビットが 1 にセットされ、UE ビットが 0 のときには CCR の I ビット、UI ビットがそれぞれ 1 にセットされます。

TRAPA 命令は、命令コード中で指定した 0～3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

4.5 例外処理後のスタックの状態

トラップ命令例外処理および割込み例外処理後のスタック状態を**図** 4.6 に示します。



【記号説明】
PCE: **プログラムカウンタ（PC）のビット**23**〜ビット**16
PCH: **プログラムカウンタ（PC）のビット**15**〜ビット**8
PCL: **プログラムカウンタ（PC）のビット**7**〜ビット**0
CCR: **コンディションコードレジスタ**
SP: **スタックポインタ**

【注】 1. PC**はリターン後に実行する最初の命令のアドレスです。**
2. **レジスタの退避／復帰は必ずワードサイズまたはロングワードサイズで、偶数アドレスから行ってください。**

図 4.6 **例外処理終了後のスタック状態**

4.6 スタック使用上の注意

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ（SP：ER7）の内容は奇数にしないでください。

すなわち、レジスタの退避は、

PUSH.W Rn （MOV.W Rn, @－SP）

PUSH.L ERn （MOV.L ERn, @－SP）

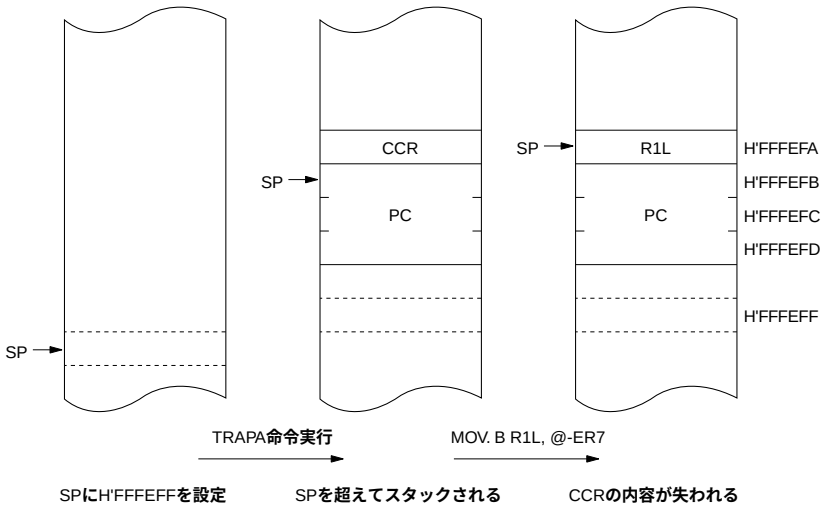
また、レジスタの復帰は、

POP.W Rn （MOV.W @SP＋, Rn）

POP.L ERn （MOV.L @SP＋, ERn）

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を**図** 4.7 に示します。



【記号説明】
CCR: コンディションコードレジスタ
PC: プログラムカウンタ
R1L: 汎用レジスタR1L
SP: スタックポインタ

【注】 モード3、4の場合です。

図 4.7 SP を奇数に設定したときの動作

5.　割込みコントローラ

5.1　概要

5.1.1　特長

割込みコントローラには、次の特長があります。

- IPR により、優先順位を設定可能
  割込み優先順位を設定するインタラプトプライオリティレジスタA、B（IPRA、B）を備えており、NMI以外の割込みを要因ごとまたはモジュールごとに2レベルの優先順位を設定できます。
- CPU のコンディションコードレジスタ（CCR）の I、UI ビットにより、3 レベルの許可／禁止状態を設定可能。
- 独立したベクタアドレス
  すべての割込み要因には独立のベクタアドレスが割り当てられており、割込み処理ルーチンで要因を判別する必要がありません。
- 7 本の外部割込み端子
  NMIは最優先の割込みで常に受け付けられます*。NMIは立上がりエッジ／立下がりエッジを選択できます。またIRQ_0～IRQ_5は立下がりエッジ／レベルセンスを独立に選択できます。

【注】＊　H8/3048F-ONE（単一電源方式フラッシュメモリ内蔵製品）の場合には、NMI 入力が禁止される場合があります。詳細は、「20.8.4　NMI 入力の禁止条件」を参照してください。

5.1.2 ブロック図

割込みコントローラのブロック図を**図** 5.1 に示します。

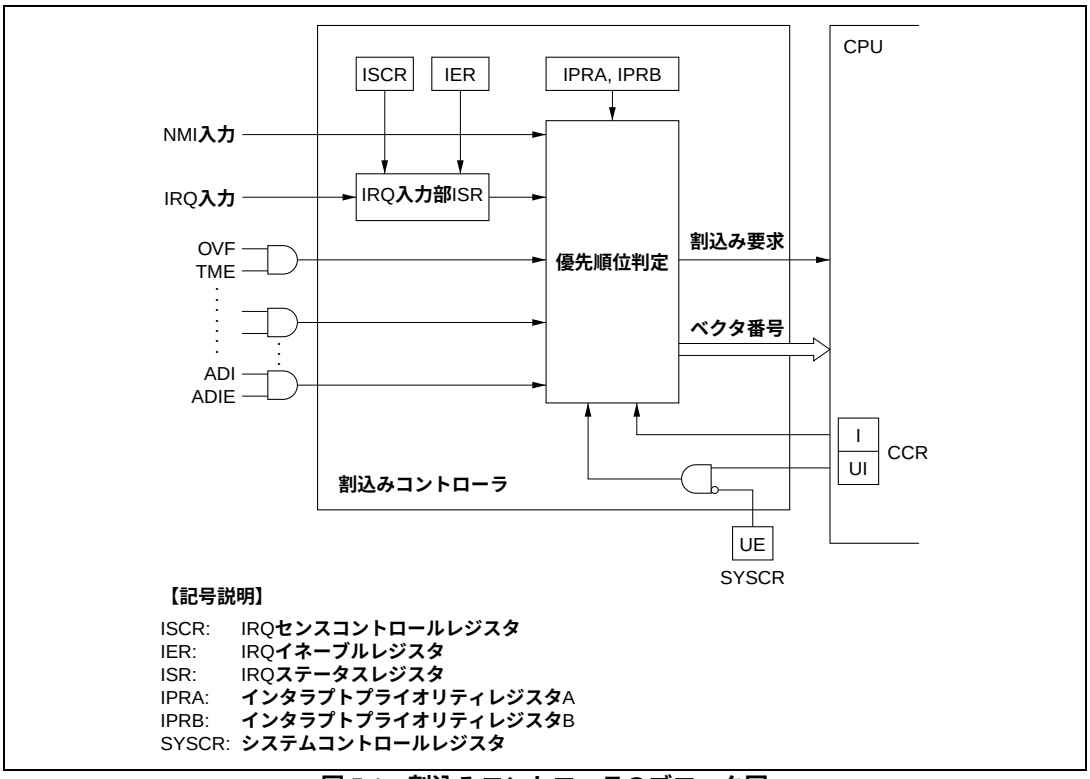


図 5.1 **割込みコントローラのブロック図**

5.1.3 端子構成

割込みコントローラの端子構成を**表** 5.1 に示します。

表 5.1 **端子構成**

名　称	略　称	入出力	機　能
ノンマスカブル割込み	NMI	入力	マスク不可能な外部割込み*、立上がりエッジ／立下がりエッジ選択可能
外部割込み要求 5〜0	IRQ_5〜IRQ_0	入力	マスク可能な外部割込み、立下がりエッジ／レベルセンス選択可能

【注】 * H8/3048F-ONE（単一電源方式フラッシュメモリ内蔵製品）の場合には、NMI 入力が禁止される場合があります。詳細は、「20.8.4 NMI 入力の禁止条件」を参照してください。

5.1.4 レジスタ構成

割込みコントローラのレジスタ構成を**表** 5.2 に示します。

表 5.2 **レジスタ構成**

アドレス*1	名　称	略　称	R/W	初期値
H'FFF2	**システムコントロールレジスタ**	SYSCR	R/W	H'0B
H'FFF4	IRQ **センスコントロールレジスタ**	ISCR	R/W	H'00
H'FFF5	IRQ **イネーブルレジスタ**	IER	R/W	H'00
H'FFF6	IRQ **ステータスレジスタ**	ISR	R/(W)*2	H'00
H'FFF8	**インタラプトプライオリティレジスタ** A	IPRA	R/W	H'00
H'FFF9	**インタラプトプライオリティレジスタ** B	IPRB	R/W	H'00

【注】 *1 **アドレスの下位** 16 **ビットを示しています。**

*2 **フラグをクリアするための** 0 **ライトのみ可能です。**

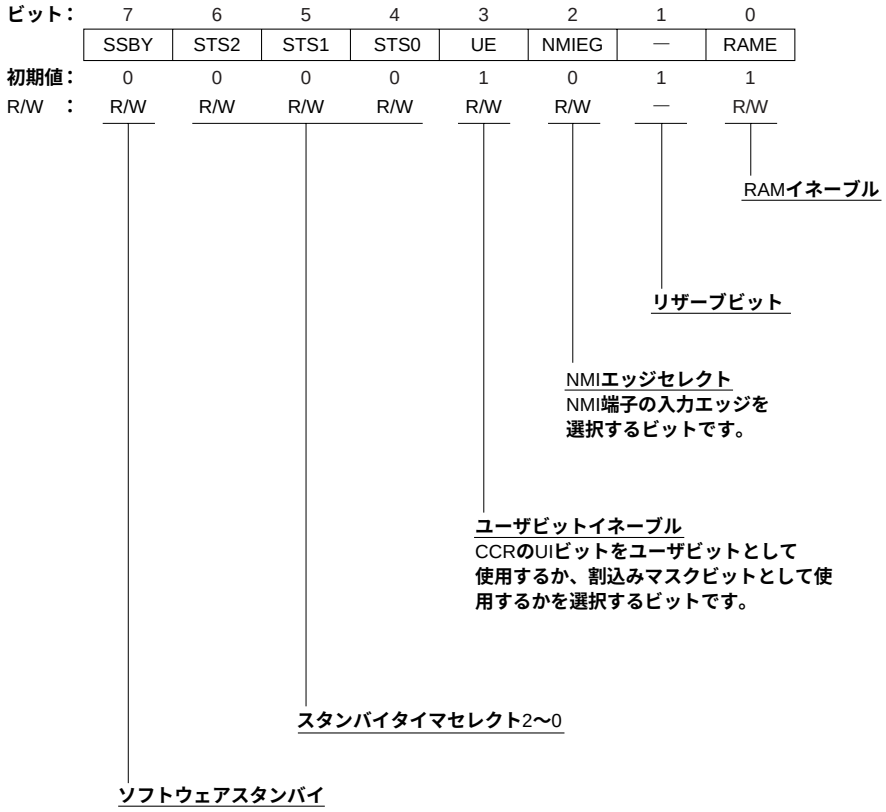
5.2 各レジスタの説明

5.2.1 システムコントロールレジスタ（SYSCR）

SYSCR は 8 ビットのリード／ライト可能なレジスタで、ソフトウェアスタンバイモードの制御、CCR の UI ビットの動作の選択、NMI の検出エッジの選択、および内蔵 RAM の有効／無効の選択を行います。

ここでは、ビット 3、2 についてのみ説明します。なお、その他のビットの詳細については**「3.3 システムコントロールレジスタ（SYSCR）」**を参照してください。

SYSCR はリセット、またはハードウェアスタンバイモード時に H'0B にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。



ビット 3：ユーザビットイネーブル（UE）

CCR の UI ビットをユーザビットとして使用するか、割込みマスクビットとして使用するかを選択します。

ビット 3 UE	説　明
0	CCR の UI ビットを割込みマスクビットとして使用
1	CCR の UI ビットをユーザビットとして使用　（初期値）

ビット 2：NMI **エッジセレクト**（NMIEG）

NMI 端子の入力エッジ選択を行います。

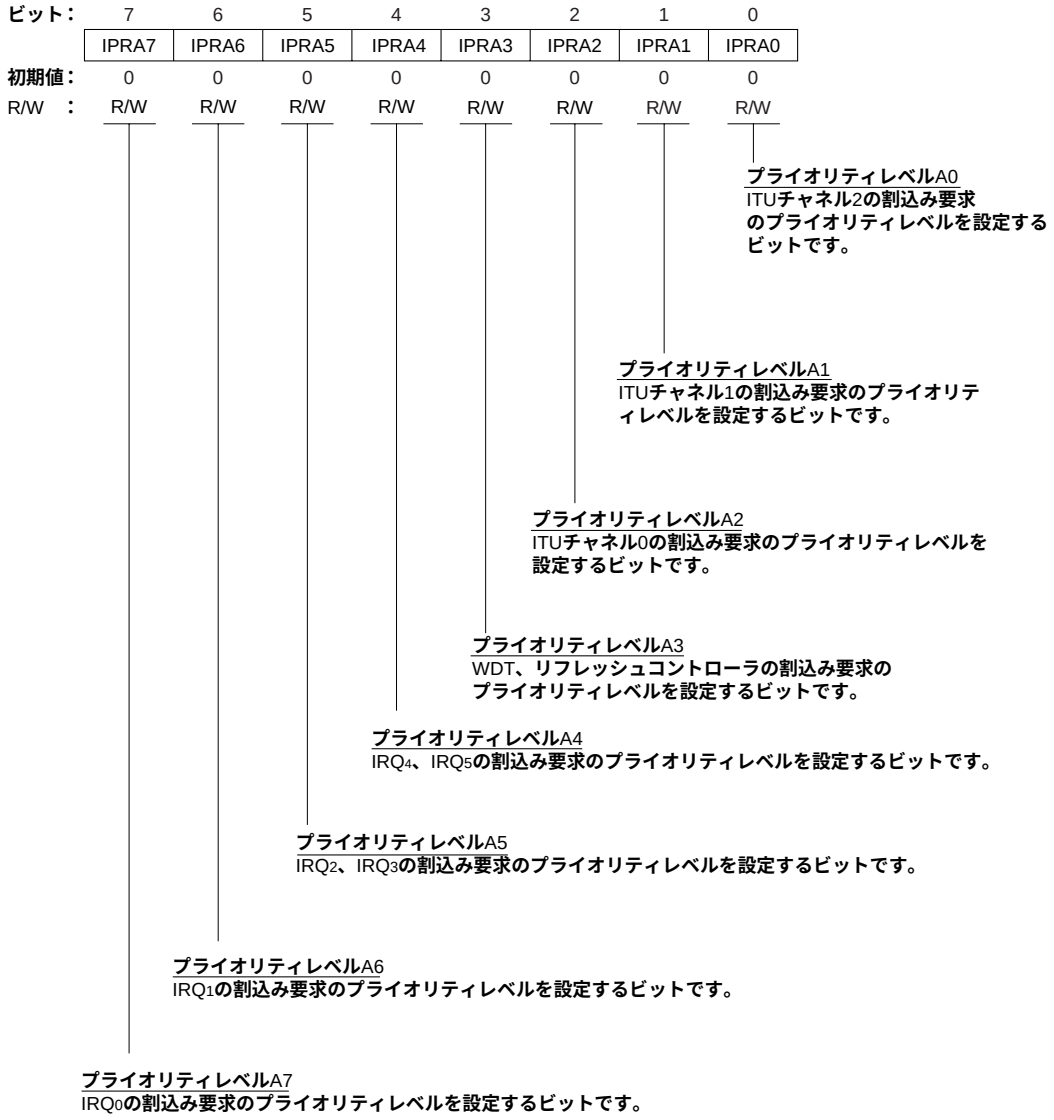
ビット 2	説　明
NMIEG	
0	NMI **入力の立下がりエッジで割込み要求を発生**　（初期値）
1	NMI **入力の立上がりエッジで割込み要求を発生**

5.2.2 インタラプトプライオリティレジスタ A、B（IPRA、IPRB）

IPRA、IPRB は各々 8 ビットのリード／ライト可能なレジスタで割込みの優先順位を制御します。

(1) インタラプトプライオリティレジスタ A（IPRA）

IPRA は 8 ビットのリード／ライト可能なレジスタで、プライオリティレベルを設定できます。



IPRA はリセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7：プライオリティレベル A7（IPRA7）

IRQ_0 の割込み要求のプライオリティレベルを設定します。

ビット 7 IPRA7	説　明
0	IRQ_0 の割込み要求はプライオリティレベル 0（非優先）　（初期値）
1	IRQ_0 の割込み要求はプライオリティレベル 1（優先）

ビット 6：プライオリティレベル A6（IPRA6）

IRQ_1 の割込み要求のプライオリティレベルを設定します。

ビット 6 IPRA6	説　明
0	IRQ_1 の割込み要求はプライオリティレベル 0（非優先）　（初期値）
1	IRQ_1 の割込み要求はプライオリティレベル 1（優先）

ビット 5：プライオリティレベル A5（IPRA5）

IRQ_2、IRQ_3 の割込み要求のプライオリティレベルを設定します。

ビット 5 IPRA5	説　明
0	IRQ_2、IRQ_3 の割込み要求はプライオリティレベル 0（非優先）　（初期値）
1	IRQ_2、IRQ_3 の割込み要求はプライオリティレベル 1（優先）

ビット 4：プライオリティレベル A4（IPRA4）

IRQ_4、IRQ_5 の割込み要求のプライオリティレベルを設定します。

ビット 4 IPRA4	説　明
0	IRQ_4、IRQ_5 の割込み要求はプライオリティレベル 0（非優先）　（初期値）
1	IRQ_4、IRQ_5 の割込み要求はプライオリティレベル 1（優先）

ビット 3：プライオリティレベル A3（IPRA3）

WDT、リフレッシュコントローラの割込み要求のプライオリティレベルを設定します。

ビット 3 IPRA3	説　明
0	WDT、リフレッシュコントローラの割込み要求はプライオリティレベル 0　（非優先） （初期値）
1	WDT、リフレッシュコントローラの割込み要求はプライオリティレベル 1　（優先）

ビット 2：プライオリティレベル A2（IPRA2）

ITU チャネル 0 割込み要求のプライオリティレベルを設定します。

ビット 2 IPRA2	説　明
0	ITU チャネル 0 の割込み要求はプライオリティレベル 0（非優先）　（初期値）
1	ITU チャネル 0 の割込み要求はプライオリティレベル 1（優先）

ビット 1：プライオリティレベル A1（IPRA1）

ITU チャネル 1 の割込み要求のプライオリティレベルを設定します。

ビット 1 IPRA1	説　明
0	ITU チャネル 1 の割込み要求はプライオリティレベル 0（非優先）　（初期値）
1	ITU チャネル 1 の割込み要求はプライオリティレベル 1（優先）

ビット 0：プライオリティレベル A0（IPRA0）

ITU チャネル 2 の割込み要求のプライオリティレベルを設定します。

ビット 0 IPRA0	説　明
0	ITU チャネル 2 の割込み要求はプライオリティレベル 0（非優先）　（初期値）
1	ITU チャネル 2 の割込み要求はプライオリティレベル 1（優先）

(2) インタラプトプライオリティレジスタ B（IPRB）

IPRB は 8 ビットのリード／ライト可能なレジスタで、プライオリティレベルを設定できます。

ビット：	7	6	5	4	3	2	1	0
	IPRB7	IPRB6	IPRB5	—	IPRB3	IPRB2	IPRB1	—
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

プライオリティレベルB1
A/D**変換器の割込み要求の**
プライオリティレベルを設定
するビットです。

プライオリティレベルB2
SCI**チャネル**1**の割込み要求の**
プライオリティを設定するビットです。

プライオリティレベルB3
SCI**チャネル**0**の割込み要求の**
プライオリティレベルを設定するビットです。

リザーブビット

プライオリティレベルB5
DMAC（**チャネル**0、1）**の割込み要求のプライオリティ**
レベルを設定するビットです。

プライオリティレベルB6
ITU**チャネル**4**の割込み要求のプライオリティ**
レベルを設定するビットです。

プライオリティレベルB7
ITU**チャネル**3**の割込み要求のプライオリティレベルを設定するビットです。**

IPRB はリセット、ハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7：プライオリティレベル B7（IPRB7）

ITU チャネル 3 の割込み要求のプライオリティレベルを設定します。

ビット 7	説　明
IPRB7	
0	ITU チャネル 3 の割込み要求はプライオリティレベル 0（非優先）　（初期値）
1	ITU チャネル 3 の割込み要求はプライオリティレベル 1（優先）

ビット 6：プライオリティレベル B6（IPRB6）

ITU チャネル 4 の割込み要求のプライオリティレベルを設定します。

ビット 6	説　明
IPRB6	
0	ITU チャネル 4 の割込み要求はプライオリティレベル 0（非優先）　（初期値）
1	ITU チャネル 4 の割込み要求はプライオリティレベル 1（優先）

ビット 5：プライオリティレベル B5（IPRB5）

DMAC（チャネル 0、1）の割込み要求のプライオリティレベルを設定します。

ビット 5	説　明
IPRB5	
0	DMAC（チャネル 0、1）の割込み要求はプライオリティレベル 0（非優先）　（初期値）
1	DMAC（チャネル 0、1）の割込み要求はプライオリティレベル 1（優先）

ビット 4：リザーブビット

リザーブビットです。リード／ライト可能ですが、優先順位には関係ありません。

ビット 3：プライオリティレベル B3（IPRB3）

SCI チャネル 0 の割込み要求のプライオリティレベルを設定します。

ビット 3	説　明
IPRB3	
0	SCI チャネル 0 の割込み要求はプライオリティレベル 0（非優先）　（初期値）
1	SCI チャネル 0 の割込み要求はプライオリティレベル 1（優先）

ビット 2：プライオリティレベル B2（IPRB2）

SCI チャネル 1 の割込み要求のプライオリティレベルを設定します。

ビット 2	説　明
IPRB2	
0	SCI チャネル 1 の割込み要求はプライオリティレベル 0（非優先）　（初期値）
1	SCI チャネル 1 の割込み要求はプライオリティレベル 1（優先）

ビット 1：プライオリティレベル B1（IPRB1）

A/D 変換器の割込み要求のプライオリティレベルを設定します。

ビット 1 IPRB1	説　明
0	A/D **変換器の割込み要求はプライオリティレベル** 0**（非優先）　（初期値）**
1	A/D **変換器の割込み要求はプライオリティレベル** 1**（優先）**

ビット 0：リザーブビット

リザーブビットです。リード／ライト可能ですが、優先順位には関係ありません。

5.2.3 IRQ ステータスレジスタ（ISR）

ISR は 8 ビットのリード／ライト可能なレジスタで、IRQ_0～IRQ_5割込み要求のステータスの表示を行います。

ビット：	7	6	5	4	3	2	1	0
	—	—	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値：	0	0	0	0	0	0	0	0
R/W ：	—	—	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

リザーブビット

IRQ5～IRQ0**フラグ**
IRQ5～IRQ0**割込み要求の**
ステータスを表示するビットです。

【注】 ＊ **フラグをクリアするための**0**ライトのみ可能です。**

ISR はリセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7、6：リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 5〜0：IRQ_5〜IRQ_0 フラグ（IRQ5F〜IRQ0F）

IRQ_5〜IRQ_0割込み要求のステータスの表示を行います。

ビット 5〜0 IRQ5F〜IRQ0F	説　明
0	〔クリア条件〕（初期値） （1）IRQnF＝1 の状態で IRQnF フラグをリードした後、IRQnF フラグに 0 をライトしたとき （2）IRQnSC＝0、IRQ_n入力が High レベルの状態で割込み例外処理を実行したとき （3）IRQnSC＝1 の状態で IRQn 割込み例外処理を実行したとき
1	〔セット条件〕 （1）IRQnSC＝0 の状態で IRQ_n入力が Low レベルになったとき （2）IRQnSC＝1 の状態で IRQ_n入力に立下がりエッジが発生したとき

（n＝5〜0）

5.2.4 IRQ イネーブルレジスタ（IER）

IER は 8 ビットのリード／ライト可能なレジスタで、IRQ_0〜IRQ_5割込み要求の許可／禁止を制御します。

ビット：	7	6	5	4	3	2	1	0
	—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

IRQ5〜IRQ0イネーブル
IRQ5〜IRQ0割込みを許可／禁止するかを選択するビットです。

IER はリセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7、6：リザーブビット

リザーブビットです。リード／ライト可能ですが割込み要求の許可／禁止には関係ありません。

ビット 5〜0：IRQ_5〜IRQ_0 イネーブル（IRQ5E〜IRQ0E）

IRQ_5〜IRQ_0割込みを許可／禁止するかを選択します。

ビット 5〜0 IRQ5E〜IRQ0E	説　明
0	IRQ_5〜IRQ_0割込みを禁止（初期値）
1	IRQ_5〜IRQ_0割込みを許可

5.2.5 IRQ センスコントロールレジスタ（ISCR）

ISCR は 8 ビットのリード／ライト可能なレジスタで、IRQ_5～IRQ_0端子の入力のレベルセンスまたは立下がりエッジを選択します。

ビット：	7	6	5	4	3	2	1	0
	—	—	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

IRQ5～IRQ0センスコントロール
IRQ5～IRQ0割込みのレベルセンスまたは
立下がりエッジを選択するビットです。

ISCR はリセットまたは、ハードウェアスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7、6：リザーブビット

リザーブビットです。リード／ライト可能ですが、レベルセンスまたは立下がりエッジの選択には関係ありません。

ビット 5～0：IRQ_5～IRQ_0 センスコントロール（IRQ5SC～IRQ0SC）

IRQ_5～IRQ_0割込みを IRQ_5～IRQ_0端子のレベルセンスで要求するか、立下がりエッジで要求するかを選択します。

ビット 5～0 IRQ5SC～IRQ0SC	説　明
0	IRQ_5～IRQ_0入力の Low レベルで割込み要求を発生　（初期値）
1	IRQ_5～IRQ_0入力の立下がりエッジで割込み要求を発生

5.3 割込み要因

割込み要因には、外部割込み（NMI、IRQ_0～IRQ_5）と内部割込み（30 要因）があります。

5.3.1 外部割込み

外部割込みには、NMI、IRQ_0～IRQ_5 の 7 要因があります。このうち、NMI、IRQ_0～IRQ_2 はソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割込み

NMI は最優先の割込みで、CCR の I ビット、UI ビットの状態にかかわらず常に受け付けられます*。NMI 端子の立上がりエッジまたは立下がりエッジのいずれかで割込みを要求するか、SYSCR の NMIEG ビットで選択できます。

NMI 割込み例外処理のベクタ番号は 7 です。

【注】 * H8/3048F-ONE**（単一電源方式フラッシュメモリ内蔵製品）の場合には、**NMI **入力が禁止される場合があります。詳細は、「**20.8.4 NMI **入力の禁止条件」を参照してください。**

(2) IRQ_0～IRQ_5 割込み

IRQ_0～IRQ_5 割込みは IRQ_0～IRQ_5 端子の入力信号により要求されます。IRQ_0～IRQ_5 割込みには次の特長があります。

（1） IRQ_0～IRQ_5 端子のLowレベルまたは立下がりエッジのどちらで割込みを要求するか、ISCR で選択できます。

（2） IRQ_0～IRQ_5 割込み要求を許可するか禁止するかを、IERで選択できます。また、IPRAのIPRA7～IPRA4ビットにより割込みプライオリティレベルを設定できます。

（3） IRQ_0～IRQ_5 割込み要求のステータスは、ISRに表示されます。ISRのフラグはソフトウェアで0にクリアすることができます。

IRQ_0～IRQ_5 割込みのブロック図を**図** 5.2 に示します。

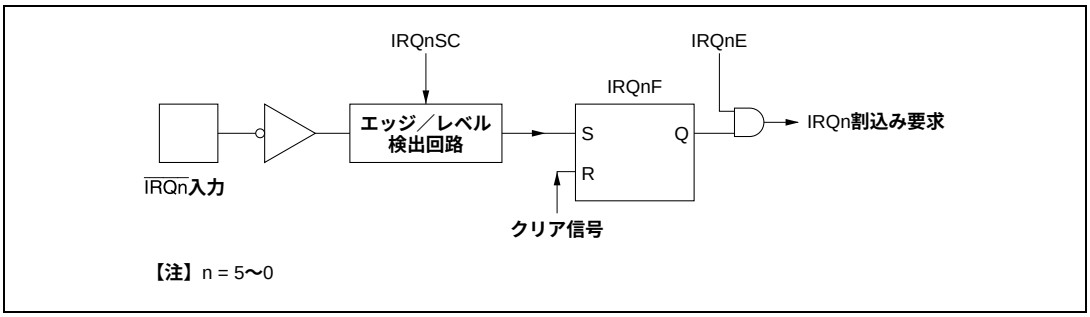


図 5.2 IRQ_0～IRQ_5 **割込みのブロック図**

IRQnF のセットタイミングを**図** 5.3 に示します。

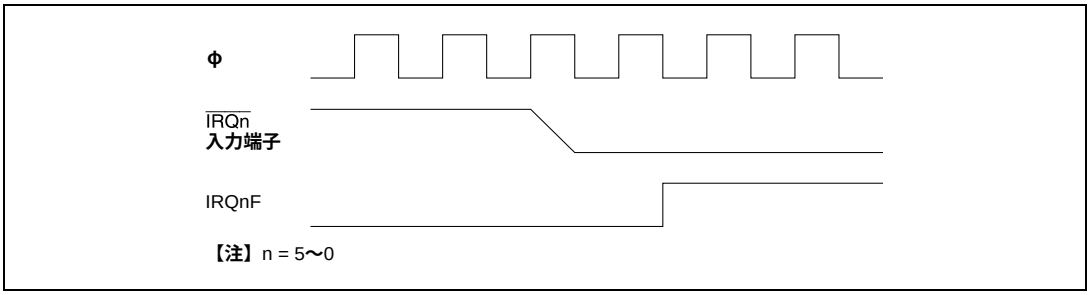


図 5.3　IRQnF **セットタイミング**

IRQ_0〜IRQ_5割込み例外処理のベクタ番号は 12〜17 です。

IRQ_0〜IRQ_5割込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割込み入力端子として使用する場合は、対応する DDR を 0 にクリアし、チップセレクト出力端子、リフレッシュ出力端子、SCI の入出力端子としては使用しないでください。

5.3.2　内部割込み

内蔵周辺モジュールからの割込みによる内部割込みは 30 要因あります。

（1）　各内蔵周辺モジュールには割込み要求のステータスを表示するフラグと、これらの割込みを許可するか禁止するかを選択するイネーブルビットがあります。

（2）　IPRA、Bによって割込みプライオリティレベルを設定できます。

（3）　ITU、SCIの割込み要求でDMACの起動ができます。この場合、割込みコントローラに対して割込みは要求されません。このときはI、UIビットの影響を受けません。

5.3.3　割込み例外処理ベクタテーブル

表 5.3 に割込み例外処理要因とベクタアドレスおよび割込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなりますが、IPRA、B により NMI 以外の割込みの優先順位を変更することができます。

リセット後の割込み優先順位は**表** 5.3 に示されるデフォルトの順位となります。

表 5.3　割込み要因とベクタアドレスおよび割込み優先順位一覧（1）

割込み要因	要因発生元	ベクタ番号	ベクタアドレス*	IPR	優先順位
NMI	外部端子	7	H'001C～H'001F	－	高
IRQ_0		12	H'0030～H'0033	IPRA7	↑
IRQ_1		13	H'0034～H'0037	IPRA6	
IRQ_2 IRQ_3		14 15	H'0038～H'003B H'003C～H'003F	IPRA5	
IRQ_4 IRQ_5		16 17	H'0040～H'0043 H'0044～H'0047	IPRA4	
リザーブ	－	18 19	H'0048～H'004B H'004C～H'004F		
WOVI（インターバルタイマ）	ウォッチドッグタイマ	20	H'0050～H'0053	IPRA3	
CMI（コンペアマッチ）	リフレッシュコントローラ	21	H'0054～H'0057		
リザーブ	－	22 23	H'0058～H'005B H'005C～H'005F		
IMIA0（コンペアマッチ／インプットキャプチャ A0） IMIB0（コンペアマッチ／インプットキャプチャ B0） OVI0（オーバフロー 0）	ITU チャネル 0	24 25 26	H'0060～H'0063 H'0064～H'0067 H'0068～H'006B	IPRA2	
リザーブ	－	27	H'006C～H'006F		
IMIA1（コンペアマッチ／インプットキャプチャ A1） IMIB1（コンペアマッチ／インプットキャプチャ B1） OVI1（オーバフロー 1）	ITU チャネル 1	28 29 30	H'0070～H'0073 H'0074～H'0077 H'0078～H'007B	IPRA1	
リザーブ	－	31	H'007C～H'007F		
IMIA2（コンペアマッチ／インプットキャプチャ A2） IMIB2（コンペアマッチ／インプットキャプチャ B2） OVI2（オーバフロー 2）	ITU チャネル 2	32 33 34	H'0080～H'0083 H'0084～H'0087 H'0088～H'008B	IPRA0	
リザーブ	－	35	H'008C～H'008F		
IMIA3（コンペアマッチ／インプットキャプチャ A3） IMIB3（コンペアマッチ／インプットキャプチャ B3） OVI3（オーバフロー 3）	ITU チャネル 3	36 37 38	H'0090～H'0093 H'0094～H'0097 H'0098～H'009B	IPRB7	
リザーブ	－	39	H'009C～H'009F		
IMIA4（コンペアマッチ／インプットキャプチャ A4） IMIB4（コンペアマッチ／インプットキャプチャ B4） OVI4（オーバフロー 4）	ITU チャネル 4	40 41 42	H'00A0～H'00A3 H'00A4～H'00A7 H'00A8～H'00AB	IPRB6	
リザーブ	－	43	H'00AC～H'00AF		
DEND0A DEND0B DEND1A DEND1B	DMAC	44 45 46 47	H'00B0～H'00B3 H'00B4～H'00B7 H'00B8～H'00BB H'00BC～H'00BF	IPRB5	
リザーブ	－	48 49 50 51	H'00C0～H'00C3 H'00C4～H'00C7 H'00C8～H'00CB H'00CC～H'00CF	－	

割込み要因	要因発生元	ベクタ番号	ベクタアドレス	IPR	優先順位
ERI0（受信エラー 0） RXI0（受信データフル 0） TXI0（送信データエンプティ 0） TEI0（送信終了 0）	SCI チャネル 0	52 53 54 55	H'00D0～H'00D3 H'00D4～H'00D7 H'00D8～H'00DB H'00DC～H'00DF	IPRB3	↑
ERI1（受信エラー 1） RXI1（受信データフル 1） TXI1（送信データエンプティ 1） TEI1（送信終了 1）	SCI チャネル 1	56 57 58 59	H'00E0～H'00E3 H'00E4～H'00E7 H'00E8～H'00EB H'00EC～H'00EF	IPRB2	
ADI（A/D エンド）	A/D	60	H'00F0～H'00F3	IPRB1	低

【注】 * アドレスの下位 16 ビットを示しています。

5.4 割込み動作

5.4.1 割込み動作の流れ

本 LSI では、割込みの動作は UE ビットの状態によって異なります。UE＝1 のときは I ビットで割込みの制御が行われます。UE＝0 のときは、I、UI ビットの組み合わせで割込みの制御が行われます。**表** 5.4 に UE、I、UI ビットの各組み合わせのときの割込みの状態を示します。

NMI 割込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます*。IRQ 割込みおよび内蔵周辺モジュールの割込みは、それぞれの割込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割込み要求は無視されます。

【注】 * H8/3048F-ONE（単一電源方式フラッシュメモリ内蔵製品）の場合には、NMI 入力が禁止される場合があります。詳細は、「20.8.4 NMI 入力の禁止条件」を参照してください。

表 5.4 UE、I、UI **ビットの組み合わせによる割込みの状態**

SYSCR	CCR		状 態
UE	I	UI	
1	0	ー	すべての割込みを受け付けます。プライオリティレベル 1 の割込み要因の優先順位が高くなります。
	1	ー	NMI 以外の割込みを受け付けません。
0	0	ー	すべての割込みを受け付けます。プライオリティレベル 1 の割込み要因の優先順位が高くなります。
	1	0	NMI およびプライオリティレベル 1 の割込み要因のみを受け付けます。
		1	NMI 以外の割込みを受け付けません。

(1) UE ビット＝1 の場合

IRQ_0～IRQ_5割込みおよび内蔵周辺モジュールの割込みは CPU の CCR の I ビットにより一括して、許可／禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。プライオリティレベル 1 の割込み要因の優先順位は高くなります。

この場合の割込み受付けの動作フローチャートを**図** 5.4 に示します。

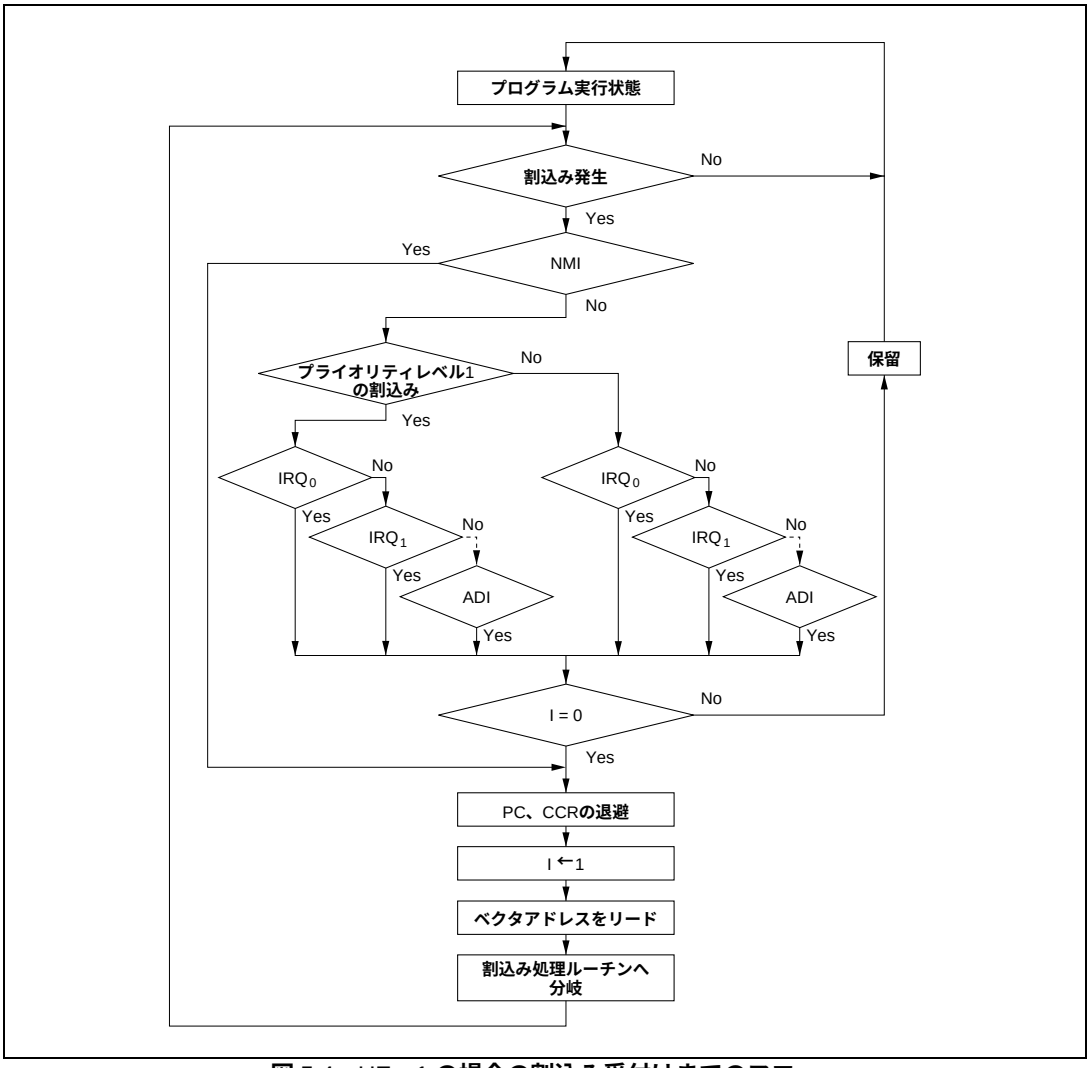


図 5.4　UE＝1 **の場合の割込み受付けまでのフロー**

［1］　対応する割込みイネーブルビットが1にセットされている状態で割込み要因が発生したとき、割込みコントローラに対して、割込み要求が送られます。

［2］　割込みコントローラに対して割込み要求が送られると、IPRに設定された割込み優先順位に従って優先順位が最も高い割込み要求が選択され、その他は保留となります。IPRの設定が同一の割込み要求が同時に発生したときは、**表**5.3に示す優先度に従って、優先順位の最も

高い割込み要求が選択されます。

［3］ Iビットを参照します。Iビットが0にクリアされているときは、割込み要求が受け付けられます。Iビットが1にセットされているときは、NMI割込みのみ受け付けられ、その他の割込み要求は保留されます。

［4］ 割込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割込み例外処理を起動します。

［5］ 割込み例外処理によって、PCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。

［6］ 次にCCRのIビットが1にセットされます。これにより、NMIを除く割込みはマスクされます。

［7］ 受け付けた割込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割込み処理ルーチンの実行が開始されます。

(2) UE ビット＝0 の場合

IRQ_0～IRQ_5割込みおよび内蔵周辺モジュールの割込みは CPU の CCR の I、UI ビット、IPR によって 3 レベルの許可／禁止状態を実現できます。

（a） プライオリティレベル0の割込み要求は、Iビットが0にクリアされているとき許可状態、1にセットされているとき禁止状態となります。

（b） プライオリティレベル1の割込み要求は、IビットまたはUIビットが0にクリアされているとき許可状態、IビットおよびUIビットがいずれも1にセットされているとき禁止状態となります。

例えば、各割込み要求の対応する割込みイネーブルビットを 1 にセット、IPRA、IPRB をそれぞれ H'20、H'00 に設定した場合（IRQ_2、IRQ_3割込み要求の優先順位を他の割込みより高くした場合）、次のようになります。

（a） I＝0のとき、すべての割込みを許可
（優先順位：NMI＞IRQ_2＞IRQ_3＞IRQ_0…）

（b） I＝1、UI＝0のとき、NMI、IRQ_2、IRQ_3割込みのみを許可

（c） I＝1、UI＝1のとき、NMI以外の割込みを禁止

また、このときの状態遷移を**図** 5.5 に示します。

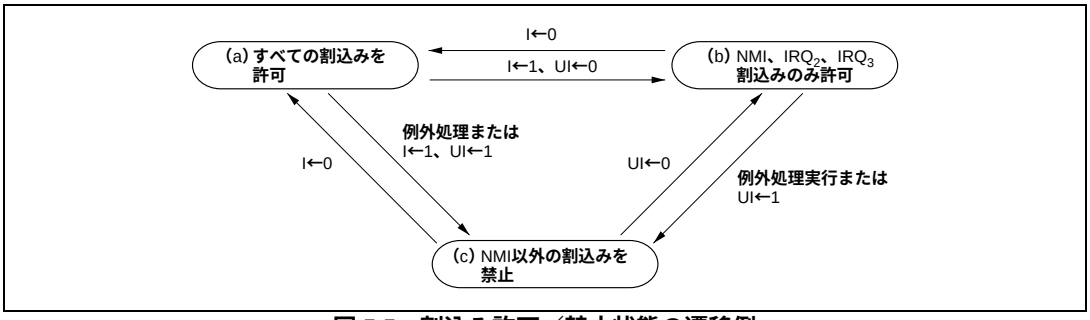


図 5.5 **割込み許可／禁止状態の遷移例**

UE ビット＝0 のときの割込み受付けの動作フローチャートを**図** 5.6 に示します。

［1］ 対応する割込みイネーブルビットが1にセットされている状態で割込み要因が発生したとき、割込みコントローラに対して割込み要求が送られます。
［2］ 割込みコントローラに対して割込み要求が送られると、IPRに設定された割込み優先順位に従って優先順位が最も高い割込み要求が選択され、その他は保留となります。このとき、IPRの設定が同一の割込み要求が同時に発生したときは、**表**5.3に示す優先度に従って、優先順位の最も高い割込み要求が選択されます。
［3］ Iビットを参照します。Iビットが0にクリアされているときは、IPRに関係なく割込み要求が受け付けられます。このときはUIビットの影響を受けません。Iビットが1にセットされ、UIビットが0にクリアされているときは、プライオリティレベル1の割込み要求のみが受け付けられ、プライオリティレベル0の割込み要求は保留となります。I、UIビットがいずれも1にセットされているときは、割込み要求は保留となります。
［4］ 割込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割込み例外処理を起動します。
［5］ 割込み例外処理によってPCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
［6］ CCRのI、UIビットが1にセットされます。これにより、NMIを除く割込みはマスクされます。
［7］ 受け付けた割込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割込み処理ルーチンの実行が開始されます。

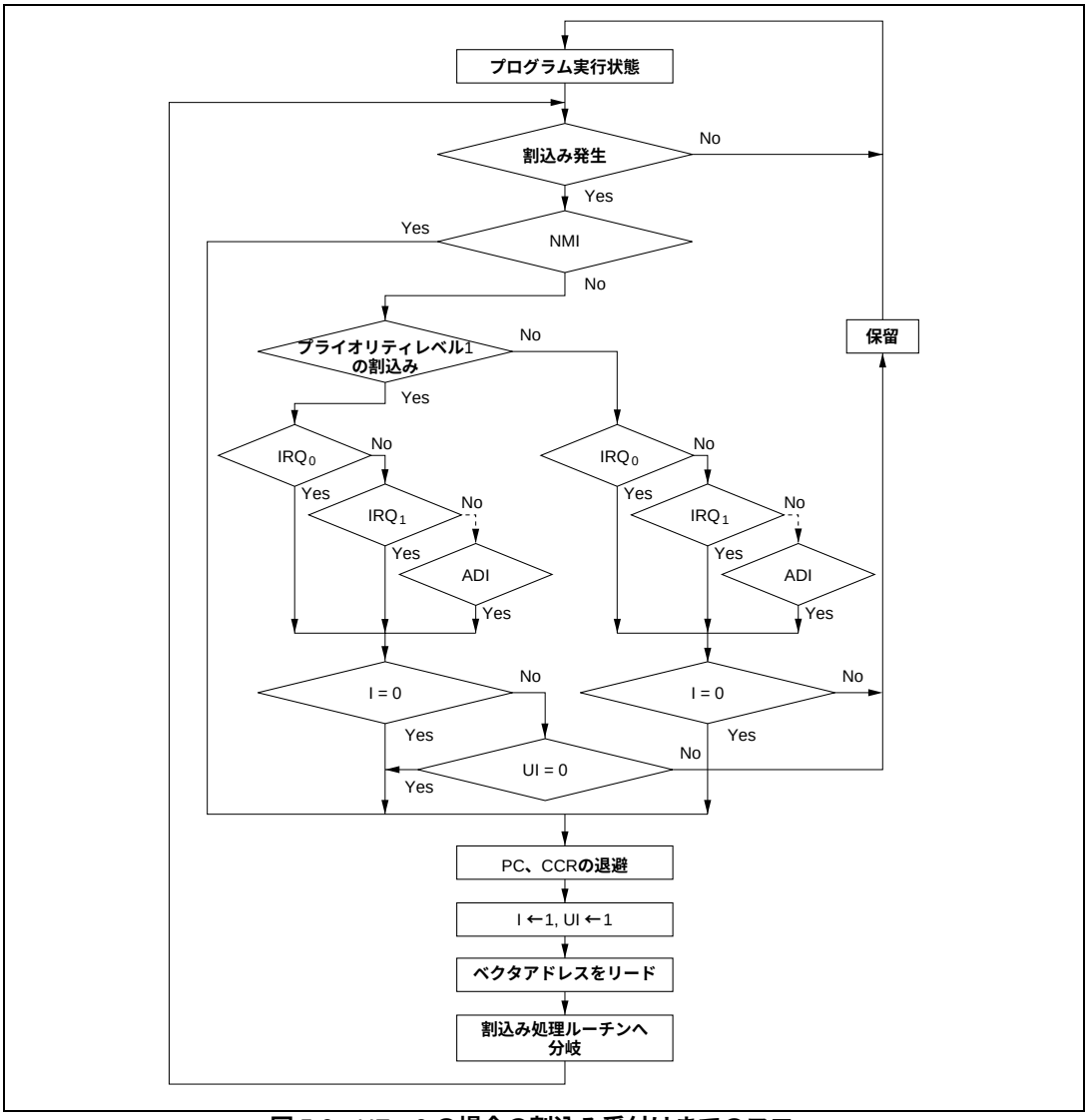


図 5.6　UE＝0 **の場合の割込み受付けまでのフロー**

5.4.2 割込み例外処理シーケンス

モード 2 で、プログラム領域とスタック領域を外部メモリ 16 ビット 2 ステートアクセス空間にとった場合の割込みシーケンスを**図** 5.7 に示します。

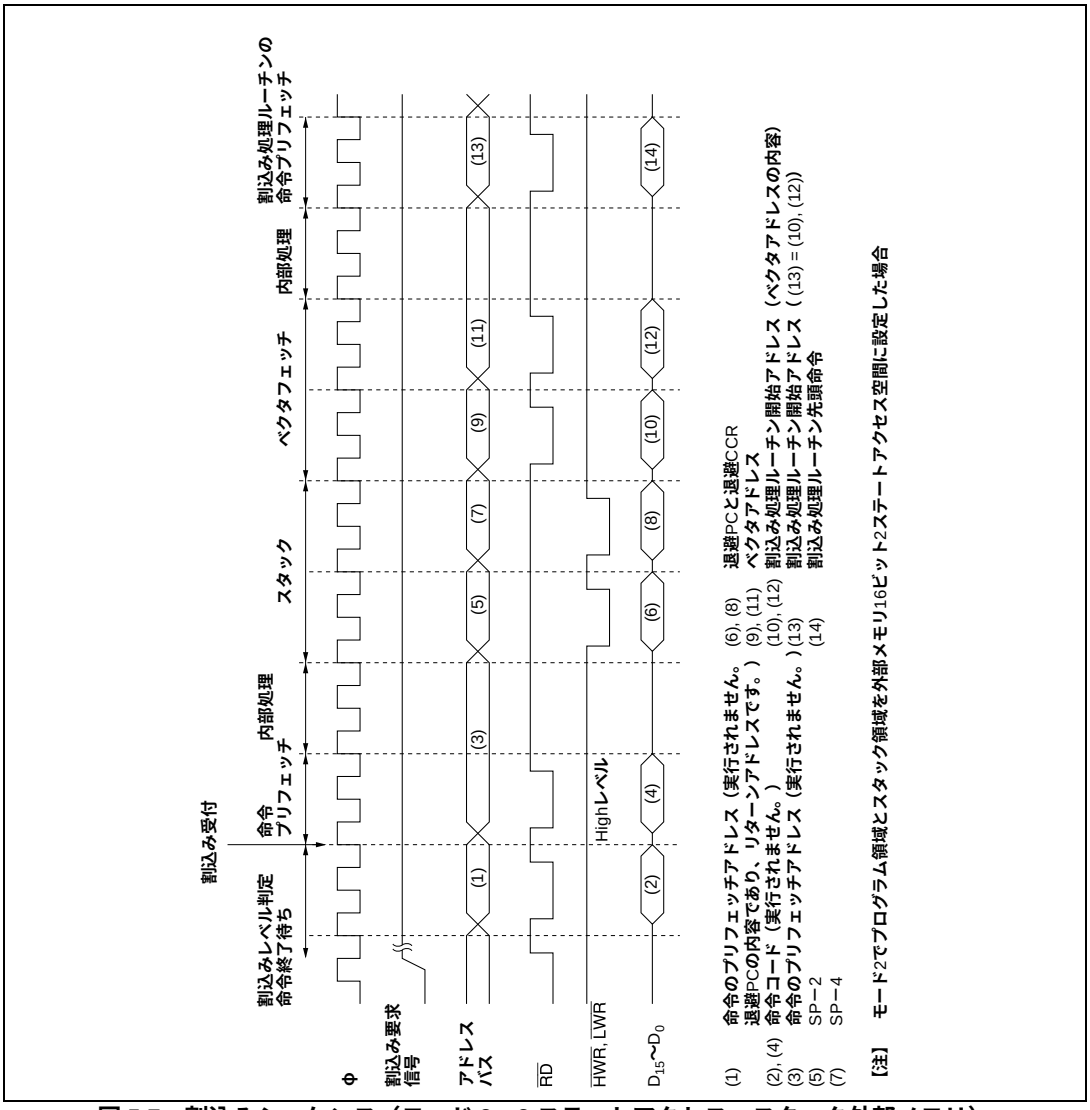


図 5.7 **割込みシーケンス（モード** 2、2 **ステートアクセス、スタック外部メモリ）**

5.4.3 割込み応答時間

割込み要求発生後、割込み処理ルーチンの先頭命令を実行するまでの、割込み応答時間を**表** 5.5 に示します。

表 5.5 **割込み応答時間**

No.	項　目	内蔵メモリ	外部メモリ			
			8 ビット 2 ステートアクセス空間	8 ビット 3 ステートアクセス空間	16 ビット 2 ステートアクセス空間	16 ビット 3 ステートアクセス空間
1	割込み優先順位判定	2*[1]				
2	実行中の命令が終了するまでの最大待ちステート数	1〜23	1〜27	1〜31*[4]	1〜23	1〜25*[4]
3	PC、CCR のスタック	4	8	12*[4]	4	6*[4]
4	ベクタフェッチ	4	8	12*[4]	4	6*[4]
5	命令フェッチ*[2]	4	8	12*[4]	4	6*[4]
6	内部処理*[3]	4	4	4	4	4
合　計		19〜41	31〜57	43〜73	19〜41	25〜49

単位：ステート

【注】 *1 内部割込みの場合 1 ステートとなります。
*2 割込み受付け後のプリフェッチおよび割込み処理ルーチンのプリフェッチ
*3 割込み受付け後の内部処理およびベクタフェッチ後の内部処理
*4 外部メモリアクセス時にウェイトが挿入される場合には、ステート数が増加します。

5.5 使用上の注意

5.5.1 割込みの発生とディスエーブルとの競合

割込みイネーブルビットを 0 にクリアして割込みを禁止する場合、割込みの禁止はその命令実行終了後有効になります。すなわち、BCLR 命令、MOV 命令などで割込みイネーブルビットを 0 にクリアする場合、命令実行中にその割込みが発生すると、命令実行終了時点では当該割込み許可状態にあるため命令実行終了後にその割込み例外処理を実行します。ただし、その割込みより優先順位の高い割込み要求がある場合には優先順位の高い割込み例外処理を実行し、その割込みは無視されます。割込み要因フラグを 0 にクリアする場合も同様です。

ITU の TIER の IMIEA ビットを 0 にクリアする場合の例を**図** 5.8 に示します。

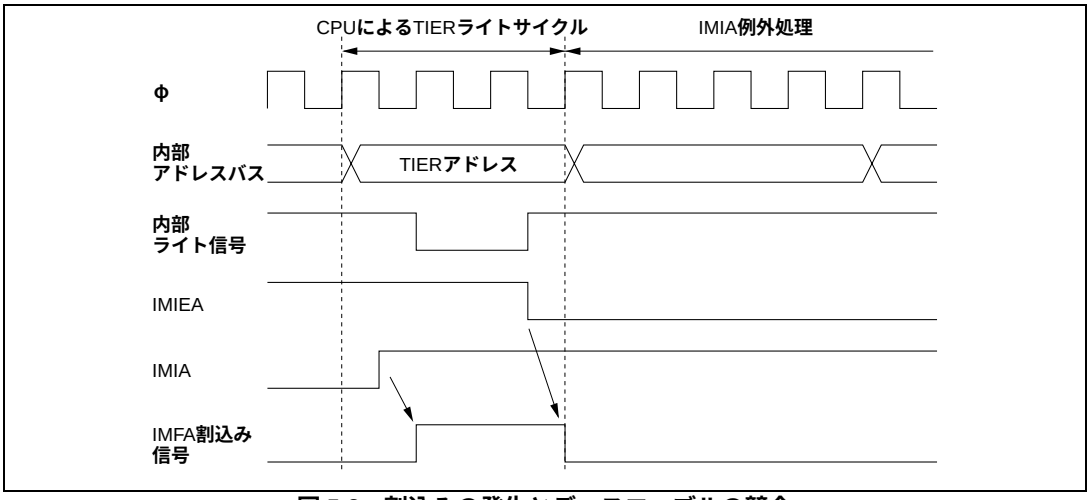


図 5.8　割込みの発生とディスエーブルの競合

なお、割込みをマスクした状態でイネーブルビットまたは割込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

5.5.2　割込みの受付けを禁止している命令

割込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。

割込み要求が発生すると、割込みコントローラが優先順位を判定した後、CPU に対して割込みを要求します。そのとき、CPU が割込みを禁止している命令を実行している場合は、その命令の実行を終了した後、必ず次の命令を実行します。

5.5.3　EEPMOV 命令実行中の割込み

EEPMOV 命令は、EEPMOV．B 命令と EEPMOV．W 命令では、割込み動作が異なります。

EEPMOV．B 命令は、転送中に NMI を含めた割込み要求があっても転送終了まで割込みを受け付けません。

EEPMOV．W 命令のときは、転送中に NMI 以外の割込み要求があっても転送終了まで割込みを受け付けません。NMI 割込み要求の場合は、転送サイクルの切れ目で NMI 例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV．W 命令実行中に NMI 割込みが発生する場合には、以下のプログラムとしてください。

```
L1：        EEPMOV.W
            MOV.W R4, R4
            BNE L1
```

5.5.4 外部割込み使用上の注意

IRQ_nF フラグは、IRQ_nF＝1 の状態で IRQ_nF フラグをリードした後、IRQ_nF フラグに 0 をライトしたとき、クリアされる仕様になっています。しかしながら、IRQ_nF＝1 の状態をリードしていないにもかかわらず、IRQ_nF フラグに 0 をライトしただけで、誤って IRQ_nF フラグがクリアされ、割込み例外処理が実行されない場合があります。

これは、以下のような条件が満たされたときに起こります。

(1) 設定条件

［1］ 複数の外部割込み（IRQ_a、IRQ_b）を使用している。

［2］ IRQ_aFフラグは0ライトによるクリア、IRQ_bFフラグはハードウェアによるクリアと異なったクリア方法を用いている。

［3］ IRQ_aFフラグのクリアに、IRQステータスレジスタ（ISR）に対するビット操作命令を使用、もしくはISRをバイト単位でリードし、IRQ_aFフラグのビットをクリアし、その他のビットはリードした値をバイト単位でライトしている。

(2) 発生条件

［1］ IRQ_aF＝1の状態でIRQ_aFフラグをクリアするための ISRレジスタのリードが実行され、その後、割込み例外処理の発生により、IRQ_bFフラグがクリアされた。

［2］ IRQ_aFフラグのクリアとIRQ_bの発生（IRQ_aFフラグのセット）が競合したとき（IRQ_aFフラグをクリアするための ISRをリードしたときには、IRQ_bF＝0であったが、ISRにライトするまでの期間にIRQ_bF＝1となってしまった状態）。

上記の設定条件［1］～［3］と発生条件［1］、［2］がすべて成立した場合、発生条件［2］の ISR のライト時に IRQ_bF は誤ってクリアされ、割込み例外処理は実行されません。

ただし、発生条件［1］、［2］の間に一度でも IRQ_bF フラグに 0 をライトすると、IRQ_bF フラグが誤ってクリアされることはありません。

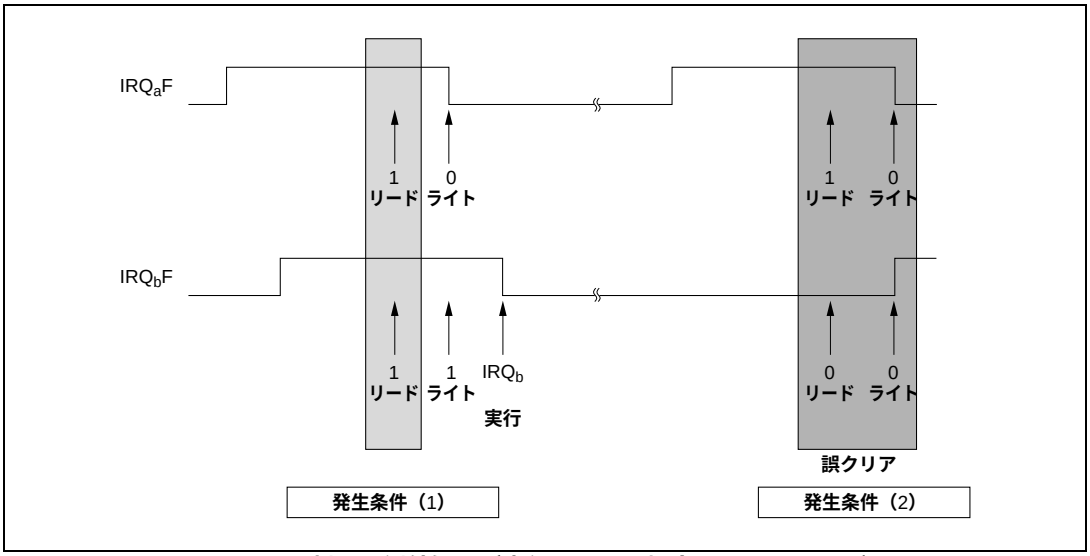


図 5.9 割込み例外処理が実行されない場合の IRQ_nF フラグ

このような場合には、以下の対策 1 または 2 を行い、対処してください。

(a) **対策** 1

IRQ_aF フラグをクリアする際には、ビット演算命令を使用せず、ISR をバイト単位でリードし、IRQ_aF フラグだけを 0、その他のビットは 1 となる値をバイト単位で書き込んでください。

〈例：a＝0 の場合〉

```
MOV. B  @ISR, R0L
MOV. B  #HFE, R0L
MOV. B  R0L,  @ISR
```

(b) **対策** 2

IRQ_b 割込み例外処理の中で、IRQ_bF フラグをクリアするダミー処理を行ってください。

〈例：b＝1 の場合〉

```
IRQB  MOV. B  #HFD, R0L
      MOV. B  R0L,  @ISR
                :
```

5.5.5 NMI 割込み使用上の注意

NMI は、LSI の内部回路が、電気的特性で規定された一定の条件の下、正常に動作している場合に、割込みコントローラ、および CPU の連携で実行される例外処理です。なんらかの要因で、回路が正常の動作を行っていない場合（暴走状態）には、その動作は保証されません。その要因としては、ソフトウェアに起因するもの、および、LSI の端子に対する異常入力に起因するものが考えられます。

◆ ソフトウェアに起因するNMIの誤動作

（1） H8/300HCPUの割込み例外処理は、内蔵RAMなどのシステム上に設計されたスタックエリアを指し示すスタックポインタ（SP（ER7））が、予めソフトウェアにより設定されていることを前提に実行されます。プログラムが暴走している状態におきましては、スタックポインタがオーバーフローしていること、ならびに不当に更新されていることなどが考えられ、正しい動作を期待することはできません。

（2） NMIの割込み要求は、端子入力の立上がりエッジ、または立下がりエッジのいずれかを検出し、受け付けられます。どちらのエッジで受け付けられるかは、システムコントロールレジスタ（SYSCR）のNMIEGビットの設定で決まります。お客様のシステムに併せ、当該ビットを設定して頂く必要があります。プログラム暴走時には、本ビットが不当に書換えられてしまう可能性があります。その場合、所定の動作を期待することはできません。

（3） 本LSIは、特定のお客様のご要求によるオンボードエミュレーション機能を実現するためブレーク機能を持ち併せております。ブレーク機能を使用するためにはBRK命令（H'5770）を使用します。ただし、一般的に、BRK命令は、未定義命令となっています。誤ってCPUが、BRK命令を実行すると、LSIはCPUのブレーク例外処理を行い、ブレークモードに遷移します。ブレークモードにおいては、NMIを初めとする全ての割込みが禁止となり、WDTのカウントアップが停止します。その後、CPUがRTB（H'56F0）命令を実行することにより、ブレークモードは解除され、通常のプログラム実行状態へ遷移します。ブレークモード中にリセットを投入した場合、CPUはリセット状態に遷移しブレ

ークモードは解除されます。リセット解除後、リセット例外処理を経て通常のプログラム実行状態に遷移します。

◆ 端子への異常入力に起因するNMIの誤動作

LSI の動作中、端子に対して電気的特性に規定されない異常入力が発生した場合には、破壊に至ることがあります。この場合、その後の LSI の動作は保証されません。

また、端子への異常入力が発生した場合、破壊に至らないまでも、LSI の内部回路の一部、または全体が誤動作し、設計上、想定しない未定義の状態に陥る可能性があります。このとき外部リセット端子、および、スタンバイ端子以外の任意の外部入力に対し、LSI の振舞いを規定することはできません。この場合、NMI の動作も保証されません。本ケースにおいては、上記の各端子に規定の入力を行った後、外部リセットを投入することで、再び、LSI を正常のプログラム実行状態に遷移させることが可能です。

6. バスコントローラ

6.1 概要

本 LSI はバスコントローラを内蔵しており、外部アドレス空間を 8 つのエリアに分割し、エリアごとにバス仕様を設定し、バス制御を行います。これにより、複数のメモリを容易に接続することができます。

また、バスコントローラはバス権の調停機能をもっており、DMA コントローラ（DMAC）やリフレッシュコントローラの動作を制御するとともに、外部にバス権を解放することができます。

6.1.1 特長

バスコントローラの特長を次に示します。

- 外部アドレス空間をエリア 0～7 に分割し、エリアごとに独立して設定可能
  - 1M バイトモードでは 128k バイト、16M バイトモードでは 2M バイトごとにエリアを設定
  - エリア 0～7 に対してチップセレクト（CS_0～CS_7）を出力可能
  - 8 ビットアクセス空間／16 ビットアクセス空間の選択可能
  - 2 ステートアクセス空間／3 ステートアクセス空間の選択可能
- 4 種類のウェイトモード
  - プログラマブルウェイトモード、端子オートウェイトモード、端子ウェイトモード 0、1 を選択可能
  - 0～3 ステートのウェイトステートを自動的に挿入可能
- バス権調停機能
  - バスアービタを内蔵し、CPU、DMAC、リフレッシュコントローラ、外部バスマスタのバス権を調停

6.1.2 ブロック図

バスコントローラのブロック図を**図** 6.1 に示します。

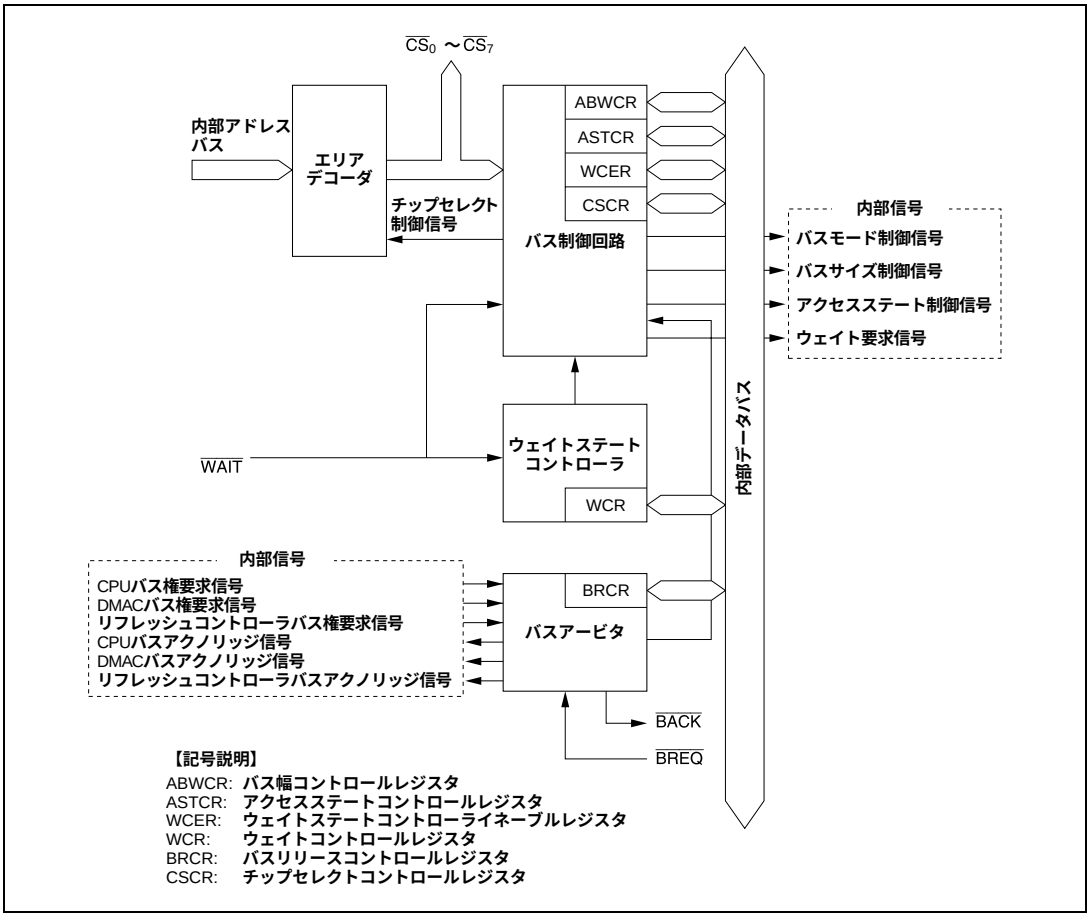


図 6.1 **バスコントローラのブロック図**

6.1.3 端子構成

バスコントローラの入出力端子を**表** 6.1 に示します。

表 6.1 **端子構成**

名　称	略　称	入出力	機　能
チップセレクト 0〜7	CS_0〜CS_7	**出力**	**エリア** 0〜7 **が選択されていることを示すストローブ信号**
アドレスストローブ	AS	**出力**	**アドレスバス上のアドレス出力が有効であることを示すストローブ信号**
リード	RD	**出力**	**外部アドレス空間をリードしていることを示すストローブ信号**
ハイライト	HWR	**出力**	**外部アドレス空間をライトし、データバスの上位側（**D_{15}〜D_8**）が有効であることを示すストローブ信号**
ロウライト	LWR	**出力**	**外部アドレス空間をライトし、データバスの下位側（**D_7〜D_0**）が有効であることを示すストローブ信号**
ウェイト	WAIT	**入力**	**外部** 3 **ステートアクセス空間をアクセスするときのウェイト要求信号**
バス権要求	BREQ	**入力**	**バス権を外部に解放する要求信号**
バス権要求アクノリッジ	BACK	**出力**	**バス権を外部に解放したことを示すアクノリッジ信号**

6.1.4 レジスタ構成

バスコントローラのレジスタ構成を**表** 6.2 に示します。

表 6.2 **レジスタ構成**

アドレス*	**名　称**	**略　称**	R/W	**初　期　値**	
				モード 1、3、5、6	**モード** 2、4、7
H'FFEC	**バス幅コントロールレジスタ**	ABWCR	R/W	H'FF	H'00
H'FFED	**アクセスステートコントロールレジスタ**	ASTCR	R/W	H'FF	H'FF
H'FFEE	**ウェイトコントロールレジスタ**	WCR	R/W	H'F3	H'F3
H'FFEF	**ウェイトステートコントローライネーブルレジスタ**	WCER	R/W	H'FF	H'FF
H'FFF3	**バスリリースコントロールレジスタ**	BRCR	R/W	H'FE	H'FE
H'FF5F	**チップセレクトコントロールレジスタ**	CSCR	R/W	H'0F	H'0F

【注】 * **アドレスは下位** 16 **ビットを示しています。**

6.2 各レジスタの説明

6.2.1 バス幅コントロールレジスタ（ABWCR）

ABWCR は 8 ビットのリード／ライト可能なレジスタで、各エリアを 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定します。

ビット：	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
初期値：モード1,3,5,6	1	1	1	1	1	1	1	1
初期値：モード2,4,7	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各エリアのバス幅を選択するビットです。

ABWCR の内容が H'FF（全エリア 8 ビットアクセス空間）の場合、8 ビットバスモードとなり、データバスは上位側（D_{15}～D_8）が有効となります。このときポート 4 は入出力ポートとなります。ABWCR の少なくとも 1 ビットを 0 にクリアした場合には、16 ビットバスモードとなり、データバスは 16 ビット（D_{15}～D_0）となります。ABWCR はリセット、またはハードウェアスタンバイモード時にモード 1、3、5、6 では H'FF に、モード 2、4、7 では H'00 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7～0：エリア 7～0 バス幅コントロール（ABW7～ABW0）

対応するエリアを 8 ビットアクセス空間とするか 16 ビットアクセス空間とするかを選択します。

ビット 7～0 ABW7～ABW0	説　明
0	エリア 7～0 を 16 ビットアクセス空間に設定
1	エリア 7～0 を 8 ビットアクセス空間に設定

ABWCR は、外部メモリ空間のデータバス幅を指定します。内蔵メモリ、内部 I/O レジスタのデータバス幅は ABWCR の設定値にかかわらず固定です。したがって、シングルチップモード（モード 7）では設定値には意味がありません。

6.2.2 アクセスステートコントロールレジスタ（ASTCR）

ASTCR は 8 ビットのリード／ライト可能なレジスタで、各エリアを 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定します。

ビット：	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値：	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各エリアのアクセスステート数を選択するビットです。

ASTCR はリセット、またはハードウェアスタンバイモード時に、H'FF にイニシャライズされま

す。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7～0：エリア 7～0 アクセスステートコントロール（AST7～AST0）

対応するエリアを 2 ステートアクセス空間とするか 3 ステートアクセス空間とするかを選択します。

ビット 7～0	説　明
AST7～AST0	
0	エリア 7～0 を 2 ステートアクセス空間に設定
1	エリア 7～0 を 3 ステートアクセス空間に設定　（初期値）

ASTCR は、外部メモリ空間のアクセスステート数を設定します。内蔵メモリ、内部 I/O レジスタに対するアクセスステート数は ASTCR の設定値にかかわらず固定です。したがって、シングルチップモード（モード 7）では設定値には意味がありません。

6.2.3 ウェイトコントロールレジスタ（WCR）

WCR は 8 ビットのリード／ライト可能なレジスタで、ウェイトステートコントローラ（WSC）のウェイトモードとウェイトステート数を設定します。

WCR はリセット、またはハードウェアスタンバイモード時に H'F3 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7～4：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3、2：ウェイトモードセレクト 1、0（WMS1、0）

ウェイトモードを設定します。

ビット 3	ビット 2	説　明
WMS1	WMS0	
0	0	**プログラマブルウェイトモード　（初期値）**
	1	**ウェイトステートコントローラによるウェイトを禁止**
1	0	**端子ウェイトモード 1**
	1	**端子オートウェイトモード**

ビット 1、0：ウェイトカウント 1、0（WC1、0）

外部 3 ステートアクセス空間をアクセスするときに、挿入するウェイトステート数を設定します。

ビット 1	ビット 0	説　明
WC1	WC0	
0	0	WSC **によるウェイトを禁止**
	1	1 **ステート挿入**
1	0	2 **ステート挿入**
	1	3 **ステート挿入　（初期値）**

6.2.4 ウェイトステートコントローライネーブルレジスタ（WCER）

WCER は 8 ビットのリード／ライト可能なレジスタで、外部 3 ステートアクセス空間について、WSC の動作を許可／禁止します。

ビット：	7	6	5	4	3	2	1	0
	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0
初期値：	1	1	1	1	1	1	1	1
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ウェイトステートコントローライネーブル7〜0
WSC**の動作を許可／禁止するビットです。**

WCER はリセット、またはハードウェアスタンバイモード時に H'FF にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7〜0：ウェイトステートコントローライネーブル 7〜0（WCE7〜WCE0）

外部 3 ステートアクセス空間について、WSC の動作を許可／禁止します。

ビット 7〜0	説　明
WCE7〜WCE0	
0	WSC **の動作を禁止　（端子ウェイトモード 0）**
1	WSC **の動作を許可　（初期値）**

WCER は、外部 3 ステートアクセス空間について WSC の動作を許可／禁止します。したがって、シングルチップモード（モード 7）では設定値に意味はありません。

6.2.5 バスリリースコントロールレジスタ（BRCR）

BRCR は 8 ビットのリード／ライト可能なレジスタで、アドレスバス（A_{23}～A_{21}）出力の選択、バス権の外部に対する解放を許可／禁止します。

ビット：	7	6	5	4	3	2	1	0
	A23E	A22E	A21E	—	—	—	—	BRLE
初期値：	1	1	1	1	1	1	1	0
モード1,2,5,7 R/W ：	—	—	—	—	—	—	—	R/W
モード3,4,6 R/W ：	R/W	R/W	R/W	—	—	—	—	R/W

アドレス23～21イネーブル
PA6～PA4**をアドレス出力端子**
A23～A21**として使用するため**
のビットです。

リザーブビット

バスリリースイネーブル
バス権の外部に対する解放を
許可／禁止するビットです。

BRCR はリセット、またはハードウェアスタンバイモード時に H'FE にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット 7：アドレス 23 イネーブル（A23E）

PA_4 をアドレス出力端子 A_{23} として使用するためのビットです。0 をライトすると PA_4 はアドレス出力 A_{23} となります。モード 3、4、6 以外ではこのビットはライトできず、PA_4 は通常のポート機能となります。

ビット 7	説　明
A23E	
0	PA_4 **はアドレス出力端子** A_{23}
1	PA_4 **は** PA_4/TP_4/$TIOCA_1$ **入出力端子**　（初期値）

ビット 6：アドレス 22 イネーブル（A22E）

PA_5 をアドレス出力端子 A_{22} として使用するためのビットです。0 をライトすると PA_5 はアドレス出力 A_{22} となります。モード 3、4、6 以外ではこのビットはライトできず、PA_5 は通常のポート機能となります。

ビット 6	説　明
A22E	
0	PA_5 **はアドレス出力端子** A_{22}
1	PA_5 **は** PA_5/TP_5/$TIOCB_1$ **入出力端子**　（初期値）

ビット 5：アドレス 21 イネーブル（A21E）

PA_6 をアドレス出力端子 A_{21} として使用するためのビットです。0 をライトすると PA_6 はアドレス出力 A_{21} となります。モード 3、4、6 以外ではこのビットはライトできず、PA_6 は通常のポート機能となります。

ビット 5	説　明
A21E	
0	PA_6 はアドレス出力端子 A_{21}
1	PA_6 は PA_6/TP_6/$TIOCA_2$ 入出力端子　（初期値）

ビット 4〜1：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 0：バスリリースイネーブル（BRLE）

バス権の外部に対する解放を許可／禁止します。

ビット 0	説　明
BRLE	
0	バス権の外部に対する解放を禁止し、BREQ、BACK 端子は入出力端子として使用可　（初期値）
1	バス権の外部に対する解放を許可

6.2.6 チップセレクトコントロールレジスタ（CSCR）

CSCR は 8 ビットのリード／ライト可能なレジスタで、チップセレクト信号（CS_7〜CS_4）の出力を許可／禁止します。

本レジスタでチップセレクト信号（CS_7〜CS_4）出力を選択すると、端子機能は他の機能に優先してチップセレクト信号（CS_7〜CS_4）出力となります。なお、本レジスタはシングルチップモードではライトできません。

ビット：	7	6	5	4	3	2	1	0
	CS7E	CS6E	CS5E	CS4E	—	—	—	—
初期値：	0	0	0	0	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	—	—	—	—

チップセレクト7〜4イネーブル
チップセレクト信号の出力を
許可／禁止するビットです。

リザーブビット

CSCR はリセット、またはハードウェアスタンバイモード時に H'0F にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7〜4：チップセレクト 7〜4 イネーブル（CS7E〜CS4E）

対応するチップセレクト信号の出力を許可／禁止します。

ビット n	説　明
CSnE	
0	チップセレクト信号（CSn）の出力を禁止　（初期値）
1	チップセレクト信号（CSn）の出力を許可

【注】n＝7〜4

ビット 3〜0：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

6.3 動作説明

6.3.1 エリア分割

外部アドレス空間は、1M バイトモードのとき 128k バイト、16M バイトモードのとき 2M バイトごとのエリア 0〜7 に分割されています。メモリマップの概要を**図** 6.2 に示します。

図 6.2 **各動作モードにおけるアクセスエリアマップ**

各エリアごとに選択信号（CS_7〜CS_0）を出力することができます。また、各エリアのバス仕様は、ABWCR、ASTCR、WCER、WCR で指定されます。

各エリアのバス仕様を**表** 6.3 に示します。

表 6.3　各エリアのバス仕様

ABWCR	ASTCR	WCER	WCR		バ　ス　仕　様		
ABWn	ASTn	WCEn	WMS1	WMS0	バス幅	アクセスステート	ウェイトモード
0	0	ー	ー	ー	16	2	禁止
	1	0	ー	ー	16	3	端子ウェイトモード 0
	1	1	0	0	16	3	プログラマブルウェイトモード
			0	1	16	3	禁止
			1	0	16	3	端子ウェイトモード 1
			1	1	16	3	端子オートウェイトモード
1	0	ー	ー	ー	8	2	禁止
	1	0	ー	ー	8	3	端子ウェイトモード 0
	1	1	0	0	8	3	プログラマブルウェイトモード
			0	1	8	3	禁止
			1	0	8	3	端子ウェイトモード 1
			1	1	8	3	端子オートウェイトモード

【注】 n＝0〜7

6.3.2　チップセレクト信号

本 LSI は、エリア 7〜0 に対してそれぞれチップセレクト信号（CS_7〜CS_0）を出力することができ、拡張モードで当該エリアが選択されたとき、Low レベルを出力します。**図** 6.3 に CS_n 信号出力タイミングを示します。

(1)　CS_3〜CS_0 出力方法

CS_3〜CS_0 の出力の許可または禁止は各 CS_n 端子に対応するポートのデータディレクションレジスタ（DDR）を設定することにより行います。

内蔵 ROM 無効拡張モード時、CS_0 端子はリセット直後に出力状態となっています。CS_3〜CS_1 端子はリセット直後に入力状態となっていますので、CS_3〜CS_1 を出力する場合には対応する DDR を 1 にセットしてください。内蔵 ROM 有効拡張モード時、CS_3〜CS_0 端子はリセット直後に入力状態になっていますので、CS_3〜CS_0 を出力する場合には、対応する DDR を 1 にセットしてください。

詳細は**「第 9 章　I/O ポート」**を参照してください。

(2)　CS_7〜CS_4 出力方法

CS_7〜CS_4 の出力許可または禁止はチップセレクトコントロールレジスタ（CSCR）を設定することにより行います。CS_7〜CS_4 端子はリセット直後に入力状態となっていますので、CS_7〜CS_4 端子を出力する場合には CSCR の対応するビットを 1 にセットしてください。詳細は**「第 9 章　I/O ポート」**を参照してください。

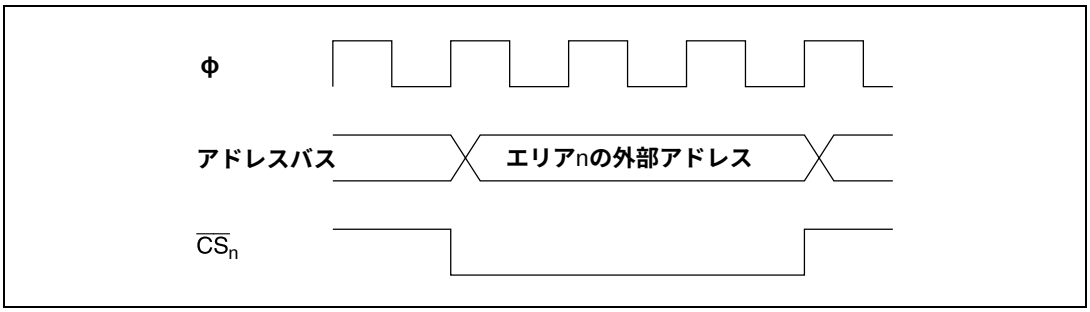


図 6.3　CS_n**信号の出力タイミング**（n＝7〜0）

内蔵 ROM、内蔵 RAM および内部 I/O レジスタを選択した場合、CS_7、CS_0端子は High レベルです。CS_n信号はアドレスをデコードした信号で、SRAM などのチップセレクト信号として使用することができます。

6.3.3　データバス

本 LSI は、エリア 0〜7 をそれぞれ 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定することができます。8 ビットアクセス空間では、データバスの上位側（D_{15}〜D_8）を使用します。また 16 ビットアクセス空間ではデータバスの上位側（D_{15}〜D_8）、下位側（D_7〜D_0）を使用します。

リード時には、データバスの上位側、下位側の区別なく、RD 信号が有効です。

ライト時にはデータバスの上位側に対して HWR 信号が、データバスの下位側に対して LWR 信号が有効です。

表 6.4 にアクセス空間と使用するデータバスを示します。

表 6.4　**アクセス空間と使用するデータバス**

エリア	アクセスサイズ	リード／ライト	アドレス	有効なストローブ	データバス上位（D_{15}〜D_8）	データバス下位（D_7〜D_0）
8 ビットアクセス空間	－	リード	－	RD	有効	無効
		ライト	－	HWR		不定
16 ビットアクセス空間	バイト	リード	偶数	RD	有効	無効
			奇数		無効	有効
		ライト	偶数	HWR	有効	不定
			奇数	LWR	不定	有効
	ワード	リード	－	RD	有効	有効
		ライト	－	HWR、LWR	有効	有効

【注】　不定：不定データが出力されます。
無効：入力状態であり、入力値は無視されます。

6.3.4 バス制御信号タイミング

(1) 8 ビット 3 ステートアクセス空間

図 6.4 に 8 ビット 3 ステートアクセス空間のバス制御信号タイミングを示します。8 ビットアクセス空間をアクセスする場合データバスの上位側（D_{15}〜D_8）を使用します。

LWR 端子は常に High レベルとなっています。ウェイトステートを挿入することができます。

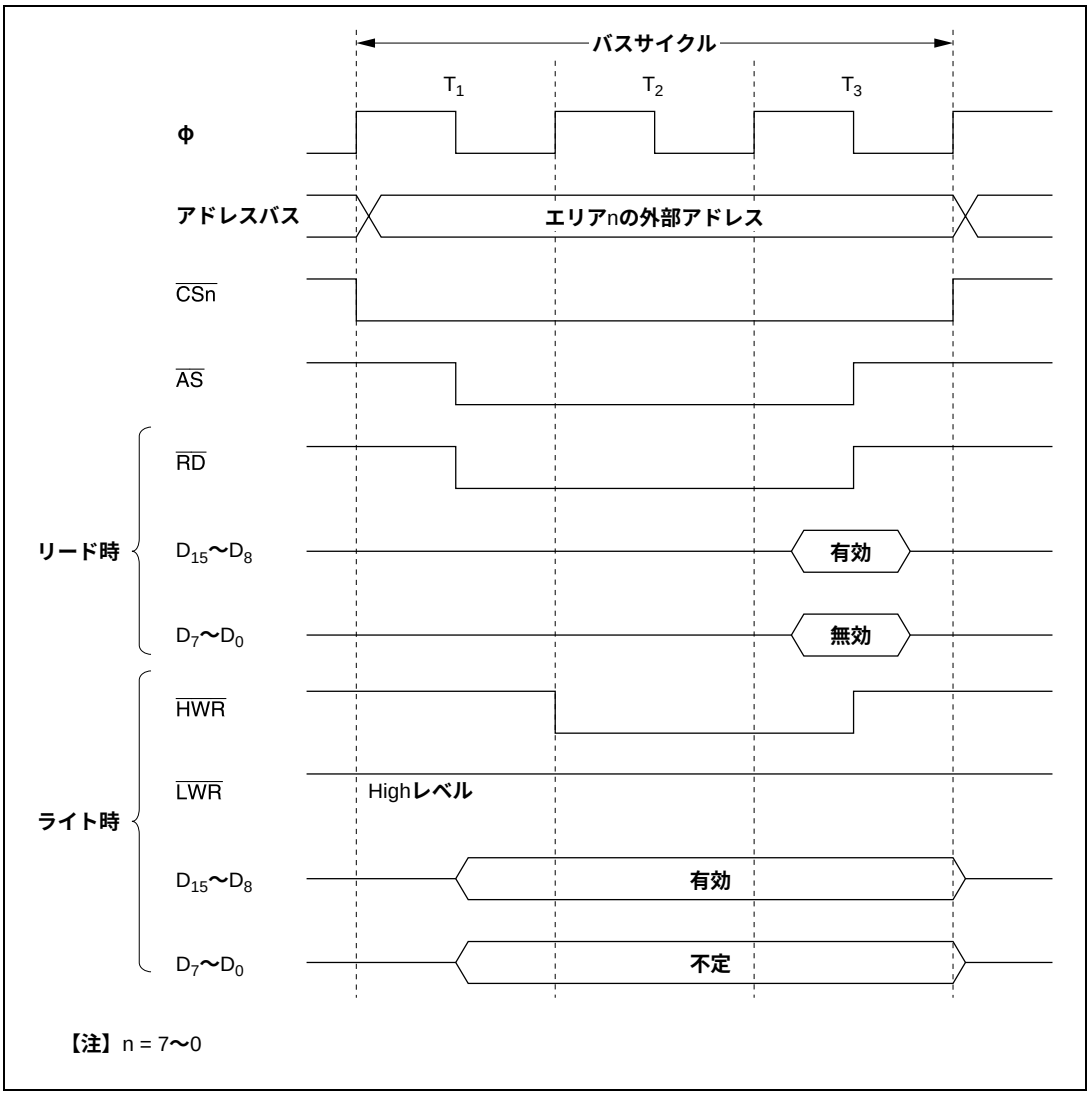


図 6.4　8 **ビット** 3 **ステートアクセス空間のバス制御信号タイミング**

(2) 8 ビット 2 ステートアクセス空間

図 6.5 に 8 ビット 2 ステート空間のバス制御信号タイミングを示します。8 ビットアクセス空間をアクセスする場合データバスの上位側（D_{15}～D_8）を使用します。

LWR 端子は常に High レベルとなっています。ウェイトステートを挿入することはできません。

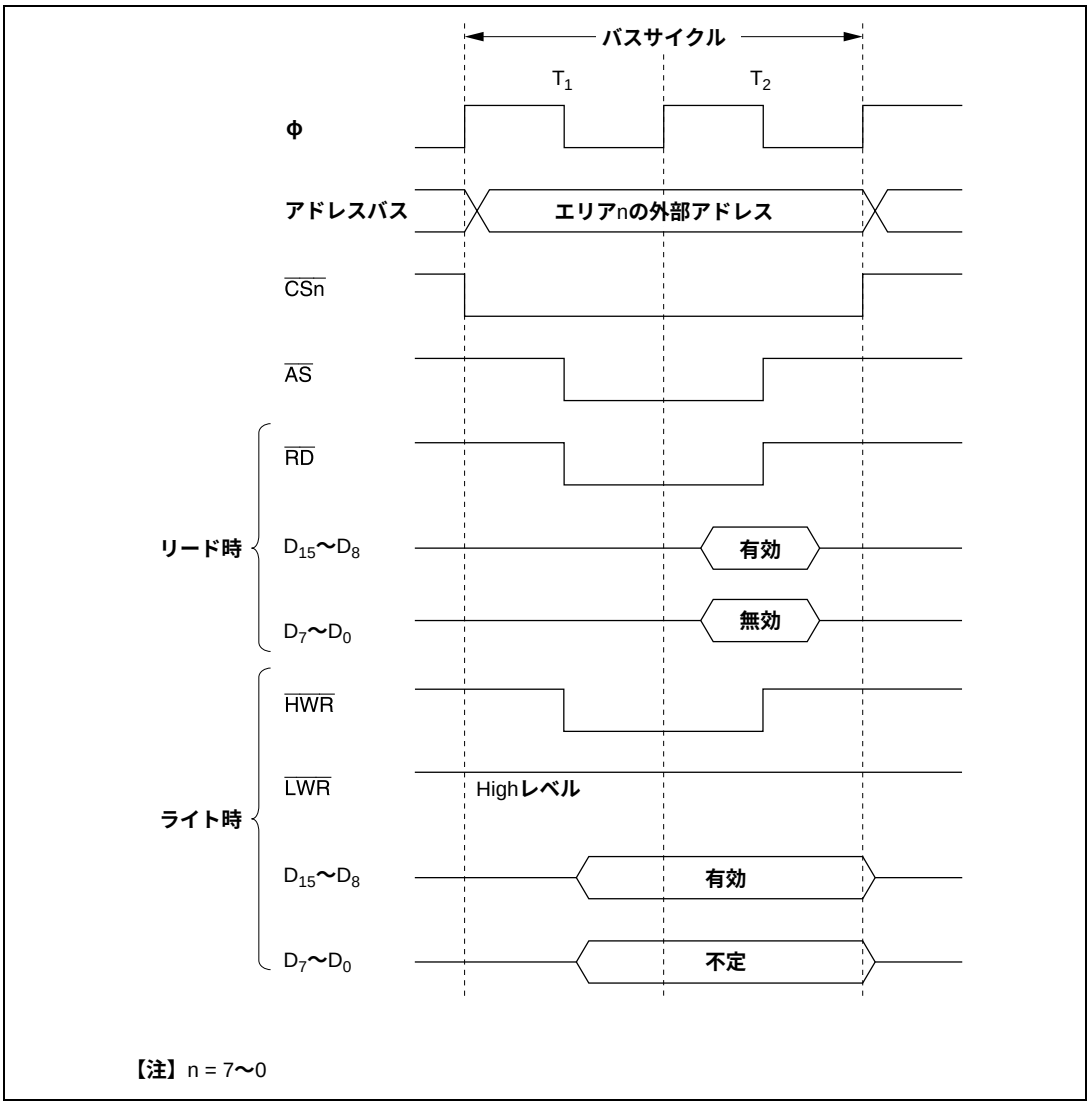


図 6.5　8 **ビット** 2 **ステートアクセス空間のバス制御信号タイミング**

(3) 16 ビット 3 ステートアクセス空間

図 6.6～**図** 6.8 に 16 ビット 3 ステートアクセス空間のバス制御信号タイミングを示します。16 ビットアクセス空間をアクセスする場合偶数アドレスに対しては、データバスの上位側（D_{15}～D_8）を使用し、奇数アドレスに対してはデータバスの下位側（D_7～D_0）を使用します。ウェイトステートを挿入することができます。

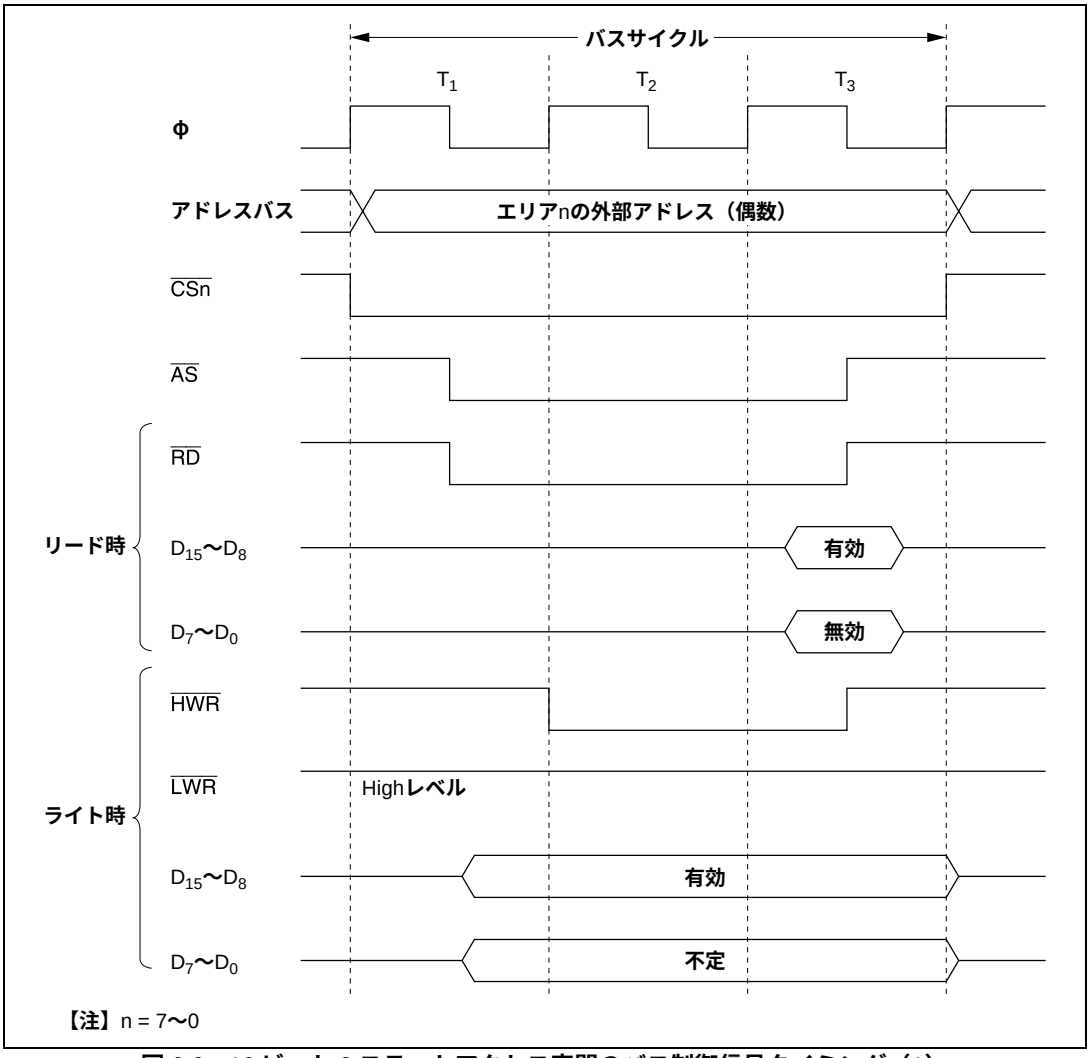


図 6.6　16 **ビット** 3 **ステートアクセス空間のバス制御信号タイミング**（1）
（偶数アドレスバイトアクセス）

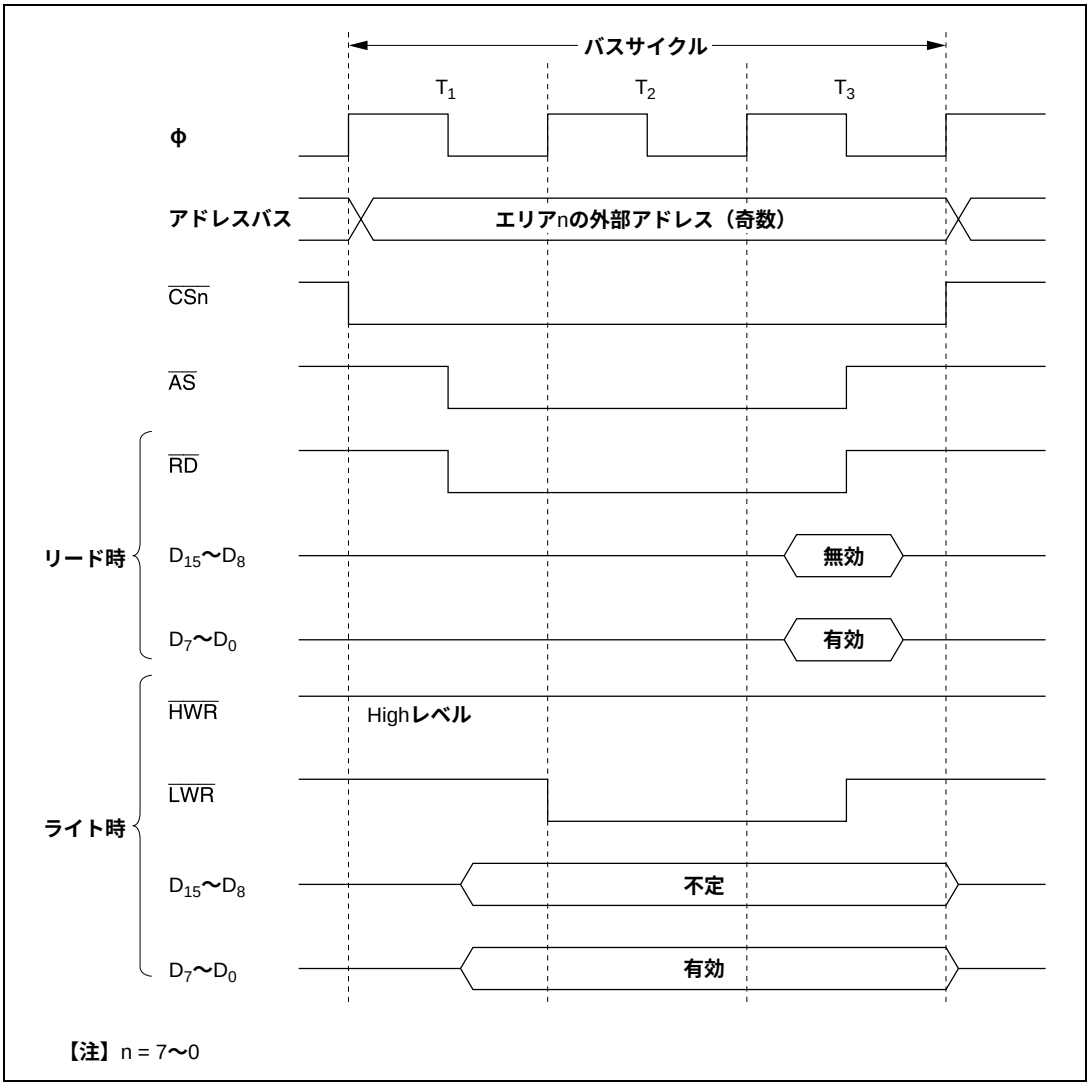


図 6.7　16 **ビット** 3 **ステートアクセス空間のバス制御信号タイミング**（2）
（奇数アドレスバイトアクセス）

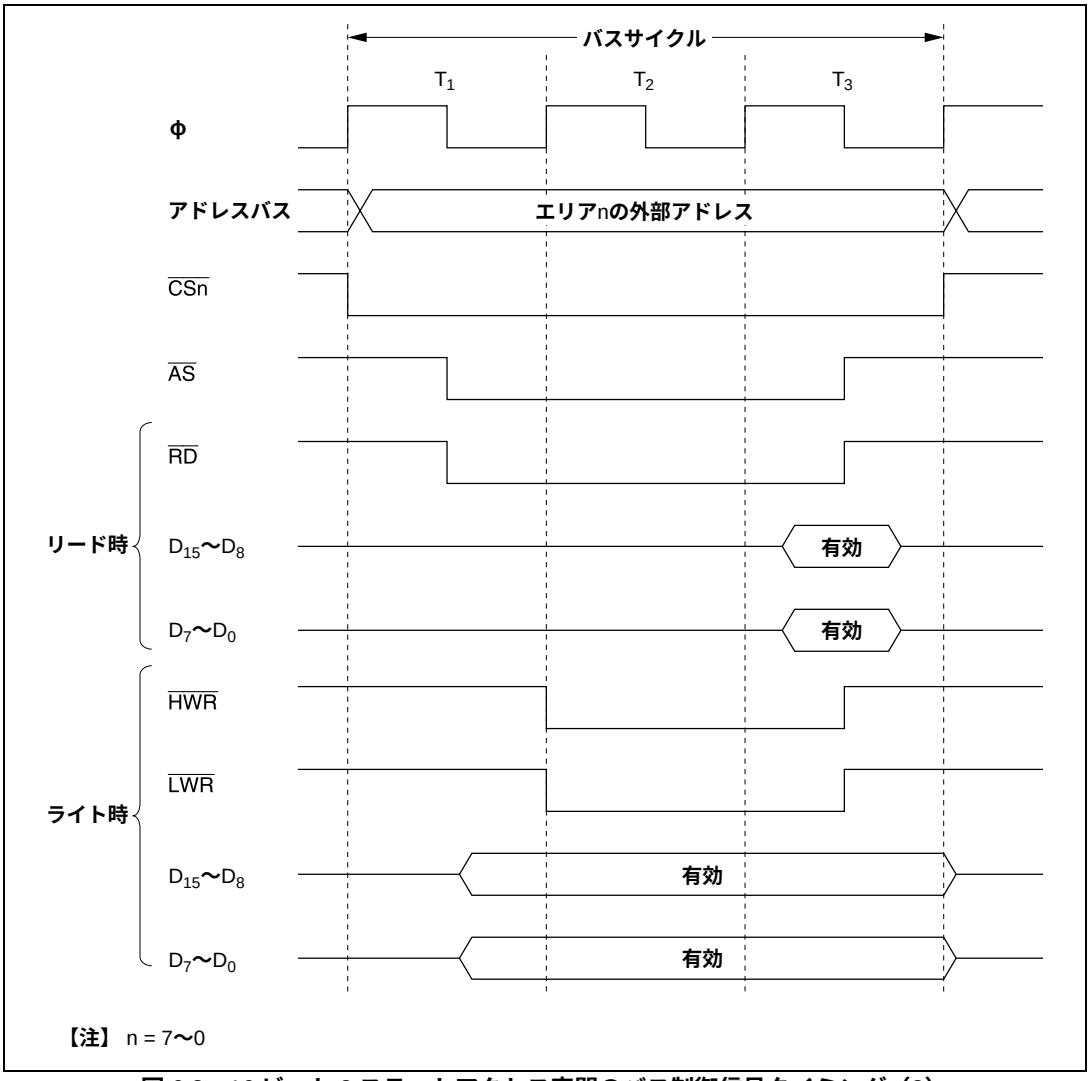


図 6.8　16 ビット 3 ステートアクセス空間のバス制御信号タイミング（3）
（ワードアクセス）

(4) 16 ビット 2 ステートアクセス空間

図 6.9～**図** 6.11 に 16 ビット 2 ステートアクセス空間のバス制御信号タイミングを示します。16 ビットアクセス空間をアクセスする場合、偶数アドレスに対してはデータバスの上位側（D_{15}～D_8）を使用し、奇数アドレスに対してはデータバスの下位側（D_7～D_0）を使用します。ウェイトステートを挿入することはできません。

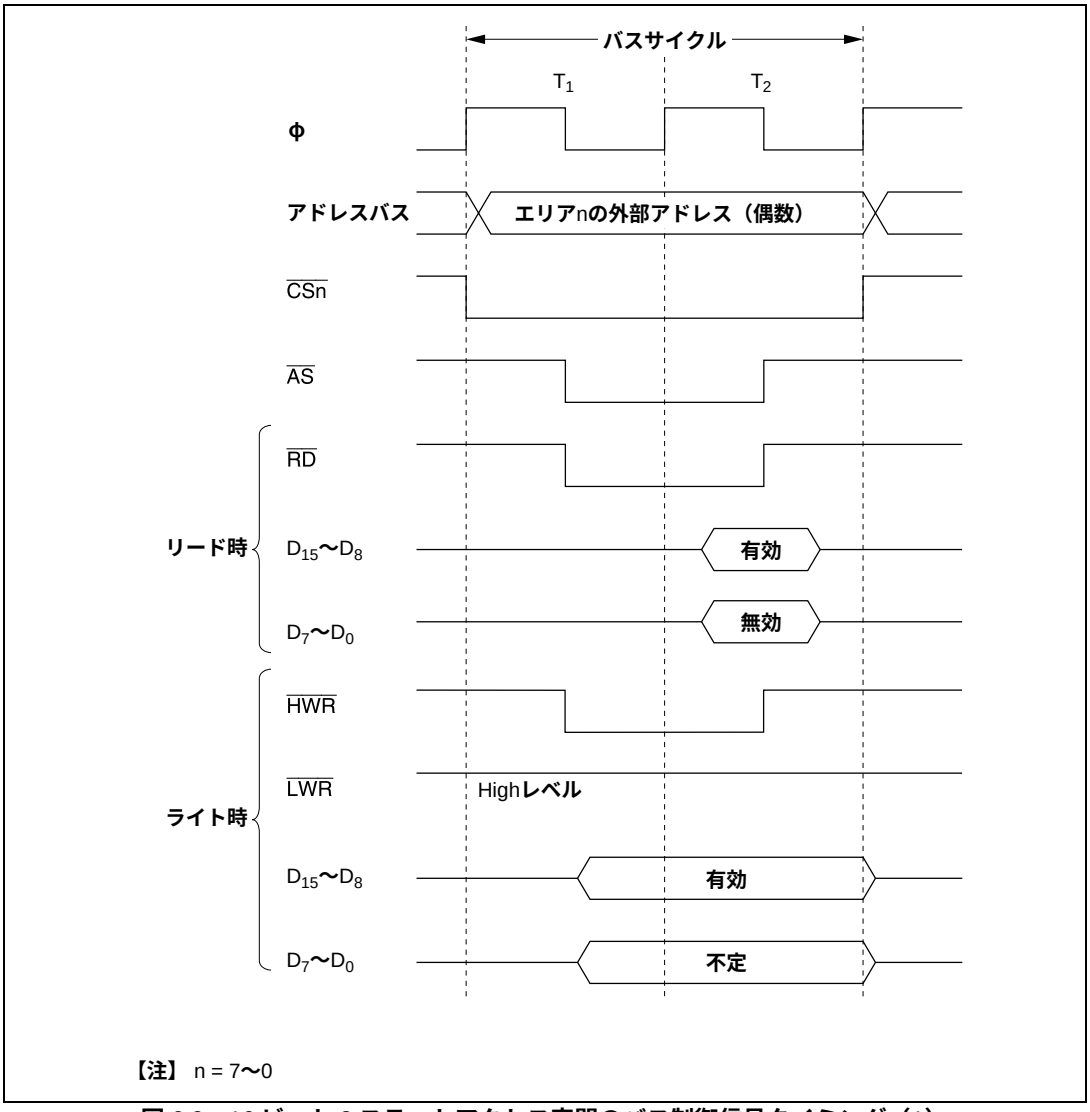


図 6.9　16 **ビット** 2 **ステートアクセス空間のバス制御信号タイミング**（1）
（偶数アドレスバイトアクセス）

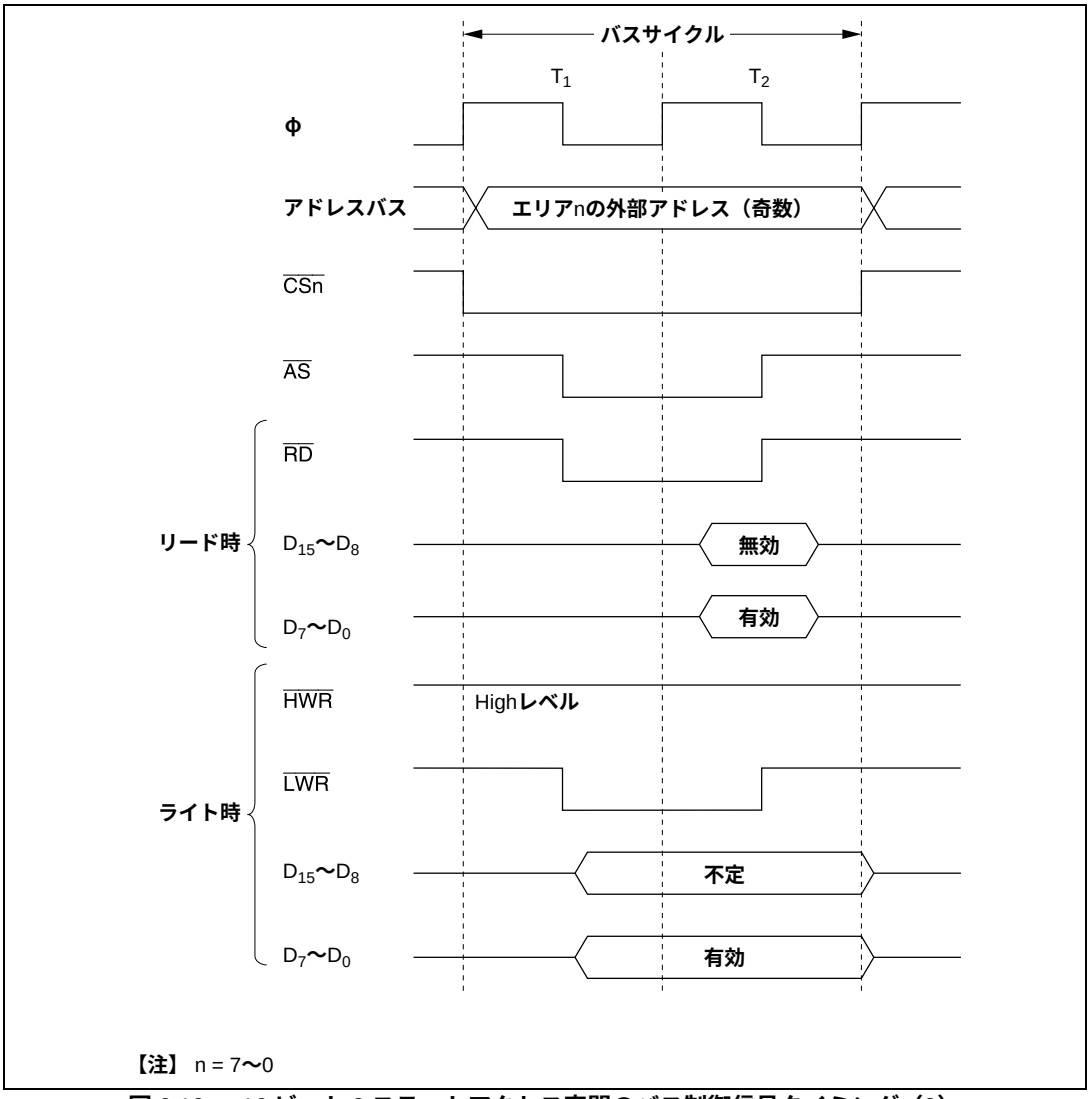


図 6.10　16 **ビット** 2 **ステートアクセス空間のバス制御信号タイミング（**2**）**
（奇数アドレスバイトアクセス）

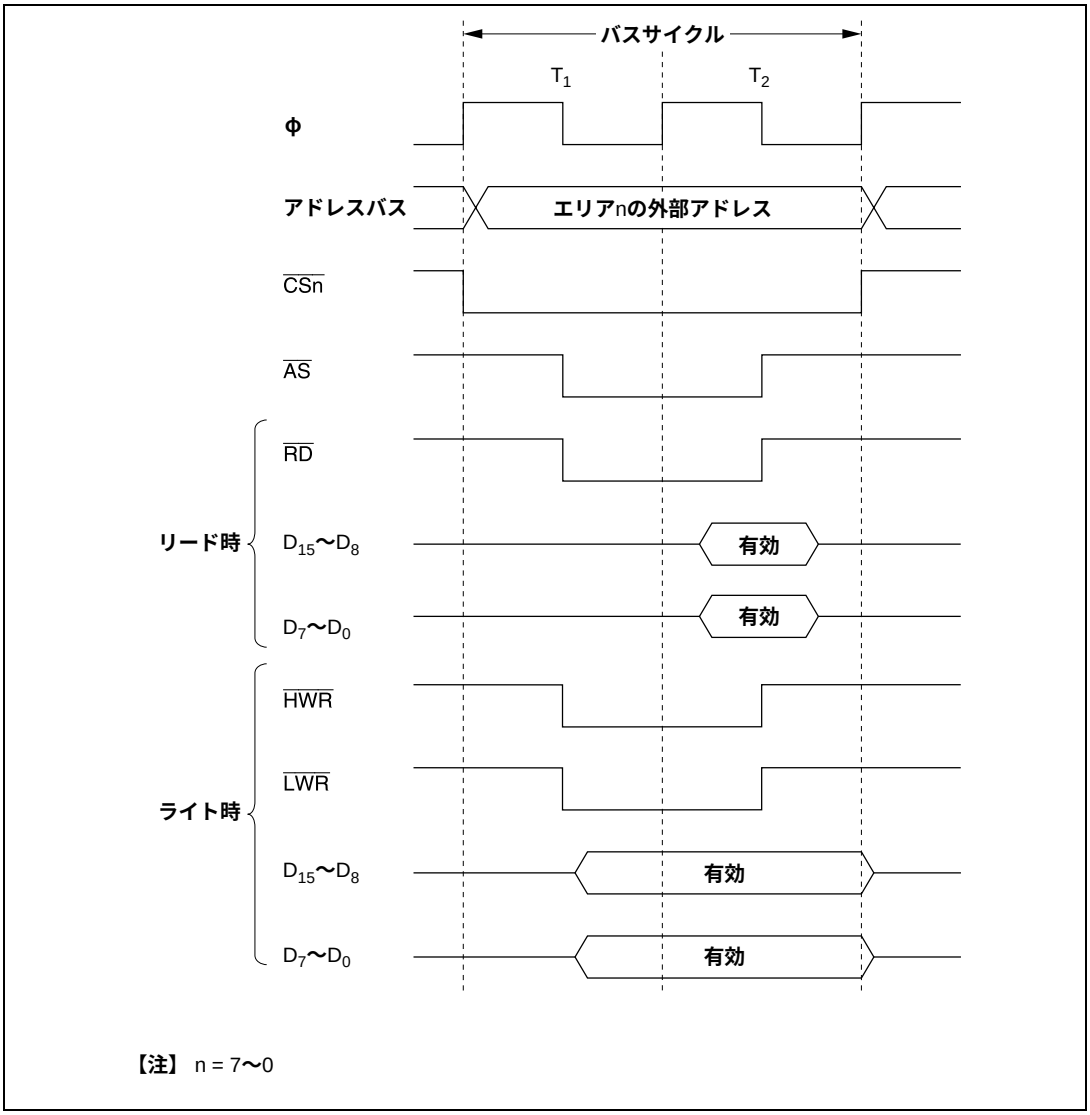


図 6.11　16 **ビット** 2 **ステートアクセス空間のバス制御信号タイミング（**3**）（ワードアクセス）**

6.3.5 ウェイトモード

ウェイトモードには、4 種類のモードがあります。ウェイトモードの選択方法を**表** 6.5 に示します。

表 6.5 **ウェイトモードの選択**

ASTCR	WCER	WCR		WSC **動作**	**ウェイトモード**
ASTn **ビット**	WCEn **ビット**	WMS1 **ビット**	WMS0 **ビット**		
0	−	−	−	**禁止**	**ウェイト禁止**
1	0	−	−	**禁止**	**端子ウェイトモード** 0
1	1	0	0	**許可**	**プログラマブルウェイトモード**
		0	1	**許可**	**ウェイト禁止**
		1	0	**許可**	**端子ウェイトモード** 1
		1	1	**許可**	**端子オートウェイトモード**

【注】 n＝7〜0

(1) WSC **動作を禁止したエリアのウェイトモード**

WSC の動作を禁止した外部 3 ステートアクセス空間（ASTn＝1，WCEn＝0）では端子ウェイトモード 0 によるウェイトステートの挿入が可能です。他のウェイトモードは使用できません。また、WMS1、0 ビットの設定は WSC の動作を禁止したエリアでは意味がありません。

(a) **端子ウェイトモード** 0

端子ウェイトモード 0 では、WAIT 端子によるウェイトステートのみが挿入されます。外部 3 ステートアクセス空間をアクセスするとき、T_2ステートのφの立下がりのタイミングで WAIT 端子が Low レベルであると、T_wステートが挿入されます。WAIT 端子が Low レベルに保持されると WAIT 端子が High レベルに立上がるまで T_wが挿入されます。

このタイミングを**図** 6.12 に示します。

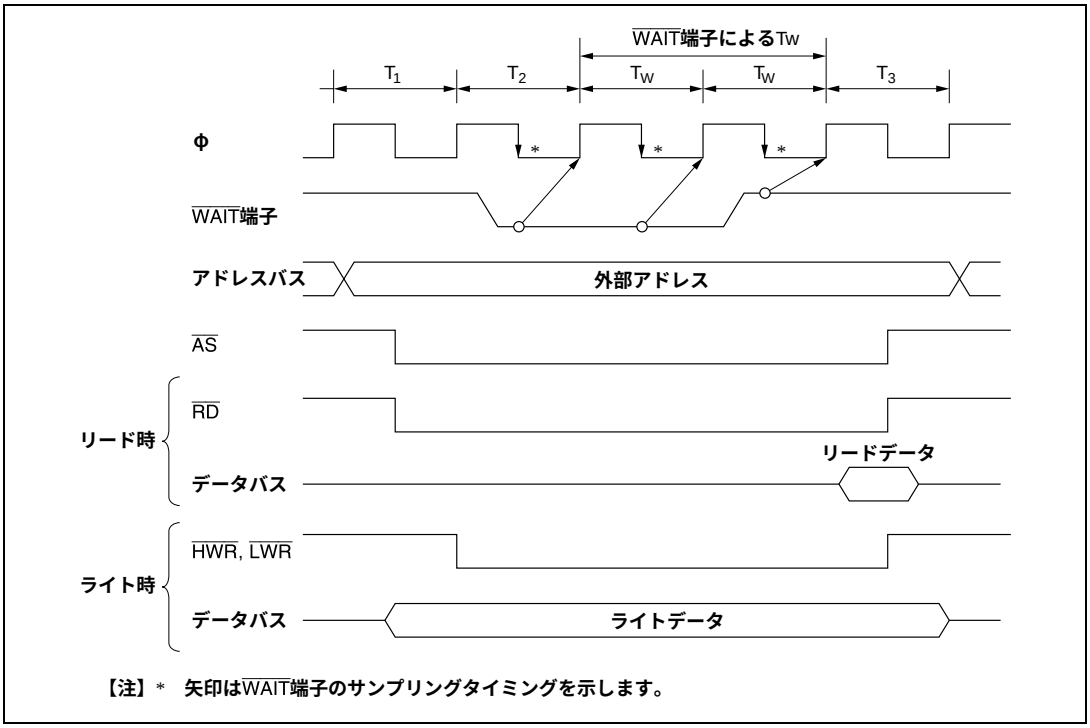


図 6.12 **端子ウェイトモード** 0

(2) WSC **動作を許可したエリアのウェイトモード**

WSC の動作を許可した外部 3 ステートアクセス空間（ASTn＝1，WCEn＝1）では WMS1、0 ビットにより端子ウェイトモード 1、端子オートウェイトモード、プログラマブルウェイトモードの中からウェイトモードを選択できます。ただし WMS1、0 ビットは各エリアに共通ですので、WSC の動作を許可したエリアのウェイトモードは同一になります。

(a) **端子ウェイトモード** 1

端子ウェイトモード 1 では、外部 3 ステートアクセス空間をアクセスすると、常に WC1、0 ビットにより設定されたステート数だけ T_w が挿入されます。この最後の T_w のφの立下がりのタイミングで WAIT 端子を Low レベルにすることで、さらに T_w を挿入することができます。WAIT 端子が Low" レベルに保持されると、WAIT 端子が High レベルに立上がるまで T_w が挿入されます。

端子ウェイトモード 1 は、4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入すると T_w 数を変える場合などに有効です。

ウェイトカウントが 0 の場合は、端子ウェイトモード 0 と同様の動作になります。

ウェイトカウントが 1（WC1＝0、WC0＝1）で、かつ WAIT 端子入力による T_w が 1 ステートの場合のタイミングを**図** 6.13 に示します。

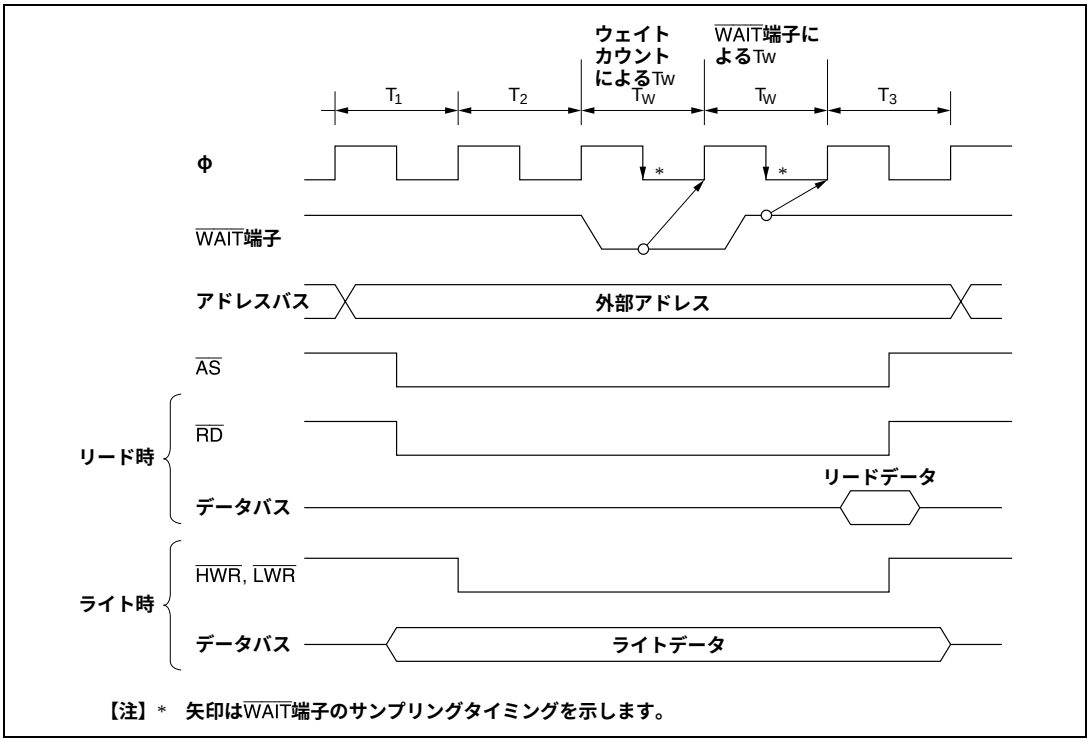


図 6.13 **端子ウェイトモード** 1

(b) 端子オートウェイトモード

端子オートウェイトモードでは、WAIT 端子が Low レベルのとき、WC1、0 ビットで設定された T_w 数が挿入されます。

端子オートウェイトモードでは、T_2 ステートのφの立下がりのタイミングで WAIT 端子が Low レベルであれば WC1、0 ビットによって設定された数だけ T_w を挿入します。

WAIT 端子を Low レベルに保持しても、設定された数を超える T_w は挿入されません。端子オートウェイトモードを用いるとチップセレクト信号を WAIT 端子に入力するだけで、低速メモリと容易にインタフェースすることができます。

このタイミングを**図** 6.14 に示します。**図** 6.14 は、ウェイトカウントが 1 の場合です。

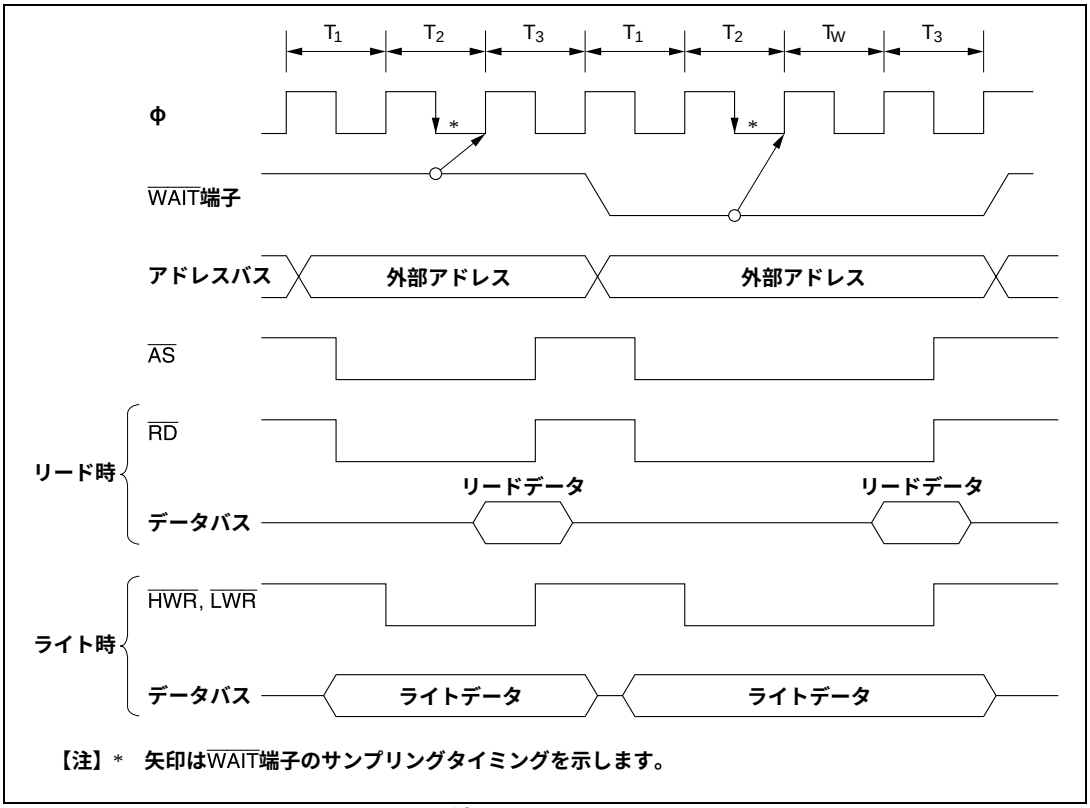


図 6.14 **端子オートウェイトモード**

(c) プログラマブルウェイトモード

プログラマブルウェイトモードでは、外部 3 ステートアクセス空間をアクセスすると、常に WC1、0 ビットにより設定されたステート数だけ T_w が挿入されます。

このタイミングを**図** 6.15 に示します。**図** 6.15 は、ウェイトカウントが 1 の場合（WC1＝0、WC0＝1）です。

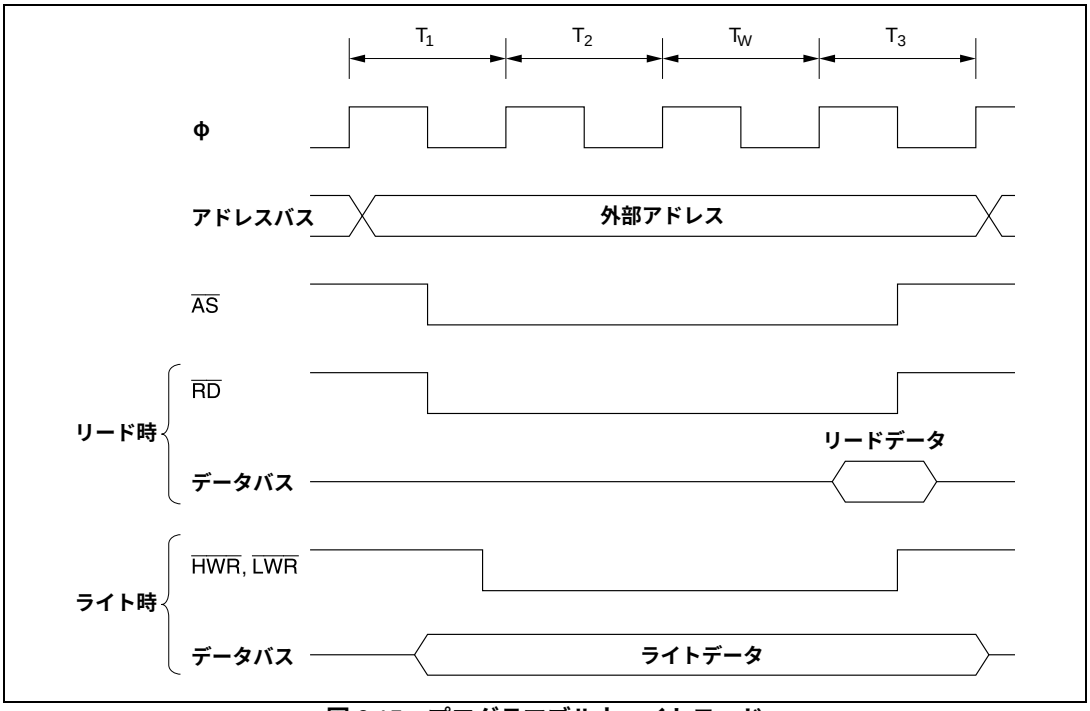


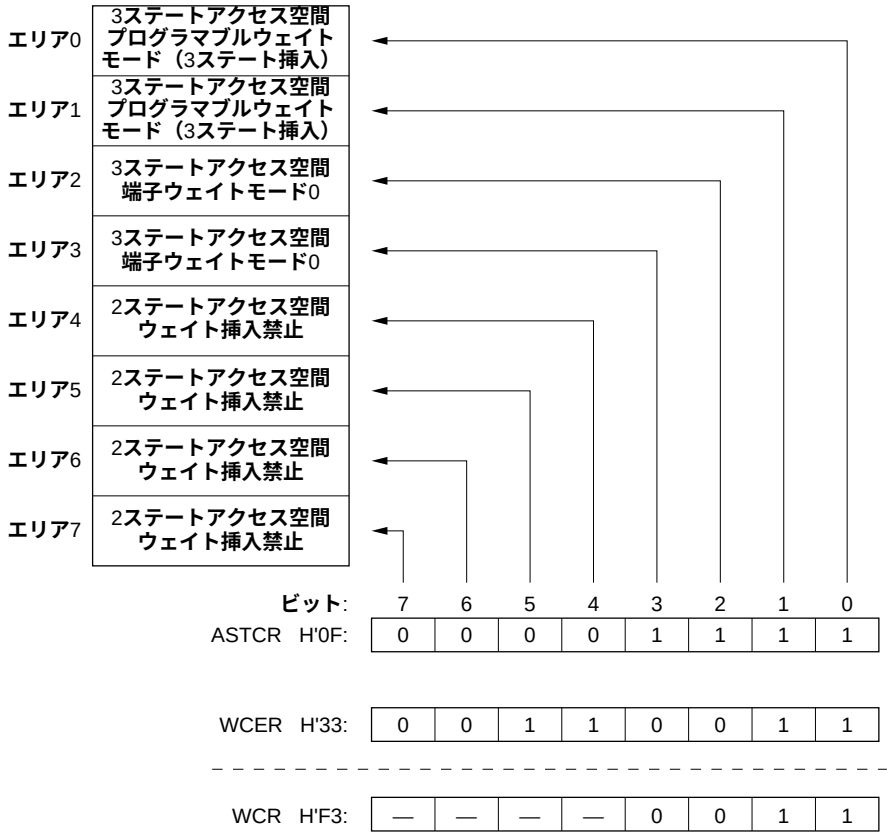
図 6.15 **プログラマブルウェイトモード**

(3) WSC の設定例

リセット後の WCER、ASTCR は、いずれも H'FF、WCR は H'F3 となっています。このため全エリアともプログラマブルウェイトモードの 3 ステート挿入となります。

その後、ソフトウェアにより、ASTCR、WCER、WCR を設定し、エリアごとのウェイトモードを選択してください。

ウェイトモードの設定例を**図** 6.16 に示します。



【注】ASTCR**によって**2**ステートアクセスに指定されたエリアでは、ウェイトステートは挿入できません。**

図 6.16 **ウェイトモードの設定例**

6.3.6 メモリとの接続例

バスコントローラは、各エリアごとに、データバス幅を 8 ビットアクセス空間または 16 ビット空間に、またアクセスステート数を 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定することができます。3 ステートアクセス空間に対しては多種のウェイト挿入が可能ですので高速性が要求されるデバイスと低速デバイスを容易に接続することが可能です。

本 LSI とメモリとの接続例を**図** 6.18 に、また、このときのメモリマップを**図** 6.17 に示します。エリア 0 に 256k ワード×16 ビットの EPROM を接続し、16 ビット 3 ステートアクセスを行います。エリア 1 に 32k ワード×8 ビットの SRAM を 2 個（SRAM1、2）接続し、16 ビット 2 ステートアクセスを行います。

エリア 2 に 32k ワード×8 ビットの SRAM を 1 個（SRAM3）接続し、8 ビット 3 ステートアクセス・端子オートウェイトステートを行います。

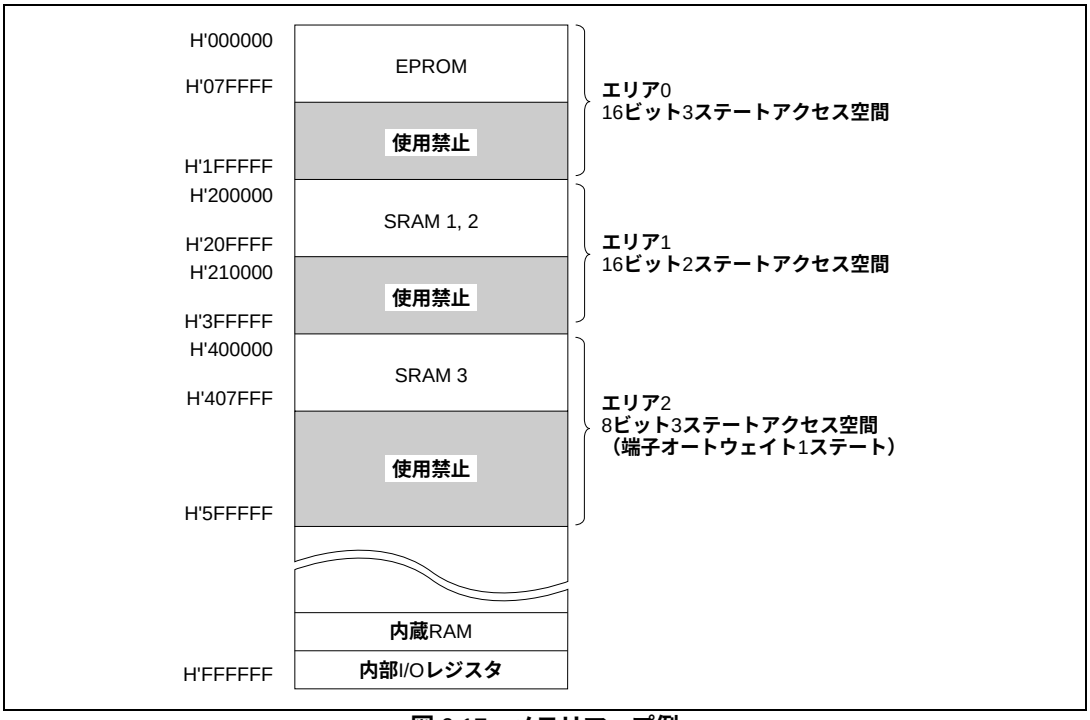


図 6.17 **メモリマップ例**

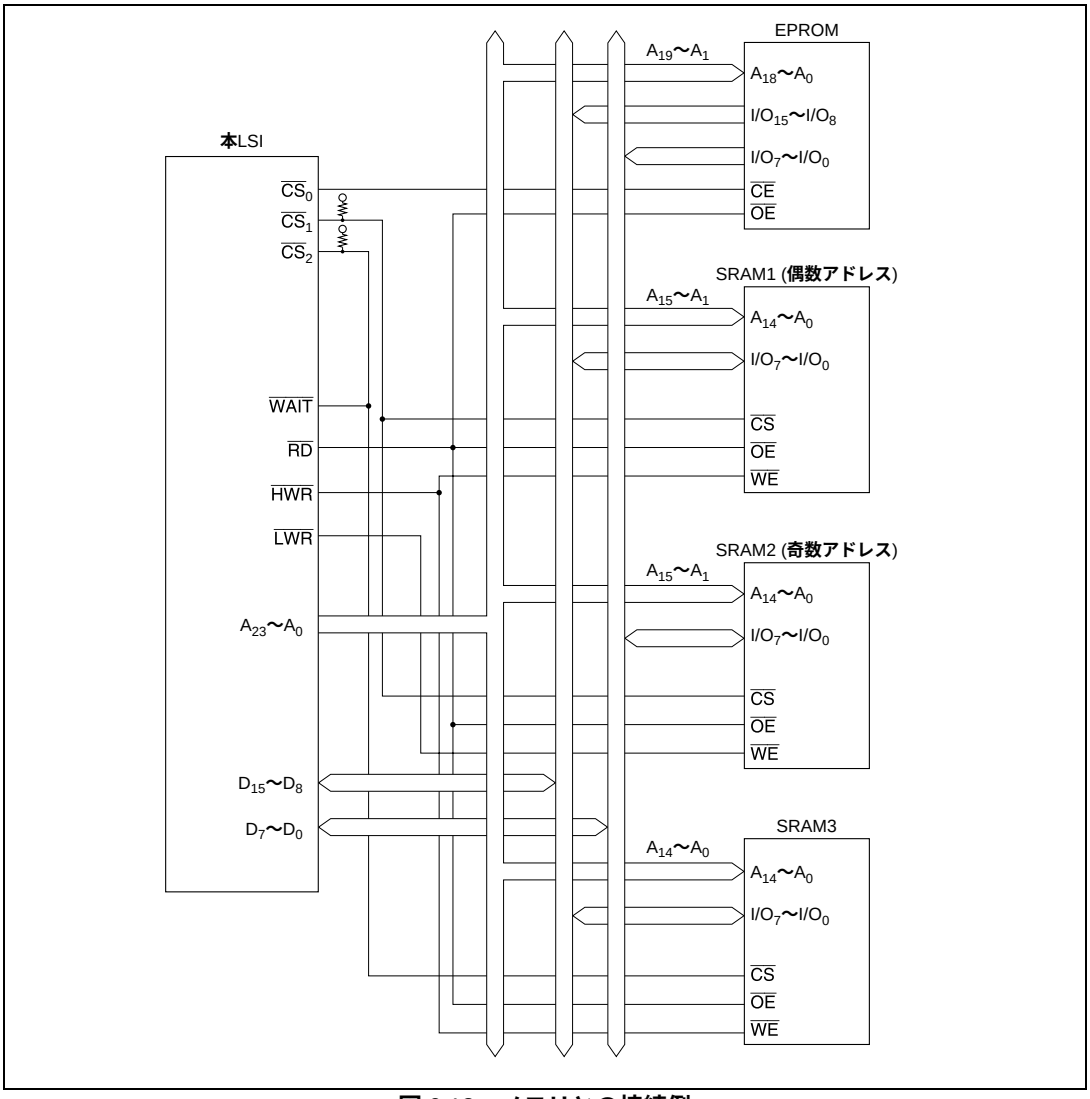


図 6.18　**メモリとの接続例**

6.3.7 バスアービタの動作

バスコントローラは、バスマスタの動作を調停（バスアービトレーション）するバスアービタを内蔵しています。

バスマスタは、CPU、DMAC、リフレッシュコントローラ、外部バスマスタの 4 つがあり、バス権を占有した状態でリード／ライトやリフレッシュ動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可して、バスマスタはバス権を獲得して動作します。

バスアービタは、バスマスタのバス権要求信号がアクティブになっているかどうかを調べ、アクティブになっていれば、そのバスマスタにバス権要求アクノリッジ信号を返します。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジを返します。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを使用します。

バスマスタの優先順位は、

（高）　外部バスマスタ＞リフレッシュコントローラ＞DMAC＞CPU　（低）

の順となっています。バスアービタは常にバス権要求信号をサンプリングし、優先順位を判定していますが、現在のバスマスタよりも優先順位の高いバスマスタからバス権要求があったとしても、すぐにバス権を放棄するとは限りません。

各バスマスタには、それぞれ自分より優先順位の高いバスマスタにバス権を譲ることができるタイミングがあります。

(1) CPU

CPU は最も優先順位の低いバスマスタです。CPU がバスマスタの場合に DMAC、リフレッシュコントローラ、または外部バスマスタからのバス権要求が発生するとバスアービタはバス権を要求があったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

［1］ バスサイクルの切れ目でバス権を移行します。ワードデータアクセスを2回のバイトアクセスに分割して行う場合には、これら2つのバイトアクセスの間ではバス権は移行しません

［2］ CPUが乗除算命令などの内部動作を行っている場合、他のバスマスタからバス権要求が発生するとただちに、バス権が移行します。CPUの内部動作は継続されます。

［3］ CPUがスリープモードの場合、他のバスマスタからバス権要求が発生するとただちにバス権が移行します。

(2) DMAC

DMAC は、起動要求が発生するとバスアービタに対してバス権を要求します。

DMAC がバスマスタの場合にリフレッシュコントローラ、または外部バスマスタからのバス権要求が発生すると、バスアービタはバス権の要求があったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

DMAC の 1 バイトまたは 1 ワードの転送が終了したとき、バス権を移行します。DMAC の転送サイクルはリードサイクルとライトサイクルで構成され、これらのリードサイクルと次のライトサイクルの間ではバス権は移行しません。

なお、DMAC の各チャネルには優先順位が設けられています。詳細については、**「8.4.9 DMAC 複数チャネルの動作」**を参照してください。

(3) リフレッシュコントローラ

リフレッシュコントローラは、リフレッシュサイクル要求が発生するとバスマスタに対してバス権を要求します。リフレッシュサイクルが終了すると、バス権を放棄します。詳細は、**「第 7 章　リフレッシュコントローラ」**を参照してください。

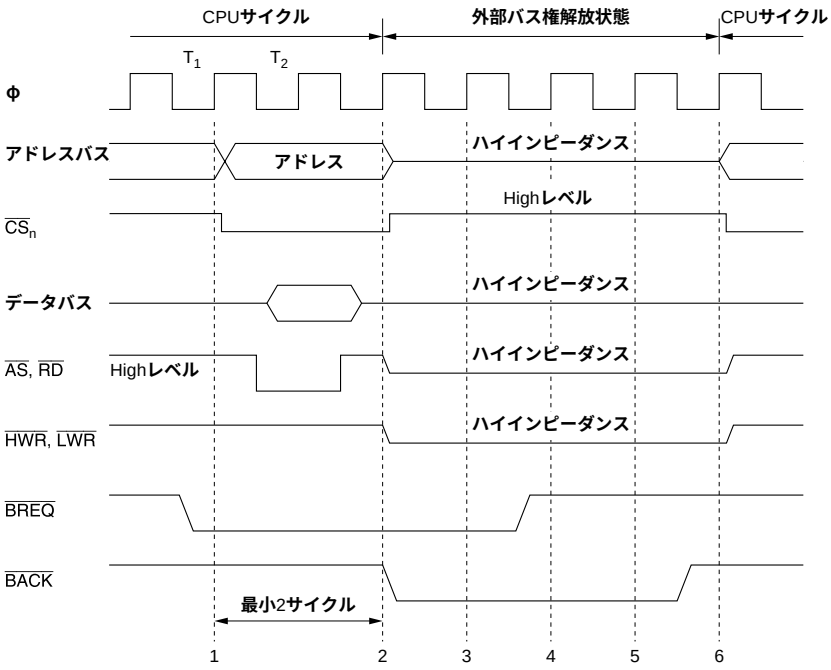
(4) 外部バスマスタ

BRCR の BRLE ビットを 1 にセットすると外部バスマスタにバス権を解放することができます。外部バスマスタは最も優先順位の高いバスマスタであり、BREQ 端子を Low レベルにすることにより、バスアービタに対してバス権を要求します。外部バスマスタが一旦バス権を獲得すると BREQ を Low レベルにしている間、バス権を保持し続けます。本 LSI は、外部バス権解放状態になると、アドレスバス、データバス、バス制御信号（AS、RD、HWR、LWR ）がハイインピーダンスとなり、チップセレクト信号（CSn：n＝7～0）は High レベルとなります。また外部バス権解放状態では、BACK 端子が Low レベル出力となります。

バスアービタは、φの立上がりで BREQ 端子をサンプリングします。BREQ 端子の Low レベルをサンプルすると所定のタイミングで外部バス権解放状態となります。BACK 端子が Low レベルになるまで BREQ 端子を Low レベルに保持してください。

外部バス権解放で、BREQ 端子の High レベルを 2 回連続してサンプリングすると、BACK 端子を High レベルにしてバス権解放サイクルを終了します。

図 6.19 に 2 ステートアクセス空間のリードサイクル中に外部バスマスタからバス権を要求された場合の動作タイミングを示します。BREQ 端子を Low レベルとしてから外部バス権解放状態となるまで最小 2 ステートかかります。



n = 7〜0

1　T_1ステートの立上がりでBREQ端子のLowレベルをサンプリングします。
2　CPUリードサイクルの終了時点でBACK端子をLowレベルにしてバス権を外部バスマスタに解放します。
3　外部バス権解放状態でもBREQ端子の状態をサンプリングします。
4, 5　BREQ端子のHighレベルを2回連続してサンプリングします。
6　BACK端子をHighレベルにして、バス権解放サイクルを終了します。

図 6.19　外部バス権解放状態（2 ステートアクセス空間リードサイクル中）

6.4 使用上の注意

6.4.1 DRAM および PSRAM の接続

エリア 3 に DRAM または PSRAM を直接接続する場合、バス制御信号タイミングが異なります。詳細は「第 7 章　リフレッシュコントローラ」を参照してください。

6.4.2 レジスタライトタイミング

(1) ABWCR、ASTCR および WCER のライトタイミング

ABWCR、ASTCR および WCER をライトした場合、ライトデータは次のバスサイクルから有効になります。

このタイミングを図 6.20 に示します。

エリア 0 上の命令でエリア 0 を 3 ステートアクセス空間から 2 ステートアクセス空間へ変更した場合の例です。

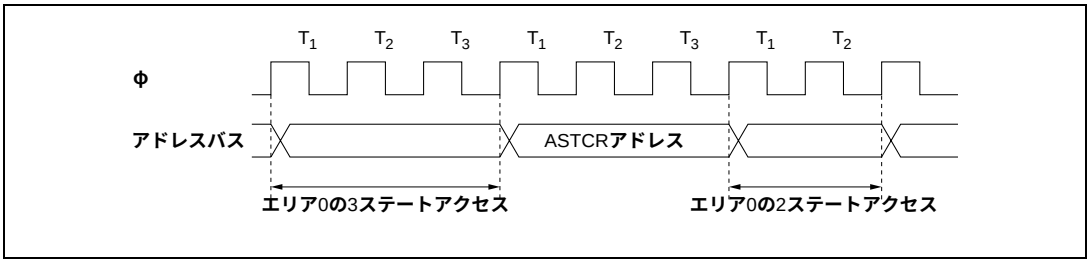


図 6.20　ASTCR ライトタイミング

(2) DDR ライトタイミング

CS_n 端子に対応するポートの DDR をライトし、CS_n 出力と入力ポートを切り換える場合、ライトデータは DDR ライトサイクルの T_3 から有効になります。このタイミングを図 6.21 に示します。CS_1 端子を出力とする場合の例です。

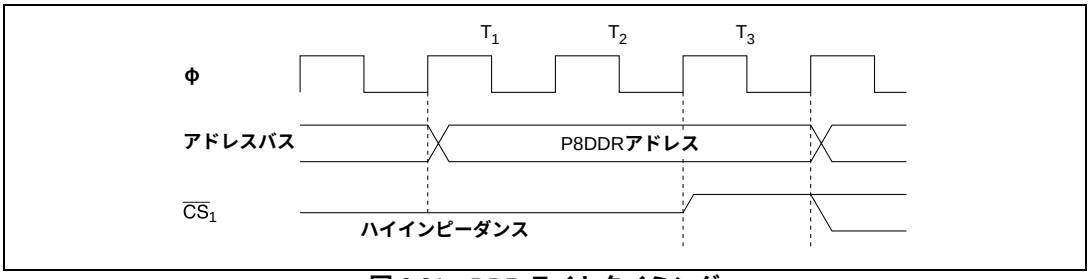


図 6.21　DDR ライトタイミング

(3) BRCR ライトタイミング

BRCR にライトし、A_{23}～A_{21} 出力と入出力ポートを切り換える場合、ライトデータは BRCR ライトサイクルの T_3 から有効になります。このタイミングを図 6.22 に示します。

入力ポートを A_{23}～A_{21} 出力とする場合の例です。

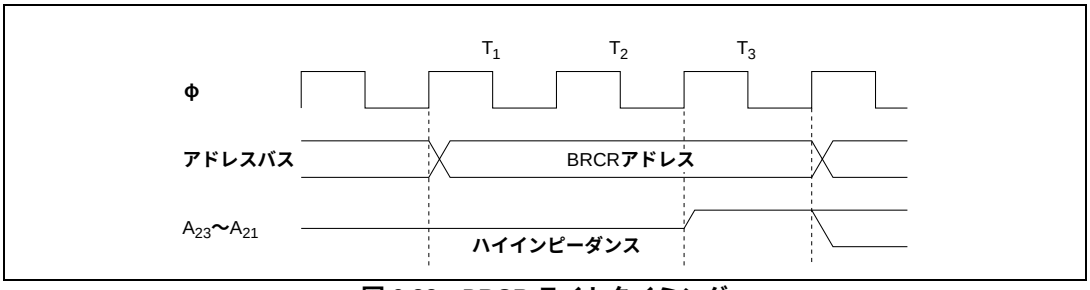


図 6.22 BRCR ライトタイミング

6.4.3 BREQ 端子の入力タイミング

BREQ 端子を Low レベルにした後、BACK 端子が Low レベルになるまで Low レベルを保持してください。BACK 端子が Low レベルになる前に BREQ 端子を High レベルに戻すと、バスアービタの動作が不確定となりますので注意してください。

また、外部バス権解放状態を終了するときには BREQ 端子を 3 ステート以上 High レベルにしてください。BREQ 端子の High レベルの期間が短いとバスアービタの動作が不確定となりますので注意してください。

6.4.4 ソフトウェアスタンバイモードへの遷移

ソフトウェアスタンバイモードへ遷移するとき、外部バスマスタからのバス権要求が競合すると、ソフトウェアスタンバイモードへの遷移の直前に 1 ステートバス解放状態が発生することがあります（図 6.23 参照）。

ソフトウェアスタンバイモードを使用するときは、SLEEP 命令を実行する前に、BRCR の BRLE ビットを 0 にクリアしてください。

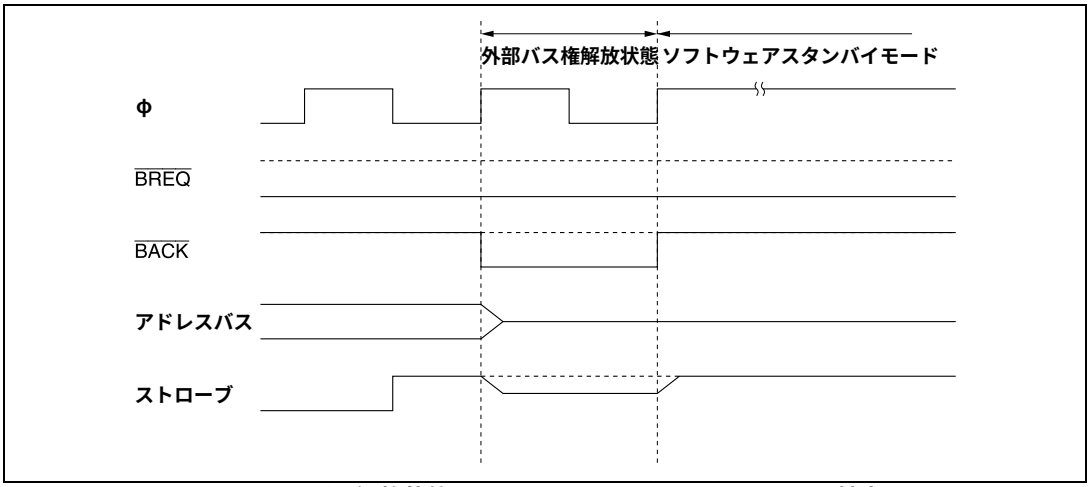


図 6.23　**バス解放状態とソフトウェアスタンバイモードの競合**

7.　リフレッシュコントローラ

7.1　概要

本 LSI は、リフレッシュコントローラを内蔵しており、×16 ビット構成の DRAM を直接接続できます。また、DRAM の代りに PSRAM を直接接続することも可能です。

DRAM または PSRAM を直接接続できる外部アドレス空間はエリア 3 です。モード 1、2、5（1M バイトモード）は最大 128k バイト、モード 3、4、6（16M バイトモード）は最大 2M バイトを使用できます。

DRAM、PSRAM のリフレッシュが不要なシステムでは、8 ビットインターバルタイマとして使用できます。

消費電流低減のため、リフレッシュコントローラを使用しない場合には、リフレッシュコントローラを単独に停止することができます。詳細は**「22.6　モジュールスタンバイ機能」**を参照してください。

7.1.1　特長

リフレッシュコントローラは、DRAM リフレッシュ制御、PSRAM リフレッシュ制御、またはインターバルタイマのうち、いずれか一つの機能を使用できます。リフレッシュコントローラの特長を以下に示します。

(1)　DRAM **リフレッシュコントローラとしての特長**

- ×16 ビット構成の DRAM を直接接続可能
- 2CAS 方式、または 2WE 方式のいずれか一方を選択可能
- DRAM のアドレス入力のマルチプレクスは、8 ビットカラムアドレスまたは 9 ビットカラムアドレスのいずれか一つを選択可能
  （例）
  - 1M ビット DRAM　8 ビットロウアドレス×8 ビットカラムアドレス
  - 4M ビット DRAM　9 ビットロウアドレス×9 ビットカラムアドレス
  - 4M ビット DRAM　10 ビットロウアドレス×8 ビットカラムアドレス
- リフレッシュ制御は CAS ビフォ RAS リフレッシュを採用
- プログラムによりリフレッシュ間隔を選択可能
- プログラムによりセルフリフレッシュモードを設定可能
- ウェイトステート挿入可能

(2)　PSRAM **リフレッシュコントローラとしての特長**

- リフレッシュ制御のため RFSH 信号を出力
- プログラムによりリフレッシュ間隔を選択可能
- プログラムによりセルフリフレッシュモードを設定可能
- ウェイトステート挿入可能

(3)　**インターバルタイマとしての特長**

- リフレッシュタイマカウンタ（RTCNT）を 8 ビットアップカウンタとして使用可能
- カウントクロックは 7 種類（φ／2、φ／8、φ／32、φ／128、φ／512、φ／2048、φ／4096）から選択可能

- RTCNT とリフレッシュタイムコンスタントレジスタ（RTCOR）のコンペアマッチにより割込み発生可能

7.1.2 ブロック図

リフレッシュコントローラのブロック図を**図** 7.1 に示します。

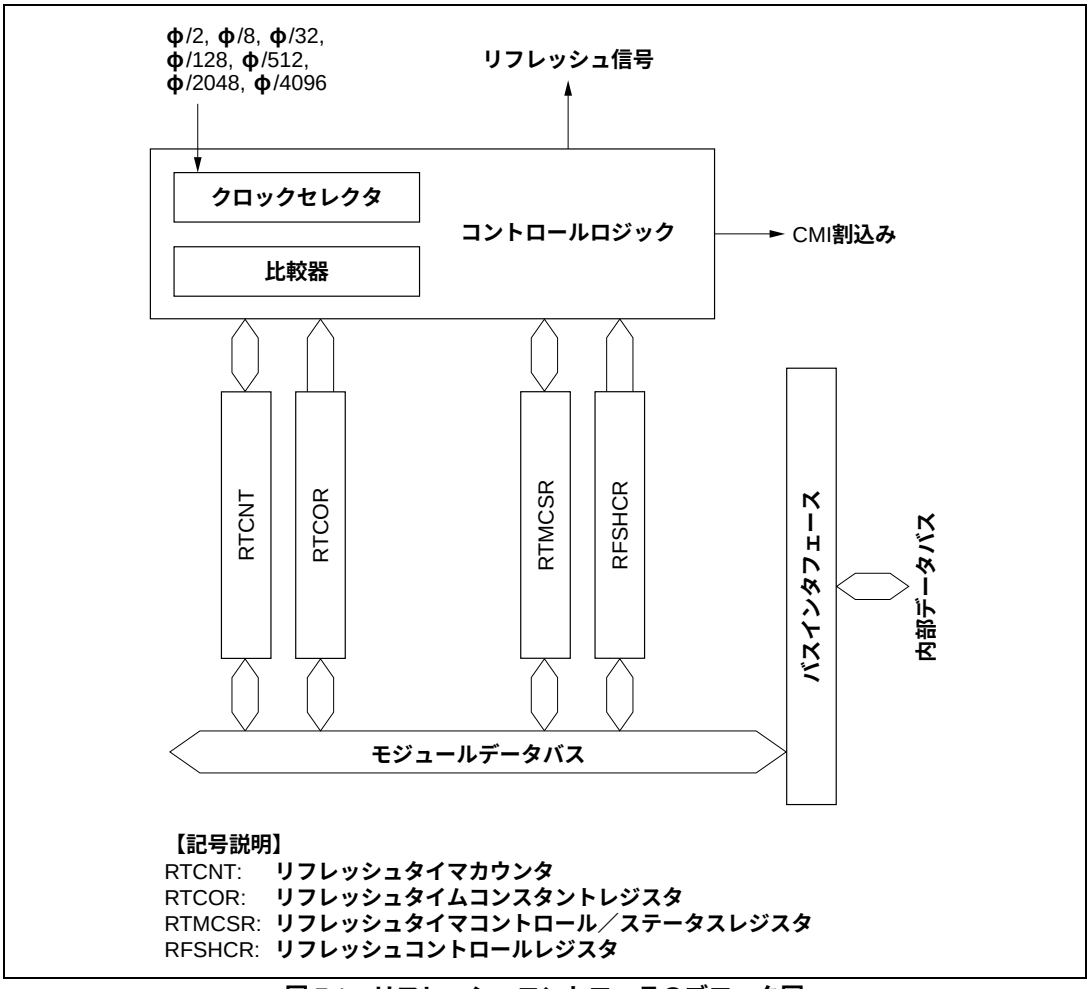


図 7.1 **リフレッシュコントローラのブロック図**

7.1.3 端子構成

リフレッシュコントローラの端子構成を表 7.1 に示します。

表 7.1 端子構成

端 子	信 号		入出力	機 能
	名 称	略 称		
RFSH	リフレッシュ	RFSH	出力	リフレッシュサイクル時 Low レベルとなります。DRAM および PSRAM のリフレッシュに使用します。
HWR	アッパーライト／アッパーカラムアドレスストローブ	UW / UCAS	出力	2WE 方式 DRAM の UW 端子／2CAS 方式 DRAM の UCAS 端子と接続します。
LWR	ロウアーライト／ロウアーカラムアドレスストローブ	LW /LCAS	出力	2WE 方式 DRAM の LW 端子／2CAS 方式 DRAM の LCAS 端子と接続します。
RD	カラムアドレスストローブ／ライトイネーブル	CAS / WE	出力	2WE 方式 DRAM の CAS 端子／2CAS 方式 DRAM の WE 端子と接続します。
CS_3	ロウアドレスストローブ	RAS	出力	DRAM の RAS 端子と接続します。

7.1.4 レジスタ構成

リフレッシュコントローラのレジスタ構成を表 7.2 に示します。

表 7.2 レジスタ構成

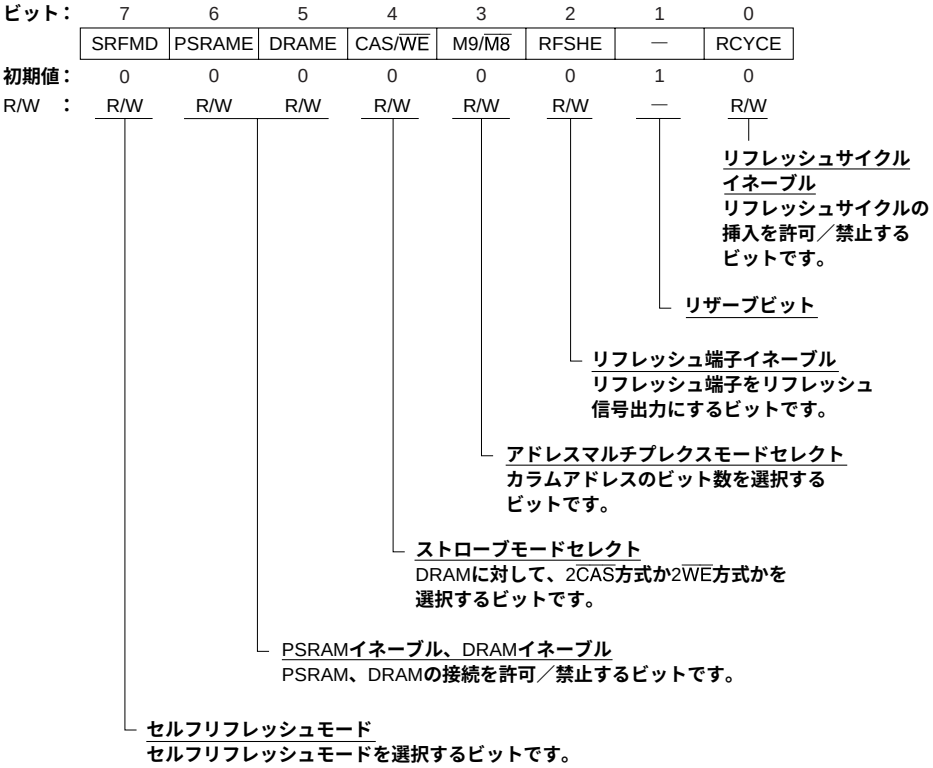
アドレス*	名 称	略 称	R/W	初期値
H'FFAC	リフレッシュコントロールレジスタ	RFSHCR	R/W	H'02
H'FFAD	リフレッシュタイマコントロール／ステータスレジスタ	RTMCSR	R/W	H'07
H'FFAE	リフレッシュタイマカウンタ	RTCNT	R/W	H'00
H'FFAF	リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'FF

【注】 * アドレスの下位 16 ビットを示しています。

7.2 各レジスタの説明

7.2.1 リフレッシュコントロールレジスタ（RFSHCR）

RFSHCR は、8 ビットのリード／ライト可能なレジスタで、リフレッシュコントローラの動作モードを選択します。



RFSHCR は、リセット、またはハードウェアスタンバイモード時に H'02 にイニシャライズされます。

ビット 7：セルフリフレッシュモード（SRFMD）

ソフトウェアスタンバイモード時、DRAM または PSRAM のセルフリフレッシュを指定します。

PSRAME＝1、DRAME＝0 のとき、SRFMD ビットを 1 にセットした後に、ソフトウェアスタンバイモードに遷移すると、PSRAM のセルフリフレッシュが可能となります。

また、PSRAME＝0、DRAME＝1 のとき、SRFMD ビットを 1 にセットした後に、ソフトウェアスタンバイモードに遷移すると、DRAM のセルフリフレッシュが可能となります。

いずれの場合もソフトウェアスタンバイモードの解除により、通常のアクセス状態に戻ります。

ビット 7	説　明
SRFMD	
0	ソフトウェアスタンバイモード時に、DRAM または PSRAM のセルフリフレッシュを禁止（初期値）
1	ソフトウェアスタンバイモード時に、DRAM または PSRAM のセルフリフレッシュが可能

ビット 6：PSRAM イネーブル（PSRAME）

ビット 5：DRAM イネーブル（DRAME）

外部アドレス空間のエリア 3 に対して、DRAM または PSRAM の接続を許可／禁止します。

DRAM または PSRAM を接続する場合、エリア 3 のバスサイクルおよびリフレッシュサイクルは ASTCR の設定にかかわらず、3 ステートアクセスとなります。ただし、ウェイトステートは、ASTCR の AST3＝0 の場合、挿入することはできません。

PSRAME ビットまたは DRAME ビットが 1 にセットされていると、RFSHCR のビット 0、2、3、4、および RTMCSR、RTCNT、RTCOR へのライトはできません。ただし、RTMCSR の CMF フラグについては、フラグをクリアするための 0 ライトのみ可能です。

ビット 6	ビット 5	説　明
PSRAME	DRAME	
0	0	インターバルタイマとして使用可能（初期値） （DRAM、PSRAM の直接接続不可能）
	1	DRAM の直接接続が可能
1	0	PSRAM の直接接続が可能
	1	使用禁止

ビット 4：ストローブモードセレクト（CAS/WE）

2CAS 方式か 2WE 方式のいずれかを選択します。

本ビットの設定は PSRAME＝0、DRAME＝1 のとき有効となります。本ビットは、PSRAME ビットまたは DRAME ビットが 1 にセットされているとライトすることはできません。

ビット 4	説　明
CAS/WE	
0	2WE 方式を選択（初期値）
1	2CAS 方式を選択

ビット 3：アドレスマルチプレクスモードセレクト（M9/M8）

8 ビットカラムアドレスまたは 9 ビットカラムアドレスのいずれかを選択します。

本ビットの設定は PSRAME＝0、DRAME＝1 のとき有効となります。本ビットは、PSRAME ビットまたは DRAME ビットが 1 にセットされているとライトすることはできません。

ビット 3 M9/M8	説　明
0	8 ビットカラムモードを選択　（初期値）
1	9 ビットカラムモードを選択

ビット 2：リフレッシュ端子イネーブル（RFSHE）

RFSH 端子のリフレッシュ信号出力を許可／禁止します。

本ビットは、PSRAME ビットまたは DRAME ビットが 1 にセットされているとライトすることはできません。

ビット 2 RFSHE	説　明
0	RFSH 端子のリフレッシュ信号出力を禁止　（初期値） （RFSH 端子は入出力ポートとして使用可）
1	RFSH 端子のリフレッシュ信号出力を許可

ビット 1：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

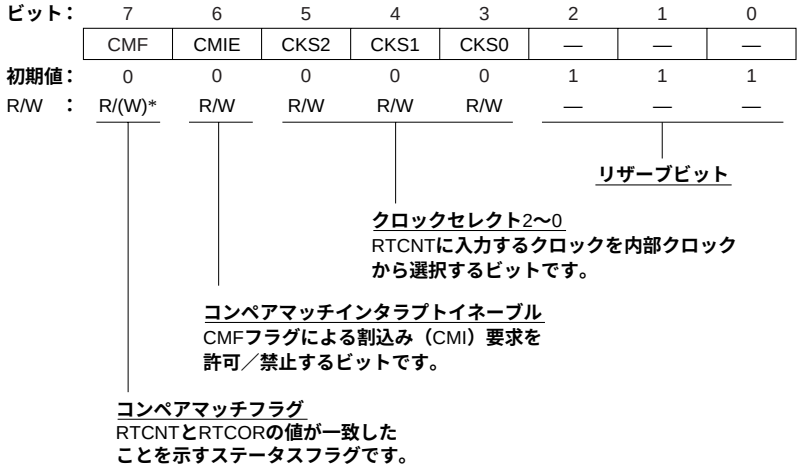
ビット 0：リフレッシュサイクルイネーブル（RCYCE）

リフレッシュサイクルの挿入を許可または禁止します。本ビットは PSRAME＝1、または DRAME＝1 のときに有効となります。PSRAME＝0 かつ DRAME ビット＝0 のときは、本ビットの設定にかかわらずリフレッシュサイクルは挿入されません。

ビット 0 RCYCE	説　明
0	リフレッシュサイクルを禁止　（初期値）
1	エリア 3 に対するリフレッシュサイクルを許可

7.2.2 リフレッシュタイマコントロールステータスレジスタ（RTMCSR）

RTMCSR は、8 ビットのリード／ライト可能なレジスタで、RTCNT に入力するクロックの選択を行います。また、インターバルタイマとして使用する場合は、割込み要求の許可／禁止も行います。



【注】＊　フラグをクリアするための 0 ライトのみ可能です。

ビット 7、6 は、リセット、またはスタンバイモード時にイニシャライズされます。

ビット 5〜3 は、リセット、またはハードウェアスタンバイモード時にイニシャライズされますが、ソフトウェアスタンバイモード時にはソフトウェアスタンバイモードに遷移する前の状態を保持しています。

ビット 7：コンペアマッチフラグ（CMF）

RTCNT と RTCOR の値が一致したことを示すステータスフラグです。

ビット 7 CMF	説　明
0	［クリア条件］CMF＝1 の状態で、CMF フラグをリードした後、CMF フラグに 0 をライトしたとき
1	［セット条件］RTCNT＝RTCOR になったとき

ビット 6：コンペアマッチインタラプトイネーブル（CMIE）

RTCSR の CMF フラグが 1 にセットされたとき、CMF フラグによる割込み（CMI）要求を許可／禁止します。

PSRAME＝1、または DRAME＝1 のとき、CMIE ビットは常に 0 にクリアされています。

ビット 6 CMIE	説　明
0	CMF フラグによる割込み（CMI）要求を禁止　（初期値）
1	CMF フラグによる割込み（CMI）要求を許可

ビット 5〜3：クロックセレクト 2〜0（CKS2〜CKS0）

RTCNT に入力するクロックを内部クロックから選択します。リフレッシュコントローラとして使用する場合は、RTCNT と RTCOR のコンペアマッチによりリフレッシュ要求を周期的に発生します。インターバルタイマとして使用する場合は、コンペアマッチにより CMI 割込み要求を周期的に発生します。

本ビットは、PSRAME ビットまたは DRAME ビットが 1 にセットされているとライトすることはできません。

ビット 5	ビット 4	ビット 3	説　明
CKS2	CKS1	CKS0	
0	0	0	クロック入力禁止　（初期値）
		1	φ／2 でカウント
	1	0	φ／8 でカウント
		1	φ／32 でカウント
1	0	0	φ／128 でカウント
		1	φ／512 でカウント
	1	0	φ／2048 でカウント
		1	φ／4096 でカウント

ビット 2〜0：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

7.2.3 リフレッシュタイマカウンタ（RTCNT）

RTCNT は、リード／ライト可能な 8 ビットのアップカウンタです。

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RTCNT は、RTMCSR の CKS2〜CKS0 ビットで選択された内部クロックにより、カウントアップします。

RTCNT が RTCOR に一致（コンペアマッチ）すると、CMF フラグが 1 にセットされ RTCNT は H'00 にイニシャライズされます。

RTCNT は、PSRAME ビットまたは DRAME ビットが 1 にセットされているとライトすることはできません。

RTCNT は、リセット、またはスタンバイモード時に H'00 にイニシャライズされます。

7.2.4 リフレッシュタイムコンスタントレジスタ（RTCOR）

RTCOR は、8 ビットのリード／ライト可能なレジスタで、RTCNT とのコンペアマッチ周期を設定します。

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RTCOR と RTCNT の値は常に比較されており、両方の値が一致すると RTMCSR の CMF フラグが 1 にセットされ、同時に RTCNT が H'00 にクリアされます。

RTCOR は、PSRAME ビットまたは DRAME ビットが 1 にセットされているとライトすることはできません。

RTCOR は、リセット、またはハードウェアスタンバイモード時に H'FF にイニシャライズされます。ソフトウェアスタンバイモード時にはソフトウェアスタンバイモードに遷移する前の値を保持しています。

7.3 動作説明

7.3.1 概要

リフレッシュコンロトーラは、エリア 3 に接続した DRAM のインタフェース、エリア 3 に接続した PSRAM のインタフェース、またはインターバルタイマのうち、いずれか一つを選択することができます。

上記の 3 種類の使用方法の概要を**表** 7.3 に示します。

表 7.3 **リフレッシュコントローラの設定方法**

レジスタ設定 ＼ 用途		DRAM インタフェース	PSRAM インタフェース	インターバルタイマ
RFSHCR	SRFMD	セルフリフレッシュモードの指定		0 に設定
	PSRAME	0 に設定	1 に設定	0 に設定
	DRAME	1 に設定	0 に設定	0 に設定
	CAS／WE	2 CAS 方式／ 2 WE 方式選択	－	－
	M9／M8	カラムモード選択	－	－
	RFSHE	RFSH 端子出力選択		0 に設定
	RCYCE	リフレッシュサイクル挿入選択		－
RTCOR		リフレッシュ間隔を設定		割込み周期を設定
RTMCSR	CKS2〜0			
	CMF	RTCNT＝RTCOR のとき、1 にセット		
	CMIE	0 に設定		割込み要求の許可／禁止を選択
P8DDR	$P8_1$DDR	1 に設定（CS_3 出力設定）		0 または 1 に設定
ABWCR	ABW3	0 に設定	－	

(1) DRAM インタフェース

RTCOR、RTMCSR、RFSHCR の順に初期設定を行い、PSRAME ビットを 0、DRAME ビットを 1 に設定することにより、×16 ビット構成の DRAM をエリア 3 に接続できます。このとき、ポート 8 データディレクションレジスタ（P8DDR）の $P8_1$DDR ビットを 1 にセットして CS_3 出力に設定してください。また、ABWCR により、エリア 3 を 16 ビットアクセス空間に設定してください。

(2) PSRAM インタフェース

RTCOR、RTMCSR、RFSHCR の順に初期設定を行い、PSRAME ビットを 1、DRAME ビットを 0 に設定することにより、PSRAM をエリア 3 に接続できます。このとき、P8DDR の $P8_1$DDR ビットを 1 にセットして CS_3 出力に設定してください。

(3) インターバルタイマ

PSRAME＝0 かつ DRAME＝0 のとき、インターバルタイマとして動作します。RTCOR を設定後、RTMCSR で入力クロックを選択して、CMIE ビットを 1 にセットしてください。

上記設定により、RTCOR と RTMCSR の CKS2～CKS0 ビットで決まるコンペアマッチの周期ごとに CMI 割込み要求を発生することができます。

RTCOR、RTMCSR、RFSHCR の設定は、必ず PSRAME＝0 かつ DRAME＝0 の状態で行ってください。どちらかのビットが 1 の場合、ライトできません。

7.3.2 DRAM リフレッシュ制御

(1) リフレッシュ要求の周期とリフレッシュサイクルの実行

リフレッシュ要求の周期は、RTCOR と RTMCSR の CKS2～CKS0 ビットにより設定します。

リフレッシュ要求の周期を**図** 7.2 に示します。

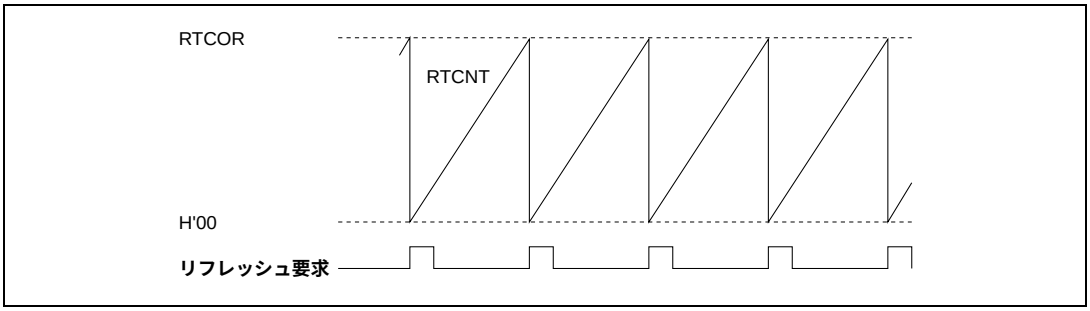


図 7.2 **リフレッシュ要求の周期**（RCYCE＝1）

リフレッシュ要求は**図** 7.2 に示す周期で発生しますが、実際のリフレッシュサイクルの実行は、フレッシュコントローラがバス権を獲得した後に行われます。

表 7.4 にエリア 3 の設定と DRAM のリード／ライトサイクルおよびリフレッシュサイクルの関係を示します。

表 7.4　エリア 3 の設定と DRAM アクセスサイクルおよびリフレッシュサイクルの関係

エリア 3 の設定	CPU または DMA コントローラによるリード／ライトサイクル	リフレッシュサイクル
2 ステートアクセス空間 （AST3＝0）	• 3 ステート • ウェイト挿入不可	• 3 ステート • ウェイト挿入不可
3 ステートアクセス空間 （AST3＝1）	• 3 ステート • ウェイト挿入可能	• 3 ステート • ウェイト挿入可能

リフレッシュサイクルを挿入するために、RFSHCR の RCYCE ビットを 1 にセットしてください。

リフレッシュサイクル実行の状態遷移を**図** 7.3 に示します。

リセット直後、またはスタンバイモード解除直後にリフレッシュ要求が発生すると、リフレッシュ要求保持状態に遷移します。このときには、リフレッシュサイクルは実行されません。イニシャライズのためにリフレッシュサイクルを必要とする DRAM を使用する場合は注意してください。

リフレッシュ要求保持状態でリフレッシュ要求が発生すると、リフレッシュコントローラはバス権を獲得してリフレッシュサイクルを実行します。また、リフレッシュサイクル実行中に発生したリフレッシュ要求は無視されます。

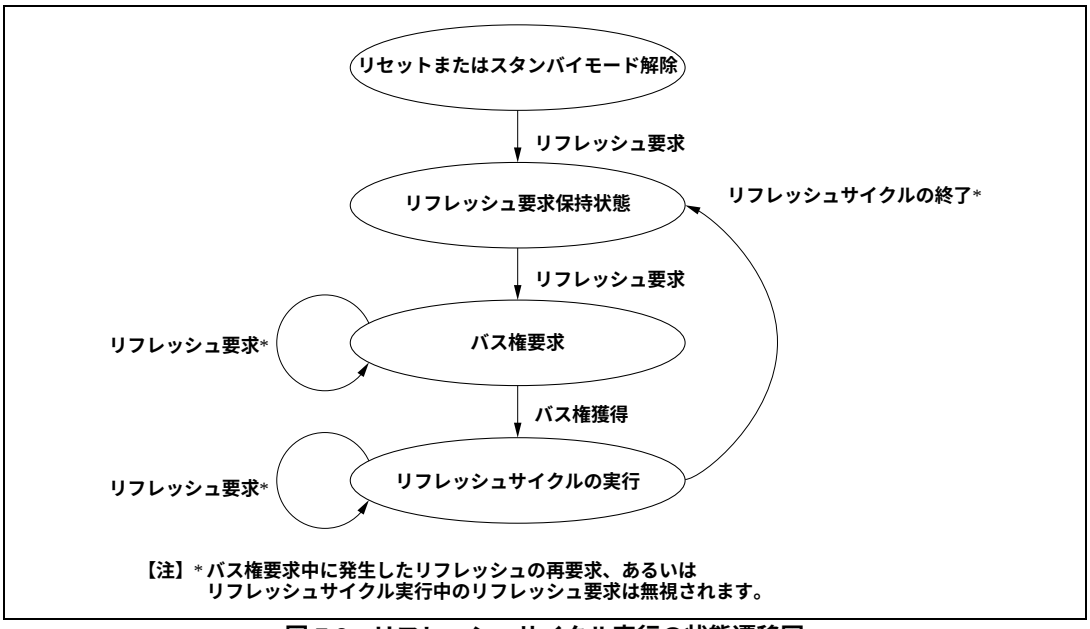


図 7.3　リフレッシュサイクル実行の状態遷移図

(2)　アドレスマルチプレクス

RFSHCR の M9/M8 ビットにより、カラムアドレスのビット数を指定すると、アドレスのマルチプレクスは**表** 7.5 に示すようになります。また、そのときのアドレス出力タイミングを**図** 7.4 に示します。アドレスのマルチプレクス出力は、エリア 3 に対してのみ行われます。

表 7.5　アドレスマルチプレクス

アドレス端子		A_{23}〜A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
ロウアドレス出力時のアドレス出力		A_{23}〜A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
カラムアドレス出力時のアドレス出力	M9/ M8 =0	A_{23}〜A_{10}	A_9	A_9	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_0
	M9/ M8 =1	A_{23}〜A_{10}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_0

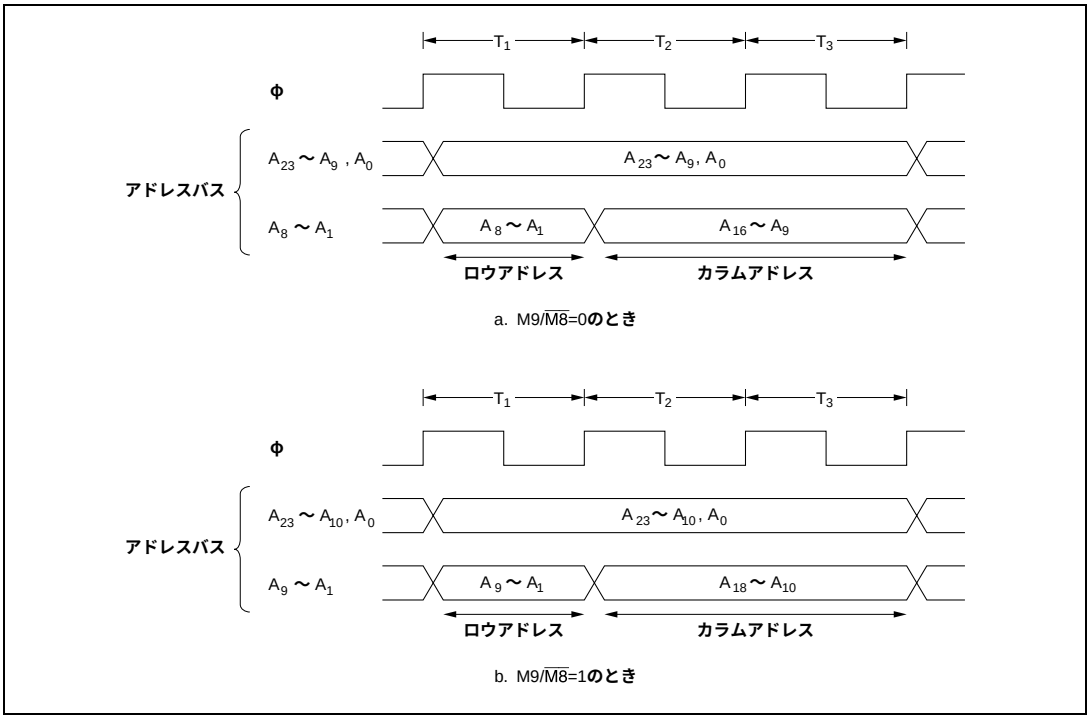


図 7.4　マルチプレクスされたアドレス出力の例（ウェイト挿入なし）

(3)　2CAS 方式と 2WE 方式

×16 ビット構成の DRAM のうち、UCAS、LCAS を使用する方式と UW、LW を使用する方式のいずれかを RFSHCR の CAS/WE ビットにより、選択することができます。

2CAS 方式および 2WE 方式の各々の場合について、DRAM と本 LSI の端子対応を**表** 7.6 に示します。

表 7.6　DRAM と本 LSI の端子対応

本 LSI の端子	DRAM の端子	
	CAS/WE＝0 （2WE 方式）	CAS/WE＝1 （2CAS 方式）
HWR	UW	UCAS
LWR	LW	LCAS
RD	CAS	WE
CS_3	RAS	RAS

2WE 方式による DRAM インタフェースを**図** 7.5（1）に、また 2CAS 方式による DRAM インタフェースを**図** 7.5（2）に示します。

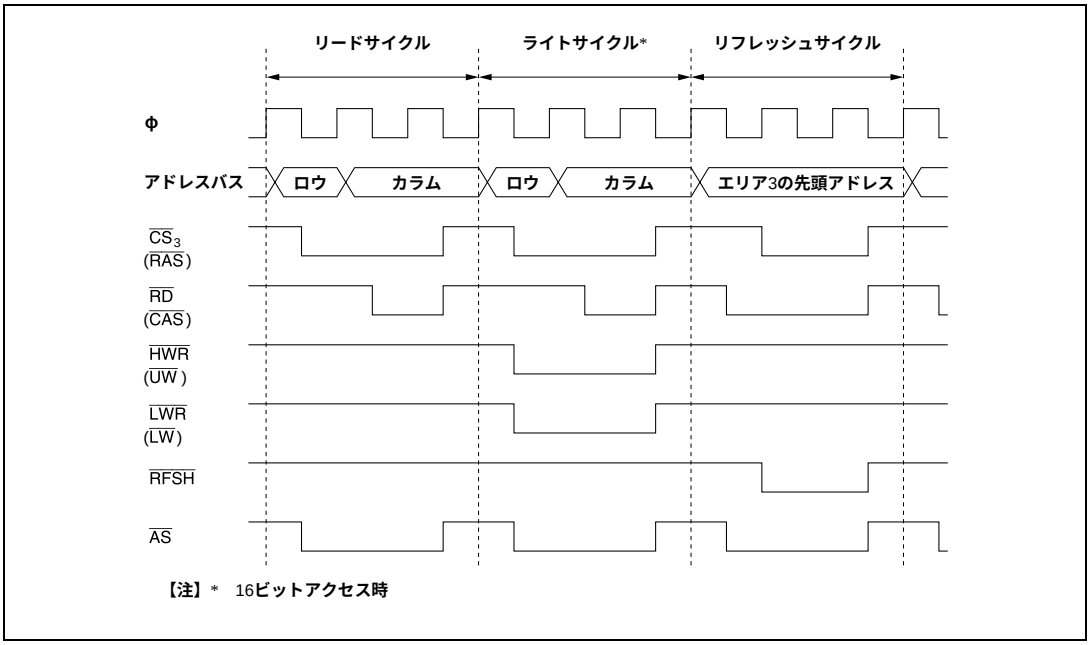


図 7.5　DRAM **制御信号出力タイミング**（1）（2WE **方式**）

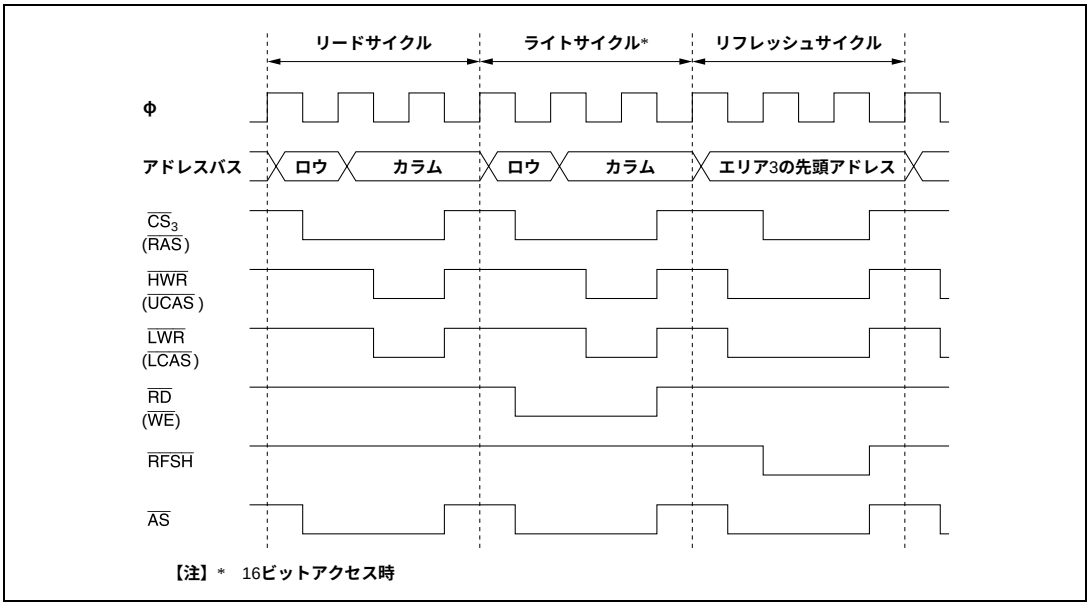


図 7.5　DRAM **制御信号出力タイミング**（2）（2CAS **方式**）

(4) リフレッシュサイクルの優先順位

バス権が同時に要求された場合の優先順位は次のようになります。

（高）外部バスマスタ＞リフレッシュコントローラ＞DMA コントローラ＞CPU（低）

詳細は、**「6.3.7 バスアービタの動作」**を参照してください。

(5) ウェイトステートの挿入

ASTCR の AST3 を 1 にセットした場合、バスコントローラの設定によりバスサイクルおよびリフレッシュサイクルに対して、ウェイトステートを挿入することができます。
詳細は、**「6.3.5 ウェイトモード」**を参照してください。

(6) セルフリフレッシュモード

DRAM には、セルフリフレッシュ機能を持つものがあります。
RFSHCR の SRFMD ビットを 1 にセットした後、ソフトウェアスタンバイモードに遷移すると、CAS、RAS の順に Low レベル出力となり、DRAM のセルフリフレッシュ機能を使用するることができます。ソフトウェアスタンバイモードが解除されると、CAS、RAS は High レベル出力となります。
表 7.7 にソフトウェアスタンバイモード時の端子状態を、また**図** 7.6 に信号出力タイミングを示します。

表 7.7 **ソフトウェアスタンバイモード時の端子状態**（1）（PSRAME＝0、DRAME＝1）

信号	**ソフトウェアスタンバイモード時**			
	SRFMD＝0		SRFMD＝1 **（セルフリフレッシュモード）**	
	CAS/WE＝0	CAS/WE＝1	CAS/WE＝0	CAS/WE＝1
HWR	**ハイインピーダンス**	**ハイインピーダンス**	High	Low
LWR	**ハイインピーダンス**	**ハイインピーダンス**	High	Low
RD	**ハイインピーダンス**	**ハイインピーダンス**	Low	High
CS_3	High	High	Low	Low
RFH	High	High	Low	Low

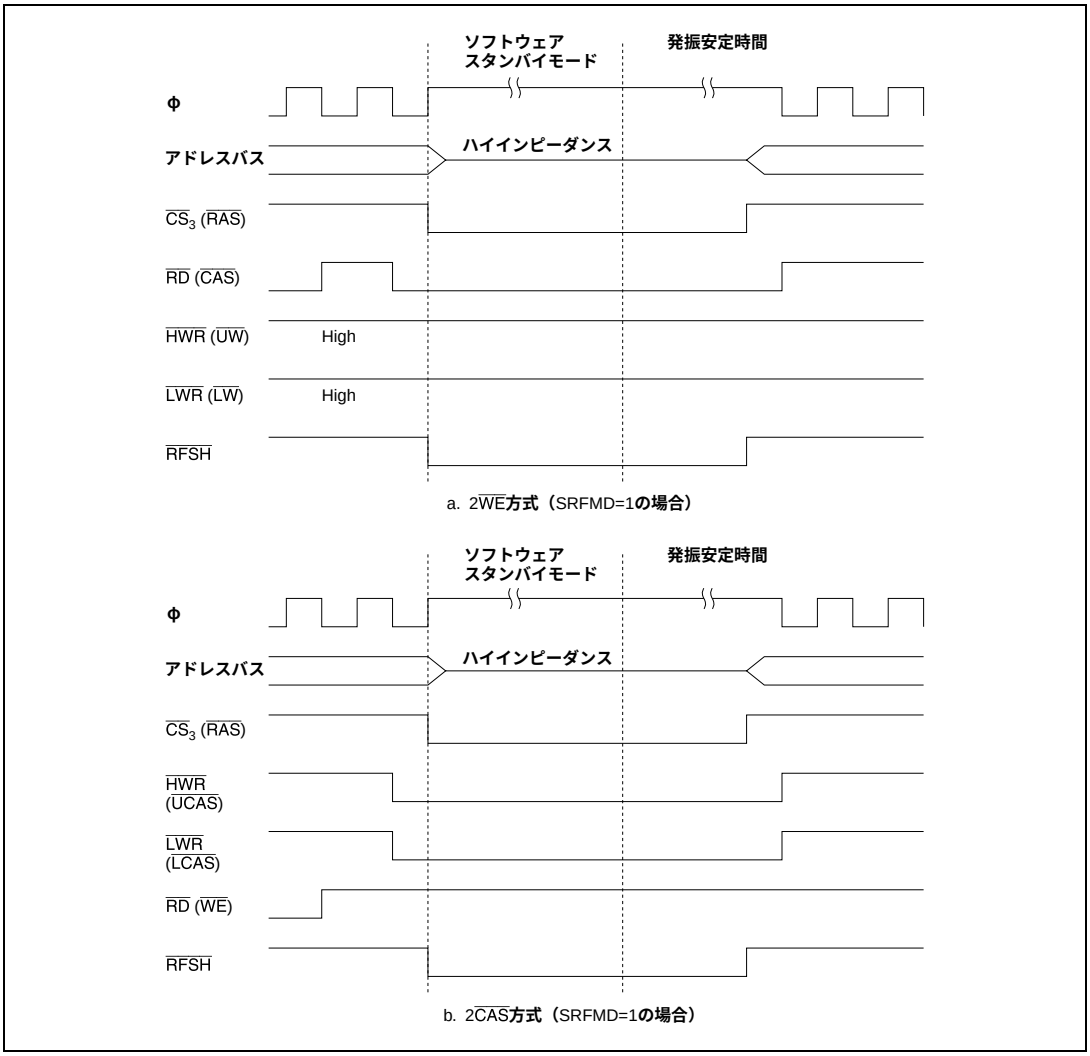


図 7.6 **セルフリフレッシュモードの信号出力タイミング**（PSRAME＝0、DRAME＝1）

(7) 低消費電力状態時の動作

リフレッシュコントローラは、スリープモードでも動作します。また、ハードウェアスタンバイモード時には動作を停止します。ソフトウェアスタンバイモード時には、RTCNT はイニシャライズされますが、RFSHCR、RTMCSR のビット 5〜3、RTCOR はソフトウェアスタンバイモードに遷移する直前の状態を保持します。

(8) 使用例

(a) 2WE 方式 1M ビット DRAM の接続例（1M バイトモード）

図 7.7 に 2WE 方式の 1M ビット DRAM の接続例とそのアドレスマップを示します。

また、**図** 7.8 にそのときのプログラム設定順序を示します。DRAM は、電源投入直後、内部状態を安定させるためにリフレッシュサイクルを必要とします。したがって、他のタイマモジュールによる割込み、あるいは RTMCSR のビット 7（CMF）がセットされる回数を数えるなどして、DRAM の安定期間を確保してください。リセット、またはスタンバイ直後の最初のリフレッシュ要求（CMF フラグのセット）は、リフレッシュサイクル実行に使用されませんので注意してください（**図** 7.3 参照）。

本機能を使用する場合は、DRAM デバイス特性をよくご確認の上、そのデバイスに適合する使い方をしてください。

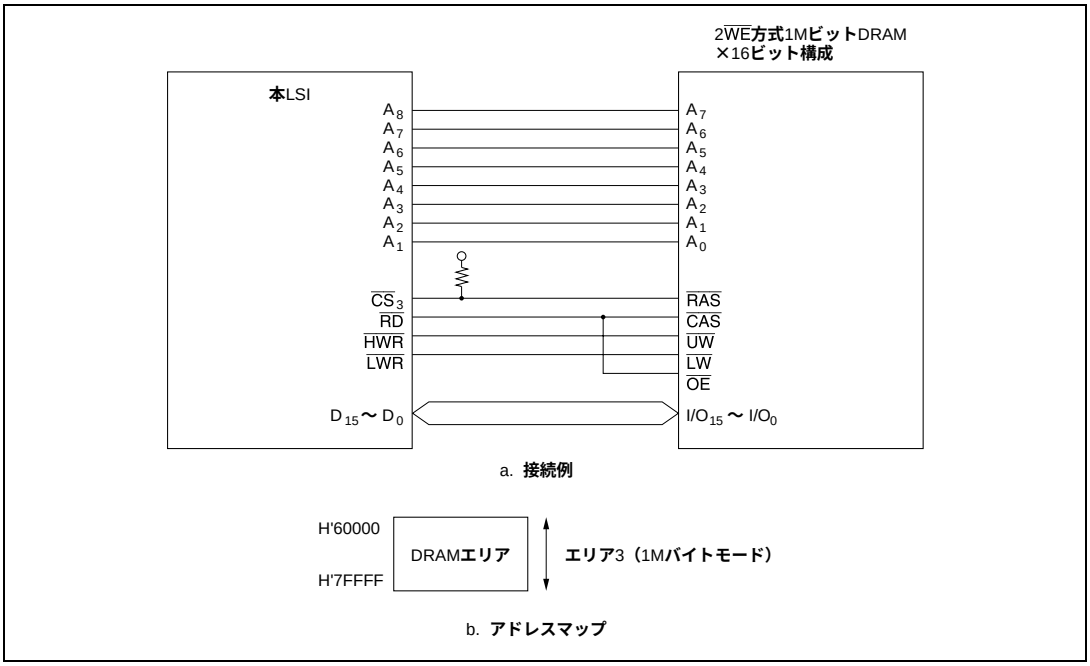


図 7.7　2WE **方式** 1M **ビット** DRAM **の接続例とアドレスマップ**

図 7.8　2WE 方式 1M ビット DRAM の設定順序（1M バイトモード）

(b) 2WE 方式 4M ビット DRAM の接続例（16M バイトモード）

図 7.9 に、2WE 方式 4M ビット DRAM を 1 個使用する場合の接続例とそのアドレスマップを示します。また**図** 7.10 にそのときのプログラム設定手順を示します。

本例では、10 ビットロウアドレス×8 ビットカラムアドレスの DRAM を使用して、H'600000～H'67FFFF が DRAM エリアに設定されています。

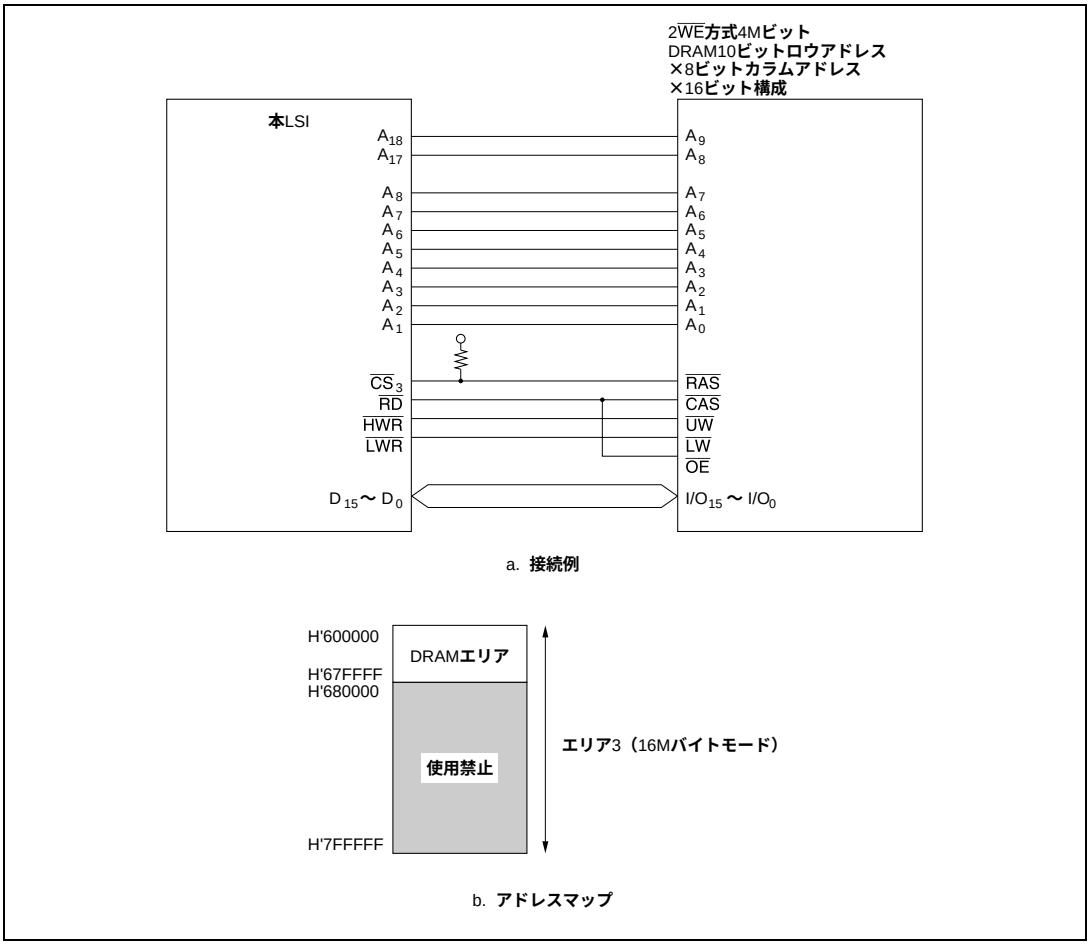


図 7.9 2WE **方式** 4M **ビット** DRAM **の接続例とアドレスマップ**

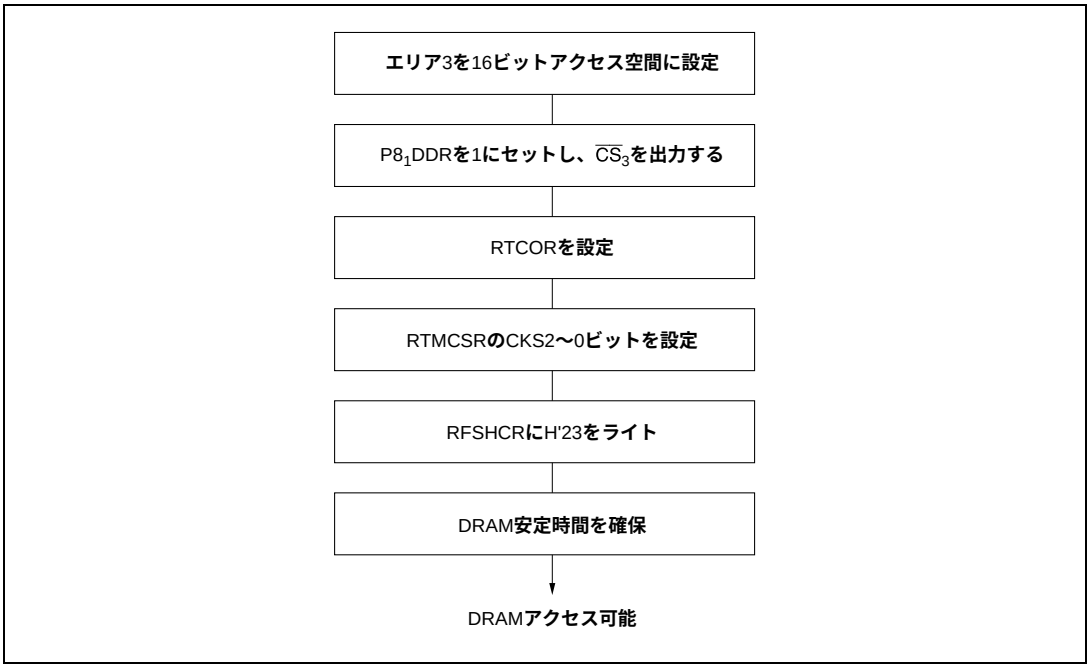


図 7.10　2WE **方式** 4M **ビット** DRAM（10 **ビットロウアドレス**×8 **ビットカラムアドレスの場合）の設定順序**（16M **バイトモード**）

(c) 2CAS 方式 4M ビット DRAM の使用例（16M バイトモード）

図 7.11 に 2 CAS 方式の 4M ビット DRAM を 1 個使用する場合の接続例とそのアドレスマップを示します。また、**図** 7.12 にそのときのプログラム設定順序を示します。

本例では、9 ビットロウアドレス×9 ビットカラムアドレスの DRAM を使用して、H'600000～H'67FFFF が DRAM エリアに設定されています。

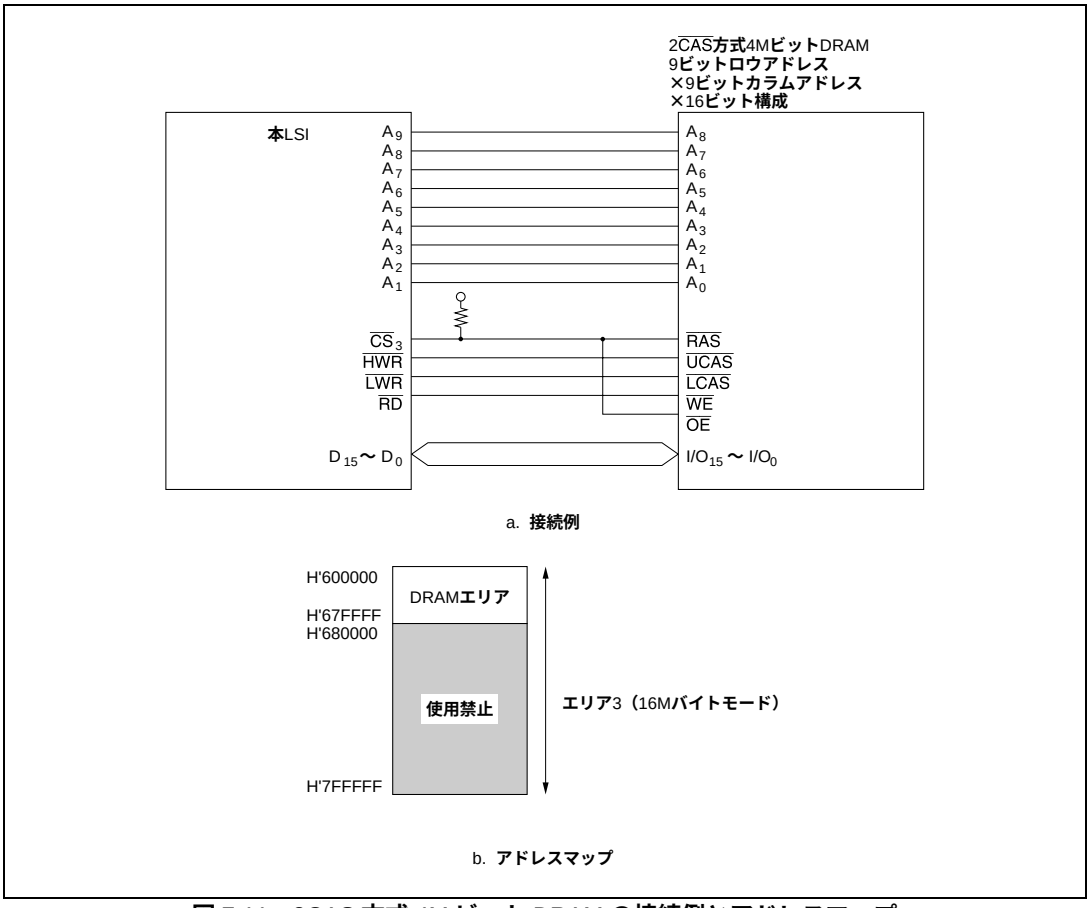


図 7.11 2CAS **方式** 4M **ビット** DRAM **の接続例とアドレスマップ**

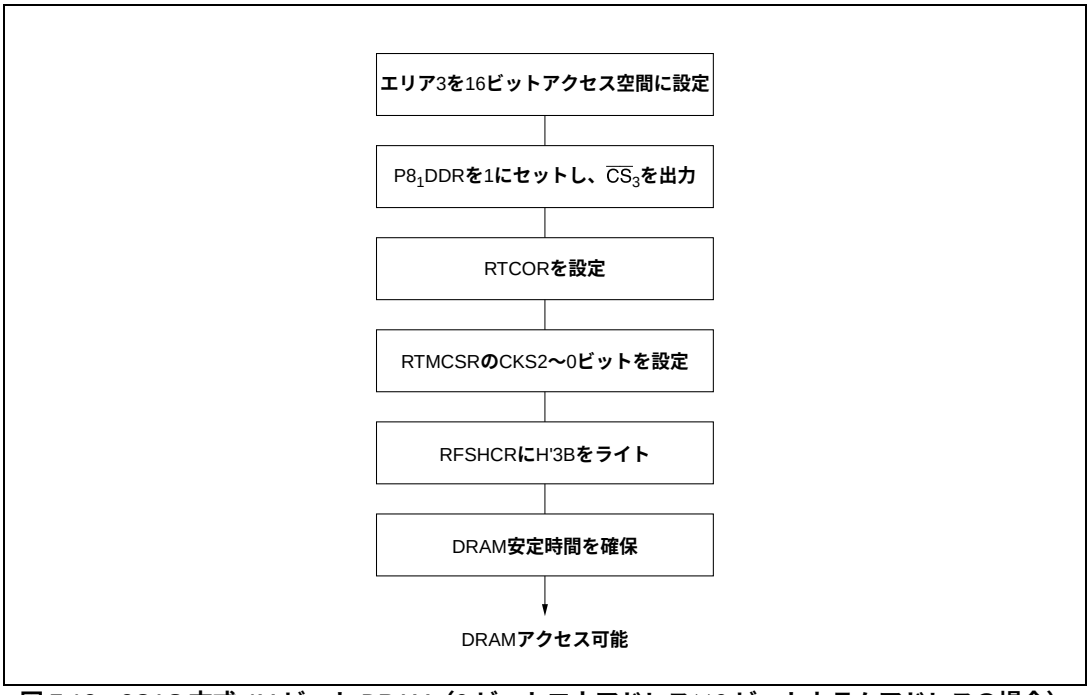


図 7.12　2CAS **方式** 4M **ビット** DRAM（9 **ビットロウアドレス**×9 **ビットカラムアドレスの場合）の設定順序**（16M **バイトモード**）

(d) 複数チップの 4M ビット DRAM の接続例（16M バイトモード）

図 7.13 に 2 CAS 方式 4M ビット DRAM を 2 個使用する場合の接続例とそのアドレスマップを示します。上位アドレス A_{19}、A_{20} をデコードすることにより、最大 4 個の DRAM をエリア 3 に接続できます。

また、**図** 7.14 にそのときのプログラム設定順序を示します。本例では、9 ビットロウアドレス×9 ビットカラムアドレスのタイプのものを使用しています。すべてのチップを同時にリフレッシュする必要があるため、RFSH 端子を使用しなければなりません。

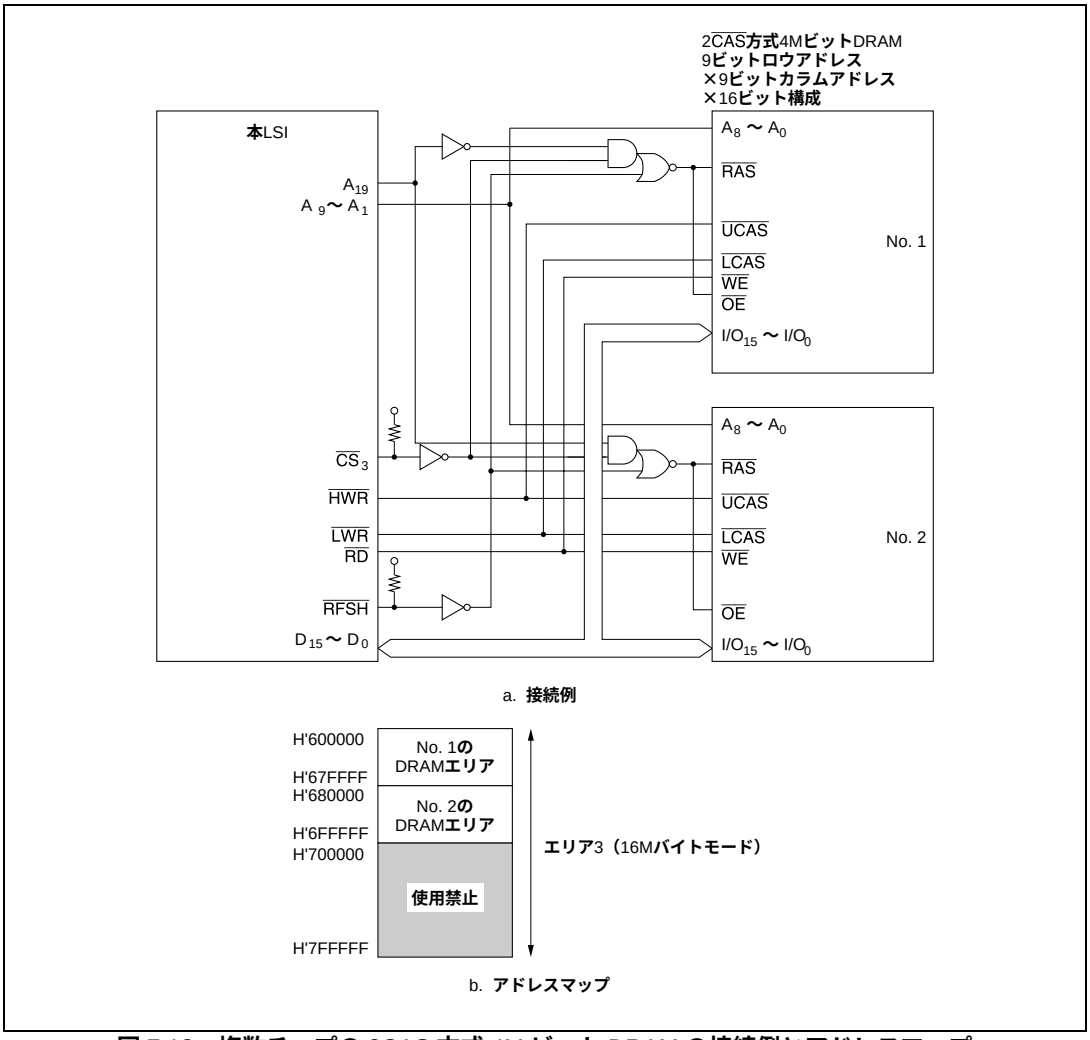


図 7.13 **複数チップの** 2CAS **方式** 4M **ビット** DRAM **の接続例とアドレスマップ**

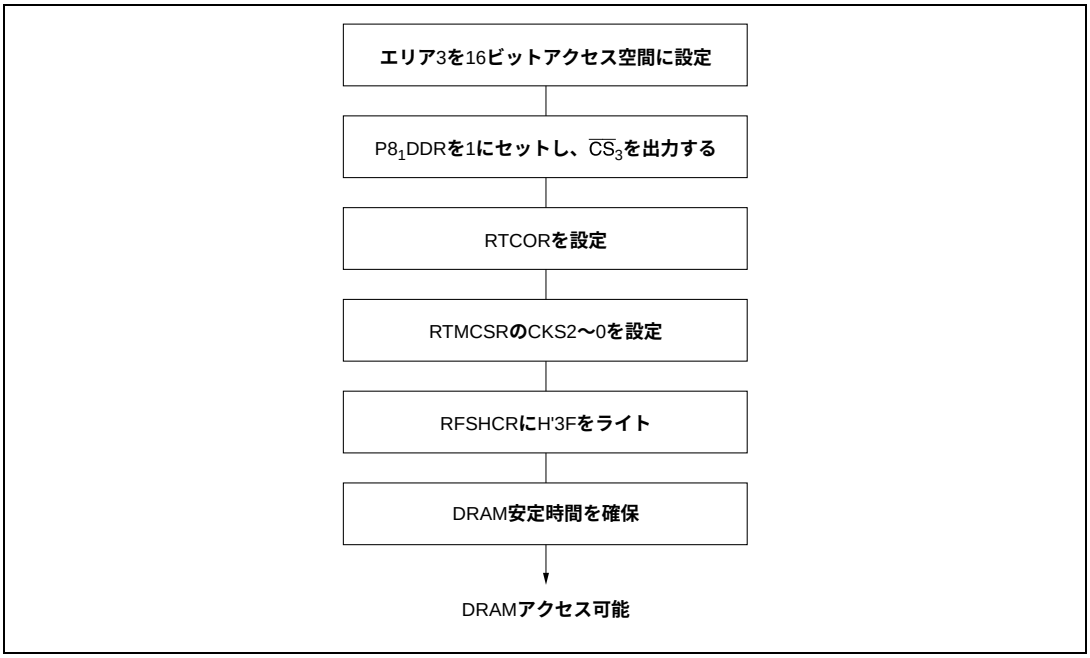


図 7.14　**複数チップの** 2CAS **方式** 4M **ビット** DRAM（9 **ビットロウアドレス**×9 **ビットカラムアドレスの場合）の設定順序**（16M **バイトモード）**

7.3.3　PSRAM **リフレッシュ制御**

(1)　**リフレッシュ要求の周期とリフレッシュサイクルの実行**

DRAM インタフェースと同様に、RTCOR と RTMCSR の CKS2～CKS0 ビットで、リフレッシュ要求の周期を設定します。

PSRAM のリード／ライトサイクルおよびリフレッシュサイクルに要するステート数は、DRAM と同様です（**表** 7.4）。また、状態遷移も**図** 7.3 に示すとおりです。

(2)　PSRAM **制御信号**

PSRAM に対するリードサイクル、ライトサイクル、およびリフレッシュサイクルを**図** 7.15 に示します。

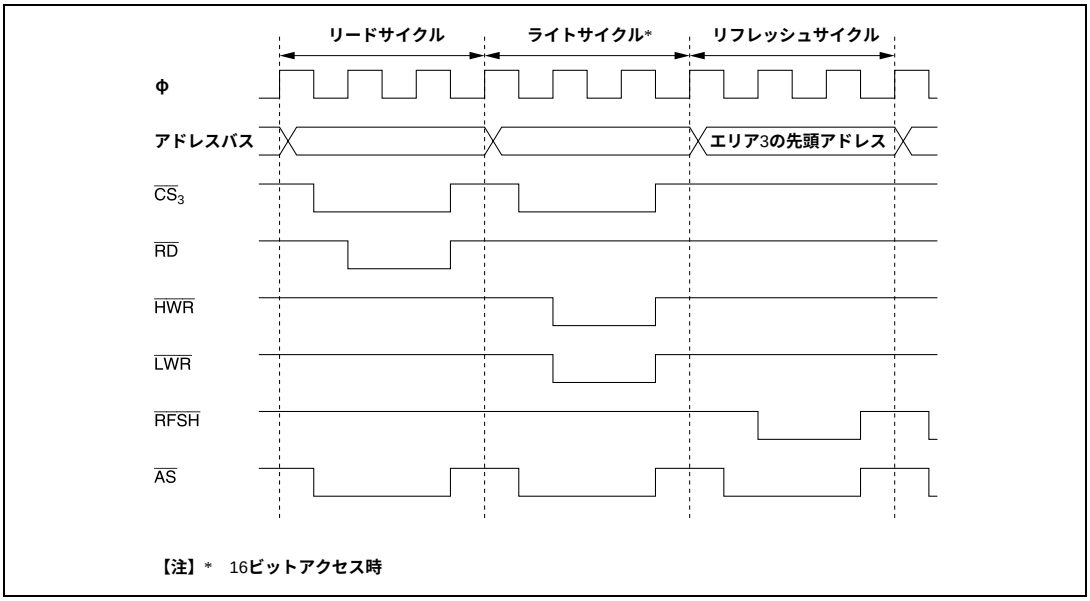


図 7.15　PSRAM **制御信号出力タイミング**

(3)　リフレッシュサイクルの優先順位

バス権が同時に要求された場合の優先順位は次のようになります。

（高）　外部バスマスタ＞リフレッシュコントローラ＞DMA コントローラ＞CPU　（低）

詳細は、**「**6.3.7　**バスアービタの動作」**を参照してください。

(4)　ウェイトステートの挿入

ASTCR の AST3 を 1 にセットした場合、ウェイトステートコントローラ（WSC）によりバスサイクルおよびリフレッシュサイクルに対して、ウェイトステートを挿入することができます。

設定の詳細は、**「**6.3.5　**ウェイトモード」**を参照してください。

(5)　セルフリフレッシュモード

PSRAM はセルフリフレッシュ機能をもつものがあります。

本 LSI では、RFSHCR の SRFMD ビットを 1 にセットした後、ソフトウェアスタンバイモードに遷移すると、CS_3 が High レベル出力、RFSH が Low レベル出力となり、PSRAM のセルフリフレッシュ機能を利用できます。ソフトウェアスタンバイモードが解除されると、RFSH は High レベル出力となります。

表 7.8 にソフトウェアスタンバイモード時の端子状態を、また**図** 7.16 に信号出力タイミングを示します。

表 7.8 ソフトウェアスタンバイモード時の端子状態（2）
（PSRAME＝1、DRAME＝0）

信号	ソフトウェアスタンバイモード	
	SRFMD＝0	SRFMD＝1 **（セルフリフレッシュモード）**
CS_3	High	High
RD	**ハイインピーダンス**	**ハイインピーダンス**
HWR	**ハイインピーダンス**	**ハイインピーダンス**
LWR	**ハイインピーダンス**	**ハイインピーダンス**
RFSH	High	Low

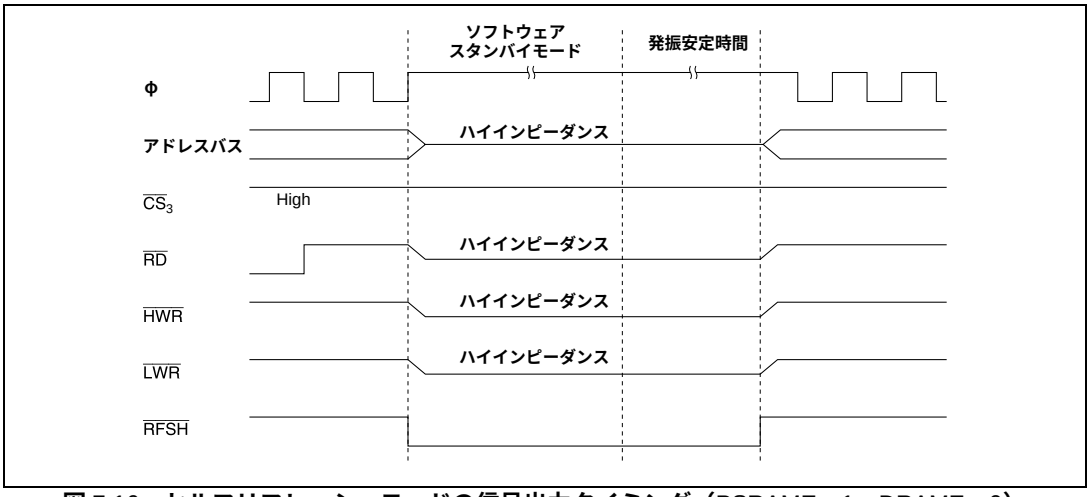


図 7.16 セルフリフレッシュモードの信号出力タイミング（PSRAME＝1、DRAME＝0）

(6) 低消費電力状態時の動作

リフレッシュコントローラは、スリープモードでも動作します。また、ハードウェアスタンバイモード時には動作を停止します。ソフトウェアスタンバイモード時には、RTCNT はイニシャライズされますが、RFSHCR、RTMCSR のビット 5〜3、および RTCOR はソフトウェアスタンバイモードに遷移する直前の状態を保持します。

(7) 使用例

PSRAM には、OE 端子と RFSH 端子が個別に設けられているものと、OE / RFSH 端子として 1 つになっているものがあります。

図 7.17 に OE / RFSH 信号を発生する回路例を示します。デバイス特性をよくご確認の上、適合する回路を設計してください。

図 7.18 にプログラム設定順序を示します。

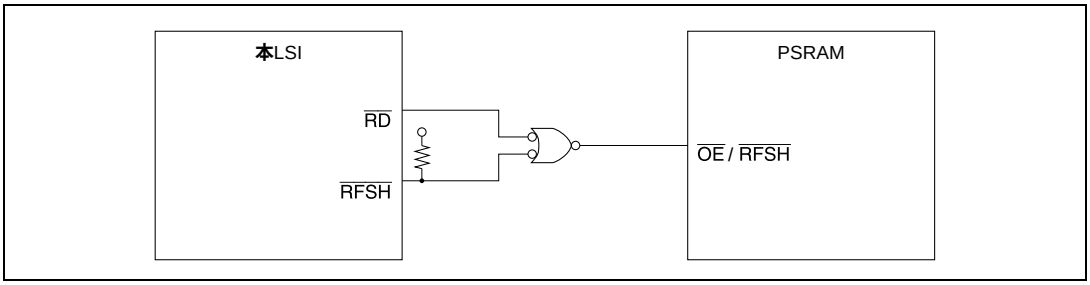


図 7.17　OE / RFSH **信号の例**

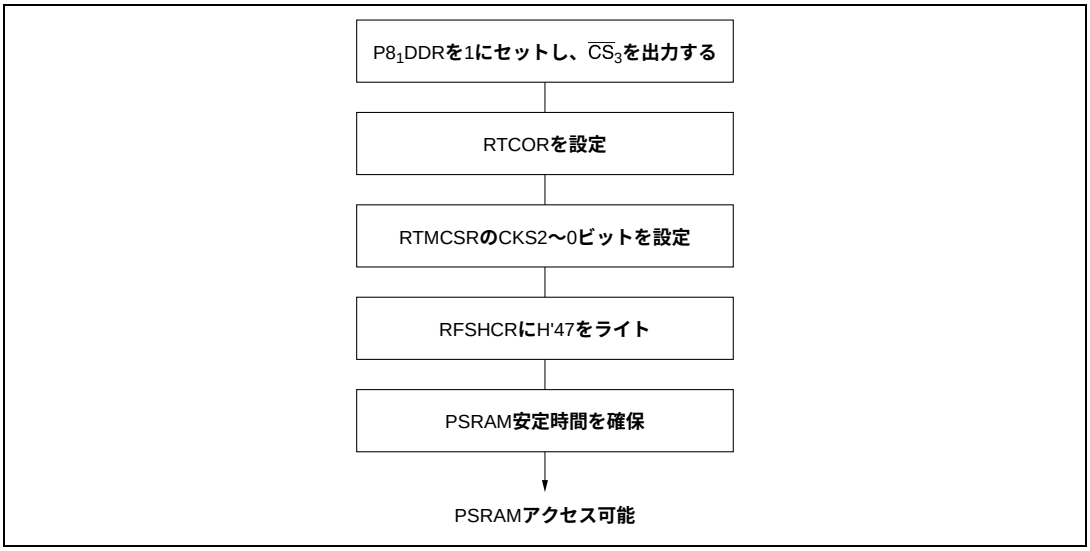


図 7.18　PSRAM **のプログラム設定順序**

7.3.4　インターバルタイマ

リフレッシュコントローラをインターバルタイマとして使用する場合、PSRAME を 0、かつ DRAME を 0 にクリアします。RTCOR を設定後、RTMCSR の CKS2～CKS0 ビットにより入力クロックを選択し、CMIE ビットを 1 にセットします。

(1)　コンペアマッチフラグのセットタイミングとコンペアマッチによるクリア

RTCSR の CMF フラグは、RTCOR と RTCNT の値が一致したときに出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は一致した最後のステート（RTCNT が一致したカウント値を更新するタイミング）で発生します。

したがって、RTCNT と RTCOR が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを**図** 7.19 に示します。

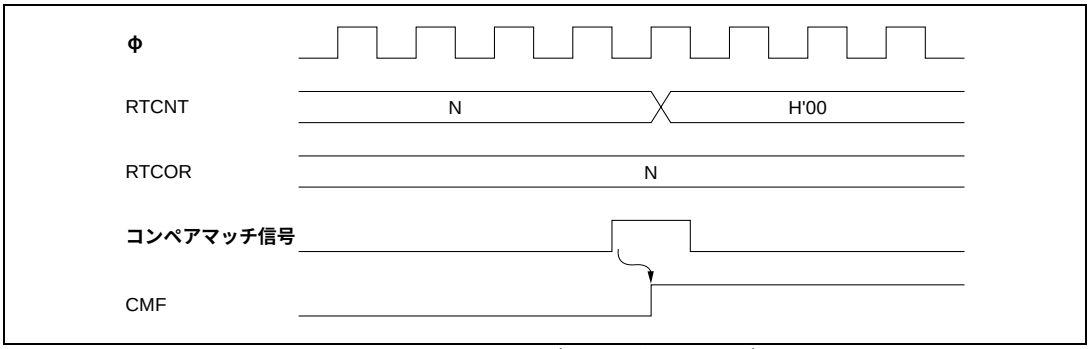


図 7.19　CMF **フラグセットタイミング**

(2)　低消費電力状態時の動作

インターバルタイマは、スリープモードでも動作します。また、ハードウェアスタンバイモード時は動作を停止します。ソフトウェアスタンバイモード時、RTCNT と RTMCSR のビット 7、6 がイニシャライズされますが、RTMCSR のビット 5〜3、および RTCOR はソフトウェアスタンバイモードに遷移する直前の状態を保持します。

(3)　RTCNT **のライトとカウンタクリアの競合**

RTCNT のライトサイクル中の T_3 ステートで、カウンタクリアが発生するとカウンタへのライトは行われず、クリアが優先されます。

図 7.20 にこのタイミングを示します。

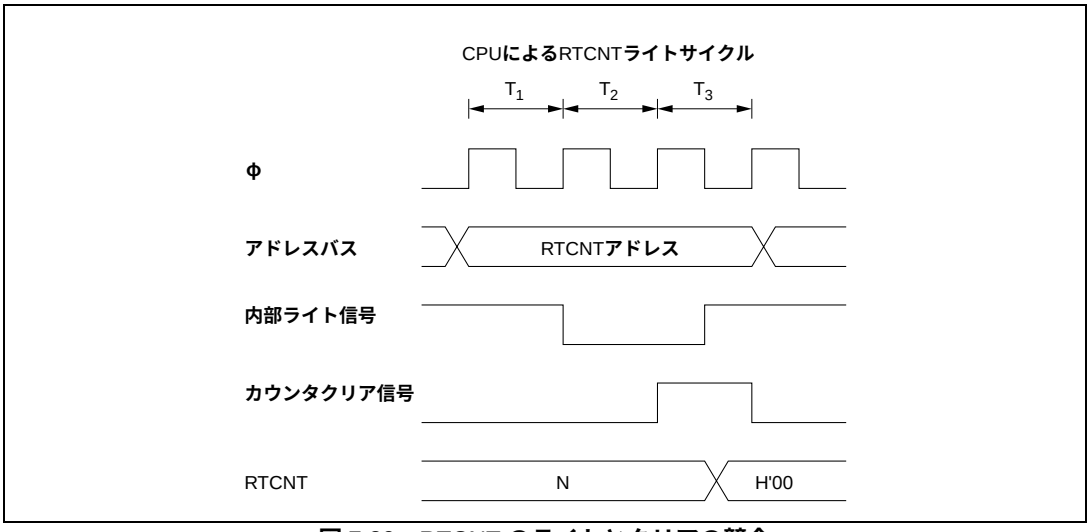


図 7.20　RTCNT **のライトとクリアの競合**

(4) RTCNT のライトとカウントアップの競合

RTCNT のライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされずに、カウンタライトが優先されます。

図 7.21 にこのタイミングを示します。

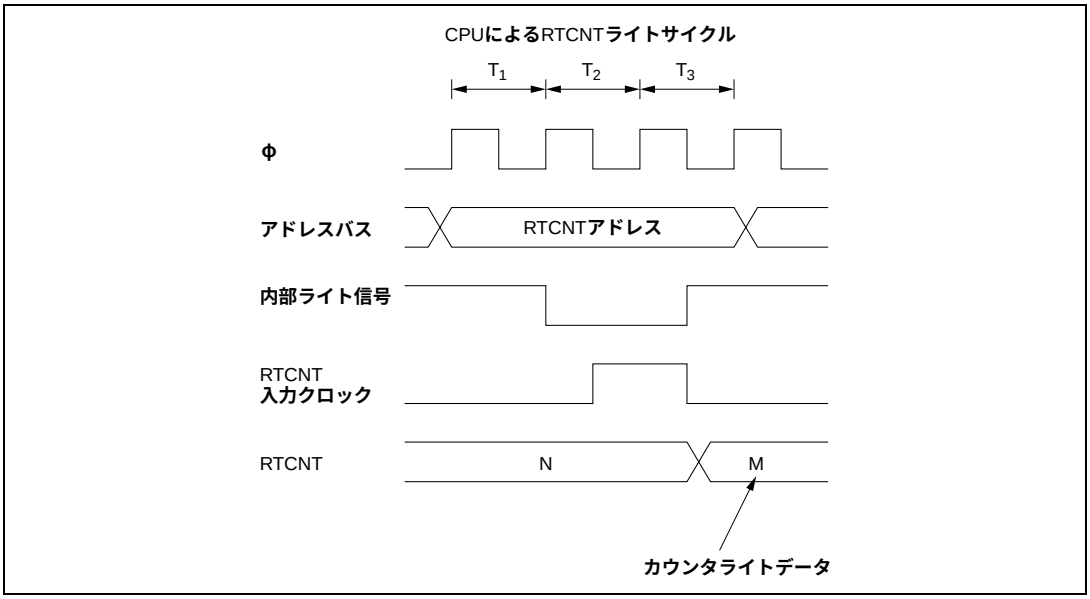


図 7.21 RTCNT **のライトとカウントアップの競合**

(5) RTCOR のライトとコンペアマッチの競合

RTCOR のライトサイクル中の T_3 ステートでコンペアマッチが発生しても、**図** 7.22 のように RTCOR のライトが優先され、コンペアマッチ信号は禁止されます。

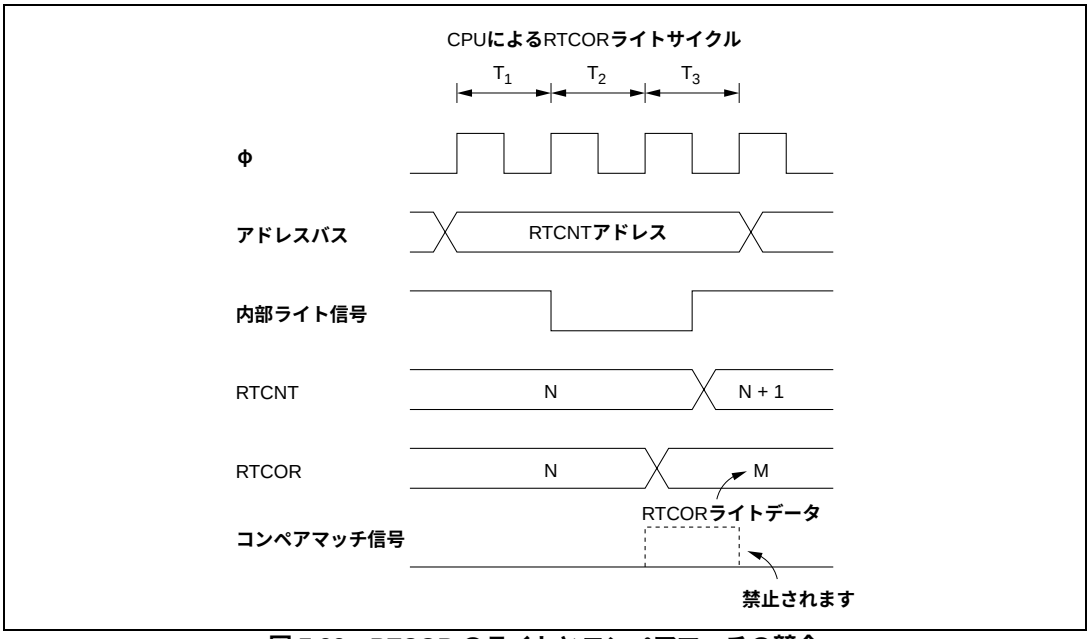


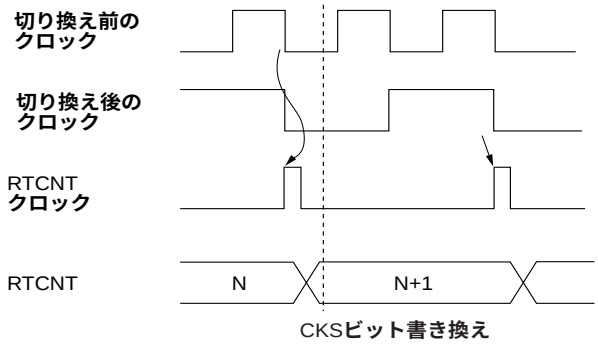
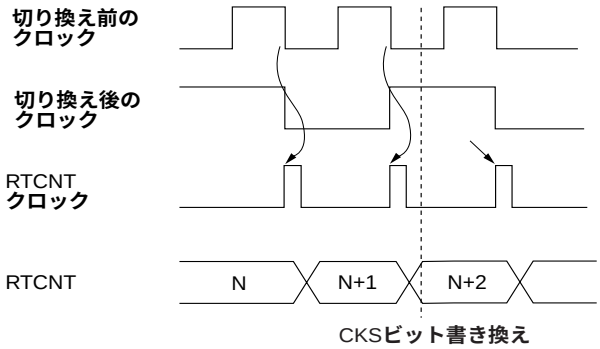
図 7.22 RTCOR **のライトとコンペアマッチの競合**

(6) 内部クロックの切り換えと RTCNT の動作

内部クロックを切り換えるタイミングによっては、RTCNT がカウントアップされてしまう場合があります。内部クロックの切り換えタイミング（CKS2～CKS0 ビットの書き換え）と RTCNT 動作の関係を**表** 7.9 に示します。

内部クロックから RTCNT クロックを生成する場合、内部クロックの立下がりエッジで検出しています。そのため、**表** 7.9 の No.3 のように High→Low になるようなクロックの切り換えを行うと、切り換えタイミングを立下がりエッジとみなして RTCNT クロックが発生し、RTCNT がカウントアップされてしまいます。

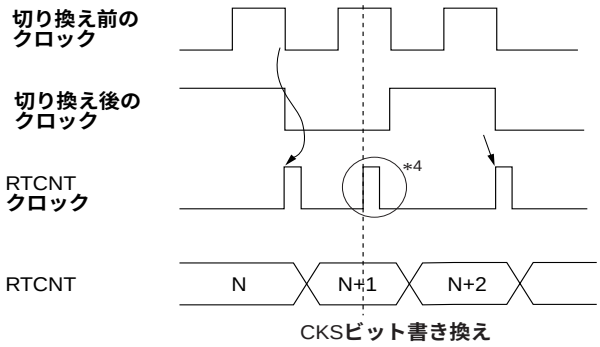
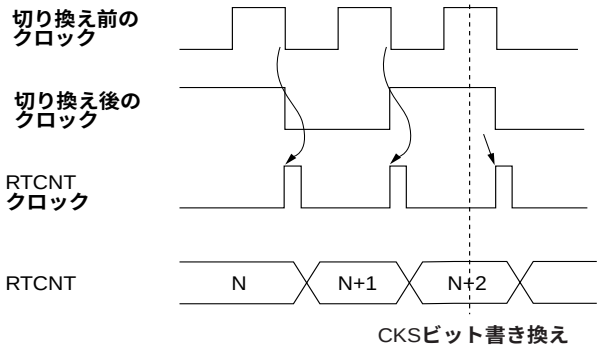
表 7.9 **内部クロックの切り換えと** RTCNT **動作**（1）

No.	CKS2～CKS0 **ビット書き換えタイミング**	RTCNT **動作**
1	Low→Low **レベルの切り換え***1	
2	Low→High **レベルの切り換え***2	

【注】 *1 Low **レベル→停止、および停止→**Low **レベルの場合を含みます。**

*2 **停止→**High **レベルの場合を含みます。**

表 7.9　内部クロックの切り換えと RTCNT 動作（2）

No.	CKS2〜CKS0 ビット書き換えタイミング	RTCNT 動作
3	High→Low レベルの切り換え*3	
4	High→High レベルの切り換え*4	

【注】 *3　High レベル→停止の場合を含みます。
*4　切り換えのタイミングを立下がりエッジとみなすために発生し、RTCNT はカウントアップしてしまいます。

7.4　割込み要因

リフレッシュコントローラをインターバルタイマとして使用する場合、コンペアマッチ割込み（CMI）要求を発生します。コンペアマッチ割込み要求は RTMCSR の CMIE ビットで許可または禁止することができます。

7.5 使用上の注意

DRAM リフレッシュ機能、あるいは PSRAM リフレッシュ機能の使用に際して、以下の点に注意してください。

（1） リフレッシュコントローラは、一度直接接続したDRAMまたはPSRAMの接続を切断した場合*、$P8_0$/RFSH/IRQ_0端子と$P8_1$/CS_3/IRQ_1端子が同時にLowレベル出力となる場合があります。

【注】＊ リフレッシュコントロールレジスタ（RFSHCR）内の DRAM イネーブル（DRAME）または PSRAM イネーブル（PSRAME）を一度 1 にセットした後に、DRAME または PSRAME を 0 にクリアした場合。

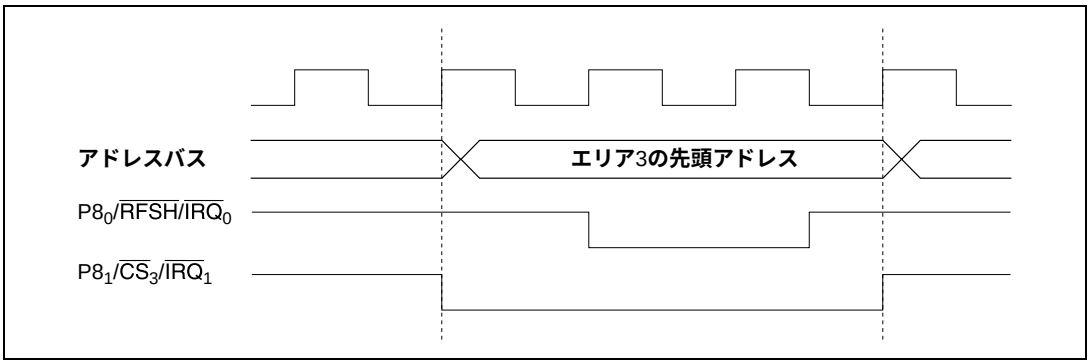


図 7.23 DRAM/PSRAM **接続の切り離し時の動作**

（2） 外部バス権解放状態、ソフトウェアスタンバイモード、またはバスサイクルがウェイトステートの挿入により長く続く場合、リフレッシュサイクルは実行されません。したがって、これらの状態では、別の方法でリフレッシュを行う必要があります。

（3） 外部バス権解放状態中に内部でリフレッシュ要求が発生した場合、最初の要求が保持され、バス権解放状態解除後、リフレッシュサイクルが1回だけ実行されます。**図**7.24にその場合のバスサイクルを示します。

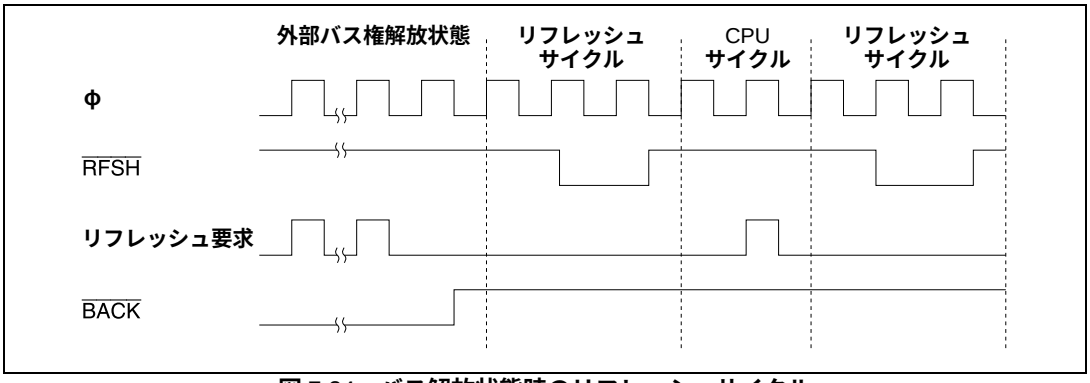


図 7.24 **バス解放状態時のリフレッシュサイクル**

(4) バスサイクルがウェイトステートの挿入により長く続く場合も、外部バス権解放状態と同様に、最初の要求が保持されます。

(5) ソフトウェアスタンバイモードへ遷移するとき、外部バスマスタからのバス権要求が競合すると、ソフトウェアスタンバイモードへの遷移の直前に1ステートバス解放状態が発生することがあります（**図**7.25参照）。
ソフトウェアスタンバイモードを使用するときは、SLEEP命令を実行する前に、BRCRのBRLEビットを0にクリアしてください。
また、セルフリフレッシュモードへの遷移でも同様の競合により、ストローブ波形出力が保証されないことがあります。これもBRCRのBRLEビットを0にクリアすることにより防止できます。

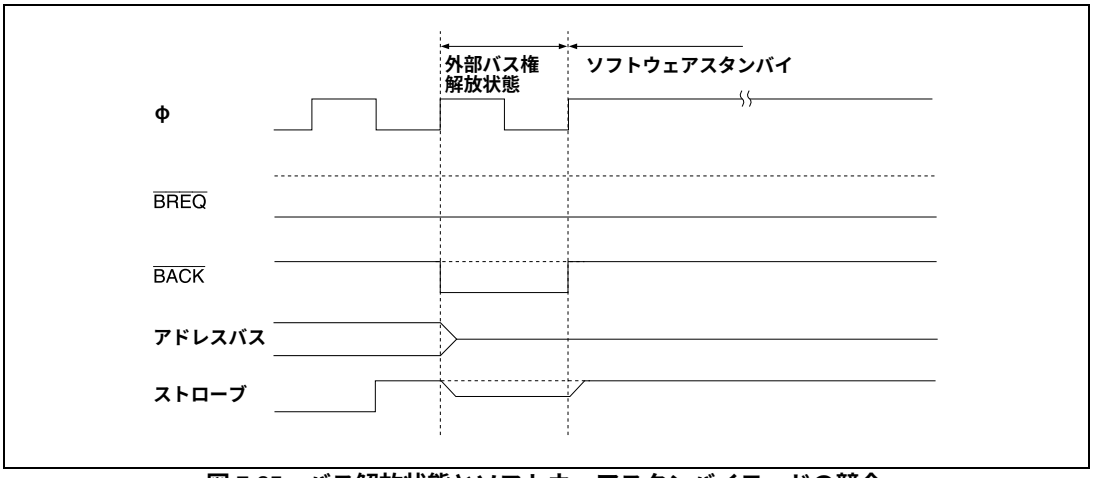


図 7.25 **バス解放状態とソフトウェアスタンバイモードの競合**

8. DMA コントローラ

8.1 概要

本 LSI は、DMA コントローラ（DMAC）を内蔵しています。DMAC は最大 4 チャネルのデータ転送を行うことができます。

消費電流低減のため DMA コントローラを使用しない場合には、DMA コントローラを単独で停止することができます。詳細は**「22.6　モジュールスタンバイ機能」**を参照してください。

8.1.1 特長

DMAC には次の特長があります。

- ショートアドレスモードとフルアドレスモードを選択可能

（1） ショートアドレスモード

– 転送元、転送先アドレスの一方を 24 ビット、他方を 8 ビットで指定
– 最大 4 チャネルを使用可能
– I/O モード／アイドルモード／リピートモードの選択が可能

（2） フルアドレスモード

– 転送元、転送先アドレスを 24 ビットで指定
– 最大 2 チャネルを使用可能
– ノーマルモード／ブロック転送モードの選択が可能

- 16M バイトのアドレス空間を直接指定可能
- 転送単位をバイト／ワードに設定可能
- 起動要因は、内部割込み、外部リクエスト、オートリクエスト（転送モードに依存）

– 16 ビットインテグレーテッドタイマユニット（ITU）のコンペアマッチ／インプットキャプチャ割込み×4
– シリアルコミュニケーションインタフェース（SCI チャネル 0）の送信データエンプティ割込み、受信データフル割込み
– 外部リクエスト
– オートリクエスト

8.1.2 ブロック図

DMAC のブロック図を**図** 8.1 に示します。

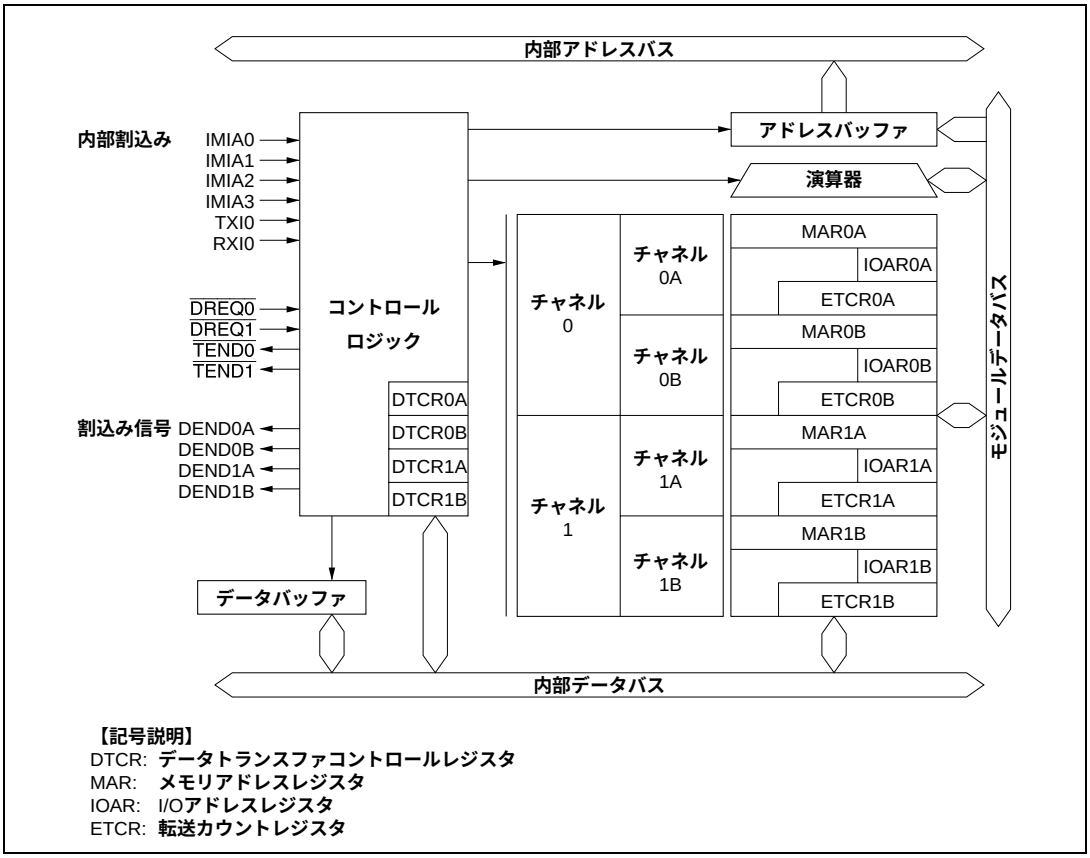


図 8.1 DMAC **のブロック図**

8.1.3 機能概要

DMAC の機能概要を表 8.1 に示します。

表 8.1 DMAC の機能概要

転送モード		転送要因	アドレスレジスタビット長	
			ソース	デスティネーション
ショートアドレスモード	(1) I/O モード – 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 – メモリアドレスを 1 または 2 増減 – 転送回数は 1～65536 (2) アイドルモード – 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 – メモリアドレスは固定 – 転送回数は 1～65536 (3) リピートモード – 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 – メモリアドレスを 1 または 2 増減 – 指定回数（1～255）転送後、初期状態を回復して動作を継続	• ITU チャネル 0～3 のコンペアマッチ/インプットキャプチャ A 割込み • SCI チャネル 0 の送信データエンプティ割込み	24	8
		• SCI チャネル 0 の受信データフル割込み	8	24
		• 外部リクエスト	24	8
フルアドレスモード	(1) ノーマルモード (a) オートリクエスト – 転送要求を内部保持 – 指定回数（1～65536）継続して転送 – バーストモード／サイクルスチールモードを選択可能 (b) 外部リクエスト – 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 – 転送回数は 1～65536	• オートリクエスト • 外部リクエスト	24	24
	(2) ブロック転送モード – 1 回の転送要求で指定したブロックサイズの転送 – 転送回数は 1～65536 – ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 – ブロックサイズ 1～255 バイトまたはワード	• ITU チャネル 0～3 のコンペアマッチ/インプットキャプチャ A 割込み • 外部リクエスト	24	24

8.1.4 端子構成

DMAC の端子構成を表 8.2 に示します。

表 8.2 端子構成

チャネル	名 称	略 称	入出力	機 能
0	DMA 要求 0	$DREQ_0$	入力	DMAC チャネル 0 の外部リクエスト
	DMA 終了 0	$TEND_0$	出力	DMAC チャネル 0 の転送終了
1	DMA 要求 1	$DREQ_1$	入力	DMAC チャネル 1 の外部リクエスト
	DMA 終了 1	$TEND_1$	出力	DMAC チャネル 1 の転送終了

【注】 ショートアドレスモードでは、チャネル A に対する外部リクエストは行えません。

8.1.5 レジスタ構成

DMAC のレジスタ構成を**表** 8.3 に示します。

表 8.3 **レジスタ構成**

チャネル	アドレス*	名　称	略　称	R/W	初期値
0	H'FF20	**メモリアドレスレジスタ** 0AR	MAR0AR	R/W	**不定**
	H'FF21	**メモリアドレスレジスタ** 0AE	MAR0AE	R/W	**不定**
	H'FF22	**メモリアドレスレジスタ** 0AH	MAR0AH	R/W	**不定**
	H'FF23	**メモリアドレスレジスタ** 0AL	MAR0AL	R/W	**不定**
	H'FF26	I/O **アドレスレジスタ** 0A	IOAR0A	R/W	**不定**
	H'FF24	**転送カウントレジスタ** 0AH	ETCR0AH	R/W	**不定**
	H'FF25	**転送カウントレジスタ** 0AL	ETCR0AL	R/W	**不定**
	H'FF27	**データトランスファコントロールレジスタ** 0A	DTCR0A	R/W	H'00
	H'FF28	**メモリアドレスレジスタ** 0BR	MAR0BR	R/W	**不定**
	H'FF29	**メモリアドレスレジスタ** 0BE	MAR0BE	R/W	**不定**
	H'FF2A	**メモリアドレスレジスタ** 0BH	MAR0BH	R/W	**不定**
	H'FF2B	**メモリアドレスレジスタ** 0BL	MAR0BL	R/W	**不定**
	H'FF2E	I/O **アドレスレジスタ** 0B	IOAR0B	R/W	**不定**
	H'FF2C	**転送カウントレジスタ** 0BH	ETCR0BH	R/W	**不定**
	H'FF2D	**転送カウントレジスタ** 0BL	ETCR0BL	R/W	**不定**
	H'FF2F	**データトランスファコントロールレジスタ** 0B	DTCR0B	R/W	H'00
1	H'FF30	**メモリアドレスレジスタ** 1AR	MAR1AR	R/W	**不定**
	H'FF31	**メモリアドレスレジスタ** 1AE	MAR1AE	R/W	**不定**
	H'FF32	**メモリアドレスレジスタ** 1AH	MAR1AH	R/W	**不定**
	H'FF33	**メモリアドレスレジスタ** 1AL	MAR1AL	R/W	**不定**
	H'FF36	I/O **アドレスレジスタ** 1A	IOAR1A	R/W	**不定**
	H'FF34	**転送カウントレジスタ** 1AH	ETCR1AH	R/W	**不定**
	H'FF35	**転送カウントレジスタ** 1AL	ETCR1AL	R/W	**不定**
	H'FF37	**データトランスファコントロールレジスタ** 1A	DTCR1A	R/W	H'00
	H'FF38	**メモリアドレスレジスタ** 1BR	MAR1BR	R/W	**不定**
	H'FF39	**メモリアドレスレジスタ** 1BE	MAR1BE	R/W	**不定**
	H'FF3A	**メモリアドレスレジスタ** 1BH	MAR1BH	R/W	**不定**
	H'FF3B	**メモリアドレスレジスタ** 1BL	MAR1BL	R/W	**不定**
	H'FF3E	I/O **アドレスレジスタ** 1B	IOAR1B	R/W	**不定**
	H'FF3C	**転送カウントレジスタ** 1BH	ETCR1BH	R/W	**不定**
	H'FF3D	**転送カウントレジスタ** 1BL	ETCR1BL	R/W	**不定**
	H'FF3F	**データトランスファコントロールレジスタ** 1B	DTCR1B	R/W	H'00

【注】 * **アドレスの下位** 16 **ビットを示しています。**

8.2 各レジスタの説明（1）（ショートアドレスモード）

ショートアドレスモード転送は、チャネル A、B 独立に行うことができます。

表 8.4 に示すように DTCRA の DTS2A、DTS1A ビットにより各チャネルのショートアドレスモード転送を指定します。

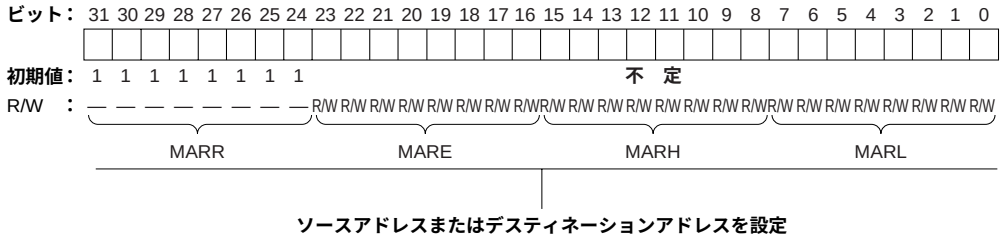
表 8.4 **ショートアドレスモード、フルアドレスモードの設定**

チャネル	**ビット** 2	**ビット** 1	**説　明**
	DTS2A	DTS1A	
0	1	1	DMAC **チャネル** 0 **は、**1 **チャネルのフルアドレスモード転送**
	上記以外		DMAC **チャネル** 0A**、チャネル** 0B **は、各々独立動作で** 2 **チャネルのショートアドレスモード転送**
1	1	1	DMAC **チャネル** 1 **は、**1 **チャネルのフルアドレスモード転送**
	上記以外		DMAC **チャネル** 1A**、チャネル** 1B **は、各々独立動作で** 2 **チャネルのショートアドレスモード転送**

8.2.1 メモリアドレスレジスタ（MAR）

MAR は 32 ビットのリード／ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスを指定します。転送方向は起動要因により自動的に決定されます。

MAR は 4 本の 8 ビットレジスタ MARR、MARE、MARH、および MARL により構成されています。MARR は全ビットリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。



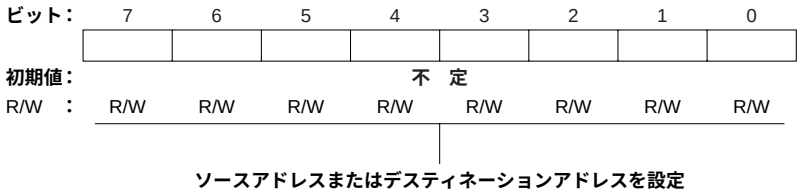
MAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、起動要因によって自動的に決定されます。起動要因が SCI チャネル 0 の受信完了割込みの場合はデスティネーションアドレスレジスタとして、それ以外の場合にはソースアドレスレジスタとして機能します。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント／デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新していきます。詳細は、**「**8.2.4 **データトランスファコントロールレジスタ（**DTCR**）」**を参照してください。

MAR は、リセット、またはスタンバイモード時にイニシャライズされません。

8.2.2 I/O アドレスレジスタ（IOAR）

IOAR は 8 ビットのリード／ライト可能なレジスタで、転送のソースアドレスまたはデスティネーションアドレスを指定します。IOAR はアドレスの下位 8 ビットを指定し、上位 16 ビットはすべて 1（H'FFFF）となります。



IOAR がソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかは、起動要因によって自動的に決定されます。起動要因が SCI チャネル 0 の受信完了割込みの場合はソースアドレスレジスタとして、それ以外の場合にはデスティネーションアドレスレジスタとして機能します。

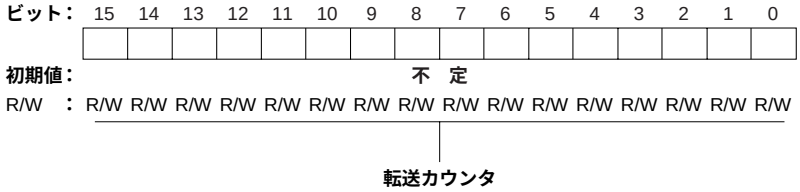
IOAR は転送によってインクリメント／デクリメントされず、固定されます。

IOAR は、リセット、またはスタンバイモード時にイニシャライズされません。

8.2.3 転送カウントレジスタ（ETCR）

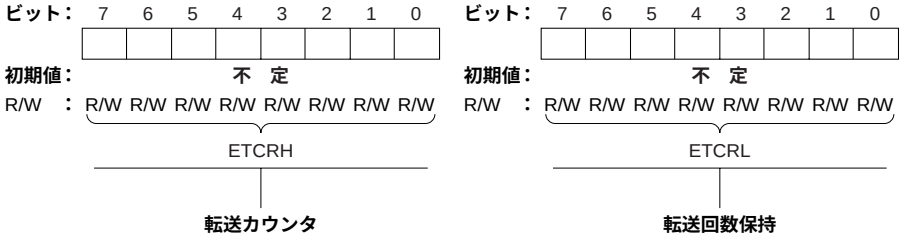
ETCR は 16 ビットのリード／ライト可能なレジスタで、転送回数の指定に使用します。このレジスタは、I/O モードおよびアイドルモードと、リピートモードとでは機能が異なります。

(1) I/O モードまたはアイドルモード



I/O モードとアイドルモードでは、ETCR は 16 ビットの転送カウンタとして機能します。1 回の転送を行うたびに、1 だけデクリメントされカウンタ値が H'0000 になると転送を終了します。

(2) **リピートモード**

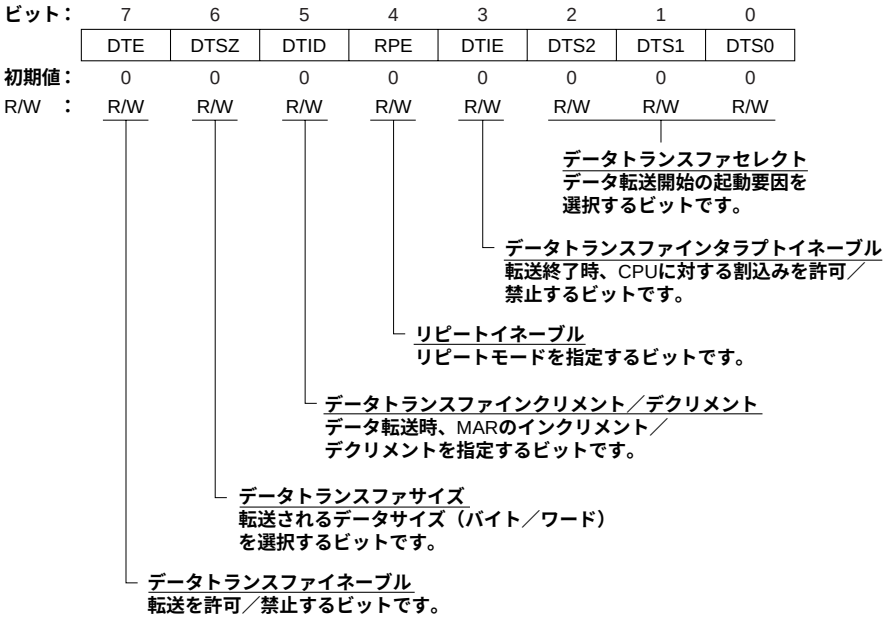


リピードモードでは、ETCRH は 8 ビットの転送カウンタとして機能し、ETCRL は転送回数を保持します。ETCRH は 1 回の転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRL の内容が転送されます。以降この動作を繰り返して転送が行われます。

ETCR は、リセット、またはスタンバイモード時にイニシャライズされません。

8.2.4 データトランスファコントロールレジスタ（DTCR）

DTCR は 8 ビットのリード／ライト可能なレジスタで、DMAC の各チャネルの動作を制御します。



DTCR はリセット、またはスタンバイモード時に H'00 にイニシャライズされます。

ビット 7：データトランスファイネーブル（DTE）

当該チャネルのデータ転送を許可／禁止します。DTE ビットを 1 にセットすると、そのチャネルは転送要求待ち状態となり、DTS2～DTS0 ビットで指定された起動要因によりデータ転送が行われます。本ビットが 0 のとき、当該チャネルは停止状態となり転送要求を受け付けません。DTE ビットは、DTE＝0 の状態をリードした後、1 をライトしたとき 1 にセットされます。

ビット 7 DTE	説　明
0	データ転送禁止。I/O モードとアイドルモードでは、指定された回数の転送を終了したとき、0 にクリア（初期値）
1	データ転送許可

DTIE＝1 の状態で、本ビットが 0 にクリアされると CPU に割込みを要求します。

ビット 6：データトランスファサイズ（DTSZ）

1 回に転送されるデータサイズを選択します。

ビット 6 DTSZ	説　明
0	バイトサイズ転送（初期値）
1	ワードサイズ転送

ビット 5：データトランスファインクリメント／デクリメント（DTID）

I/O モードまたはリピートモードの場合、データ転送後の MAR のインクリメント／デクリメントを選択します。

ビット 5 DTID	説　明
0	データ転送後 MAR をインクリメント （1）DTSZ＝0 のとき、転送後 MAR を＋1 （2）DTSZ＝1 のとき、転送後 MAR を＋2
1	データ転送後 MAR をデクリメント （1）DTSZ＝0 のとき、転送後 MAR を－1 （2）DTSZ＝1 のとき、転送後 MAR を－2

アイドルモードの場合、MAR はインクリメントもデクリメントもされません。

ビット 4：リピートイネーブル（RPE）

データ転送を I/O モード、アイドルモード、またはリピートモードで行うかを選択します。

ビット 4	ビット 3	説　明
RPE	DTIE	
0	0	I/O モードで転送　（初期値）
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

I/O モード、アイドルモード、およびリピートモードの動作については、「8.4.2　I/O モード」、「8.4.3　アイドルモード」、および「8.4.4　リピートモード」を参照してください。

ビット 3：データトランスファインタラプトイネーブル（DTIE）

DTE ビットが 0 にクリアされたとき、DTE ビットによる割込み（DEND）要求を許可／禁止します。

ビット 3	説　明
DTIE	
0	DTE による割込み（DEND）要求を禁止　（初期値）
1	DTE による割込み（DEND）要求を許可

ビット 2〜0：データトランスファセレクト（DTS2〜DTS0）

データ転送の起動要因を選択します。チャネル A とチャネル B では一部指定内容が異なります。
【注】「8.3.4　データトランスファコントロールレジスタ（DTCR）」を参照してください。

ビット 2	ビット 1	ビット 0	説　明
DTS2	DTS1	DTS0	
0	0	0	ITU チャネル 0 のコンペアマッチ／インプットキャプチャ A 割込みで起動　（初期値）
		1	ITU チャネル 1 のコンペアマッチ／インプットキャプチャ A 割込みで起動
	1	0	ITU チャネル 2 のコンペアマッチ／インプットキャプチャ A 割込みで起動
		1	ITU チャネル 3 のコンペアマッチ／インプットキャプチャ A 割込みで起動
1	0	0	SCI チャネル 0 の送信データエンプティ割込みで起動
		1	SCI チャネル 0 の受信データエフル割込みで起動
	1	0	DREQ 端子の立下がりエッジ入力で起動（チャネル B の場合）
			フルアドレスモード転送を指定（チャネル A の場合）
		1	DREQ 端子の Low レベル入力で起動（チャネル B の場合）
			フルアドレスモード転送を指定（チャネル A の場合）

内部割込みによる起動では、複数のチャネル間で同一の起動要因を指定することが可能です。この場合、チャネル間の優先順位に従い優先順位の高いチャネルから起動されます。優先順位については、「8.4.9　DMAC 複数チャネルの動作」を参照してください。

転送許可の状態（DTE＝1）では、DMAC の起動要因に選択された割込みは、CPU に対して割込みを要求しません。

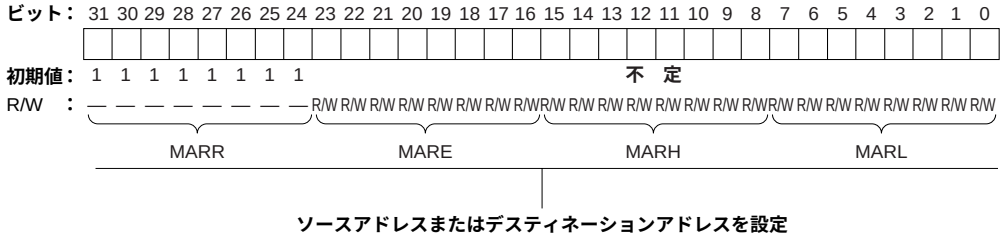
8.3 各レジスタの説明（2）（フルアドレスモード）

フルアドレスモード転送は、チャネル A とチャネル B を組み合わせて行います。フルアドレスモード転送の設定については、**表** 8.4 を参照してください。

8.3.1 メモリアドレスレジスタ（MAR）

MAR は 32 ビットのリード／ライト可能なレジスタで、MARA は転送のソースアドレスレジスタとして、MARB はデスティネーションアドレスレジスタとして機能します。

MAR は 4 本の 8 ビットレジスタ MARR、MARE、MARH、および MARL により構成されています。MARR はすべてリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。



MAR は 1 回のバイト転送またはワード転送のたびにインクリメント／デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新することができます。詳細は、「8.3.4 **データトランスファコントロールレジスタ**（DTCR）」を参照してください。

MAR は、リセット、またはスタンバイモード時にイニシャライズされません。

8.3.2 I/O アドレスレジスタ（IOAR）

IOAR はフルアドレスモード転送では使用しません。

8.3.3 転送カウントレジスタ（ETCR）

ETCR は 16 ビットのリード／ライト可能なレジスタで、転送回数の指定に使用します。このレジスタは、ノーマルモードとブロック転送モードとでは機能が異なります。

(1) ノーマルモード

(a) ETCRA

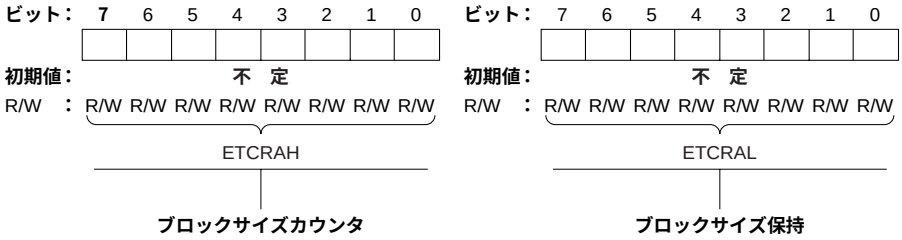
(b) ETCRB

ETCRB はノーマルモードでは使用しません。

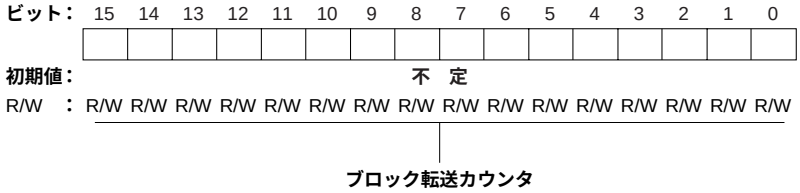
ノーマルモードでは、ETCRA は 16 ビットの転送カウンタとして機能します。1 回の転送を行うたびに 1 だけデクリメントされ、カウンタ値が H'0000 になると転送を終了します。このとき、ETCRB は使用されません。

(2) ブロック転送モード

(a) ETCRA



(b) ETCRB



ブロック転送モードでは、ETCRAH は 8 ビットのブロックサイズカウンタとして機能し、ETCRAL はブロックサイズを保持します。ETCRAH は、1 バイトまたは 1 ワードの転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRAL の内容が転送されます。したがって、ETCRAH と ETCRAL にブロックサイズを初期設定することにより、任意のバイト数またはワード数のブロック転送を繰り返し行うことができます。

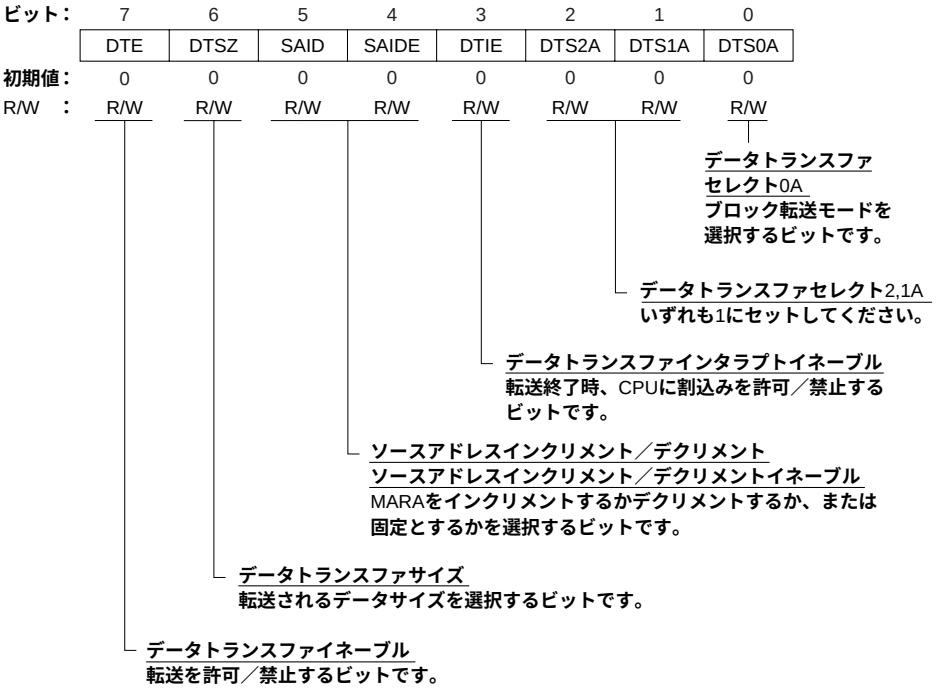
また、ブロック転送モードでは ETCRB は 16 ビットのブロック転送カウンタとして機能します。1 回のブロック転送を行うたびに 1 だけデクリメントされ、カウンタ値が H'0000 になると転送を終了します。

ETCR は、リセット、またはスタンバイモード時にはイニシャライズされません。

8.3.4 データトランスファコントロールレジスタ（DTCR）

DTCR は 8 ビットのリード／ライト可能なレジスタで、DMAC の各チャネルの動作を制御します。DTCRA の DTS2A、DTS1A ビットをいずれも 1 にセットすると当該チャネルはフルアドレスモードとなります。フルアドレスモードでは DTCRA と DTCRB では機能が異なります。

(1) DTCRA



DTCRA はリセット、またはスタンバイモード時に H'00 にイニシャライズされます。

ビット 7：データトランスファイネーブル（DTE）

DTCRB の DTME ビットとともに当該チャネルのデータ転送の許可／禁止を制御します。DTME ビットと DTE ビットをいずれも 1 にセットすると、そのチャネルは転送許可状態となります。オートリクエストを指定したときはただちにデータ転送を開始し、その他のときは転送要求待ち状態となります。指定された回数の転送を終了すると DTE ビットは自動的に 0 にクリアされます。本ビットが 0 にクリアされているとき、当該チャネルは停止状態となり転送要求を受け付けません。DTE ビットは 0 の状態をリードした後、1 をライトしたとき 1 にセットされます。

ビット 7 DTE	説　明
0	データ転送禁止（指定された回数の転送を終了したとき 0 にクリア）　（初期値）
1	データ転送許可

DTIE＝1 の状態で、本ビットが 0 にクリアされると CPU に割込みを要求します。

ビット 6：データトランスファサイズ（DTSZ）

1 回に転送されるデータサイズを選択します。

ビット 6	説　明
DTSZ	
0	バイトサイズ転送　（初期値）
1	ワードサイズ転送

ビット 5：ソースアドレスインクリメント／デクリメント（SAID）

ビット 4：ソースアドレスインクリメント／デクリメントイネーブル（SAIDE）

データ転送時、ソースアドレスレジスタ MARA をインクリメントするかデクリメントするか、または固定とするかを指定します。

ビット 5	ビット 4	説　明
SAID	SAIDE	
0	0	MARA 固定　（初期値）
	1	データ転送後 MARA をインクリメント （1）DTSZ＝0 のとき、データ転送後 MARA を＋1 （2）DTSZ＝1 のとき、データ転送後 MARA を＋2
1	0	MARA 固定
	1	データ転送後 MARA をデクリメント （1）DTSZ＝0 のとき、データ転送後 MARA を－1 （2）DTSZ＝1 のとき、データ転送後 MARA を－2

ビット 3：データトランスファインタラプトイネーブル（DTIE）

DTE ビットが 0 にクリアされたとき、DTE による割込み（DEND）要求を許可／禁止します。

ビット 3	説　明
DTIE	
0	DTE による割込み（DEND）要求を禁止　（初期値）
1	DTE による割込み（DEND）要求を許可

ビット 2、1：データトランスファセレクト 2A、1A（DTS2A、DTS1A）

DTS2A、DTS1A ビットをいずれも 1 にセットしたとき、当該チャネルはフルアドレスモードとなります。

ビット 0：データトランスファセレクト 0A（DTS0A）

DMAC をノーマルモードで動作させるか、ブロック転送モードで動作させるかを選択します。

ビット 0	説　明
DTS0A	
0	ノーマルモードで動作　（初期値）
1	ブロック転送モードで動作

ノーマルモード、ブロック転送モードの動作については、「8.4.5 **ノーマルモード**」、「8.4.6 **ブロック転送モード**」を参照してください。

(2)　DTCRB

DTCRB は、リセット、またはスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7：データトランスファマスタイネーブル（DTME）

DTCRA の DTE ビットとともに当該チャネルのデータ転送の許可／禁止を制御します。DTME ビットと DTE ビットをいずれも 1 にセットすると、そのチャネルは転送許可状態となります。NMI 割込みが発生したとき DTME ビットは 0 にクリアされ、転送を中断して CPU にバス権を移します。その後、本ビットを 1 にセットすると中断された転送が再開されます。ただし、ブロック転送モード時の動作については「8.6.6　NMI **割込みとブロック転送モード**」を参照してください。

DTME ビットは、DTME＝0 の状態をリードした後、1 をライトすると 1 にセットされます。

ビット 7	説　明
DTME	
0	データ転送禁止。NMI 割込みが発生したとき 0 にクリア　（初期値）
1	データ転送許可

ビット 6：リザーブビット

リザーブビットです。リード／ライト可能です。

ビット 5：デスティネーションアドレスインクリメント／デクリメント（DAID）

ビット 4：デスティネーションアドレスインクリメント／デクリメントイネーブル（DAIDE）

データ転送時、MARB をインクリメントするかデクリメントするか、または固定とするかを指定します。

ビット 5	ビット 4	説　明
DAID	DAIDE	
0	0	MARB 固定　（初期値）
	1	データ転送後 MARB をインクリメント （1）DTSZ＝0 のとき、データ転送後 MARB を＋1 （2）DTSZ＝1 のとき、データ転送後 MARB を＋2
1	0	MARB 固定
	1	データ転送後 MARB をデクリメント （1）DTSZ＝0 のとき、データ転送後 MARB を－1 （2）DTSZ＝1 のとき、データ転送後 MARB を－2

ビット 3：トランスファモードセレクト（TMS）

ブロック転送モード時、ソース側とデスティネーション側のどちらをブロックエリアとして転送するかを選択します。

ビット 3	説　明
TMS	
0	ブロック転送モード時、デスティネーション側をブロックエリアとして転送　（初期値）
1	ブロック転送モード時、ソース側をブロックエリアとして転送

ビット 2～0：データトランスファセレクト 2～0B（DTS2B～DTS0B）

データ転送の起動要因を選択します。ノーマルモードとブロック転送モードでは指定できる起動要因が異なります。

（ノーマルモード）

ビット 2	ビット 1	ビット 0	説　明
DTS2B	DTS1B	DTS0B	
0	0	0	オートリクエスト（バーストモード）　（初期値）
		1	使用できません。
	1	0	オートリクエスト（サイクルスチールモード）
		1	使用できません。
1	0	0	使用できません。
		1	使用できません。
	1	0	DREQ 端子の立下がりエッジ入力で起動
		1	DREQ 端子の Low レベル入力で起動

（ブロック転送モード）

ビット 2	ビット 1	ビット 0	説　明
DTS2B	DTS1B	DTS0B	
0	0	0	ITU チャネル 0 のコンペアマッチ／インプットキャプチャ A 割込みで起動　（初期値）
		1	ITU チャネル 1 のコンペアマッチ／インプットキャプチャ A 割込みで起動
	1	0	ITU チャネル 2 のコンペアマッチ／インプットキャプチャ A 割込みで起動
		1	ITU チャネル 3 のコンペアマッチ／インプットキャプチャ A 割込みで起動
1	0	0	使用できません。
		1	使用できません。
	1	0	DREQ 端子の立下がりエッジ入力で起動
		1	使用できません。

内部割込みによる起動では、複数のチャネル間で同一の起動要因を指定することが可能です。この場合、チャネル間の優先順位に従い優先順位の高いチャネルから起動されます。優先順位については、「8.4.9　DMAC 複数チャネルの動作」を参照してください。

8.4 動作説明

8.4.1 概要

DMAC のモード一覧を表 8.5 に示します。

表 8.5 モード一覧

転送モード		起動要因	備 考
ショートアドレスモード	(1) I/O モード (2) アイドルモード (3) リピートモード	ITU チャネル 0〜3 のコンペアマッチ／インプットキャプチャ A 割込み	• 最大 4 チャネルを独立に動作可能 • 外部リクエストはチャネル B のみ可能
		SCI チャネル 0 の送信データエンプティ／受信データフル割込み	
		外部リクエスト	
フルアドレスモード	(4) ノーマルモード	オートリクエスト	• チャネル A、B を組み合わせて最大 2 チャネルを動作可能 • オートリクエストではバーストモード転送／サイクルスチールモード転送の選択可能
		外部リクエスト	
	(5) ブロック転送モード	ITU チャネル 0〜3 のコンペアマッチ／インプットキャプチャ A 割込み	
		外部リクエスト	

各モードの動作概要を以下に示します。

(1) I/O モード

1 回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。

指定された回数の転送が終了すると CPU に割込みを要求することができます。アドレスの一方は 24 ビット、他方は 8 ビットで指定します。転送方向は起動要因により自動的に決定されます。

(2) アイドルモード

1 回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。

指定された回数の転送が終了すると CPU に割込みを要求することができます。アドレスの一方は 24 ビット、他方は 8 ビットで指定します。アドレスは固定になっています。転送方向は起動要因により自動的に決定されます。

(3) リピートモード

1 回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。

指定された回数の転送が終了するとアドレスと転送カウンタを設定値に戻し、動作を継続します。CPU に対して割込みは要求しません。アドレスの一方は 24 ビット、他方は 8 ビットで指定します。転送方向は起動要因により自動的に決定されます。

(4) ノーマルモード

(a) オートリクエスト

レジスタ設定のみで DMAC を起動し、指定された回数の転送が完了するまで転送を継続します。転送が完了すると CPU に割込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

- サイクルスチールモード
  1バイトまたは1ワード転送ごとにバスを一旦他のバスマスタに解放します。
- バーストモード
  他の優先順位の高いバスマスタからのバス権要求がなければ、指定された転送が完了するまでバスを専有して転送を行います。

(b) **外部リクエスト**

1 回の転送要求に対して 1 バイトまたは 1 ワードずつ、指定された回数だけ転送を行います。指定された回数の転送が終了すると CPU に割込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

(5) **ブロック転送モード**

1 回の転送要求に対して指定されたブロックサイズのブロック転送を行い、これを転送要求のあるごとに指定された回数だけ繰り返します。1 回のブロック転送が終了するたびに一方のアドレスは設定値に戻ります。指定された回数のブロック転送が終了すると CPU に割込みを要求することができます。アドレスはいずれも 24 ビットで指定します。

8.4.2 I/O モード

I/O モードは各チャネル独立に設定可能です。

I/O モードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は起動要因によって自動的に決定され、SCI チャネル 0 の受信データフル割込みで起動される場合は IOAR で指定されるアドレスから MAR で指定されるアドレスへ、それ以外の場合は MAR で指定されるアドレスから IOAR で指定されるアドレスへ転送されます。

I/O モード時のレジスタの機能を**表** 8.6 に示します。

表 8. 6 I/O **モード時のレジスタの機能**

対象レジスタ	機能		初期設定値	動作
	SCI0 受信データフル割込みによる起動	その他の起動		
23 … 0 MAR	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元の先頭アドレス	1 回の転送ごとにインクリメント／デクリメント
23 … 7 … 0 1固定 IOAR	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固定
15 … 0 ETCR	転送カウンタ		転送回数	1 回の転送ごとにデクリメント H'0000 になると転送終了

【記号説明】

MAR ：**メモリアドレスレジスタ**

IOAR ：I/O **アドレスレジスタ**

ETCR：**転送カウントレジスタ**

転送元および転送先アドレスは、MAR と IOAR によって指定します。MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のバイト転送またはワード転送のたびにインクリメント／デクリメントされます。IOAR はアドレス下位 8 ビットを指定し、上位 16 ビットは 1 となります。IOAR はインクリメントもデクリメントもされません。

図 8.2 に I/O モードの動作を示します。

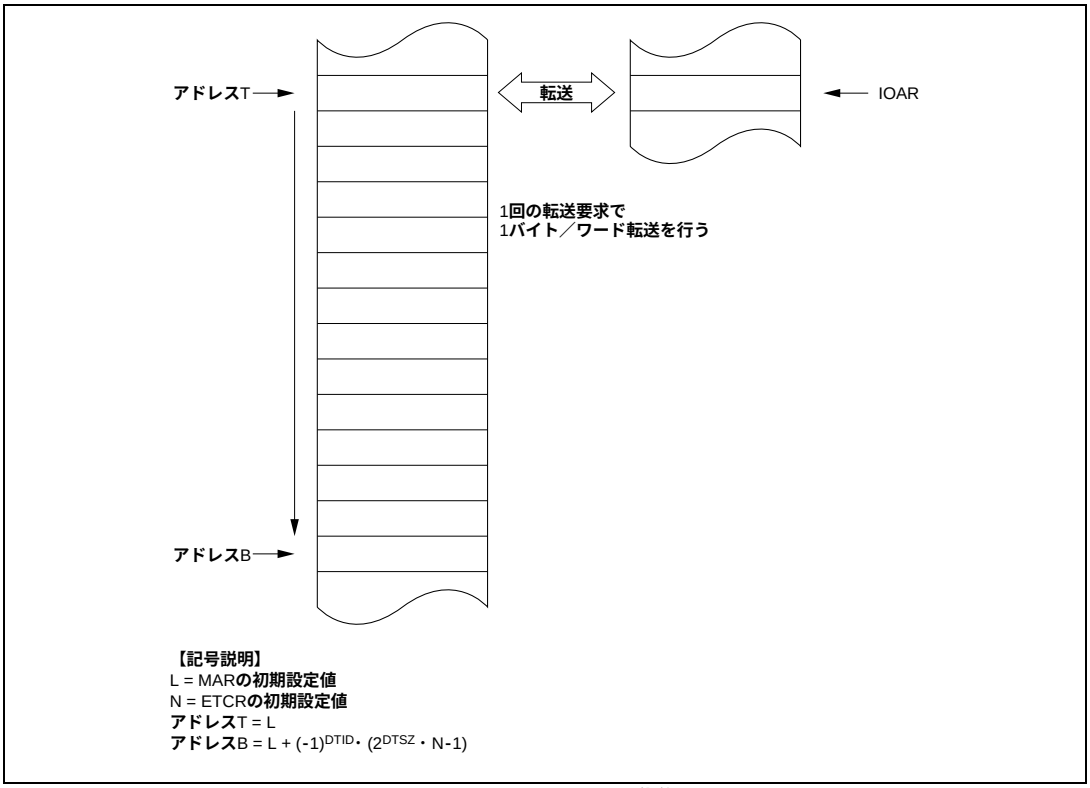


図 8.2　I/O **モードの動作**

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回の転送を行うたびに 1 だけデクリメントされ、H'0000 となったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU に割込みを要求します。

なお、転送回数の最大値は ETCR に H'0000 を設定したときで、65536 となります。

転送要求（起動要因）には、ITU チャネル 0～3 のコンペアマッチ／インプットキャプチャ A 割込み、SCI チャネル 0 の送信データエンプティ、受信データフル割込み、および外部リクエストがあります。

設定の詳細は「8.2.4　**データトランスファコントロールレジスタ**（DTCR）」を参照してください。

I/O モードの設定手順例を**図** 8.3 に示します。

1. 転送元アドレスと転送先アドレスをMARとIOARに設定してください。転送方向は起動要因により自動的に決定されます。
2. 転送回数をETCRに設定してください。
3. DTCRのDTE=0の状態をリードしてください。
4. DTCRの各ビットを設定してください。
   - DTS2～DTS0ビットでDMAC起動要因を選択してください。
   - DTIEビットにより、転送終了時のCPUに対する割込みの許可／禁止を設定してください。
   - RPEビットを0にクリアしてI/Oモードに設定してください。
   - DTIDビットにより、MARをインクリメントするかデクリメントするかを設定してください。
   - DTSZビットにより、転送データサイズを設定してください。
   - DTEビットを1にセットして、転送許可状態としてください。

図 8.3　I/O **モードの設定手順例**

8.4.3　アイドルモード

アイドルモードは各チャネル独立に設定可能です。

アイドルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は起動要因によって自動的に決定され、SCI チャネル 0 の受信データフル割込みで起動される場合は IOAR で指定されるアドレスから MAR で指定されるアドレスへ、それ以外の場合は MAR で指定されるアドレスから IOAR で指定されるアドレスへ転送されます。

アイドルモード時のレジスタの機能を**表** 8.7 に示します。

表 8.7　アイドルモード時のレジスタの機能

対象レジスタ	機　能		初期設定値	動　作
	SCI0 受信データフル割込みによる起動	その他の起動		
23 … 0 MAR	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元のアドレス	固　定
23 … 7 … 0 1固定 / IOAR	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固　定
15 … 0 ETCR	転送カウンタ		転送回数	1 回の転送ごとにデクリメント H'0000 になると転送終了

【記号説明】
MAR　：**メモリアドレスレジスタ**
IOAR　：I/O **アドレスレジスタ**
ETCR：**転送カウントレジスタ**

転送元および転送先アドレスは、MAR と IOAR によって指定します。MAR には転送元または転送先のアドレスを 24 ビットで指定します。IOAR はアドレス下位 8 ビットを指定し、上位 16 ビットは 1 となります。MAR、IOAR はインクリメントもデクリメントもされません。

図 8.4 にアイドルモードの動作を示します。

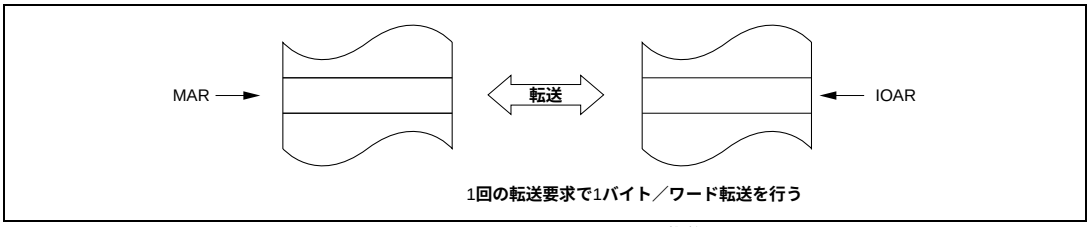


図 8.4　**アイドルモードの動作**

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回の転送を行うたびに 1 だけデクリメントされ、H'0000 となったときに DTE ビットをクリアして転送を終了します。このとき、CPU に割込みを要求します。

なお、転送回数の最大値は ETCR に H'0000 を設定したときで、65536 となります。

転送要求（起動要因）には、ITU チャネル 0～3 のコンペアマッチ／インプットキャプチャ A 割込み、SCI チャネル 0 の送信データエンプティ、受信データフル割込み、および外部リクエストがあります。

設定の詳細は「8.2.4　**データトランスファコントロールレジスタ（**DTCR**）**」を参照してください。

アイドルモードの設定手順例を**図** 8.5 に示します。

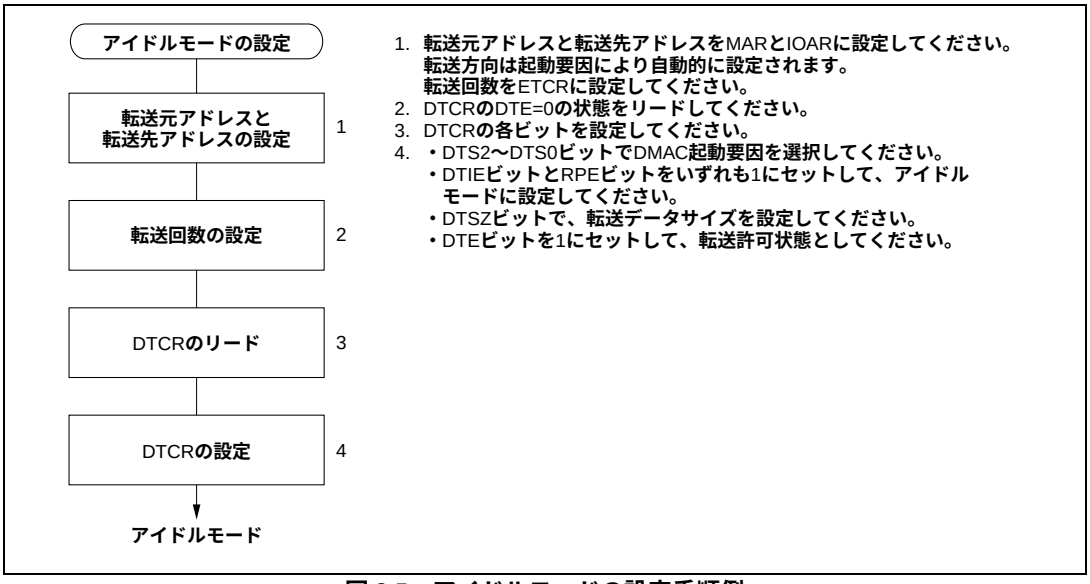


図 8.5　**アイドルモードの設定手順例**

8.4.4　リピートモード

リピートモードは ITU のコンペアマッチなどに同期して、テーブル上のデータをプログラマブルタイミングパターンコントローラ（TPC）に対して繰り返し転送するのに便利なモードです。各チャネル独立に設定可能です。

リピートモードでは、I/O モードと同様に 1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。指定された回数の転送終了時、MAR、および ETCRH の内容が初期設定値となり、さらに動作を継続します。転送方向は起動要因によって自動的に決定され、SCI チャネル 0 の受信データフル割込みで起動される場合は IOAR で指定されるアドレスから MAR で指定されるアドレスへ、それ以外の場合は MAR で指定されるアドレスから IOAR で指定されるアドレスへ転送されます。

リピートモード時のレジスタの機能を**表** 8.8 に示します。

表 8.8　リピートモード時のレジスタの機能

対象レジスタ	機　能		初期設定値	動　作
	SCI0 受信データフル割込みによる起動	その他の起動		
23 0 MAR	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送先または転送元の先頭アドレス	1 回の転送ごとにインクリメント／デクリメント ETCRH が H'0000 になると初期設定値を回復
23 7 0 1固定 IOAR	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先のアドレス	固　定
7 0 ETCRH	転送カウンタ		転送回数	1 回の転送ごとにデクリメント H'0000 になると ETCRL の内容を格納
7 0 ETCRL	転送回数保持		転送回数	固　定

【記号説明】
MAR ：**メモリアドレスレジスタ**
IOAR ：I/O **アドレスレジスタ**
ETCR：**転送カウントレジスタ**

リピートモードでは ETCRH を転送カウンタとし、ETCRL は転送回数保持に使用します。ETCRH は 1 回の転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRL の値が格納されます。また、MAR は DTCR の DTSZ ビットおよび DTID ビットの値に応じて初期設定値を回復します。このときの MAR の動作は次のようになります。

$$\mathrm{MAR} \leftarrow \mathrm{MAR} - (-1)^{\mathrm{DTID}} \cdot 2^{\mathrm{DTSZ}} \cdot \mathrm{ETCRL}$$

ETCRH と ETCRL には同じ値を初期設定してください。

リピートモードでは CPU が DTE ビットを 0 にクリアするまで転送を繰り返します。DTE ビットを 0 にクリアした後、CPU が DTE ビットを 1 にセットすると、クリアした時点の状態から転送を再開します。CPU に対して割込み要求は発生しません。

転送元および転送先アドレスは、I/O モードと同様、MAR と IOAR によって指定します。MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。IOAR にはアドレス下位 8 ビットを指定し、上位 16 ビットは 1 となります。IOAR は転送によりインクリメントもデクリメントもされません。

図 8.6 にリピートモードの動作を示します。

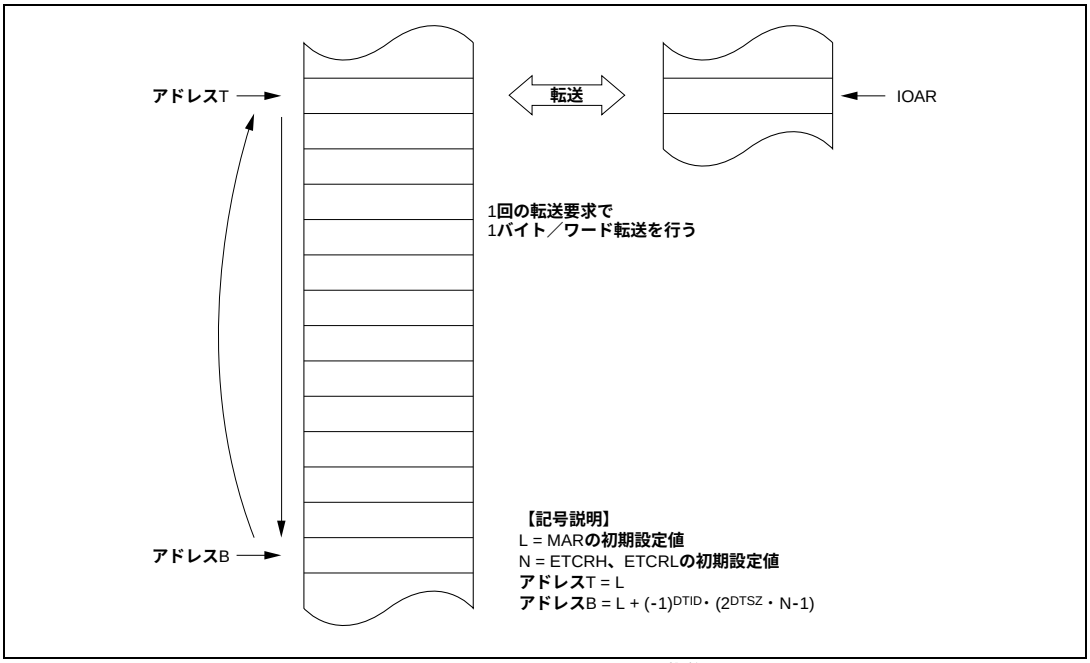


図 8.6　リピートモードの動作

転送回数は ETCRH、ETCRL に 8 ビットで指定します。転送回数の最大値は ETCRH、ETCRL にそれぞれ H'FF を設定したときで、255 となります。

転送要求（起動要因）には、ITU チャネル 0～3 のコンペアマッチ／インプットキャプチャ A 割込み、SCI チャネル 0 の送信データエンプティ、受信データフル割込み、および外部リクエストがあります。

設定の詳細は「8.2.4　**データトランスファコントロールレジスタ（DTCR）**」を参照してください。

リピートモードの設定手順例を**図** 8.7 に示します。

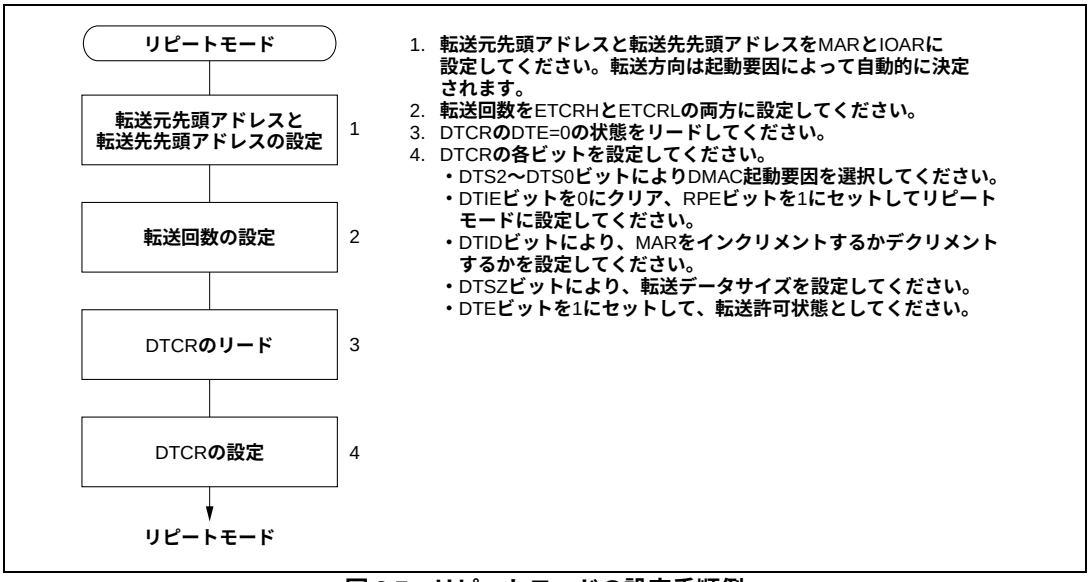


図 8.7　リピートモードの設定手順例

8.4.5　ノーマルモード

ノーマルモードは、チャネル A、B を組み合わせて転送を行います。

ノーマルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードずつ転送を行い、これを指定された回数だけ実行します。アドレスは MARA、MARB で指定します。

ノーマルモード時のレジスタの機能を**表** 8.9 に示します。

表 8.9　ノーマルモード時のレジスタの機能

対象レジスタ	機　能	初期設定値	動　作
23 … 0 MARA	ソースアドレスレジスタ	転送元先頭アドレス	1 回の転送ごとにインクリメント／デクリメントまたは固定
23 … 0 MARB	デスティネーションアドレスレジスタ	転送先先頭アドレス	1 回の転送ごとにインクリメント／デクリメントまたは固定
15 … 0 ETCRA	転送カウンタ	転送回数	1 回の転送ごとにデクリメント

【記号説明】

MARA　：**メモリアドレスレジスタ** A

MARB　：**メモリアドレスレジスタ** B

ETCRA：**転送カウントレジスタ** A

転送元および転送先アドレスはともに 24 ビットで指定し、MARA がソースアドレスレジスタ、MARB がデスティネーションアドレスレジスタとなります。転送によるアドレスのインクリメント、デクリメントまたは固定の制御は MARA、MARB 独立に行うことができます。

転送回数は ETCRA によって 16 ビットで指定します。転送を行うたびに 1 だけデクリメントされ、H'0000 となったときに DTE ビットをクリアして転送を終了します。このとき、DTIE ビットが 1 にセットされていると CPU に割込みを要求します。

なお、転送回数の最大値は ETCRA に H'0000 を設定したときで、65536 となります。

図 8.8 にノーマルモードの動作を示します。

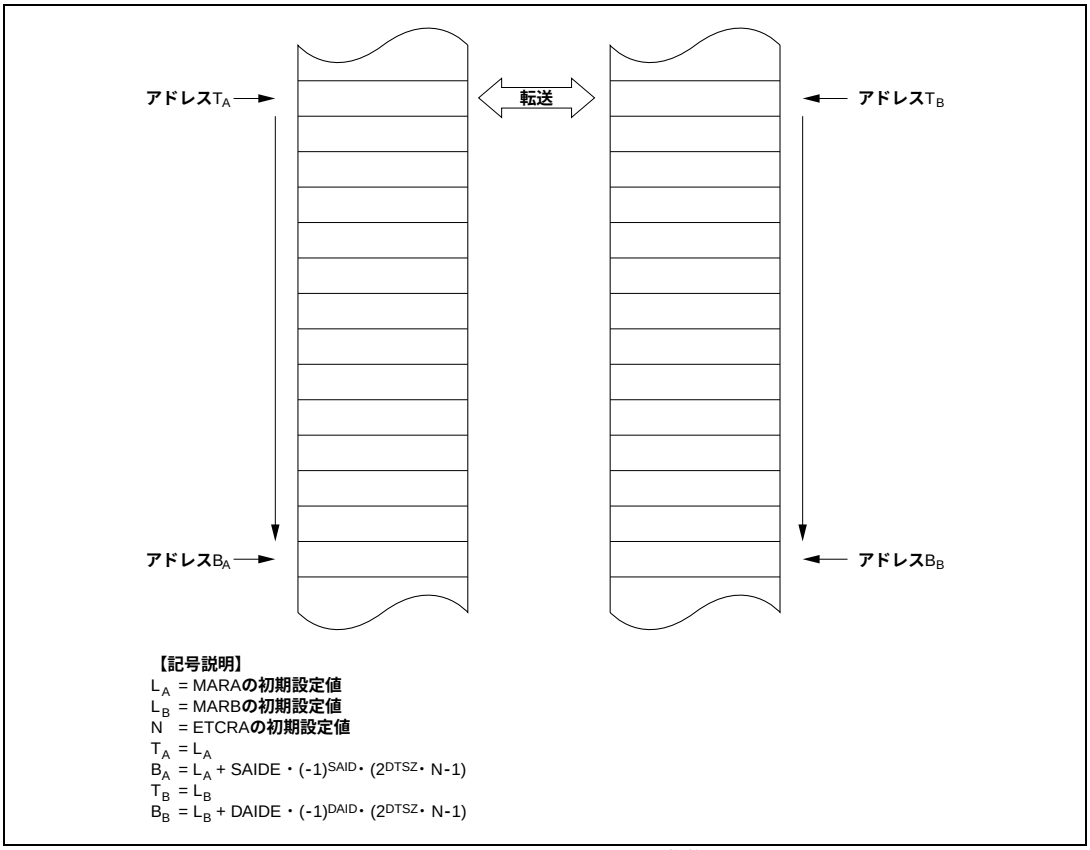
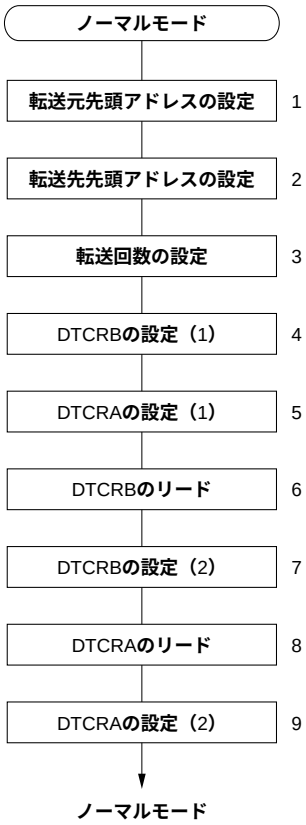


図 8.8 **ノーマルモードの動作**

転送要求（起動要因）には、外部リクエストとオートリクエストがあります。オートリクエストはレジスタの設定のみで起動され、指定された回数の転送を自動的に行います。オートリクエスト時にはサイクルスチールモードとバーストモードを選択できます。サイクルスチールモードでは DMAC は 1 回の転送を行うたびにバスを一旦解放します。バーストモードでは、より優先順位の高いバスマスタからのバス権要求がないかぎり転送終了までバスを占有し続けます。

設定の詳細は「8.3.4 **データトランスファコントロールレジスタ（**DTCR**）」**を参照してください。

ノーマルモードの設定手順例を**図** 8.9 に示します。



1. 転送元先頭アドレスをMARAに設定してください。
2. 転送先先頭アドレスをMARBに設定したください。
3. 転送回数をETCRAに設定してください。
4. DTCRBの各ビットを設定してください。
   - DTMEビットを0にクリアしてください。
   - DAIDビット、DAIDEビットによりMARBをインクリメント／デクリメント／固定のいずれかに設定してください。
   - DTS2B～DTS0Bビットで DMAC起動要因を選択してください。
5. DTCRAの各ビットを設定してください。
   - DTEビットを0にクリアしてください。
   - DTSZビットで転送データサイズを設定してください。
   - SAIDビット、SAIDEビットでMARAをインクリメント／デクリメント／固定のいずれかに設定してください。
   - DTIEビットで転送終了時のCPUに対する割込みの許可／禁止を設定してください。
   - DTS0Aビットを0にクリアし、DTS2A、DTS1Aビットをいずれも1にセットしてノーマルモードを選択してください。
6. DTCRBのDTME=0の状態をリードしてください。
7. DTCRBのDTMEビットを1にセットしてください。
8. DTCRAのDTE=0の状態をリードしてください。
9. DTCRAのDTEビットを1にセットして、転送許可状態にしてください。

【注】1～9の設定は、DEND割込みをCPU側でマスクした状態で行ってください。
また、設定中にNMI割込みが入力されると、DTMEビットが0にクリアされ起動されない場合があります。

図 8.9　ノーマルモードの設定手順例

8.4.6　ブロック転送モード

ブロック転送モードは、チャネル A、B を組み合わせて転送を行います。

ブロック転送モードでは、1 回の転送要求に対して、指定されたブロックサイズの転送を行い、これを指定された回数だけ実行します。アドレスは MARA、MARB で指定します。ブロックエリア側のアドレスは固定とするか、連続したアドレスとするかを選択できます。

ブロック転送モード時のレジスタの機能を**表** 8.10 に示します。

表 8.10　ブロック転送モード時のレジスタの機能

対象レジスタ	機　能	初期設定値	動　作
23 0 MARA	ソースアドレスレジスタ	転送元先頭 アドレス	1 回の転送ごとに インクリメント／ デクリメントまた は固定
23 0 MARB	デスティネーション アドレスレジスタ	転送先先頭 アドレス	1 回の転送ごとに インクリメント／ デクリメントまた は固定
7 0 ETCRAH	ブロックサイズカウンタ	ブロックサイズ	1 回の転送ごとに デクリメント H'00 になると ETCRAL の値を 格納
7 0 ETCRAL	ブロックサイズ保持	ブロックサイズ	固　定
15 0 ETCRB	ブロック転送カウンタ	ブロック転送回数	ブロック転送ごと にデクリメント H'0000 になると 転送を終了

【記号説明】

MARA　：**メモリアドレスレジスタ** A
MARB　：**メモリアドレスレジスタ** B
ETCRA：**転送カウントレジスタ** A
ETCRB：**転送カウントレジスタ** B

転送元および転送先アドレスはともに 24 ビットで指定し、MARA がソースアドレスレジスタ、MARB がデスティネーションアドレスレジスタとなります。転送によるアドレスのインクリメント、デクリメントまたは固定の制御は、MARA、MARB 独立に行うことができます。ブロックエリアを指定する MAR は、インクリメント／デクリメントを指定した場合でも 1 回のブロック転送を終了するたびに初期設定値に戻ります。ソースアドレスとデスティネーションアドレスのどちらをブロックエリアとみなすかは DTCRB の TMS ビットにより指定します。

1 回の転送要求で転送するブロックサイズを M（M＝1～255）とし、N 回（N＝1～65,536）の転送を行うとき、ETCRAH と ETCRAL にそれぞれ M を、ETCRB に N を設定します。

図 8.10 にブロック転送モードの動作を示します。TMS ビットを 0 にクリアして、デスティネーションアドレスをブロックエリアとした場合の例です。

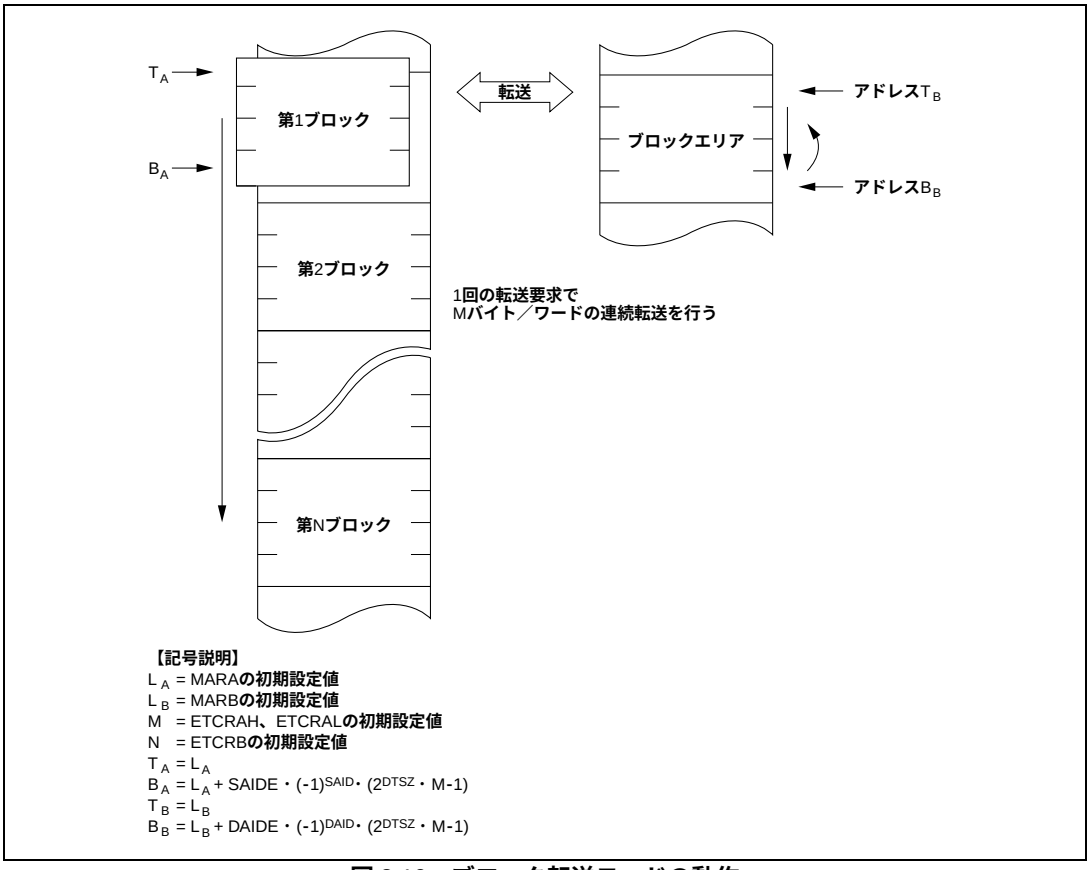


図 8.10　ブロック転送モードの動作

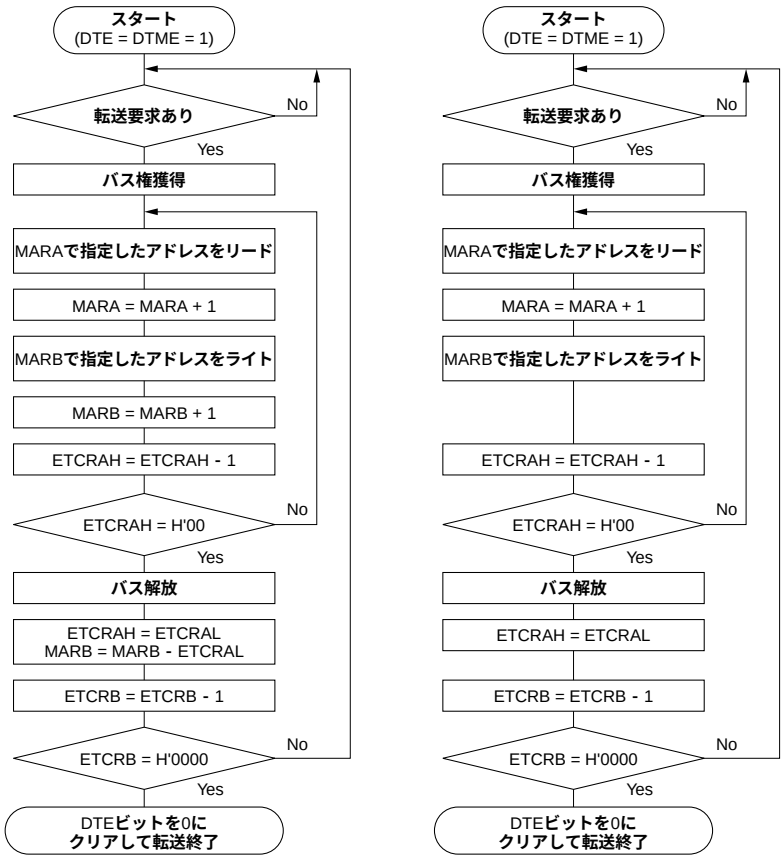
転送要求によって DMAC が起動されるとバースト転送を行います。この間、MARA、MARB とも DTCR の設定に従い更新され、ETCRAH をデクリメントします。ETCRAH が H'00 になると、ETCRAH は ETCRAL の値が格納され初期設定値に戻ります。同時にブロックエリア側の MAR も初期設定値に戻り、ETCRB をデクリメントして H'0000 でなければ次の転送要求待ちとなります。ETCRAH と ETCRAL には同じ値を初期設定してください。

この動作を繰り返して ETCRB の値が H'0000 となったとき、DTE ビットを 0 にクリアして転送を終了します。このとき DTIE ビットが 1 にセットされていると CPU に対して割込みを要求します。

デスティネーションアドレスをブロックエリアとしてバイト単位でブロック転送する場合の DMAC の動作フロー例を**図** 8.11 に示します。a はブロックエリアのアドレスが連続する場合、b はブロックエリアのアドレス固定の場合を示します。

転送要求（起動要因）には、ITU チャネル 0～3 コンペアマッチ／インプットキャプチャ A 割込みと外部リクエストがあります。

設定の詳細は「8.3.4　**データトランスファコントロールレジスタ（**DTCR**）**」を参照してください。

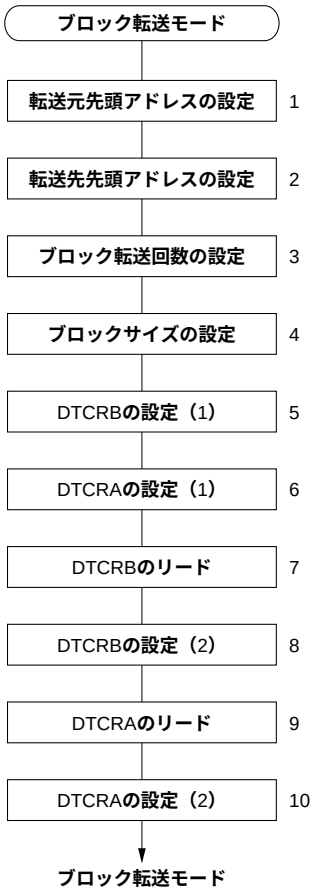


a. DTSZ = TMS = 0
SAID = DAID = 0
SAIDE = DAIDE = 1の場合

b. DTSZ = TMS = 0
SAID = 0
SAIDE = 1
DAIDE = 0の場合

図 8.11　ブロック転送モードの動作フロー例

ブロック転送モードの設定手順例を**図** 8.12 に示します。



1. 転送元先頭アドレスをMARAに設定してください。
2. 転送先先頭アドレスをMARBに設定してください。
3. ブロック転送回数をETCRBに設定してください。
4. ブロックサイズ（バイト／ワード数）をETCRAHとETCRALの両方に設定してください。
5. DTCRBの各ビットを設定してください。
   - DTMEビットを0にクリアしてください。
   - DAIDビット、DAIDEビットでMARBをインクリメント／デクリメント／固定のいずれかに設定してください。
   - TMSビットで、ソース側とデスティネーション側のどちらをブロックエリアとするか設定してください。
   - DTS2B～DTS0Bビットで DMAC起動要因を選択してください。
6. DTCRAの各ビットを設定してください。
   - DTEビットを0にクリアしてください。
   - DTSZビットで転送データサイズを設定してください。
   - SAIDビット、SAIDEビットでMARAをインクリメント／デクリメント／固定のいずれかに設定してください。
   - DTIEビットで転送終了時のCPUに対する割込みの許可／禁止を設定してください。
   - DTS2A～DTS0Aビットをいずれも1にセットしてブロック転送モードを選択してください。
7. DTCRBのDTME=0の状態をリードしてください。
8. DTCRBのDTMEビットを1にセットしてください。
9. DTCRAのDTE=0の状態をリードしてください。
10. DTCRAのDTEビットを1にセットして、転送許可状態にしてください。

【注】1～10の設定は、DEND割込みをCPU側でマスクした状態で行ってください。
また、設定中にNMI割込みが入力されると、DTMEビットが0にクリアされ起動できない場合があります。

図 8.12　**ブロック転送モードの設定手順例**

8.4.7 DMAC の起動要因

DMAC の起動要因には、内部割込み、外部リクエスト、およびオートリクエストがあります。
転送モードおよびチャネルにより指定できる要因が**表** 8.11 に示すように異なります。

表 8.11 DMAC **の起動要因**

起 動 要 因		ショートアドレスモード		フルアドレスモード	
		チャネル 0A,1A	チャネル 0B,1B	ノーマル	ブロック
内部割込み	IMIA0	○		×	○
	IMIA1	○		×	○
	IMIA2	○		×	○
	IMIA3	○		×	○
	TXI0	○		×	×
	RXI0	○		×	×
外部リクエスト	DREQ 端子の立下がり	×	○	○	○
	DREQ 端子の Low レベル入力	×	○	○	×
オートリクエスト		×		○	×

(1) 内部割込みによる起動

DMAC の起動要因として選択された割込み要求は、DTE＝1 の状態では CPU に対しては要求されません。したがって、起動要因として使用している割込みで同時に CPU に割込みを発生させることはできません。

割込み要求により DMAC が起動されると、割込み要求フラグは自動的にクリアされます。複数のチャネルで同一の割込みを起動要因として指定した場合、最初に最も優先順位の高いチャネルが起動された時点で割込み要求フラグがクリアされます。その他のチャネルの転送要求は DMAC 内部で保持されて、優先順位に従って起動されます。

(2) 外部リクエストによる起動

起動要因として外部リクエスト（DREQ 端子）を指定した場合は、該当する DREQ 端子と TEND 端子が対応するポートのデータディレクションレジスタ（DDR）の設定にかかわらず、それぞれ入力端子、出力端子になります。

DREQ 端子入力にはレベルセンスとエッジセンスがあります。

ショートアドレスモードとノーマルモード時の外部リクエスト動作は次のようになります。

エッジセンスを選択した場合は DREQ 端子入力の High レベルから Low レベルへの変化を検出するたびに、1 バイトまたは 1 ワードの転送を行います。転送完了前に次のエッジが入力された場合は次の転送が行われない場合があります。

レベルセンスを選択した場合は DREQ 端子が Low レベルに保持されている間は、転送終了まで転送を継続します。ただし、1 バイトまたは 1 ワードの転送を行うたびに一旦バスを解放します。転送の途中で DREQ 端子入力が High レベルとなった場合、転送中の 1 バイトまたは 1 ワードを転送した時点で転送を中断します。なお、DREQ 端子を Low レベルにすると、起動要因は 1 バイトまたは 1 ワードの転送が行われるまで内部で保持されています。

TEND 端子は最後の転送のライトサイクル中 Low レベルとなります。

ブロック転送モード時の外部リクエスト動作は次のようになります。

ブロック転送モードはエッジセンスの転送要求のみ可能です。DREQ 端子入力の High レベルから

Low レベルへの変化を検出するたびに、指定された 1 ブロックを転送します。
TEND 端子は 1 ブロック転送の最後のライトサイクル中 Low レベルとなります。

(3) オートリクエストによる起動

オートリクエストはレジスタ設定のみで起動され、転送終了まで継続して転送を行います。サイクルスチールモードとバーストモードが選択できます。

サイクルスチールモードでは、DMAC は 1 バイトまたは 1 ワードの転送を行うたびにバスを一旦解放しますので、通常、DMAC サイクルと CPU サイクルが交互に繰り返されます。

バーストモードでは、より優先順位の高いバス権要求がないかぎり転送終了までバスを占有し続けます。優先順位の高いバス権要求があった場合は、転送中の 1 バイトまたは 1 ワードを転送した時点でバスを解放します。

8.4.8 DMAC のバスサイクル

DMAC の基本的なバスサイクルのタイミング例を**図** 8.13 に示します。この例はワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する場合の例です。CPU から DMAC にバス権が移ると、1 サイクルのデッドサイクル（Td）の後、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード、ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMAC サイクルは CPU サイクルと同様、バスコントローラの設定にしたがいます。

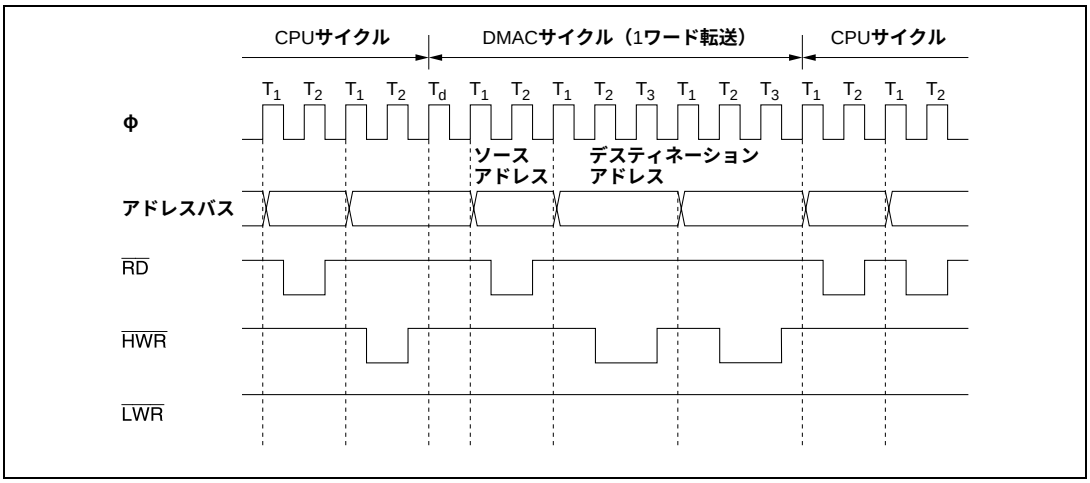


図 8.13 DMA **転送バスタイミング例**

DREQ 端子 Low レベルで DMAC を起動した場合のタイミングを**図** 8.14 に示します。ワードサイズで 16 ビット 2 ステートアクセス空間から 16 ビット 2 ステートアクセス空間へ転送する場合の例です。DREQ 端子が Low レベルに保持されている間、DMAC は転送を継続します。

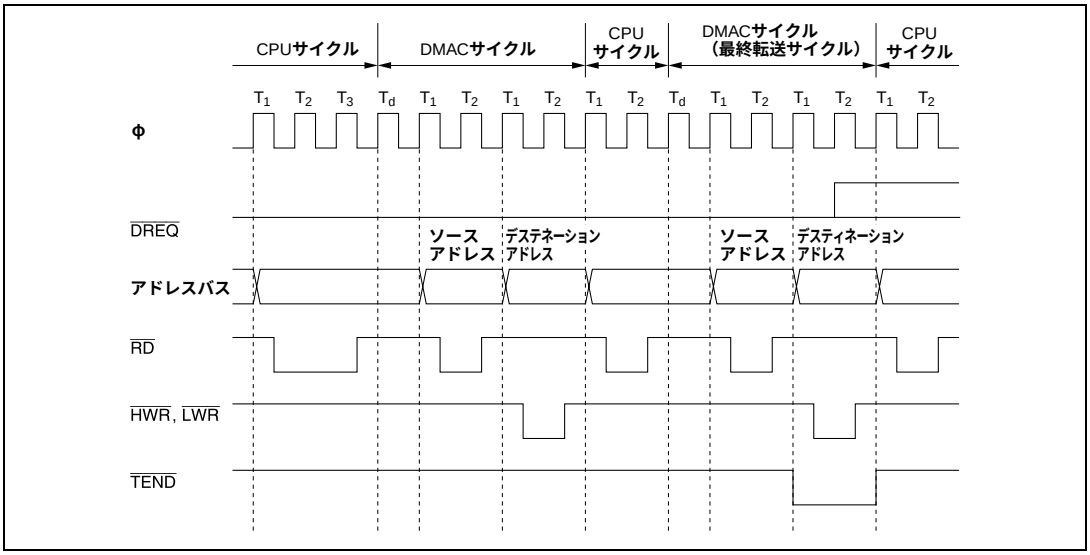


図 8.14　DREQ **端子** Low **レベル入力選択時の** DMA **転送バスタイミング**

オートリクエストバーストモードの場合のタイミングを**図** 8.15 に示します。ワードサイズで 16 ビット 2 ステートアクセス空間から 16 ビット 2 ステートアクセス空間へ、3 ワード転送する場合の例です。

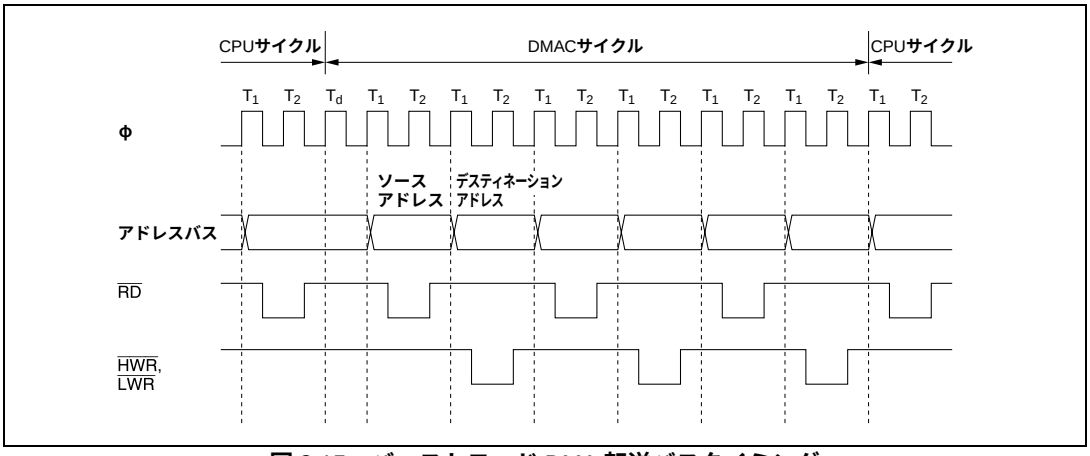


図 8.15　**バーストモード** DMA **転送バスタイミング**

DREQ 端子で DMAC を起動する場合、転送要求が発生してから DMAC が動作を開始するまでの期間は最短で 4 ステートです。

転送要求発生後、DMAC が動作を開始し転送を行うまで、DREQ 端子のサンプリングは行いません。次のサンプリングは、ショートアドレスモードとノーマルモードの場合、リードサイクル終了後から行い、ブロック転送モードの場合、1 ブロックの転送終了後から行います。

ノーマルモード時、DREQ 端子の立下がりエッジで DMAC を起動する場合のタイミングを**図** 8.16 に示します。

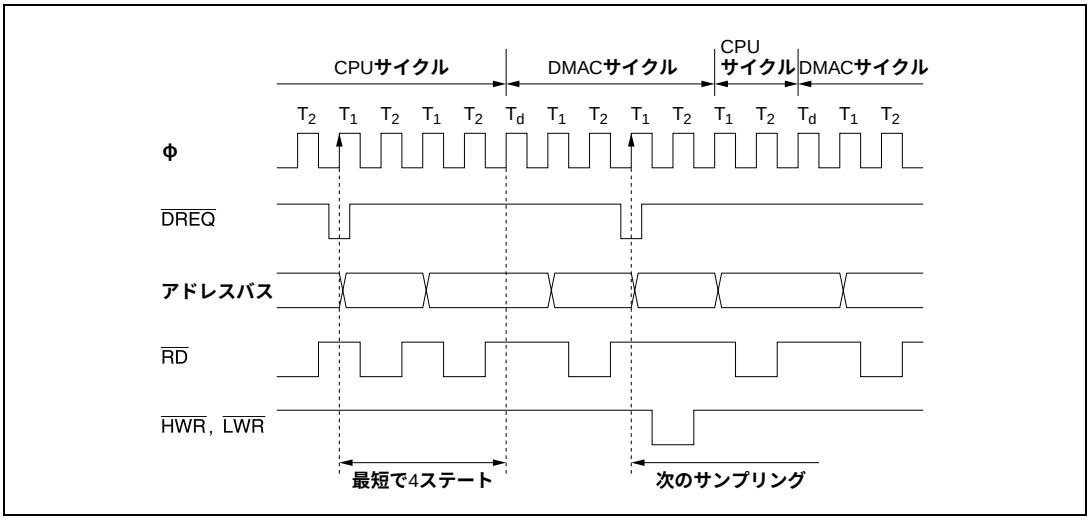


図 8.16　**ノーマルモード時の** DREQ **端子の立下がりエッジによる** DMAC **起動タイミング**

ノーマルモード時、DREQ 端子の Low レベルで DMAC を起動する場合のタイミングを**図** 8.17 に示します。

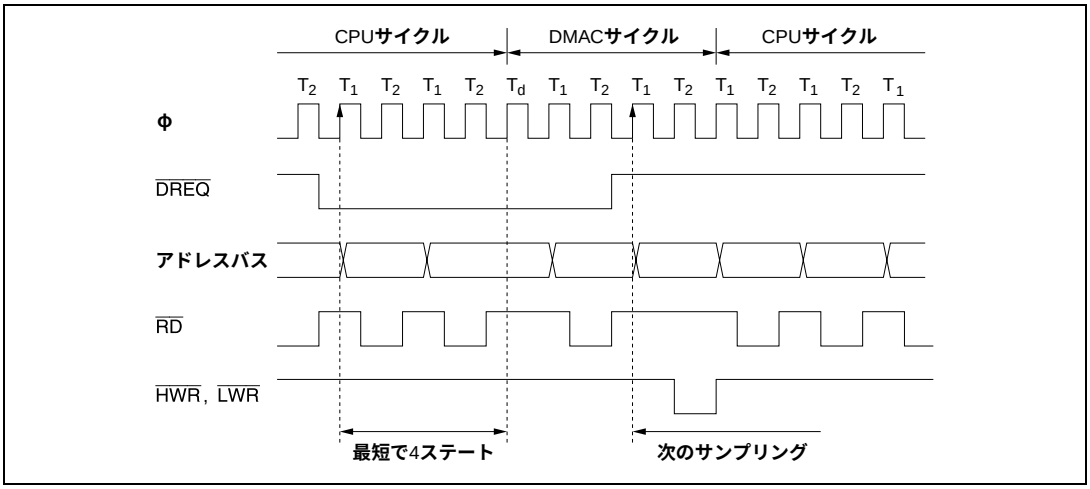


図 8.17　**ノーマルモード時の** DREQ **端子の** Low **レベルによる** DMAC **起動タイミング**

ブロック転送モード時、DREQ 端子の立下がりエッジで DMAC を起動する場合のタイミングを**図** 8.18 に示します。

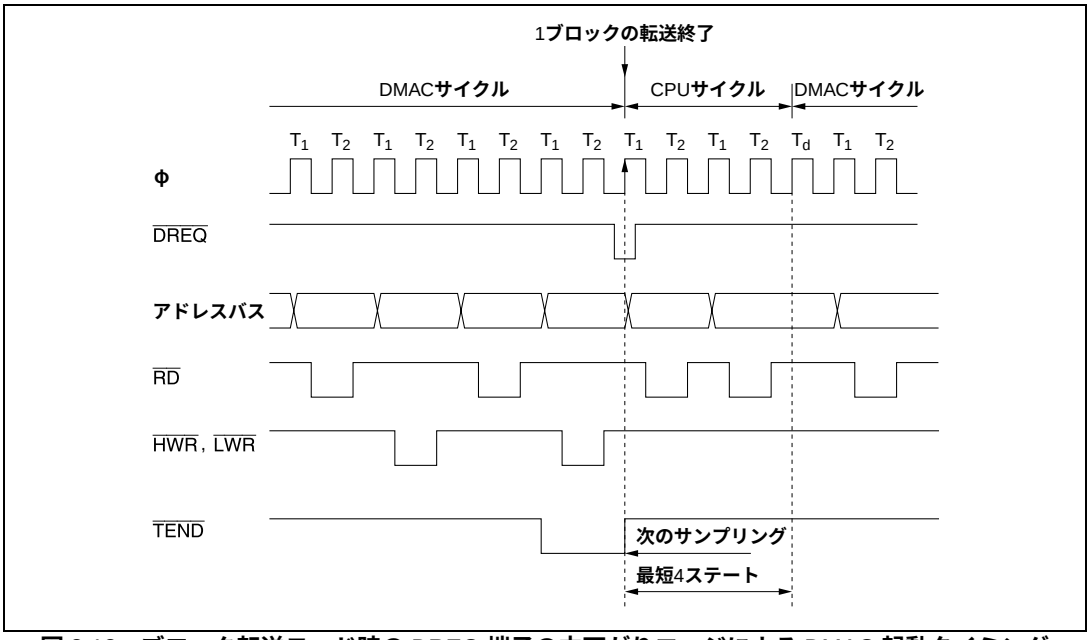


図 8.18 **ブロック転送モード時の** DREQ **端子の立下がりエッジによる** DMAC **起動タイミング**

8.4.9 DMAC 複数チャネルの動作

DMAC のチャネル間順位はチャネル 0＞チャネル 1、また、チャネル A＞チャネル B の順に優先順位が高くなっています。**表** 8.12 に DMAC のチャネル間優先順位を示します。

表 8.12 **チャネル間優先順位**

ショートアドレスモード	フルアドレスモード	優先度
チャネル 0A	**チャネル** 0	高
チャネル 0B		↑
チャネル 1A	**チャネル** 1	↓
チャネル 1B		低

複数のチャネルに対して同時に転送要求が発生した場合、または転送中に他のチャネルの転送要求が発生した場合、DMAC は以下のように動作します。

［1］ 転送要求が発生するとバス権を要求し、DMACがバス権を獲得する時点で最も優先順位の高いチャネルの転送が起動されます。

［2］ 1つのチャネルが起動されると、そのチャネルがバス権を解放するまで他のチャネルは保留となります。

［3］ ショートアドレスモードおよびノーマルモードの外部リクエスト、サイクルスチールモードの場合、1回の転送を行った後、バスを解放して［1］に戻ります。バスを解放した後、他のチャネルの転送要求が存在すると、再度バス権を要求します。

［4］ バーストモードの場合は転送終了後、ブロック転送モードの場合は1ブロックの転送後、バスを解放して[1]に戻ります。ただし、優先順位の高いチャネルの転送要求または優先順位

の高いバスマスタのバス権要求が存在すると、転送中の1バイトまたは1ワードの転送を終了した時点でバスを解放します。バスを解放した後、他のチャネルの転送要求が存在すると、再度バス権を要求します。

チャネル 0A を I/O モード、チャネル 1 をバーストモードとし、チャネル 1 が動作中、チャネル 0A の転送要求が発生した場合のタイミングを**図** 8.19 に示します。

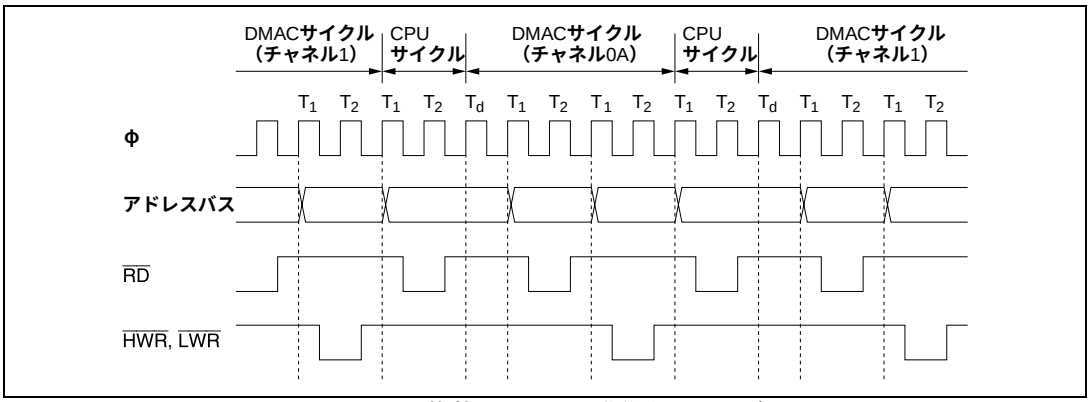


図 8.19　**複数チャネルの動作タイミング**

8.4.10　外部バス権要求、リフレッシュコントローラと DMAC の関係

DMAC 動作中に、BREQ 端子による外部バス権要求、リフレッシュコントローラによるバス権要求があった場合、DMAC は転送中の 1 バイトまたは 1 ワードの転送を終了した時点でバスを解放します。この時点で転送要求が存在する場合、DMAC は再度バス権を要求します。

チャネル 0 でバーストモード転送中にリフレッシュサイクルが挿入される場合のタイミングを**図** 8.20 に示します。

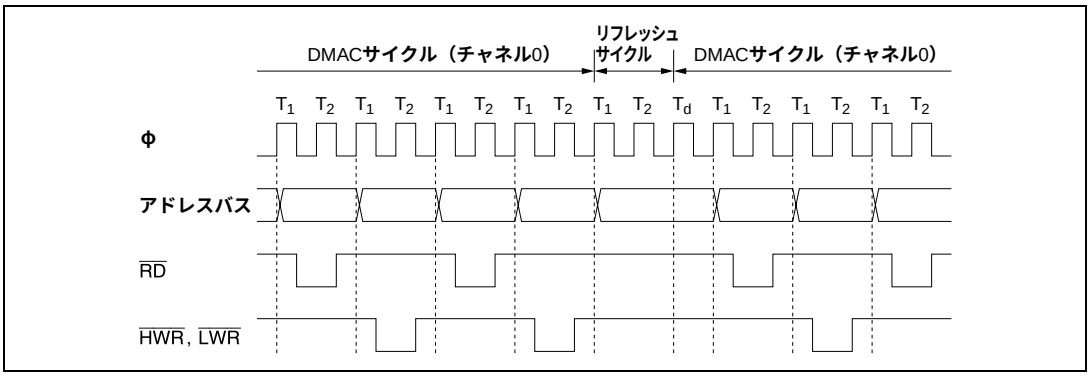


図 8.20　**リフレッシュコントローラと** DMAC **の動作タイミング**

8.4.11 NMI 割込みと DMAC

ショートアドレスモードでは、NMI 割込みは DMAC の動作に影響を与えません。

フルアドレスモードでは、転送中に NMI 割込みが発生すると DMAC は動作を中断します。フルアドレスモードでは、DTE ビットと DTME ビットがいずれも 1 にセットされているとき、そのチャネルが転送許可状態となります。NMI 割込みが発生すると DTME ビットが 0 にクリアされ、DMAC は転送中の 1 バイトまたは 1 ワードの転送を終了した時点でバスを解放し、CPU にバス権が移ります。ノーマルモードのときは、その後 CPU が DTME ビットを 1 にセットすると中断した動作を再開します。この場合、事前に DTE ビットが 1 にセットされ、DTME ビットが 0 にクリアされていることを確認してください。

チャネル 0 をノーマルモードとしたときに、NMI 割込みにより DMAC 動作が停止したとき、動作を再開する手順を**図** 8.21 に示します。

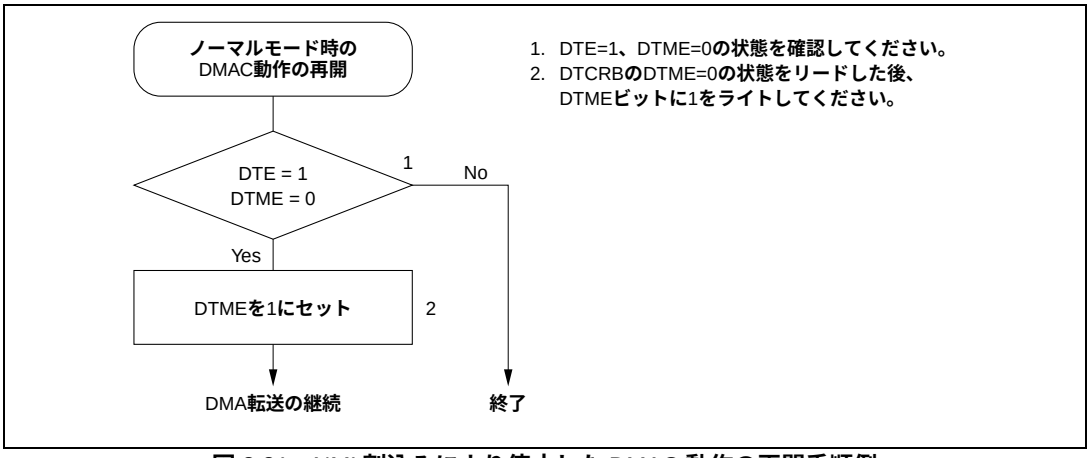


図 8.21 NMI **割込みにより停止した** DMAC **動作の再開手順例**

ブロック転送モード時の NMI 割込みについては**「**8.6.6 NMI **割込みとブロック転送モード」**を参照してください。

8.4.12 DMAC 動作の強制終了

動作中のチャネルの DTE ビットを 0 にクリアすると、転送中の 1 バイトまたは 1 ワードの転送を終了した時点で DMAC は停止します。この後、DTE ビットを 1 にセットすると DMAC は動作を再開します。

フルアドレスモードの場合、DTME ビットを使用しても同様です。

DMAC をソフトウェアで強制終了させる場合の手順を**図** 8.22 に示します。

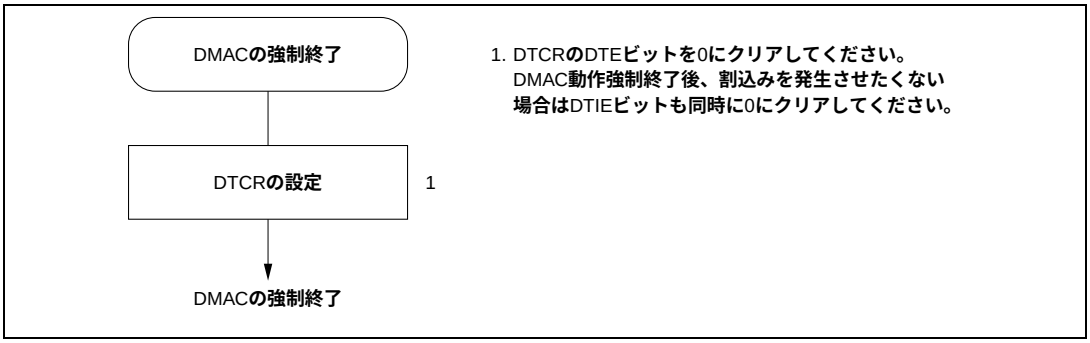


図 8.22　DMAC 動作の強制終了手順

8.4.13　フルアドレスモードの解除

フルアドレスモードに設定したチャネルを解除し、初期化する場合の手順を図 8.23 に示します。解除後に再設定する場合には各転送モードの設定手順に従ってください。

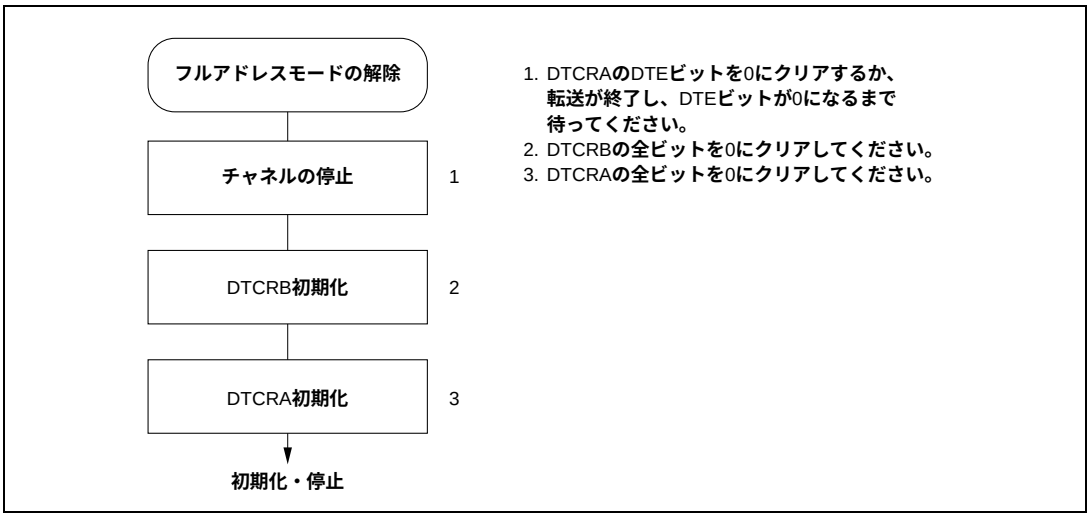


図 8.23　フルアドレスモードの解除手順例

8.4.14 リセット、スタンバイモード、スリープモード時の DMAC の状態

リセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時、DMAC はイニシャライズされ、停止します。

スリープモード中は DMAC は動作を継続します。

スリープモード中のサイクルスチールモードのタイミングを**図** 8.24 に示します。

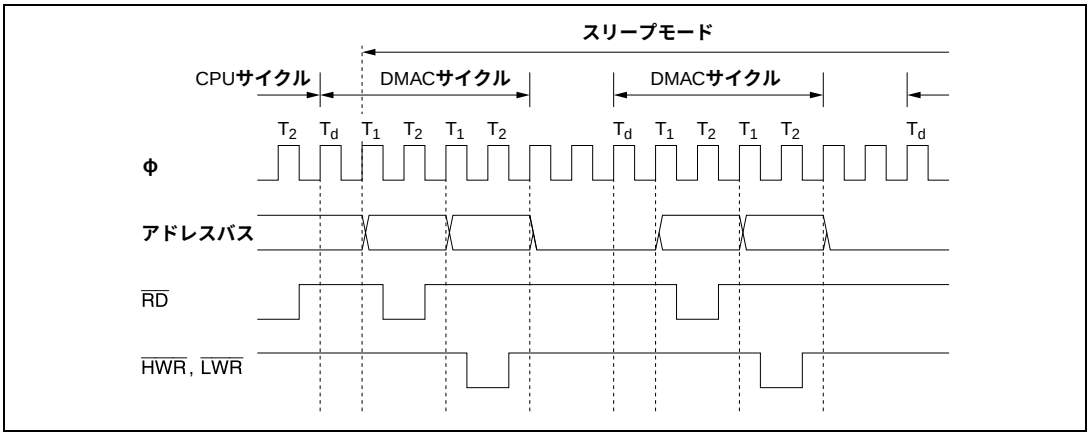


図 8.24 **スリープモード中のサイクルスチールモードのタイミング**

8.5 割込み

DMAC の割込み要因は転送終了のみです。**表** 8.13 に割込み要因と優先度を示します。

表 8.13 DMAC **の割込み要因**

割込み要因	内　容		割込み優先順位
	ショートアドレスモード	フルアドレスモード	
DEND0A	チャネル 0A の転送終了による割込み	チャネル 0 の転送終了による割込み	高
DEND0B	チャネル 0B の転送終了による割込み	－	↑
DEND1A	チャネル 1A の転送終了による割込み	チャネル 1 の転送終了による割込み	
DEND1B	チャネル 1B の転送終了による割込み	－	低

各割込み要因は、対応する DTCR の DTIE ビットにより許可／禁止が設定されており、それぞれ独立に割込みコントローラに送られます。

チャネル間の割込みの優先順位は、チャネル 0＞チャネル 1、またチャネル A＞チャネル B のように優先順位が高くなっています。

転送終了の割込みブロック図を**図** 8.25 に示します。

DTE＝0 の状態で DTIE ビットを 1 に設定すると、常に割込みが発生します。

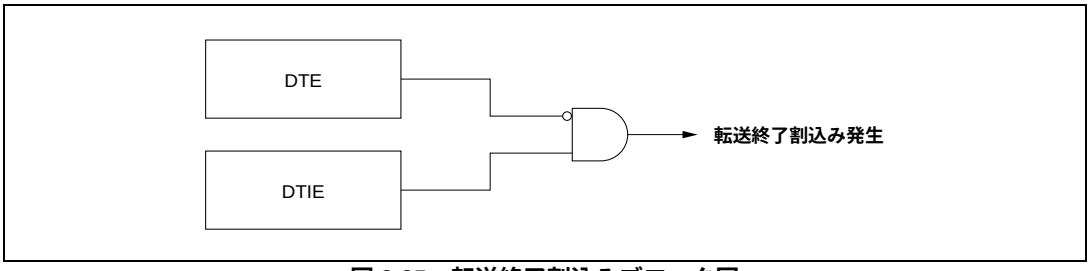


図 8.25 **転送終了割込みブロック図**

フルアドレスモードでは、チャネル B の転送終了割込み（DENDB）は使用できません。また、DTME ビットは割込み動作に影響を与えません。

8.6 使用上の注意

8.6.1 ワードデータ転送時の注意

奇数アドレスから始まるワードデータはアクセスできません。転送データサイズをワードにした場合、MAR および IOAR は偶数値としてください。

8.6.2 DMAC による DMAC 自体のアクセス

DMAC サイクル中は DMAC 自体へのアクセスが禁止されています。したがって、DMAC のレジスタをソースまたはデスティネーションとして転送することはできません。

8.6.3 MAR のロングワードアクセス

MAR は MARR から始まるロングワードデータとしてアクセスすることができます。

（例）

```
MOV.L   #LBL,ER0
MOV.L   ER0,@MARR
```

このとき、バイトデータアクセスが 4 回行われます。第 2 バイト（MARE）と第 3 バイト（MARH）アクセスの間に、CPU がバスを解放する場合がありますので注意してください。

MAR のリード／ライトは DMAC 停止中に行ってください。

8.6.4 フルアドレスモード設定時の注意

フルアドレスモードは、2 つのレジスタ DTCRA、DTCRB によって制御されます。これらレジスタの設定時には、チャネル B がショートアドレスモードで動作しないように注意してください。許可ビット（DTE、DTME）は、最後に 1 にセットしてください。

8.6.5 内部割込みで DMAC を起動する場合の注意

（1） 内部割込みでDMACを起動する場合、起動要因を選択してからDMACを転送許可状態にするまでの期間に選択した起動要因が発生しないようにしてください。すなわち、DMACを転送許可状態にした後、起動要因となる内蔵周辺モジュールを動作させてください。内蔵周辺モジュールの動作中にDMACを許可状態にする場合、**図**8.26の手順で行ってください。

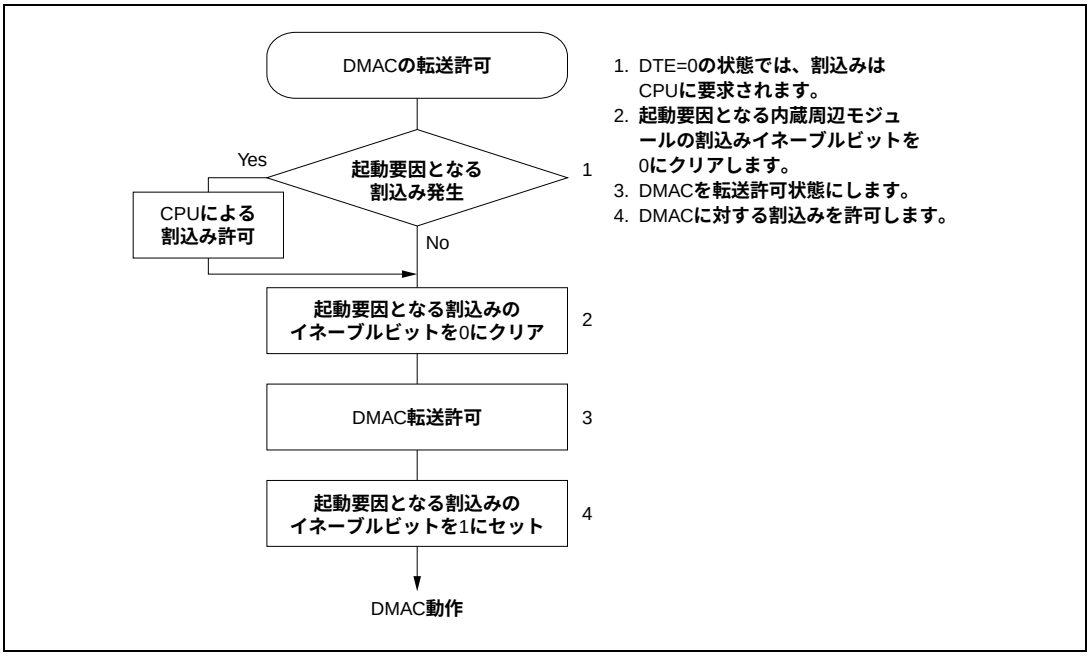


図 8.26　内蔵周辺モジュールが動作中に DMAC を転送許可状態にする場合の手順例

なお、DTE＝1なおかつDTME＝0の状態では、DMACは停止状態であり、またCPUにも起動要因となる割込みは要求されません。例えば、NMI割込みにより、DMACを停止状態にした場合は、起動要因となる割込みはCPUには要求されません。このとき、DMAC動作を打ち切る場合には、DTEビットを0にクリアし、CPUに割込みを要求させてください。
DMAC動作を継続する場合には、DTMEビットを1にセットする前後で、**図**8.26 の2、4の操作を行ってください。

（2） ITUの割込み要求でDMACを起動する場合、割込みによって起動されるDMA転送が終了するまで、次の割込みが発生しないようにしてください。1つのITUの割込み要求で複数チャネルを起動する場合には、起動されるすべてのDMA転送が終了するまで、次の割込みが発生しないようにしてください。転送が終了するまでに次の割込みが発生すると、その割込みを選択しているチャネルが以降の起動要求を受け付けなくなる場合があります。

8.6.6 NMI 割込みとブロック転送モード

ブロック転送モード中に NMI 割込みが発生すると DMAC は以下のように動作します。

（1） NMI割込みが発生するとDMACは転送中の1バイトまたは1ワードの転送終了後、DTM Eビットを0にクリアして停止します。したがって、1つのブロックの転送途中で停止する場合があります。
ブロックの転送途中で停止したことは、ブロックサイズカウンタで判定できます。ブロックサイズカウンタが初期設定値以外の場合はブロックの転送途中で停止したことになります。

（2） ブロックの転送途中で停止した場合、起動要因となる割込みフラグは0にクリアされています。起動要因の内部保持は行っていません。

（3） DTEビットが1にセットされ、DTMEビットが0にクリアされた状態では、DMACは停止中であり、DMACは起動要因となる割込み要求を受け付けません。この状態で起動要因となる割込みが発生するとDMACは動作せず、転送要求の内部保持も行いません。また、CPUにも割込みは要求されません。
このため、DTMEビットを1にセットする前に起動要因となる割込みのイネーブルビットを0にクリアし、次にDTMEビットを1にセットし、その後、割込みイネーブルビットを1にセットしてください。**「8.6.5 内部割込みでDMACを起動する場合の注意」**を参照してください。

（4） DTMEビットを1にセットすると、DMACは次の転送要求を待ちます。ブロックの転送途中で停止した場合、次の転送要求が発生するとブロックの残りを転送します。それ以外の場合、転送要求が発生すると次のブロックの転送を行います。

8.6.7 MAR、IOAR のアドレス指定

MAR、IOAR で指定できるアドレスの範囲を**表** 8.14 に示します。

表 8.14 MAR、IOAR **で指定できるアドレスの範囲**

	1M **バイトモード**	16M **バイトモード**
MAR	H'00000～H'FFFFF （0～1048575）	H'000000～H'FFFFFF （0～16777215）
IOAR	H'FFF00～H'FFFFF （1048320～1048575）	H'FFFF00～H'FFFFFF （16776960～16777215）

1M バイトモードのとき、MAR のビット 23～ビット 20 は無視されます。

8.6.8 転送中断時のバスサイクル

DTE ビットクリアによる強制終了や、NMI 割込みによる DTME ビットクリアの転送停止により、DMAC 内部で、すでに要求を保持しているチャネルを停止させるとデッドサイクルを発生することがあります。このデッドサイクルにより中断したチャネルのアドレスレジスタおよびカウンタの値が更新されることはありません。チャネル 0 でオートリクエストサイクルスチール転送中に、チャネル 0 の DTE ビットをクリアした場合のタイミングを**図** 8.27 に示します。

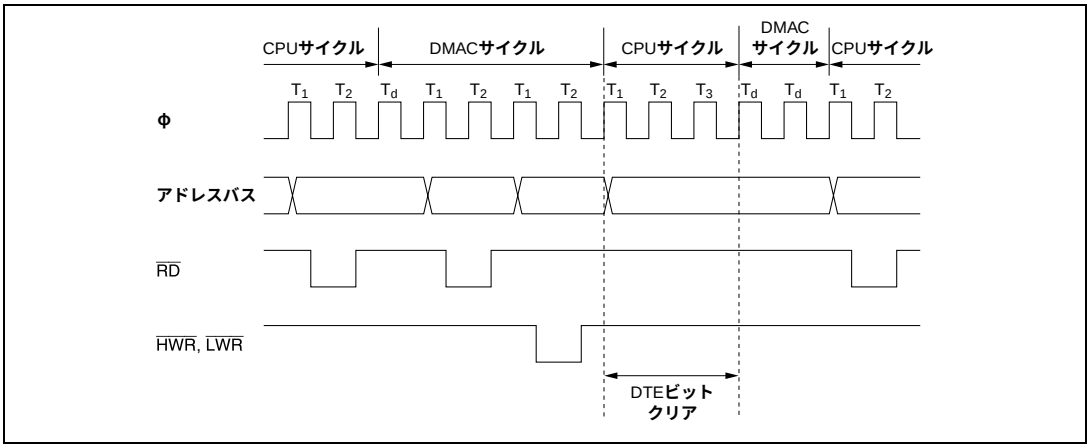


図 8.27 **サイクルスチールモード** DMA **転送の強制終了バスタイミング**

9. I/O ポート

9.1 概要

本 LSI には、10 本の入出力ポート（ポート 1、2、3、4、5、6、8、9、A、B）と 1 本の入力専用ポート（ポート 7）があります。

ポート機能一覧を**表** 9.1 に示します。**表** 9.1 に示すように、各ポートは兼用端子になっています。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と出力データを格納するデータレジスタ（DR）から構成されています。

DDR と DR のほかに、ポート 2、4、5 には入力プルアップ MOS コントロールレジスタ（PCR）があり、プルアップ MOS のオン／オフを制御できます。

ポート 1～6、8 は 1 個の TTL 負荷と 90pF の容量負荷を駆動することができ、ポート 9～B は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

また、ポート 1～6、8～B はダーリントントランジスタを駆動することができます。ポート 1、2、5、B は LED を駆動（シンク電流 10mA）することができます。また、ポート $P8_2$～$P8_0$、PA_7～PA_0、および PB_3～PB_0 はシュミット入力となっています。

各ポートのブロック図は**「付録** C.　I/O **ポートブロック図」**を参照してください。

表 9.1 動作モード別ポート機能一覧（1）

ポート	概　要	端　子	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7
ポート 1	• 8 ビットの入出力ポート • LED 駆動可能	$P1_7$～$P1_0$/A_7～A_0	アドレス出力端子（A_7～A_0）				アドレス出力端子（A_7～A_0）と入力ポートの兼用 DDR=0 のとき入力ポート DDR=1 のときアドレス出力端子		入出力ポート
ポート 2	• 8 ビットの入出力ポート • 入力プルアップ MOS 内蔵 • LED 駆動可能	$P2_7$～$P2_0$/A_{15}～A_8	アドレス出力端子（A_{15}～A_8）				アドレス出力端子（A_{15}～A_8）と入力ポートの兼用 DDR=0 のとき入力ポート DDR=1 のときアドレス出力端子		入出力ポート
ポート 3	• 8 ビットの入出力ポート	$P3_7$～$P3_0$/D_{15}～D_8	データ入出力端子（D_{15}～D_8）						入出力ポート
ポート 4	• 8 ビットの入出力ポート • 入力プルアップ MOS 内蔵	$P4_7$～$P4_0$/D_7～D_0	データ入出力端子（D_7～D_0）と 8 ビットの入出力ポートの兼用 8 ビットバスモードのとき入出力ポート 16 ビットバスモードのときデータ入出力端子						入出力ポート
ポート 5	• 4 ビットの入出力ポート • 入力プルアップ MOS 内蔵 • LED 駆動可能	$P5_3$～$P5_0$/ A_{19}～A_{16}	アドレス出力端子（A_{19}～A_{16}）				アドレス出力端子（A_{19}～A_{16}）と 4 ビットの入力ポートの兼用 DDR=0 のとき入力ポート DDR=1 のときアドレス出力端子		入出力ポート
ポート 6	• 7 ビットの入出力ポート	$P6_6$/LWR $P6_5$/HWR $P6_4$/RD $P6_3$/AS	バス制御信号出力端子（LWR, HWR, RD, AS）						入出力ポート
		$P6_2$/BACK $P6_1$/BREQ $P6_0$/WAIT	バス制御信号入出力端子（BACK、BREQ、WAIT）と 3 ビットの入出力ポートの兼用						
ポート 7	• 8 ビットの入出力ポート	$P7_7$/AN_7/DA_1 $P7_6$/AN_6/DA_0	A/D 変換器のアナログ入力端子（AN_7、AN_6）および D/A 変換器のアナログ出力端子（DA_1、DA_0）と入力ポートの兼用						
		$P7_5$～$P7_0$/AN_5～AN_0	A/D 変換器のアナログ入力端子（AN_5～AN_0）と入力ポートの兼用						
ポート 8	• 5 ビットの入出力ポート • $P8_2$～$P8_0$ はシュミット入力	$P8_4$/CS_0	DDR=0 のとき入力ポート DDR=1 のとき（リセット後） CS_0 出力端子						入出力ポート
		$P8_3$/CS_1/IRQ_3 $P8_2$/CS_2/IRQ_2 $P8_1$/CS_3/IRQ_1	IRQ_3～IRQ_1 入力端子、CS_1～CS_3 出力端子と入力ポートの兼用 DDR=0 のとき（リセット後）入力ポート DDR=1 のとき CS_1～CS_3 出力端子						IRQ_3～IRQ_0 入力端子と入出力ポートの兼用
		$P8_0$/RFSH/IRQ_0	IRQ_0 入力端子、RFSH 出力端子と入出力ポートの兼用						
ポート 9	• 6 ビットの入出力ポート	$P9_5$/SCK_1/IRQ_5 $P9_4$/SCK_0/IRQ_4 $P9_3$/RxD_1 $P9_2$/RxD_0 $P9_1$/TxD_1 $P9_0$/TxD_0	シリアルコミュニケーションインタフェースチャネル 0、1（SCI0、1）の入出力端子（SCK_1、SCK_0、RxD_1、RxD_0、TxD_1、TxD_0）、および IRQ_5、IRQ_4 入力端子と 6 ビットの入出力ポートの兼用						

表 9.1 動作モード別ポート機能一覧（2）

ポート	概 要	端 子	モード 1	モード 2	モード 3	モード 4	モード 5	モード 6	モード 7
ポート A	・8 ビットの入出力ポート ・シュミット入力	$PA_7/TP_7/TIOCB_2/A_{20}$	プログラマブルタイミングパターンコントローラ（TPC）出力端子（TP_7）、16 ビットインテグレーテッドタイマユニット（ITU）の入出力端子（$TIOCB_2$）と入出力ポートの兼用		アドレス出力端子（A_{20}）		TPC 出力端子（TP_7）、ITU の入出力端子（$TIOCB_2$）と入出力ポートの兼用	アドレス出力端子（A_{20}）	TPC 出力端子（TP_7）、ITU の入出力端子（$TIOCB_2$）と入出力ポートの兼用
		$PA_6/TP_6/TIOCA_2/A_{21}/CS_4$ $PA_5/TP_5/TIOCB_1/A_{22}/CS_5$ $PA_4/TP_4/TIOCA_1/A_{23}/CS_6$	TPC 出力端子（TP_6～TP_4）、ITU の入出力端子（$TIOCA_2$、$TIOCB_1$、$TIOCA_1$）、CS_4～CS_6 出力端子と入出力ポートの兼用		TPC 出力端子（TP_6～TP_4）、ITU の入出力端子（$TIOCA_2$、$TIOCB_1$、$TIOCA_1$）アドレス出力端子（A_{23}～A_{21}）、CS_4～CS_6 出力端子と入出力ポートの兼用		TPC 出力端子（TP_6～TP_4）、ITU の入出力端子（$TIOCA_2$、$TIOCB_1$、$TIOCA_1$）、CS_4～CS_6 出力端子と入出力ポートの兼用	TPC 出力端子（TP_6～TP_4）、ITU の入出力端子（$TIOCA_2$、$TIOCB_1$、$TIOCA_1$）、アドレス出力端子（A_{23}～A_{21}）、CS_4～CS_6 出力端子と入出力ポートの兼用	TPC 出力端子（TP_6～TP_4）、ITU の入出力端子（$TIOCA_2$、$TIOCB_1$、$TIOCA_1$）と入出力ポートの兼用
		$PA_3/TP_3/TIOCB_0/TCLKD$ $PA_2/TP_2/TIOCA_0/TCLKC$ $PA_1/TP_1/TEND_1/TCLKB$ $PA_0/TP_0/TEND_0/TCLKA$	TPC 出力端子（TP_3～TP_0）、DMA コントローラ（DMAC）の出力端子（$TEND_1$、$TEND_0$）、ITU の入出力端子（TCLKD、TCLKC、TCLKB、TCLKA、$TIOCB_0$、$TIOCA_0$）と入出力ポートの兼用						
ポート B	・8 ビットの入出力ポート ・LED 駆動可能 ・PB_3～PB_0 はシュミット入力	$PB_7/TP_{15}/DREQ_1/ADTRG$	TPC 出力端子（TP_{15}）、DMAC の入力端子（$DREQ_1$）、A/D 変換器の外部トリガ入力端子（ADTRG）と入出力ポートの兼用						
		$PB_6/TP_{14}/DREQ_0/CS_7$	TPC 出力端子（TP_{14}）、DMAC の入力端子（$DREQ_0$）、CS_7 出力端子と入出力ポートの兼用						TPC 出力端子（TP_{14}）、DMAC の入力端子（$DREQ_0$）と入出力ポートの兼用
		$PB_5/TP_{13}/TOCXB_4$ $PB_4/TP_{12}/TOCXA_4$ $PB_3/TP_{11}/TIOCB_4$ $PB_2/TP_{10}/TIOCA_4$ $PB_1/TP_9/TIOCB_3$ $PB_0/TP_8/TIOCA_3$	TPC 出力端子（TP_{13}～TP_8）、ITU の入出力端子（$TOCXB_4$、$TOCXA_4$、$TIOCB_4$、$TIOCA_4$、$TIOCB_3$、$TIOCA_3$）と 8 ビットの入出力ポートの兼用						

9.2 ポート 1

9.2.1 概要

ポート 1 は、アドレス出力兼用の 8 ビットの入出力ポートです。ポート 1 の各端子は、**図** 9.1 に示す構成となっており、動作モードにより端子機能が異なります。モード 1～4（内蔵 ROM 無効拡張モード）のときは、アドレスバス（A_7～A_0）出力端子となります。

モード 5、6（内蔵 ROM 有効拡張モード）のときは、ポート 1 データディレクションレジスタ（P1DDR）の設定によりアドレスバス（A_7～A_0）出力端子、または入力ポートとなります。モード 7（シングルチップモード）のときは、入出力ポートとなります。

エリア 3 に DRAM を接続する場合には、リード／ライトサイクルで A_7～A_0 がロウ／カラムアドレス出力となります。詳細は**「第 7 章　リフレッシュコントローラ」**を参照してください。

ポート 1 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

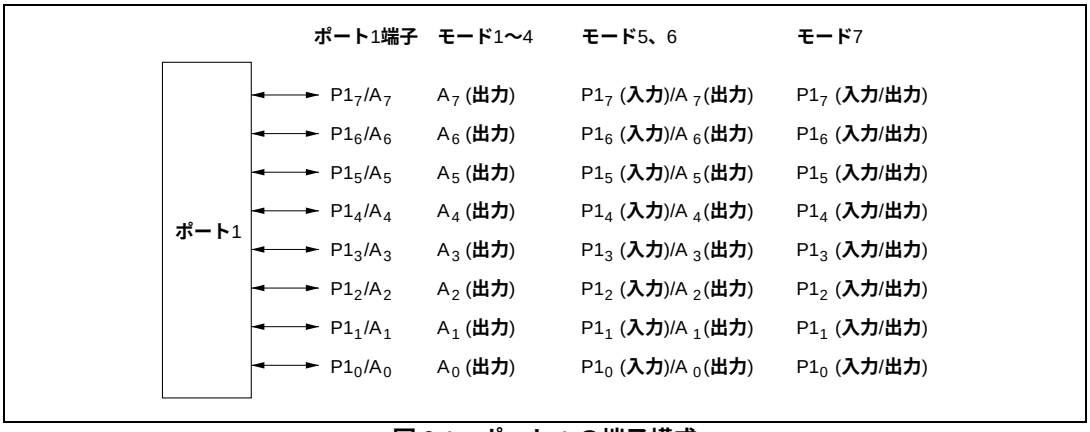


図 9.1　**ポート** 1 **の端子構成**

9.2.2 レジスタ構成

表 9.2 にポート 1 のレジスタ構成を示します。

表 9.2　**ポート** 1 **レジスタ構成**

アドレス*	名　　称	略　称	R/W	初期値	
				モード 1～4	モード 5～7
H'FFC0	**ポート** 1 **データディレクションレジスタ**	P1DDR	W	H'FF	H'00
H'FFC2	**ポート** 1 **データレジスタ**	P1DR	R/W	H'00	

【注】 ＊　**アドレスの下位** 16 **ビットを示しています。**

(1) ポート 1 データディレクションレジスタ（P1DDR）

P1DDR は、8 ビットのライト専用のレジスタで、ポート 1 各端子の入出力をビットごとに指定することができます。

ビット：		7	6	5	4	3	2	1	0
		$P1_7DDR$	$P1_6DDR$	$P1_5DDR$	$P1_4DDR$	$P1_3DDR$	$P1_2DDR$	$P1_1DDR$	$P1_0DDR$
モード1～4	初期値：	1	1	1	1	1	1	1	1
	R/W ：	—	—	—	—	—	—	—	—
モード5～7	初期値：	0	0	0	0	0	0	0	0
	R/W ：	W	W	W	W	W	W	W	W

ポート1データディレクション7～0
ポート1の各端子の入出力を選択するビットです。

(a) モード 1～4（内蔵 ROM 無効拡張モード）

P1DDR は 1 に固定され、ポート 1 はアドレスバスとして機能します。ライトは無効です。

(b) モード 5、6（内蔵 ROM 有効拡張モード）

P1DDR に 1 をセットすると対応するポート 1 の端子はアドレス出力となり、0 にクリアすると入力ポートになります。

(c) モード 7（シングルチップモード）

ポート 1 は入出力ポートとして機能します。P1DDR に 1 をセットすると対応するポート 1 の端子は出力端子となり、0 にクリアすると入力端子になります。

モード 5～7 では P1DDR は、ライト専用のレジスタで、リードは無効です。リードすると 1 が読み出されます。

P1DDR は、リセット、またはハードウェアスタンバイモード時にモード 1～4 の場合は H'FF、モード 5～7 の場合は H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、P1DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなっています。

(2) ポート 1 データレジスタ（P1DR）

P1DR は、8 ビットのリード／ライト可能なレジスタで、ポート 1 の出力データを格納します。ポート 1 が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P1DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P1DR の値が読み出されます。

ビット：	7	6	5	4	3	2	1	0
	$P1_7$	$P1_6$	$P1_5$	$P1_4$	$P1_3$	$P1_2$	$P1_1$	$P1_0$
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート1データ7～0
ポート1の各端子のデータを格納するビットです。

P1DR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.3 ポート 2

9.3.1 概要

ポート 2 は、アドレス出力兼用の 8 ビットの入出力ポートです。ポート 2 の各端子は、**図** 9.2 に示す構成となっており、動作モードにより端子機能が異なります。

モード 1～4（内蔵 ROM 無効拡張モード）のときは、アドレスバス（A_{15}～A_8）出力端子となります。モード 5、6（内蔵 ROM 有効拡張モード）のときは、ポート 2 データディレクションレジスタ（P2DDR）の設定によりアドレスバス（A_{15}～A_8）または入力ポートとなります。

モード 7（シングルチップモード）のときは、入出力ポートとなります。

エリア 3 に DRAM を接続する場合には、リード／ライトサイクルで A_9、A_8 がロウ／カラムアドレス出力となります。詳細は**「第 7 章　リフレッシュコントローラ」**を参照してください。

ポート 2 は、プログラムで制御可能なプルアップ MOS が内蔵されています。また、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

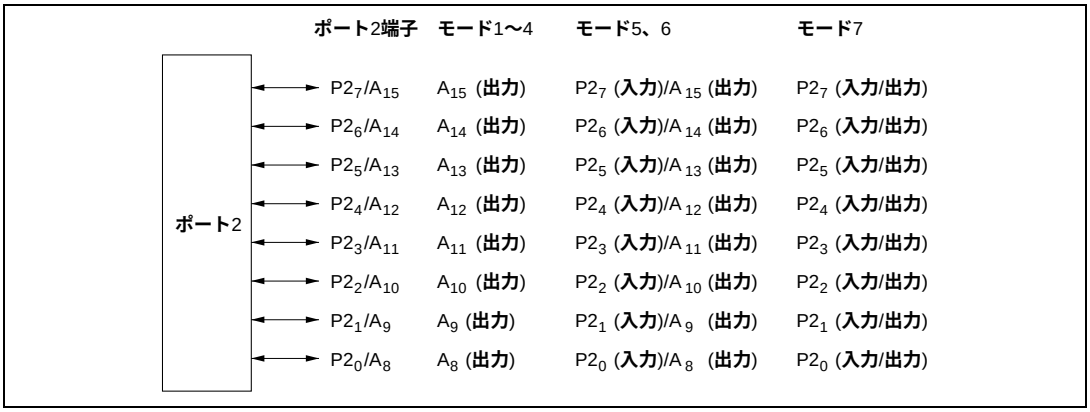


図 9.2　**ポート** 2 **の端子構成**

9.3.2 レジスタ構成

表 9.3 にポート 2 のレジスタ構成を示します。

表 9.3　**ポート** 2 **レジスタ構成**

アドレス*	名　　称	略　称	R/W	初期値	
				モード 1～4	モード 5～7
H'FFC1	**ポート** 2 **データディレクションレジスタ**	P2DDR	W	H'FF	H'00
H'FFC3	**ポート** 2 **データレジスタ**	P2DR	R/W	H'00	
H'FFD8	**ポート** 2 **入力プルアップ** MOS **コントロールレジスタ**	P2PCR	R/W	H'00	

【注】　*　**アドレスの下位** 16 **ビットを示しています。**

(1) ポート 2 データディレクションレジスタ（P2DDR）

P2DDR は、8 ビットのライト専用のレジスタで、ポート 2 の各端子の入出力をビットごとに指定することができます。

ビット：		7	6	5	4	3	2	1	0
		$P2_7DDR$	$P2_6DDR$	$P2_5DDR$	$P2_4DDR$	$P2_3DDR$	$P2_2DDR$	$P2_1DDR$	$P2_0DDR$
モード1〜4	初期値：	1	1	1	1	1	1	1	1
	R/W ：	—	—	—	—	—	—	—	—
モード5〜7	初期値：	0	0	0	0	0	0	0	0
	R/W ：	W	W	W	W	W	W	W	W

ポート2データディレクション7〜0
ポート2の各端子の入出力を選択するビットです。

(a) モード 1〜4（内蔵 ROM 無効拡張モード）

P2DDR は 1 に固定され、ポート 2 はアドレスバスとして機能します。ライトは無効です。

(b) モード 5、6（内蔵 ROM 有効拡張モード）

ポート 2 はリセット直後は入力ポートとなっています。P2DDR に 1 をセットすると対応するポート 2 の端子はアドレス出力端子となり、0 にクリアすると入力ポートになります。

(c) モード 7（シングルチップモード）

ポート 2 は入出力ポートとして機能します。P2DDR に 1 をセットすると対応するポート 2 の端子は出力ポートとなり、0 にクリアすると入力ポートとなります。

モード 1〜4 では P2DDR は、リードすると常に 1 が読み出されます。ライトは無効です。
モード 5〜7 では P2DDR は、ライト専用のレジスタで、リードは無効です。リードすると 1 が読み出されます。
P2DDR は、リセット、またはハードウェアスタンバイモード時にモード 1〜4 の場合は H'FF に、モード 5〜7 の場合は H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、P2DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなっています。

(2) ポート 2 データレジスタ（P2DR）

P2DR は、8 ビットのリード／ライト可能なレジスタで、ポート 2 の出力データを格納します。ポート 2 が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P2DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P2DR の値が読み出されます。

ビット：	7	6	5	4	3	2	1	0
	$P2_7$	$P2_6$	$P2_5$	$P2_4$	$P2_3$	$P2_2$	$P2_1$	$P2_0$
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2データ7～0
ポート2の各端子のデータを格納するビットです。

P2DR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート 2 入力プルアップ MOS コントロールレジスタ（P2PCR）

P2PCR は 8 ビットのリード／ライト可能なレジスタで、ポート 2 に内蔵した入力プルアップ MOS をビットごとに制御します。

ビット：	7	6	5	4	3	2	1	0
	$P2_7$PCR	$P2_6$PCR	$P2_5$PCR	$P2_4$PCR	$P2_3$PCR	$P2_2$PCR	$P2_1$PCR	$P2_0$PCR
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2入力プルアップMOSコントロール7～0
ポート2に内蔵した入力プルアップMOSを
制御するビットです。

モード 5～7 のとき、P2DDR を 0 にクリアした（入力ポートの）状態で P2PCR を 1 にセットすると対応するビットの入力プルアップ MOS は ON します。

P2PCR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 9.4 入力プルアップ MOS の状態（ポート 2）

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1 2 3 4	OFF		OFF	
5 6 7	OFF		ON／OFF	

【記号説明】

OFF ：**入力プルアップ** MOS **は、常に** OFF **状態です。**

ON／OFF ：P2PCR＝1 **かつ** P2DDR＝0 **のとき** ON **状態、その他のときは** OFF **状態です。**

9.4 ポート 3

9.4.1 概要

ポート 3 は、データバス兼用の 8 ビットの入出力ポートです。ポート 3 の各端子は、**図** 9.3 に示す構成となっており、モード 1～6（拡張モード）のときはデータバスとなり、モード 7（シングルチップモード）のときは、入出力ポートとなります。

ポート 3 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

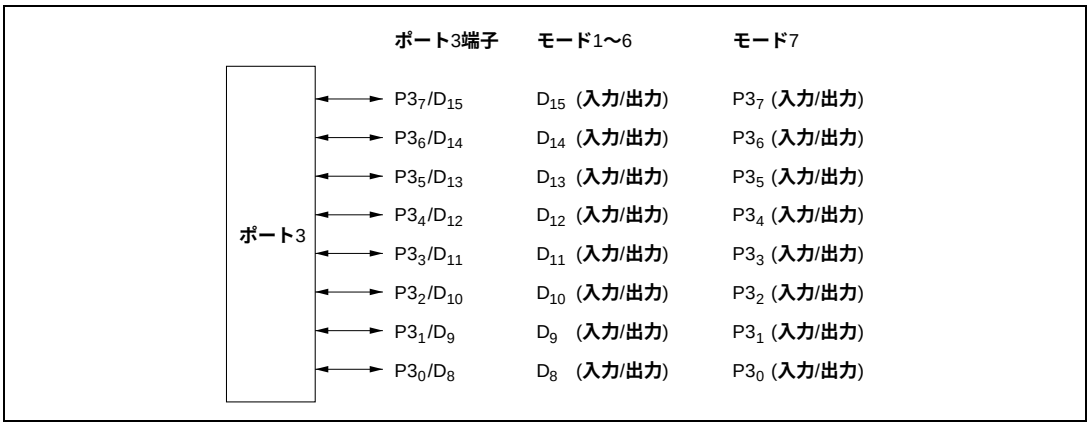


図 9.3 **ポート** 3 **の端子構成**

9.4.2 レジスタ構成

表 9.5 にポート 3 のレジスタ構成を示します。

表 9.5 **ポート** 3 **レジスタ構成**

アドレス*	名　　称	略　称	R/W	初期値
H'FFC4	ポート 3 データディレクションレジスタ	P3DDR	W	H'00
H'FFC6	ポート 3 データレジスタ	P3DR	R/W	H'00

【注】 * **アドレスの下位** 16 **ビットを示しています。**

(1) ポート 3 データディレクションレジスタ（P3DDR）

P3DDR は、8 ビットのライト専用のレジスタで、ポート 3 各端子の入出力をビットごとに指定することができます。

ビット：	7	6	5	4	3	2	1	0
	$P3_7DDR$	$P3_6DDR$	$P3_5DDR$	$P3_4DDR$	$P3_3DDR$	$P3_2DDR$	$P3_1DDR$	$P3_0DDR$
初期値：	0	0	0	0	0	0	0	0
R/W ：	W	W	W	W	W	W	W	W

ポート3データディレクション7～0
ポート3の各端子の入出力を選択するビットです。

(a) モード 1～6（拡張モード）

ポート 3 はデータバスとして機能します。P3DDR は無効です。

(b) モード 7（シングルチップモード）

ポート 3 は入出力ポートとして機能します。

P3DDR に 1 をセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。

P3DDR は、ライト専用で、リードは無効です。リードすると、1 が読み出されます。

P3DDR は、リセット、またはリードウェアスタンバイモード時に H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、P3DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなっています。

(2) ポート 3 データレジスタ（P3DR）

P3DR は、8 ビットのリード／ライト可能なレジスタで、ポート 3 の出力データを格納します。ポート 3 が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P3DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P3DR の値が読み出されます。

ビット：	7	6	5	4	3	2	1	0
	$P3_7$	$P3_6$	$P3_5$	$P3_4$	$P3_3$	$P3_2$	$P3_1$	$P3_0$
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート3データ7～0
ポート3の各端子のデータを格納するビットです。

P3DR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.5 ポート 4

9.5.1 概要

ポート 4 は、データバス兼用の 8 ビットの入出力ポートです。ポート 4 の各端子は、**図** 9.4 に示す構成となっており、動作モードにより端子機能が異なります。

モード 1～6（拡張モード）のときバス幅コントロールレジスタ（ABWCR）により、エリア 0～7 のすべてを 8 ビットアクセス空間に設定すると、8 ビットバスモードとなり、ポート 4 は入出力ポートとなります。また、エリア 0～7 のうち少なくとも 1 つのエリアを 16 ビットアクセス空間に設定すると、16 ビットバスモードとなり、ポート 4 はデータバスとなります。

モード 7（シングルチップモード）のとき、ポート 4 は、入出力ポートとなります。

ポート 4 は、プログラムで制御可能なプルアップ MOS が内蔵されています。

ポート 4 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

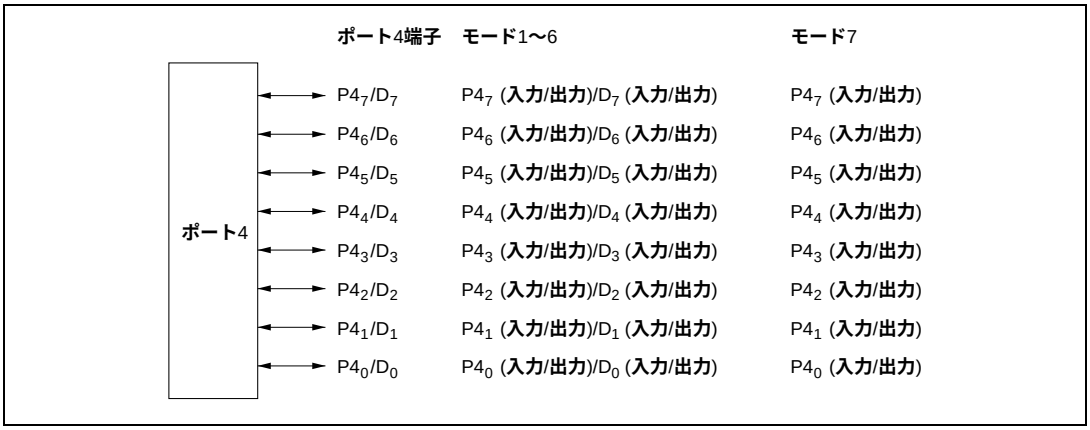


図 9.4 **ポート** 4 **の端子構成**

9.5.2 レジスタ構成

表 9.6 にポート 4 のレジスタ構成を示します。

表 9.6 **ポート** 4 **レジスタ構成**

アドレス*	名　　称	略　称	R/W	初期値
H'FFC5	**ポート** 4 **データディレクションレジスタ**	P4DDR	W	H'00
H'FFC7	**ポート** 4 **データレジスタ**	P4DR	R/W	H'00
H'FFDA	**ポート** 4 **入力プルアップ** MOS **コントロールレジスタ**	P4PCR	R/W	H'00

【注】 ＊　**アドレスの下位** 16 **ビットを示しています。**

(1) ポート 4 データディレクションレジスタ（P4DDR）

P4DDR は、8 ビットのライト専用のレジスタで、ポート 4 各端子の入出力をビットごとに指定することができます。

ビット：	7	6	5	4	3	2	1	0
	$P4_7DDR$	$P4_6DDR$	$P4_5DDR$	$P4_4DDR$	$P4_3DDR$	$P4_2DDR$	$P4_1DDR$	$P4_0DDR$
初期値：	0	0	0	0	0	0	0	0
R/W ：	W	W	W	W	W	W	W	W

ポート4データディレクション7～0
ポート4の各端子の入出力を選択するビットです。

(a) モード 1～6（拡張モード）

バスコントローラのバス幅コントロールレジスタ（ABWCR）により全エリアを 8 ビットアクセス空間に設定し、8 ビットバスモードとしたときポート 4 は入出力ポートとして機能します。このとき P4DDR に 1 をセットすると対応するポート 4 の端子は出力ポートとなり、0 にクリアすると入力ポートになります。

また少なくとも 1 つのエリアを 16 ビットアクセス空間に設定し、16 ビットバスモードとしたとき、P4DDR の設定値に関わらずポート 4 はデータバスとして機能します。

(b) モード 7（シングルチップモード）

ポート 4 は入出力ポートとして機能します。P4DDR に 1 をセットすると対応するポート 4 の端子は出力ポートとなり、0 にクリアすると入力ポートになります。

P4DDR は、ライト専用レジスタで、リードは無効です。リードすると、1 が読み出されます。

P4DDR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。

ABWCR および P4DDR はソフトウェアスタンバイモード時にはイニシャライズされません。したがって、ポート 4 が入出力ポートとして機能しているとき、P4DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 4 データレジスタ（P4DR）

P4DR は、8 ビットのリード／ライト可能なレジスタで、ポート 4 の出力データを格納します。ポート 4 が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P4DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは、P4DR の値が読み出されます。

ビット：	7	6	5	4	3	2	1	0
	$P4_7$	$P4_6$	$P4_5$	$P4_4$	$P4_3$	$P4_2$	$P4_1$	$P4_0$
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4データ7～0
ポート4の各端子のデータを格納するビットです。

P4DR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート 4 入力プルアップ MOS コントロールレジスタ（P4PCR）

P4PCR は 8 ビットのリード／ライト可能なレジスタで、ポート 4 に内蔵した入力プルアップ MOS をビットごとに制御します。

ビット：	7	6	5	4	3	2	1	0
	$P4_7PCR$	$P4_6PCR$	$P4_5PCR$	$P4_4PCR$	$P4_3PCR$	$P4_2PCR$	$P4_1PCR$	$P4_0PCR$
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4入力プルアップMOSコントロール7～0
ポート4に内蔵した入力プルアップMOSを制御するビットです。

モード 1～6（拡張モード）の 8 ビットバスモード時とモード 7（シングルチップモード）時、P4DDR を 0 にクリアした（入力ポートの）状態で、P4PCR を 1 にセットすると入力プルアップ MOS は ON します。

P4PCR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

各動作モードでの、入力プルアップ MOS の状態を**表** 9.7 に示します。

表 9.7 **入力プルアップ** MOS **の状態（ポート** 4**）**

モード		リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1～6	8 ビットバスモード	OFF		ON／OFF	
	16 ビットバスモード			OFF	
7				ON／OFF	

【記号説明】

OFF ：**入力プルアップ** MOS **は、常に** OFF **状態です。**

ON／OFF：P4PCR＝1 **かつ** P4DDR＝0 **のとき** ON **状態、その他のときは** OFF **状態です。**

9.6 ポート 5

9.6.1 概要

ポート 5 は、アドレス出力兼用の 4 ビットの入出力ポートです。ポート 5 の各端子は、**図** 9.5 に示す構成となっており、動作モードにより端子機能が異なります。

モード 1～4（内蔵 ROM 無効拡張モード）に設定したとき、ポート 5 の各端子はアドレス（A_{19}～A_{16}）出力として機能します。モード 5、6（内蔵 ROM 有効拡張モード）に設定したときは、ポート 5 データディレクションレジスタ（P5DDR）の設定によりアドレスバス（A_{19}～A_{16}）または入力ポートとなります。

モード 7（シングルチップモード）のときは、入出力ポートとなります。

ポート 5 は、プログラムで制御可能なプルアップ MOS が内蔵されています。

ポート 5 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、LED、ダーリントントランジスタを駆動することもできます。

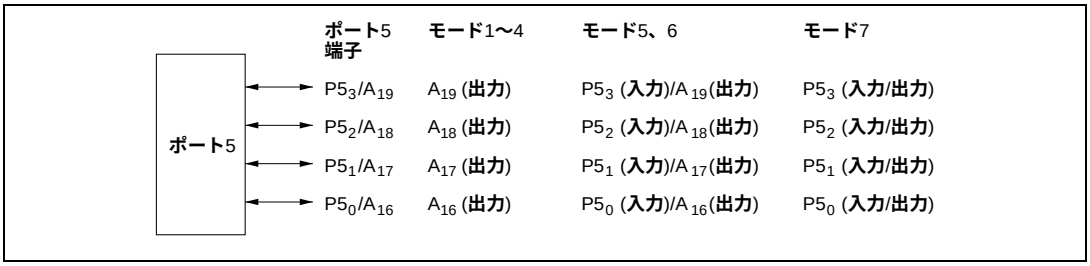


図 9.5 **ポート** 5 **の端子構成**

9.6.2 レジスタ構成

表 9.8 にポート 5 のレジスタ構成を示します。

表 9.8 **ポート** 5 **レジスタ構成**

アドレス*	名　　称	略　称	R/W	初期値	
				モード 1～4	モード 5～7
H'FFC8	ポート 5 データディレクションレジスタ	P5DDR	W	H'FF	H'F0
H'FFCA	ポート 5 データレジスタ	P5DR	R/W	H'F0	
H'FFDB	ポート 5 入力プルアップ MOS コントロールレジスタ	P5PCR	R/W	H'F0	

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 5 データディレクションレジスタ（P5DDR）

P5DDR は、8 ビットのライト専用のレジスタで、ポート 5 各端子の入出力をビットごとに指定することができます。

ビット 7～4 はリザーブビットで、1 に固定されています。ライトは無効です。

	ビット：	7	6	5	4	3	2	1	0
		—	—	—	—	$P5_3DDR$	$P5_2DDR$	$P5_1DDR$	$P5_0DDR$
モード1～4	初期値：	1	1	1	1	1	1	1	1
	R/W ：	—	—	—	—	—	—	—	—
モード5～7	初期値：	1	1	1	1	0	0	0	0
	R/W ：	—	—	—	—	W	W	W	W

リザーブビット

ポート5データディレクション3～0
ポート5の各端子の入出力を選択するビットです。

(a) モード 1～4（内蔵 ROM 無効拡張モード）

P5DDR は 1 に固定され、ポート 5 はアドレス出力として機能します。

(b) モード 5、6（内蔵 ROM 有効拡張モード）

このモードでは、ポート 5 はリセット直後は入力ポートとなっています。P5DDR に 1 をセットすると対応するポート 5 の端子がアドレス出力端子になり、0 にクリアすると入力ポートになります。

(c) モード 7（シングルチップモード）

ポート 5 は、入出力ポートとして機能します。P5DDR に 1 をセットすると対応する端子は出力ポートになり、0 にクリアすると入力ポートになります。

モード 1～4 のとき、P5DDR はリードすると常に 1 が読み出されます。ライトは無効です。

モード 5～7 では P5DDR はライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

P5DDR は、リセット、またはハードウェアスタンバイモード時に、モード 1～4 の場合は H'FF に、モード 5～7 の場合は H'F0 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、ポート 5 が入出力ポートとして機能しているとき、P5DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 5 データレジスタ（P5DR）

P5DR は、8 ビットのリード／ライト可能なレジスタで、ポート 5 の出力データを格納します。ポート 5 が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P5DDR の値が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P5DR の値が読み出されます。

ビット 7～4 はリザーブビットで 1 に固定されています。ライトは無効です。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	$P5_3$	$P5_2$	$P5_1$	$P5_0$
初期値：	1	1	1	1	0	0	0	0
R/W ：	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ポート5データ3〜0
ポート5の各端子のデータを格納するビットです。

P5DR は、リセット、またはハードウェアスタンバイモード時に、H'F0 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート 5 入力プルアップ MOS コントロールレジスタ（P5PCR）

P5PCR は 8 ビットのリード／ライト可能なレジスタで、ポート 5 に内蔵した入力プルアップ MOS をビットごとに制御します。

ビット 7〜4 は、リザーブビットで 1 に固定されています。ライトは無効です。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	$P5_3$PCR	$P5_2$PCR	$P5_1$PCR	$P5_0$PCR
初期値：	1	1	1	1	0	0	0	0
R/W ：	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ポート5入力プルアップMOSコントロール3〜0
ポート5に内蔵した入力プルアップMOSを制御するビットです。

モード 5〜7 のとき、P5DDR を 0 にクリアした（入力ポート）状態で P5PCR を 1 にセットすると入力プルアップ MOS は ON します。

P5PCR は、リセット、またはハードウェアスタンバイモード時に、H'F0 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

各動作モードでの、入力プルアップ MOS の状態を**表** 9.9 に示します。

表 9.9 **入力プルアップ** MOS **の状態（ポート** 5**）**

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1 2 3 4	OFF		OFF	
5 6 7	OFF		ON／OFF	

【記号説明】

OFF **：入力プルアップ** MOS **は、常に** OFF **状態です。**

ON／OFF**：**P5PCR＝1 **かつ** P5DDR＝0 **のとき** ON **状態、その他のときは** OFF **状態です。**

9.7 ポート 6

9.7.1 概要

ポート 6 は、7 ビットの入出力ポートです。ポート 6 はバス制御入出力端子（LWR、HWR 、RD、AS、BACK、BREQ、WAIT）と兼用になっています。エリア 3 に DRAM を接続する場合には、LWR、HWR、RD がそれぞれ LW、UW、CAS または LCAS、UCAS、WE と兼用になります。詳細は**「第 7 章　リフレッシュコントローラ」**を参照してください。

ポート 6 の端子構成を**図** 9.6 に示します。

モード 1～6（拡張モード）時には、LWR、HWR、RD、AS、$P6_2$/BACK、$P6_1$/BREQ、$P6_0$/WAIT として機能します。端子機能の選択方法については**表** 9.11 を参照してください。モード 7（シングルチップモード）時には、入出力ポートとなります。

ポート 6 は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

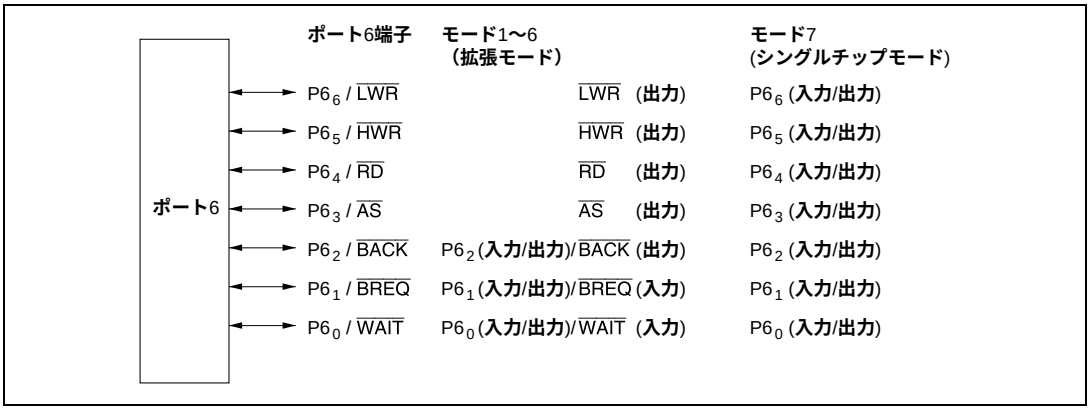


図 9.6　**ポート** 6 **の端子構成**

9.7.2 レジスタ構成

表 9.10 にポート 6 のレジスタ構成を示します。

表 9.10　**ポート** 6 **レジスタ構成**

アドレス*	名　　称	略　称	R/W	初期値	
				モード 1～5	モード 6、7
H'FFC9	ポート 6 データディレクションレジスタ	P6DDR	W	H'F8	H'80
H'FFCB	ポート 6 データレジスタ	P6DR	R/W	H'80	H'80

【注】 *　アドレスの下位 16 ビットを示しています。

(1) ポート 6 データディレクションレジスタ（P6DDR）

P6DDR は、8 ビットのライト専用のレジスタで、ポート 6 の各端子の入出力をビットごとに指定することができます。

ビット 7 はリザーブビットで、1 に固定されています。ライトは無効です。

ビット：	7	6	5	4	3	2	1	0
	—	P6₆DDR	P6₅DDR	P6₄DDR	P6₃DDR	P6₂DDR	P6₁DDR	P6₀DDR
初期値：	1	0	0	0	0	0	0	0
R/W ：	—	W	W	W	W	W	W	W

リザーブビット

ポート6データディレクション6〜0
ポート6の各端子の入出力を選択するビットです。

(a) モード 1〜6（拡張モード）

ポート $P6_6$〜$P6_3$ は $P6_6$ DDR〜$P6_3$ DDR の設定に関わらず、バス制御出力端子（LWR、HWR、RD、AS）として機能します。ポート $P6_2$〜$P6_0$ は、バス制御出力端子（BACK、BREQ、WAIT）／入出力ポートとして機能します。端子機能の選択方法については、**表** 9.11 を参照してください。ポート $P6_2$〜$P6_0$ が入出力ポートとして機能する場合、P6DDR に 1 をセットすると対応するポート 6 の端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(b) モード 7（シングルチップモード）

ポート 6 は入出力ポートとして機能します。

P6DDR に 1 をセットすると対応するポート 6 の端子は出力ポートとなり、0 にクリアすると入力ポートになります。

P6DDR は、ライト専用で、リードは無効です。リードすると 1 が読み出されます。

P6DDR は、リセット、またはハードウェアスタンバイモード時に、H'80 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。このため、ポート 6 が入出力ポートとして機能しているとき、P6DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 6 データレジスタ（P6DR）

P6DR は、8 ビットのリード／ライト可能なレジスタで、ポート 6 各端子の出力データを格納します。また、このレジスタのビット 6〜0 は、P6DDR の対応するビットが 0 のときリードすると端子のロジックレベルが読み出され、1 のときリードすると P6DR の値が読み出されます。

ビット：	7	6	5	4	3	2	1	0
	—	P6₆	P6₅	P6₄	P6₃	P6₂	P6₁	P6₀
初期値：	1	0	0	0	0	0	0	0
R/W ：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート6データ6〜0
ポート6の各端子のデータを格納するビットです。

ビット 7 はリザーブビットです。また、ビット 7 はリードすると常に 1 が読み出されます。ライトは無効です。

P6DR は、リセット、またはハードウェアスタンバイモード時に、H'80 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 9.11　モード 1〜6 の端子機能（ポート 6）

<table>
<tr><th>端　子</th><th>選択方法と端子機能</th></tr>
<tr><td>$P6_6$/ LWR</td><td>$P6_6$DDR ビットとは無関係に、次のように切り換わります。
<table>
<tr><td>$P6_6$DDR</td><td>0</td><td>1</td></tr>
<tr><td>端子機能</td><td colspan="2">LWR 出力端子</td></tr>
</table></td></tr>
<tr><td>$P6_5$/ HWR</td><td>$P6_5$DDR ビットとは無関係に、次のように切り換わります。
<table>
<tr><td>$P6_5$DDR</td><td>0</td><td>1</td></tr>
<tr><td>端子機能</td><td colspan="2">HWR 出力端子</td></tr>
</table></td></tr>
<tr><td>$P6_4$/ RD</td><td>$P6_4$DDR ビットとは無関係に、次のように切り換わります。
<table>
<tr><td>$P6_4$DDR</td><td>0</td><td>1</td></tr>
<tr><td>端子機能</td><td colspan="2">RD 出力端子</td></tr>
</table></td></tr>
<tr><td>$P6_3$/ AS</td><td>$P6_3$DDR ビットとは無関係に、次のように切り換わります。
<table>
<tr><td>$P6_3$DDR</td><td>0</td><td>1</td></tr>
<tr><td>端子機能</td><td colspan="2">AS 出力端子</td></tr>
</table></td></tr>
<tr><td>$P6_2$/ BACK</td><td>BRCR の BRLE ビットと $P6_2$DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><td>BRLE</td><td colspan="2">0</td><td>1</td></tr>
<tr><td>$P6_2$DDR</td><td>0</td><td>1</td><td>—</td></tr>
<tr><td>端子機能</td><td>$P6_2$ 入力端子</td><td>$P6_2$ 出力端子</td><td>BACK 出力端子</td></tr>
</table></td></tr>
<tr><td>$P6_1$/ BREQ</td><td>BRCR の BRLE ビットと $P6_1$DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><td>BRLE</td><td colspan="2">0</td><td>1</td></tr>
<tr><td>$P6_1$DDR</td><td>0</td><td>1</td><td>—</td></tr>
<tr><td>端子機能</td><td>$P6_1$ 入力端子</td><td>$P6_1$ 出力端子</td><td>BREQ 入力端子</td></tr>
</table></td></tr>
<tr><td>$P6_0$/ WAIT</td><td>WCER の WCE7〜WCE0、WCR の WMS1 ビットと $P6_0$DDR ビットの組み合わせで、次のように切り換わります。
<table>
<tr><td>WCER</td><td colspan="3">すべてが 1</td><td>いずれかが 0</td></tr>
<tr><td>WMS1</td><td colspan="3">0</td><td>1</td><td>—</td></tr>
<tr><td>$P6_0$DDR</td><td>0</td><td>1</td><td>0*</td><td>0*</td></tr>
<tr><td>端子機能</td><td>$P6_0$ 入力端子</td><td>$P6_0$ 出力端子</td><td colspan="2">WAIT 入力端子</td></tr>
</table>
【注】 *　$P6_0$DDR は 1 にセットしないでください。</td></tr>
</table>

9.8 ポート 7

9.8.1 概要

ポート 7 は 8 ビットの入力専用ポートです。ポート 7 は、A/D 変換器のアナログ入力端子と D/A 変換器のアナログ出力端子と兼用になっています。これらの端子機能はいずれの動作モードでも共通です。ポート 7 の端子構成を**図** 9.7 に示します。

A/D 変換器のアナログ入力端子については、**「第** 15 **章 A/D 変換器」**を参照してください。

D/A 変換器のアナログ入力端子については、**「第** 16 **章 D/A 変換器」**を参照してください。

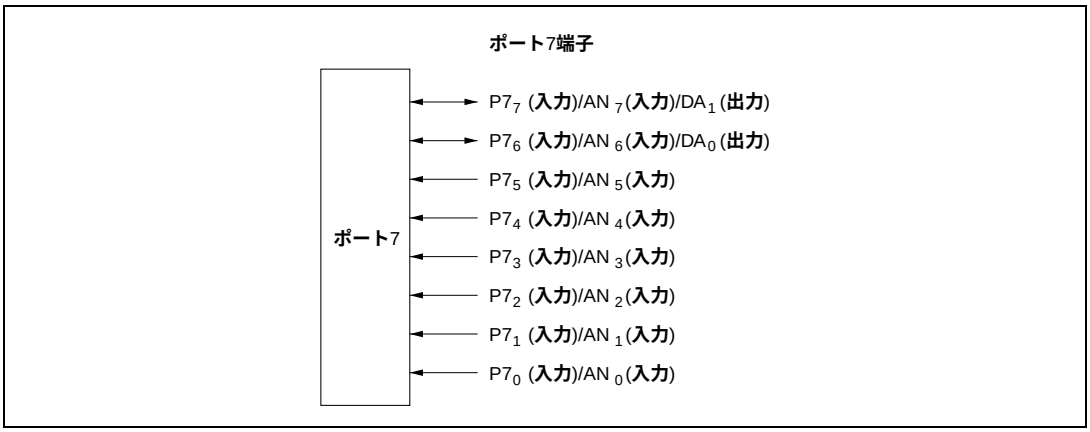


図 9.7 **ポート** 7 **の端子構成**

9.8.2 レジスタ構成

表 9.12 にポート 7 のレジスタ構成を示します。ポート 7 は入力専用ポートであり、データディレクションレジスタはありません。

表 9.12 **ポート** 7 **レジスタ構成**

アドレス*	名　　称	略　称	R/W	初期値
H'FFCE	**ポート** 7 **データレジスタ**	P7DR	R	**不　定**

【注】 ＊ **アドレスの下位** 16 **ビットを示しています。**

(1) **ポート** 7 **データレジスタ（**P7DR**）**

ビット：	7	6	5	4	3	2	1	0
	$P7_7$	$P7_6$	$P7_5$	$P7_4$	$P7_3$	$P7_2$	$P7_1$	$P7_0$
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W ：	R	R	R	R	R	R	R	R

【注】 ＊ $P7_7$**〜**$P7_0$**端子により決定されます。**

P7DR のリードを行うと、常に端子のロジックレベルが読み出されます。ライトは無効です。

9.9 ポート 8

9.9.1 概要

ポート 8 は、5 ビットの入出力ポートです。ポート 8 は、CS_3～CS_0出力端子、RFSH 出力端子、IRQ_3～IRQ_0入力端子と兼用になっています。ポート 8 の端子構成を**図** 9.8 に示します。

モード 1～6（拡張モード）時には、ポート 8 は、CS_3～CS_0出力端子、RFSH 出力端子、IRQ_3～IRQ_0入力端子と兼用になります。拡張モードでの端子機能の選択方法については**表** 9.14 を参照してください。

モード 7（シングルチップモード）時には、ポート 8 は、IRQ_3～IRQ_0入力端子と兼用となります。シングルチップモードでの端子機能の選択方法については**表** 9.15 を参照してください。

IRQ_3～IRQ_0の機能は端子の入出力にかかわらず IER をセットすることにより選択されます。詳細は**「第 5 章　割込みコントローラ」**を参照してください。

ポート 8 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

$P8_2$～$P8_0$端子はシュミットトリガ入力です。

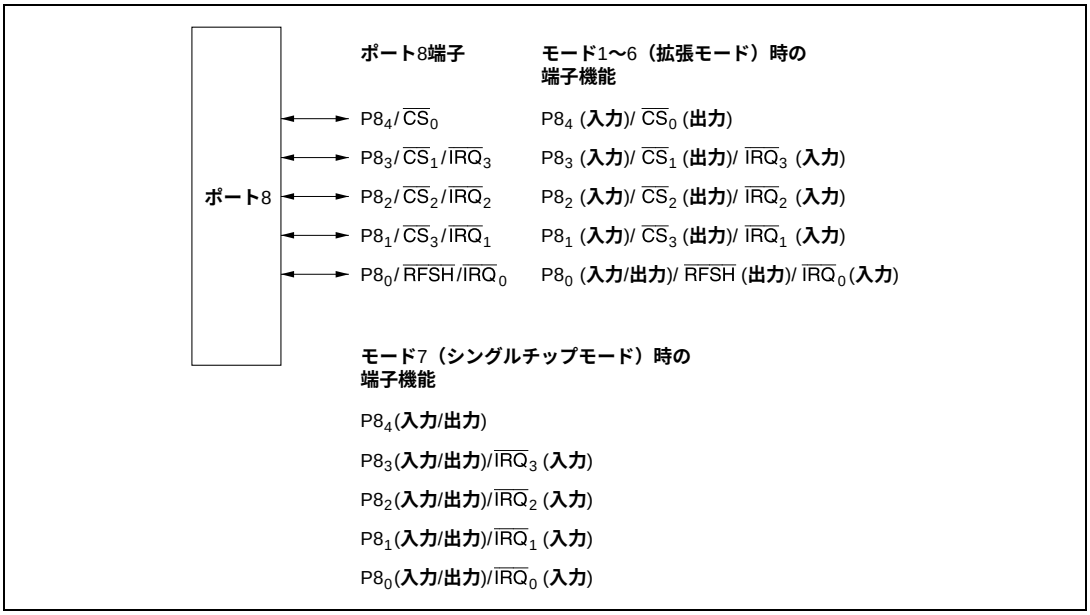


図 9.8　**ポート** 8 **の端子構成**

9.9.2 レジスタ構成

表 9.13 にポート 8 のレジスタ構成を示します。

表 9.13 **ポート** 8 **レジスタ構成**

アドレス*	名　　称	略　称	R/W	初期値	
				モード 1〜4	モード 5〜7
H'FFCD	**ポート** 8 **データディレクションレジスタ**	P8DDR	W	H'F0	H'E0
H'FFCF	**ポート** 8 **データレジスタ**	P8DR	R/W	H'E0	

【注】 * **アドレスの下位** 16 **ビットを示しています。**

(1) ポート 8 データディレクションレジスタ（P8DDR）

P8DDR は、8 ビットのライト専用のレジスタで、ポート 8 各端子の入出力をビットごとに指定することができます。

ビット 7〜5 はリザーブビットで、1 に固定されています。ライトは無効です。

ビット：		7	6	5	4	3	2	1	0
		—	—	—	P8₄DDR	P8₃DDR	P8₂DDR	P8₁DDR	P8₀DDR
モード1〜4	初期値：	1	1	1	1	0	0	0	0
	R/W ：	—	—	—	W	W	W	W	W
モード5〜7	初期値：	1	1	1	0	0	0	0	0
	R/W ：	—	—	—	W	W	W	W	W

リザーブビット

ポート8**データディレクション**4〜0
ポート8**の各端子の入出力を選択するビットです。**

(a) モード 1〜6（拡張モード）

$P8_4$〜$P8_1$ は P8DDR の対応するビットが 1 のとき CS_0〜CS_3 出力端子となり、0 のとき入力ポートとなります。モード 1〜4（内蔵 ROM 無効拡張モード）ではリセット直後 CS_0 のみ出力となり、他の 3 端子は入力ポートとなります。モード 5〜6（内蔵 ROM 有効拡張モード）ではリセット直後 4 端子共入力ポートとなります。

$P8_0$ はリフレッシュコントローラをイネーブルにすると強制的に RFSH 出力となり、ディスエーブルのとき入出力ポートとなって P8DDR の設定値に従います。詳細は**表** 9.15 を参照してください。

(b) モード 7（シングルチップモード）

入出力ポートとして機能します。P8DDR を 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。

P8DDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

P8DDR は、リセット、またはハードウェアスタンバイモード時に、モード 1〜4 の場合 H'F0 に、モード 5〜7 の場合 H'E0 にイニシャライズされます。P8DDR は、ソフトウェアスタンバイモード時には直前の状態を保持します。そのためポート 8 が入出力ポートとして機能しているとき、P8DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 8 データレジスタ（P8DR）

P8DR は、8 ビットのリード／ライト可能なレジスタで、ポート 8 の出力データを格納します。ポート 8 が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P8DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P8DR の値が読み出されます。

ビット 7～5 はリザーブビットで 1 に固定されています。ライトは無効です。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	$P8_4$	$P8_3$	$P8_2$	$P8_1$	$P8_0$
初期値：	1	1	1	0	0	0	0	0
R/W ：	—	—	—	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート8データ4～0
ポート8の各端子のデータを格納するビットです。

P8DR は、リセット、またはハードウェアスタンバイモード時に、H'E0 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 9.14 モード 1～6 時の端子機能（ポート 8）

端 子	選択方法と端子機能
$P8_4/CS_0$	$P8_4$DDR ビットにより、次のように切り換わります。 $P8_4$DDR: 0 → 端子機能: $P8_4$ 入力端子 $P8_4$DDR: 1 → 端子機能: CS_0 出力端子
$P8_3/CS_1/IRQ_3$	$P8_3$DDR ビットにより、次のように切り換わります。 $P8_3$DDR: 0 → 端子機能: $P8_3$ 入力端子 $P8_3$DDR: 1 → 端子機能: CS_1 出力端子 IRQ_3 入力端子
$P8_2/CS_2/IRQ_2$	$P8_2$DDR ビットにより、次のように切り換わります。 $P8_2$DDR: 0 → 端子機能: $P8_2$ 入力端子 $P8_2$DDR: 1 → 端子機能: CS_2 出力端子 IRQ_2 入力端子
$P8_1/CS_3/IRQ_1$	$P8_1$DDR ビットにより、次のように切り換わります。 $P8_1$DDR: 0 → 端子機能: $P8_1$ 入力端子 $P8_1$DDR: 1 → 端子機能: CS_3 出力端子 IRQ_1 入力端子
$P8_0/RFSH/IRQ_0$	RFSHCR の RFSHE ビット、および $P8_0$DDR ビットの組み合わせにより、次のように切り換わります。 RFSHE: 0, $P8_0$DDR: 0 → 端子機能: $P8_0$ 入力端子 RFSHE: 0, $P8_0$DDR: 1 → 端子機能: $P8_0$ 出力端子 RFSHE: 1, $P8_0$DDR: — → 端子機能: RFSH 出力端子 IRQ_0 入力端子

表 9.15　モード 7 時の端子機能（ポート 8）

<table>
<tr><th>端　子</th><th>選択方法と端子機能</th></tr>
<tr><td>$P8_4$</td><td>$P8_4$DDR ビットにより、次のように切り換わります。
<table>
<tr><td>$P8_4$DDR</td><td>0</td><td>1</td></tr>
<tr><td>端子機能</td><td>$P8_4$ 入力端子</td><td>$P8_4$ 出力端子</td></tr>
</table></td></tr>
<tr><td>$P8_3$/IRQ_3</td><td>$P8_3$DDR ビットにより、次のように切り換わります。
<table>
<tr><td>$P8_3$DDR</td><td>0</td><td>1</td></tr>
<tr><td rowspan="2">端子機能</td><td>$P8_3$ 入力端子</td><td>$P8_3$ 出力端子</td></tr>
<tr><td colspan="2">IRQ_3 入力端子</td></tr>
</table></td></tr>
<tr><td>$P8_2$/IRQ_2</td><td>$P8_2$DDR ビットにより、次のように切り換わります。
<table>
<tr><td>$P8_2$DDR</td><td>0</td><td>1</td></tr>
<tr><td rowspan="2">端子機能</td><td>$P8_2$ 入力端子</td><td>$P8_2$ 出力端子</td></tr>
<tr><td colspan="2">IRQ_2 入力端子</td></tr>
</table></td></tr>
<tr><td>$P8_1$/IRQ_1</td><td>$P8_1$DDR ビットにより、次のように切り換わります。
<table>
<tr><td>$P8_1$DDR</td><td>0</td><td>1</td></tr>
<tr><td rowspan="2">端子機能</td><td>$P8_1$ 入力端子</td><td>$P8_1$ 出力端子</td></tr>
<tr><td colspan="2">IRQ_1 入力端子</td></tr>
</table></td></tr>
<tr><td>$P8_0$/IRQ_0</td><td>$P8_0$DDR ビットにより、次のように切り換わります。
<table>
<tr><td>$P8_0$DDR</td><td>0</td><td>1</td></tr>
<tr><td rowspan="2">端子機能</td><td>$P8_0$ 入力端子</td><td>$P8_0$ 出力端子</td></tr>
<tr><td colspan="2">IRQ_0 入力端子</td></tr>
</table></td></tr>
</table>

9.10 ポート 9

9.10.1 概要

ポート 9 は、6 ビットの入出力ポートです。ポート 9 はシリアルコミュニケーションインタフェースチャネル 0、1（SCI0、1）の入出力端子（TxD_0、TxD_1、RxD_0、RxD_1、SCK_0、SCK_1）、IRQ_5、IRQ_4 入力端子と兼用になっています。端子機能の選択方法については**表** 9.17 を参照してください。

IRQ_5、IRQ_4 の機能は端子の入出力にかかわらず IER をセットすることにより選択されます。詳細は**「第 5 章　割込みコントローラ」**を参照してください。

ポート 9 の端子機能はいずれの動作モードでも共通です。ポート 9 の端子構成を**図** 9.9 に示します。

ポート 9 は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

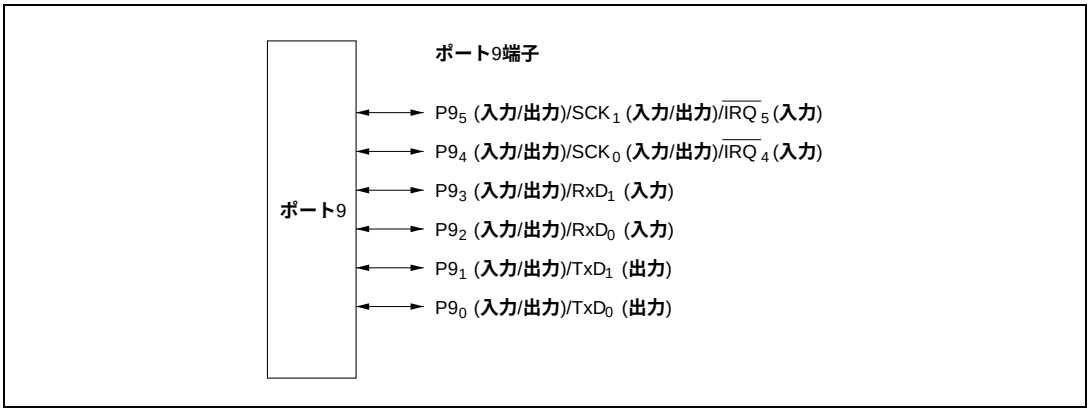


図 9.9　**ポート** 9 **の端子構成**

9.10.2 レジスタ構成

表 9.16 にポート 9 のレジスタ構成を示します。

表 9.16　**ポート** 9 **レジスタ構成**

アドレス*	名　　称	略　称	R/W	初期値
H'FFD0	**ポート** 9 **データディレクションレジスタ**	P9DDR	W	H'C0
H'FFD2	**ポート** 9 **データレジスタ**	P9DR	R/W	H'C0

【注】 ＊　**アドレスの下位** 16 **ビットを示しています。**

(1) ポート 9 データディレクションレジスタ（P9DDR）

P9DDR は、8 ビットのライト専用のレジスタで、ポート 9 各端子の入出力をビットごとに指定することができます。

ビット 7、6 はリザーブビットで、1 に固定されています。ライトは無効です。

ビット：	7	6	5	4	3	2	1	0
	—	—	$P9_5$DDR	$P9_4$DDR	$P9_3$DDR	$P9_2$DDR	$P9_1$DDR	$P9_0$DDR
初期値：	1	1	0	0	0	0	0	0
R/W ：	—	—	W	W	W	W	W	W
	リザーブビット		ポート9データディレクション5～0 ポート9の各端子の入出力を選択するビットです。					

ポート 9 が入出力ポートとして機能している場合、P9DDR を 1 にセットすると対応するポート 9 の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。端子機能の選択方法については、**表** 9.17 を参照してください。

P9DDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

P9DDR は、リセット、またはハードウェアスタンバイモード時に、H'C0 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、ポート 9 が入出力ポートとして機能しているとき、P9DDR が、1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 9 データレジスタ（P9DR）

P9DR は、8 ビットのリード／ライト可能なレジスタで、ポート 9 の出力データを格納します。ポート 9 が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、P9DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P9DR の値が読み出されます。

ビット：	7	6	5	4	3	2	1	0
	—	—	$P9_5$	$P9_4$	$P9_3$	$P9_2$	$P9_1$	$P9_0$
初期値：	1	1	0	0	0	0	0	0
R/W ：	—	—	R/W	R/W	R/W	R/W	R/W	R/W
	リザーブビット		ポート9データ5～0 ポート9の各端子のデータを格納するビットです。					

ビット 7、6 はリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

P9DR は、リセット、またはハードウェアスタンバイモード時に、H'C0 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

表 9.17 ポート 9 の端子機能（1）

<table>
<tr><th>端 子</th><th>選択方法と端子機能</th></tr>
<tr><td>$P9_5/SCK_1/IRQ_5$</td><td>SCI1 の SMR の C/A ビット、SCR の CKE0、1 ビットと $P9_5DDR$ ビットの組み合わせにより次のように切り換わります。
<table>
<tr><td>CKE1</td><td colspan="3">0</td><td>1</td></tr>
<tr><td>C/A</td><td colspan="2">0</td><td>1</td><td>－</td></tr>
<tr><td>CKE0</td><td colspan="2">0</td><td>1</td><td>－</td><td>－</td></tr>
<tr><td>$P9_5DDR$</td><td>0</td><td>1</td><td>－</td><td>－</td><td>－</td></tr>
<tr><td rowspan="2">端子機能</td><td>$P9_5$ 入力端子</td><td>$P9_5$ 出力端子</td><td>SCK_1 出力端子</td><td>SCK_1 出力端子</td><td>SCK_1 入力端子</td></tr>
<tr><td colspan="5">IRQ_5 入力端子</td></tr>
</table></td></tr>
<tr><td>$P9_4/SCK_0/IRQ_4$</td><td>SCI0 の SMR の C/A ビット、SCR の CKE0、1 ビットと $P9_4DDR$ ビットの組み合わせにより次のように切り換わります。
<table>
<tr><td>CKE1</td><td colspan="3">0</td><td>1</td></tr>
<tr><td>C/A</td><td colspan="2">0</td><td>1</td><td>－</td></tr>
<tr><td>CKE0</td><td colspan="2">0</td><td>1</td><td>－</td><td>－</td></tr>
<tr><td>$P9_4DDR$</td><td>0</td><td>1</td><td>－</td><td>－</td><td>－</td></tr>
<tr><td rowspan="2">端子機能</td><td>$P9_4$ 入力端子</td><td>$P9_4$ 出力端子</td><td>SCK_0 出力端子</td><td>SCK_0 出力端子</td><td>SCK_0 入力端子</td></tr>
<tr><td colspan="5">IRQ_4 入力端子</td></tr>
</table></td></tr>
</table>

表 9.17 ポート 9 の端子機能（2）

<table>
<tr><th>端 子</th><th>選択方法と端子機能</th></tr>
<tr><td>$P9_3$/RxD_1</td><td>SCI1 の SCR の RE ビットと $P9_3$DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><td>RE</td><td colspan="2">0</td><td>1</td></tr>
<tr><td>$P9_3$DDR</td><td>0</td><td>1</td><td>－</td></tr>
<tr><td>端子機能</td><td>$P9_3$ 入力端子</td><td>$P9_3$ 出力端子</td><td>RxD_1 入力端子</td></tr>
</table></td></tr>
<tr><td>$P9_2$/RxD_0</td><td>SCI0 の SCR の RE ビット、SCMR の SMIF ビット、および $P9_2$DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><td>SMIF</td><td colspan="3">0</td><td>1</td></tr>
<tr><td>RE</td><td colspan="2">0</td><td>1</td><td>－</td></tr>
<tr><td>$P9_2$DDR</td><td>0</td><td>1</td><td>－</td><td>－</td></tr>
<tr><td>端子機能</td><td>$P9_2$ 入力端子</td><td>$P9_2$ 出力端子</td><td>RxD_0 入力端子</td><td>RxD_0 入力端子</td></tr>
</table></td></tr>
<tr><td>$P9_1$/TxD_1</td><td>SCI1 の SCR の TE ビットと $P9_1$DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><td>TE</td><td colspan="2">0</td><td>1</td></tr>
<tr><td>$P9_1$DDR</td><td>0</td><td>1</td><td>－</td></tr>
<tr><td>端子機能</td><td>$P9_1$ 入力端子</td><td>$P9_1$ 出力端子</td><td>TxD_1 出力端子</td></tr>
</table></td></tr>
<tr><td>$P9_0$/TxD_0</td><td>SCI0 の SCR の TE ビット、SCMR の SMIF ビット、および $P9_0$DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><td>SMIF</td><td colspan="3">0</td><td>1</td></tr>
<tr><td>TE</td><td colspan="2">0</td><td>1</td><td>－</td></tr>
<tr><td>$P9_0$DDR</td><td>0</td><td>1</td><td>－</td><td>－</td></tr>
<tr><td>端子機能</td><td>$P9_0$ 入力端子</td><td>$P9_0$ 出力端子</td><td>TxD_0 出力端子</td><td>TxD_0 出力端子*</td></tr>
</table>
【注】 * TxD_0 出力端子として機能します。ただし、ハイインピーダンス状態と端子ドライブ状態の 2 種類の状態があります。</td></tr>
</table>

9.11 ポート A

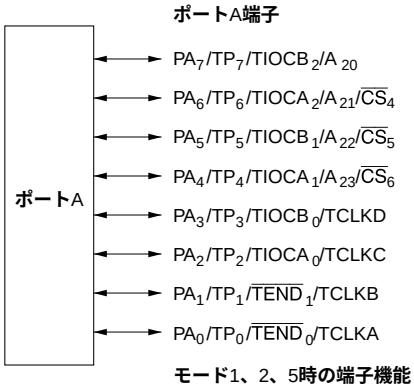
9.11.1 概要

ポート A は、8 ビットの入出力ポートです。ポート A は、プログラマブルタイミングパターンコントローラ（TPC）の出力端子（TP_7～TP_0）、16 ビットインテグレーテッドタイマユニット（ITU）の入出力端子（$TIOCB_2$、$TIOCA_2$、$TIOCB_1$、$TIOCA_1$、$TIOCB_0$、$TIOCA_0$、TCLKD、TCLKC、TCLKB、TCLKA）、DMA コントローラ（DMAC）の出力端子（$TEND_1$、$TEND_0$）、CS_4～CS_6出力端子およびアドレスバス（A_{23}～A_{20}）と兼用になっています。ポート A は、動作モード 3、4、6 で A_{20}が強制的に出力になることを除き、リセットおよびハードウェアスタンバイで入力ポートになっています。

端子機能の選択方法については**表** 9.19 を参照してください。

TPC、ITU および DMAC の入出力端子として使用する端子については、それぞれのモジュールの説明を参照してください。モード 3、4、6 でアドレス A_{23}～A_{21}を出力する場合は、**「**6.2.5 **バスリリースコントロールレジスタ」**を参照してください。モード 1～6 で CS_4～CS_6を出力する場合は**「**6.3.2 **チップセレクト信号」**を参照してください。これらのいずれの機能も割り当てられない端子は入出力ポートとして使用できます。ポート A の端子構成を**図** 9.10 に示します。

ポート A は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。ポート A はシュミットトリガ入力です。



ポートA**端子**

モード1、2、5**時の端子機能**

PA 7 (**入力/出力**)/TP7 (**出力**)/TIOCB 2 (**入力/出力**)
PA 6 (**入力/出力**)/TP6 (**出力**)/TIOCA 2 (**入力/出力**) /$\overline{CS}$4 (**出力**)
PA 5 (**入力/出力**)/TP5 (**出力**)/TIOCB 1 (**入力/出力**) /$\overline{CS}$5(**出力**)
PA 4 (**入力/出力**)/TP4 (**出力**)/TIOCA 1 (**入力/出力**) /$\overline{CS}$6(**出力**)
PA 3 (**入力/出力**)/TP3 (**出力**)/TIOCB 0 (**入力/出力**)/TCLKD (**入力**)
PA 2 (**入力/出力**)/TP2 (**出力**)/TIOCA 0 (**入力/出力**)/TCLKC (**入力**)
PA 1 (**入力/出力**)/TP1 (**出力**)/$\overline{TEND}$1 (**出力**)/TCLKB (**入力**)
PA 0 (**入力/出力**)/TP0 (**出力**)/$\overline{TEND}$0 (**出力**)/TCLKA (**入力**)

モード3、4、6**時の端子機能**

A20 (**出力**)
PA 6 (**入力/出力**)/TP6 (**出力**)/TIOCA 2 (**入力/出力**)/A21(**出力**)/$\overline{CS}$4(**出力**)
PA 5 (**入力/出力**)/TP5 (**出力**)/TIOCB 1 (**入力/出力**)/A22(**出力**)/$\overline{CS}$5(**出力**)
PA 4 (**入力/出力**)/TP4 (**出力**)/TIOCA 1 (**入力/出力**)/A23(**出力**)/$\overline{CS}$6(**出力**)
PA 3 (**入力/出力**)/TP3 (**出力**)/TIOCB 0 (**入力/出力**)/TCLKD (**入力**)
PA 2 (**入力/出力**)/TP2 (**出力**)/TIOCA 0 (**入力/出力**)/TCLKC (**入力**)
PA 1 (**入力/出力**)/TP1 (**出力**)/$\overline{TEND}$1 (**出力**)/TCLKB (**入力**)
PA 0 (**入力/出力**)/TP0 (**出力**)/$\overline{TEND}$0 (**出力**)/TCLKA (**入力**)

モード7**時の端子機能**

PA7 (**入力/出力**)/TP7 (**出力**)/TIOCB 2 (**入力/出力**)
PA6 (**入力/出力**)/TP6 (**出力**)/TIOCA 2 (**入力/出力**)
PA5 (**入力/出力**)/TP5 (**出力**)/TIOCB 1 (**入力/出力**)
PA4 (**入力/出力**)/TP4 (**出力**)/TIOCA 1 (**入力/出力**)
PA3 (**入力/出力**)/TP3 (**出力**)/TIOCB 0 (**入力/出力**)/TCLKD (**入力**)
PA2 (**入力/出力**)/TP2 (**出力**)/TIOCA 0 (**入力/出力**)/TCLKC (**入力**)
PA1 (**入力/出力**)/TP1 (**出力**)/$\overline{TEND}$1 (**出力**)/TCLKB (**入力**)
PA0 (**入力/出力**)/TP0 (**出力**)/$\overline{TEND}$0 (**出力**)/TCLKA (**入力**)

図 9.10 **ポート** A **の端子構成**

9.11.2 レジスタ構成

表 9.18 にポート A のレジスタ構成を示します。

表 9.18 **ポート** A **レジスタ構成**

アドレス*	名　　称	略　称	R/W	初期値	
				モード 1、2、5、7	モード 3、4、6
H'FFD1	**ポート** A **データディレクションレジスタ**	PADDR	W	H'00	H'80
H'FFD3	**ポート** A **データレジスタ**	PADR	R/W	H'00	

【注】 * **アドレスの下位** 16 **ビットを示しています。**

(1) ポート A データディレクションレジスタ（PADDR）

PADDR は、8 ビットのライト専用のレジスタで、ポート A 各端子の入出力をビットごとに指定することができます。TPC の出力端子として使用する場合も PADDR の対応するビットをセットしてください。

		7	6	5	4	3	2	1	0
ビット：		PA_7DDR	PA_6DDR	PA_5DDR	PA_4DDR	PA_3DDR	PA_2DDR	PA_1DDR	PA_0DDR
モード 3, 4, 6	**初期値：**	1	0	0	0	0	0	0	0
	R/W ：	—	W	W	W	W	W	W	W
モード 1, 2, 5, 7	**初期値：**	0	0	0	0	0	0	0	0
	R/W ：	W	W	W	W	W	W	W	W

ポートA**データディレクション**7**〜**0
ポートA**の各端子の入出力を選択するビットです。**

ポート A が入出力ポートとして機能している場合、PADDR を 1 にセットすると対応するポート A の各端子は出力となり、0 にクリアすると入力になります。ただし、モード 3、4、6 では PA_7DDR は 1 に固定され、PA_7 はアドレス出力として機能します。

PADDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

PADDR は、リセット、またはハードウェアスタンバイモード時に、モード 1、2、5、7 では H'00 に、モード 3、4、6 では H'80 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、PADDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート A データレジスタ（PADR）

PADR は、8 ビットのリード／ライト可能なレジスタで、ポート A の出力データを格納します。ポート A が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、PADDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは PADR の値が読み出されます。

ビット：	7	6	5	4	3	2	1	0
	PA_7	PA_6	PA_5	PA_4	PA_3	PA_2	PA_1	PA_0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートAデータ7～0
ポートAの各端子のデータを格納するビットです。

PADR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.11.3 端子機能

ポート A の端子機能について**表** 9.19 に示します。

表 9.19 **ポート** A **の端子機能（**1**）**

<table>
<tr><th>端　子</th><th>選択方法と端子機能</th></tr>
<tr><td>PA_7/TP_7
/$TIOCB_2$/A_{20}</td><td>

モード設定と TMDR **の** PWM2 **ビット、**TIOR2 **の** IOB2～IOB0 **ビットによる** ITU **チャネル** 2 **の設定、**NDERA **の** NDER7 **ビット、および** PADDR **の** PA_7DDR **ビットの組み合わせにより、次のように切り換わります。**

<table>
<tr><th>モード</th><th colspan="4">1、2、5、7</th><th>3、4、6</th></tr>
<tr><td>ITU **チャネル** 2 **の設定**</td><td>**下表（**1**）**</td><td colspan="3">**下表（**2**）**</td><td>－</td></tr>
<tr><td>PA_7DDR</td><td>－</td><td>0</td><td>1</td><td>1</td><td>－</td></tr>
<tr><td>NDER7</td><td>－</td><td>－</td><td>0</td><td>1</td><td>－</td></tr>
<tr><td rowspan="2">**端子機能**</td><td rowspan="2">$TIOCB_2$**出力**</td><td>PA_7**入力**</td><td>PA_7**出力**</td><td>TP_7**出力**</td><td rowspan="2">A_{20}**出力**</td></tr>
<tr><td colspan="3">$TIOCB_2$**入力***</td></tr>
</table>

【注】 ＊　IOB2＝1、**かつ** PWM2＝0 **の場合に** $TIOCB_2$ **入力となります。**

<table>
<tr><th>ITU **チャネル** 2 **の設定**</th><th>（2）</th><th colspan="2">（1）</th><th>（2）</th></tr>
<tr><td>IOB2</td><td colspan="3">0</td><td>1</td></tr>
<tr><td>IOB1</td><td>0</td><td>0</td><td>1</td><td>－</td></tr>
<tr><td>IOB0</td><td>0</td><td>1</td><td>－</td><td>－</td></tr>
</table>

</td></tr>
</table>

表 9.19 ポート A の端子機能（2）

端　子	選択方法と端子機能

PA$_6$/TP$_6$/TIOCA$_2$/A$_{21}$/CS$_4$

モード設定と BRCR **の** A$_{21}$E **ビット、**CSCR **の** CS4E **ビット、**TMDR **の** PWM2 **ビット、**TIOR2 **の** IOA2〜IOA0 **ビットによる** ITU **チャネル** 2 **の設定、**NDERA **の** NDER6 **ビット、および** PADDR **の** PA$_6$DDR **ビットの組み合わせにより、次のように切り換わります。**

モード	1、2、5					3、4、6						7		
CS4E	0				1	0					1	—		
A$_{21}$E	—				—	1				0	—	—		
ITU**チャネル**2 **の設定**	**下表**（1）	**下表**（2）			—	**下表**（1）	**下表**（2）			—	—	**下表**（1）	**下表**（2）	
PA$_6$DDR	—	0	1	1	—	—	0	1	1	—	—	—	0	1	1
NDER6	—	—	0	1	—	—	—	0	1	—	—	—	—	0	1
端子機能	TIOCA$_2$ **出力**	PA$_6$ **入力**	PA$_6$ **出力**	TP$_6$ **出力**	$\overline{\text{CS}}_4$ **出力**	TIOCA$_2$ **出力**	PA$_6$ **入力**	PA$_6$ **出力**	TP$_6$ **出力**	A$_{21}$ **出力**	$\overline{\text{CS}}_4$ **出力**	TIOCA$_2$ **出力**	PA$_6$ **入力**	PA$_6$ **出力**	TP$_6$ **出力**
		TIOCA$_2$**入力**＊					TIOCA$_2$**入力**＊						TIOCA$_2$**入力**＊		

【注】 ＊　IOA2＝1 **の場合に** TIOCA$_2$ **入力となります。**

ITU **チャネル** 2 **の設定**	（2）	（1）		（2）	（1）
PWM2	0				1
IOA2	0			1	−
IOA1	0	0	1	−	−
IOA0	0	1	−	−	−

PA$_5$/TP$_5$/TIOCB$_1$/A$_{22}$/CS$_5$

モード設定と BRCR **の** A$_{22}$E **ビット、**CSCR **の** CS5E **ビット、**TMDR **の** PWM1 **ビット、**TIOR1 **の** IOB2〜IOB0 **ビットによる** ITU **チャネル** 1 **の設定、**NDERA **の** NDER5 **ビット、および** PADDR **の** PA5DDR **ビットの組み合わせにより、次のように切り換わります。**

モード	1、2、5					3、4、6						7		
CS5E	0				1	0					1	—		
A$_{22}$E	—				—	1				0	—	—		
ITU**チャネル**1 **の設定**	**下表**（1）	**下表**（2）			—	**下表**（1）	**下表**（2）			—	—	**下表**（1）	**下表**（2）	
PA$_5$DDR	—	0	1	1	—	—	0	1	1	—	—	—	0	1	1
NDER5	—	—	0	1	—	—	—	0	1	—	—	—	—	0	1
端子機能	TIOCB$_1$ **出力**	PA$_5$ **入力**	PA$_5$ **出力**	TP$_5$ **出力**	$\overline{\text{CS}}_5$ **出力**	TIOCB$_1$ **出力**	PA$_5$ **入力**	PA$_5$ **出力**	TP$_5$ **出力**	A$_{22}$ **出力**	$\overline{\text{CS}}_5$ **出力**	TIOCB$_1$ **出力**	PA$_5$ **入力**	PA$_5$ **出力**	TP$_5$ **出力**
		TIOCB$_1$**入力**＊					TIOCB$_1$**入力**＊						TIOCB$_1$**入力**＊		

【注】 ＊　IOB2＝1、**かつ** PWM1＝0 **の場合に** TIOCB$_1$ **入力となります。**

ITU **チャネル** 1 **の設定**	（2）	（1）		（2）
IOB2	0			1
IOB1	0	0	1	−
IOB0	0	1	−	−

表 9.19 ポート A の端子機能（3）

端　子	選択方法と端子機能
PA_4/TP_4 /$TIOCA_1$ /A_{23}/CS_6	**モード設定と** BRCR **の** A_{23}E **ビット、**CSCR **の** CS6E **ビット、**TMDR **の** PWM1 **ビット、**TIOR1 **の** IOA2〜IOB0 **ビットによる** ITU **チャネル** 1 **の設定、**NDERA **の** NDER4 **ビット、および** PADDR **の** PA_4DDR **ビットの組み合わせにより、次のように切り換わります。**

モード	1、2、5					3、4、6						7			
CS6E	—				1	0					1	—			
A_{23}E	—				—	1				0	—	—			
ITU**チャネル**2 **の設定**	**下表**（1）	**下表**（2）			—	**下表**（1）	**下表**（2）			—	—	**下表**（1）	**下表**（2）		
PA_4DDR	—	0	1	1	—	—	0	1	1	—	—	—	0	1	1
NDER4	—	—	0	1	—	—	—	0	1	—	—	—	—	0	1
端子機能	$TIOCA_1$ **出力**	PA_4 **入力**	PA_4 **出力**	TP_4 **出力**	$\overline{CS}_6$ **出力**	$TIOCA_1$ **出力**	PA_4 **入力**	PA_4 **出力**	TP_4 **出力**	A_{23} **出力**	$\overline{CS}_6$ **出力**	$TIOCA_1$ **出力**	PA_4 **入力**	PA_4 **出力**	TP_4 **出力**
		$TIOCA_1$**入力***					$TIOCA_1$**入力***						$TIOCA_1$**入力***		

【注】 * IOA2＝1 **の場合に** $TIOCA_1$ **入力となります。**

ITU **チャネル** 1 **の設定**	（2）	（1）		（2）	（1）
PWM1	0				1
IOA2	0			1	−
IOA1	0	0	1	−	−
IOA0	0	1	−	−	−

PA_3/TP_3 /$TIOCB_0$ /TCLKD	TMDR **の** PWM0 **ビット、**TIOR0 **の** IOB2〜IOB0 **ビットによる** ITU **チャネル** 0 **の設定、**TCR4〜TCR0 **の** TPSC2〜TPSC0 **ビット、**NDERA **の** NDER3 **ビット、および** PADDR **の** PA_3DDR **ビットの組み合わせにより、次のように切り換わります。**

ITU **チャネル** 0 **の設定**	**下表**（1）	**下表**（2）		
PA_3DDR	−	0	1	1
NDER3	−	−	0	1
端子機能	$TIOCB_0$ **出力**	PA_3 **入力**	PA_3 **出力**	TP_3 **出力**
		$TIOCB_0$ **入力***1		
	TCLKD **入力***2			

【注】 *1 IOB2＝1、**かつ** PWM0＝0 **の場合に** $TIOCB_0$ **入力となります。**

*2 TCR4〜TCR0 **のいずれかの設定が** TPSC2＝TPSC1＝TPSC0＝1 **の場合に** TCLKD **入力となります。**

ITU **チャネル** 0 **の設定**	（2）	（1）		（2）
IOB2	0			1
IOB1	0	0	1	−
IOB0	0	1	−	−

表 9.19 ポート A の端子機能（4）

<table>
<tr><th>端　子</th><th>選択方法と端子機能</th></tr>
<tr><td>PA_2/TP_2
/$TIOCA_0$
/TCLKC</td><td>TMDR の PWM0 ビット、TIOR0 の IOA2〜IOA0 ビットによる ITU チャネル 0 の設定、TCR4〜TCR0 の TPSC2〜TPSC0 ビット、NDERA の NDER2 ビット、および PADDR の PA_2DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><th>ITU チャネル 0 の設定</th><th>下表（1）</th><th colspan="3">下表（2）</th></tr>
<tr><td>PA_2DDR</td><td>－</td><td>0</td><td>1</td><td>1</td></tr>
<tr><td>NDER2</td><td>－</td><td>－</td><td>0</td><td>1</td></tr>
<tr><td rowspan="3">端子機能</td><td rowspan="2">$TIOCA_0$ 出力</td><td>PA_2 入力</td><td>PA_2 出力</td><td>TP_2 出力</td></tr>
<tr><td colspan="3">$TIOCA_0$ 入力*1</td></tr>
<tr><td colspan="4">TCLKC 入力*2</td></tr>
</table>
【注】 *1 IOA2＝1 の場合に $TIOCA_0$ 入力となります。
*2 TCR4〜TCR0 のいずれかの設定が TPSC2＝TPSC1＝1、TPSC0＝0 の場合に TCLKC 入力となります。
<table>
<tr><th>ITU チャネル 0 の設定</th><th>（2）</th><th colspan="2">（1）</th><th>（2）</th><th>（1）</th></tr>
<tr><td>PWM0</td><td colspan="4">0</td><td>1</td></tr>
<tr><td>IOA2</td><td colspan="3">0</td><td>1</td><td>－</td></tr>
<tr><td>IOA1</td><td>0</td><td>0</td><td>1</td><td>－</td><td>－</td></tr>
<tr><td>IOA0</td><td>0</td><td>1</td><td>－</td><td>－</td><td>－</td></tr>
</table></td></tr>
<tr><td>PA_1/TP_1
/TCLKB
/$TEND_1$</td><td>DTCR1A、B の DTS2〜0A、DTS2〜0B ビットによる DMAC チャネル 1 の設定、NDERA の NDER1 ビット、および PADDR の PA_1DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><th>DMAC チャネル 1 の設定</th><th>下表（1）</th><th colspan="3">下表（2）</th></tr>
<tr><td>PA_1DDR</td><td>－</td><td>0</td><td>1</td><td>1</td></tr>
<tr><td>NDER1</td><td>－</td><td>－</td><td>0</td><td>1</td></tr>
<tr><td rowspan="2">端子機能</td><td>$TEND_1$ 出力</td><td>PA_1 入力</td><td>PA_1 出力</td><td>TP_1 出力</td></tr>
<tr><td colspan="4">TCLKB 入力*</td></tr>
</table>
【注】 * TMDR の MDF＝1 の場合、または TCR4〜TCR0 のいずれかの設定が TPSC2＝1、TPSC1＝0、TPSC0＝1 の場合に TCLKB 入力となります。
<table>
<tr><th>DMAC チャネル 1 の設定</th><th colspan="2">（2）</th><th>（1）</th><th>（2）</th><th>（1）</th><th colspan="2">（2）</th><th>（1）</th></tr>
<tr><td>DTS2A、1A</td><td colspan="3">いずれかが 0</td><td colspan="5">いずれも 1</td></tr>
<tr><td>DTS0A</td><td colspan="3">－</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td></tr>
<tr><td>DTS2B</td><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td></tr>
<tr><td>DTS1B</td><td>－</td><td>0</td><td>1</td><td>－</td><td>－</td><td>－</td><td>0</td><td>1</td></tr>
</table></td></tr>
</table>

表 9.19 ポート A の端子機能（5）

<table>
<tr><th>端　子</th><th>選択方法と端子機能</th></tr>
<tr><td>PA_0/TP_0
/TCLKA
/$TEND_0$</td><td>DTCR0A、B の DTS2〜0A、DTS2〜0B ビットによる DMAC チャネル 0 の設定、NDERA の NDER0 ビット、および PADDR の PA_0DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><th>DMAC チャネル 0 の設定</th><th>下表（1）</th><th colspan="3">下表（2）</th></tr>
<tr><td>PA_0DDR</td><td>－</td><td>0</td><td>1</td><td>1</td></tr>
<tr><td>NDER0</td><td>－</td><td>－</td><td>0</td><td>1</td></tr>
<tr><td rowspan="2">端子機能</td><td>$TEND_0$ 出力</td><td>PA_0 入力</td><td>PA_0 出力</td><td>TP_0 出力</td></tr>
<tr><td colspan="4">TCLKA 入力*</td></tr>
</table>
【注】 * TMDR の MDF＝1 の場合、または TCR4〜TCR0 のいずれかの設定が TPSC2＝1、TPSC1＝0 の場合に TCLKA 入力となります。
<table>
<tr><th>DMAC チャネル 0 の設定</th><th colspan="2">（2）</th><th>（1）</th><th>（2）</th><th>（1）</th><th colspan="2">（2）</th><th>（1）</th></tr>
<tr><td>DTS2A、1A</td><td colspan="3">いずれかが 0</td><td colspan="5">いずれも 1</td></tr>
<tr><td>DTS0A</td><td colspan="3">－</td><td>0</td><td>0</td><td>1</td><td>1</td><td>1</td></tr>
<tr><td>DTS2B</td><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>1</td></tr>
<tr><td>DTS1B</td><td>－</td><td>0</td><td>1</td><td>－</td><td>－</td><td>－</td><td>0</td><td>1</td></tr>
</table>
</td></tr>
</table>

9.12 ポート B

9.12.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B は TPC の出力端子（TP_{15}～TP_8）、ITU の入出力端子（$TIOCB_4$、$TIOCB_3$、$TIOCA_4$、$TIOCA_3$）と出力端子（$TOCXB_4$、$TOCXA_4$）、DMAC の入力端子（$DREQ_1$、$DREQ_0$）、A/D 変換器の ADTRG 入力端子、CS_7 出力端子と兼用になっています。端子機能の選択方法については**表** 9.21 を参照してください。ポート B はリセットおよびハードウェアスタンバイモードで入力ポートになっています。TPC、ITU、DMAC および A/D 変換器の入出力端子として使用する端子についてはそれぞれのモジュールの説明を参照してください。モード 1～6 で CS_7 を出力する場合は**「**6.3.2 **チップセレクト信号」**を参照してください。これらのいずれの機能も割り当てられない端子は入出力ポートとして使用できます。ポート B の端子構成を**図** 9.11 に示します。

ポート B は、1 個の TTL 負荷と 30pF の容量負荷を駆動できます。また、LED、ダーリントントランジスタを駆動することもできます。PB_3～PB_0 は、シュミットトリガ入力です。

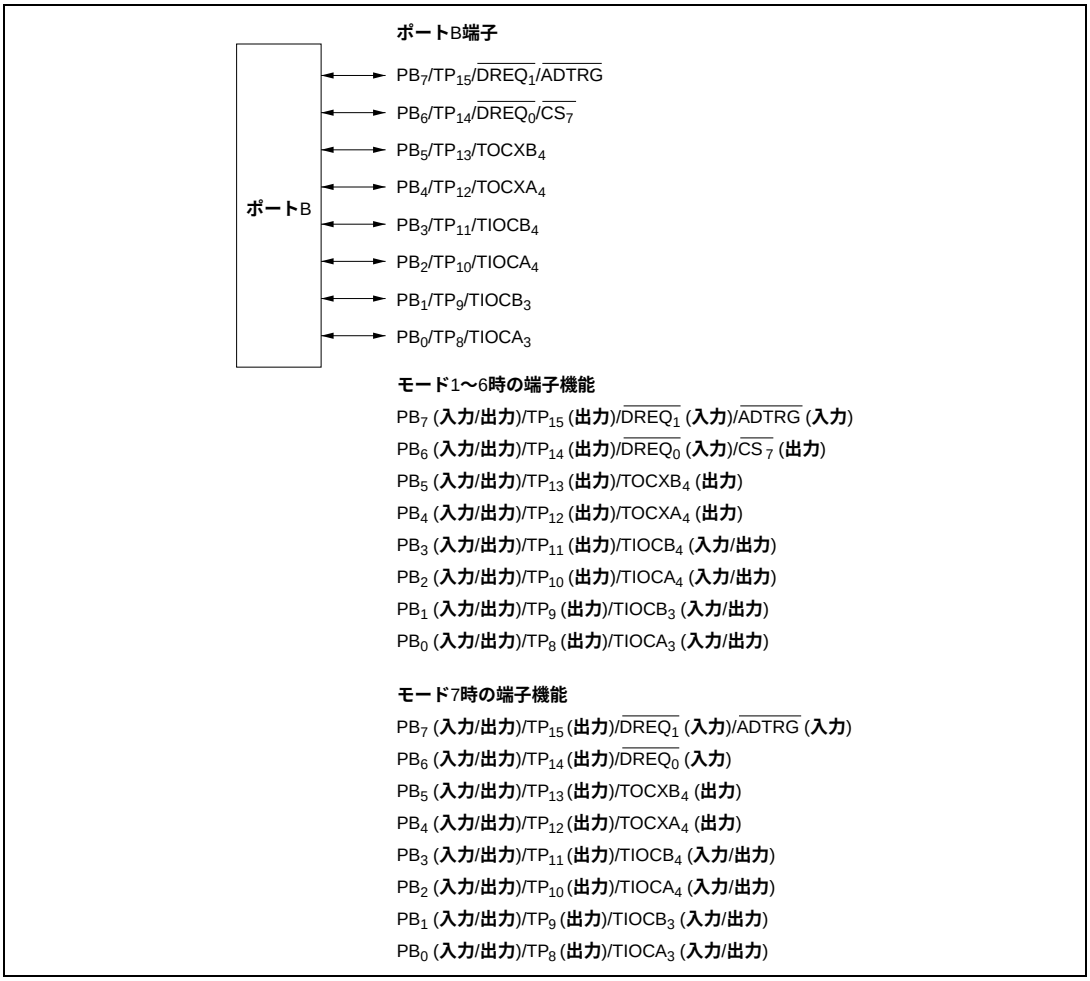


図 9.11 **ポート** B **の端子構成**

9.12.2 レジスタ構成

表 9.20 にポート B のレジスタ構成を示します。

表 9.20 **ポート** B **レジスタ構成**

アドレス*	名　　称	略　称	R/W	初期値
H'FFD4	**ポート** B **データディレクションレジスタ**	PBDDR	W	H'00
H'FFD6	**ポート** B **データレジスタ**	PBDR	R/W	H'00

【注】 ＊　**アドレスの下位** 16 **ビットを示しています。**

(1) ポート B データディレクションレジスタ（PBDDR）

PBDDR は、8 ビットのライト専用のレジスタで、ポート B 各端子の入出力をビットごとに指定することができます。TPC の出力端子として使用する場合も PBDDR の対応するビットをセットしてください。

ビット：	7	6	5	4	3	2	1	0
	PB_7DDR	PB_6DDR	PB_5DDR	PB_4DDR	PB_3DDR	PB_2DDR	PB_1DDR	PB_0DDR
初期値：	0	0	0	0	0	0	0	0
R/W ：	W	W	W	W	W	W	W	W

ポートB**データディレクション**7～0
ポートB**の各端子の入出力を選択するビットです。**

ポート B が入出力ポートとして機能している場合、PBDDR を 1 にセットすると対応するポート B の各端子は出力となり、0 にクリアすると入力になります。

PBDDR は、ライト専用レジスタで、リードは無効です。リードすると、1 が読み出されます。

PBDDR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、ポート B が入出力ポートとして機能しているとき、PBDDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート B データレジスタ（PBDR）

PBDR は、8 ビットのリード／ライト可能なレジスタで、ポート B の出力データを格納します。ポート B が出力ポートとして機能する場合、本レジスタの値が出力されます。また、このレジスタをリードすると、PBDDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは PBDR の値が読み出されます。

ビット：	7	6	5	4	3	2	1	0
	PB_7	PB_6	PB_5	PB_4	PB_3	PB_2	PB_1	PB_0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートB**データ**7～0
ポートB**の各端子のデータを格納するビットです。**

PBDR は、リセット、またはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

9.12.3 端子機能

ポート B の端子機能について表 9.21 に示します。

表 9.21 ポート B の端子機能（1）

<table>
<tr><th>端 子</th><th>選択方法と端子機能</th></tr>
<tr><td>PB_7/TP_{15}
$/DREQ_1$
/ADTRG</td><td>DTCR1A、B の DTS2〜0A、DTS2〜0B ビットによる DMAC チャネル 1 の設定、ADCR の TRGE ビット、NDERB の NDER15 ビット、および PBDDR の PB_7DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><td>PB_7DDR</td><td>0</td><td>1</td><td>1</td></tr>
<tr><td>NDER15</td><td>－</td><td>0</td><td>1</td></tr>
<tr><td rowspan="3">端子機能</td><td>PB_7 入力</td><td>PB_7 出力</td><td>TP_{15} 出力</td></tr>
<tr><td colspan="3">$DREQ_1$ 入力*1</td></tr>
<tr><td colspan="3">ADTRG 入力*2</td></tr>
</table>
【注】 *1 DMAC チャネル 1 の設定が下表（1）のとき $DREQ_1$ 入力となります。
*2 TRGE＝1 のとき ADTRG 入力となります。
<table>
<tr><td>DMAC チャネル 1 の設定</td><td colspan="3">（2）</td><td>（1）</td><td>（2）</td><td>（1）</td><td colspan="2">（2）</td><td>（1）</td></tr>
<tr><td>DTS2A、1A</td><td colspan="3">いずれかが 0</td><td colspan="5">いずれも 1</td></tr>
<tr><td>DTS0A</td><td colspan="3">－</td><td>0</td><td>0</td><td>1</td><td colspan="2">1</td><td>1</td></tr>
<tr><td>DTS2B</td><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td colspan="2">1</td><td>1</td></tr>
<tr><td>DTS1B</td><td>－</td><td>0</td><td>1</td><td>－</td><td>－</td><td>－</td><td colspan="2">0</td><td>1</td></tr>
</table>
</td></tr>
<tr><td>PB_6/TP_{14}
$/DREQ_0/CS_7$</td><td>CSCR の CS7E ビット、DTCR0A、B の DTS2〜0A、DTS2〜0B ビットによる DMAC チャネル 0 の設定、NDERB の NDER14 ビット、および PBDDR の PB_6DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><td>PB_6DDR</td><td>0</td><td>1</td><td>1</td><td>－</td></tr>
<tr><td>CS7E</td><td>0</td><td>0</td><td>0</td><td>1</td></tr>
<tr><td>NDER14</td><td>－</td><td>0</td><td>1</td><td>－</td></tr>
<tr><td rowspan="2">端子機能</td><td>PB_6 入力</td><td>PB_6 出力</td><td>TP_{14} 出力</td><td>－</td></tr>
<tr><td colspan="3">$DREQ_0$ 入力*</td><td>CS_7 出力</td></tr>
</table>
【注】 * DMAC チャネル 0 の設定が下表（1）のとき $DREQ_0$ 入力となります。
<table>
<tr><td>DMAC チャネル 0 の設定</td><td colspan="3">（2）</td><td>（1）</td><td>（2）</td><td>（1）</td><td colspan="2">（2）</td><td>（1）</td></tr>
<tr><td>DTS2、1A</td><td colspan="3">いずれかが 0</td><td colspan="5">いずれも 1</td></tr>
<tr><td>DTS0A</td><td colspan="3">－</td><td>0</td><td>0</td><td>1</td><td colspan="2">1</td><td>1</td></tr>
<tr><td>DTS2B</td><td>0</td><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td colspan="2">1</td><td>1</td></tr>
<tr><td>DTS1B</td><td>－</td><td>0</td><td>1</td><td>－</td><td>－</td><td>－</td><td colspan="2">0</td><td>1</td></tr>
</table>
</td></tr>
</table>

表 9.21 ポート B の端子機能（2）

<table>
<tr><th>端　子</th><th>選択方法と端子機能</th></tr>
<tr><td>PB_5/TP_{13}
/$TOCXB_4$</td><td>TFCR の CMD1 ビット、TOER の EXB4 ビットによる ITU チャネル 4 の設定、NDERB の NDER13 ビット、および PBDDR の PB_5DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><th>EXB4、CMD1</th><th colspan="3">いずれかが 0</th><th>いずれも 1</th></tr>
<tr><td>PB_5DDR</td><td>0</td><td>1</td><td>1</td><td>－</td></tr>
<tr><td>NDER13</td><td>－</td><td>0</td><td>1</td><td>－</td></tr>
<tr><td>端子機能</td><td>PB_5入力</td><td>PB_5出力</td><td>TP_{13}出力</td><td>$TOCXB_4$出力</td></tr>
</table></td></tr>
<tr><td>PB_4/TP_{12}
/$TOCXA_4$</td><td>TFCR の CMD1 ビット、TOER の EXA4 ビットによる ITU チャネル 4 の設定、NDERB の NDER12 ビット、および PBDDR の PB_4DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><th>EXA4、CMD1</th><th colspan="3">いずれかが 0</th><th>いずれも 1</th></tr>
<tr><td>PB_4DDR</td><td>0</td><td>1</td><td>1</td><td>－</td></tr>
<tr><td>NDER12</td><td>－</td><td>0</td><td>1</td><td>－</td></tr>
<tr><td>端子機能</td><td>PB_4入力</td><td>PB_4出力</td><td>TP_{12}出力</td><td>$TOCXA_4$出力</td></tr>
</table></td></tr>
<tr><td>PB_3/TP_{11}
/$TIOCB_4$</td><td>TMDR の PWM4 ビット、TFCR の CMD1 ビット、TOER の EB4 ビット、および TIOR4 の IOB2〜IOB0 ビットによる ITU チャネル 4 の設定、NDERB の NDER11 ビット、および PBDDR の PB_3DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><th>ITU チャネル 4 の設定</th><th>下表（1）</th><th colspan="3">下表（2）</th></tr>
<tr><td>PB_3DDR</td><td>－</td><td>0</td><td>1</td><td>1</td></tr>
<tr><td>NDER11</td><td>－</td><td>－</td><td>0</td><td>1</td></tr>
<tr><td rowspan="2">端子機能</td><td rowspan="2">$TIOCB_4$出力</td><td>PB_3入力</td><td>PB_3出力</td><td>TP_{11}出力</td></tr>
<tr><td colspan="3">$TIOCB_4$入力*</td></tr>
</table>
【注】 * CMD1＝PWM4＝0、かつ IOB2＝1 の場合に $TIOCB_4$入力となります。
<table>
<tr><th>ITU チャネル 4 の設定</th><th>（2）</th><th>（2）</th><th colspan="2">（1）</th><th>（2）</th><th>（1）</th></tr>
<tr><td>EB4</td><td>0</td><td colspan="5">1</td></tr>
<tr><td>CMD1</td><td>－</td><td colspan="4">0</td><td>1</td></tr>
<tr><td>IOB2</td><td>－</td><td>0</td><td>0</td><td>0</td><td>1</td><td>－</td></tr>
<tr><td>IOB1</td><td>－</td><td>0</td><td>0</td><td>1</td><td>－</td><td>－</td></tr>
<tr><td>IOB0</td><td>－</td><td>0</td><td>1</td><td>－</td><td>－</td><td>－</td></tr>
</table></td></tr>
</table>

表 9.21 ポート B の端子機能（3）

<table>
<tr><th>端 子</th><th>選択方法と端子機能</th></tr>
<tr><td>PB_2/TP_{10}
/$TIOCA_4$</td><td>TFCR の CMD1 ビット、TOER の EA4 ビット、TMDR の PWM4 ビット、および TIOR4 の IOA2〜IOA0 ビットによる ITU チャネル 4 の設定、NDERB の NDER10 ビット、および PBDDR の PB_2DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><th>ITU チャネル 4 の設定</th><th>下表（1）</th><th colspan="3">下表（2）</th></tr>
<tr><td>PB_2DDR</td><td>－</td><td>0</td><td>1</td><td>1</td></tr>
<tr><td>NDER10</td><td>－</td><td>－</td><td>0</td><td>1</td></tr>
<tr><td rowspan="2">端子機能</td><td rowspan="2">$TIOCA_4$ 出力</td><td>PB_2 入力</td><td>PB_2 出力</td><td>TP_{10} 出力</td></tr>
<tr><td colspan="3">$TIOCA_4$ 入力*</td></tr>
</table>
【注】 * CMD1＝PWM4＝0、IOA2＝1 の場合に $TIOCA_4$ 入力となります。
<table>
<tr><th>ITU チャネル 4 の設定</th><th>（2）</th><th>（2）</th><th colspan="2">（1）</th><th>（2）</th><th colspan="2">（1）</th></tr>
<tr><td>EA4</td><td>0</td><td colspan="6">1</td></tr>
<tr><td>CMD1</td><td>－</td><td colspan="5">0</td><td>1</td></tr>
<tr><td>PWM4</td><td>－</td><td colspan="4">0</td><td>1</td><td>－</td></tr>
<tr><td>IOA2</td><td>－</td><td>0</td><td>0</td><td>0</td><td>1</td><td>－</td><td>－</td></tr>
<tr><td>IOA1</td><td>－</td><td>0</td><td>0</td><td>1</td><td>－</td><td>－</td><td>－</td></tr>
<tr><td>IOA0</td><td>－</td><td>0</td><td>1</td><td>－</td><td>－</td><td>－</td><td>－</td></tr>
</table>
</td></tr>
<tr><td>PB_1/TP_9
/$TIOCB_3$</td><td>TMDR の PWM3 ビット、TFCR の CMD1 ビット、TOER の EB3 ビット、および TIOR3 の IOB2〜IOB0 ビットによる ITU チャネル 3 の設定、NDERB の NDER9 ビット、および PBDDR の PB_1DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><th>ITU チャネル 3 の設定</th><th>下表（1）</th><th colspan="3">下表（2）</th></tr>
<tr><td>PB_1DDR</td><td>－</td><td>0</td><td>1</td><td>1</td></tr>
<tr><td>NDER9</td><td>－</td><td>－</td><td>0</td><td>1</td></tr>
<tr><td rowspan="2">端子機能</td><td rowspan="2">$TIOCB_3$ 出力</td><td>PB_1 入力</td><td>PB_1 出力</td><td>TP_9 出力</td></tr>
<tr><td colspan="3">$TIOCB_3$ 入力*</td></tr>
</table>
【注】 * CMD1＝PWM3＝0、IOB2＝1 の場合に $TIOCB_3$ 入力となります。
<table>
<tr><th>ITU チャネル 3 の設定</th><th>（2）</th><th>（2）</th><th colspan="2">（1）</th><th>（2）</th><th>（1）</th></tr>
<tr><td>EB3</td><td>0</td><td colspan="6">1</td></tr>
<tr><td>CMD1</td><td>－</td><td colspan="5">0</td><td>1</td></tr>
<tr><td>IOB2</td><td>－</td><td>0</td><td>0</td><td>0</td><td>1</td><td>－</td></tr>
<tr><td>IOB1</td><td>－</td><td>0</td><td>0</td><td>1</td><td>－</td><td>－</td></tr>
<tr><td>IOB0</td><td>－</td><td>0</td><td>1</td><td>－</td><td>—</td><td>－</td></tr>
</table>
</td></tr>
</table>

表 9.21　ポート B の端子機能（4）

<table>
<tr><th>端　子</th><th>選択方法と端子機能</th></tr>
<tr><td>PB_0/TP_8
/$TIOCA_3$</td><td>TFCR の CMD1 ビット、TOER の EA3 ビット、TMDR の PWM3 ビット、および TIOR3 の IOA2〜IOA0 ビットによる ITU チャネル 3 の設定、NDERB の NDER8 ビット、および PBDDR の PB_0DDR ビットの組み合わせにより、次のように切り換わります。
<table>
<tr><th>ITU チャネル 3 の設定</th><th>下表（1）</th><th colspan="3">下表（2）</th></tr>
<tr><td>PB_0DDR</td><td>－</td><td>0</td><td>1</td><td>1</td></tr>
<tr><td>NDER8</td><td>－</td><td>－</td><td>0</td><td>1</td></tr>
<tr><td rowspan="2">端子機能</td><td rowspan="2">$TIOCA_3$ 出力</td><td>PB_0 入力</td><td>PB_0 出力</td><td>TP_8 出力</td></tr>
<tr><td colspan="3">$TIOCA_3$ 入力*</td></tr>
</table>
【注】 *　CMD1＝PWM3＝0、IOA2＝1 の場合に $TIOCA_3$ 入力となります。
<table>
<tr><th>ITU チャネル 3 の設定</th><th>（2）</th><th>（2）</th><th colspan="2">（1）</th><th>（2）</th><th colspan="2">（1）</th></tr>
<tr><td>EA3</td><td>0</td><td colspan="6">1</td></tr>
<tr><td>CMD1</td><td>－</td><td colspan="5">0</td><td>1</td></tr>
<tr><td>PWM3</td><td>－</td><td colspan="4">0</td><td>1</td><td>－</td></tr>
<tr><td>IOA2</td><td>－</td><td>0</td><td>0</td><td>0</td><td>1</td><td>－</td><td>－</td></tr>
<tr><td>IOA1</td><td>－</td><td>0</td><td>0</td><td>1</td><td>－</td><td>－</td><td>－</td></tr>
<tr><td>IOA0</td><td>－</td><td>0</td><td>1</td><td>－</td><td>－</td><td>－</td><td>－</td></tr>
</table>
</td></tr>
</table>

10. 16 ビットインテグレーテッドタイマユニット（ITU）

10.1 概要

本 LSI は、5 チャネルの 16 ビットタイマにより構成される 16 ビットインテグレーテッドタイマユニット（ITU）を内蔵しています。

消費電流低減のため ITU を使用しない場合には、ITU を単独に停止することができます。詳細は「22.6 **モジュールスタンバイ機能**」を参照してください。

10.1.1 特長

ITU の特長を以下に示します。

- 最大 12 種類のパルス出力、または最大 10 種類のパルス入力処理が可能
- 各チャネル 2 本、合計 10 本のジェネラルレジスタ（GR）を持ち、各レジスタ独立にアウトプットコンペア／インプットキャプチャの機能設定が可能
- 各チャネルとも 8 種類のカウンタ入力クロックを選択可能
  内部クロック：φ、φ／2、φ／4、φ／8
  外部クロック：TCLKA、TCLKB、TCLKC、TCLKD
- 各チャネルとも次の動作モードを設定可能
  - コンペアマッチによる波形出力：
    0出力／1出力／トグル出力が選択可能（チャネル2は0出力／1出力が可能）
  - インプットキャプチャ機能：
    立上がりエッジ／立下がりエッジ／両エッジ検出が選択可能
  - カウンタクリア機能：
    コンペアマッチ／インプットキャプチャによるカウンタクリアが可能
  - 同期動作：
    複数のタイマカウンタ（TCNT）への同時書込みが可能
    コンペアマッチ／インプットキャプチャによる同時クリアが可能
    カウンタの同期動作による各レジスタの同期入出力が可能
  - PWM モード：
    任意デューティのPWM出力が可能
    同期動作と組み合わせることにより、最大5相のPWM出力が可能
- チャネル 2 は位相計数モードを設定可能
  2相エンコーダのカウント数の自動計測が可能
- チャネル 3、4 は次の動作モードを設定可能
  - リセット同期 PWM モード：
    チャネル3、4を組み合わせることにより、正相・逆相のPWM波形を3相出力可能
  - 相補 PWM モード：
    チャネル3、4を組み合わせることにより、正相・逆相がノンオーバラップの関係にあるPWM波形を3相出力可能
  - バッファ動作：
    インプットキャプチャレジスタのダブルバッファ構成が可能

アウトプットコンペアレジスタの自動書き換えが可能

- 内部 16 ビットバスによる高速アクセス
  TCNT、GR、およびバッファレジスタ（BR）の16ビットレジスタに対して、16ビットバスによる高速アクセスが可能
- 15 種類の割込み要因
  各チャネルともコンペアマッチ／インプットキャプチャ兼用割込み×2要因、オーバフロー割込み×1要因があり、それぞれ独立に要求可能
- DMA コントローラ（DMAC）の起動が可能
  チャネル0～3のコンペアマッチ／インプットキャプチャ兼用割込み（1本×4チャネル）により、DMACの起動が可能
- プログラマブルパターンコントローラ（TPC）の出力トリガを生成可能
  チャネル0～3のコンペアマッチ／インプットキャプチャ信号をTPCの出力トリガとして使用可能

ITU の機能一覧を**表** 10.1 に示します。

表 10.1　ITU の機能一覧

項　目		チャネル 0	チャネル 1	チャネル 2	チャネル 3	チャネル 4
カウントクロック		内部クロック：φ、φ/2、φ/4、φ/8 外部クロック：TCLKA、TCLKB、TCLKC、TCLKD から独立に選択可能				
ジェネラルレジスタ（アウトプットコンペア／インプットキャプチャ兼用レジスタ）		GRA0、GRB0	GRA1、GRB1	GRA2、GRB2	GRA3、GRB3	GRA4、GRB4
バッファレジスタ		－	－	－	BRA3、BRB3	BRA4、BRB4
入出力端子		TIOCA0、TIOCB0	TIOCA1、TIOCB1	TIOCA2、TIOCB2	TIOCA3、TIOCB3	TIOCA4、TIOCB4
出力端子		－	－	－	－	TOCXA4、TOCXB4
カウンタクリア機能		GRA0/GRB0 のコンペアマッチまたはインプットキャプチャ	GRA1/GRB1 のコンペアマッチまたはインプットキャプチャ	GRA2/GRB2 のコンペアマッチまたはインプットキャプチャ	GRA3/GRB3 のコンペアマッチまたはインプットキャプチャ	GRA4/GRB4 のコンペアマッチまたはインプットキャプチャ
コンペアマッチ出力	0 出力	○	○	○	○	○
	1 出力	○	○	○	○	○
	トグル出力	○	○	－	○	○
インプットキャプチャ機能		○	○	○	○	○
同期動作		○	○	○	○	○
PWM モード		○	○	○	○	○
リセット同期 PWM モード		－	－	－	○	
相補 PWM モード		－	－	－	○	
位相計数モード		－	－	○	－	－
バッファ動作		－	－	－	○	○
DMAC の起動		GRA0 のコンペアマッチまたはインプットキャプチャ	GRA1 のコンペアマッチまたはインプットキャプチャ	GRA2 のコンペアマッチまたはインプットキャプチャ	GRA3 のコンペアマッチまたはインプットキャプチャ	－
割込み要因		3 要因 ・コンペアマッチ／インプットキャプチャ A0 ・コンペアマッチ／インプットキャプチャ B0 ・オーバフロー	3 要因 ・コンペアマッチ／インプットキャプチャ A1 ・コンペアマッチ／インプットキャプチャ B1 ・オーバフロー	3 要因 ・コンペアマッチ／インプットキャプチャ A2 ・コンペアマッチ／インプットキャプチャ B2 ・オーバフロー	3 要因 ・コンペアマッチ／インプットキャプチャ A3 ・コンペアマッチ／インプットキャプチャ B3 ・オーバフロー	3 要因 ・コンペアマッチ／インプットキャプチャ A4 ・コンペアマッチ／インプットキャプチャ B4 ・オーバフロー

【記号説明】
○：可能
－：不可

10.1.2　ブロック図

(1)　ITU のブロック図（全体図）

ITU のブロック図（全体図）を**図** 10.1 に示します。

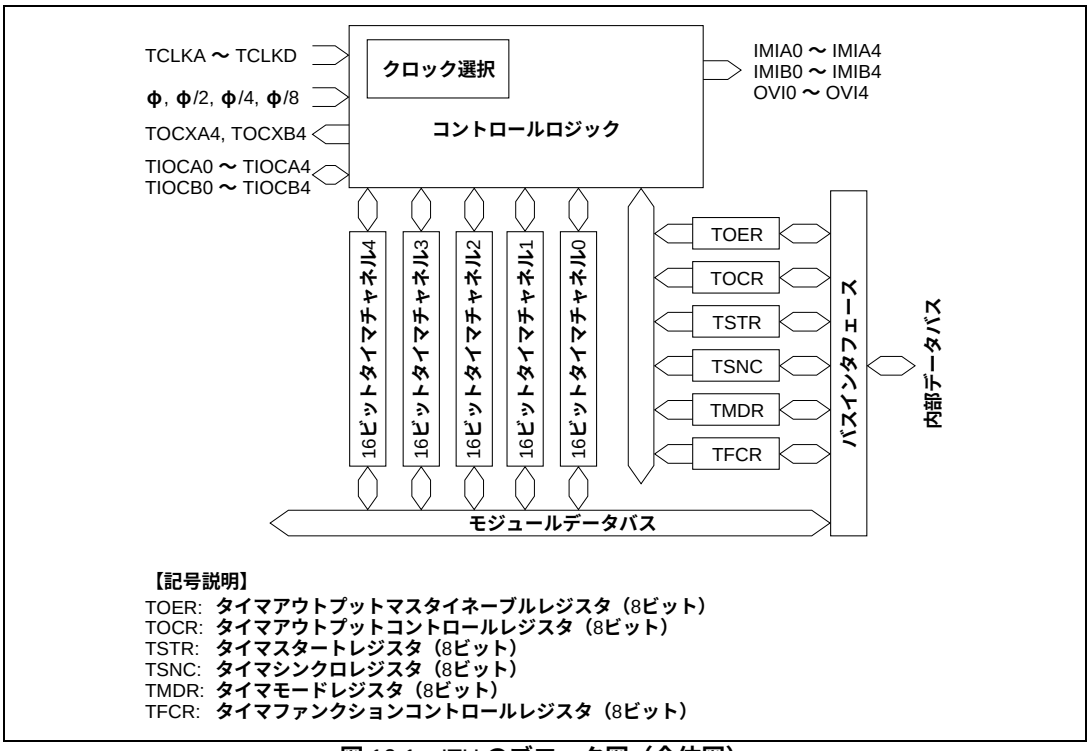
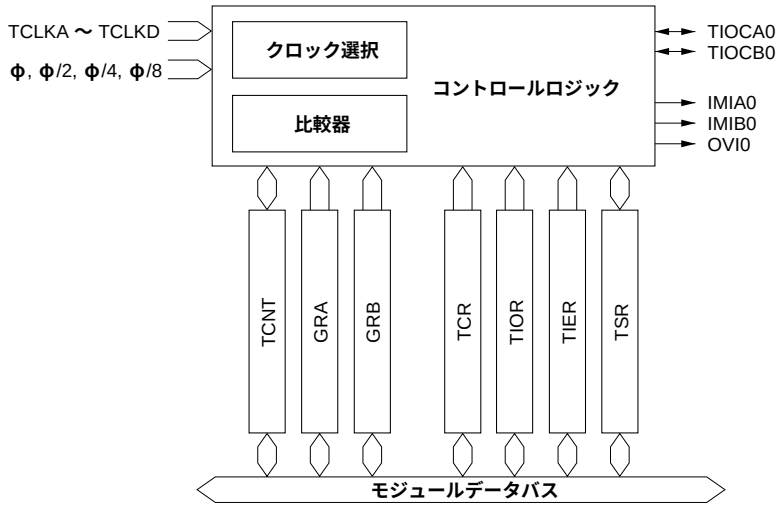


図 10.1　ITU **のブロック図（全体図）**

(2)　　チャネル 0、1 のブロック図

ITU のチャネル 0、1 は同一の機能をもっています。チャネル 0、1 のブロック図を**図** 10.2 に示します。



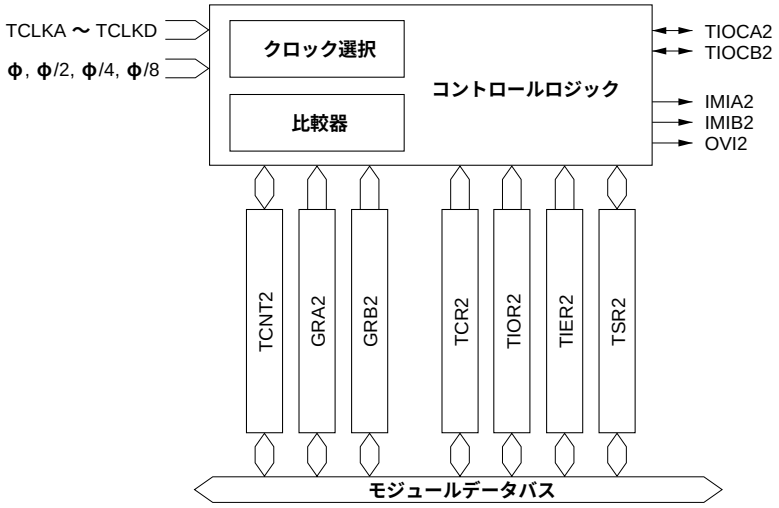
【記号説明】

TCNT:	タイマカウンタ（16ビット）
GRA, GRB:	ジェネラルレジスタA、B（インプットキャプチャ／アウトプットコンペア兼用レジスタ）（16ビット×2）
TCR:	タイマコントロールレジスタ（8ビット）
TIOR:	タイマI/Oコントロールレジスタ（8ビット）
TIER:	タイマインタラプトイネーブルレジスタ（8ビット）
TSR:	タイマステータスレジスタ（8ビット）

図 10.2　**チャネル** 0、1 **のブロック図（チャネル** 0 **の場合）**

(3)　チャネル 2 のブロック図

チャネル 2 のブロック図を**図** 10.3 に示します。チャネル 2 は 0 出力、1 出力のみ可能です。



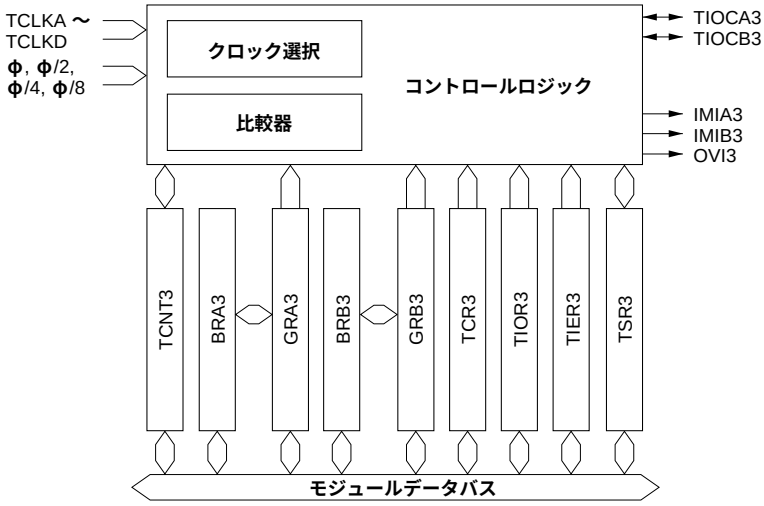
【記号説明】

TCNT2:	タイマカウンタ2（16ビット）
GRA2, GRB2:	ジェネラルレジスタA2、B2（インプットキャプチャ／アウトプットコンペア兼用レジスタ）（16ビット×2）
TCR2:	タイマコントロールレジスタ2（8ビット）
TIOR2:	タイマI/Oコントロールレジスタ2（8ビット）
TIER2:	タイマインタラプトイネーブルレジスタ2（8ビット）
TSR2:	タイマステータスレジスタ2（8ビット）

図 10.3　**チャネル** 2 **のブロック図**

(4)　チャネル 3、4 のブロック図

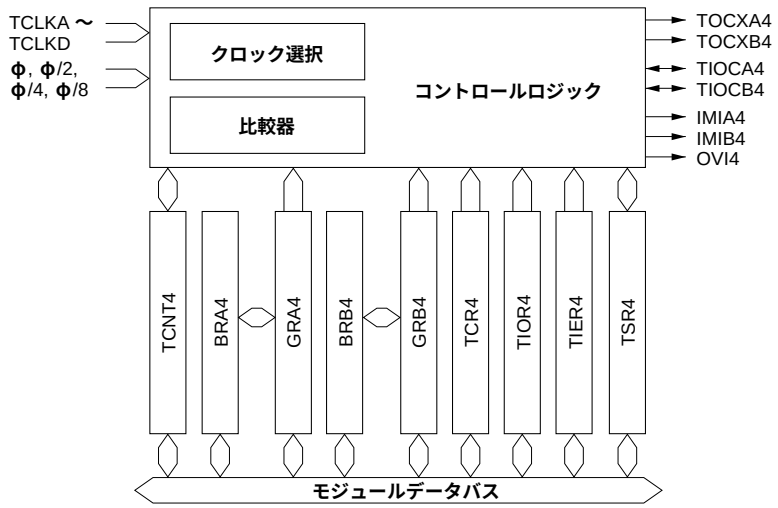
チャネル 3 のブロック図を**図** 10.4、チャネル 4 のブロック図を**図** 10.5 に示します。



【記号説明】

TCNT3:	タイマカウンタ3（16ビット）
GRA3, GRB3:	ジェネラルレジスタA3、B3（インプットキャプチャ／アウトプットコンペア兼用レジスタ）（16ビット×2）
BRA3, BRB3:	バッファレジスタA3、B3（インプットキャプチャ／アウトプットコンペア兼用バッファレジスタ）（16ビット×2）
TCR3:	タイマコントロールレジスタ3（8ビット）
TIOR3:	タイマI/Oコントロールレジスタ3（8ビット）
TIER3:	タイマインタラプトイネーブルレジスタ3（8ビット）
TSR3:	タイマステータスレジスタ3（8ビット）

図 10.4　**チャネル** 3 **のブロック図**



【記号説明】

TCNT4:	タイマカウンタ4（16ビット）
GRA4, GRB4:	ジェネラルレジスタA4、B4（インプットキャプチャ／アウトプットコンペア兼用レジスタ）（16ビット×2）
BRA4, BRB4:	バッファレジスタA4、B4（インプットキャプチャ／アウトプットコンペア兼用バッファレジスタ）（16ビット×2）
TCR4:	タイマコントロールレジスタ4（8ビット）
TIOR4:	タイマI/Oコントロールレジスタ4（8ビット）
TIER4:	タイマインタラプトイネーブルレジスタ4（8ビット）
TSR4:	タイマステータスレジスタ4（8ビット）

図 10.5　チャネル 4 のブロック図

10.1.3　端子構成

ITU の端子構成を表 10.2 に示します。

表 10.2　端子構成

チャネル	名　称	略　称	入出力	機　能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子 （位相計数モード時 A 相入力端子）
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子 （位相計数モード時 B 相入力端子）
	クロック入力 C	TCLKC	入力	外部クロック C 入力端子
	クロック入力 D	TCLKD	入力	外部クロック D 入力端子
0	インプットキャプチャ／アウトプットコンペア A0	TIOCA0	入出力	GRA0 アウトプットコンペア出力／GRA0 インプットキャプチャ入力／PWM 出力端子（PWM モード時）
	インプットキャプチャ／アウトプットコンペア B0	TIOCB0	入出力	GRB0 アウトプットコンペア出力／GRB0 インプットキャプチャ入力端子
1	インプットキャプチャ／アウトプットコンペア A1	TIOCA1	入出力	GRA1 アウトプットコンペア出力／GRA1 インプットキャプチャ入力／PWM 出力端子（PWM モード時）
	インプットキャプチャ／アウトプットコンペア B1	TIOCB1	入出力	GRB1 アウトプットコンペア出力／GRB1 インプットキャプチャ入力端子
2	インプットキャプチャ／アウトプットコンペア A2	TIOCA2	入出力	GRA2 アウトプットコンペア出力／GRA2 インプットキャプチャ入力／PWM 出力端子（PWM モード時）
	インプットキャプチャ／アウトプットコンペア B2	TIOCB2	入出力	GRB2 アウトプットコンペア出力／GRB2 インプットキャプチャ入力端子
3	インプットキャプチャ／アウトプットコンペア A3	TIOCA3	入出力	GRA3 アウトプットコンペア出力／GRA3 インプットキャプチャ入力／PWM 出力端子（PWM モード／相補 PWM モード／リセット同期 PWM モード時）
	インプットキャプチャ／アウトプットコンペア B3	TIOCB3	入出力	GRB3 アウトプットコンペア出力／GRB3 インプットキャプチャ入力／PWM 出力端子（相補 PWM モード／リセット同期 PWM モード時）
4	インプットキャプチャ／アウトプットコンペア A4	TIOCA4	入出力	GRA4 アウトプットコンペア出力／GRA4 インプットキャプチャ入力／PWM 出力端子（PWM モード／相補 PWM モード／リセット同期 PWM モード時）
	インプットキャプチャ／アウトプットコンペア B4	TIOCB4	入出力	GRB4 アウトプットコンペア出力／GRB4 インプットキャプチャ入力／PWM 出力端子（相補 PWM モード／リセット同期 PWM モード時）
	アウトプットコンペア XA4	TOCXA4	出力	PWM 出力端子（相補 PWM モード／リセット同期 PWM モード時）
	アウトプットコンペア XB4	TOCXB4	出力	PWM 出力端子（相補 PWM モード／リセット同期 PWM モード時）

10.1.4　レジスタ構成

ITU のレジスタ構成を**表** 10.3 に示します。

表 10.3　**レジスタ構成**

チャネル	アドレス*1	名　称	略　称	R/W	初期値
共通	H'FF60	タイマスタートレジスタ	TSTR	R/W	H'E0
	H'FF61	タイマシンクロレジスタ	TSNC	R/W	H'E0
	H'FF62	タイマモードレジスタ	TMDR	R/W	H'80
	H'FF63	タイマファンクションコントロールレジスタ	TFCR	R/W	H'C0
	H'FF90	タイマアウトプットマスタイネーブルレジスタ	TOER	R/W	H'FF
	H'FF91	タイマアウトプットコントロールレジスタ	TOCR	R/W	H'FF
0	H'FF64	タイマコントロールレジスタ 0	TCR0	R/W	H'80
	H'FF65	タイマ I/O コントロールレジスタ 0	TIOR0	R/W	H'88
	H'FF66	タイマインタラプトイネーブルレジスタ 0	TIER0	R/W	H'F8
	H'FF67	タイマステータスレジスタ 0	TSR0	R/(W)*2	H'F8
	H'FF68	タイマカウンタ 0H	TCNT0H	R/W	H'00
	H'FF69	タイマカウンタ 0L	TCNT0L	R/W	H'00
	H'FF6A	ジェネラルレジスタ A0H	GRA0H	R/W	H'FF
	H'FF6B	ジェネラルレジスタ A0L	GRA0L	R/W	H'FF
	H'FF6C	ジェネラルレジスタ B0H	GRB0H	R/W	H'FF
	H'FF6D	ジェネラルレジスタ B0L	GRB0L	R/W	H'FF
1	H'FF6E	タイマコントロールレジスタ 1	TCR1	R/W	H'80
	H'FF6F	タイマ I/O コントロールレジスタ 1	TIOR1	R/W	H'88
	H'FF70	タイマインタラプトイネーブルレジスタ 1	TIER1	R/W	H'F8
	H'FF71	タイマステータスレジスタ 1	TSR1	R/(W)*2	H'F8
	H'FF72	タイマカウンタ 1H	TCNT1H	R/W	H'00
	H'FF73	タイマカウンタ 1L	TCNT1L	R/W	H'00
	H'FF74	ジェネラルレジスタ A1H	GRA1H	R/W	H'FF
	H'FF75	ジェネラルレジスタ A1L	GRA1L	R/W	H'FF
	H'FF76	ジェネラルレジスタ B1H	GRB1H	R/W	H'FF
	H'FF77	ジェネラルレジスタ B1L	GRB1L	R/W	H'FF
2	H'FF78	タイマコントロールレジスタ 2	TCR2	R/W	H'80
	H'FF79	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'88
	H'FF7A	タイマインタラプトイネーブルレジスタ 2	TIER2	R/W	H'F8
	H'FF7B	タイマステータスレジスタ 2	TSR2	R/(W)*2	H'F8
	H'FF7C	タイマカウンタ 2H	TCNT2H	R/W	H'00
	H'FF7D	タイマカウンタ 2L	TCNT2L	R/W	H'00
	H'FF7E	ジェネラルレジスタ A2H	GRA2H	R/W	H'FF
	H'FF7F	ジェネラルレジスタ A2L	GRA2L	R/W	H'FF
	H'FF80	ジェネラルレジスタ B2H	GRB2H	R/W	H'FF
	H'FF81	ジェネラルレジスタ B2L	GRB2L	R/W	H'FF

チャネル	アドレス*1	名　称	略　称	R/W	初期値
3	H'FF82	タイマコントロールレジスタ 3	TCR3	R/W	H'80
	H'FF83	タイマ I/O コントロールレジスタ 3	TIOR3	R/W	H'88
	H'FF84	タイマインタラプトイネーブルレジスタ 3	TIER3	R/W	H'F8
	H'FF85	タイマステータスレジスタ 3	TSR3	R/(W)*2	H'F8
	H'FF86	タイマカウンタ 3H	TCNT3H	R/W	H'00
	H'FF87	タイマカウンタ 3L	TCNT3L	R/W	H'00
	H'FF88	ジェネラルレジスタ A3H	GRA3H	R/W	H'FF
	H'FF89	ジェネラルレジスタ A3L	GRA3L	R/W	H'FF
	H'FF8A	ジェネラルレジスタ B3H	GRB3H	R/W	H'FF
	H'FF8B	ジェネラルレジスタ B3L	GRB3L	R/W	H'FF
	H'FF8C	バッファレジスタ A3H	BRA3H	R/W	H'FF
	H'FF8D	バッファレジスタ A3L	BRA3L	R/W	H'FF
	H'FF8E	バッファレジスタ B3H	BRB3H	R/W	H'FF
	H'FF8F	バッファレジスタ B3L	BRB3L	R/W	H'FF
4	H'FF92	タイマコントロールレジスタ 4	TCR4	R/W	H'80
	H'FF93	タイマ I/O コントロールレジスタ 4	TIOR4	R/W	H'88
	H'FF94	タイマインタラプトイネーブルレジスタ 4	TIER4	R/W	H'F8
	H'FF95	タイマステータスレジスタ 4	TSR4	R/(W)*2	H'F8
	H'FF96	タイマカウンタ 4H	TCNT4H	R/W	H'00
	H'FF97	タイマカウンタ 4L	TCNT4L	R/W	H'00
	H'FF98	ジェネラルレジスタ A4H	GRA4H	R/W	H'FF
	H'FF99	ジェネラルレジスタ A4L	GRA4L	R/W	H'FF
	H'FF9A	ジェネラルレジスタ B4H	GRB4H	R/W	H'FF
	H'FF9B	ジェネラルレジスタ B4L	GRB4L	R/W	H'FF
	H'FF9C	バッファレジスタ A4H	BRA4H	R/W	H'FF
	H'FF9D	バッファレジスタ A4L	BRA4L	R/W	H'FF
	H'FF9E	バッファレジスタ B4H	BRB4H	R/W	H'FF
	H'FF9F	バッファレジスタ B4L	BRB4L	R/W	H'FF

【注】 *1　アドレスの下位 16 ビットを示しています。
*2　フラグをクリアするための 0 ライトのみ可能です。

10.2　各レジスタの説明

10.2.1　タイマスタートレジスタ（TSTR）

TSTR は 8 ビットのリード／ライト可能なレジスタで、チャネル 0〜4 の TCNT の動作／停止を選択します。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	STR4	STR3	STR2	STR1	STR0
初期値：	1	1	1	0	0	0	0	0
R/W　：	—	—	—	R/W	R/W	R/W	R/W	R/W

リザーブビット

カウンタスタート4〜0
TCNT4〜TCNT0**の動作／停止を選択するビットです。**

TSTR はリセット、またはスタンバイモード時に、H'E0 にイニシャライズされます。

ビット 7〜5**：リザーブビット**

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 4**：カウンタスタート** 4（STR4）

タイマカウンタ 4（TCNT4）の動作／停止を選択します。

ビット 4	説　明
STR4	
0	TCNT4 **のカウント動作は停止**　（初期値）
1	TCNT4 **はカウント動作**

ビット 3**：カウンタスタート** 3（STR3）

タイマカウンタ 3（TCNT3）の動作／停止を選択します。

ビット 3	説　明
STR3	
0	TCNT3 **のカウント動作は停止**　（初期値）
1	TCNT3 **はカウント動作**

ビット 2**：カウンタスタート** 2（STR2）

タイマカウンタ 2（TCNT2）の動作／停止を選択します。

ビット 2	説　明
STR2	
0	TCNT2 **のカウント動作は停止**　（初期値）
1	TCNT2 **はカウント動作**

ビット 1：カウンタスタート 1（STR1）

タイマカウンタ 1（TCNT1）の動作／停止を選択します。

ビット 1	説　明
STR1	
0	TCNT1 のカウント動作は停止　（初期値）
1	TCNT1 はカウント動作

ビット 0：カウンタスタート 0（STR0）

タイマカウンタ 0（TCNT0）の動作／停止を選択します。

ビット 0	説　明
STR0	
0	TCNT0 のカウント動作は停止　（初期値）
1	TCNT0 はカウント動作

10.2.2　タイマシンクロレジスタ（TSNC）

TSNC は 8 ビットのリード／ライト可能なレジスタで、チャネル 0～4 の独立動作／同期動作を選択します。対応するビットを 1 にセットしたチャネルが同期動作を行います。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値：	1	1	1	0	0	0	0	0
R/W ：	—	—	—	R/W	R/W	R/W	R/W	R/W

リザーブビット

タイマ同期4～0
チャネル4～0の同期動作を
設定するビットです。

TSNC はリセット、またはスタンバイモード時に、H'E0 にイニシャライズされます。

ビット 7～5：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 4：タイマ同期 4（SYNC4）

チャネル 4 の独立動作／同期動作を選択します。

ビット 4	説　明
SYNC4	
0	チャネル 4 のタイマカウンタ（TCNT4）は独立動作（TCNT4 のプリセット／クリアは他チャネルと無関係）　（初期値）
1	チャネル 4 は同期動作 TCNT4 の同期プリセット／同期クリアが可能

ビット 3：タイマ同期 3（SYNC3）

チャネル 3 の独立動作／同期動作を選択します。

ビット 3 SYNC3	説　明
0	チャネル 3 のタイマカウンタ（TCNT3）は独立動作（TCNT3 のプリセット／クリアは他チャネルと無関係）（初期値）
1	チャネル 3 は同期動作 TCNT3 の同期プリセット／同期クリアが可能

ビット 2：タイマ同期 2（SYNC2）

チャネル 2 の独立動作／同期動作を選択します。

ビット 2 SYNC2	説　明
0	チャネル 2 のタイマカウンタ（TCNT2）は独立動作（TCNT2 のプリセット／クリアは他チャネルと無関係）（初期値）
1	チャネル 2 は同期動作 TCNT2 の同期プリセット／同期クリアが可能

ビット 1：タイマ同期 1（SYNC1）

チャネル 1 の独立動作／同期動作を選択します。

ビット 1 SYNC1	説　明
0	チャネル 1 のタイマカウンタ（TCNT1）は独立動作（TCNT1 のプリセット／クリアは他チャネルと無関係）（初期値）
1	チャネル 1 は同期動作 TCNT1 の同期プリセット／同期クリアが可能

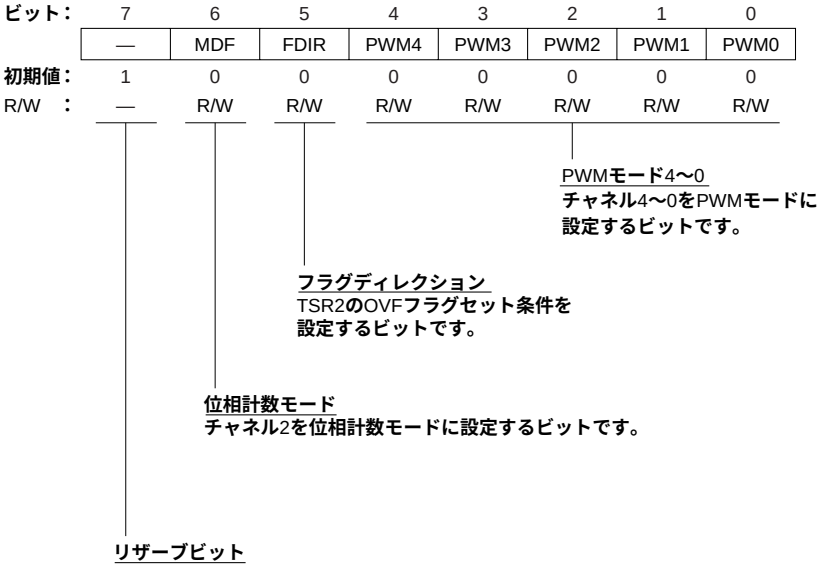
ビット 0：タイマ同期 0（SYNC0）

チャネル 0 の独立動作／同期動作を選択します。

ビット 0 SYNC0	説　明
0	チャネル 0 のタイマカウンタ（TCNT0）は独立動作（TCNT0 のプリセット／クリアは他チャネルと無関係）（初期値）
1	チャネル 0 は同期動作 TCNT0 の同期プリセット／同期クリアが可能

10.2.3　タイマモードレジスタ（TMDR）

TMDR は 8 ビットのリード／ライト可能なレジスタで、チャネル 0～4 の PWM モードの設定、チャネル 2 の位相計数モードの設定およびオーバフローフラグ（OVF）のセット条件の設定を行います。



TMDR はリセット、またはスタンバイモード時に、H'80 にイニシャライズされます。

ビット 7：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6：位相計数モード（MDF）

チャネル 2 を通常動作させるか、位相計数モードで動作させるかを選択します。

ビット 6 MDF	説　明
0	チャネル 2 は通常動作　（初期値）
1	チャネル 2 は位相計数モード

MDF ビットを 1 にセットして位相計数モードにすると、TCNT2 はアップ／ダウンカウンタ、TCLKA、TCLKB 端子がカウントクロック入力端子となります。TCNT2 は TCLKA、TCLKB 端子の立上がり（↑）／立下がり（↓）の両エッジでカウントされ、カウントアップ／ダウン方向は次のようになります。

カウント方向	カウントダウン				カウントアップ			
TCLKA 端子	↑	High	↓	Low	↑	Low	↓	High
TCLKB 端子	Low	↑	High	↓	High	↑	Low	↓

位相計数モードでは、TCR2 の CKEG1、CKEG0 ビットによる外部クロックエッジの選択、およ

び TPSC2～TPSC0 ビットによるカウンタクロックの選択は無効となり、上記の位相計数モードの動作が優先されます。

ただし、TCR2 の CCLR1、CCLR0 ビットによるカウンタクリア条件の設定、TIOR2、TIER2、TSR2 のコンペアマッチ／インプットキャプチャ機能と割込みの設定は位相計数モードでも有効です。

ビット 5：フラグディレクション（FDIR）

TSR2 の OVF フラグのセット条件を設定します。本ビットの設定は、チャネル 2 がいずれのモードで動作していても有効となります。

ビット 5 FDIR	説　明
0	TSR2 の OVF フラグは、TCNT2 がオーバフローまたはアンダフローしたときに 1 にセット（初期値）
1	TSR2 の OVF フラグは、TCNT2 がオーバフローしたときに 1 にセット

ビット 4：PWM モード 4（PWM4）

チャネル 4 を通常動作させるか、PWM モードで動作させるかを選択します。

ビット 4 PWM4	説　明
0	チャネル 4 は通常動作（初期値）
1	チャネル 4 は PWM モード

PWM4 を 1 にセットして PWM モードにすると、TIOCA4 端子は PWM 出力端子となり、GRA4 のコンペアマッチで 1 出力、GRB4 のコンペアマッチで 0 出力となります。

TFCR の CMD1、CMD0 ビットにより相補 PWM モードまたはリセット同期 PWM モードが設定されているとき、本ビットの設定は無効となり、CMD1、CMD0 ビットの設定が優先されます。

ビット 3：PWM モード 3（PWM3）

チャネル 3 を通常動作させるか、PWM モードで動作させるかを選択します。

ビット 3 PWM3	説　明
0	チャネル 3 は通常動作（初期値）
1	チャネル 3 は PWM モード

PWM3 を 1 にセットして PWM モードにすると、TIOCA3 端子は PWM 出力端子となり、GRA3 のコンペアマッチで 1 出力、GRB3 のコンペアマッチで 0 出力となります。

TFCR の CMD1、CMD0 ビットにより相補 PWM モードまたはリセット同期 PWM モードが設定されているとき、本ビットの設定は無効となり、CMD1、CMD0 ビットの設定が優先されます。

ビット 2：PWM モード 2（PWM2）

チャネル 2 を通常動作させるか、PWM モードで動作させるかを選択します。

ビット 2	説　明
PWM2	
0	チャネル 2 は通常動作　（初期値）
1	チャネル 2 は PWM モード

PWM2 を 1 にセットして PWM モードにすると、TIOCA2 端子は PWM 出力端子となり、GRA2 のコンペアマッチで 1 出力、GRB2 のコンペアマッチで 0 出力となります。

ビット 1：PWM モード 1（PWM1）

チャネル 1 を通常動作させるか、PWM モードで動作させるかを選択します。

ビット 1	説　明
PWM1	
0	チャネル 1 は通常動作　（初期値）
1	チャネル 1 は PWM モード

PWM1 を 1 にセットして PWM モードに設定すると、TIOCA1 端子は PWM 出力端子となり、GRA1 のコンペアマッチで 1 出力、GRB1 のコンペアマッチで 0 出力となります。

ビット 0：PWM モード 0（PWM0）

チャネル 0 を通常動作させるか、PWM モードで動作させるかを選択します。

ビット 0	説　明
PWM0	
0	チャネル 0 は通常動作　（初期値）
1	チャネル 0 は PWM モード

PWM0 を 1 にセットして PWM モードに設定すると、TIOCA0 端子は PWM 出力端子となり、GRA0 のコンペアマッチで 1 出力、GRB0 のコンペアマッチで 0 出力となります。

10.2.4　タイマファンクションコントロールレジスタ（TFCR）

TFCR は 8 ビットのリード／ライト可能なレジスタで、チャネル 3、4 の相補 PWM モード／リセット同期 PWM モードの設定、およびバッファ動作の設定を行います。

ビット：	7	6	5	4	3	2	1	0
	—	—	CMD1	CMD0	BFB4	BFA4	BFB3	BFA3
初期値：	1	1	0	0	0	0	0	0
R/W　：	—	—	R/W	R/W	R/W	R/W	R/W	R/W

バッファ動作B3、A3
チャネル3のジェネラルレジスタ（GRB3、GRA3**）とバッファレジスタ（**BRB3、BRA3**）をバッファ動作に設定するビットです。**

バッファ動作B4、A4
チャネル4のジェネラルレジスタ（GRB4、GRA4**）とバッファレジスタ（**BRB4、BRA4**）をバッファ動作に設定するビットです。**

コンビネーションモード1、0
チャネル3、4**を組み合わせ、相補**PWM**モード／リセット同期**PWM**モードに設定するビットです。**

リザーブビット

TFCR はリセット、またはスタンバイモード時に、H'C0 にイニシャライズされます。

ビット 7、6：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5、4：コンビネーションモード 1、0（CMD1、CMD0）

チャネル 3、4 を通常動作させるか、相補 PWM モードまたはリセット同期 PWM モードで動作させるかを選択します。

ビット 5	ビット 4	説　明
CMD1	CMD0	
0	0	チャネル 3、4 は通常動作　（初期値）
	1	
1	0	チャネル 3、4 を組み合わせ、相補 PWM モードで動作
	1	チャネル 3、4 を組み合わせ、リセット同期 PWM モードで動作

相補 PWM モード、およびリセット同期 PWM モードの設定は、使用する TCNT を停止させた状態で行ってください。

本ビットにより、相補 PWM モードまたはリセット同期 PWM モードに設定した場合、TMDR の PWM4、PWM3 ビットによる PWM モードの設定より優先されます。なお、相補 PWM モード、リセット同期 PWM モードの設定と TSNC の SYNC4、SYNC3 ビットによる同期動作の設定は同時に有効となりますが、相補 PWM モードを設定したときは、チャネル 3 とチャネル 4 を同期動作に設

定（TSNC の SYNC4 ビットと SYNC3 ビットをともに 1 にセット）しないでください。

ビット 3：バッファ動作 B4（BFB4）

チャネル 4 の GRB4 を通常動作とするか、GRB4 と BRB4 を組み合わせてバッファ動作とするかを設定します。

ビット 3 BFB4	説　明
0	GRB4 は通常動作　（初期値）
1	GRB4 と BRB4 はバッファ動作

ビット 2：バッファ動作 A4（BFA4）

チャネル 4 の GRA4 を通常動作とするか、GRA4 と BRA4 を組み合わせてバッファ動作とするかを設定します。

ビット 2 BFA4	説　明
0	GRA4 は通常動作　（初期値）
1	GRA4 と BRA4 はバッファ動作

ビット 1：バッファ動作 B3（BFB3）

チャネル 3 の GRB3 を通常動作とするか、GRB3 と BRB3 を組み合わせてバッファ動作とするかを設定します。

ビット 1 BFB3	説　明
0	GRB3 は通常動作　（初期値）
1	GRB3 と BRB3 はバッファ動作

ビット 0：バッファ動作 A3（BFA3）

チャネル 3 の GRA3 を通常動作とするか、GRA3 と BRA3 を組み合わせてバッファ動作とするかを設定します。

ビット 0 BFA3	説　明
0	GRA3 は通常動作　（初期値）
1	GRA3 と BRA3 はバッファ動作

10.2.5　タイマアウトプットマスタイネーブルレジスタ（TOER）

TOER は、8 ビットのリード／ライト可能なレジスタで、チャネル 3、4 の出力設定を許可／禁止します。

ビット：	7	6	5	4	3	2	1	0
	—	—	EXB4	EXA4	EB3	EB4	EA4	EA3
初期値：	1	1	1	1	1	1	1	1
R/W ：	—	—	R/W	R/W	R/W	R/W	R/W	R/W

マスタイネーブルTIOCA3、TIOCB3、TIOCA4、TIOCB4
TIOCA3、TIOCB3、TIOCA4、TIOCB4**端子の出力設定を許可／禁止するビットです。**

マスタイネーブルTOCXA4、TOCXB4
TOCXA4、TOCXB4**端子の出力設定を許可／禁止するビットです。**

リザーブビット

TOER はリセット、またはスタンバイモード時に H'FF にイニシャライズされます。

ビット 7、6：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5：マスタイネーブル TOCXB4（EXB4）

TOCXB$_4$端子の ITU 出力を許可／禁止します。

ビット 5	説　明
EXB4	
0	TFCR **の設定にかかわらず** TOCXB$_4$**端子の出力は禁止（**TOCXB$_4$**端子は入出力ポートとして動作）** XTGD＝0 **の状態で、チャネル** 1 **のインプットキャプチャ** A **が発生したとき** 0 **にクリア**
1	TFCR **の設定に従い** TOCXB$_4$**端子の出力は許可**　**（初期値）**

ビット 4：マスタイネーブル TOCXA4（EXA4）

TOCXA$_4$ 端子の ITU 出力を許可／禁止します。

ビット 4	説　明
EXA4	
0	TFCR **の設定にかかわらず** TOCXA$_4$**端子の出力は禁止（**TOCXA$_4$**端子は入出力ポートとして動作）** XTGD＝0 **の状態で、チャネル** 1 **のインプットキャプチャ** A **が発生したとき** 0 **にクリア**
1	TFCR **の設定に従い** TOCXA$_4$**端子の出力は許可**　**（初期値）**

ビット 3：マスタイネーブル TIOCB3（EB3）

TIOCB$_3$端子の ITU 出力を許可／禁止します。

ビット 3	説　明
EB3	
0	TIOR3、TFCR の設定にかかわらず $TIOCB_3$ 端子の出力は禁止（$TIOCB_3$ 端子は出力ポートとして動作） XTGD＝0 の状態で、チャネル 1 のインプットキャプチャ A が発生したとき 0 にクリア
1	TIOR3、TFCR の設定に従い $TIOCB_3$ 端子の出力は許可　（初期値）

ビット 2：マスタイネーブル TIOCB4（EB4）

$TIOCB_4$ 端子の ITU 出力を許可／禁止します。

ビット 2	説　明
EB4	
0	TIOR4、TFCR の設定にかかわらず $TIOCB_4$ 端子の出力は禁止（$TIOCB_4$ 端子は入出力ポートとして動作） XTGD＝0 の状態で、チャネル 1 のインプットキャプチャ A が発生したとき 0 にクリア
1	TIOR4、TFCR の設定に従い $TIOCB_4$ 端子の出力は許可　（初期値）

ビット 1：マスタイネーブル TIOCA4（EA4）

$TIOCA_4$ 端子の ITU 出力を許可／禁止します。

ビット 1	説　明
EA4	
0	TIOR4、TMDR、TFCR の設定にかかわらず $TIOCA_4$ 端子の出力は禁止 （$TIOCA_4$ 端子は入出力ポートとして動作） XTGD＝0 の状態で、チャネル 1 のインプットキャプチャ A が発生したとき 0 にクリア
1	TIOR4、TMDR、TFCR の設定に従い $TIOCA_4$ 端子の出力は許可　（初期値）

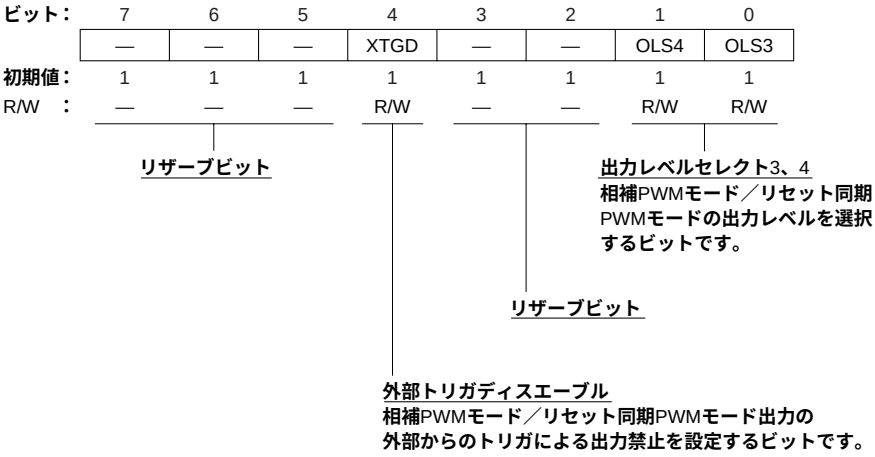
ビット 0：マスタイネーブル TIOCA3（EA3）

$TIOCA_3$ 端子の ITU 出力を許可／禁止します。

ビット 0	説　明
EA3	
0	TIOR3、TMDR、TFCR の設定にかかわらず $TIOCA_3$ 端子の出力は禁止 （$TIOCA_3$ 端子は入出力ポートとして動作） XTGD＝0 の状態で、チャネル 1 のインプットキャプチャ A が発生したとき 0 にクリア
1	TIOR3、TMDR、TFCR の設定に従い $TIOCA_3$ 端子の出力は許可　（初期値）

10.2.6　タイマアウトプットコントロールレジスタ（TOCR）

TOCR は、8 ビットのリード／ライト可能なレジスタで、相補 PWM モード／リセット同期 PWM モード出力の外部トリガによる禁止または出力レベル反転を行います。



XTGD、OLS4 および OLS3 ビットの設定は、リセット同期 PWM モードまたは相補 PWM モードを設定しているときのみ有効となります。他の出力状態では、これらのビットの設定は無効です。

TOCR はリセット、またはスタンバイモード時に H'FF にイニシャライズされます。

ビット 7〜5：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 4：外部トリガディスエーブル（XTGD）

リセット同期 PWM モード／相補 PWM モード時の ITU 出力の外部トリガによる禁止を設定します。

ビット 4 XTGD	説　明
0	リセット同期 PWM モード／相補 PWM モード時、チャネル 1 のインプットキャプチャ A 信号を外部トリガとして使用 外部トリガの発生時、TOER のビット 5〜0 が 0 にクリアされ、ITU 出力は禁止
1	外部トリガを禁止　（初期値）

ビット 3、2：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 1：出力レベルセレクト 4（OLS4）

リセット同期 PWM モード／相補 PWM モード出力のレベルを選択します。

ビット 1	説　明
OLS4	
0	$TIOCA_3$、$TIOCA_4$、$TIOCB_4$ は反転出力
1	$TIOCA_3$、$TIOCA_4$、$TIOCB_4$ は直接出力　（初期値）

ビット 0：出力レベルセレクト 3（OLS3）

リセット同期 PWM モード／相補 PWM モード出力のレベルを選択します。

ビット 0	説　明
OLS3	
0	$TIOCB_3$、$TOCXA_4$、$TOCXB_4$ は反転出力
1	$TIOCB_3$、$TOCXA_4$、$TOCXB_4$ は直接出力　（初期値）

10.2.7　タイマカウンタ（TCNT）

TCNT は 16 ビットのカウンタです。ITU には、各チャネル 1 本、計 5 本の TCNT があります。

チャネル	略　称	機　能
0	TCNT0	アップカウンタ
1	TCNT1	
2	TCNT2	位相計数モード：アップ／ダウンカウンタ 上記以外　：アップカウンタ
3	TCNT3	相補 PWM モード：アップ／ダウンカウンタ
4	TCNT4	上記以外　：アップカウンタ

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT は 16 ビットのリード／ライト可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックは、TCR の TPSC2～TPSC0 ビットにより選択します。

TCNT0、TCNT1 はアップカウント動作を行います。TCNT2 は位相計数モード時、また TCNT3、TCNT4 は相補 PWM モード時、アップ／ダウンカウント動作を行い、それ以外の場合はアップカウント動作します。

TCNT は、対応する GRA、GRB とのコンペアマッチ、または GRA、GRB へのインプットキャプチャにより H'0000 にクリアすることができます（カウンタクリア機能）。

TCNT がオーバフロー（H'FFFF→H'0000）すると、対応するチャネルの TSR の OVF フラグが 1 にセットされます。

TCNT がアンダフロー（H'0000→H'FFFF）すると、対応するチャネルの TSR の OVF フラグが 1 にセットされます。

TCNT は CPU と内部 16 ビットバスで接続されており、ワード／バイト単位のリード／ライトが可能です。

TCNT はリセット、またはスタンバイモード時に H'0000 にイニシャライズされます。

10.2.8　ジェネラルレジスタ A、B（GRA、GRB）

GR は、16 ビットのレジスタです。ITU には、各チャネル 2 本、計 10 本のジェネラルレジスタがあります。

チャネル	略　称	機　能
0	GRA0、GRB0	アウトプットコンペア／インプットキャプチャ兼用レジスタ
1	GRA1、GRB1	
2	GRA2、GRB2	
3	GRA3、GRB3	アウトプットコンペア／インプットキャプチャ兼用レジスタ。バッファレジスタ（BRA、BRB）と組み合わせることにより、バッファ動作設定可能
4	GRA4、GRB4	

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR は 16 ビットのリード／ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切り換えは、TIOR により行います。

アウトプットコンペアレジスタとして使用しているときは、GRA／GRB の値と TCNT の値は常に比較されています。両者の値が一致（コンペアマッチ）すると、TSR の IMFA／IMFB フラグが 1 にセットされます。TIOR によりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TCNT の値を格納します。このとき対応する TSR の IMFA／IMFB フラグが 1 にセットされます。インプットキャプチャ信号の検出エッジは TIOR により行います。

PWM モード、相補 PWM モード、またはリセット同期 PWM モードに設定されている場合には、TIOR の設定は無視されます。

GR は CPU と内部 16 ビットバスで接続されており、ワード／バイト単位のリード／ライトが可能です。

GR はリセット、またはスタンバイモード時にアウトプットコンペアレジスタ（端子出力なし）に設定され、H'FFFF にイニシャライズされます。

10.2.9　バッファレジスタ A、B（BRA、BRB）

BR は、16 ビットのレジスタです。ITU には、チャネル 3、4 に各 2 本、計 4 本のバッファレジスタがあります。

チャネル	略　称	機　能
3	BRA3、BRB3	**バッファ動作時に使用** • **対応する** GRA、GRB **がアウトプットコンペアレジスタのときアウトプットコンペアバッファレジスタとして機能し、コンペアマッチにより** BRA、BRB **の値を** GRA、GRB **に自動転送可能** • **対応する** GRA、GRB **がインプットキャプチャレジスタのときインプットキャプチャバッファレジスタとして機能し、インプットキャプチャ時それまで格納されていた** GRA、GRB **の値を** BRA、BRB **に自動転送可能**
4	BRA4、BRB4	

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BR は、16 ビットのリード／ライト可能なレジスタで、バッファ動作設定時に使用されます。バッファ動作の設定は TFCR の BFB4、BFA4、BFB3、および BFA3 ビットにより独立に行うことができます。

BR は GR と対になって機能し、GR がアウトプットコンペアレジスタに設定されているときはアウトプットコンペアバッファレジスタとして、また GR がインプットキャプチャレジスタとして設定されているときはインプットキャプチャバッファレジスタとして機能します。

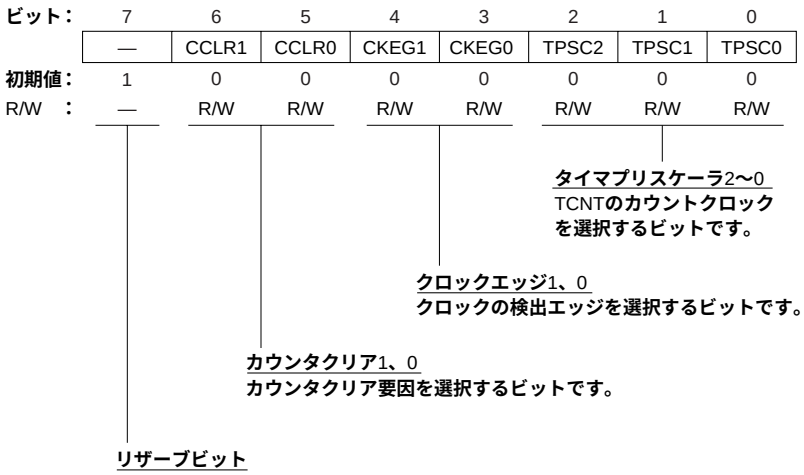
BR は CPU と内部 16 ビットバスで接続されており、ワード／バイト単位のリード／ライトが可能です。

BR は、リセット、またはスタンバイモード時に H'FFFF にイニシャライズされます。

10.2.10　タイマコントロールレジスタ（TCR）

TCR は 8 ビットのレジスタです。ITU には、各チャネル 1 本、計 5 本の TCR があります。

チャネル	略　称	機　能
0	TCR0	TCR **は** TCNT **の制御を行います。** **各チャネルの** TCR **は同一の機能をもっています。チャネル** 2 **を位相計数モードに設定したとき、**TCR2 **の** CKEG1、CKEG0 **ビットおよび** TPSC2〜TPSC0 **ビットの設定は無効となります。**
1	TCR1	
2	TCR2	
3	TCR3	
4	TCR4	



TCR は 8 ビットのリード／ライト可能なレジスタで、TCNT のカウンタクロックの選択、外部クロック選択時のエッジの選択、およびカウンタクリア要因の選択を行います。

TCR はリセット、またはスタンバイモード時に、H'80 にイニシャライズされます。

ビット 7：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6、5：カウンタクリア 1、0（CCLR1、CCLR0）

TCNT のカウンタクリア要因を選択します。

ビット 6	ビット 5	説　明
CCLR1	CCLR0	
0	0	TCNT のクリア禁止　（初期値）
	1	GRA のコンペアマッチ／インプットキャプチャ*1 で TCNT をクリア
1	0	GRB のコンペアマッチ／インプットキャプチャ*1 で TCNT をクリア
	1	同期クリア。同期動作*2 をしている他のタイマのカウンタクリアに同期して TCNT をクリア

【注】 *1　GR がアウトプットコンペアレジスタとして機能しているとき、コンペアマッチにより、クリアされます。GR がインプットキャプチャレジスタとして機能しているとき、インプットキャプチャによりクリアされます。

*2　同期動作の設定は TSNC により行います。

ビット 4、3：クロックエッジ 1、0（CKEG1、CKEG0）

外部クロック選択時に、外部クロックの入力エッジを選択します。

ビット 4	ビット 3	説　明
CKEG1	CKEG0	
0	0	立上がりエッジでカウント　（初期値）
	1	立下がりエッジでカウント
1	ー	立上がり／立下がりの両エッジでカウント

チャネル 2 が位相計数モードに設定されているとき、TCR2 の CKEG1、CKEG0 ビットの設定は無効になり、位相計数モードの動作が優先されます。

ビット 2〜0：タイマプリスケーラ 2〜0（TPSC2〜TPSC0）

TCNT のカウントクロックを選択します。

ビット 2	ビット 1	ビット 0	説　明
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック：φでカウント　（初期値）
		1	内部クロック：φ／2 でカウント
	1	0	内部クロック：φ／4 でカウント
		1	内部クロック：φ／8 でカウント
1	0	0	外部クロック A：TCLKA 端子入力でカウント
		1	外部クロック B：TCLKB 端子入力でカウント
	1	0	外部クロック C：TCLKC 端子入力でカウント
		1	外部クロック D：TCLKD 端子入力でカウント

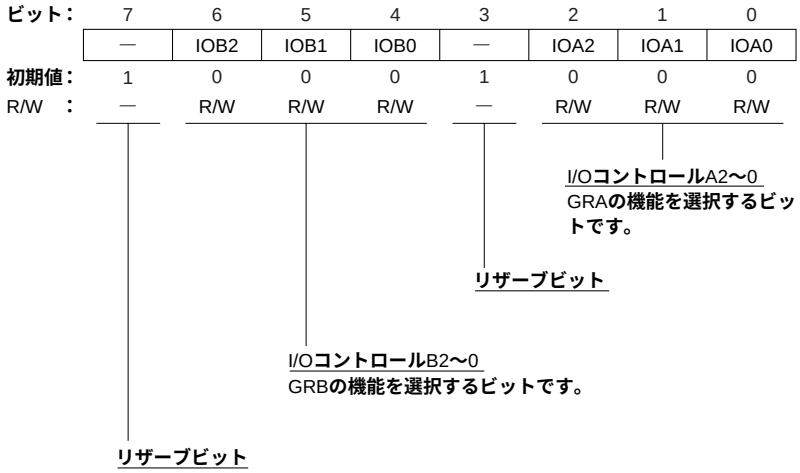
TPSC2 ビットを 0 にクリアして内部クロックを選択した場合、クロックの立下がりエッジでカウントされます。また、TPSC2 ビットを 1 にセットして外部クロックを選択した場合、カウントエッジは CKEG1、CKEG0 ビットの設定に従います。

チャネル 2 が位相計数モードに設定されているとき（TMDR の MDF ビット＝1）、TCR2 の TPSC2〜TPSC0 ビットの設定は無効となり、位相計数モードの動作が優先されます。

10.2.11　タイマ I/O コントロールレジスタ（TIOR）

TIOR は 8 ビットのレジスタです。ITU には、各チャネル 1 本、計 5 本の TIOR があります。

チャネル	略　称	機　能
0	TIOR0	TIOR は GR の制御を行います。 PWM モード時、一部機能が異なります。 チャネル 3、4 を相補 PWM モード／リセット同期 PWM モードに設定したとき、TIOR3、TIOR4 の設定は無効となります。
1	TIOR1	
2	TIOR2	
3	TIOR3	
4	TIOR4	



TIOR は 8 ビットのリード／ライト可能なレジスタで、GRA、GRB をアウトプットコンペアレジスタとして使用するか、インプットキャプチャレジスタとして使用するかを選択します。また TIOCA、TIOCB 端子の機能を選択します。アウトプットコンペアレジスタを選択した場合は出力設定を選択し、インプットキャプチャレジスタを選択した場合はインプットキャプチャ信号の入力エッジを選択します。

TIOR はリセット、またはスタンバイモード時に、H'88 にイニシャライズされます。

ビット 7：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6〜4：I/O コントロール B2〜0（IOB2〜IOB0）

GRB の機能を選択します。

ビット 6	ビット 5	ビット 4	説　明	
IOB2	IOB1	IOB0		
0	0	0	GRB はアウトプットコンペアレジスタ	コンペアマッチによる端子出力禁止（初期値）
		1		GRB のコンペアマッチで 0 出力*1
	1	0		GRB のコンペアマッチで 1 出力*1
		1		GRB のコンペアマッチでトグル出力（チャネル 2 のみ 1 出力）*1、*2
1	0	0	GRB はインプットキャプチャレジスタ	立上がりエッジで GRB へインプットキャプチャ
		1		立下がりエッジで GRB へインプットキャプチャ
	1	0		立上がり／立下がりの両エッジでインプットキャプチャ
		1		

【注】 *1　リセット後、最初のコンペアマッチが発生するまでの出力値は 0 です。

*2　チャネル 2 はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に 1 出力が選択されます。

ビット 3：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 2〜0：I/O コントロール A2〜0（IOA2〜IOA0）

GRA の機能を選択します。

ビット 2	ビット 1	ビット 0	説　明	
IOA2	IOA1	IOA0		
0	0	0	GRA はアウトプットコンペアレジスタ	コンペアマッチによる端子出力禁止（初期値）
		1		GRA のコンペアマッチで 0 出力*1
	1	0		GRA のコンペアマッチで 1 出力*1
		1		GRA のコンペアマッチでトグル出力（チャネル 2 のみ 1 出力）*1、*2
1	0	0	GRA はインプットキャプチャレジスタ	立上がりエッジで GRA へインプットキャプチャ
		1		立下がりエッジで GRA へインプットキャプチャ
	1	0		立上がり／立下がりの両エッジでインプットキャプチャ
		1		

【注】 *1　リセット後、最初のコンペアマッチが発生するまでの出力値は 0 です。

*2　チャネル 2 はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に 1 出力が選択されます。

10.2.12　タイマステータスレジスタ（TSR）

TSR は 8 ビットのレジスタです。ITU には、各チャネル 1 本、計 5 本の TSR があります。

チャネル	略　称	機　能
0	TSR0	インプットキャプチャ／コンペアマッチやオーバフローのステータスを示します。
1	TSR1	
2	TSR2	
3	TSR3	
4	TSR4	

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値：	1	1	1	1	1	0	0	0
R/W　：	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

リザーブビット

インプットキャプチャ／コンペアマッチフラグA
GRA**によるコンペアマッチ／インプットキャプチャの発生を示すステータスフラグです。**

インプットキャプチャ／コンペアマッチフラグB
GRB**によるコンペアマッチ／インプットキャプチャの発生を示すステータスフラグです。**

オーバフローフラグ
オーバフロー／アンダフローの発生を示すステータスフラグです。

【注】　＊　フラグをクリアするための0ライトのみ可能です。

TSR は 8 ビットのリード／ライト可能なレジスタで、TCNT のオーバフロー／アンダフローの発生、および GRA、GRB のコンペアマッチ／インプットキャプチャの発生を示します。

これらのフラグは割込み要因であり、TIER の対応するビットにより割込みが許可されていれば、CPU に割込みを要求します。

TSR はリセット、またはスタンバイモード時に、H'F8 にイニシャライズされます。

ビット 7〜3：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 2：オーバフローフラグ（OVF）

TCNT のオーバフロー／アンダフローの発生を示すステータスフラグです。

ビット 2 OVF	説　明
0	［クリア条件］（初期値） OVF＝1 の状態で、OVF フラグをリードした後、OVF フラグに 0 をライトしたとき
1	［セット条件］ TCNT の値がオーバフロー（H'FFFF→H'0000）またはアンダフロー（H'0000→H'FFFF）したとき*

【注】 *　TCNT のアンダフローは、TCNT がアップ／ダウンカウンタとして機能している場合に発生します。したがって、次の場合のみアンダフローが発生することがあります。
（1）チャネル 2 が位相計数モードに設定されているとき（TMDR の MDF＝1）
（2）チャネル 3、4 が相補 PWM モードに設定されているとき（TFCR の CMD1＝1、CMD0＝0）

ビット 1：インプットキャプチャ／コンペアマッチフラグ B（IMFB）

GRB のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット 1 IMFB	説　明
0	［クリア条件］（初期値） IMFB＝1 の状態で、IMFB フラグをリードした後、IMFB フラグに 0 をライトしたとき
1	［セット条件］ （1）GRB がアウトプットコンペアレジスタとして機能している場合、TCNT＝GRB になったとき （2）GRB がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT の値が GRB に転送されたとき

ビット 0：インプットキャプチャ／コンペアマッチフラグ A（IMFA）

GRA のコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット 0 IMFA	説　明
0	［クリア条件］（初期値） （1）IMFA＝1 の状態で、IMFA フラグをリードした後、IMFA フラグに 0 をライトしたとき （2）IMIA 割込みにより DMAC が起動されたとき（チャネル 0〜3 のみ）
1	［セット条件］ （1）GRA がアウトプットコンペアレジスタとして機能している場合、TCNT＝GRA になったとき （2）GRA がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT の値が GRA に転送されたとき

10.2.13　タイマインタラプトイネーブルレジスタ（TIER）

TIER は 8 ビットのレジスタです。ITU には、各チャネル 1 本、計 5 本の TIER があります。

チャネル	略　称	機　能
0	TIER0	**割込み要求の許可／禁止を制御します。**
1	TIER1	
2	TIER2	
3	TIER3	
4	TIER4	

TIER は 8 ビットのリード／ライト可能なレジスタで、オーバフロー割込み要求、GR のインプットキャプチャ／コンペアマッチ割込み要求の許可／禁止を制御します。

TIER はリセット、またはスタンバイモード時に、H'F8 にイニシャライズされます。

ビット 7～3：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 2：オーバフローインタラプトイネーブル（OVIE）

TSR の OVF フラグが 1 にセットされたとき、OVF フラグによる割込み要求を許可／禁止します。

ビット 2	説　明
OVIE	
0	OVF フラグによる割込み（OVI）要求を禁止　（初期値）
1	OVF フラグによる割込み（OVI）要求を許可

ビット 1：インプットキャプチャ／コンペアマッチインタラプトイネーブル B（IMIEB）

TSR の IMFB フラグが 1 にセットされたとき、IMFB による割込み要求を許可／禁止します。

ビット 1	説　明
IMIEB	
0	IMFB フラグによる割込み（IMIB）要求を禁止　（初期値）
1	IMFB フラグによる割込み（IMIB）要求を許可

ビット 0：インプットキャプチャ／コンペアマッチインタラプトイネーブル A（IMIEA）

TSR の IMFA フラグが 1 にセットされたとき、IMFA による割込み要求を許可／禁止します。

ビット 0	説　明
IMIEA	
0	IMFA フラグによる割込み（IMIA）要求を禁止　（初期値）
1	IMFA フラグによる割込み（IMIA）要求を許可

10.3　CPU とのインタフェース

10.3.1　16 ビットアクセス可能なレジスタ

TCNT、GRA、GRB、および BRA、BRB は 16 ビットのレジスタです。これらのレジスタは、CPU と内部 16 ビットデータバスで接続されており、ワード単位のリード／ライトが可能です。また、バイト単位のリード／ライトもできます。

TCNT に対してワード単位のリード／ライトを行った場合の動作を**図** 10.6、**図** 10.7 に示します。

また、TCNTH、TCNTL に対してバイト単位のリード／ライトを行った場合の動作を**図** 10.8、**図** 10.9、**図** 10.10、**図** 10.11 に示します。

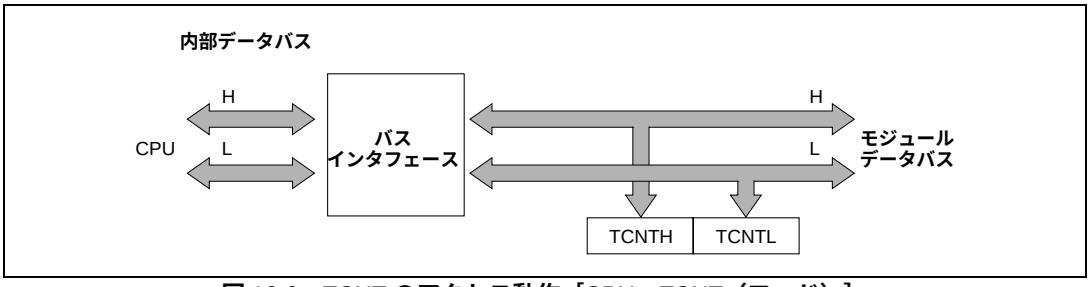


図 10.6　TCNT **のアクセス動作**［CPU→TCNT（**ワード**）］

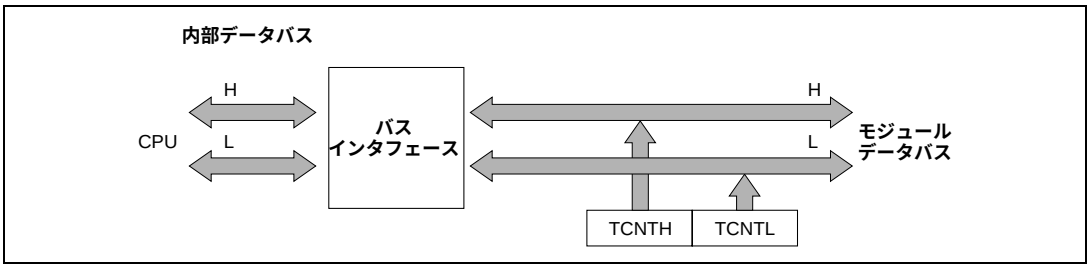


図 10.7　TCNT **のアクセス動作**［TCNT→CPU（**ワード**）］

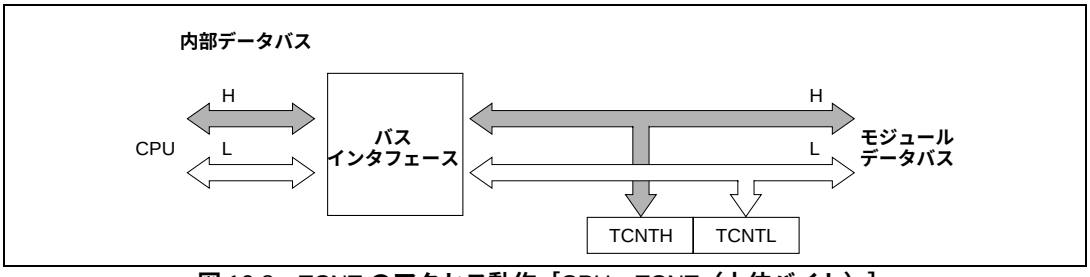


図 10.8　TCNT **のアクセス動作**［CPU→TCNT（**上位バイト**）］

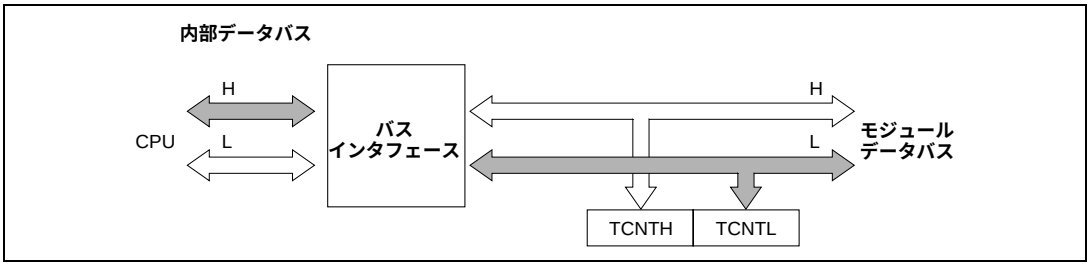


図 10.9　TCNT **のアクセス動作**［CPU→TCNT（**下位バイト**）］

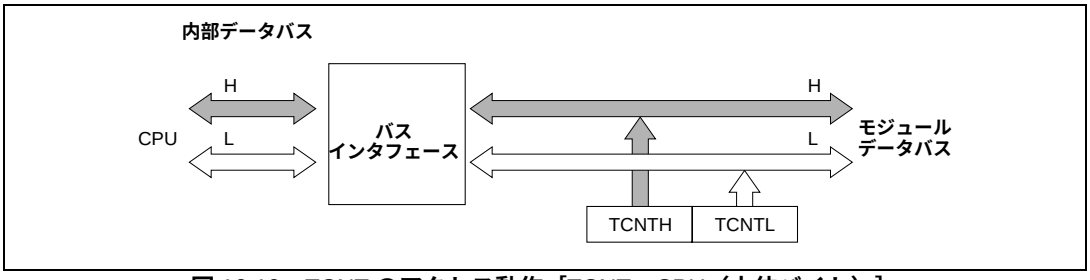


図 10.10　TCNT **のアクセス動作**［TCNT→CPU（**上位バイト**）］

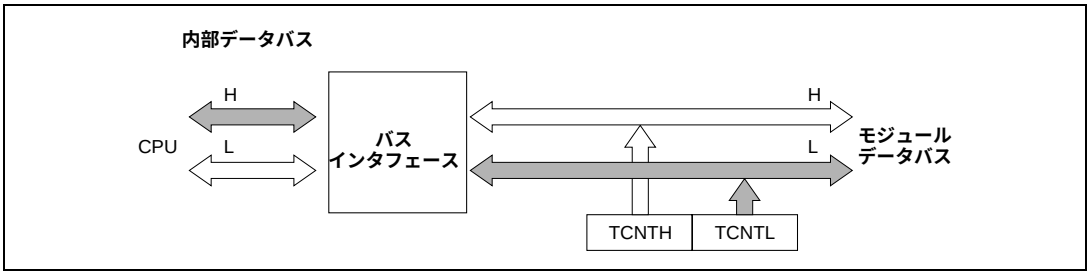


図 10.11　TCNT **のアクセス動作**［TCNT→CPU（**下位バイト**）］

10.3.2　8 ビットアクセスのレジスタ

TCNT、GRA、GRB、および BRA、BRB 以外のレジスタは 8 ビットレジスタです。これらのレジスタは CPU と内部 8 ビットデータバスで接続されています。

TCR に対してバイト単位のリード／ライトを行った場合の動作を**図** 10.12、**図** 10.13 に示します。なお、ワードサイズの転送命令を実行するとバイト単位 2 回の転送が行われます。

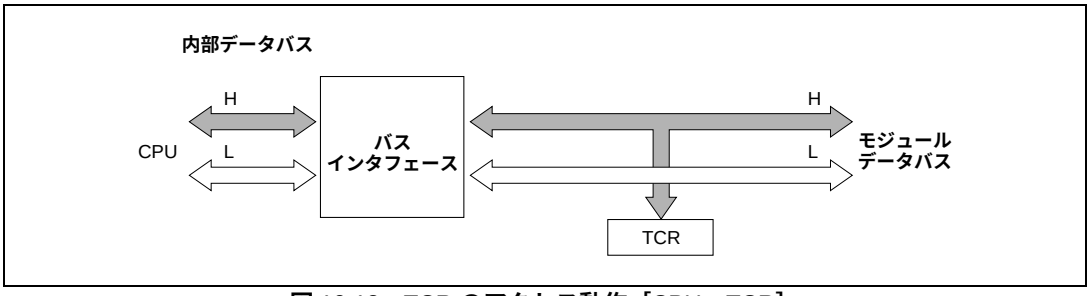


図 10.12　TCR **のアクセス動作**［CPU→TCR］

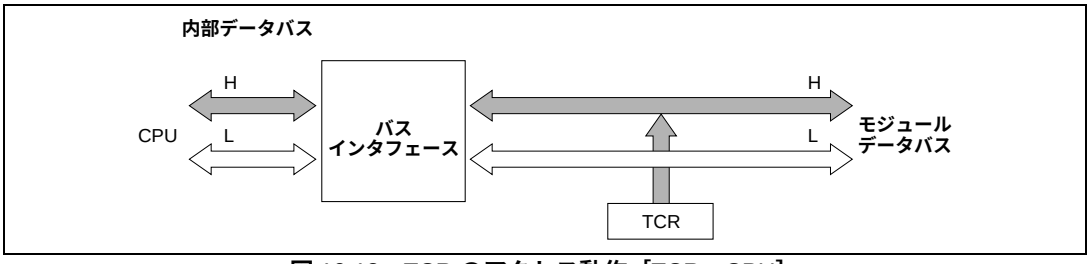


図 10.13　TCR **のアクセス動作**［TCR→CPU］

10.4 動作説明

10.4.1 概要

以下に各モードの動作概要を示します。

(1) 通常動作

各チャネルには、TCNT と GR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

GRA、GRB は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャネルの TCNT は、同期プリセット動作を行います。すなわち、同期動作に設定されたチャネルのうち任意の TCNT を書き換えると他のチャネルの TCNT も同時に書き換えられます。また、同期動作に設定された複数のチャネルの TCR の CCLR1、CCLR0 ビットの設定により、TCNT の同期クリアが可能です。

(3) PWM モード

TIOCA 端子から PWM 波形を出力するモードです。コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となります。GRA、GRB の設定により、デューティ 0～100%の PWM 波形を出力できます。PWM モードに設定すると当該チャネルの GRA、GRB は自動的にアウトプットコンペアレジスタとして機能します。

(4) リセット同期 PWM モード

チャネル 3、4 を組み合わせて、正相と逆相の PWM 波形を 3 相出力します（3 相の PWM 波形は一方の変化点が共通となる関係になります）。リセット同期 PWM モードに設定すると GRA3、GRB3、GRA4、GRB4 は自動的にアウトプットコンペアレジスタとして機能します。また、TIOCA3、TIOCB3、TIOCA4、TOCXA4、TIOCB4、TOCXB4 端子は自動的に PWM 出力端子となり、TCNT3 はアップカウント動作を行います。TCNT4 は独立に動作します（ただし、GRA4、GRB4 は TCNT4 とは切り離されています）。

(5) 相補 PWM モード

チャネル 3、4 を組み合わせて、正相と逆相がノンオーバラップの関係にある PWM 波形を 3 相出力します。相補 PWM モードに設定すると GRA3、GRB3、GRA4、GRB4 は自動的にアウトプットコンペアレジスタとして機能します。また、TIOCA3、TIOCB3、TIOCA4、TOCXA4、TIOCB4、TOCXB4 端子は自動的に PWM 出力端子となり、TCNT3、TCNT4 はアップ／ダウンカウント動作を行います。

(6) 位相計数モード

TCLKA、TCLKB 端子から入力される 2 つのクロックの位相差を検出して、TCNT2 をアップ／ダウンカウント動作させるモードです。位相計数モードに設定すると TCLKA、TCLKB 端子はクロック入力となり、また TCNT2 はアップ／ダウンカウント動作を行います。

(7) バッファ動作

- GR がアウトプットコンペアレジスタの場合
  コンペアマッチが発生すると当該チャネルの BR の値が、GR に転送されます。
- GR がインプットキャプチャレジスタの場合
  インプットキャプチャが発生すると TCNT の値を GR に転送すると同時に、それまで格納されていた GR の値を BR に転送します。
- 相補 PWM モードの場合
  TCNT3、TCNT4 のカウント方向が変化すると BR の値が、GR に転送されます。

- リセット同期 PWM モードの場合
  GRA3 のコンペアマッチにより BR の値が、GR に転送されます。

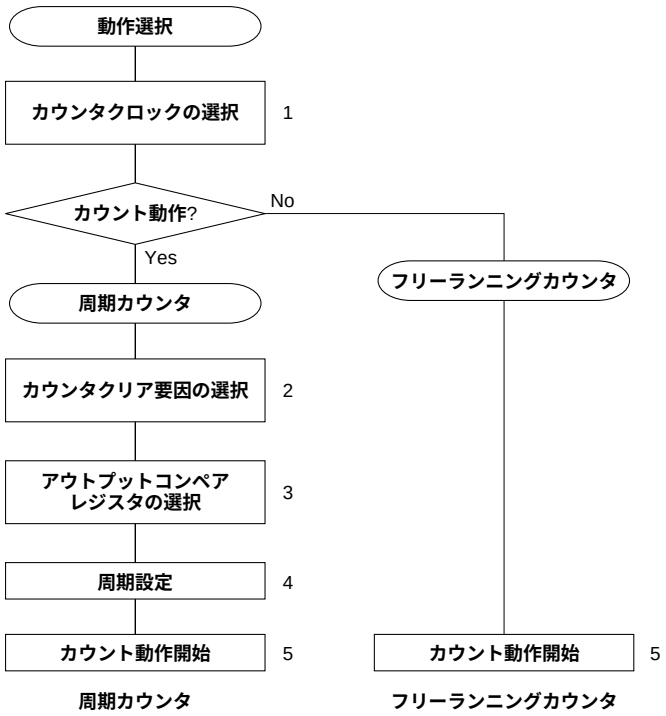
10.4.2 基本機能

(1) カウンタの動作

タイマスタートレジスタ（TSTR）の STR0～STR4 ビットを 1 にセットすると、対応するチャネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を**図** 10.14 に示します。



1. TCRのTPSC2～TPSC0ビットでカウンタクロックを選択してください。外部クロックを選択した場合は、TCRのCKEG1、CKEG0ビットで外部クロックのエッジを選択してください。
2. 周期カウント動作の場合TCRのCCLR1、CCLR0ビットでTCNTをGRAのコンペアマッチでクリアするか、GRBのコンペアマッチでクリアするかを選択してください。
3. 2で選択したGRAまたはGRBを、TIORによりアウトプットコンペアレジスタに設定してください。
4. 2で選択したGRAまたはGRBに周期カウンタの周期を設定してください。
5. TSTRのSTRビットを1にセットしてカウント動作を開始してください。

図 10.14 **カウント動作設定手順例**

(b)　フリーランニングカウント動作と周期カウント動作

ITU チャネル 0〜4 のカウンタ（TCNT）はリセット直後は、すべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバフロー（H'FFFF→H'0000）すると TSR の OVF フラグが 1 にセットされます。このとき、対応する TIER の OVIE ビットが 1 ならば、CPU に割込みを要求します。TCNT はオーバフロー後、H'0000 から再びアップカウント動作を継続します。

フリーランニングカウンタの動作を**図** 10.15 に示します。

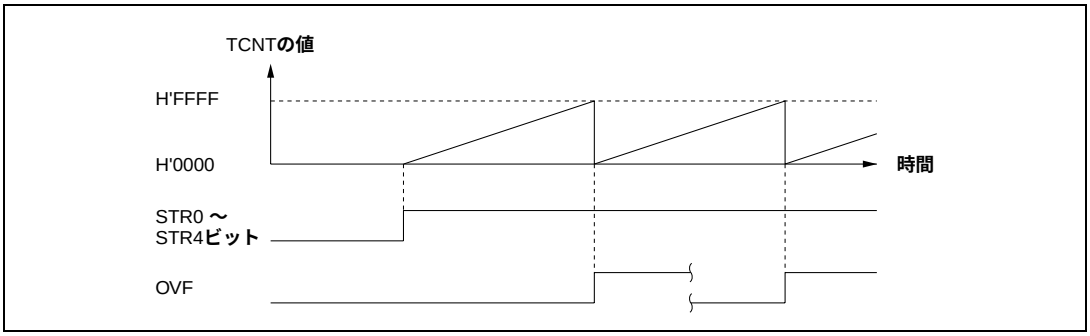


図 10.15　**フリーランニングカウンタの動作**

TCNT のクリア要因にコンペアマッチを選択したときは、当該チャネルの TCNT は周期カウント動作を行います（周期設定用の GRA または GRB をアウトプットコンペアレジスタに設定し、TCR の CCLR1、CCLR0 ビットにより、コンペアマッチによるカウンタクリアを選択します）。設定後、TSTR の対応するビットを 1 にセットすると周期カウンタとしてアップカウント動作を開始します。カウント値が GRA／GRB の値と一致すると TSR の IMFA／IMFB フラグが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき、対応する TIER の IMIEA／IMIEB ビットが 1 ならば、CPU に割込みを要求します。TCNT はコンペアマッチ後、H'0000 から再びアップカウント動作を継続します。

周期カウンタの動作を**図** 10.16 に示します。

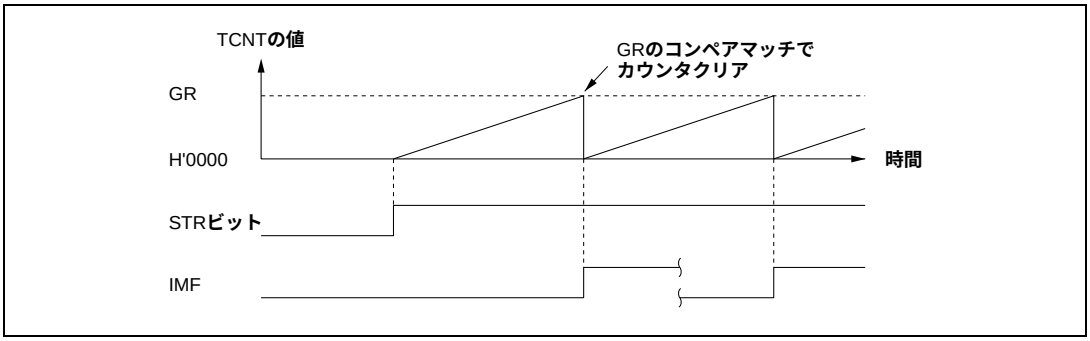


図 10.16　**周期カウンタの動作**

(c)　TCNT のカウントタイミング

（1）　内部クロック動作の場合

TCRのTPSC2～TPSC0ビットにより、システムクロック（φ）またはシステムクロックを分周した3種類のクロック（φ／2、φ／4、φ／8）が選択できます。

このときのタイミングを**図**10.17に示します。

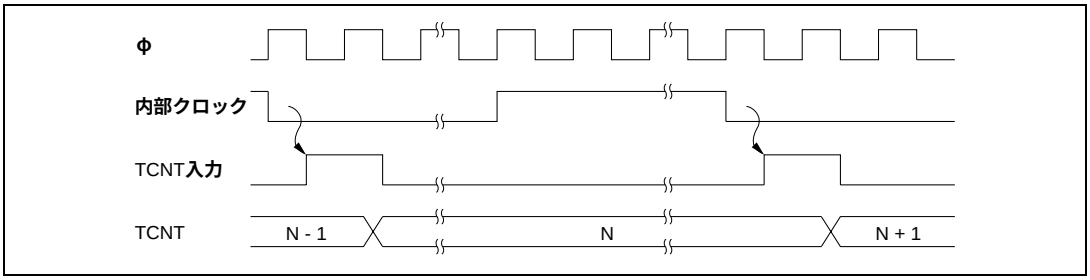


図 10.17　**内部クロック動作時のカウントタイミング**

（2）　外部クロック動作の場合

TCRのTPSC2～TPSC0ビットにより外部クロック入力端子（TCLKA～TCLKD）を、またCKEG1、CKEG0ビットにより検出エッジを選択できます。外部クロックの検出は、立上がりエッジ／立下がりエッジ／両エッジの選択が可能です。

なお、外部クロックのパルス幅は、単エッジの場合は1.5システムクロック以上、両エッジの場合は2.5システムクロック以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

立上がり／立下がりの両エッジ検出時のタイミングを**図**10.18に示します。

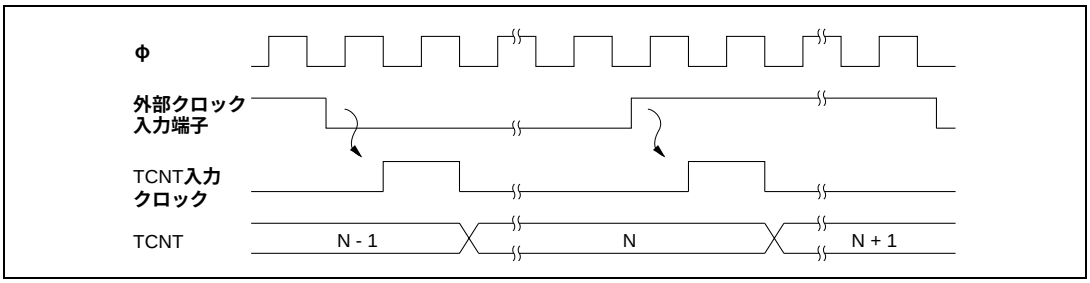


図 10.18　**外部クロック動作時のカウントタイミング（両エッジ検出の場合）**

(2)　コンペアマッチによる波形出力機能

ITU チャネル 0、1、3、4 は、コンペアマッチ A、B により対応する TIOCA、TIOCB 端子から 0 出力／1 出力／トグル出力を行うことができます。

チャネル 2 は 0 出力／1 出力のみ可能です。

(a)　コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を**図** 10.19 に示します。

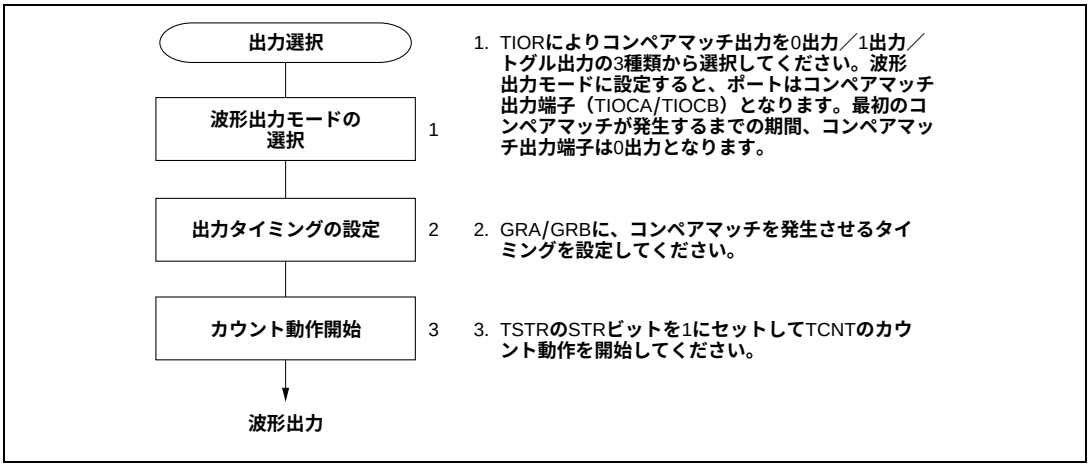


図 10.19　**コンペアマッチによる波形出力動作例**

(b)　波形出力動作例

0 出力／1 出力の例を**図** 10.20 に示します。

TCNT をフリーランニングカウント動作、またコンペアマッチ A により 0 出力、コンペアマッチ B により 1 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

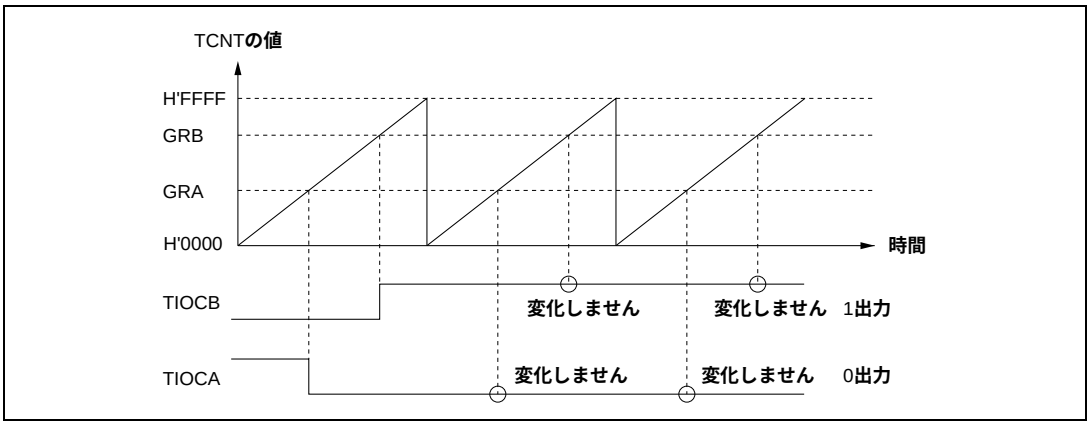


図 10.20　0 **出力、**1 **出力の動作例**

トグル出力の例を**図** 10.21 に示します。

TCNT を周期カウント動作（コンペアマッチ B でカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

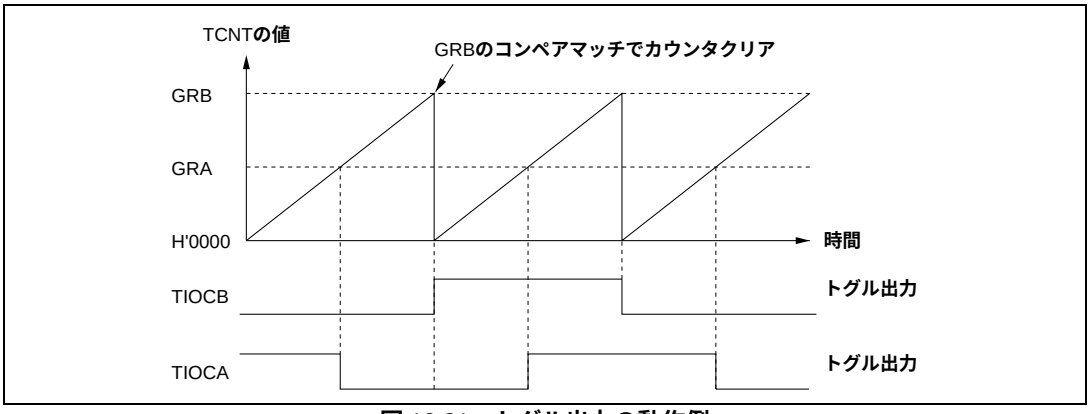


図 10.21　**トグル出力の動作例**

(c)　アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と GR が一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR で設定される出力値がアウトプットコンペア出力端子（TIOCA、TIOCB）に出力されます。TCNT と GR が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを**図** 10.22 に示します。

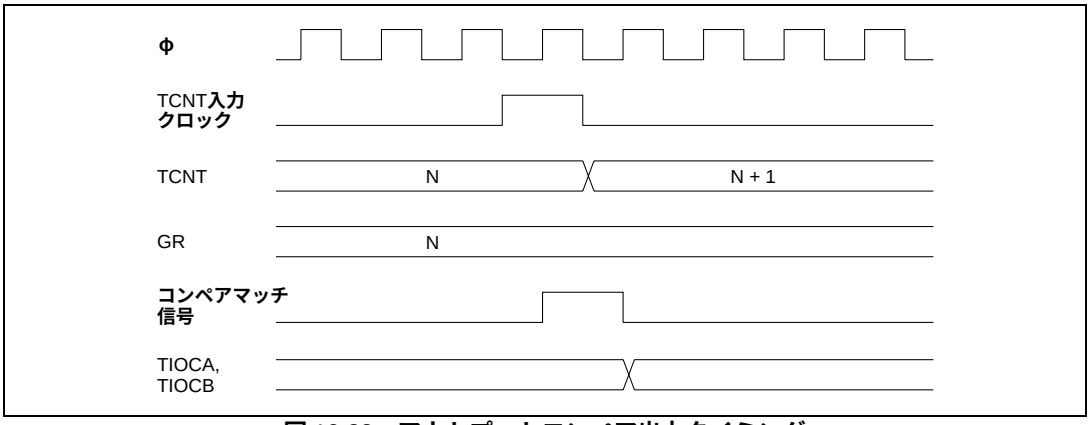


図 10.22　**アウトプットコンペア出力タイミング**

(3)　インプットキャプチャ機能

インプットキャプチャ／アウトプットコンペア端子（TIOCA、TIOCB）の入力エッジを検出して TCNT の値を GR に転送することができます。検出エッジは立上がりエッジ／立下がりエッジ／両エッジから選択できます。

インプットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

(a)　インプットキャプチャ動作の設定手順例

インプットキャプチャ動作の設定手順例を**図** 10.23 に示します。

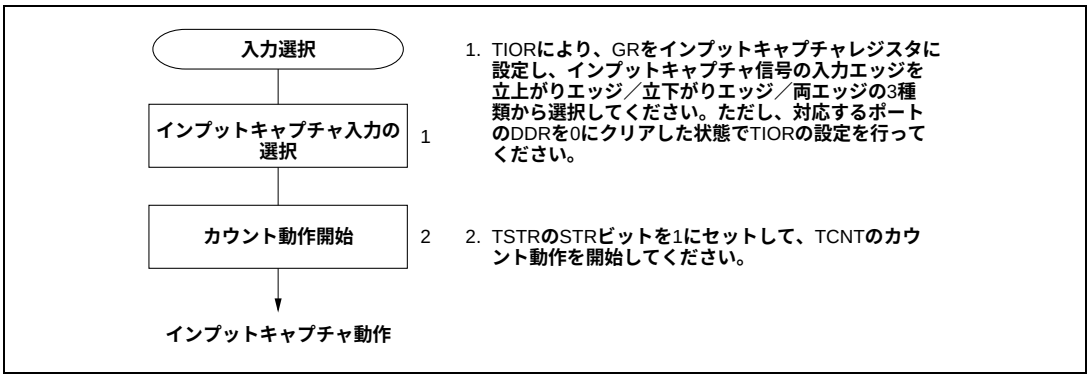


図 10.23　**インプットキャプチャ動作の設定手順例**

(b)　インプットキャプチャ動作例

インプットキャプチャ動作例を**図** 10.24 に示します。

TIOCA 端子のインプットキャプチャ入力エッジは立上がり／立下がりの両エッジ、また TIOCB 端子のインプットキャプチャ入力エッジは立下がりエッジを選択し、TCNT は GRB のインプットキャプチャでカウンタクリアされるように設定した場合の例です。

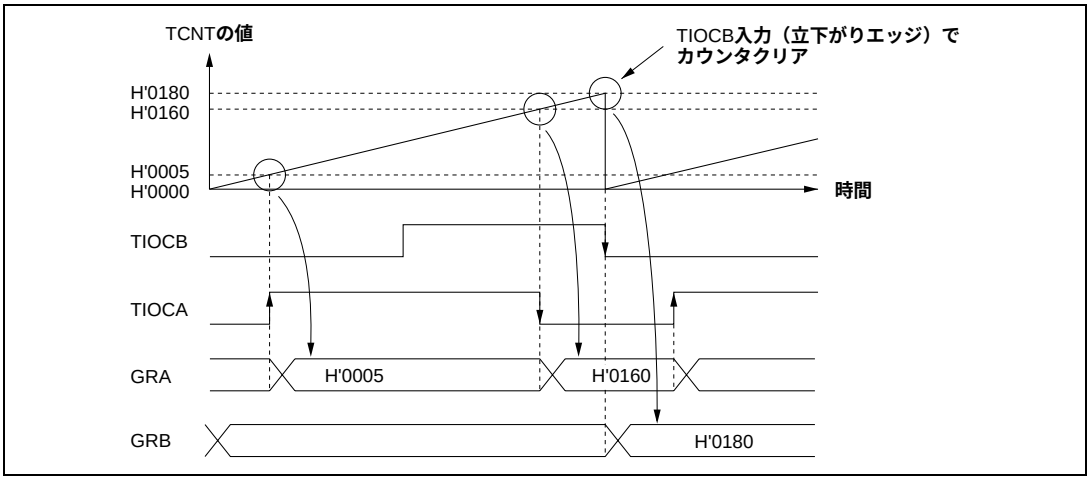


図 10.24　**インプットキャプチャ動作例**

(c)　インプットキャプチャ信号タイミング

インプットキャプチャ入力は、TIOR の設定により立上がりエッジ／立下がりエッジ／両エッジの選択ができます。

立上がりエッジを選択した場合のタイミングを**図** 10.25 に示します。

インプットキャプチャ入力信号のパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上必要です。

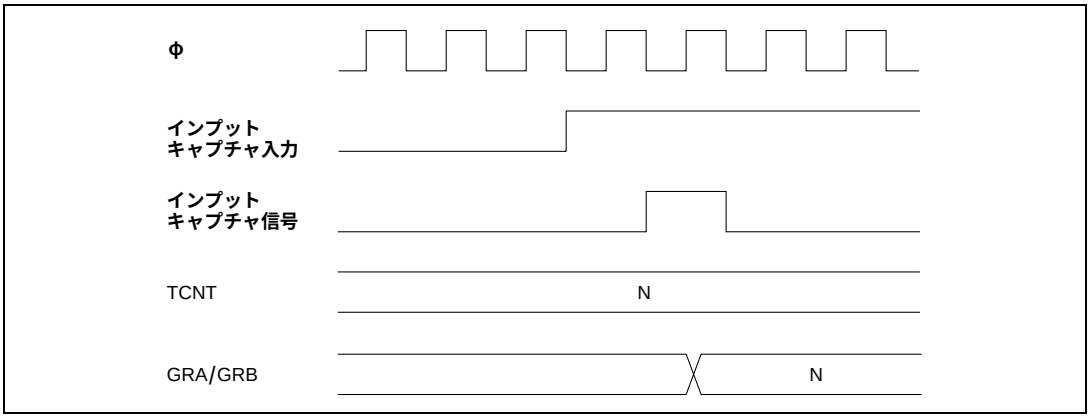


図 10.25　**インプットキャプチャ入力信号タイミング**

10.4.3　同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます（同期プリセット）。また、TCR の設定により複数の TCNT を同時にクリアすることができます（同期クリア）。

同期動作により、1 つのタイムベースに対してジェネラルレジスタを増加することができます。

チャネル 0～4 はすべて同期動作の設定が可能です。

(1)　同期動作の設定手順例

同期動作の設定手順例を**図** 10.26 に示します。

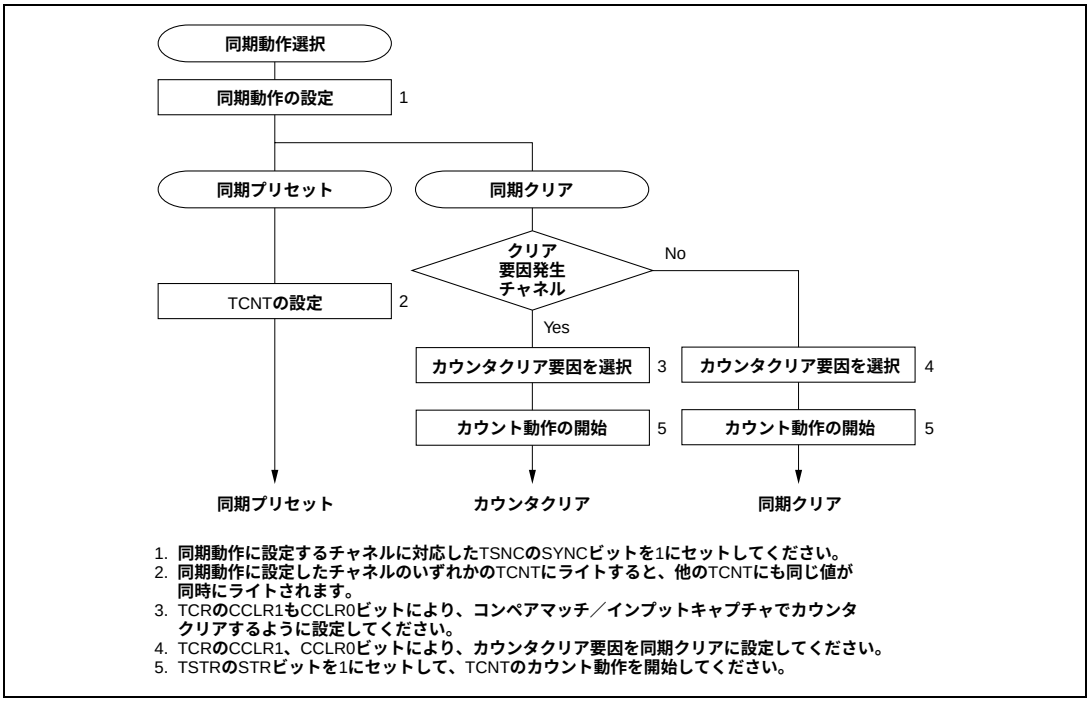


図 10.26　**同期モードの設定手順例**

(2)　同期動作例

同期動作例を**図** 10.27 に示します。

チャネル 0～2 を同期動作かつ PWM モードに設定し、チャネル 0 のカウンタクリア要因を GRB0 のコンペアマッチ、またチャネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

このとき、チャネル 0～2 の TCNT は同期プリセット、GRB0 のコンペアマッチによる同期クリア動作を行い、3 相の PWM 波形を TIOCA0、TIOCA1、TIOCA2 端子から出力します。

PWM モードについては**「**10.4.4　PWM **モード」**を参照してください。

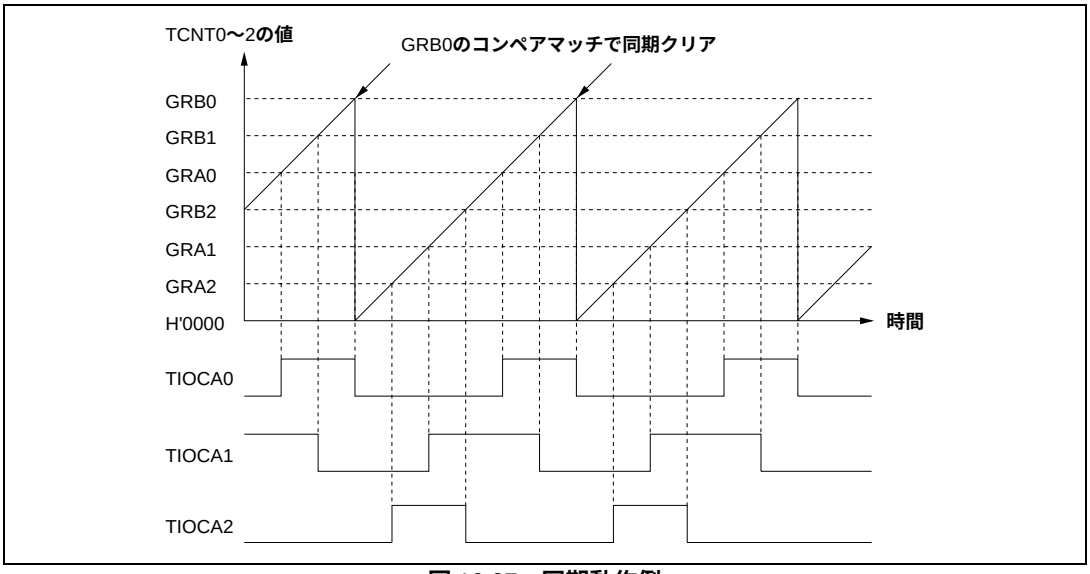


図 10.27　**同期動作例**

10.4.4　PWM モード

PWM モードは GRA と GRB をペアで使用し、TIOCA 出力端子より PWM 波形を出力します。GRA には PWM 波形の 1 出力タイミングを設定し、GRB には PWM 波形の 0 出力タイミングを設定します。

GRA と GRB のいずれかのコンペアマッチを TCNT のカウンタクリア要因とすることにより、デューティ 0〜100%の PWM 波形を TIOCA 端子より出力することができます。チャネル 0〜4 はすべて PWM モードの設定が可能です。

PWM 出力端子とレジスタの対応を**表** 10.4 に示します。GRA と GRB の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

表 10.4　PWM **出力端子とレジスタの組み合わせ**

チャネル	出力端子	1 出力	0 出力
0	TIOCA0	GRA0	GRB0
1	TIOCA1	GRA1	GRB1
2	TIOCA2	GRA2	GRB2
3	TIOCA3	GRA3	GRB3
4	TIOCA4	GRA4	GRB4

(1)　PWM モードの設定手順例

PWM モードの設定手順例を**図** 10.28 に示します。

1. TCRのTPSC2～TPSC0ビットでカウンタクロックを選択してください。外部クロックを選択した場合は、TCRのCKEG1、CKEG0ビットにより外部クロックのエッジを選択してください。
2. TCRのCCLR1、CCLR0ビットによりカウンタクリア要因を選択してください。
3. GRAに出力PWM波形の1出力タイミングを設定してください。
4. GRBに出力PWM波形の0出力タイミングを設定してください。
5. TMDRのPWMビットでPWMモードを設定してください。PWMモードを設定すると、TIORの内容にかかわらずGRA/GRBは、PWM出力波形の1出力／0出力タイミング設定用アウトプットコンペアレジスタとなります。TIOCA端子は自動的にPWM出力端子となります。ただし、TIOCB端子は、TIORのIOB1、IOB0ビットの設定に従います。TIOCB端子を出力しない場合は、IOB1、IOB0をいずれも0にクリアしてください。
6. TSTRのSTRビットを1にセットして、TCNTのカウント動作を開始してください。

図 10.28　PWM **モードの設定手順例**

(2)　PWM モードの動作例

PWM モードの動作例を**図** 10.29 に示します。

PWM モードに設定すると TIOCA 端子は出力端子となり、GRA のコンペアマッチで 1 出力、GRB のコンペアマッチで 0 出力となります。

TCNT のカウンタクリア要因を GRA、GRB のコンペアマッチとした場合の例です。同期動作またはフリーランニングカウント動作も使用できます。

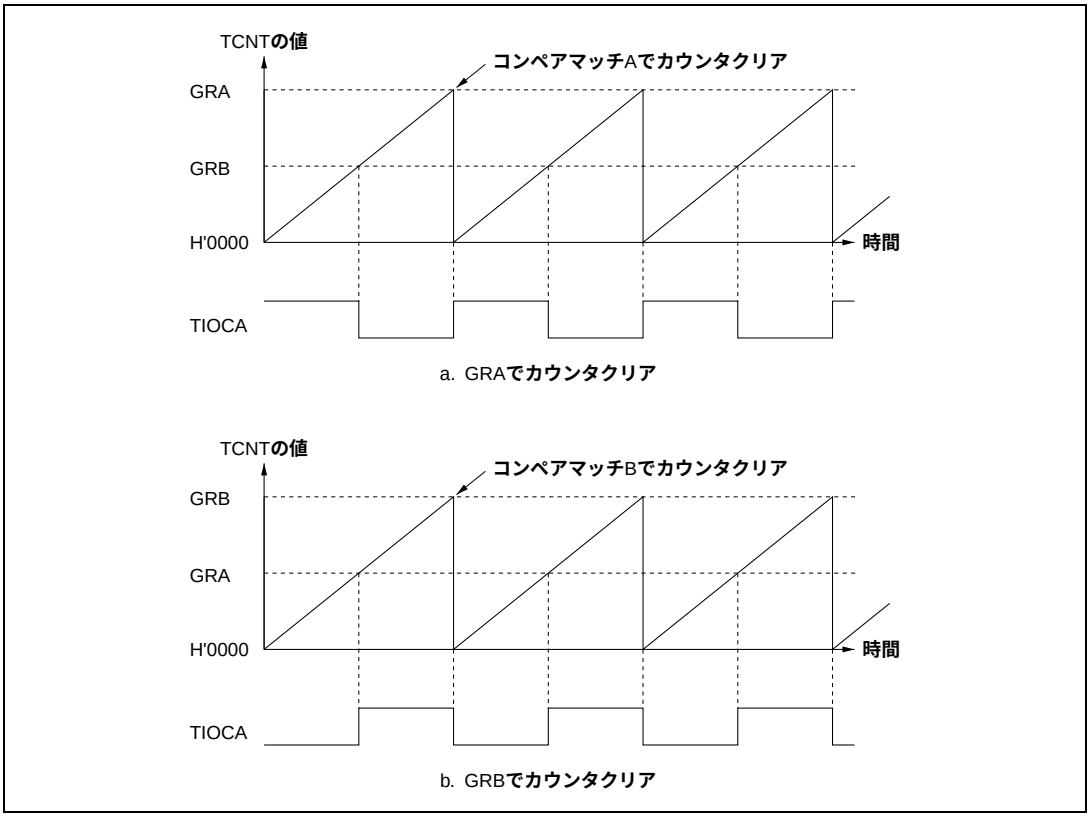


図 10.29　PWM **モードの動作例**（1）

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を**図** 10.30 に示します。

カウンタクリア要因を GRB のコンペアマッチに設定し、GRA の設定値＞GRB の設定値としたとき、PWM 波形はデューティ 0%となります。また、カウンタクリア要因を GRA のコンペアマッチに設定し、GRB の設定値＞GRA の設定値としたとき PWM 波形はデューティ 100%となります。

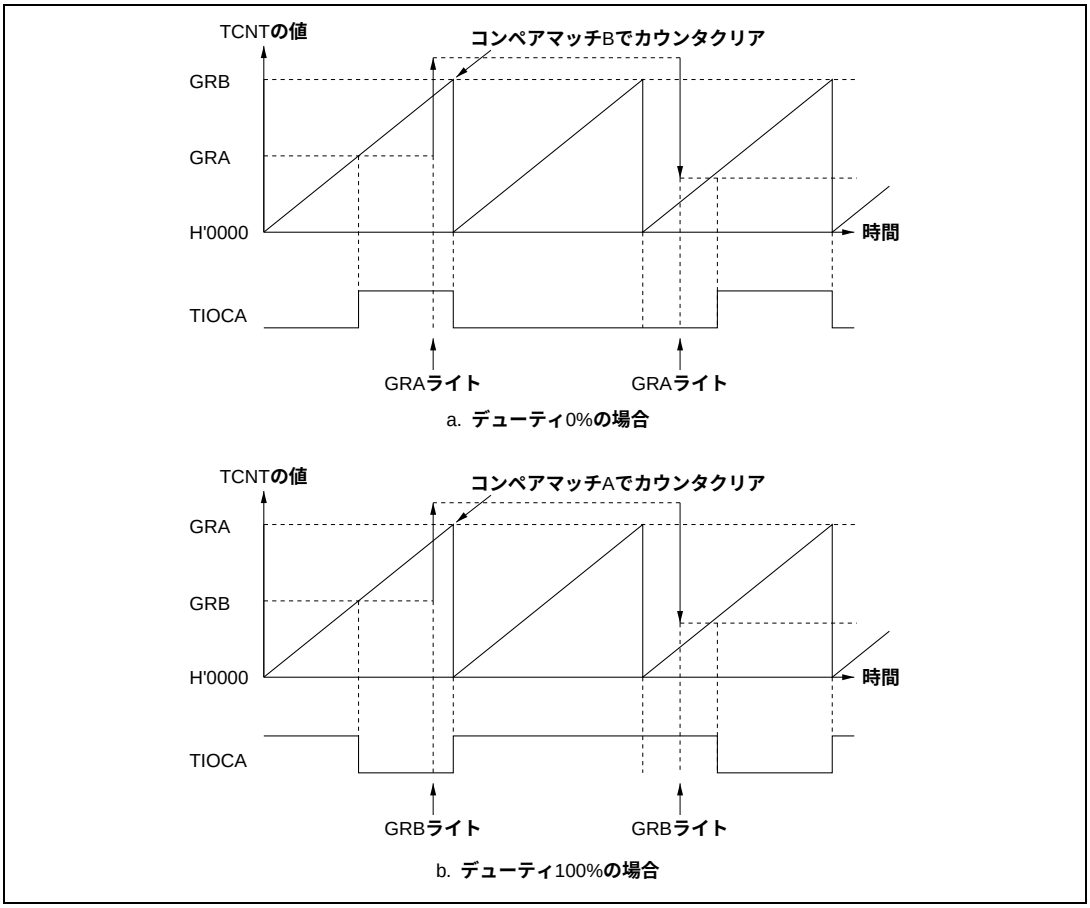


図 10.30　PWM **モードの動作例**（2）

10.4.5　リセット同期 PWM モード

リセット同期 PWM モードは、チャネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相と逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOCA3、TIOCB3、TIOCA4、TOCXA4、および TIOCB4、TOCXB4 端子は自動的に PWM 出力端子となり、TCNT3 はアップカウンタとして機能します。

使用される PWM 出力端子を**表** 10.5 に、使用するレジスタの設定を**表** 10.6 に示します。

表 10.5　**リセット同期** PWM **モード時の出力端子**

チャネル	出力端子	説　明
3	TIOCA3	PWM **出力** 1
	TIOCB3	PWM **出力** 1'（PWM **出力** 1 **の逆相波形**）
4	TIOCA4	PWM **出力** 2
	TOCXA4	PWM **出力** 2'（PWM **出力** 2 **の逆相波形**）
	TIOCB4	PWM **出力** 3
	TOCXB4	PWM **出力** 3'（PWM **出力** 3 **の逆相波形**）

表 10.6　リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT3	H'0000 を初期設定
TCNT4	使用しません（独立に動作）
GRA3	TCNT3 のカウント周期を設定
GRB3	TIOCA3、TIOCB3 端子より出力される PWM 波形の変化点を設定
GRA4	TIOCA4、TOCXA4 端子より出力される PWM 波形の変化点を設定
GRB4	TIOCB4、TOCXB4 端子より出力される PWM 波形の変化点を設定

(1)　リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順を図 10.31 に示します。

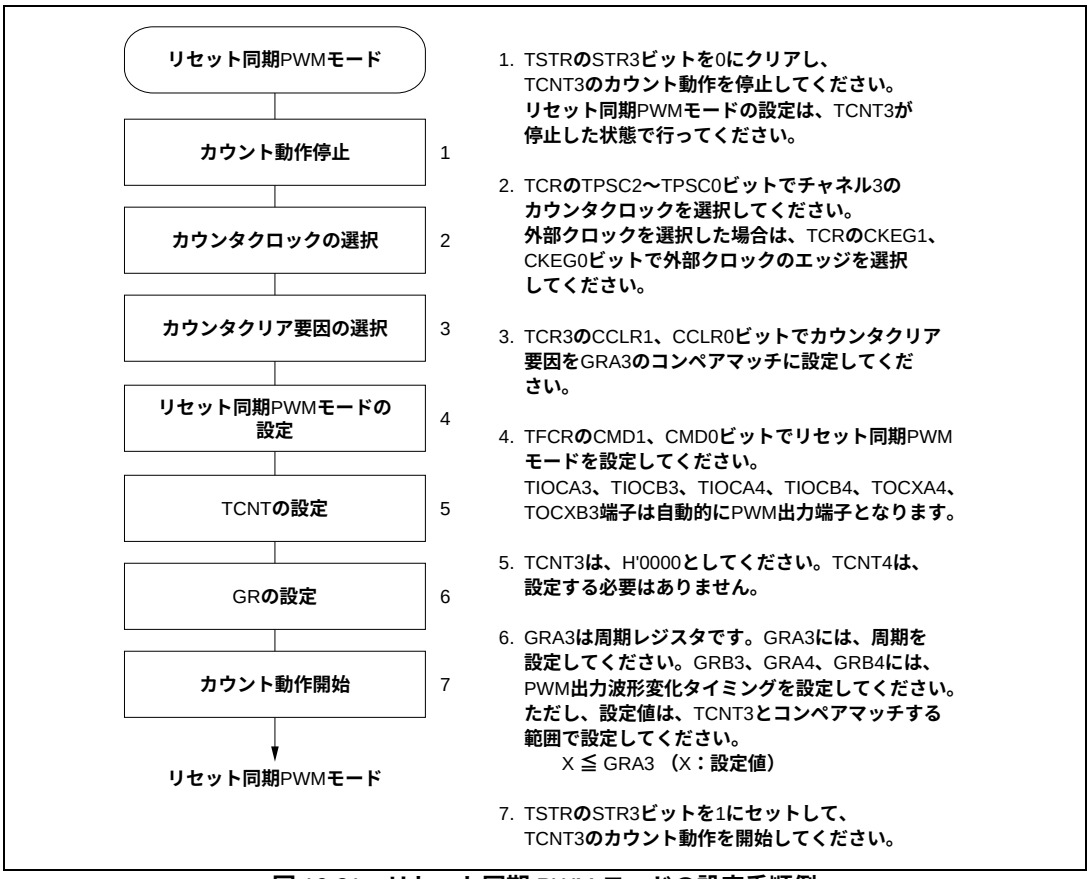


図 10.31　リセット同期 PWM モードの設定手順例

(2)　　**リセット同期** PWM **モードの動作例**

リセット同期 PWM モードの動作例を**図** 10.32 に示します。

リセット同期 PWM モードでは、TCNT3 はアップカウンタとして動作します。TCNT4 は独立動作します。ただし、GRA4、GRB4 は TCNT4 から切り離されます。TCNT3 が GRA3 とコンペアマッチするとカウンタはクリアされ、H'0000 からカウントアップを再開します。

PWM 出力端子は、それぞれ GRB3、GRA4、GRB4 と TCNT3 のコンペアマッチおよびカウンタクリアが発生するたびにトグル出力を行います。

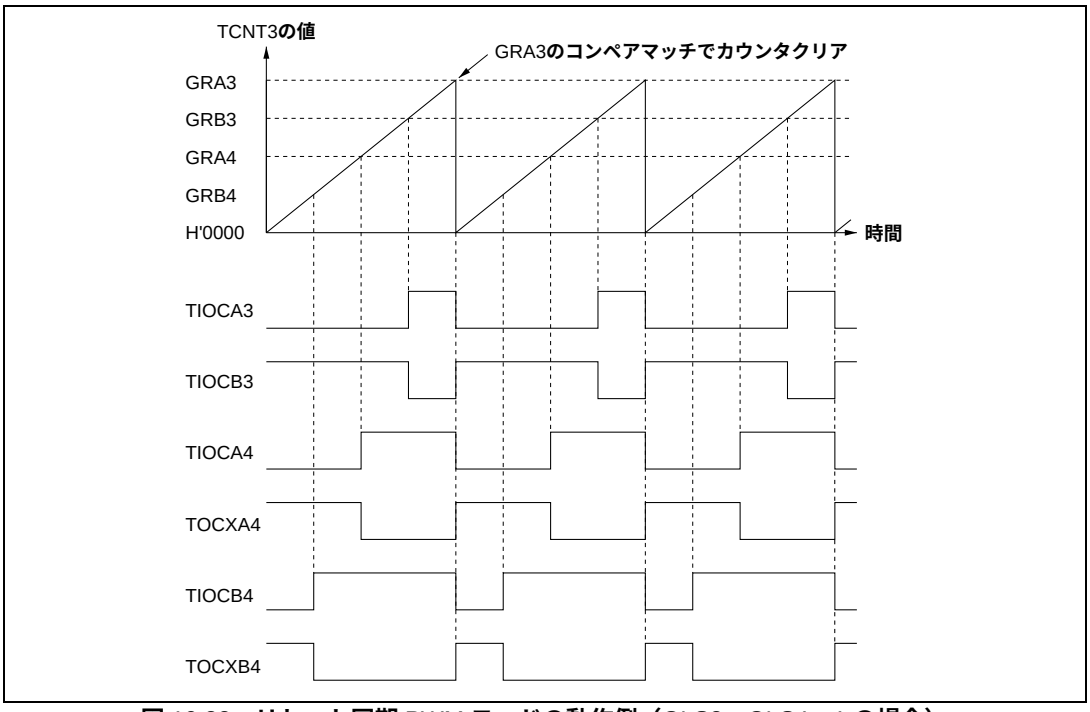


図 10.32　**リセット同期** PWM **モードの動作例（**OLS3＝OLS4＝1 **の場合）**

リセット同期 PWM モードとバッファ動作を同時に設定した場合の動作については、**「**10.4.8　**バッファ動作」**を参照してください。

10.4.6　相補 PWM モード

相補 PWM モードは、チャネル 3、4 を組み合わせることにより、正相と逆相がノンオーバラップの関係にある PWM 波形を 3 相出力します。

相補 PWM モードに設定すると、TIOCA3、TIOCB3、TIOCA4、TOCXA4、および TIOCB4、TOCXB4 端子は自動的に PWM 出力端子となり、TCNT3 と TCNT4 はアップ／ダウンカウンタとして機能します。

使用される PWM 出力端子を**表** 10.7 に、使用するレジスタの設定を**表** 10.8 に示します。

表 10.7　相補 PWM モード時の出力端子

チャネル	出力端子	説　明
3	TIOCA3	PWM 出力 1
	TIOCB3	PWM 出力 1' （PWM 出力 1 とノンオーバラップの関係にある逆相波形）
4	TIOCA4	PWM 出力 2
	TOCXA4	PWM 出力 2' （PWM 出力 2 とノンオーバラップの関係にある逆相波形）
	TIOCB4	PWM 出力 3
	TOCXB4	PWM 出力 3' （PWM 出力 3 とノンオーバラップの関係にある逆相波形）

表 10.8　相補 PWM モード時のレジスタ設定

レジスタ	設　定　内　容
TCNT3	ノンオーバラップ期間を初期設定（TCNT4 との差がノンオーバラップ期間となります）
TCNT4	H'0000 を初期設定
GRA3	TCNT3 の上限値－1 を設定
GRB3	TIOCA3、TIOCB3 端子より出力される PWM 波形の変化点を設定
GRA4	TIOCA4、TOCXA4 端子より出力される PWM 波形の変化点を設定
GRB4	TIOCB4、TOCXB4 端子より出力される PWM 波形の変化点を設定

(1)　相補 PWM モードの設定手順

相補 PWM モードの設定手順例を図 10.33 に示します。

1. TSTRのSTR3、STR4ビットを0にクリアしTCNTのカウント動作を停止してください。相補PWMモードの設定は、TCNT3、TCNT4が停止した状態で行ってください。

2. TCRのTPSC2～TPSC0ビットでチャネル3、4に同一カウンタクロックを選択してください。外部クロックを選択した場合は、TCRのCKEG1、CKEG0ビットで外部クロックのエッジを選択してください。TCRのCCLR1、CCLR0ビットでカウンタクリアは選択しないでください。

3. TFCRのCMD1、CMD0ビットで相補PWMモードを設定してください。TIOCA3、TIOCB3、TIOCA4、TIOCB4、TOCXA4、TOCXB4端子は自動的にPWM出力端子となります。

4. TCNT4は、H'0000としてください。TCNT3は、ノンオーバラップ期間を設定してください。TCNT3とTCNT4に同じ値を設定しないでください。

5. GRA3は同期レジスタです。GRA3には、TCNT3の上限値－1を設定してください。GRB3、GRA4、GRB4には、PWM出力波形変化タイミングを設定してください。ただし、設定値は、TCNT3とTCNT4がコンペアマッチする範囲で設定してください。

   T≦X （X：GRA3、GRA4、GRB4の初期設定値、T：TCNT3の初期設定値）

6. TSTRのSTR3、STR4ビットを1にセットして、TCNT3、TCNT4のカウント動作を開始してください。

【注】相補PWMモードを途中で解除した後、再びPWMモードを開始したい場合、設定手順1から、再設定を行ってください。

図 10.33　相補 PWM モードの設定手順例

(2) 相補 PWM モードの解除手順

相補 PWM モードの解除手順例を**図** 10.34 に示します。

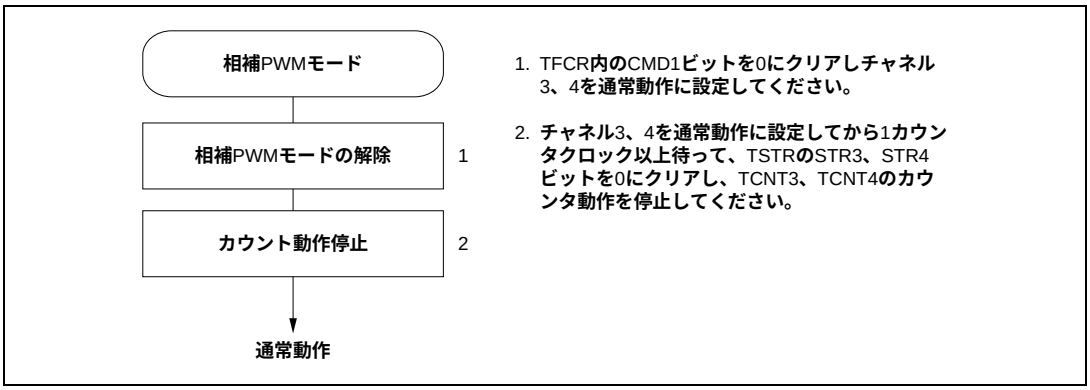


図 10.34 **相補** PWM **モードの解除手順**

(3) 相補 PWM モードの動作例

相補 PWM モードの動作例を**図** 10.35 に示します。

相補 PWM モードでは、TCNT3、TCNT4 はアップ／ダウンカウンタとして動作します。TCNT3 が GRA3 とコンペアマッチするとダウンカウントし、TCNT4 がアンダフローするとアップカウントします。

GRB3、GRA4、GRB4 はカウンタのアップ／ダウン 1 周期中、それぞれ TCNT3→TCNT4→TCNT4→TCNT3 の順にコンペアマッチを行い PWM 波形を生成します（本モードでは、TCNT3＞TCNT4 に初期設定します）。

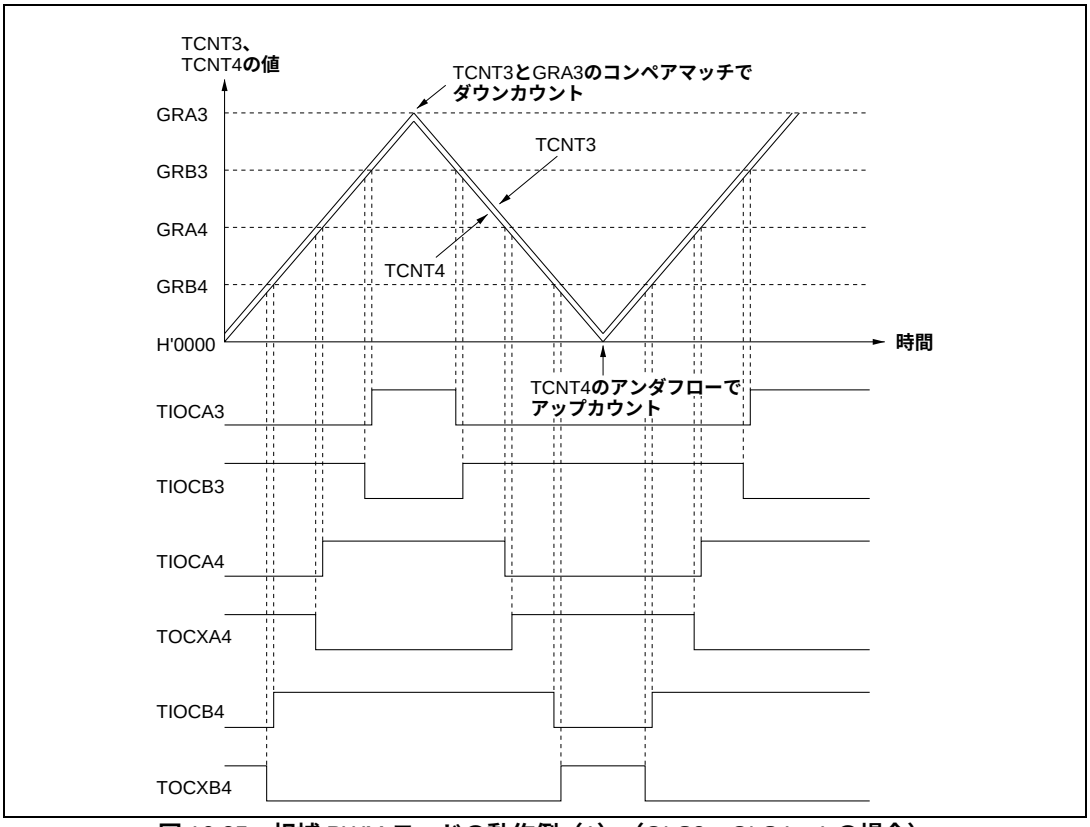


図 10.35　**相補** PWM **モードの動作例（**1**）（**OLS3＝OLS4＝1 **の場合）**

相補 PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例（1 相分）を**図** 10.36 に示します。

本例では GRB3 のコンペアマッチで端子出力が変化しますので、GRB3 の値を GRA3 の値よりも大きい値とすることでデューティ 0%、デューティ 100%の波形出力が可能となります。バッファ動作を併用すると上記操作を含め、動作中のデューティ変更を容易に行うことができます。

バッファ動作については**「**10.4.8　**バッファ動作」**を参照してください。

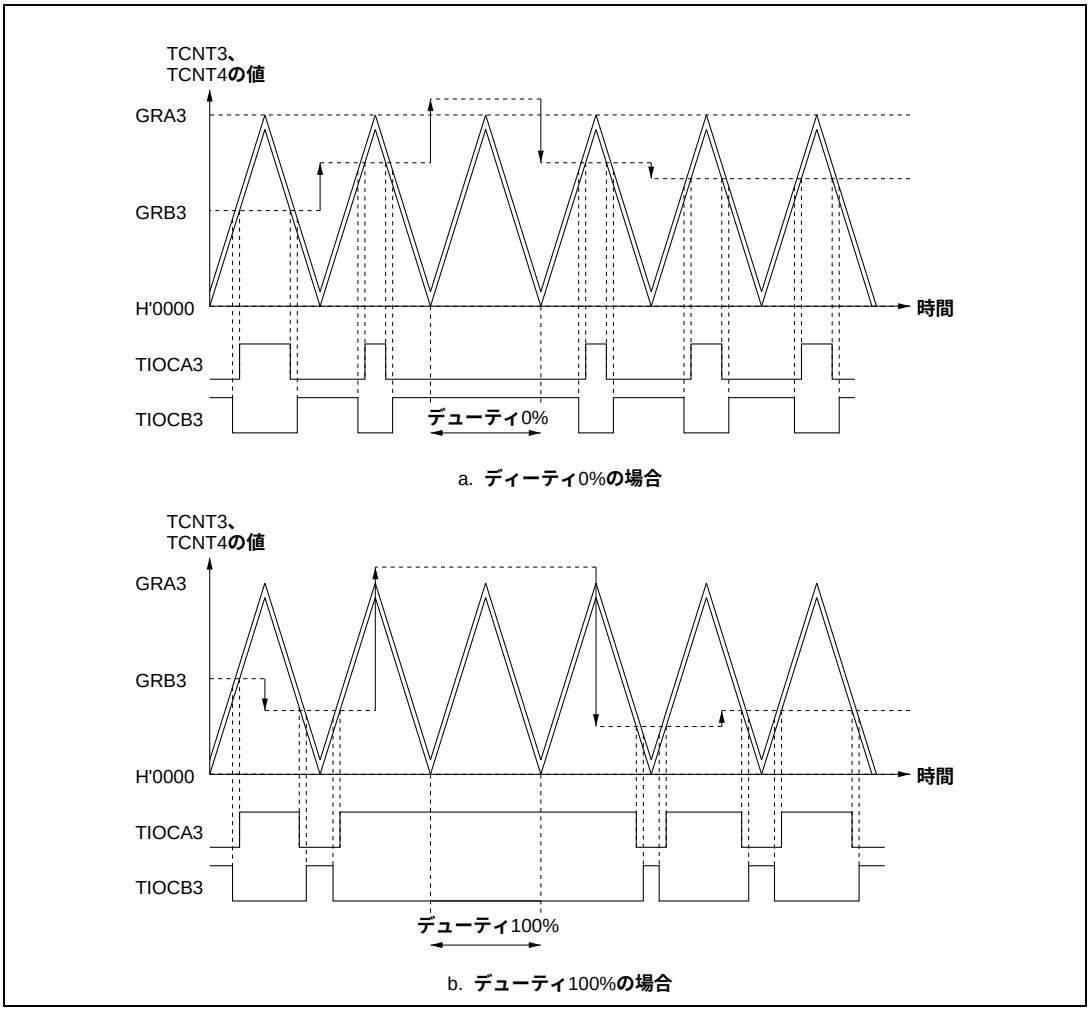


図 10.36　**相補** PWM **モードの動作例（**2**）（**OLS3＝OLS4＝1 **の場合）**

相補 PWM モードを使用しているときのアップカウント／ダウンカウントの変化点で、TCNT3、TCNT4 はそれぞれオーバシュート／アンダシュートを発生します。

このとき、チャネル 3 の IMFA フラグおよびチャネル 4 の OVF フラグをセットする条件は通常の場合とは異なります。また、バッファ動作での転送条件も異なります。

このタイミングを**図** 10.37、**図** 10.38 に示します。

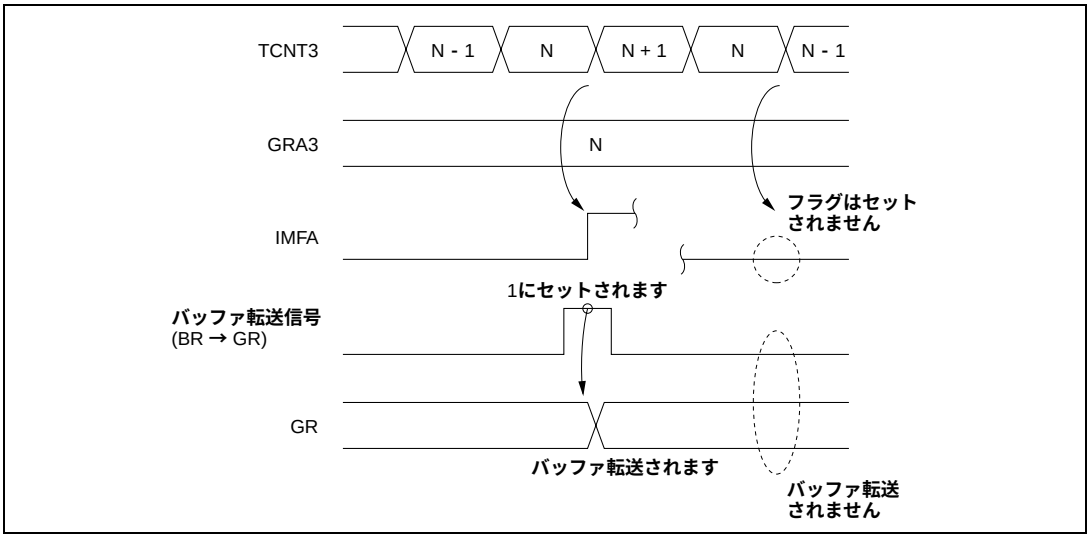


図 10.37　**オーバシュート時のタイミング**

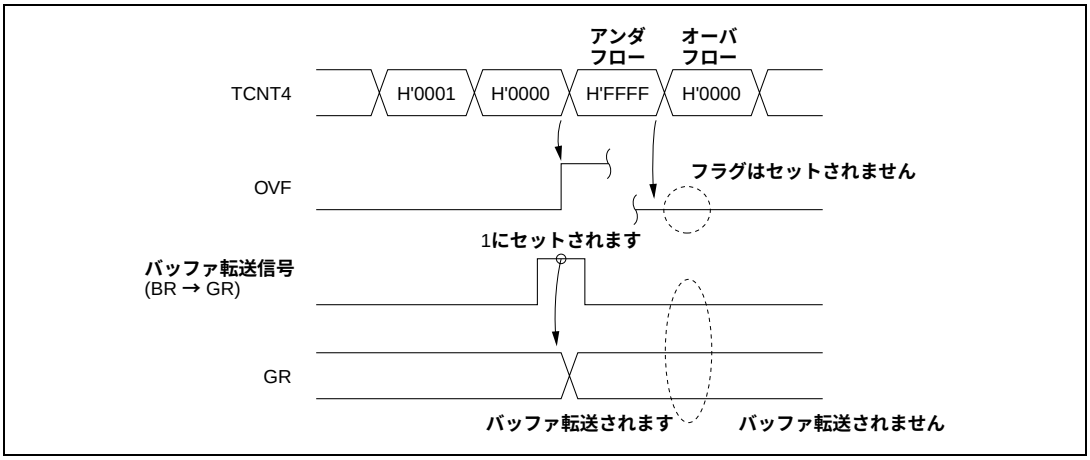


図 10.38　**アンダシュート時のタイミング**

チャネル 3 の IMFA フラグはアップカウント時に、チャネル 4 の OVF フラグはアンダフロー時のみ、それぞれ 1 にセットされます。

バッファ動作を設定された BR は、アップカウント動作時のコンペアマッチ A3 または TCNT4 のアンダフローによって GR に転送されます。

(4)　相補 PWM モードでの GR の設定値

相補 PWM モードでの GR の設定および動作中の変更については、以下の点に注意してください。

- 初期値
  H'0000～T－1（T：TCNT3 の初期設定値）の設定は禁止です。
  なお、カウントスタート後、最初に発生するコンペアマッチ A3 のタイミング以降では、この設定も可能です。
- 設定値の変更方法
  バッファ動作を使用してください。直接 GR にライトすると、正しく波形出力されない場合があります。
- 設定値変更時の注意

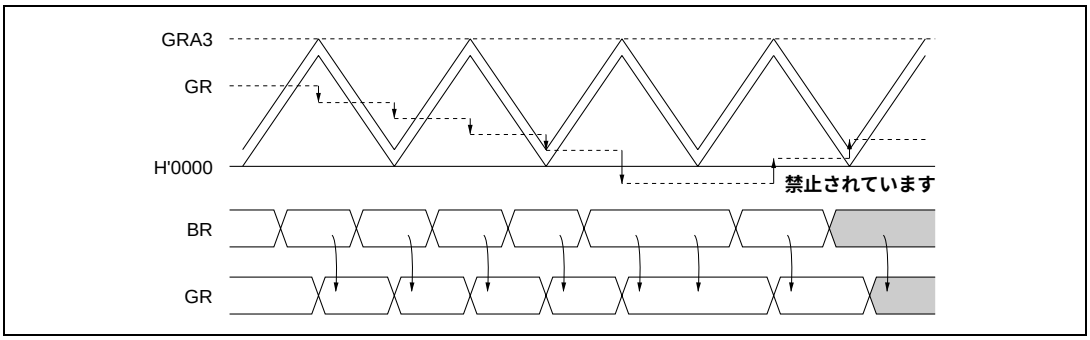


図 10.39　**バッファ動作による** GR **の設定値変更例（**1**）**

(a)　アップカウントからダウンカウントへの変化時のバッファ転送

GR の内容が GRA3－T＋1～GRA3 の範囲内であるとき、この範囲外の値は転送しないでください。また、GR の内容がこの範囲外であるとき、この範囲内の値は転送しないでください。

バッファ動作による GR の設定変更時の注意（1）を**図** 10.40 に示します。

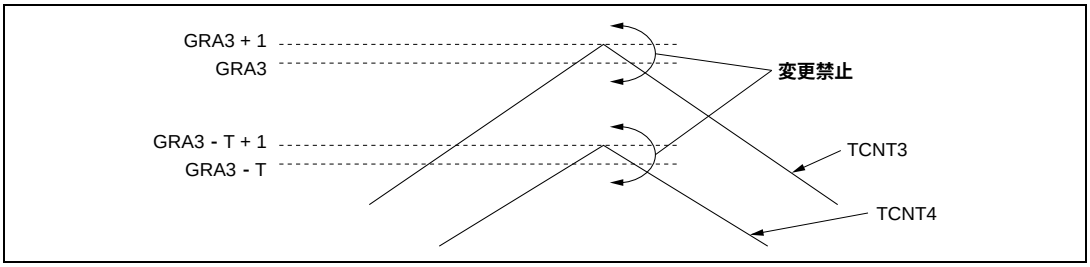


図 10.40　**バッファ動作による** GR **の設定変更時の注意（**1**）**

(b)　ダウンカウントからアップカウントへの変化時のバッファ転送

GR の内容が H'0000～T－1 の範囲であるとき、この範囲外の値は転送しないでください。また、GR の内容がこの範囲外であるとき、この範囲内の値は転送しないでください。

バッファ動作による GR の設定変更時の注意（2）を**図** 10.41 に示します。

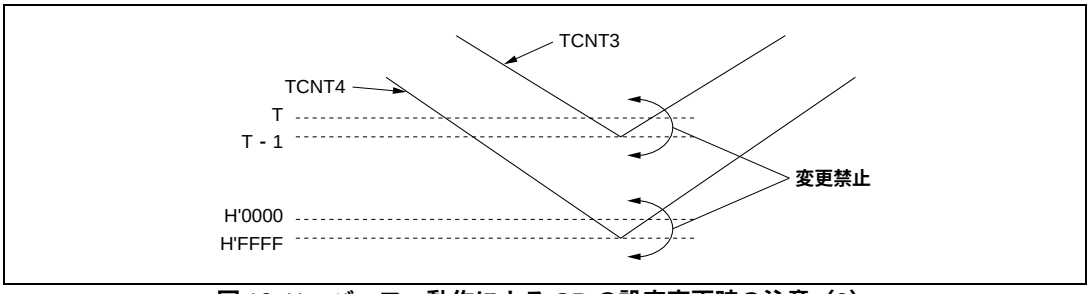


図 10.41　**バッファ動作による** GR **の設定変更時の注意**（2）

(c)　GR **の設定をカウント領域**（H'0000～GRA3）**外とするとき**

デューティ 0%、100%の波形を出力する場合、GR の設定をカウント領域外とすることにより実現可能です。このとき、カウント領域外の設定値を BR にライトしたときのカウント方向（アップ／ダウンカウント）と、カウント領域内にもどる設定値を BR にライトするときのカウント方向が同一となるようにしてください。

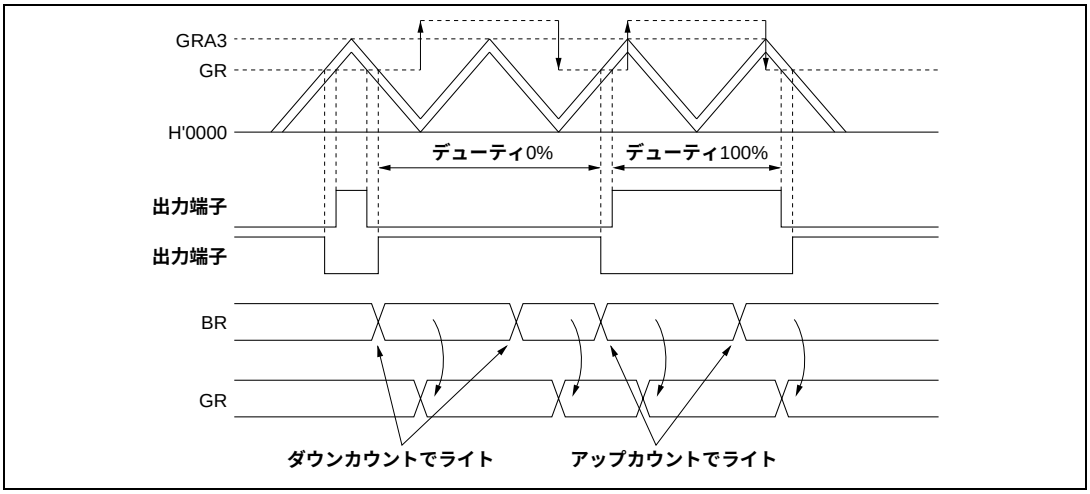


図 10.42　**バッファ動作による** GR **の設定値変更例**（2）

上記設定は、GRA3 のコンペアマッチまたは TCNT4 のアンダフローが発生したことを検出して、BR へライトをすることによって実現可能です。また、GRA3 のコンペアマッチによって DMAC を起動することによっても実現可能です。

10.4.7　位相計数モード

位相計数モードは、2 本の外部クロック入力（TCLKA、TCLKB 端子）の位相差を検出し、TCNT2 をアップ／ダウンカウントします。

位相計数モードに設定すると、TCR2 の TPSC2～TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらず TCLKA、TCLKB 端子は自動的に外部クロック入力端子として機能し、また TCNT2 はアップ／ダウンカウンタとなります。ただし、TCR2 の CCLR1、CCLR0 ビット、TIOR2、TIER2、TSR2、GRA2、GRB2 は有効ですので、インプットキャプチャ／アウトプットコンペア機能や割込み要因は使用することができます。

位相計数モードはチャネル 2 のみがもつ機能です。

(1)　位相計数モードの設定手順例

位相計数モードの設定手順例を**図** 10.43 に示します。

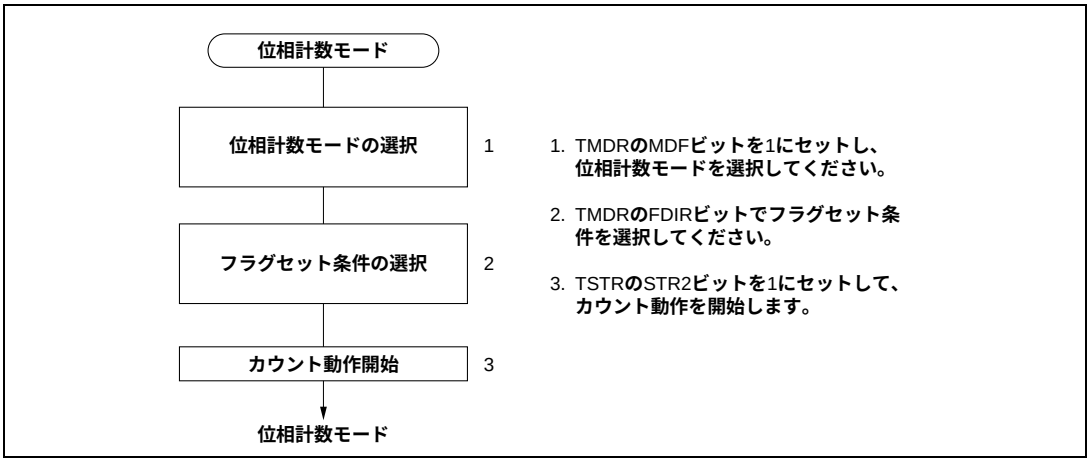


図 10.43　**位相計数モードの設定手順例**

(2)　位相計数モードの動作例

位相計数モードの動作例を**図** 10.44 に、TCNT2 のアップ／ダウンカウント条件を**表** 10.9 にそれぞれ示します。

位相計数モードでは、TCLKA、TCLKB 端子の立上がり（↑）／立下がり（↓）の両エッジでカウントされます。このとき、TCLKA、TCLKB の位相差およびオーバラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。

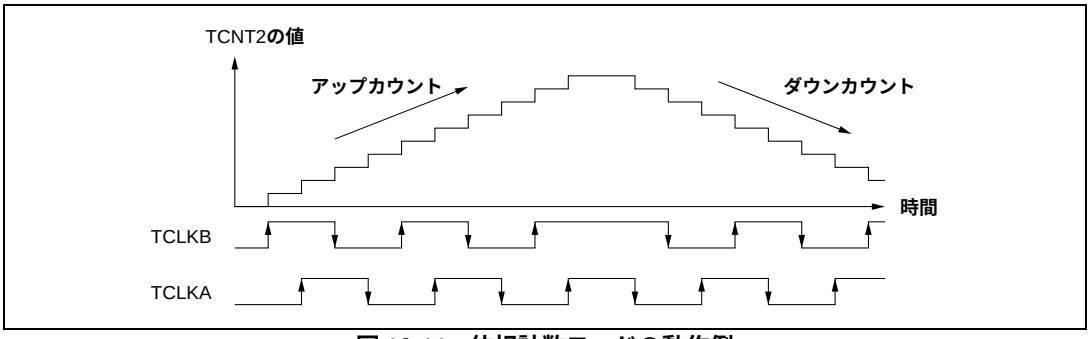


図 10.44　**位相計数モードの動作例**

表 10.9　**アップ／ダウンカウント条件**

カウント方向	アップカウント				ダウンカウント			
TCLKB	↑	High	↓	Low	High	↓	Low	↑
TCLKA	Low	↑	High	↓	↓	Low	↑	High

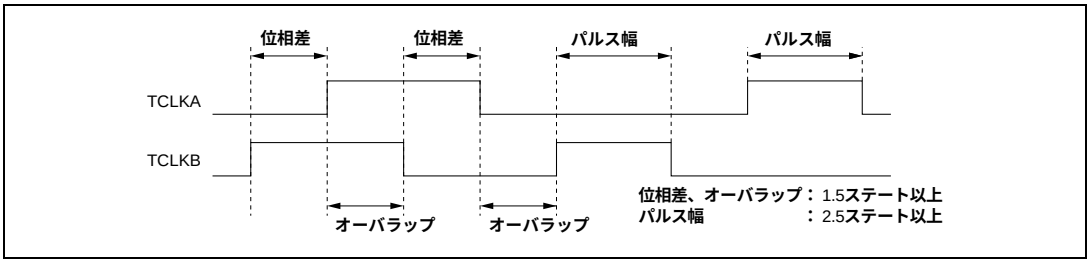


図 10.45　**位相計数モード時の位相差、オーバラップおよびパルス幅**

10.4.8　バッファ動作

バッファ動作は、GR をアウトプットコンペアレジスタに設定した場合、GR をインプットキャプチャレジスタに設定した場合、リセット同期 PWM モード時、および相補 PWM モード時で機能が異なります。

バッファ動作はチャネル 3、4 のみがもつ機能です。

上記の条件でバッファ動作に設定すると以下のように動作します。

（1）　GRがアウトプットコンペアレジスタの場合
コンペアマッチが発生すると当該チャネルのBRの値が、GRに転送されます。
この動作を**図**10.46に示します。

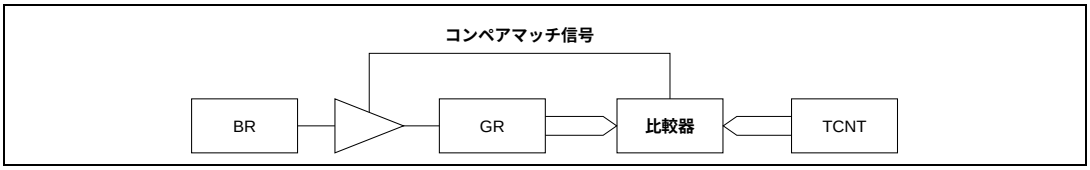


図 10.46　**コンペアマッチバッファ動作**

（2）　GRがインプットキャプチャレジスタの場合
インプットキャプチャが発生するとTCNTの値をGRに転送すると同時に、それまで格納されていたGRの値をBRに転送します。
この動作を**図**10.47に示します。

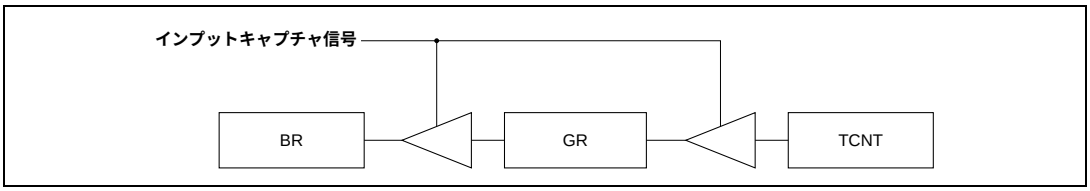


図 10.47　**インプットキャプチャバッファ動作**

（3）　相補PWMモードの場合
TCNT3、TCNT4のカウント方向が変化するとBRの値がGRに転送されます。このとき、BRからGRへの転送は以下のタイミングで行われます。
– TCNT3 と GRA3 がコンペアマッチしたとき
– TCNT4 がアンダフローしたとき

（4）　リセット同期PWMモードの場合
コンペアマッチA3によりBRの値が、GRに転送されます。

(1)　バッファ動作の設定手順例

バッファ動作の設定手順例を**図** 10.48 に示します。

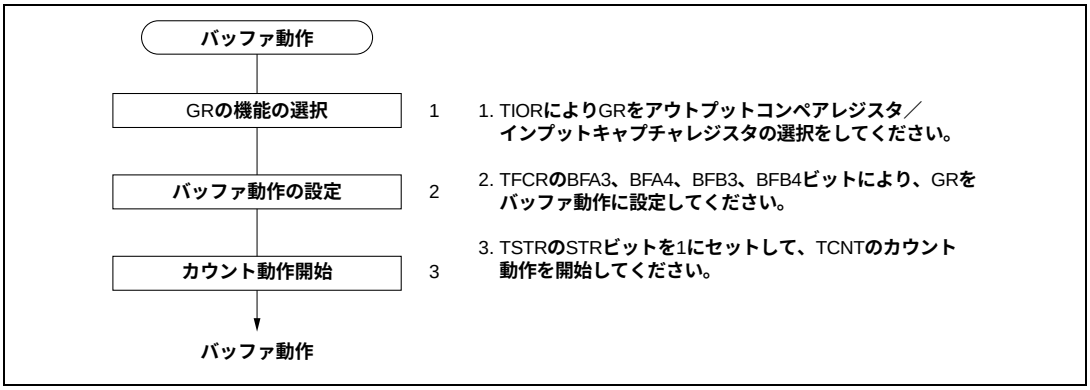


図 10.48　**バッファ動作の設定手順例**

(2)　バッファ動作例

GRA をアウトプットコンペアレジスタに設定し、GRA と BRA をバッファ動作に設定したときの動作を**図** 10.49 に示します。

TCNT がコンペアマッチ B によりクリアされる周期カウント動作をしている場合の例です。また、TIOCA、TIOCB 端子は、それぞれコンペアマッチ A、B によるトグル出力が設定されています。

バッファ動作が設定されているため、コンペアマッチ A で TIOCA 端子がトグル出力を行うと同時に、BRA の値が GRA に転送されます。この動作をコンペアマッチ A が発生するたびに繰り返し

ます。
　この転送タイミングを**図** 10.50 に示します。

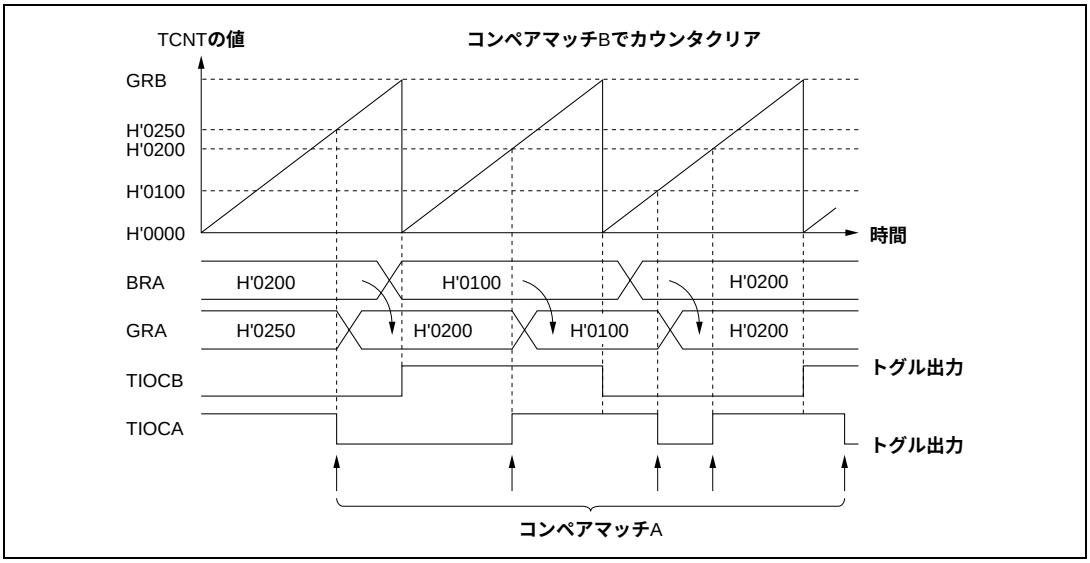


図 10.49　**バッファ動作例（1）（アウトプットコンペアレジスタに対するバッファ動作）**

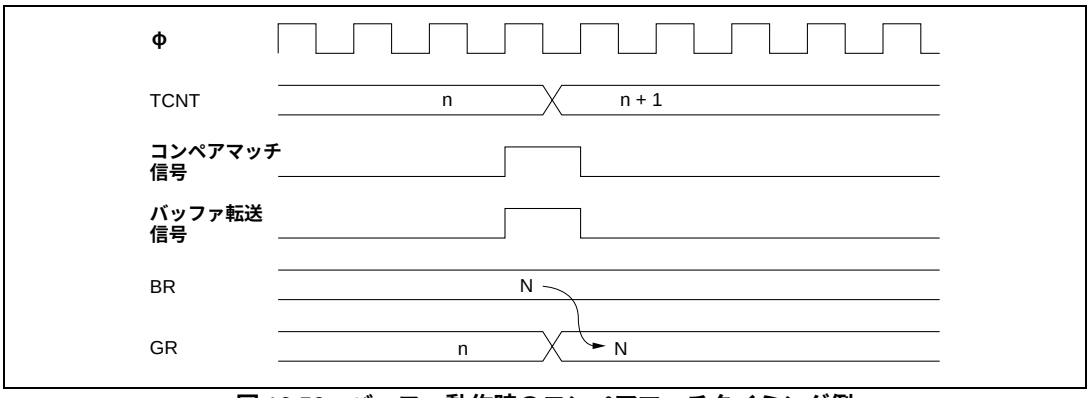


図 10.50　**バッファ動作時のコンペアマッチタイミング例**

GRA をインプットキャプチャレジスタに設定し、GRA と BRA をバッファ動作に設定したときの動作を**図** 10.51 に示します。

TCNT がインプットキャプチャ B によりカウンタクリアされる場合の例です。TIOCB 端子のインプットキャプチャ入力エッジは、立下がりエッジが選択され、また、TIOCA 端子のインプットキャプチャ入力エッジは、立上がり／立下がりの両エッジが選択されているとします。バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が GRA に格納されると同時に、それまで格納されていた GRA の値が BRA に転送されます。

この転送タイミングを**図** 10.52 に示します。

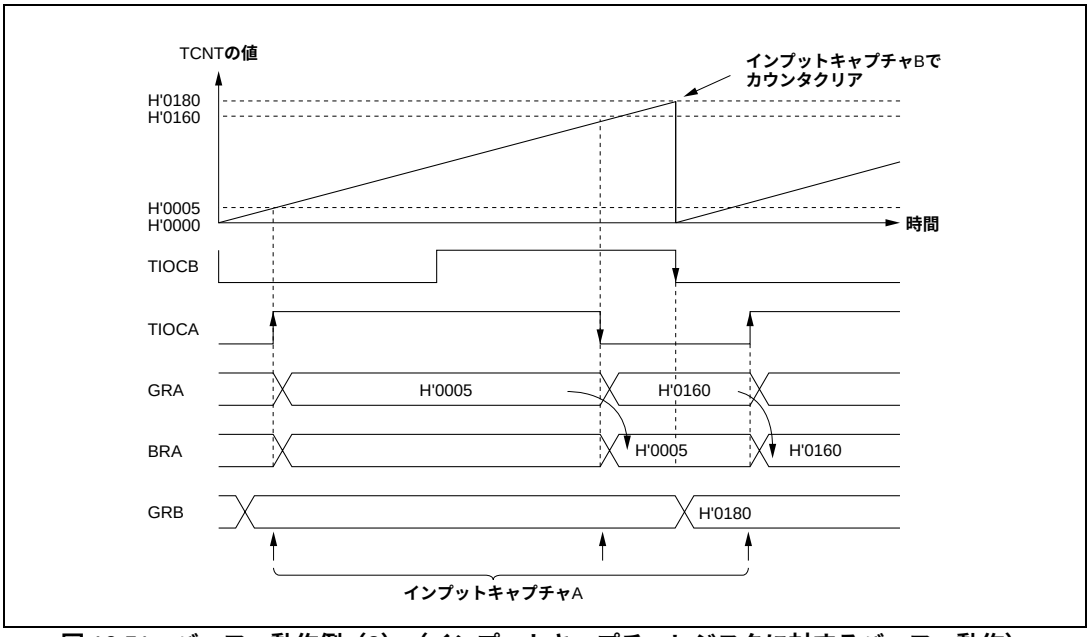


図 10.51　**バッファ動作例（2）（インプットキャプチャレジスタに対するバッファ動作）**

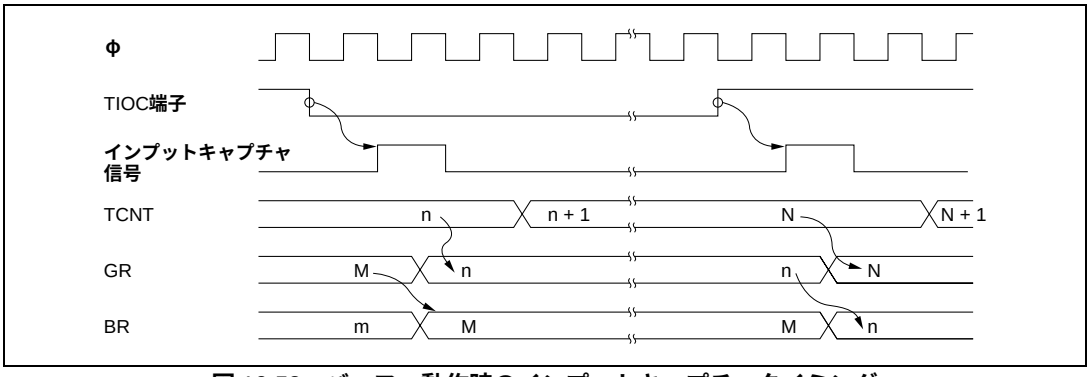


図 10.52　**バッファ動作時のインプットキャプチャタイミング**

相補 PWM モード時、GRB3 と BRB3 をバッファ動作に設定したときの動作例を**図** 10.53 に示します。

バッファ動作を使用して GRB3＞GRA3 とすることにより、デューティ 0%の PWM 波形を生成した場合の例です。

BRB から GRB への転送は、TCNT3 と GRA3 がコンペアマッチしたとき、および TCNT4 がアンダフローしたときに行われます。

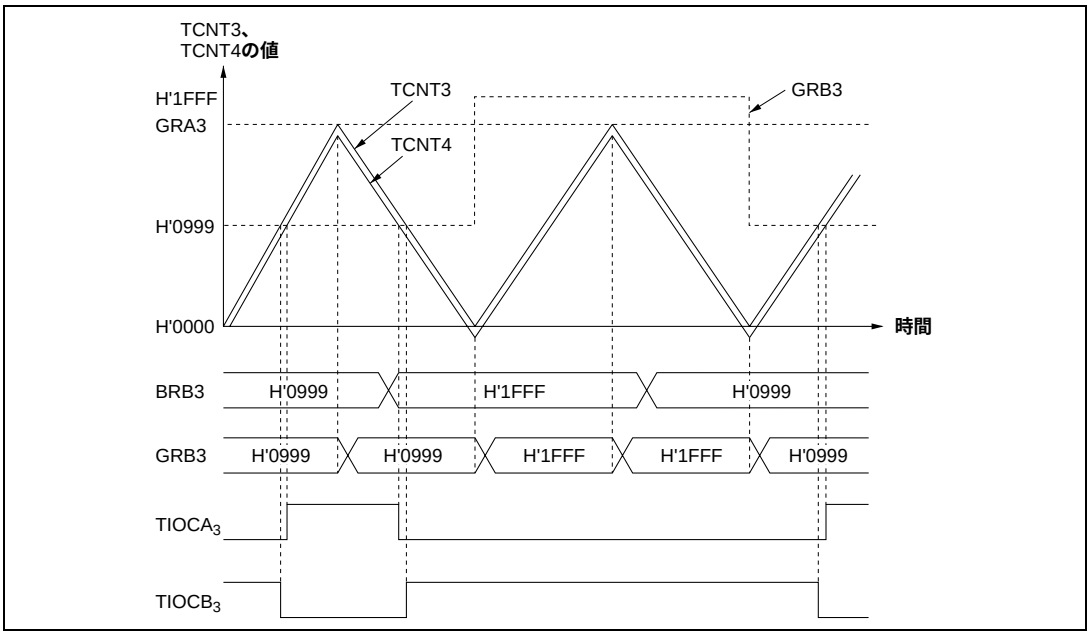


図 10.53　**バッファ動作例（**3**）（相補** PWM **モード時のバッファ動作）**

10.4.9　ITU 出力タイミング

チャネル 3、4 の ITU 出力は、TOER、TOCR の設定および外部トリガにより、出力を禁止したり反転したりすることができます。

(1)　TOER **による** ITU **出力の許可／禁止タイミング**

TOER のマスタイネーブルビットを 0 にクリアして、ITU 出力を禁止する場合の例です。対応する入出力ポートの DR、DDR をあらかじめ設定しておくことにより、任意の値を出力することができます。

TOER による ITU 出力を許可／禁止するタイミングを**図** 10.54 に示します。

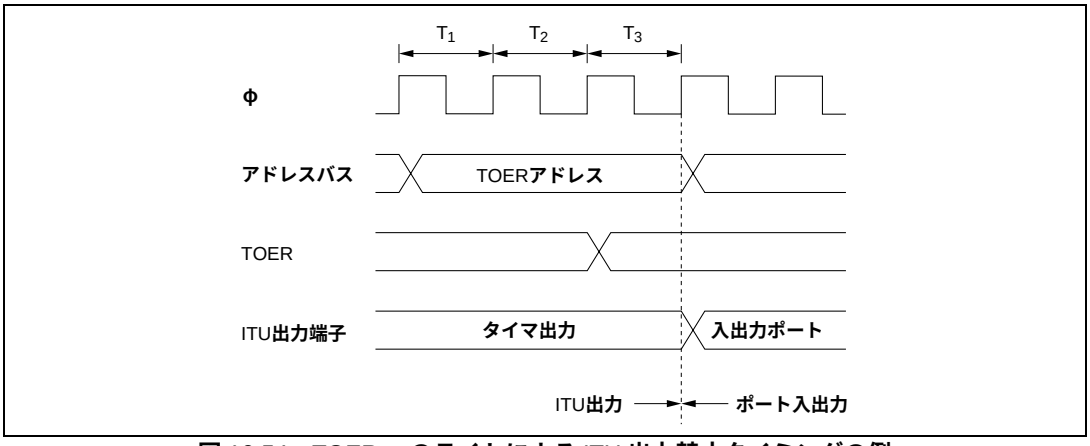


図 10.54　TOER **へのライトによる** ITU **出力禁止タイミングの例**

(2)　　外部トリガによる ITU 出力禁止タイミング

リセット同期 PWM モードまたは相補 PWM モード時に、TOCR の XTGD ビットが 0 にクリアされている状態でチャネル 1 のインプットキャプチャ A 信号が発生すると、TOER のマスタイネーブルビットが 0 にクリアされ ITU 出力が禁止されます。

このタイミングを**図** 10.55 に示します。

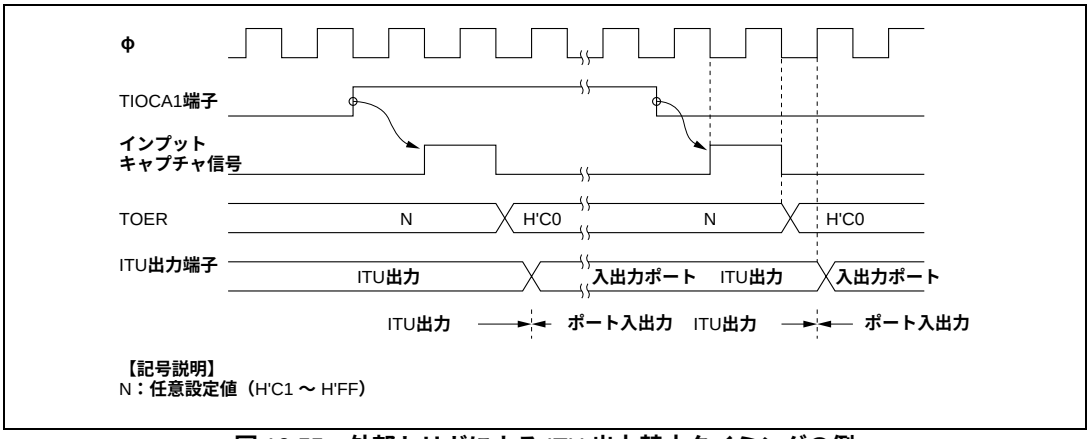


図 10.55　**外部トリガによる** ITU **出力禁止タイミングの例**

(3)　TOCR による出力反転タイミング

リセット同期 PWM モードまたは相補 PWM モード時に、TOCR のアウトプットレベルセレクト（OLS4、OLS3）ビットを反転することにより、出力レベルを反転することができます。

このタイミングを図 10.56 に示します。

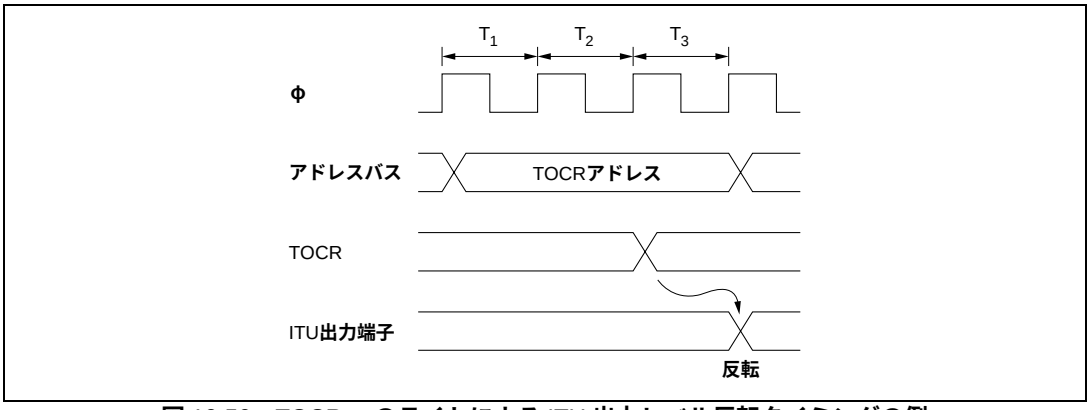


図 10.56　TOCR へのライトによる ITU 出力レベル反転タイミングの例

10.5　割込み

ITU の割込み要因には、インプットキャプチャ／コンペアマッチ割込み、オーバフロー割込みの 2 種類があります。

10.5.1　ステータスフラグのセットタイミング

(1)　コンペアマッチ時の IMFA、IMFB フラグのセットタイミング

IMF フラグは、GR と TCNT が一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。したがって、TCNT と GR が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

図 10.57 に IMF フラグのセットタイミングを示します。

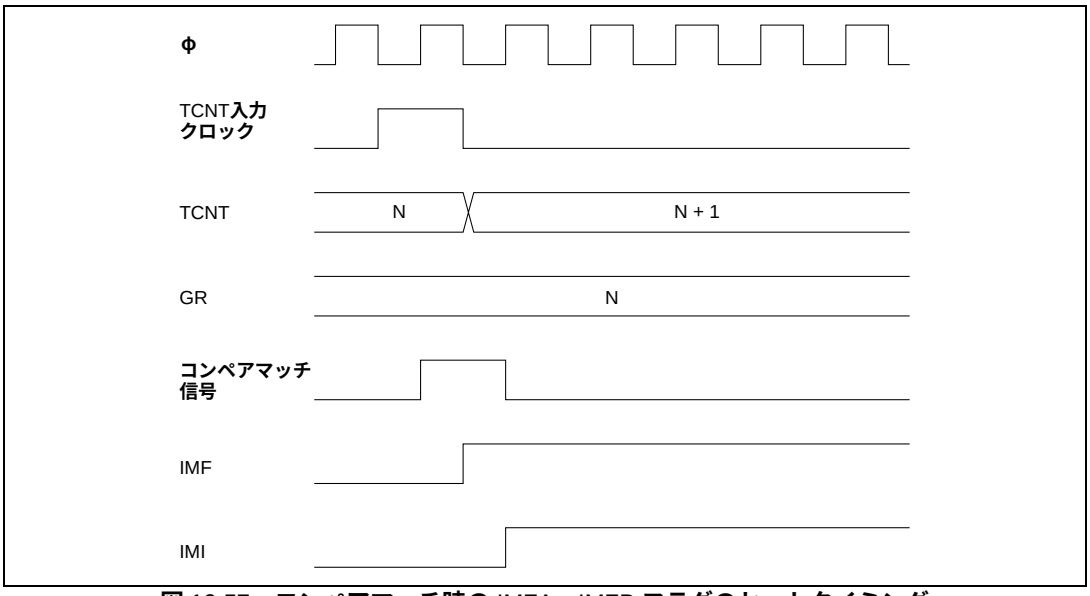


図 10.57　**コンペアマッチ時の** IMFA、IMFB **フラグのセットタイミング**

(2)　インプットキャプチャ時の IMFA、IMFB フラグのセットタイミング

インプットキャプチャ信号の発生により IMF フラグは 1 にセットされ、同時に TCNT の値が対応する GR に転送されます。

このタイミングを**図** 10.58 に示します。

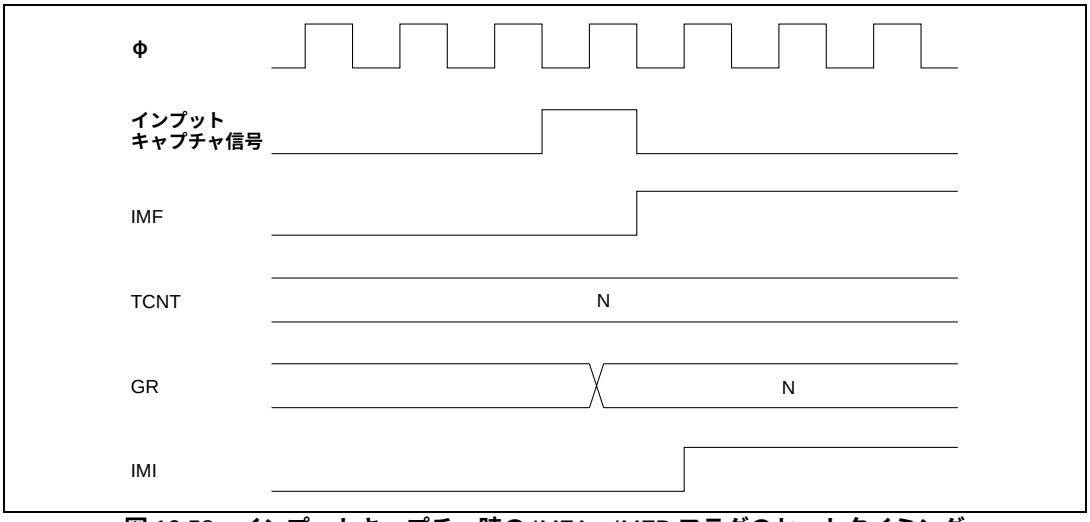


図 10.58　**インプットキャプチャ時の** IMFA、IMFB **フラグのセットタイミング**

(3)　　**オーバフローフラグ（**OVF**）のセットタイミング**

OVF フラグは、TCNT がオーバフロー（H'FFFF→H'0000）したとき、またはアンダフロー（H'0000→H'FFFF）したときに 1 にセットされます。

このときのタイミングを**図** 10.59 に示します。

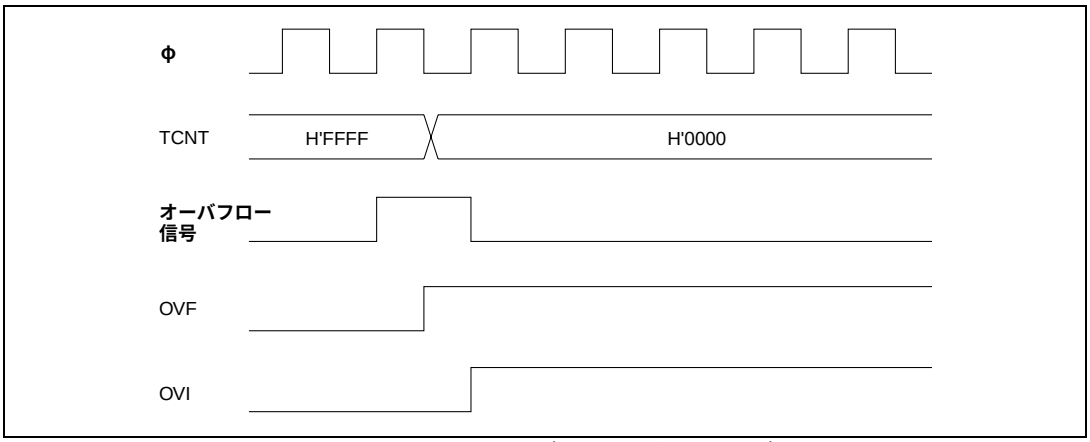


図 10.59　OVF **フラグのセットタイミング**

10.5.2　ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態をリードした後 0 をライトするとクリアされます。

このタイミングを**図** 10.60 に示します。

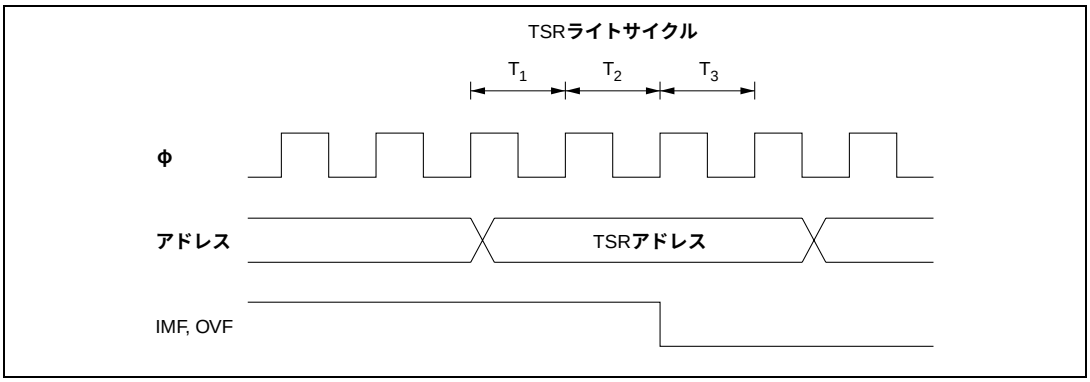


図 10.60　**ステータスフラグのクリアタイミング**

10.5.3　割込み要因と DMA コントローラの起動

ITU は各チャネルごとにコンペアマッチ／インプットキャプチャ A 割込み、コンペアマッチ／インプットキャプチャ B 割込み、およびオーバフロー割込みをもっています。これら 2 種類の割込み計 15 本の割込みは、それぞれ独立のベクタアドレスが割り付けられています。割込み要求フラグが 1 にセットされ、かつ割込み許可ビットが 1 にセットされているとき、当該割込みが要求されます。

チャネル間の優先順位は、IPRA、IPRB により変更可能です。詳細は**「第 5 章　割込みコントローラ」**を参照してください。

チャネル 0～3 のコンペアマッチ／インプットキャプチャ A 割込みは DMAC の起動要因とすることができます。このときは、CPU へは当該割込みは要求されません。

ITU の割込み要因を**表** 10.10 に示します。

表 10.10　ITU **割込み要因**

チャネル	割込み要因	内　容	DMAC の起動	優先順位*
0	IMIA0	コンペアマッチ／インプットキャプチャ A0	可	高
	IMIB0	コンペアマッチ／インプットキャプチャ B0	不可	↑
	OVI0	オーバフロー 0	不可	
1	IMIA1	コンペアマッチ／インプットキャプチャ A1	可	
	IMIB1	コンペアマッチ／インプットキャプチャ B1	不可	
	OVI1	オーバフロー 1	不可	
2	IMIA2	コンペアマッチ／インプットキャプチャ A2	可	
	IMIB2	コンペアマッチ／インプットキャプチャ B2	不可	
	OVI2	オーバフロー 2	不可	
3	IMIA3	コンペアマッチ／インプットキャプチャ A3	可	
	IMIB3	コンペアマッチ／インプットキャプチャ B3	不可	
	OVI3	オーバフロー 3	不可	
4	IMIA4	コンペアマッチ／インプットキャプチャ A4	不可	
	IMIB4	コンペアマッチ／インプットキャプチャ B4	不可	
	OVI4	オーバフロー 4	不可	低

【注】　*　**リセット直後の初期状態について示しています。チャネル間の優先順位は** IPRA、IPRB **により変更可能です。**

10.6　使用上の注意

ITU の動作中、次のような競合や動作が起こりますので、注意してください。

(1)　TCNT のライトとクリアの競合

TCNT のライトサイクル中の T3 ステートで、カウントクリア信号が発生すると、TCNT への書込みサイクルは行われず TCNT のクリアが優先されます。

このタイミングを**図** 10.61 に示します。

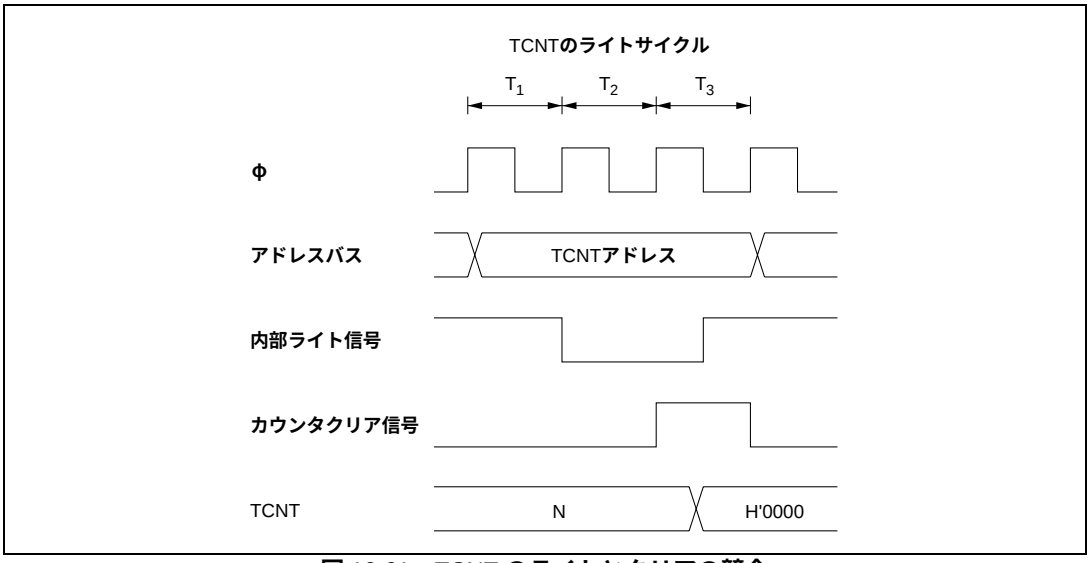


図 10.61　TCNT **のライトとクリアの競合**

(2)　TCNT のワードライトとカウントアップの競合

TCNT のワードライトサイクル中の T3 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを**図** 10.62 に示します。

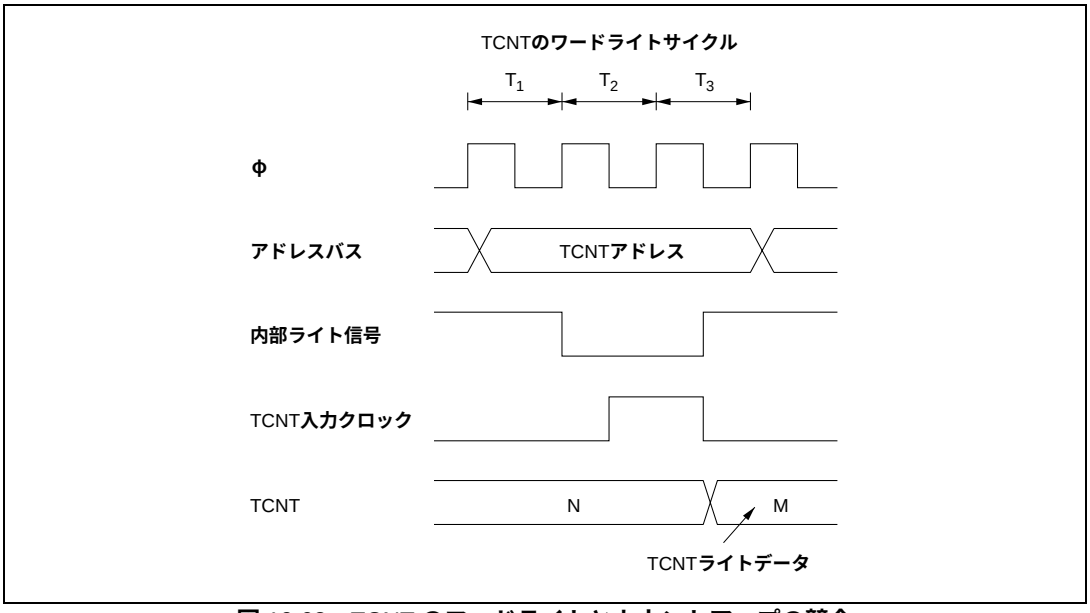


図 10.62　TCNT **のワードライトとカウントアップの競合**

(3)　TCNT のバイトライトとカウントアップの競合

TCNT のバイトライトサイクル中の T2 ステートまたは T3 ステートでカウントアップが発生しても、ライトを行った側のバイトデータはカウントアップされず、カウンタライトが優先されます。ライトを行わなかった側のバイトデータもカウントアップされずライトする前の内容となります。

このタイミングを図 10.63 に示します。

TCNTH のバイトライトサイクル中の T2 ステートでカウントアップが発生した場合の例です。

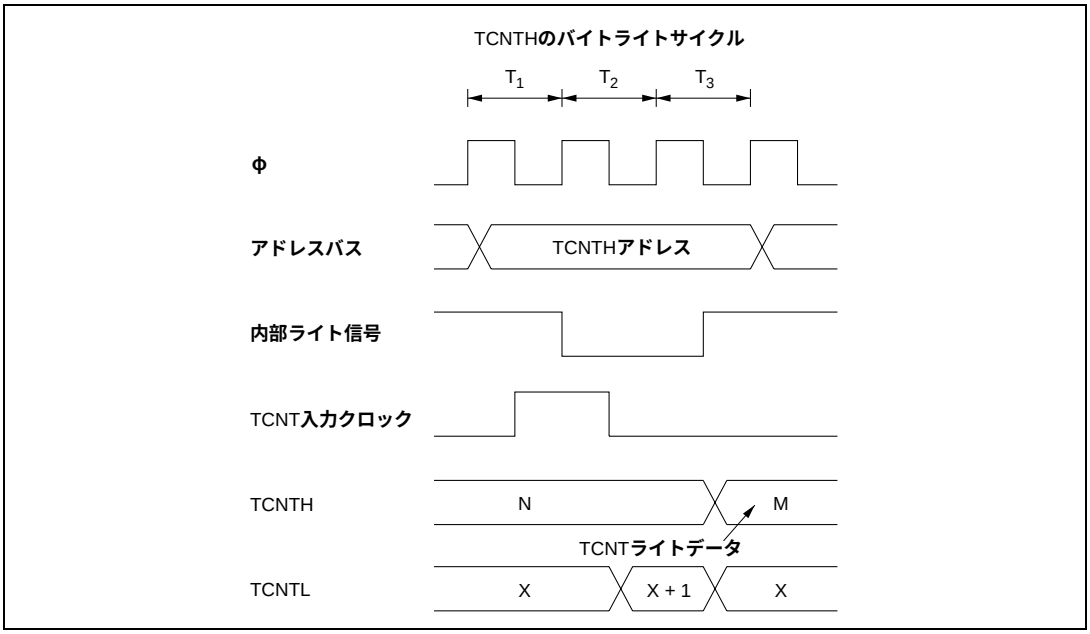


図 10.63　TCNT のバイトライトとカウントアップの競合

(4)　GR のライトとコンペアマッチの競合

GR のライトサイクル中の T3 ステートでコンペアマッチが発生しても、GR のライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図 10.64 に示します。

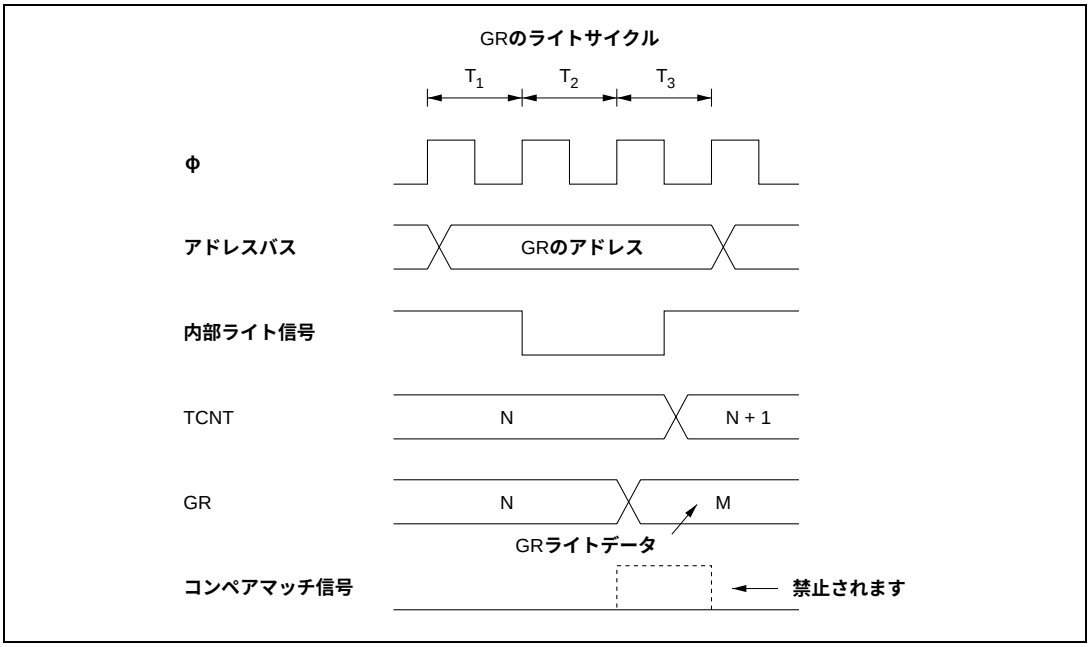


図 10.64　GR のライトとコンペアマッチの競合

(5)　TCNT のライトとオーバフロー／アンダフローとの競合

TCNT のライトサイクル中の T3 ステートでオーバフローが発生した場合、カウントアップされずカウンタライトが優先されます。このとき OVF フラグは 1 にセットされます。アンダフローの場合も同様です。

このタイミングを**図** 10.65 に示します。

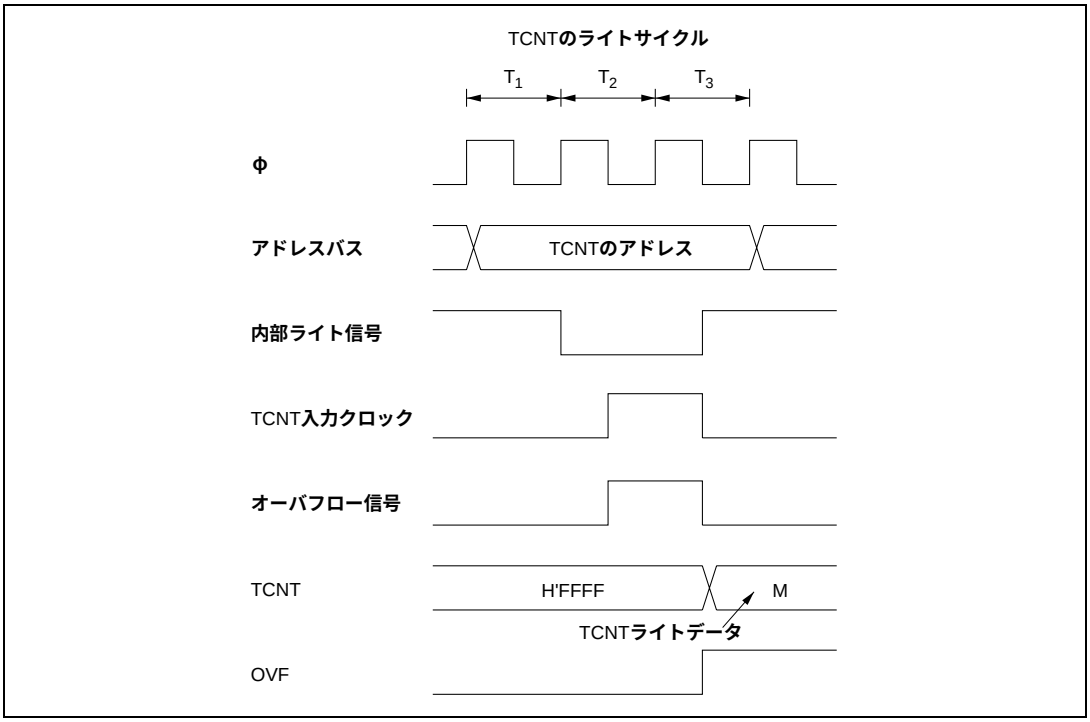


図 10.65　TCNT **のライトとオーバフローの競合**

(6)　GR のリードとインプットキャプチャの競合

GR のリードサイクル中の T3 ステートで、インプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送前のデータです。

このタイミングを図 10.66 に示します。

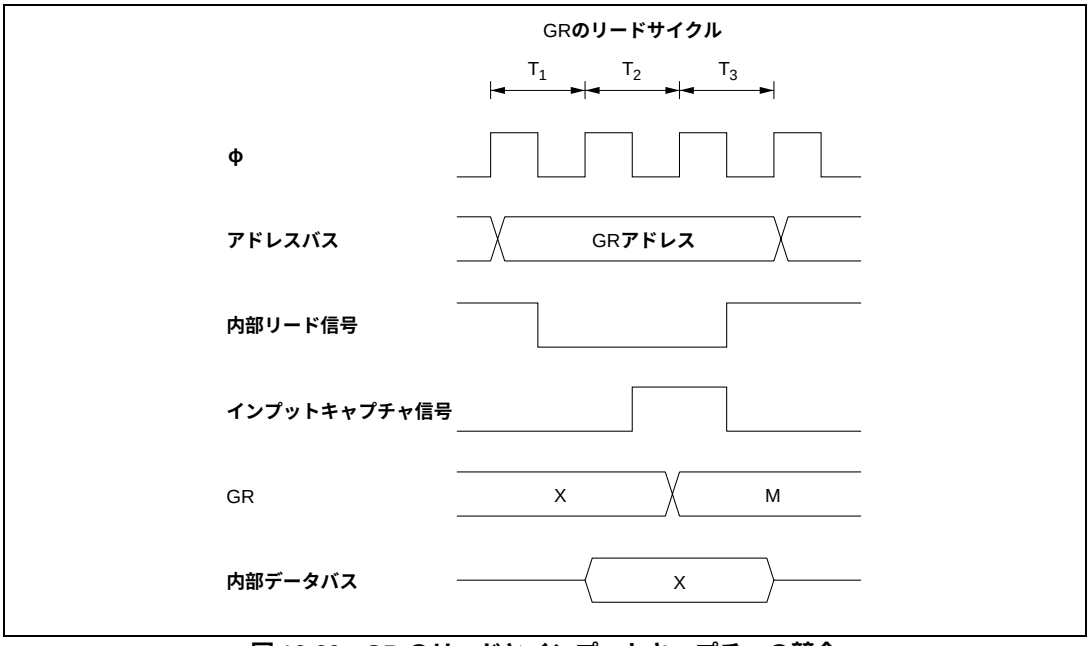


図 10.66　GR のリードとインプットキャプチャの競合

(7)　インプットキャプチャによるカウンタクリアとカウントアップの競合

インプットキャプチャ信号とカウントアップ信号が同時に発生すると、カウントアップされずインプットキャプチャによるカウンタクリアが優先されます。また、GR にはカウンタクリア前の TCNT の内容が転送されます。

このタイミングを**図** 10.67 に示します。

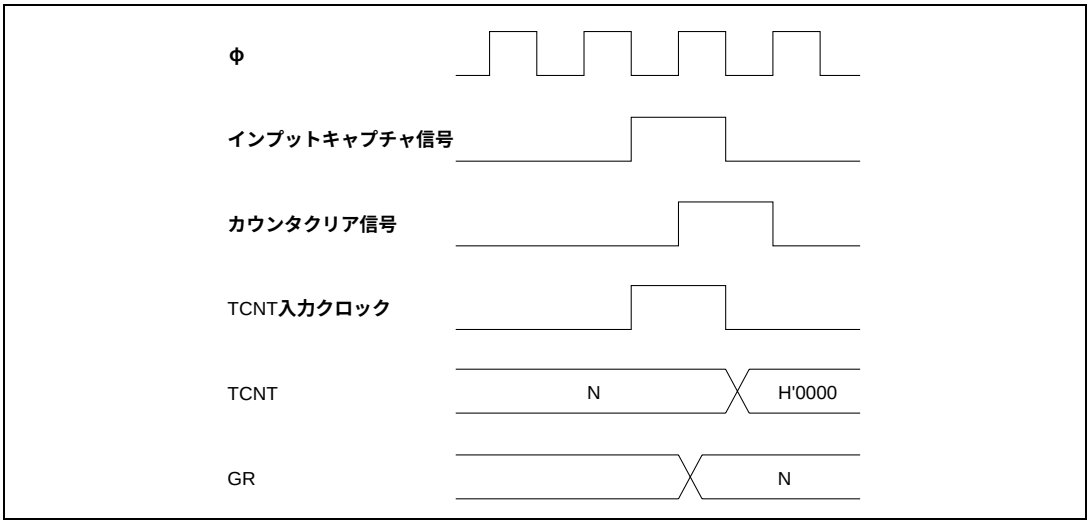


図 10.67　**インプットキャプチャによるカウンタクリアとカウントアップの競合**

(8)　GR のライトとインプットキャプチャの競合

GR のライトサイクル中の T3 ステートで、インプットキャプチャ信号が発生すると、GR への書込みは行われず、インプットキャプチャが優先されます。

このタイミングを**図** 10.68 に示します。

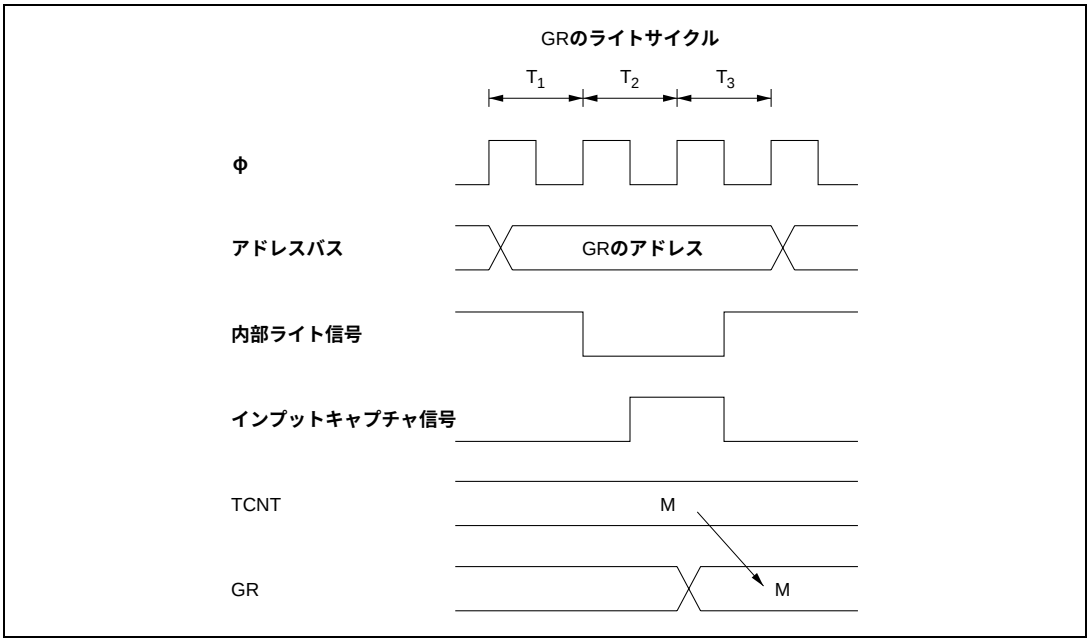


図 10.68　GR **のライトとインプットキャプチャの競合**

(9)　周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は GR の値と一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタ周波数は次の式のようになります。

f＝φ/（N＋1）

（f：カウンタ周波数、φ：動作周波数、N：GR の設定値）

(10)　BR のライトとインプットキャプチャの競合

BR をインプットキャプチャバッファレジスタとして使用しているとき、ライトサイクル中の T3 ステートでインプットキャプチャ信号が発生すると、BR へのライトは行われずバッファ動作が優先されます。

このタイミングを**図** 10.69 に示します。

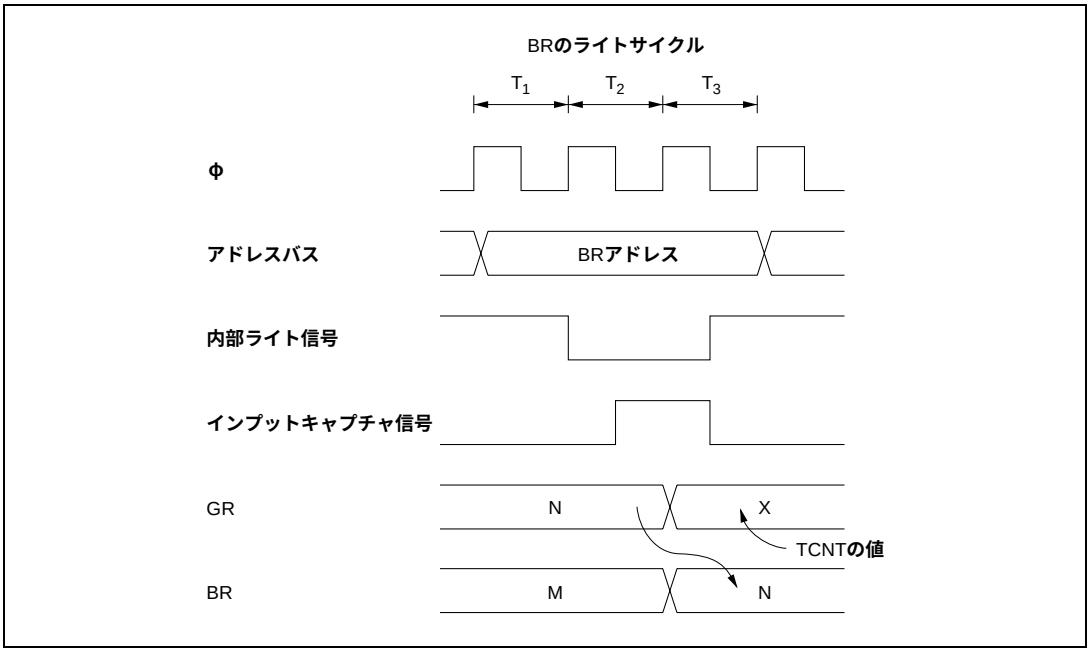


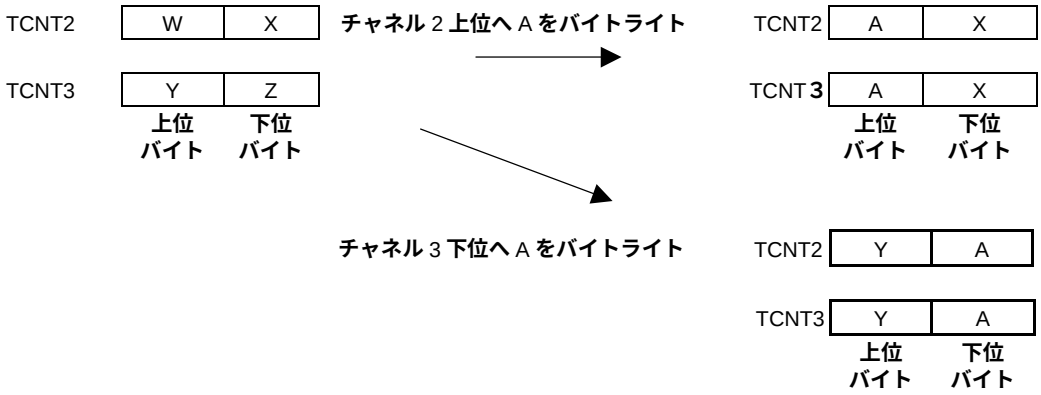
図 10.69　BR **のライトとインプットキャプチャの競合**

(11)　　同期動作時のライト動作に関する注意事項

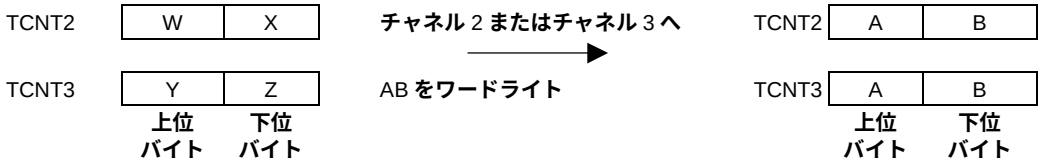
同期動作を設定した状態で、TCNT のバイトライトを行った場合、同期しているすべてのカウンタはアドレスで指定した TCNT と、16 ビットすべて同じ値となります。

（例）チャネル 2、3 を同期モードで指定した場合

- チャネル 2／チャネル 3 へのバイトライト



- チャネル 2／チャネル 3 へのワードライト



(12)　リセット同期 PWM モード／相補 PWM モード設定時の注意事項

TFCR の CMD1、CMD0 ビットを設定するときは、次のことに注意してください。

- CMD1、CMD0 ビットへのライトは、TCNT3、TCNT4 が停止中に行ってください。
- リセット同期 PWM モードと相補 PWM モードの相互の設定変更は禁止されています。通常動作（CMD1 ビットを 0 にクリア）に設定した後に、リセット同期 PWM モードまたは相補 PWM モードに設定してください。

(13)　ITU の動作モード一覧

表 10.11（a）　ITU の動作モード（チャネル 0）

動作モード		レジスタ設定													
		TSNC	TMDR			TFCR			TOCR		TOER	TIOR0		TCR0	
		同期動作	MDF	FDIR	PWM	相補 PWM	リセット同期 PWM	バッファ動作	XTGD	出力レベルセレクト	マスタイネーブル	IOA	IOB	クリア選択	クロック選択
同期プリセット		SYNC0=1	−	−	○	−	−	−	−	−	−	○	○	○	○
PWM モード		○	−	−	PWM0=1	−	−	−	−	−	−	−	○*	○	○
アウトプットコンペア A 機能		○	−	−	PWM0=0	−	−	−	−	−	−	IOA2=0 他任意	○	○	○
アウトプットコンペア B 機能		○	−	−	○	−	−	−	−	−	−	○	IOB2=0 他任意	○	○
インプットキャプチャ A 機能		○	−	−	PWM0=0	−	−	−	−	−	−	IOA2=1 他任意	○	○	○
インプットキャプチャ B 機能		○	−	−	PWM0=0	−	−	−	−	−	−	○	IOB2=1 他任意	○	○
カウンタクリア機能	コンペアマッチ／インプットキャプチャ A でクリア	○	−	−	○	−	−	−	−	−	−	○	○	CCLR1=0 CCLR0=1	○
	コンペアマッチ／インプットキャプチャ B でクリア	○	−	−	○	−	−	−	−	−	−	○	○	CCLR1=1 CCLR0=0	○
	同期クリア	SYNC0=1	−	−	○	−	−	−	−	−	−	○	○	CCLR1=1 CCLR0=1	○

【記号説明】

○：設定可能（有効）です。

−：設定は当該動作モードに影響しません。

【注】 ＊　PWM **モードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチ** A **とコンペアマッチ** B **が同時に発生した場合、コンペアマッチ信号は禁止されます。**

表 10.11（b）　ITU の動作モード（チャネル 1）

動作モード		レジスタ設定													
		TSNC	TMDR			TFCR			TOCR		TOER	TIOR1		TCR1	
		同期動作	MDF	FDIR	PWM	相補 PWM	リセット同期 PWM	バッファ動作	XTGD	出力レベルセレクト	マスタイネーブル	IOA	IOB	クリア選択	クロック選択
同期プリセット		SYNC1=1	−	−	○	−	−	−	−	−	−	○	○	○	○
PWM モード		○	−	−	PWM1=1	−	−	−	−	−	−	−	○*1	○	○
アウトプットコンペア A 機能		○	−	−	PWM1=0	−	−	−	−	−	−	IOA2=0 他任意	○	○	○
アウトプットコンペア B 機能		○	−	−	○	−	−	−	−	−	−	○	IOB2=0 他任意	○	○
インプットキャプチャ A 機能		○	−	−	PWM1=0	−	−	−	○*2	−	−	IOA2=1 他任意	○	○	○
インプットキャプチャ B 機能		○	−	−	PWM1=0	−	−	−	−	−	−	○	IOA2=1 他任意	○	○
カウンタクリア機能	コンペアマッチ／インプットキャプチャ A でクリア	○	−	−	○	−	−	−	−	−	−	○	○	CCLR1=0 CCLR0=1	○
	コンペアマッチ／インプットキャプチャ B でクリア	○	−	−	○	−	−	−	−	−	−	○	○	CCLR1=1 CCLR0=0	○
	同期クリア	SYNC1=1	−	−	○	−	−	−	−	−	−	○	○	CCLR1=1 CCLR0=1	○

【記号説明】

○：設定可能（有効）です。

−：設定は当該動作モードに影響しません。

【注】 *1　PWM **モードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチ** A **とコンペアマッチ** B **が同時に発生した場合、コンペアマッチ信号は禁止されます。**

*2　**チャネル** 3 **とチャネル** 4 **が相補** PWM **モードまたはリセット同期** PWM **モードで動作している時のみ有効となります。**

表 10.11（c）　ITU の動作モード（チャネル 2）

動作モード		レジスタ設定													
		TSNC	TMDR			TFCR			TOCR		TOER	TIOR2		TCR2	
		同期動作	MDF	FDIR	PWM	相補 PWM	リセット同期 PWM	バッファ動作	XTGD	出力レベルセレクト	マスタイネーブル	IOA	IOB	クリア選択	クロック選択
同期プリセット		SYNC2=1	○	－	○	－	－	－	－	－	－	○	○	○	○
PWM モード		○	○	－	PWM2=1	－	－	－	－	－	－	－	○*	○	○
アウトプットコンペア A 機能		○	○	－	PWM2=0	－	－	－	－	－	－	IOA2=0 他任意	○	○	○
アウトプットコンペア B 機能		○	○	－	○	－	－	－	－	－	－	○	IOB2=0 他任意	○	○
インプットキャプチャ A 機能		○	○	－	PWM2=0	－	－	－	－	－	－	IOA2=1 他任意	○	○	○
インプットキャプチャ B 機能		○	○	－	PWM2=0	－	－	－	－	－	－	○	IOB2=1 他任意	○	○
カウンタクリア機能	コンペアマッチ／インプットキャプチャ A でクリア	○	○	－	○	－	－	－	－	－	－	○	○	CCLR1=0 CCLR0=1	○
	コンペアマッチ／インプットキャプチャ B でクリア	○	○	－	○	－	－	－	－	－	－	○	○	CCLR1=1 CCLR0=0	○
	同期クリア	SYNC2=1	○	－	○	－	－	－	－	－	－	○	○	CCLR1=1 CCLR0=1	○
位相計数モード		○	MDF=1	○	○	－	－	－	－	－	－	○	○	○	－

【記号説明】

○：設定可能（有効）です。

－：設定は当該動作モードに影響しません。

【注】＊　PWM モードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチ A とコンペアマッチ B が同時に発生した場合、コンペアマッチ信号は禁止されます。

表 10.11（d）　ITU の動作モード（チャネル 3）

動作モード		レジスタ設定													
		TSNC	TMDR			TFCR			TOCR		TOER	TIOR3		TCR3	
		同期動作	MDF	FDIR	PWM	相補 PWM	リセット同期 PWM	バッファ動作	XTGD	出力レベルセレクト	マスタイネーブル	IOA	IOB	クリア選択	クロック選択
同期プリセット		SYNC3=1	−	−	○	○*3	○	○	−	−	○*1	○	○	○	○
PWM モード		○	−	−	PWM3=1	CMD1=0	CMD1=0	○	−	−	○	−	○*2	○	○
アウトプットコンペア A 機能		○	−	−	PWM3=0	CMD1=0	CMD1=0	○	−	−	○	IOA2=0 他任意	○	○	○
アウトプットコンペア B 機能		○	−	−	○	CMD1=0	CMD1=0	○	−	−	○	○	IOB2=0 他任意	○	○
インプットキャプチャ A 機能		○	−	−	PWM3=0	CMD1=0	CMD1=0	○	−	−	EA3 は無効 他任意	IOA2=1 他任意	○	○	○
インプットキャプチャ B 機能		○	−	−	PWM3=0	CMD1=0	CMD1=0	○	−	−	EB3 は無効 他任意	○	IOA2=1 他任意	○	○
カウンタクリア機能	コンペアマッチ／インプットキャプチャ A でクリア	○	−	−	○	CMD1=1 CMD0=0 は禁止	○*4	○	−	−	○*1	○	○	CCLR1=0 CCLR0=1	○
	コンペアマッチ／インプットキャプチャ B でクリア	○	−	−	○	CMD1=0	CMD1=0	○	−	−	○*1	○	○	CCLR1=1 CCLR0=0	○
	同期クリア	SYNC3=1	−	−	○	CMD1=1 CMD0=0 は禁止	○	○	−	−	○*1	○	○	CCLR1=1 CCLR0=1	○
相補 PWM モード		○*3	−	−	−	CMD1=1 CMD0=0	CMD1=1 CMD0=0	○	○*6	○	○	−	−	CCLR1=0 CCLR0=0	○*5

動作モード	レジスタ設定													
	TSNC	TMDR			TFCR			TOCR		TOER	TIOR3		TCR3	
	同期動作	MDF	FDIR	PWM	相補PWM	リセット同期PWM	バッファ動作	XTGD	出力レベルセレクト	マスタイネーブル	IOA	IOB	クリア選択	クロック選択
リセット同期PWM モード	○	ー	ー	ー	CMD1=1 CMD0=1	CMD1=1 CMD0=1	○	○*6	○	○	ー	ー	CCLR1=0 CCLR0=1	○
バッファ動作（BRA）	○	ー	ー	○	○	○	BFA3=1 他任意	ー	ー	○*1	○	○	○	○
バッファ動作（BRB）	○	ー	ー	○	○	○	BFB3=1 他任意	ー	ー	○*1	○	○	○	○

【記号説明】

○：設定可能（有効）です。

ー：設定は当該動作モードに影響しません。

【注】 *1　**マスタイネーブルビットの設定は、波形出力動作時のみ有効となります。**

*2　PWM **モードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチ** A **とコンペアマッチ** B **が同時に発生した場合、コンペアマッチ信号は禁止されます。**

*3　**相補** PWM **モード設定時には、チャネル** 3 **とチャネル** 4 **を同時に同期動作設定しないでください。**

*4　**インプットキャプチャ** A **によるカウンタクリアは、リセット同期** PWM **モード設定時には使用できません。**

*5　**相補** PWM **モード設定時のクロック選択は、チャネル** 3 **とチャネル** 4 **を同一としてください。**

*6　**チャネル** 1 **のインプットキャプチャ** A **機能を使用してください。**

表 10.11（e）　ITU の動作モード（チャネル 4）

動作モード		レジスタ設定													
		TSNC	TMDR			TFCR			TOCR		TOER	TIOR4		TCR4	
		同期動作	MDF	FDIR	PWM	相補 PWM	リセット同期 PWM	バッファ動作	XTGD	出力レベルセレクト	マスタイネーブル	IOA	IOB	クリア選択	クロック選択
同期プリセット		SYNC4=1	－	－	○	○*3	○	○	－	－	○*1	○	○	○	○
PWM モード		○	－	－	PWM4=1	CMD1=0	CMD1=0	○	－	－	○	－	○*2	○	○
アウトプットコンペア A 機能		○	－	－	PWM4=0	CMD1=0	CMD1=0	○	－	－	○	IOA2=0 他任意	○	○	○
アウトプットコンペア B 機能		○	－	－	○	CMD1=0	CMD1=0	○	－	－	○	○	IOB2=0 他任意	○	○
インプットキャプチャ A 機能		○	－	－	PWM4=0	CMD1=0	CMD1=0	○	－	－	EA4 は無効 他任意	IOA2=1 他任意	○	○	○
インプットキャプチャ B 機能		○	－	－	PWM4=0	CMD1=0	CMD1=0	○	－	－	EB4 は無効 他任意	○	IOB2=1 他任意	○	○
カウンタクリア機能	コンペアマッチ／インプットキャプチャ A でクリア	○	－	－	○	CMD1=1 CMD0=0 は禁止	○*4	○	－	－	○*1	○	○	CCLR1=0 CCLR0=1	○
	コンペアマッチ／インプットキャプチャ B でクリア	○	－	－	○	CMD1=1 CMD0=0 は禁止	○*4	○	－	－	○*1	○	○	CCLR1=1 CCLR0=0	○
	同期クリア	SYNC4=1	－	－	○	CMD1=1 CMD0=0 は禁止	○*4	○	－	－	○*1	○	○	CCLR1=1 CCLR0=1	○
相補 PWM モード		○*3	－	－	－	CMD1=1 CMD0=0	CMD1=1 CMD0=0	○	○	○	○	－	－	CCLR1=0 CCLR0=0	○*5

動作モード	レジスタ設定													
	TSNC	TMDR			TFCR			TOCR		TOER	TIOR4		TCR4	
	同期動作	MDF	FDIR	PWM	相補PWM	リセット同期PWM	バッファ動作	XTGD	出力レベルセレクト	マスタイネーブル	IOA	IOB	クリア選択	クロック選択
リセット同期PWM モード	○	ー	ー	ー	CMD1=1 CMD0=1	CMD1=1 CMD0=1	○	○	○	○	ー	ー	○*6	○*6
バッファ動作（BRA）	○	ー	ー	○	○	○	BFA4=1 他任意	ー	ー	○*1	○	○	○	○
バッファ動作（BRB）	○	ー	ー	○	○	○	BFB4=1 他任意	ー	ー	○*1	○	○	○	○

【記号説明】

○：設定可能（有効）です。

ー：設定は当該動作モードに影響しません。

【注】 *1　**マスタイネーブルビットの設定は、波形出力動作時のみ有効となります。**

*2　PWM **モードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチ** A **とコンペアマッチ** B **が同時に発生した場合、コンペアマッチ信号は禁止されます。**

*3　**相補** PWM **モード設定時には、チャネル** 3 **とチャネル** 4 **を同時に同期動作設定しないでください。**

*4　**リセット同期** PWM **モード設定時は、カウンタクリア機能は有効ですが、**TCNT4 **は独立動作しています。出力波形には影響しません。**

*5　**相補** PWM **モード設定時のクロック選択は、チャネル** 3 **とチャネル** 4 **を同一としてください。**

*6　**リセット同期** PWM **モード動作時は、**TCR4 **の設定は有効ですが、**TCNT4 **は独立動作しています。出力波形には影響しません。**

11. プログラマブルタイミングパターンコントローラ（TPC）

11.1 概要

本 LSI は、16 ビットインテグレーテッドタイマユニット（ITU）をタイムベースとしてパルス出力を行うプログラマブルタイミングパターンコントローラ（TPC）を内蔵しています。TPC は 4 ビット単位の TPC 出力グループ 3〜0 から構成されており、これらは同時に動作させることも、独立に動作させることも可能です。

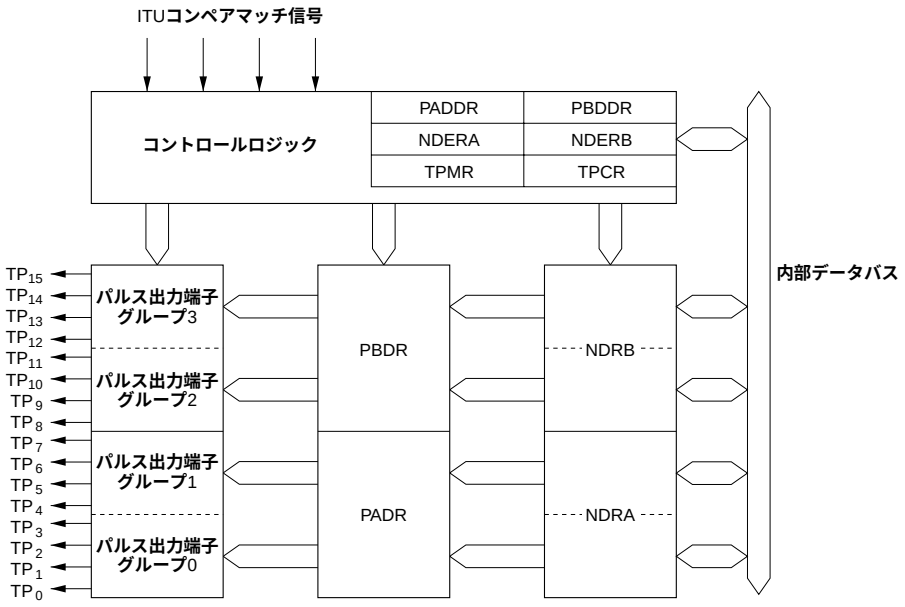
11.1.1 特長

TPC の特長を以下に示します。

- 出力データ 16 ビット
  最大16ビットのデータ出力が可能で、TPC出力をビット単位に許可することができます。
- 4 系統の出力可能
  4ビット単位のグループで出力トリガ信号が選択可能で、最大4ビット×4系統の出力を行うことができます。
- 出力トリガ信号を選択可能
  ITUの4チャネルのコンペアマッチ信号の中から、グループごとに出力トリガ信号を選択することができます。
- ノンオーバラップ動作
  複数のパルス出力の間のノンオーバラップ期間を設定することができます。
- DMA コントローラ（DMAC）との連携動作可能
  出力トリガ信号に選択したコンペアマッチ信号でDMACを起動することにより、CPUの介在なくデータを順次出力することができます。

11.1.2 ブロック図

TPC のブロック図を**図** 11.1 に示します。



【記号説明】

TPMR: TPC**出力モードレジスタ**
TPCR: TPC**出力コントロールレジスタ**
NDERB: **ネクストデータイネーブルレジスタ**B
NDERA: **ネクストデータイネーブルレジスタ**A
PBDDR: **ポート**B**データディレクションレジスタ**
PADDR: **ポート**A**データディレクションレジスタ**
NDRB: **ネクストデータレジスタ**B
NDRA: **ネクストデータレジスタ**A
PBDR: **ポート**B**データレジスタ**
PADR: **ポート**A**データレジスタ**

図 11.1 TPC **のブロック図**

11.1.3 端子構成

TPC の端子構成を**表** 11.1 に示します。

表 11.1 **端子構成**

名　称	略　称	入出力	機　能
TPC **出力** 0	TP_0	**出力**	**グループ** 0 **のパルス出力**
TPC **出力** 1	TP_1	**出力**	
TPC **出力** 2	TP_2	**出力**	
TPC **出力** 3	TP_3	**出力**	
TPC **出力** 4	TP_4	**出力**	**グループ** 1 **のパルス出力**
TPC **出力** 5	TP_5	**出力**	
TPC **出力** 6	TP_6	**出力**	
TPC **出力** 7	TP_7	**出力**	
TPC **出力** 8	TP_8	**出力**	**グループ** 2 **のパルス出力**
TPC **出力** 9	TP_9	**出力**	
TPC **出力** 10	TP_{10}	**出力**	
TPC **出力** 11	TP_{11}	**出力**	
TPC **出力** 12	TP_{12}	**出力**	**グループ** 3 **のパルス出力**
TPC **出力** 13	TP_{13}	**出力**	
TPC **出力** 14	TP_{14}	**出力**	
TPC **出力** 15	TP_{15}	**出力**	

11.1.4 レジスタ構成

TPC のレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

アドレス*1	名　称	略　称	R/W	初期値
H'FFD1	ポート A データディレクションレジスタ	PADDR	W	H'00
H'FFD3	ポート A データレジスタ	PADR	R/(W)*2	H'00
H'FFD4	ポート B データディレクションレジスタ	PBDDR	W	H'00
H'FFD6	ポート B データレジスタ	PBDR	R/(W)*2	H'00
H'FFA0	TPC 出力モードレジスタ	TPMR	R/W	H'F0
H'FFA1	TPC 出力コントロールレジスタ	TPCR	R/W	H'FF
H'FFA2	ネクストデータイネーブルレジスタ B	NDERB	R/W	H'00
H'FFA3	ネクストデータイネーブルレジスタ A	NDERA	R/W	H'00
H'FFA5/H'FFA7*3	ネクストデータレジスタ A	NDRA	R/W	H'00
H'FFA4/H'FFA6*3	ネクストデータレジスタ B	NDRB	R/W	H'00

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 TPC 出力として使用しているビットは、ライトできません。

*3 TPCR の設定により TPC 出力グループ 0 と TPC 出力グループ 1 の出力トリガが同一の場合は NDRA のアドレスは H'FFA5 となり、出力トリガが異なる場合はグループ 0 に対応する NDRA のアドレスは H'FFA7、グループ 1 に対応する NDRA のアドレスは H'FFA5 となります。
同様に、TPCR の設定により TPC 出力グループ 2 と TPC 出力グループ 3 の出力トリガが同一の場合は NDRB のアドレスは H'FFA4 となり出力トリガが異なる場合はグループ 2 に対応する NDRB のアドレスは H'FFA6、グループ 3 に対応する NDRB のアドレスは H'FFA4 となります。

11.2　各レジスタの説明

11.2.1　ポート A データディレクションレジスタ（PADDR）

PADDR は 8 ビットのライト専用のレジスタで、ポート A の各端子の入出力方向をビット単位に設定します。

ビット：	7	6	5	4	3	2	1	0
	PA_7DDR	PA_6DDR	PA_5DDR	PA_4DDR	PA_3DDR	PA_2DDR	PA_1DDR	PA_0DDR
初期値：	0	0	0	0	0	0	0	0
R/W　：	W	W	W	W	W	W	W	W

ポートAデータディレクション7～0
ポートAの各端子の入出力を選択するビットです。

ポート A は TP_7～TP_0端子との兼用端子となっています。TPC 出力を行う端子に対応するビットは 1 にセットしてください。

PADDR の詳細は、「9.11　**ポート** A」を参照してください。

11.2.2　ポート A データレジスタ（PADR）

PADR は 8 ビットのリード／ライト可能なレジスタで、TPC 出力を使用する場合、グループ 0、1 の出力データを格納します。

ビット：	7	6	5	4	3	2	1	0
	PA_7	PA_6	PA_5	PA_4	PA_3	PA_2	PA_1	PA_0
初期値：	0	0	0	0	0	0	0	0
R/W　：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ポートAデータ7～0
TPC出力グループ0、1の出力データを格納するビットです。

【注】　＊　NDERA**により、**TPC**出力に設定されたビットはリード専用となります。**

PADR の詳細は、「9.11　**ポート** A」を参照してください。

11.2.3 ポート B データディレクションレジスタ（PBDDR）

PBDDR は 8 ビットのライト専用のレジスタで、ポート B の各端子の入出力方向をビット単位に設定します。

ビット：	7	6	5	4	3	2	1	0
	PB_7DDR	PB_6DDR	PB_5DDR	PB_4DDR	PB_3DDR	PB_2DDR	PB_1DDR	PB_0DDR
初期値：	0	0	0	0	0	0	0	0
R/W ：	W	W	W	W	W	W	W	W

ポートBデータディレクション7～0
ポートBの各端子の入出力を選択するビットです。

ポート B は TP_{15}～TP_8端子との兼用端子となっています。TPC 出力を行う端子に対応するビットは 1 にセットしてください。

PBDDR の詳細は、「9.12 **ポート B**」を参照してください。

11.2.4 ポート B データレジスタ（PBDR）

PBDR は 8 ビットのリード／ライト可能なレジスタで、TPC 出力を使用する場合、PBDR はグループ 2、3 の出力データを格納します。

ビット：	7	6	5	4	3	2	1	0
	PB_7	PB_6	PB_5	PB_4	PB_3	PB_2	PB_1	PB_0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ポートBデータ7～0
TPC出力グループ2、3の出力データを格納するビットです。

【注】 ＊ NDERB**により、**TPC**出力に設定されたビットはリード専用となります。**

PBDR の詳細は、「9.12 **ポート B**」を参照してください。

11.2.5 ネクストデータレジスタ A（NDRA）

NDRA は 8 ビットのリード／ライト可能なレジスタで、TPC 出力グループ 1、0（TP_7～TP_0端子）の次の出力データを格納します。TPC 出力を行う場合、TPCR で指定した ITU のコンペアマッチが発生したときに、NDRA の内容が PADR の対応するビットに転送されます。

NDRA のアドレスは、TPC 出力グループ 0、1 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRA はリセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

(1) TPC 出力グループ 0、1 の出力トリガが同一の場合

TPC 出力グループ 0、1 の出力トリガとなるコンペアマッチを同一にすると、NDRA のアドレスは H'FFA5 となります。グループ 1、0 はそれぞれ上位 4 ビット、下位 4 ビットになります。このとき、アドレス H'FFA7 はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) **アドレス：**H'FFA5

ビット：	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータ7～4
TPC**出力グループ**1**の次の**
出力データを格納するビットです。

ネクストデータ3～0
TPC**出力グループ**0**の次の**
出力データを格納するビットです。

(b) **アドレス：**H'FFA7

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1
R/W ：	—	—	—	—	—	—	—	—

リザーブビット

(2) TPC 出力グループ 0、1 の出力トリガが異なる場合

TPC 出力グループ 0、1 の出力トリガとなるコンペアマッチを別にすると、NDRA の上位 4 ビット（グループ 1）のアドレスは H'FFA5、NDRA の下位 4 ビット（グループ 0）のアドレスは H'FFA7 となります。このとき、アドレス H'FFA5 のビット 3～0、アドレス H'FFA7 のビット 7～4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) **アドレス：**H'FFA5

ビット：	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	—	—	—	—
初期値：	0	0	0	0	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	—	—	—	—

ネクストデータ7～4
TPC**出力グループ**1**の次の**
出力データを格納するビットです。

リザーブビット

(b) **アドレス：**H'FFA7

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	NDR3	NDR2	NDR1	NDR0
初期値：	1	1	1	1	0	0	0	0
R/W ：	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ネクストデータ3～0
TPC**出力グループ**0**の次の**
出力データを格納するビットです。

11.2.6 ネクストデータレジスタ B（NDRB）

NDRB は 8 ビットのリード／ライト可能なレジスタで、TPC 出力グループ 3、2（TP_{15}～TP_8端子）の次の出力データを格納します。TPC 出力を行う場合、TPCR で指定した ITU のコンペアマッチが発生したときに、NDRB の内容が PBDR の対応するビットに転送されます。NDRB のアドレスは、TPC 出力グループ 2、3 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRB はリセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

(1) TPC 出力グループ 2、3 の出力トリガが同一の場合

TPC 出力グループ 2、3 の出力トリガとなるコンペアマッチを同一にすると、NDRB のアドレスは H'FFA4 となります。グループ 3、2 はそれぞれ下位 4 ビット、上位 4 ビットになります。このとき、アドレス H'FFA6 はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) **アドレス：**H'FFA4

ビット：	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータ15～12
TPC**出力グループ**3**の次の出力データを格納します。**

ネクストデータ11～8
TPC**出力グループ**2**の次の出力データを格納します。**

(b) **アドレス：**H'FFA6

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1
R/W ：	—	—	—	—	—	—	—	—

リザーブビット

(2) TPC 出力グループ 2、3 の出力トリガが異なる場合

TPC 出力グループ 2、3 の出力トリガとなるコンペアマッチを別にすると、NDRB の上位 4 ビット（グループ 3）のアドレスは H'FFA4、NDRB の下位 4 ビット（グループ 2）のアドレスは H'FFA6 となります。このとき、アドレス H'FFA4 のビット 3～0、アドレス H'FFA6 のビット 7～4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) **アドレス：**H'FFA4

ビット：	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	—	—	—	—
初期値：	0	0	0	0	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	—	—	—	—

ネクストデータ15～12
TPC**出力グループ**3**の次の**
出力データを格納するビットです。

リザーブビット

(b) **アドレス：**H'FFA6

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	NDR11	NDR10	NDR9	NDR8
初期値：	1	1	1	1	0	0	0	0
R/W ：	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ネクストデータ11～8
TPC**出力グループ**2**の次の**
出力データを格納するビットです。

11.2.7 ネクストデータイネーブルレジスタ A（NDERA）

NDERA は 8 ビットのリード／ライト可能なレジスタで、TPC 出力グループ 1、0（TP_7～TP_0端子）の許可／禁止をビット単位で選択します。

ビット：	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル7～0
TPC**出力グループ**1、0**の許可／禁止を選択するビットです。**

NDERA により TPC 出力が許可されたビットは、TPCR で選択された ITU のコンペアマッチが発生すると、NDRA の値が PADR の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDRA から PADR への転送は行われず出力値も変化しません。

NDERA はリセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット 7～0：ネクストデータイネーブル 7～0（NDER7～NDER0）

TPC 出力グループ 1、0（TP_7～TP_0端子）の許可／禁止をビット単位で選択します。

ビット 7～0 NDER7～NDER0	説　明
0	TPC **出力** TP_7～TP_0**を禁止**（NDR7～NDR0 **から** PA_7～PA_0**への転送禁止**）　（初期値）
1	TPC **出力** TP_7～TP_0**を許可**（NDR7～NDR0 **から** PA_7～PA_0**への転送許可**）

11.2.8 ネクストデータイネーブルレジスタ B（NDERB）

NDERB は 8 ビットのリード／ライト可能なレジスタで、TPC 出力グループ 3、2（TP_{15}～TP_8端子）の許可／禁止をビット単位で選択します。

ビット：	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル15～8
TPC出力グループ3、2の許可／禁止を選択するビットです。

NDERB により TPC 出力が許可されたビットは、TPCR で選択された ITU のコンペアマッチが発生すると、NDRB の値が PBDR の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDRB から PBDR への転送は行われず出力値も変化しません。

NDERB はリセット、またはハードウェアスタンバイモード時に H'00 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット 7～0：ネクストデータイネーブル 15～8（NDER15～NDER8）

TPC 出力グループ 3、2（TP_{15}～TP_8端子）の許可／禁止をビット単位で選択します。

ビット 7～0 NDER15～NDER8	説　明
0	TPC 出力 TP_{15}～TP_8 を禁止（NDR15～NDR8 から PB_7～PB_0 への転送禁止）　（初期値）
1	TPC 出力 TP_{15}～TP_8 を許可（NDR15～NDR8 から PB_7～PB_0 への転送許可）

11.2.9 TPC 出力コントロールレジスタ（TPCR）

TPCR は 8 ビットのリード／ライト可能なレジスタで、TPC 出力の出力トリガ信号をグループ単位で選択します。

ビット：	7	6	5	4	3	2	1	0
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値：	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

グループ0コンペアマッチセレクト1、0
TPC**出力グループ**0（TP3〜TP0）**の出力トリガとなるコンペアマッチを選択するビットです。**

グループ1コンペアマッチセレクト1、0
TPC**出力グループ**1（TP7〜TP4）**の出力トリガとなるコンペアマッチを選択するビットです。**

グループ2コンペアマッチセレクト1、0
TPC**出力グループ**2（TP11〜TP8）**の出力トリガとなるコンペアマッチを選択するビットです。**

グループ3コンペアマッチセレクト1、0
TPC**出力グループ**3（TP15〜TP12）**の出力トリガとなるコンペアマッチを選択するビットです。**

TPCR は、リセットまたはハードウェアスタンバイモード時に H'FF にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット 7、6：グループ 3 コンペアマッチセレクト 1、0（G3CMS1、G3CMS0）

TPC 出力グループ 3（TP_{15}〜TP_{12} 端子）の出力トリガとなるコンペアマッチを選択します。

ビット 7	ビット 6	説　明
G3CMS1	G3CMS0	
0	0	TPC **出力グループ** 3（TP_{15}〜TP_{12}**端子）の出力トリガは、**ITU **チャネル** 0 **のコンペアマッチ**
	1	TPC **出力グループ** 3（TP_{15}〜TP_{12}**端子）の出力トリガは、**ITU **チャネル** 1 **のコンペアマッチ**
1	0	TPC **出力グループ** 3（TP_{15}〜TP_{12}**端子）の出力トリガは、**ITU **チャネル** 2 **のコンペアマッチ**
	1	TPC **出力グループ** 3（TP_{15}〜TP_{12}**端子）の出力トリガは、**ITU **チャネル** 3 **のコンペアマッチ**　**（初期値）**

ビット 5、4：グループ 2 コンペアマッチセレクト 1、0（G2CMS1、G2CMS0）

TPC 出力グループ 2（TP_{11}～TP_8端子）の出力トリガとなるコンペアマッチを選択します。

ビット 5	ビット 4	説　明
G2CMS1	G2CMS0	
0	0	TPC 出力グループ 2（TP_{11}～TP_8端子）の出力トリガは、ITU チャネル 0 のコンペアマッチ
	1	TPC 出力グループ 2（TP_{11}～TP_8端子）の出力トリガは、ITU チャネル 1 のコンペアマッチ
1	0	TPC 出力グループ 2（TP_{11}～TP_8端子）の出力トリガは、ITU チャネル 2 のコンペアマッチ
	1	TPC 出力グループ 2（TP_{11}～TP_8端子）の出力トリガは、ITU チャネル 3 のコンペアマッチ（初期値）

ビット 3、2：グループ 1 コンペアマッチセレクト 1、0（G1CMS1、G1CMS0）

TPC 出力グループ 1（TP_7～TP_4端子）の出力トリガとなるコンペアマッチを選択します。

ビット 3	ビット 2	説　明
G1CMS1	G1CMS0	
0	0	TPC 出力グループ 1（TP_7～TP_4端子）の出力トリガは、ITU チャネル 0 のコンペアマッチ
	1	TPC 出力グループ 1（TP_7～TP_4端子）の出力トリガは、ITU チャネル 1 のコンペアマッチ
1	0	TPC 出力グループ 1（TP_7～TP_4端子）の出力トリガは、ITU チャネル 2 のコンペアマッチ
	1	TPC 出力グループ 1（TP_7～TP_4端子）の出力トリガは、ITU チャネル 3 のコンペアマッチ（初期値）

ビット 1、0：グループ 0 コンペアマッチセレクト 1、0（G0CMS1、G0CMS0）

TPC 出力グループ 0（TP_3～TP_0端子）の出力トリガとなるコンペアマッチを選択します。

ビット 1	ビット 0	説　明
G0CMS1	G0CMS0	
0	0	TPC 出力グループ 0（TP_3～TP_0端子）の出力トリガは、ITU チャネル 0 のコンペアマッチ
	1	TPC 出力グループ 0（TP_3～TP_0端子）の出力トリガは、ITU チャネル 1 のコンペアマッチ
1	0	TPC 出力グループ 0（TP_3～TP_0端子）の出力トリガは、ITU チャネル 2 のコンペアマッチ
	1	TPC 出力グループ 0（TP_3～TP_0端子）の出力トリガは、ITU チャネル 3 のコンペアマッチ（初期値）

11.2.10　TPC 出力モードレジスタ（TPMR）

TPMR は 8 ビットのリード／ライト可能なレジスタで、TPC 出力を通常動作で行うか、ノンオーバラップ動作で行うかをグループ単位で指定します。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	G3NOV	G2NOV	G1NOV	G0NOV
初期値：	1	1	1	1	0	0	0	0
R/W ：	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

グループ3ノンオーバラップ
TPC**出力グループ**3（TP15〜TP12）**のノンオーバラップ動作を設定するビットです。**

グループ2ノンオーバラップ
TPC**出力グループ**2（TP11〜TP8）**のノンオーバラップ動作を設定するビットです。**

グループ1ノンオーバラップ
TPC**出力グループ**1（TP7〜TP4）**のノンオーバラップ動作を設定するビットです。**

グループ0ノンオーバラップ
TPC**出力グループ**0（TP3〜TP0）**のノンオーバラップ動作を設定するビットです。**

ノンオーバラップ動作の TPC 出力は、出力トリガとなる ITU の GRB に出力波形の周期を、また GRA にノンオーバラップ期間を設定し、コンペアマッチ A、B で出力値を変化させます。

詳細は、**「**11.3.4　TPC **出力ノンオーバラップ動作」**を参照してください。

TPMR はリセット、またはハードウェアスタンバイモード時に H'F0 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット 7〜4：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3：グループ 3 ノンオーバラップ（G3NOV）

TPC 出力グループ 3（TP_{15}～TP_{12}端子）を通常動作させるか、ノンオーバラップ動作させるかを選択します。

ビット 3	説　明
G3NOV	
0	TPC 出力グループ 3 は、通常動作（選択された ITU のコンペアマッチ A で出力値を更新します。）（初期値）
1	TPC 出力グループ 3 は、ノンオーバラップ動作（選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。）

ビット 2：グループ 2 ノンオーバラップ（G2NOV）

TPC 出力グループ 2（TP_{11}～TP_{8}端子）を通常動作させるか、ノンオーバラップ動作させるかを選択します。

ビット 2	説　明
G2NOV	
0	TPC 出力グループ 2 は、通常動作（選択された ITU のコンペアマッチ A で出力値を更新します。）（初期値）
1	TPC 出力グループ 2 は、ノンオーバラップ動作（選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。）

ビット 1：グループ 1 ノンオーバラップ（G1NOV）

TPC 出力グループ 1（TP_{7}～TP_{4}端子）を通常動作させるか、ノンオーバラップ動作させるかを選択します。

ビット 1	説　明
G1NOV	
0	TPC 出力グループ 1 は、通常動作（選択された ITU のコンペアマッチ A で出力値を更新します。）（初期値）
1	TPC 出力グループ 1 は、ノンオーバラップ動作（選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。）

ビット 0：グループ 0 ノンオーバラップ（G0NOV）

TPC 出力グループ 0（TP_{3}～TP_{0}端子）を通常動作させるか、ノンオーバラップ動作させるかを選択します。

ビット 0	説　明
G0NOV	
0	TPC 出力グループ 0 は、通常動作（選択された ITU のコンペアマッチ A で出力値を更新します。）（初期値）
1	TPC 出力グループ 0 は、ノンオーバラップ動作（選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。）

11.3　動作説明

11.3.1　概要

TPC 出力は、PADDR、PBDDR と NDERA、NDERB の対応するビットをそれぞれ 1 にセットすることにより許可状態となります。この状態では、対応する PADR、PBDR の内容が出力されます。

その後、TPCR で指定したコンペアマッチが発生すると、ビットに対応する NDRA および NDRB の内容がそれぞれ PADR および PBDR に転送され、出力値が更新されます。

TPC 出力動作を**図** 11.2 に示します。また、TPC 動作条件を**表** 11.3 に示します。

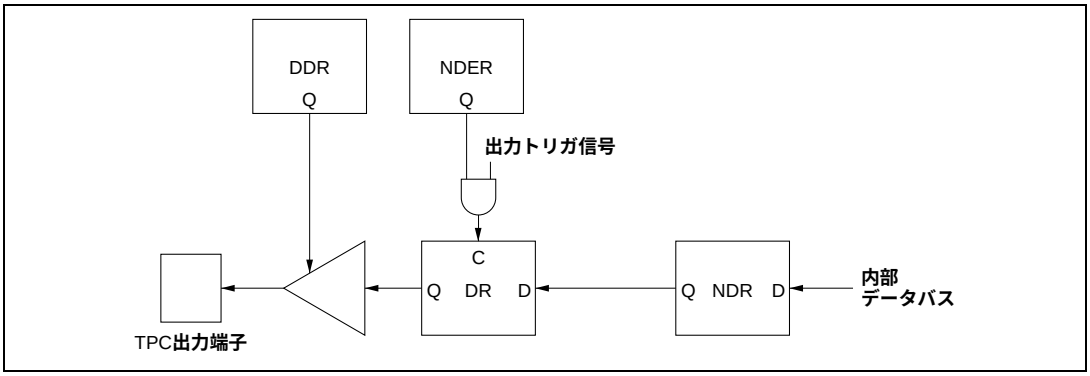


図 11.2　TPC **出力動作**

表 11.3　TPC **動作条件**

NDER	DDR	**端子機能**
0	0	**入力ポート**
	1	**出力ポート**
1	0	**入力ポート（ただし、コンペアマッチ時に** NDR **から** DR **の転送を行い、**DR **へのライトはできません）**
	1	TPC **パルス出力**

次のコンペアマッチが発生するまでに NDRA および NDRB に出力データを書き込むことにより、コンペアマッチごとに最大 16 ビットのデータを順次出力することができます。

ノンオーバラップ動作については、**「**11.3.4　TPC **出力ノンオーバラップ動作」**を参照してください。

11.3.2 出力タイミング

TPC 出力許可状態で指定されたコンペアマッチが発生すると、NDRA／NDRB の内容が PADR／PBDR に転送され、出力されます。

このタイミングを**図** 11.3 に示します。

コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

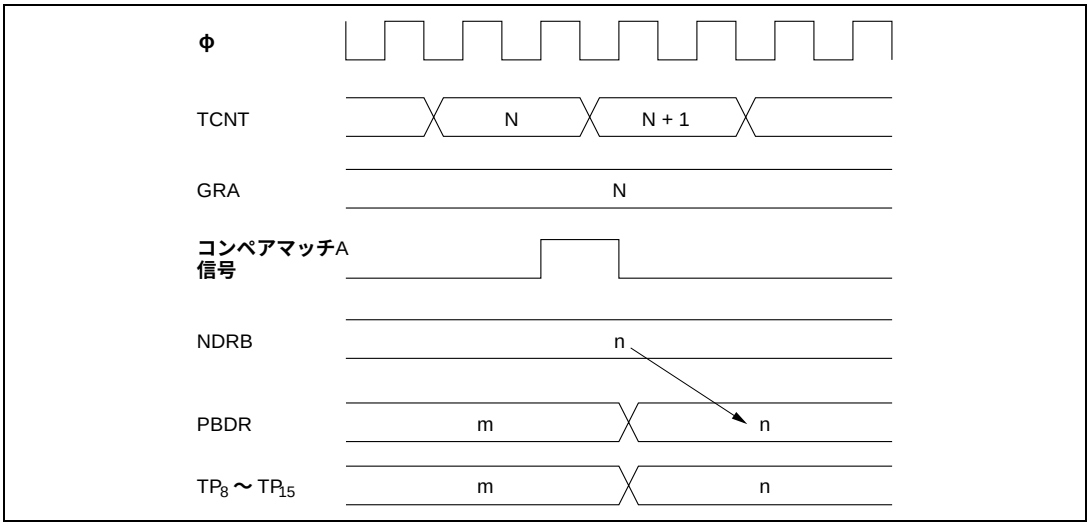


図 11.3 NDR **の内容が転送・出力されるタイミング（例）**

11.3.3 TPC 出力通常動作

(1) TPC 出力通常動作の設定手順例

TPC 出力通常動作の設定手順例を**図** 11.4 に示します。

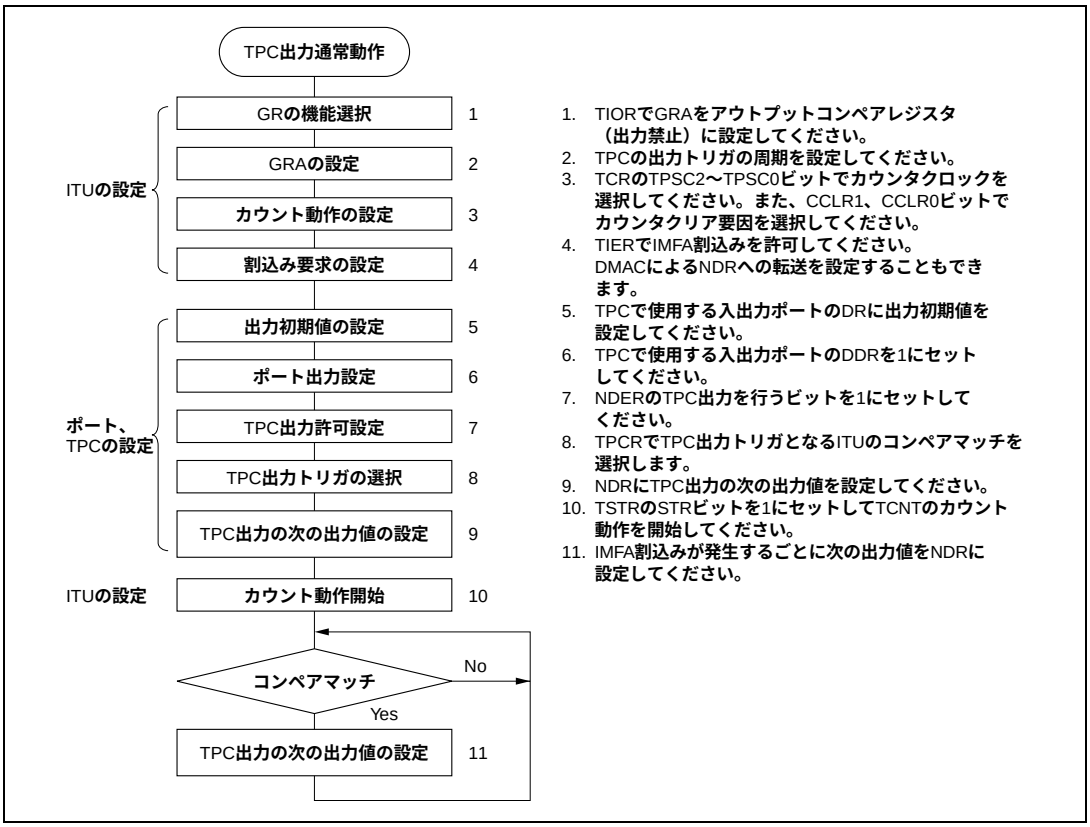
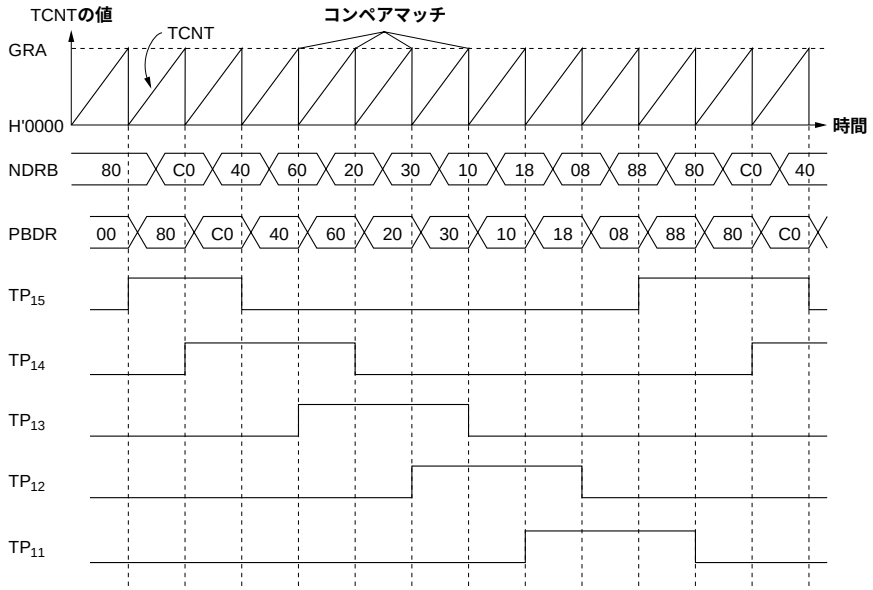


図 11.4 TPC **出力通常動作の設定手順例**

(2) TPC 出力通常動作例（5 相パルス出力例）

TPC 出力を使用して一定周期で 5 相パルスを出力させた例を**図** 11.5 に示します。



1. 出力トリガとするITUのGRAをアウトプットコンペアレジスタに設定します。
   GRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIERのIMIEAビットを1にセットして、コンペアマッチA割込みを許可します。
2. PBDDRとNDERBにH'F8をライトし、TPCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより出力トリガを1で選択したITUのコンペアマッチに設定します。NDRBに出力データH'80をライトします。
3. ITU当該チャネルの動作を開始しコンペアマッチAが発生すると、NDRBの内容がPBDRに転送され出力されます。
   コンペアマッチ／インプットキャプチャA（IMFA）割込み処理でNDRBに次の出力データH'C0をライトします。
4. 以後、IMFA割込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88・・・をライトすることで、5相の1－2相パルス出力を行うことができます。
   コンペアマッチでDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

図 11.5　TPC **出力通常動作例（**5 **相パルス出力例）**

11.3.4 TPC 出力ノンオーバラップ動作

(1) TPC 出力ノンオーバラップ動作の設定手順例

TPC 出力ノンオーバラップ動作の設定手順例を**図** 11.6 に示します。

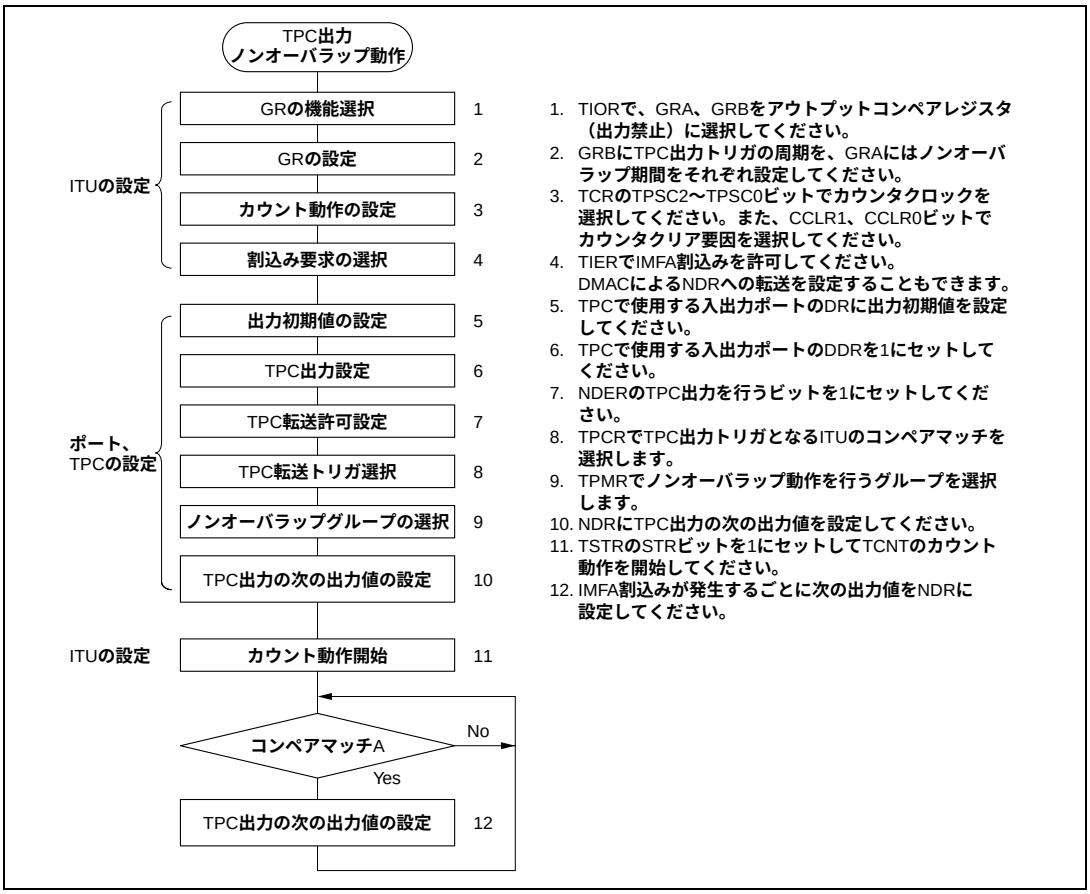


図 11.6 TPC **出力ノンオーバラップ動作の設定手順例**

(2) TPC 出力ノンオーバラップ動作例（4 相の相補ノンオーバラップ出力例）

TPC 出力を使用して 4 相の相補ノンオーバラップのパルスを出力させた例を**図** 11.7 に示します。

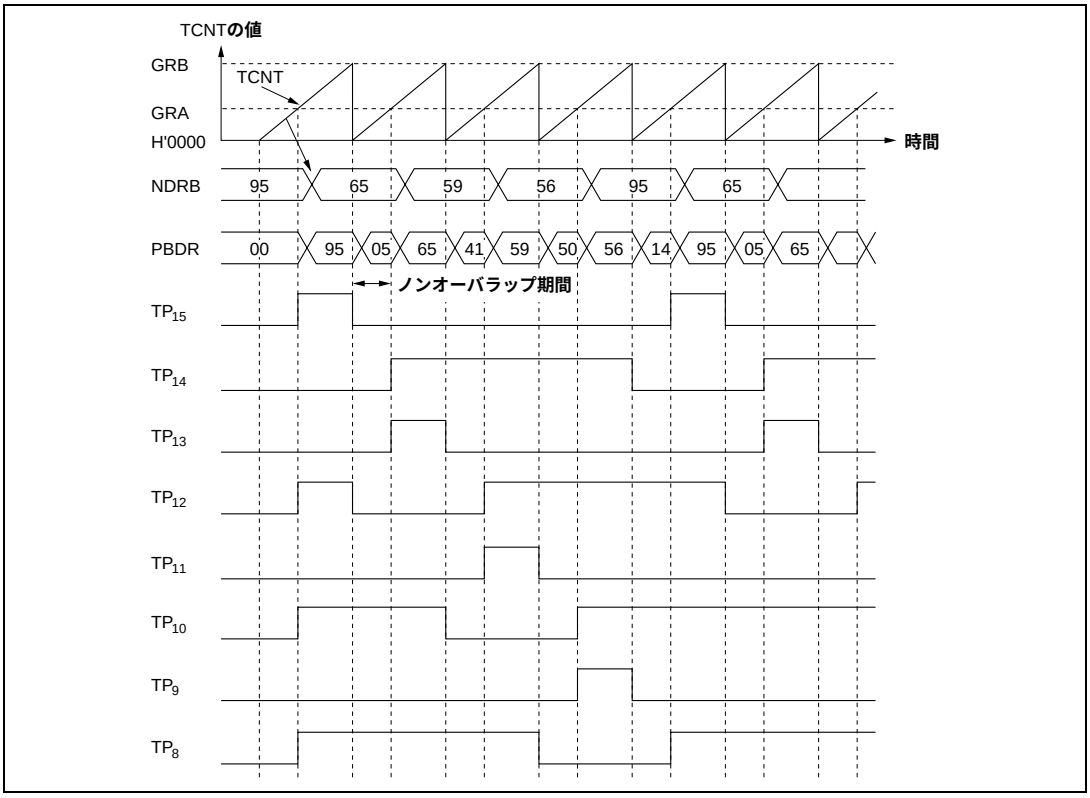


図 11.7 TPC **出力ノンオーバラップ動作例（4 相の相補ノンオーバラップ出力例）**

以下に動作例について説明します。

（1） 出力トリガとするITUのGRA、GRBをアウトプットコンペアレジスタに設定します。GRBには周期、GRAにはノンオーバラップ期間を設定し、コンペアマッチBによるカウンタクリアを選択します。また、TIERのIMIEAビットを1にセットして、IMFA割込みを許可します。

（2） PBDDRとNDERBにH'FFをライトし、TPCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより出力トリガを1で選択したITUのコンペアマッチに設定します。TPMRのG3NOV、G2NOVビットをそれぞれ1にセットして、ノンオーバラップ動作を設定します。NDRBに出力データをH'95をライトします。

（3） ITU当該チャネルの動作を開始すると、GRBのコンペアマッチで1出力→0出力の変化、GRAのコンペアマッチで0出力→1出力の変化を行います。（0出力→1出力の変化はGRAの設定値分遅延することになります）。
IMFA割込み処理でNDRBに次回の出力データH'65をライトします。

（4） 以後、IMFA割込みで順次H'59、H'56、H'95・・・をライトすることで、4相の相補ノンオーバラップ出力を発生することができます。
コンペアマッチでDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

11.3.5 インプットキャプチャによる TPC 出力

TPC 出力は、ITU のコンペアマッチだけではなく、インプットキャプチャによっても可能です。

TPCR によって選択された ITU の GRA がインプットキャプチャレジスタとして機能しているとき、インプットキャプチャ信号により TPC 出力を行います。

このタイミングを**図** 11.8 に示します。

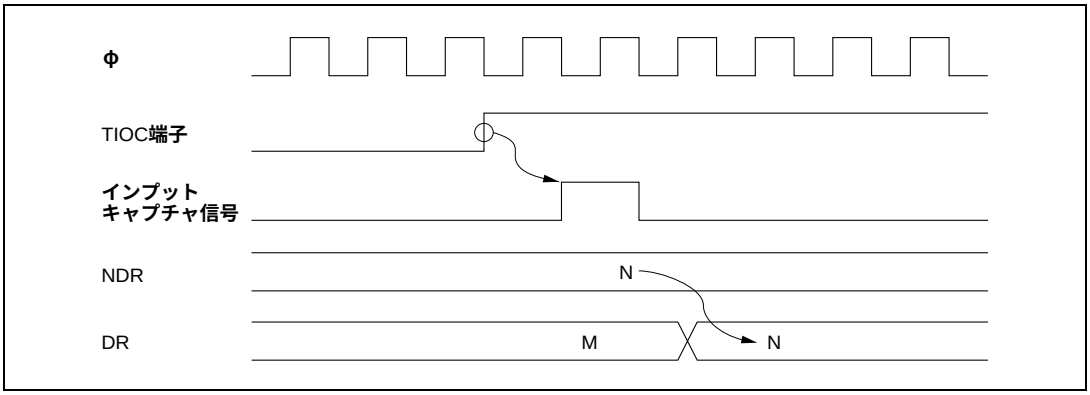


図 11.8 **インプットキャプチャによる** TPC **出力例**

11.4 使用上の注意

11.4.1 TPC 出力端子の動作

TP_0～TP_{15}は ITU、DMAC、アドレスバスなどの端子と兼用になっています。これらの端子は、ITU、DMAC、アドレスバスが出力許可状態になっているときには、TPC 出力を行うことができません。ただし、NDR から DR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

11.4.2 ノンオーバラップ動作時の注意

ノンオーバラップ動作時の NDR から DR の転送は以下のようになっています。

（1） コンペアマッチAではNDRの内容を常にDRへ転送します。
（2） コンペアマッチBではNDRの転送するビットの内容が0のときのみ転送を行います。1のときは転送を行いません。

ノンオーバラップ時の TPC 出力動作を**図** 11.9 に示します。

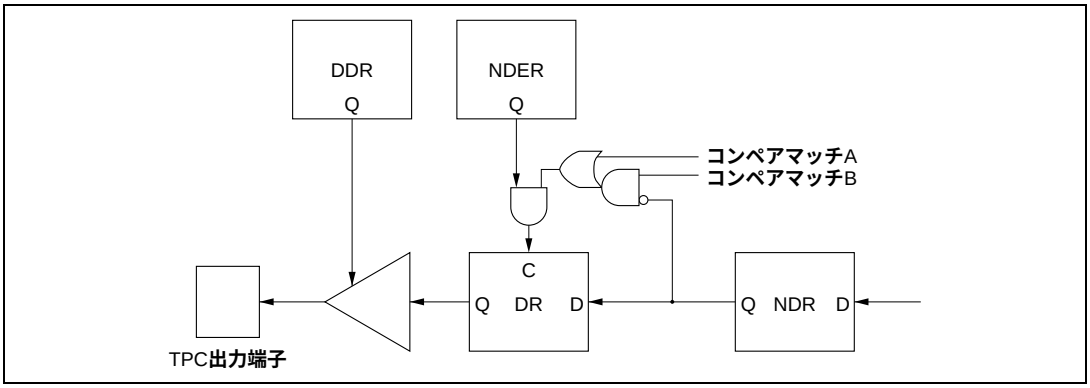


図 11.9　TPC **出力ノンオーバラップ動作**

したがって、コンペアマッチ B を、コンペアマッチ A よりも先に発生させせることにより、0 データの転送を 1 データの転送に先だって行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで（ノンオーバラップ期間）の間、NDR の内容を変更しないようにしてください。

これは IMFA 割込みの割込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、IMFA 割込みで DMAC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを**図** 11.10 に示します。

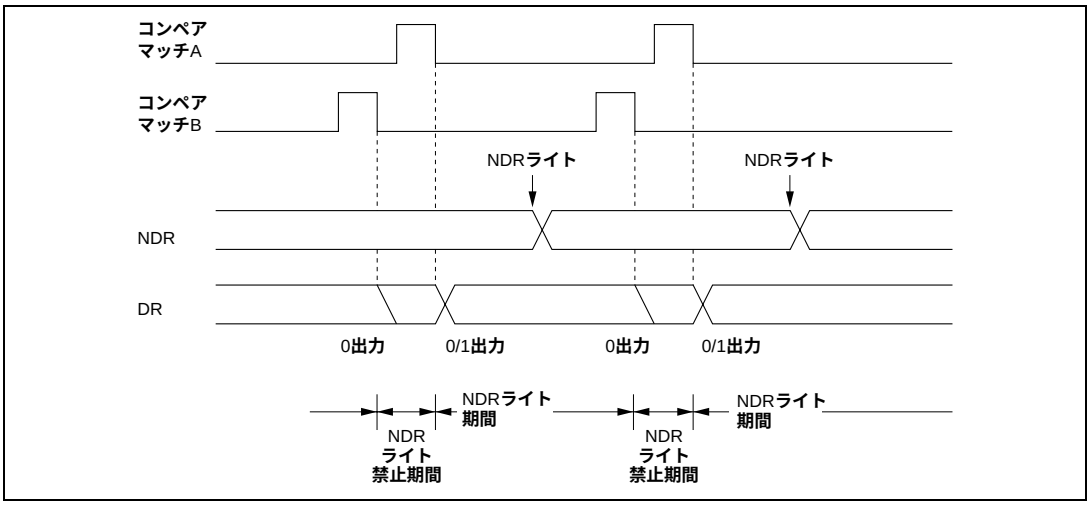


図 11.10　**ノンオーバラップ動作と** NDR **ライトタイミング**

12.　ウォッチドッグタイマ

12.1　概要

本 LSI は、ウォッチドッグタイマ（WDT）を内蔵しています。WDT には、システムの監視を行うウォッチドッグタイマとインターバルタイマの 2 つの機能があり、いずれかを選択することができます。

ウォッチドッグタイマはシステムの暴走などにより、タイマカウンタ（TCNT）の値が書き換えられずオーバフローすると、本 LSI に対してリセット信号を発生します。

また、インターバルタイマは、TCNT がオーバフローするごとにインターバルタイマ割込みを発生することができます。

12.1.1　特長

WDT の特長を以下に示します。

- 8 種類のカウンタ入力クロックを選択可能
  φ／2、φ／32、φ／64、φ／128、φ／256、φ／512、φ／2048、φ／4096
- インターバルタイマとして使用可能
- TCNT がオーバフローするとリセット信号または割込みを発生
  ウォッチドッグタイマ時にはリセット信号、インターバルタイマ時にはインターバルタイマ割込みを発生します。
- ウォッチドッグタイマの発生したリセット信号により、本 LSI 全体を内部リセット、同時にリセット信号を外部に出力可能
  ウォッチドッグタイマ時にTCNTのオーバフローによってリセット信号を発生すると、本LSI全体は内部リセットされます。同時に、RESO端子からリセット信号を外部に出力し、システム全体をリセットすることができます。ただし、H8/3048F-ONE（単一電源方式フラッシュメモリ内蔵製品）ではRESO端子は、FWE端子として機能するので、リセット信号を外部に出力する機能はありません。

12.1.2 ブロック図

図 12.1 に WDT のブロック図を示します。

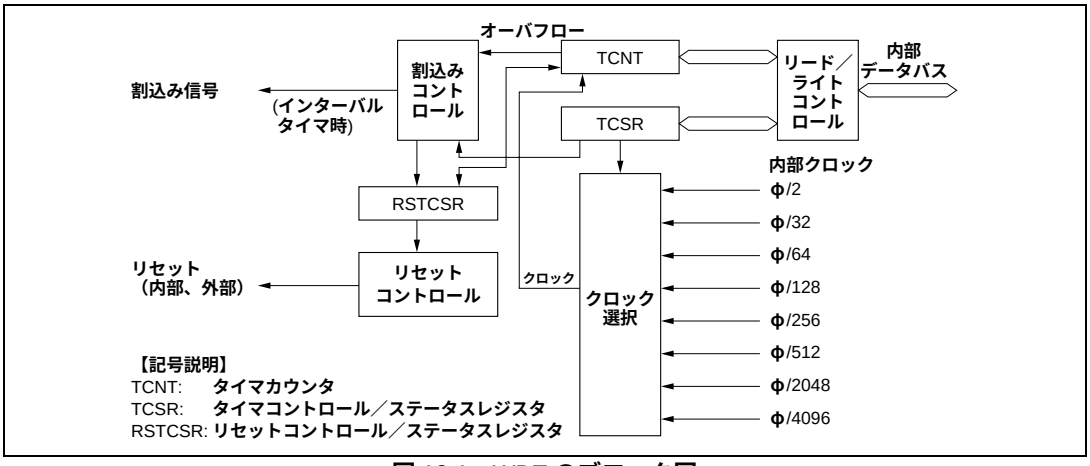


図 12.1 WDT **のブロック図**

12.1.3 端子構成

WDT で使用する出力端子*[1]を**表** 12.1 に示します。

表 12.1 **端子構成**

名　称	略　称	入出力	機　能
リセット出力	RESO	出力*[2]	ウォッチドッグタイマのリセット信号の外部出力

【注】 *1 **単一電源方式フラッシュメモリ内蔵製品（**H8/3048F-ONE**）にはありません。**
*2 **オープンドレイン出力端子です。**

12.1.4 レジスタ構成

表 12.2 に WDT のレジスタ構成を示します。

表 12.2 **レジスタ構成**

アドレス*[1]		名　称	略　称	R/W	初期値
ライト時*[2]	リード時				
H'FFA8	H'FFA8	タイマコントロール／ステータスレジスタ	TCSR	R/(W)*[3]	H'18
	H'FFA9	タイマカウンタ	TCNT	R/W	H'00
H'FFAA	H'FFAB	リセットコントロール／ステータスレジスタ	RSTCSR	R/(W)*[3]	H'3F

【注】 *1 **アドレスの下位** 16 **ビットを示しています。**
*2 **このアドレスから始まるワードデータとしてライトしてください。**
*3 **ビット** 7 **は、フラグをクリアするための** 0 **ライトのみ可能です。**

12.2　各レジスタの説明

12.2.1　タイマカウンタ（TCNT）

TCNT は、8 ビットのリード／ライト*可能なアップカウンタです。

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCSR の TME ビットを 1 にセットすると、TCSR の CKS2～CKS0 ビットで選択された内部クロックにより、カウントアップを開始します。また、TCNT の値がオーバフロー（H'FF→H'00）すると、TCSR の OVF フラグが 1 にセットされます。

また、TCNT はリセット、または TME＝0 のとき H'00 にイニシャライズされます。

【注】＊　TCNT は、容易に書き換えられないようにライト方法が一般のレジスタと異なります。詳細は「12.2.4　レジスタ書き換え時の注意」を参照してください。

12.2.2　タイマコントロール／ステータスレジスタ（TCSR）

TCSR は、8 ビットのリード／ライト*1 可能なレジスタで、TCNT に入力するクロックの選択、およびモードの選択などを行います。

ビット：	7	6	5	4	3	2	1	0
	OVF	WT/$\overline{\text{IT}}$	TME	—	—	CKS2	CKS1	CKS0
初期値：	0	0	0	1	1	0	0	0
R/W　：	R/(W)*2	R/W	R/W	—	—	R/W	R/W	R/W

クロックセレクト
TCNTに入力するクロックを選択するビットです。

リザーブビット

タイマイネーブル
TCNTの動作／停止を選択するビットです。

タイマモードセレクト
モードを選択するビットです。

オーバフローフラグ
オーバフローしたことを示すステータスフラグです。

ビット 7〜5 はリセット、またはスタンバイモード時に各ビットとも 0 にイニシャライズされます。ビット 2〜0 は、リセット時に各ビットとも 0 にイニシャライズされます。なお、ビット 2〜0 はソフトウェアスタンバイモード時には、イニシャライズされずにソフトウェアスタンバイモードに遷移する直前の値を保持します。

【注】 *1　TCSR **は、容易に書き換えられないようにライト方法が一般のレジスタと異なります。詳細は「**12.2.4　**レジスタ書き換え時の注意」を参照してください。**
*2　**フラグをクリアするための** 0 **ライトのみ可能です。**

ビット 7：オーバフローフラグ（OVF）

TCNT がオーバフロー（H'FF→H'00）したことを示すステータスフラグです。

ビット 7 OVF	説　明
0	〔クリア条件〕 OVF＝1 の状態で、OVF フラグをリード後、OVF フラグに 0 をライトしたとき （初期値）
1	〔セット条件〕 TCNT が H'FF→H'00 に変化したとき

ビット 6：タイマモードセレクト（WT／IT）

WDT をウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択するビットです。インターバルタイマ時は TCNT のオーバフローでインターバルタイマ割込み要求を発生します。また、ウォッチドッグタイマ時は TCNT のオーバフローでリセット信号を発生します。

ビット 6 WT/IT	説　明
0	インターバルタイマを選択：インターバルタイマ割込み要求　（初期値）
1	ウォッチドッグタイマを選択：リセット信号を発生

ビット 5：タイマイネーブル（TME）

TCNT の動作／停止を選択します。WT/IT＝1 の場合、SYSCR のソフトウェアスタンバイビット（SSBY）を 0 にクリアしてから TME を 1 にセットしてください。また、SSBY を 1 にセットするときは TME を 0 にクリアしてください。

ビット 5 TME	説　明
0	TCNT を H'00 にイニシャライズし、カウント動作は停止　（初期値）
1	TCNT はカウント動作、CPU への割込み要求を許可

ビット 4、3：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 2〜0：クロックセレクト 2〜0（CKS2〜0）

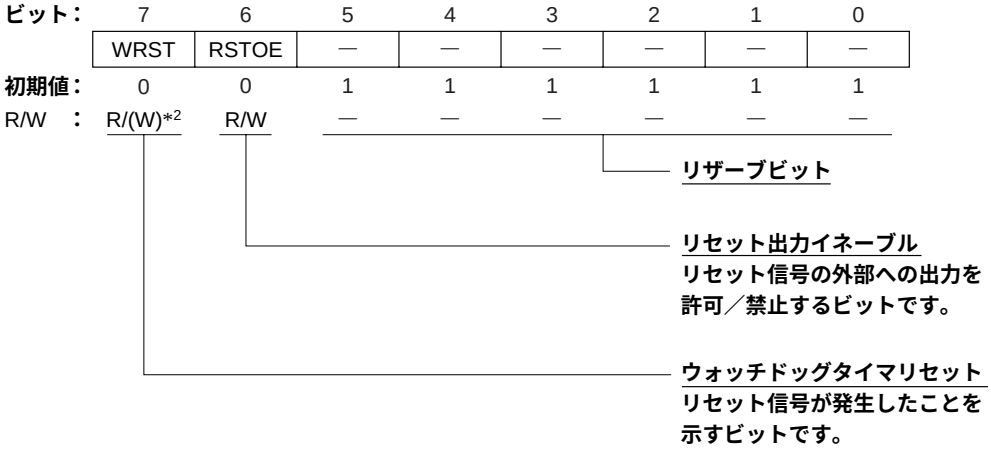
システムクロック（φ）を分周して得られる 8 種類の内部クロックから TCNT に入力するクロックを選択するビットです。

ビット 2	ビット 1	ビット 0	説　明
CKS2	CKS1	CKS0	
0	0	0	φ／2　（初期値）
		1	φ／32
	1	0	φ／64
		1	φ／128
1	0	0	φ／256
		1	φ／512
	1	0	φ／2048
		1	φ／4096

12.2.3 リセットコントロール／ステータスレジスタ（RSTCSR）

(1) H8/3048F、H8/3048ZTAT、H8/3048 マスク ROM 品、H8/3047 マスク ROM 品、H8/3045 マスク ROM 品、H8/3044 マスク ROM 品の場合

RSTCSR は 8 ビットのリード／ライト*1 可能なレジスタで、ウォッチドッグタイマのオーバフローによるリセット信号の発生状態のモニタ、およびリセット信号の外部への出力を制御します。



ビット 7、6 は、RES 端子によるリセット信号でイニシャライズされます。ウォッチドッグタイマのオーバフローによるリセット信号ではイニシャライズされません。

【注】 *1 RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なります。詳細は「12.2.4 レジスタ書き換え時の注意」を参照してください。

*2 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

ビット 7：ウォッチドッグタイマリセット（WRST）

ウォッチドッグタイマ時に TCNT がオーバフローし、リセット信号が発生したことを示すビットです。

オーバフローで発生したリセット信号により、本 LSI 全体が内部リセットされます。同時に、RSTOE ビットが 1 にセットされていると、このリセット信号を RESO 端子から Low レベルを外部に出力し、システム全体のイニシャライズを行うことができます。ただし、単一電源方式フラッシュメモリ内蔵製品（H8/3048F-ONE）には、RESO 端子はありません。

ビット 7 WRST	説　明
0	〔クリア条件〕（初期値） （1）RES 端子によるリセット信号 （2）WRST＝“1 ”の状態で、WRST フラグをリード後 0 をライトしたとき
1	〔セット条件〕 ウォッチドッグタイマ時に、TCNT がオーバフローし、リセット信号が発生したとき

ビット 6：リセット出力イネーブル（RSTOE）

ウォッチドッグタイマ時に TCNT がオーバフローして発生したリセット信号の RESO 端子からの出力の許可／禁止を選択します。ただし、単一電源方式フラッシュメモリ内蔵製品（H8/3048F-ONE）には、RESO 端子はありません。

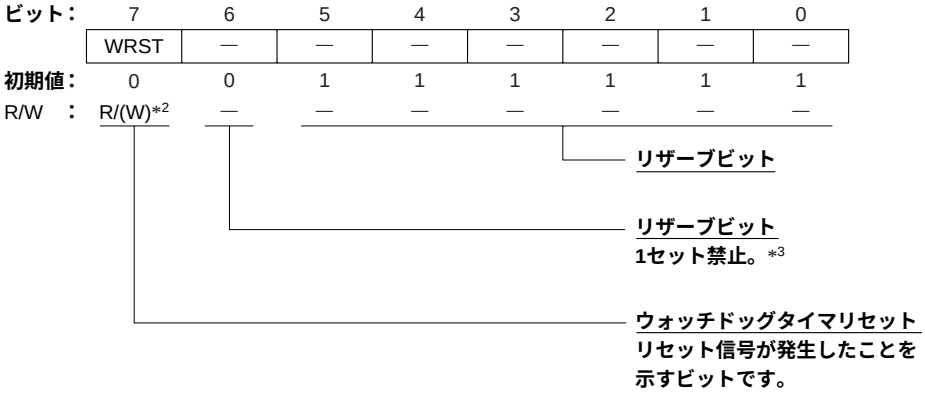
ビット 6 RSTOE	説　明
0	リセット信号の外部出力を禁止（初期値）
1	リセット信号の外部出力を許可

ビット 5～0：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

(2) H8/3048F-ONE **の場合**

RSTCSR は 8 ビットのリード／ライト*1 可能なレジスタで、ウォッチドッグタイマのオーバフローによるリセット信号の発生状態をモニタします。



ビット 7 は、RES 端子によるリセット信号でイニシャライズされます。ウォッチドッグタイマのオーバフローによるリセット信号ではイニシャライズされません。

【注】 *1 RSTCSR **は、容易に書き換えられないように、ライト方法が一般のレジスタと異なります。詳細は「**12.2.4 **レジスタ書き換え時の注意」を参照してください。**
*2 **ビット** 7 **は、フラグをクリアするための** 0 **ライトのみ可能です。**
*3 **ビット** 6 **は、**1 **をセットしないでください。**

ビット 7**：ウォッチドッグタイマリセット**（WRST）

ウォッチドッグタイマ時に TCNT がオーバフローし、リセット信号が発生したことを示すビットです。

オーバフローで発生したリセット信号により、本 LSI 全体が内部リセットされます。

ビット 7 WRST	**説　明**
0	**〔クリア条件〕** **（初期値）** **（**1**）**RES **端子によるリセット信号** **（**2**）**WRST＝1 **の状態で、**WRST **フラグをリード後** 0 **をライトしたとき**
1	**〔セット条件〕** **ウォッチドッグタイマ時に、**TCNT **がオーバフローし、リセット信号が発生したとき**

ビット 6**：リザーブビット**

リザーブビットです。1 をセットしないでください。

ビット 5**〜**0**：リザーブビット**

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

12.2.4 レジスタ書き換え時の注意

WDT の TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般レジスタと異なります。リード／ライトの方法を以下に示します。

(1) TCNT、TCSR へのライト

TCNT、TCSR へライトする場合、必ずワード転送命令を使用してください。バイト命令では、ライトすることができません。**図** 12.2 に TCNT、TCSR へのライトデータを示します。

ライト時のアドレスは、TCNT、TCSR とも同一アドレスになっています。そのため、TCNT、TCSR へライトするときは、下位バイトをライトデータに、上位バイトを H'5A（TCNT のとき）または H'A5（TCSR のとき）にしてワード転送を行います。

これにより、下位バイトのデータが TCNT、または TCSR へライトされます。

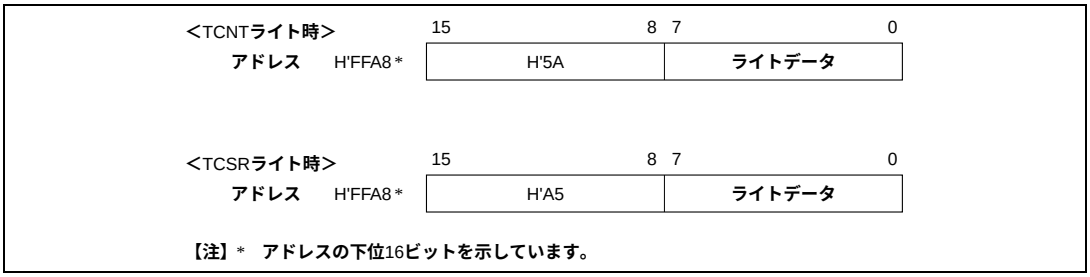


図 12.2 TCNT、TCSR **へのライトデータ**

(2) RSTCSR へのライト

RSTCSR へライトする場合、必ずワード転送命令を使用してください。バイト転送命令では、ライトすることができません。**図** 12.3 に RSTCSR のライトデータを示します。

WRST ビットへ 0 をライトする場合、上位バイトを H'A5、下位バイトを H'00 としてワード転送を行います。これにより、下位バイトのデータ（H'00）が RSTCSR の WRST ビットへライトされ、WRST ビットが 0 にクリアされます。

RSTOE ビットへライトする場合、上位バイトを H'5A、下位バイトをライトデータとしてワード転送を行います。

これにより、下位バイトのデータが RSTOE ビットへライトされます。

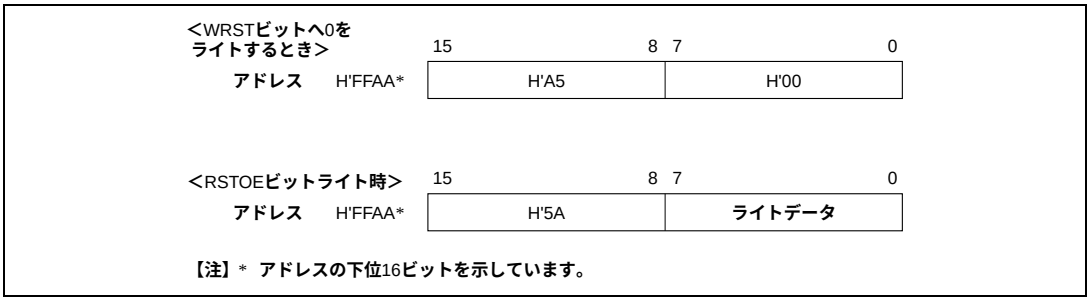


図 12.3 RSTCSR **へのライトデータ**

(3) TCNT、TCSR、RSTCSR のリード

TCNT、TCSR、RSTCSR をリードする場合、アドレス H'FFA8 に TCSR、H'FFA9 に TCNT、H'FFAB に RSTCSR が割り当てられています。

したがって、一般のレジスタと同様にリードしてください。リードの場合は、バイト転送命令を使用することができます。**表** 12.3 に TCNT、TCSR、RSTCSR のリードを示します。

表 12.3 TCNT、TCSR、RSTCSR **のリード**

アドレス*	レジスタ
H'FFA8	TCSR
H'FFA9	TCNT
H'FFAB	RSTCSR

【注】 * **アドレスの下位** 16 **ビットを示しています。**

12.3　動作説明

以下にウォッチドッグタイマ時、インターバルタイマ時の WDT の動作について説明します。

12.3.1　ウォッチドッグタイマ時の動作

図 12.4 にウォッチドッグタイマ時の動作を示します。

ウォッチドッグタイマとして使用する場合は、TCSR の WT／IT ビット、TME ビットをそれぞれ 1 にセットします。

プログラムでは TCNT がオーバフローする前に、ソフトウェアで TCNT の値を書き換えて（通常は H'00 をライト）、常にオーバフローが発生しないようにします。システムの暴走などにより、TCNT の値が書き換えられず、オーバフローすると、518 ステート期間、本 LSI 内部をリセットします。

WDT によるリセット信号は、RESO 端子から外部に出力し、外部システムをリセットすることができます。外部へのリセット信号は、132 ステート期間出力されます。外部への出力の許可／禁止は、RSTCSR の RSTOE ビットによって選択します。ただし、単一電源方式フラッシュメモリ内蔵製品（H8/3048F-ONE）には、RESO 端子はありません。

WDT によるリセットと RES 端子によるリセットは、同一ベクタです。そのため、RES 端子によるリセットか、WDT によるリセットかは、RSTCSR の WRST ビットをチェックすることによって判別してください。

また、RES 端子によるリセットと WDT のオーバフローによるリセットが同時に発生した場合は RES 端子によるリセットが優先されます。

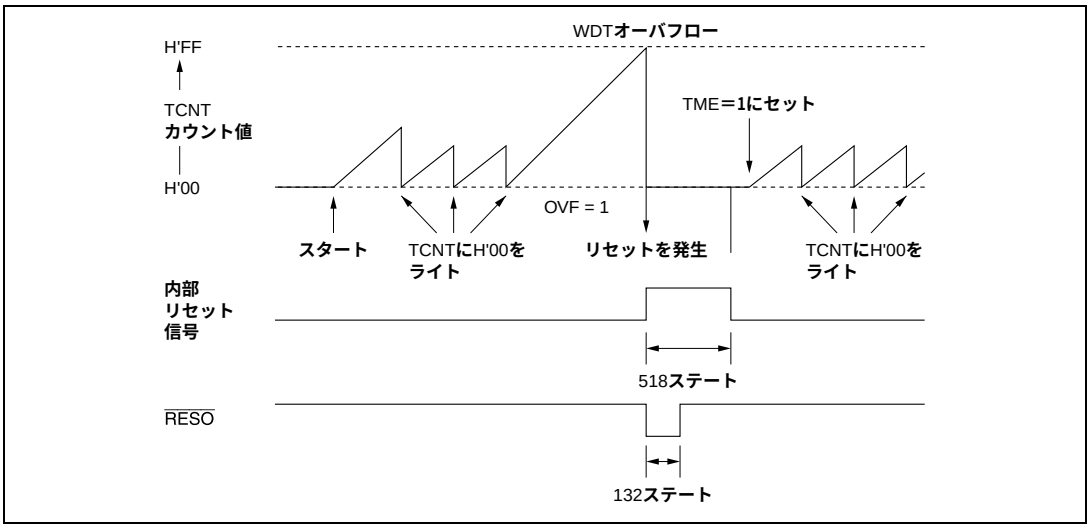


図 12.4　**ウォッチドッグタイマモード時の動作**

12.3.2 インターバルタイマ時の動作

図 12.5 にインターバルタイマ時の動作を示します。

インターバルタイマとして使用するには、TCSR の WT／IT ビットを 0 にクリアし、TME ビットを 1 にセットします。

インターバルタイマとして動作しているときは、TCNT がオーバフローするごとに、インターバルタイマ割込み要求が発生します。これにより、一定時間ごとにインターバルタイマ割込みを発生させることができます。

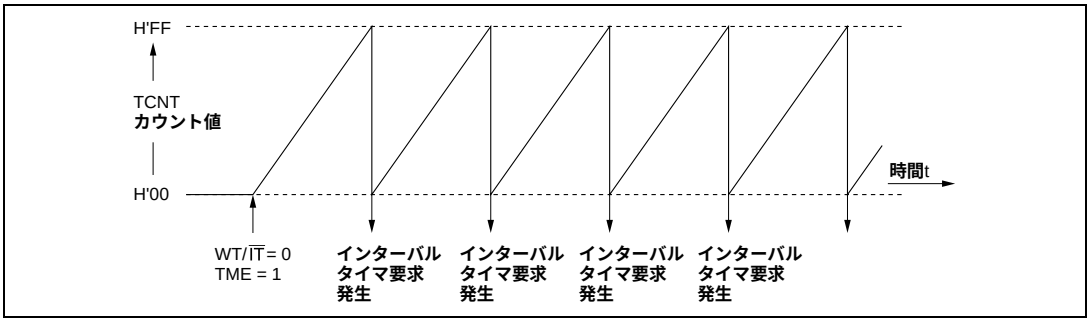


図 12.5 **インターバルタイマ時の動作**

12.3.3 オーバフローフラグ（OVF）セットタイミング

図 12.6 に OVF フラグのセットタイミングを示します。

TCSR の OVF フラグは、TCNT がオーバフローすると 1 にセットされます。このとき同時にウォッチドッグタイマ時にはリセット信号出力、インターバルタイマ時にはインターバルタイマ割込みが発生します。

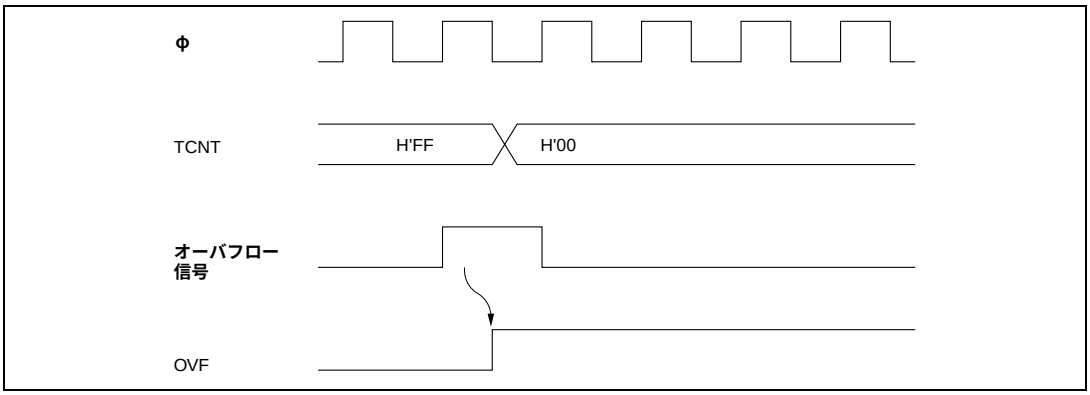


図 12.6 OVF **フラグのセットタイミング**

12.3.4　ウォッチドッグタイマリセット（WRST）のセットタイミング

RSTCSR の WRST ビットは、TCSR の WT／IT ビット、TME ビットをそれぞれ 1 にセットしたとき有効になります。

図 12.7 に WRST ビットのセット、および内部リセットタイミングを示します。

TCNT がオーバフローして、OVF フラグが 1 にセットされたとき、WRST ビットは 1 にセットされます。このとき同時に、本 LSI 全体に対して内部リセット信号を発生します。この内部リセット信号で OVF フラグは 0 にクリアされますが、WRST ビットは 1 にセットされたままです。したがって、リセット処理ルーチンの中で、必ず WRST ビットのクリアを行ってください。

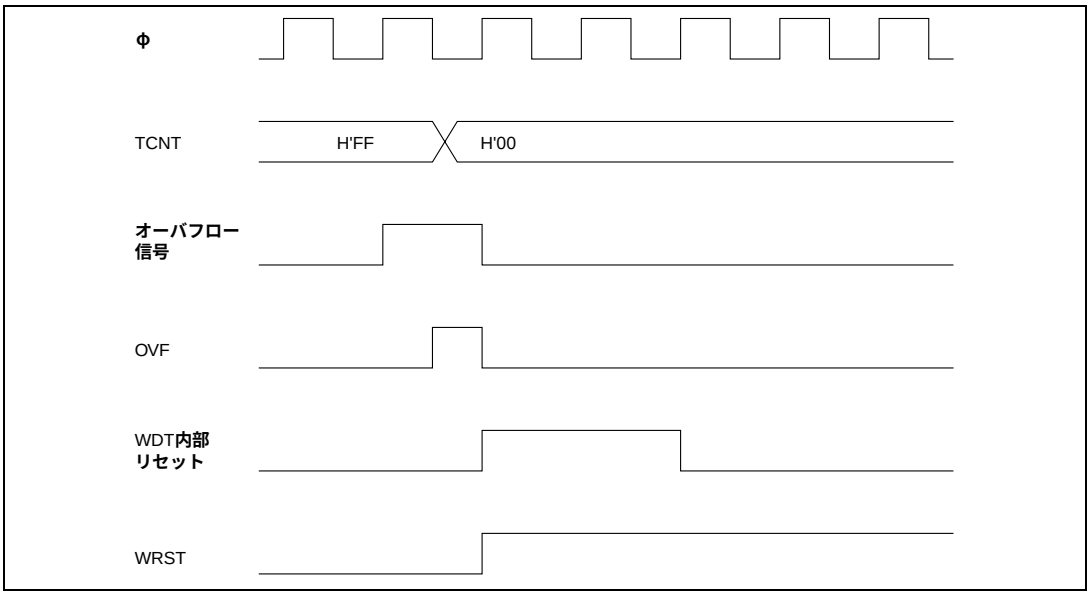


図 12.7　WRST **ビットのセットおよび内部リセットタイミング**

12.4 割込み

インターバルタイマ時、オーバフローによりインターバルタイマ割込み（WOVI）を発生します。インターバルタイマ割込みは TCSR の OVF フラグが 1 にセットされると常に要求されます。

12.5 使用上の注意

(1) TCNT のライトとカウントアップの競合

図 12.8 に TCNT のライトとカウントアップの競合を示します。

TCNT のライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

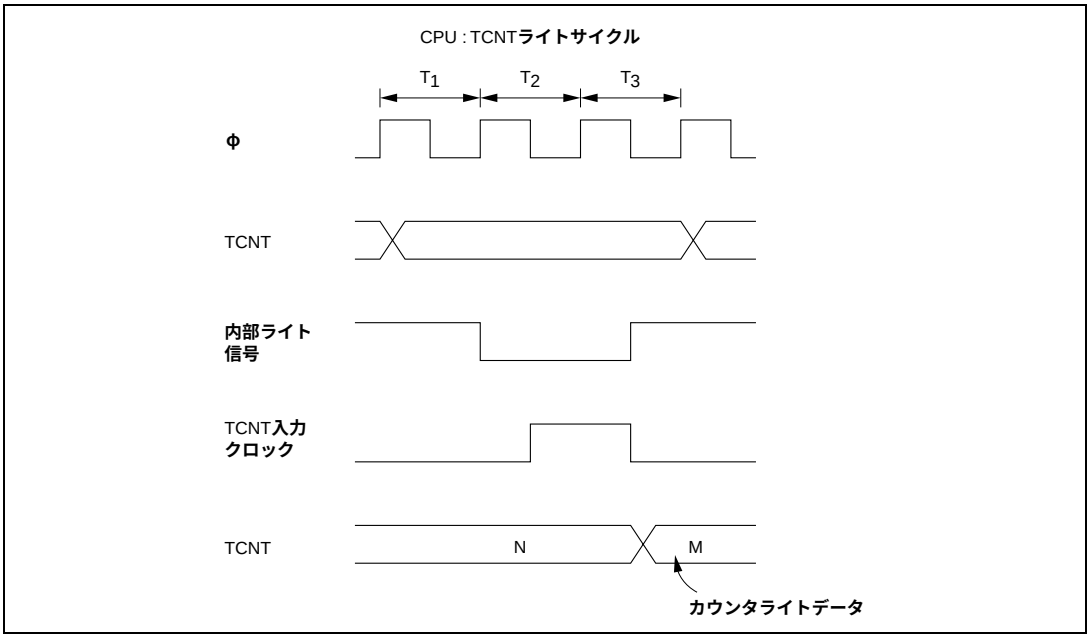


図 12.8 TCNT **のライトとカウントアップの競合**

(2) CKS2～CKS0 ビットの切り換え

CKS2～CKS0 ビットを切り換えるときは、TCSR の TME ビットを 0 にクリアし、TCNT を停止させてから行ってください。

12.6 その他注意事項

本 LSI は、WDT を内蔵しています。内蔵 WDT はシステムの暴走などにより、タイマカウンタの値が書換えられずオーバーフローするとリセット信号を発生し、LSI をリセットします。ただし、CPU と同一チップに内蔵されているという性質上、CPU の暴走などにより、下記 3 項目が、行われた場合には WDT 動作を期待することはできません。

(1) 内蔵WDTに関する内部I/Oレジスタが書換えられた場合
(2) 誤ってソフトウェアスタンバイに遷移した場合
(3) 誤ってブレークモードに遷移した場合

また、上記の NMI と同様に電源端子やシステム制御端子に対する異常入力が発生した場合には、正しい動作を期待することはできません。

内蔵 WDT は、上記のようなケースを除く、システムの暴走状態からの回復を補助するものとして機能します。したがって、お客さまのシステムにおいてフェール・セーフ機能が必要となる場合には、上記 WDT の特性をご確認の上、必要に応じ LSI 外部にて、その機能を実現する必要があります。

13.　シリアルコミュニケーションインタフェース

13.1　概要

本 LSI は、独立した 2 チャネルのシリアルコミュニケーションインタフェース（SCI：Serial Communication Interface）を備えています。2 チャネルは、同一の機能を持っています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能（マルチプロセッサ通信機能）を備えています。

消費電流低減のため SCI を使用しない場合には、SCI 各チャネル単独に停止することができます。詳細は**「22.6　モジュールスタンバイ機能」**を参照してください。

また、SCI0 については“ ISO/IEC7816－3（Identification Card）”に準拠した IC カードインタフェース用シリアル通信機能としてスマートカードインタフェースをサポートしています。詳しくは**「第 14 章　スマートカードインタフェース」**を参照してください。

13.1.1　特長

SCI の特長を以下に示します。

- シリアル通信モードを調歩同期式モード／クロック同期式モードから選択可能
  - 調歩同期式モード
    キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信を行います。
    Universal Asyncronous Receiver/Transmitter（UART）やAsyncronous Communication Interface Adapter（ACIA）など標準の調歩同期式通信用LSIとのシリアルデータ通信が可能です。
    また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。
    シリアルデータ通信フォーマットを12種類のフォーマットから選択できます。
    - データ長　：7 ビット／8 ビット
    - ストップビット長　：1 ビット／2 ビット
    - パリティ　：偶数パリティ／奇数パリティ／パリティなし
    - マルチプロセッサビット　：1／0
    - 受信エラーの検出　：パリティエラー、オーバランエラー、フレーミングエラーを検出
    - ブレークの検出　：フレーミングエラー発生時に RxD 端子のレベルを直接リードすることによりブレークを検出できます。
  - クロック同期式モード
    クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他のLSIとのシリアルデータ通信が可能です。
    シリアルデータ通信フォーマットは1種類です。
    - データ長　：8 ビット
    - 受信エラーの検出：オーバランエラーを検出

- 全二重通信が可能
  独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。
  また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能

- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

- 4 種類の割込み要因
  送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割込み要因があり、それぞれ独立に要求することができます。また、SCI0については送信データエンプティ割込みと受信データフル割込みによりDMAコントローラ（DMAC）を起動させてデータの転送を行うことができます。

13.1.2 ブロック図

図 13.1 に SCI のブロック図を示します。

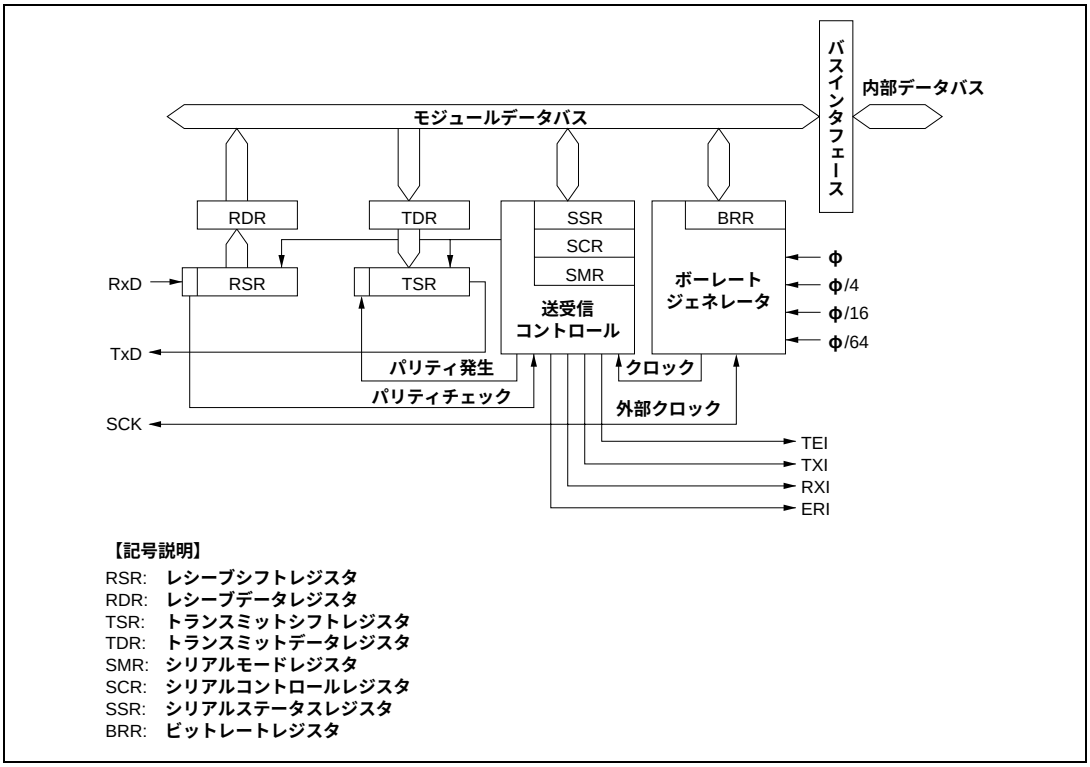


図 13.1 SCI **のブロック図**

13.1.3 端子構成

SCI は、チャネルごとに**表** 13.1 に示すシリアル端子を持っています。

表 13.1 **端子構成**

チャネル	名　称	略　称	入出力	機　能
0	シリアルクロック端子	SCK_0	入出力	SCI_0のクロック入出力
	レシーブデータ端子	RxD_0	入力	SCI_0の受信データ入力
	トランスミットデータ端子	TxD_0	出力	SCI_0の送信データ出力
1	シリアルクロック端子	SCK_1	入出力	SCI_1のクロック入出力
	レシーブデータ端子	RxD_1	入力	SCI_1の受信データ入力
	トランスミットデータ端子	TxD_1	出力	SCI_1の送信データ出力

13.1.4 レジスタ構成

SCI には、**表** 13.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード／クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部／受信部の制御を行うことができます。

表 13.2 **レジスタ構成**

チャネル	アドレス*1	名　称	略　称	R/W	初期値
0	H'FFB0	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFB1	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFB2	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFB3	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFB4	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
	H'FFB5	レシーブデータレジスタ	RDR	R	H'00
1	H'FFB8	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFB9	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFBA	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFBB	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFBC	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
	H'FFBD	レシーブデータレジスタ	RDR	R	H'00

【注】 *1 **アドレスの下位** 16 **ビットを示しています。**

*2 **フラグをクリアするための** 0 **ライトのみ可能です。**

13.2 各レジスタの説明

13.2.1 レシーブシフトレジスタ（RSR）

RSR は、シリアルデータを受信するためのレジスタです。

ビット：	7	6	5	4	3	2	1	0
R/W ：	—	—	—	—	—	—	—	—

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB（ビット 0）から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード／ライトすることはできません。

13.2.2 レシーブデータレジスタ（RDR）

RDR は、受信したシリアルデータを格納するレジスタです。

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R	R	R	R	R	R	R	R

SCI は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、リード専用レジスタですので CPU からライトすることはできません。

RDR は、リセット、またはスタンバイモード時に H'00 にイニシャライズされます。

13.2.3 トランスミットシフトレジスタ（TSR）

TSR は、シリアルデータを送信するためのレジスタです。

ビット：	7	6	5	4	3	2	1	0
R/W ：	—	—	—	—	—	—	—	—

SCI は、TDR から送信データを一旦 TSR に転送し、LSB（ビット 0）から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし SSR の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード／ライトすることはできません。

13.2.4 トランスミットデータレジスタ（TDR）

TDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCI は、TSR の空を検出すると、TDR にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データをライトしておくと、連続シリアル送信ができます。

TDR は、常に CPU によるリード／ライトが可能です。

TDR は、リセット、またはスタンバイモード時に H'FF にイニシャライズされます。

13.2.5 シリアルモードレジスタ（SMR）

SMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

ビット：	7	6	5	4	3	2	1	0
	C/$\overline{A}$	CHR	PE	O/$\overline{E}$	STOP	MP	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト1、0
ボーレートジェネレータのクロックを選択するビットです。

マルチプロセッサモード
マルチプロセッサ機能を選択するビットです。

ストップビットレングス
ストップビット長を選択するビットです。

パリティモード
偶数パリティ／奇数パリティを選択するビットです。

パリティイネーブル
パリティの付加を許可／禁止するビットです。

キャラクタレングス
調歩同期式モードのキャラクタ長を選択するビットです。

コミュニケーションモード
調歩同期式モードとクロック同期式モードを選択するビットです。

SMR は、常に CPU によるリード／ライトが可能です。
SMR は、リセット、またはスタンバイモード時に H'00 にイニシャライズされます。

ビット 7：コミュニケーションモード（C/A）

SCI の動作モードを調歩同期式モード／クロック同期式モードのいずれかから選択します。

ビット 7 C/A	説　明
0	**調歩同期式モード**　（初期値）
1	**クロック同期式モード**

ビット 6：キャラクタレングス（CHR）

調歩同期式モードのデータ長を 7 ビット／8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6 CHR	説　明
0	8 ビットデータ　（初期値）
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、TDR の MSB（ビット 7）は送信されません。

ビット 5：パリティイネーブル（PE）

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット 5 PE	説　明
0	パリティビットの付加、およびチェックを禁止　（初期値）
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット 4：パリティモード（O/E）

パリティの付加やチェックを偶数パリティ／奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。

ビット 4 O/E	説　明
0	偶数パリティ*1　（初期値）
1	奇数パリティ*2

【注】 *1 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

*2 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

ビット 3：ストップビットレングス（STOP）

調歩同期式モードでのストップビットの長さを 1 ビット／2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット 3 STOP	説　明
0	1 ストップビット*1　（初期値）
1	2 ストップビット*2

【注】 *1　送信時には、送信キャラクタの最後尾に 1 ビットの 1（ストップビット）を付加して送信します。
*2　送信時には、送信キャラクタの最後尾に 2 ビットの 1（ストップビット）を付加して送信します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット 2：マルチプロセッサモード（MP）

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PE ビット、および O/E ビットにおけるパリティの設定は無効になります。また、MP ビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MP ビットの設定は無効です。

マルチプロセッサ通信機能については、「13.3.3　マルチプロセッサ通信機能」を参照してください。

ビット 2 MP	説　明
0	マルチプロセッサ機能の禁止　（初期値）
1	マルチプロセッサフォーマットを選択

ビット 1、0：クロックセレクト 1、0（CKS1、0）

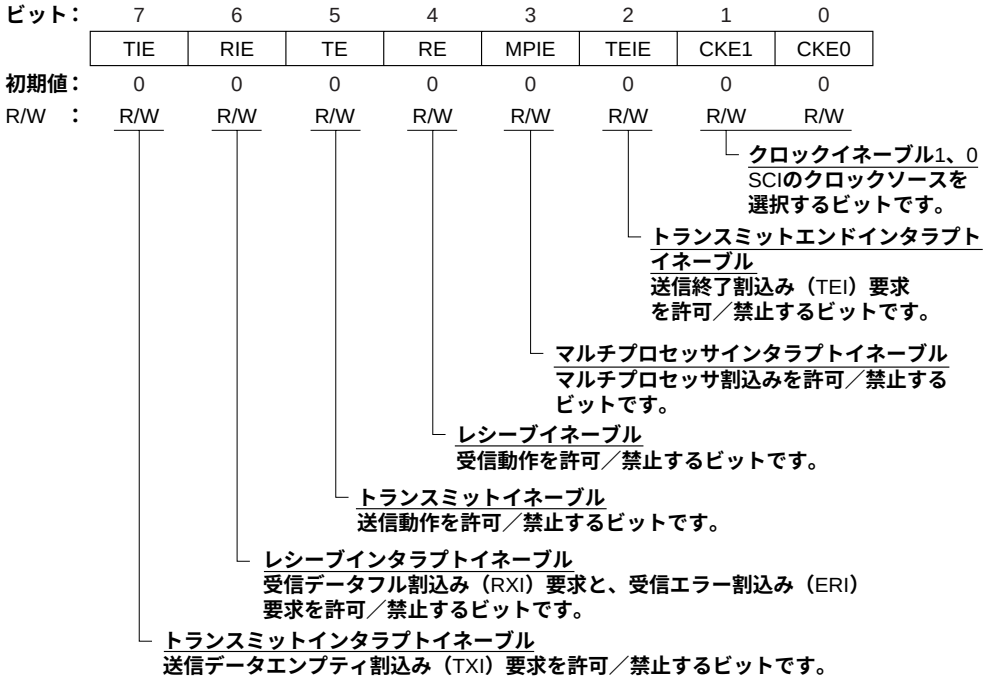
内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、0 ビットの設定によりφ、φ／4、φ／16、φ／64 の 4 種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「13.2.8 ビットレートレジスタ」を参照してください。

ビット 1 CKS1	ビット 0 CKS0	説　明
0	0	φクロック　（初期値）
	1	φ／4 クロック
1	0	φ／16 クロック
	1	φ／64 クロック

13.2.6 シリアルコントロールレジスタ（SCR）

SCR は、SCI の送信／受信動作、調歩同期式モードでのシリアルクロック出力、割込み要求の許可／禁止、および送信／受信クロックソースの選択を行うレジスタです。



SCR は、常に CPU によるリード／ライトが可能です。
SCR は、リセット、またはスタンバイモード時に H'00 にイニシャライズされます。

ビット 7：トランスミットインタラプトイネーブル（TIE）

TDR から TSR へシリアル送信データが転送され SSR の TDRE フラグが 1 にセットされたときに、送信データエンプティ割込み（TXI）要求の発生を許可／禁止します。

ビット 7 TIE	説　明
0	送信データエンプティ割込み（TXI）要求の禁止*　（初期値）
1	送信データエンプティ割込み（TXI）要求の許可

【注】 * TXI 割込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。

ビット 6：レシーブインタラプトイネーブル（RIE）

シリアル受信データが RSR から RDR へ転送されて SSR の RDRF フラグが 1 にセットされたとき、受信データフル割込み（RXI）要求、および受信エラー割込み（ERI）要求の発生を許可／禁止します。

ビット 6 RIE	説　明
0	受信データフル割込み（RXI）要求、および受信エラー割込み（ERI）要求を禁止* （初期値）
1	受信データフル割込み（RXI）要求、および受信エラー割込み（ERI）要求を許可

【注】 * RXI、および ERI 割込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

ビット 5：トランスミットイネーブル（TE）

SCI のシリアル送信動作の開始を許可／禁止します。

ビット 5 TE	説　明
0	送信動作を禁止*1　（初期値）
1	送信動作を許可*2

【注】 *1 SSR の TDRE フラグは 1 に固定されます。

*2 この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。
なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い送信フォーマットを決定してください。

ビット 4：レシーブイネーブル（RE）

SCI のシリアル受信動作の開始を許可／禁止します。

ビット 4 RE	説　明
0	受信動作を禁止*1　（初期値）
1	受信動作を許可*2

【注】 *1 RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。
なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット 3：マルチプロセッサインタラプトイネーブル（MPIE）

マルチプロセッサ割込みを許可／禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

ビット 3 MPIE	説　明
0	マルチプロセッサ割込み禁止状態（通常の受信動作をします）　（初期値） 〔クリア条件〕 （1）MPIE ビットを 0 にクリア （2）MPB＝1 のデータを受信したとき
1	マルチプロセッサ割込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割込み（RXI）要求、受信エラー割込み（ERI）要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB＝1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割込み要求の発生（SCR の TIE、RIE ビットが 1 にセットされている場合）と FER、ORER フラグのセットが許可されます。

ビット 2：トランスミットエンドインタラプトイネーブル（TEIE）

送信キャラクタの最後尾ビットの送出時に有効な送信データが TDR にないとき、送信終了割込み（TEI）要求の発生を許可／禁止します。

ビット 2 TEIE	説　明
0	送信終了割込み（TEI）要求を禁止*　（初期値）
1	送信終了割込み（TEI）要求を許可*

【注】 * TEI の解除は、SSR の TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

ビット 1、0：クロックイネーブル 1、0（CKE1、0）

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可／禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作（CKE1＝0）時のみ有効です。クロック同期式モードのとき、および外部クロック動作（CKE1＝1）の場合は CKE0 ビットの設定は無効です。また、SMR で SCI の動作モードを設定する前に CKE1、CKE0 ビットを設定してください。

SCI のクロックソースの選択についての詳細は**「13.3　動作説明」**の**表** 13.9 を参照してください。

ビット 1	**ビット** 0	**説　明**	
CKE1	CKE0		
0	0	**調歩同期式モード**	**内部クロック**／SCK **端子は入出力ポート***1
		クロック同期式モード	**内部クロック**／SCK **端子は同期クロック出力***1
	1	**調歩同期式モード**	**内部クロック**／SCK **端子はクロック出力***2
		クロック同期式モード	**内部クロック**／SCK **端子は同期クロック出力**
1	0	**調歩同期式モード**	**外部クロック**／SCK **端子はクロック入力***3
		クロック同期式モード	**外部クロック**／SCK **端子は同期クロック入力**
	1	**調歩同期式モード**	**外部クロック**／SCK **端子はクロック入力***3
		クロック同期式モード	**外部クロック**／SCK **端子は同期クロック入力**

【注】 *1　**初期値**
*2　**ビットレートと同じ周波数のクロックを出力**
*3　**ビットレートの** 16 **倍の周波数のクロックを入力**

13.2.7 シリアルステータスレジスタ（SSR）

SCI の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した 8 ビットのレジスタです。

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W ：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセッサビットトランスファ
送信時のマルチプロセッサビットの値を設定するビットです。

マルチプロセッサビット
受信したマルチプロセッサビットを格納するビットです。

トランスミットエンド
送信終了を示すステータスフラグです。

パリティエラー
受信時にパリティエラーを検出したことを示すステータスフラグです。

フレーミングエラー
受信時にフレーミングエラーを検出したことを示すステータスフラグです。

オーバランエラー
受信時にオーバランエラーを検出したことを示すステータスフラグです。

レシーブデータレジスタフル
受信を完了しRDRにデータが格納されていることを示すステータスフラグです。

トランスミットデータレジスタエンプティ
TDRからTSRに送信データが転送されTDRにデータをライトすることが可能であることを示すステータスフラグです。

【注】 ＊フラグをクリアするための0ライトのみ可能です。

SSR は常に CPU からリード／ライトできます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ 1 をライトすることはできません。また、これらを 0 にクリアするためには、あらかじめ 1 をリードしておく必要があります。また、TEND フラグ、および MPB フラグはリード専用であり、ライトすることはできません。

SSR は、リセット、またはスタンバイモード時に H'84 にイニシャライズされます。

ビット 7：トランスミットデータレジスタエンプティ（TDRE）

TDR から TSR にデータ転送が行われ TDR に次のシリアル送信データをライトすることが可能になったことを示します。

ビット 7 TDRE	説　明
0	TDR に有効な送信データがライトされていることを表示 〔クリア条件〕 （1）TDRE＝1 の状態をリードした後、0 をライトしたとき （2）DMAC で TDR へデータをライトしたとき
1	TDR に有効な送信データがないことを表示 〔セット条件〕 （1）リセット、またはスタンバイモード時 （2）SCR の TE ビットが 0 のとき （3）TDR から TSR にデータ転送が行われ TDR にデータライトが可能になったとき

ビット 6：レシーブデータレジスタフル（RDRF）

受信したデータが RDR に格納されていることを示します。

ビット 6 RDRF	説　明
0	RDR に受信データが格納されていないことを表示　（初期値） 〔クリア条件〕 （1）リセット、またはスタンバイモード時 （2）RDRF＝1 の状態をリードした後、0 をライトしたとき （3）DMAC で RDR のデータをリードしたとき
1	RDR に受信データが格納されていることを表示 〔セット条件〕 シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR の RE ビットを 0 にクリアしたときには RDR および RDRF フラグは影響を受けず以前の状態を保持します。
RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

ビット 5：オーバランエラー（ORER）

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット 5 ORER	説　明
0	受信中、または正常に受信を完了したことを表示　（初期値）*1 〔クリア条件〕 （1）リセット、またはスタンバイモード時 （2）ORER＝1 の状態をリードした後、0 をライトしたとき
1	受信時にオーバランエラーが発生したことを表示*2 〔セット条件〕 RDRF＝1 の状態で次のシリアル受信を完了したとき

【注】 *1　SCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*2　RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER＝1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

ビット 4：フレーミングエラー（FER）

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット 4 FER	説　明
0	受信中、または正常に受信を完了したことを表示　（初期値）*1 〔クリア条件〕 （1）リセット、またはスタンバイモード時 （2）FER＝1 の状態をリードした後、0 をライトしたとき
1	受信時にフレーミングエラーが発生したことを表示 〔セット条件〕 SCI が受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき*2

【注】 *1　SCR の RE ビットを 0 にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。

*2　2 ストップビットモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

ビット 3：パリティエラー（PER）

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット 3 PER	説　明
0	受信中、または正常に受信を完了したことを表示*1　（初期値） 〔クリア条件〕 （1）リセット、またはスタンバイモード時 （2）PER＝1 の状態をリードした後、0 をライトしたとき
1	受信時にパリティエラーが発生したことを表示*2 〔セット条件〕 受信時の受信データとパリティビットをあわせた 1 の数が、SMR の O/E ビットで指定した偶数パリティ／奇数パリティの設定と一致しなかったとき

【注】 *1　SCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。

*2　パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット 2：トランスミットエンド（TEND）

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。

TEND フラグはリード専用ですので、ライトすることはできません。

ビット 2 TEND	説　明
0	送信中であることを表示 〔クリア条件〕 （1）TDRE＝1 の状態をリードした後、TDRE フラグに 0 をライトしたとき （2）DMAC で TDR へデータをライトしたとき
1	送信を終了したことを表示　（初期値） 〔セット条件〕 （1）リセット、またはスタンバイモード時 （2）SCR の TE ビットが 0 のとき （3）1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE＝1 であったとき

ビット 1：マルチプロセッサビット（MPB）

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、リード専用であり、ライトすることはできません。

ビット 1 MPB	説　明
0	マルチプロセッサビットが 0 のデータを受信したことを表示*　（初期値）
1	マルチプロセッサビットが 1 のデータを受信したことを表示

【注】 *　マルチプロセッサフォーマットで RE ビットを 0 にクリアしたときには、以前の状態を保持します。

ビット 0：マルチプロセッサビットトランスファ（MPBT）

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときには MPBT ビットの設定は無効です。

ビット 0 MPBT	説　明
0	マルチプロセッサビットが 0 のデータを送信　（初期値）
1	マルチプロセッサビットが 1 のデータを送信

13.2.8 ビットレートレジスタ（BRR）

BRR は、SMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信／受信のビットレートを設定する 8 ビットのレジスタです。

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR は、常に CPU によるリード／ライトが可能です。

BRR は、リセット、またはスタンバイモード時に H'FF にイニシャライズされます。

なお、チャネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 13.3 に調歩同期式モードの BRR の設定例を、**表** 13.4 にクロック同期式モードの BBR の設定例を示します。

表 13.3　ビットレートに対する BRR の設定例〔調歩同期式モード〕

φ (MHz) / ビットレート (bit/s)	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	−0.04	1	174	−0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	−0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	−2.48	0	15	0.00	0	19	−2.34
9600	0	6	−6.99	0	6	−2.48	0	7	0.00	0	9	−2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	−2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	−18.62	0	1	−14.67	0	1	0.00	−	−	−

φ (MHz) / ビットレート (bit/s)	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	−0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	−1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	−6.99	0	7	0.00	0	7	1.73
31250	−	−	−	0	3	0.00	0	4	−1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

φ (MHz) / ビットレート (bit/s)	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	−0.44	2	108	0.08	2	130	−0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	−2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	−2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	−2.34	0	4	0.00	0	5	0.00	0	6	−6.99

φ (MHz) / ビットレート (bit/s)	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	−0.26	2	177	−0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	−1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	−2.34	0	19	0.00
31250	0	9	−1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	−2.34	0	9	0.00

φ (MHz) / ビットレート (bit/s)	13			14			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	230	−0.08	2	248	−0.17	3	64	0.70	3	70	0.03
150	2	168	0.16	2	181	0.16	2	191	0.00	2	207	0.16
300	2	84	−0.43	2	90	0.16	2	95	0.00	2	103	0.16
600	1	168	0.16	1	181	0.16	1	191	0.00	1	207	0.16
1200	1	84	−0.43	1	90	0.16	1	95	0.00	1	103	0.16
2400	0	168	0.16	0	181	0.16	0	191	0.00	0	207	0.16
4800	0	84	−0.43	0	90	0.16	0	95	0.00	0	103	0.16
9600	0	41	0.76	0	45	−0.93	0	47	0.00	0	51	0.16
19200	0	20	0.76	0	22	−0.93	0	23	0.00	0	25	0.16
31250	0	12	0.00	0	13	0.00	0	14	−1.70	0	15	0.00
38400	0	10	−3.82	0	10	3.57	0	11	0.00	0	12	0.16

φ (MHz) / ビットレート (bit/s)	18			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	−0.12	3	88	−0.25	3	110	−0.02
150	2	233	0.16	3	64	0.16	3	80	−0.47
300	2	116	0.16	2	129	0.16	2	162	0.15
600	1	233	0.16	2	64	0.16	2	80	−0.47
1200	1	116	0.16	1	129	0.16	1	162	0.15
2400	0	233	0.16	1	64	0.16	1	80	−0.47
4800	0	116	0.16	0	129	0.16	0	162	0.15
9600	0	58	−0.69	0	64	0.16	0	80	−0.47
19200	0	28	1.02	0	32	−1.36	0	40	−0.76
31250	0	17	0.00	0	19	0.00	0	24	0.00
38400	0	14	−2.34	0	15	1.73	0	19	1.73

表 13.4　ビットレートに対する BRR の設定例〔クロック同期式モード〕

φ (MHz) / ビットレート (bit/s)	2		4		8		10		13		16		18		20		25	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
250	2	124	2	249	3	124	ー	ー	3	202	3	249	ー	ー	ー	ー	ー	ー
500	1	249	2	124	2	249	ー	ー	3	101	3	124	3	140	3	155	ー	ー
1k	1	124	1	249	2	124	ー	ー	2	202	2	249	3	69	3	77	3	97
2.5k	0	199	1	99	1	199	1	249	2	80	2	99	2	112	2	124	2	155
5k	0	99	0	199	1	99	1	124	1	162	1	199	1	224	1	249	2	77
10k	0	49	0	99	0	199	0	249	1	80	1	99	1	112	1	124	1	155
25k	0	19	0	39	0	79	0	99	0	129	0	159	0	179	0	199	0	249
50k	0	9	0	19	0	39	0	49	0	64	0	79	0	89	0	99	0	124
100k	0	4	0	9	0	19	0	24	ー	ー	0	39	0	44	0	49	0	62
250k	0	1	0	3	0	7	0	9	0	12	0	15	0	17	0	19	0	24
500k	0	0*	0	1	0	3	0	4	ー	ー	0	7	0	8	0	9	ー	ー
1M			0	0*	0	1	ー	ー	ー	ー	0	3	0	4	0	4	ー	ー
2M					0	0*	ー	ー	ー	ー	0	1	ー	ー	ー	ー	ー	ー
2.5M					ー	ー	0	0*	ー	ー	ー	ー	ー	ー	ー	ー	ー	ー
4M											0	0*	ー	ー	ー	ー	ー	ー

【注】　誤差は、なるべく 1%以内になるように設定してください。

【記号説明】

空欄：設定できません。

ー：　設定可能ですが誤差がでます。

＊：　連続送信／受信はできません。

BRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{\Phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{\Phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B ：ビットレート（bit/s）
N ：ボーレートジェネレータの BRR の設定値（0≦N≦255）
Φ：動作周波数（MHz）
n ：ボーレートジェネレータ入力クロック（n＝0、1、2、3）
（n とクロックの関係は下表を参照してください。）

n	クロック	SMR の設定値	
		CKS1	CKS0
0	Φ	0	0
1	Φ／4		1
2	Φ／16	1	0
3	Φ／64		1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差（\%）} = \left\{ \frac{\Phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 13.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、**表** 13.6～**表** 13.7 に外部クロック入力時の最大ビットレートを示します。

表 13.5　**各周波数における最大ビットレート〔調歩同期式モード〕**

φ（MHz）	**最大ビットレート**（bit/s）	**設定値**	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
20	625000	0	0
25	781250	0	0

表 13.6　外部クロック入力時の最大ビットレート〔調歩同期式モード〕

φ（MHz）	外部入力クロック（MHz）	最大ビットレート（bit/s）
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
20	5.0000	312500
25	6.2500	390625

表 13.7　外部クロック入力時の最大ビットレート〔クロック同期式モード〕

φ（MHz）	外部入力クロック（MHz）	最大ビットレート（bit/s）
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3
25	4.1667	4166666.7

13.3 動作説明

13.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMR で行います。これを**表** 13.8 に示します。また、SCI のクロックソースは、SMR の C/A ビットおよび SCR の CKE1、CKE0 ビットの組合わせできまります。これを**表** 13.9 に示します。

(1) 調歩同期式モード

- データ長：7 ビット／8 ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および 1 ビット／2 ビットのストップビットの付加を選択可能（これらの組合わせにより送信／受信フォーマットおよび、キャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
- SCI のクロックソース：内部クロック／外部クロックから選択可能
  - 内部クロックを選択した場合：
    SCIはボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
  - 外部クロックを選択した場合：
    ビットレートの16倍の周波数のクロックを入力することが必要（内蔵ボーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信／受信フォーマット：8 ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCI のクロックソース：内部クロック／外部クロックから選択可能
  - 内部クロックを選択した場合：
    SCIはボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
  - 外部クロックを選択した場合：
    内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 13.8 SMR の設定値とシリアル送信／受信フォーマット

SMR の設定値					モード	SCI の送信／受信フォーマット			
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチプロセッサビット	パリティビット	ストップビット長
C/A	CHR	MP	PE	STOP					
0	0	0	0	0	調歩同期式モード	8 ビットデータ	なし	なし	1 ビット
				1					2 ビット
			1	0				あり	1 ビット
				1					2 ビット
	1		0	0		7 ビットデータ		なし	1 ビット
				1					2 ビット
			1	0				あり	1 ビット
				1					2 ビット
	0	1	ー	0	調歩同期式モード（マルチプロセッサフォーマット）	8 ビットデータ	あり	なし	1 ビット
			ー	1					2 ビット
	1		ー	0		7 ビットデータ			1 ビット
			ー	1					2 ビット
1	ー	ー	ー	ー	クロック同期式モード	8 ビットデータ	なし		なし

表 13.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信／受信クロック	
ビット 7	ビット 1	ビット 0		クロックソース	SCK 端子の機能
C/A	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

13.3.2　調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信／受信中にデータのリード／ライトができるので、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを**図** 13.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（High レベル）に保たれています。SCI は通信回線を監視し、スペース（Low レベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（Low レベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（High／Low レベル）、最後にストップビット（High レベル）の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立下がりエッジで同期化を行います。

また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

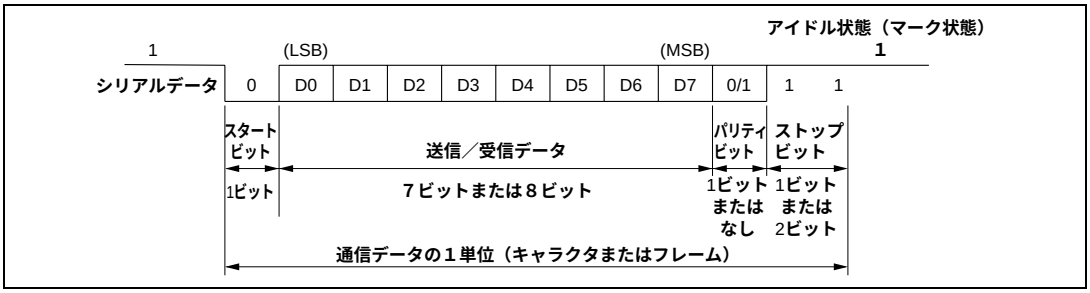


図 13.2　**調歩同期式通信のデータフォーマット**
（8 **ビットデータ／パリティあり／**2 **ストップビットの例）**

(1)　送信／受信フォーマット

調歩同期式モードで設定できる送信／受信フォーマットを、**表** 13.10 に示します。

送信／受信フォーマットは 12 種類あり、SMR の設定により選択できます。

表 13.10 シリアル送信／受信フォーマット（調歩同期式モード）

SMRの設定				シリアル送信／受信フォーマットとフレーム長
CHR	PE	MP	STOP	1 2 3 4 5 6 7 8 9 10 11 12
0	0	0	0	S 8ビットデータ STOP
			1	S 8ビットデータ STOP STOP
	1		0	S 8ビットデータ P STOP
			1	S 8ビットデータ P STOP STOP
1	0		0	S 7ビットデータ STOP
			1	S 7ビットデータ STOP STOP
	1		0	S 7ビットデータ P STOP
			1	S 7ビットデータ P STOP STOP
0	ー	1	0	S 8ビットデータ MPB STOP
			1	S 8ビットデータ MPB STOP STOP
1			0	S 7ビットデータ MPB STOP
			1	S 7ビットデータ MPB STOP STOP

【記号説明】
S ：スタートビット
STOP ：ストップビット
P ：パリティビット
MPB ：マルチプロセッサビット

(2) クロック

SCI の送受信クロックは、SMR の C/A ビットと SCR の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK 端子から入力された外部クロックの 2 種類から選択できます。SCI のクロックソースの選択については**表** 13.9 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は**図** 13.3 に示すように送信データの中央にクロック立上がりエッジがくるようになります。

図 13.3 **出力クロックと通信データの位相関係（調歩同期式モード）**

(3) データの送信／受信動作

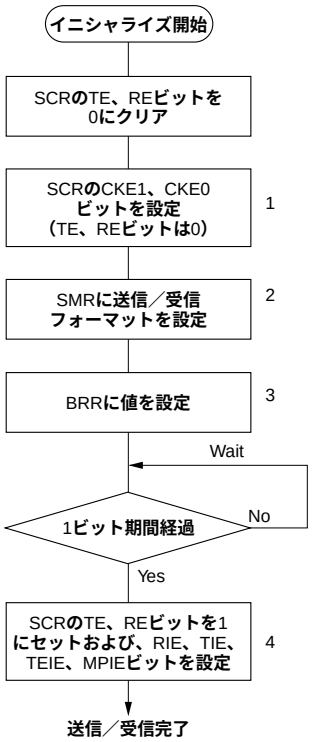
(a) SCI のイニシャライズ（調歩同期式）

データの送信／受信前には、まず SCR の TE、RE ビットを 0 にクリアした後、以下の順で SCI をイニシャライズしてください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR がイニシャライズされます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグおよび、RDR の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますのでイニシャライズを含めた動作中にクロックを止めないでください。

図 13.4 に SCI のイニシャライズフローチャートの例を示します。

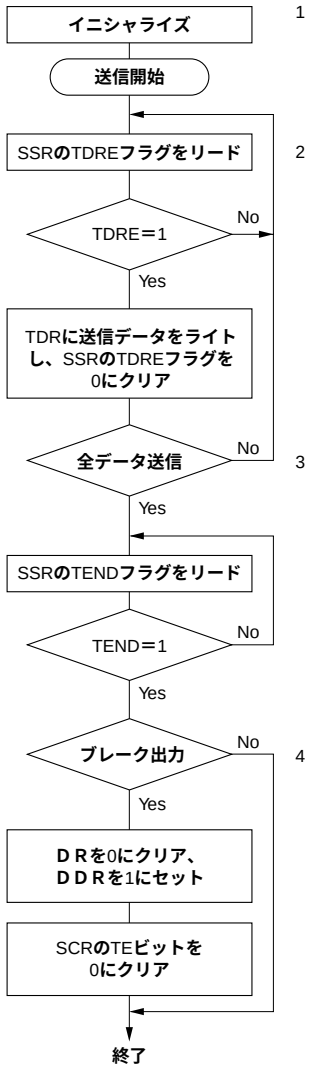


1. SCRにクロックの選択を設定してください。
   なお、RIE、TIE、TEIE、MPIE、およびTE、REビットは必ず0にクリアしてください。
   調歩同期式モードでクロック出力を選択した場合には、SCRの設定後、ただちに出力されます。
2. SMRに送信／受信フォーマットを設定します。
3. BRRにビットレートに対応する値をライトします。
   ただし、外部クロックを使用する場合には必要ありません。
4. 少なくとも1ビット期間待ってから、SCRのTEビットまたはREビットを1にセットします。また、RIE、TIE、TEIE、MPIEビットを設定してください。
   TE、REビットを設定することによりTxD、RxD端子が使用可能となります。

図 13.4　SCI **のイニシャライズフローチャートの例**

(b) シリアルデータ送信（調歩同期式）

図 13.5 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従い行ってください。



1. **SCIをイニシャライズ：**
   TxD端子は自動的に送信データ出力端子になります。
   TEビットを1にセットした後、1フレーム分の1を出力して送信可能状態になります。

2. **SCIの状態を確認して、送信データをライト：**
   SSRをリードして、TDREフラグが1であることを確認した後、TDRに送信データをライトし、TDREフラグを0にクリアします。

3. **シリアル送信の継続手順：**
   シリアル送信を続けるときには、TDREフラグの1をリードしてライト可能であることを確認した後にTDRにデータをライトし、続いてTDREフラグを0にクリアしてください。ただし、送信データエンプティ割込み（TXI）要求でDMACを起動し、TDRにデータをライトする場合にはTDREフラグのチェック、およびクリアは自動的に行われます。

4. **シリアル送信の終了時にブレークを出力：**
   シリアル送信時にブレークを出力するときには、ポートのDDRを1にセット、DRを0にクリアした後にSCRのTEビットを0にクリアします。

図 13.5 **シリアル送信のフローチャートの例**

SCI はシリアル送信時に以下のように動作します。

（1） SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
（2） TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割込み（TXI）要求を発生します。
シリアル送信データは、以下の順にTxD端子から送り出されます。

（a） スタートビット：1ビットの0が出力されます。
（b） 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
（c） パリティビットまたはマルチプロセッサビット：1ビットのパリティビット（偶数パリティ、または奇数パリティ）、または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
（d） ストップビット：1ビット／2ビットの1（ストップビット）が出力されます。
（e） マーク（またはアイドル）状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。

（3） SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を出力する“マーク状態”になります。このときSCRのTEIEビットが1にセットされているとTEI割込み要求を発生します。

調歩同期式モードでの送信時の動作例を**図** 13.6 に示します。

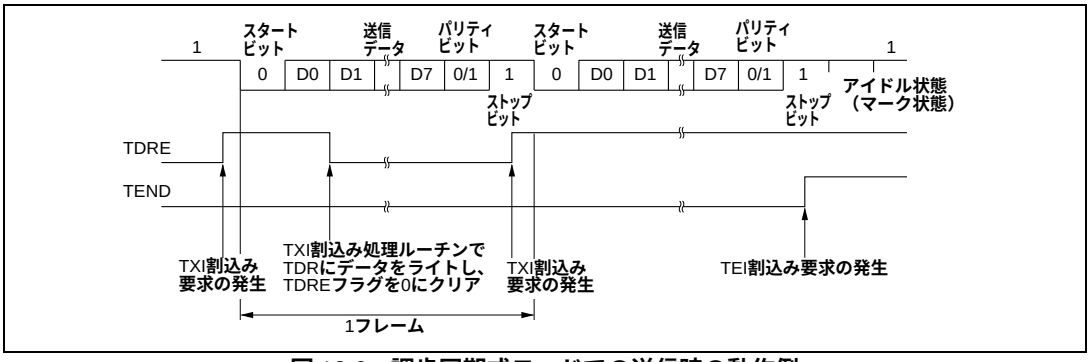
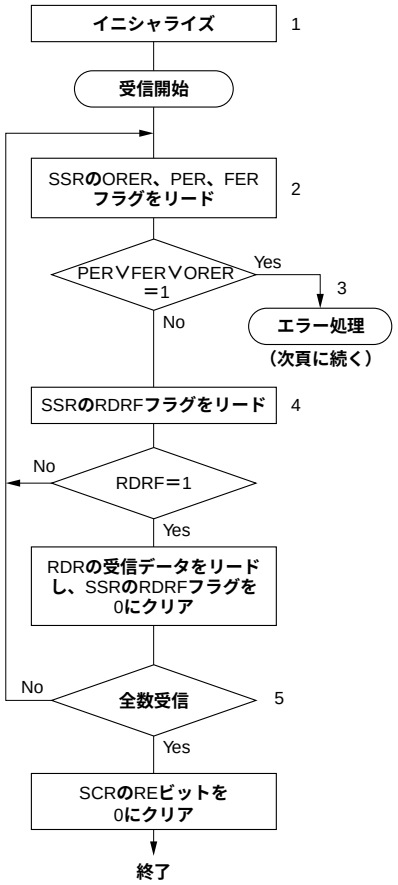


図 13.6 **調歩同期式モードでの送信時の動作例**
（8 ビットデータ／パリティあり／1 ストップビットの例）

(c) シリアルデータ受信（調歩同期式）

図 13.7 にシリアル受信フローチャートの例を示します。
シリアルデータ受信は以下の手順に従い行ってください。



1. SCIのイニシャライズ：
RxD端子は自動的に受信データ入力端子になります。

2, 3. 受信エラー処理とブレークの検出：
受信エラーが発生したときには、SSRのORER、PER、FERの各フラグをリードしてエラーを判定します。所定のエラー処理を行った後、必ず、ORER、PER、FERフラグをすべて0にクリアしてください。ORER、PER、FERフラグのいずれかが1にセットされた状態では受信を再開できません。また、フレーミングエラー時にRxD端子の値をリードすることでブレークの検出ができます。

4. SCIの状態を確認して受信データのリード：
SSRをリードして、RDRF＝1であることを確認した後、RDRの受信データをリードし、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割込みによっても知ることができます。

5. シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグを0にクリアしておいてください。
ただし、RXI割込みでDMACを起動しRDRの値をリードする場合には、RDRFフラグのクリアは自動的に行われます。

図 13.7 **シリアル受信データフローチャートの例（1）**

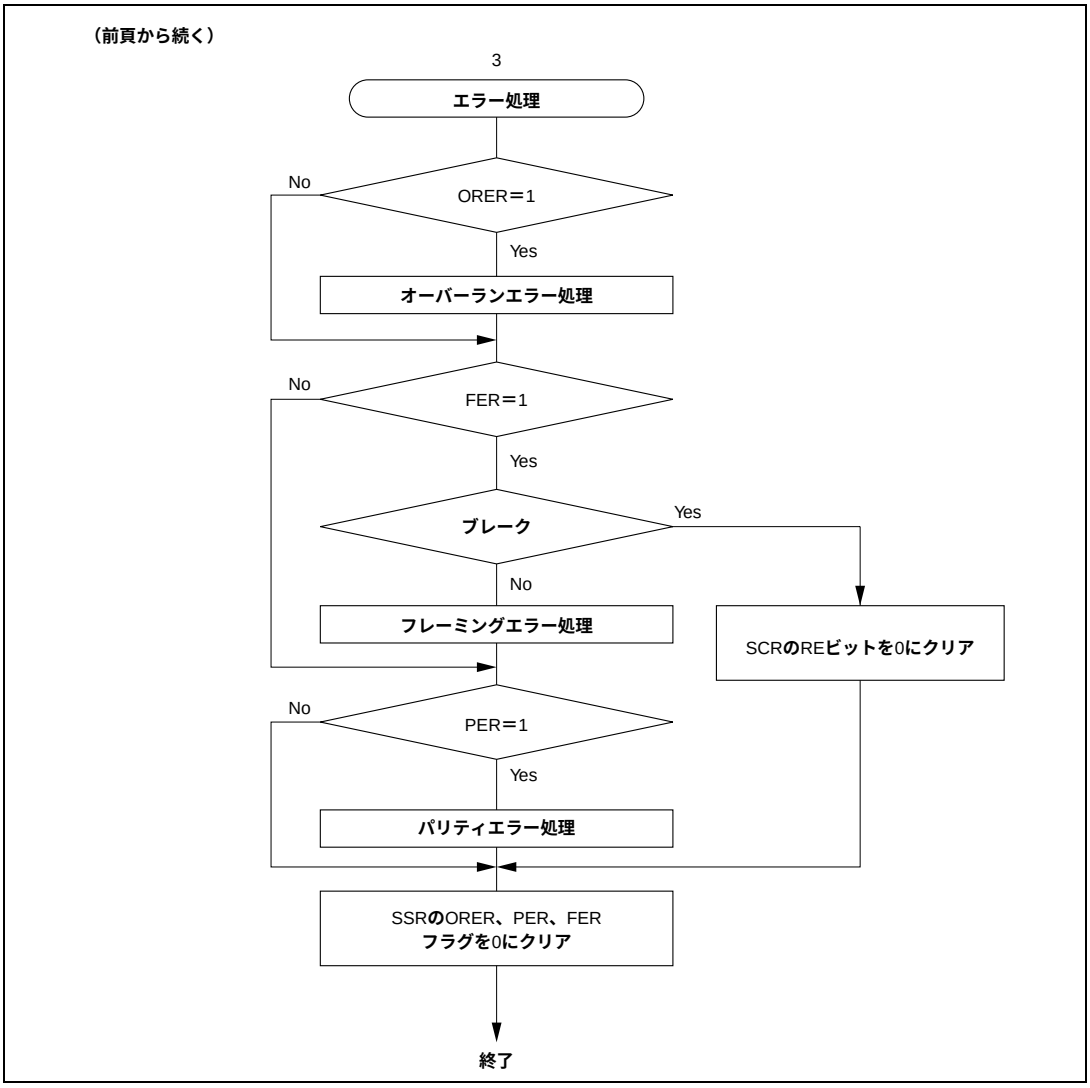


図 13.7　**シリアル受信データフローチャートの例（2）**

SCI は受信時に以下のように動作します。

（1） SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
（2） 受信したデータをRSRのLSBからMSBの順に格納します。
（3） パリティビットおよび、ストップビットを受信します。

受信後、SCI は以下のチェックを行います。

（a） パリティチェック：受信データの1の数をチェックし、これがSMRのO/Eビットで設定した偶数／奇数パリティになっているかをチェックします。
（b） ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
（c） ステータスチェック：RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF フラグが 1 にセットされ、RDR に受信データが格納されます。
エラーチェックで受信エラー*を発生すると**表** 13.11 のように動作します。

【注】＊ 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF **フラグが** 1 **にセットされませんので、必ずエラーフラグを** 0 **にクリアしてください。**

（4） RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割込み（RXI）要求を発生します。
また、ORER、PER、FERフラグのいずれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割込み（ERI）要求を発生します。

表 13.11 **受信エラーと発生条件**

受信エラー名	略　称	発生条件	データ転送
オーバランエラー	ORER	SSR **の** RDRF **フラグが** 1 **にセットされたまま次のデータ受信を完了したとき**	RSR **から** RDR **に受信データは転送されません。**
フレーミングエラー	FER	**ストップビットが** 0 **のとき**	RSR **から** RDR **に受信データは転送されます。**
パリティエラー	PER	SMR **で設定した偶数／奇数パリティの設定と受信したデータが異なるとき**	RSR **から** RDR **に受信データは転送されます。**

調歩同期式モード受信時の動作例を**図** 13.8 に示します。

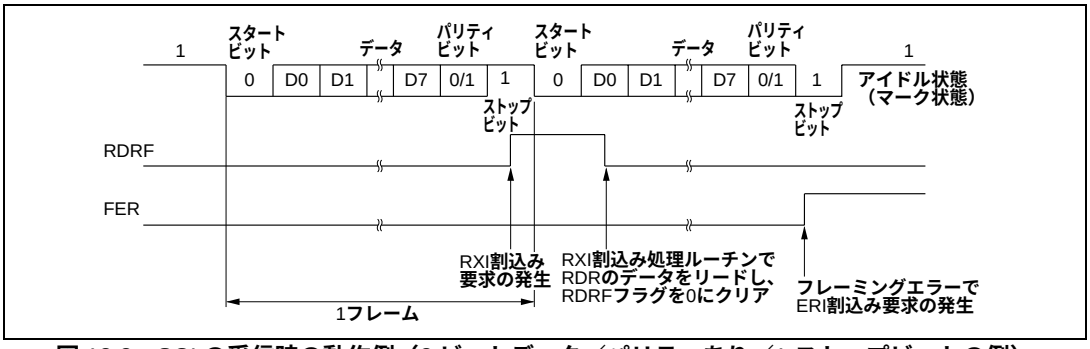


図 13.8　SCI **の受信時の動作例（**8 **ビットデータ／パリティあり／**1 **ストップビットの例）**

13.3.3　マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット（マルチプロセッサフォーマット）でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 13.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1)　送信／受信フォーマット

送信／受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は**表** 13.10 を参照してください。

(2) **クロック**

調歩同期式モードの項を参照してください。

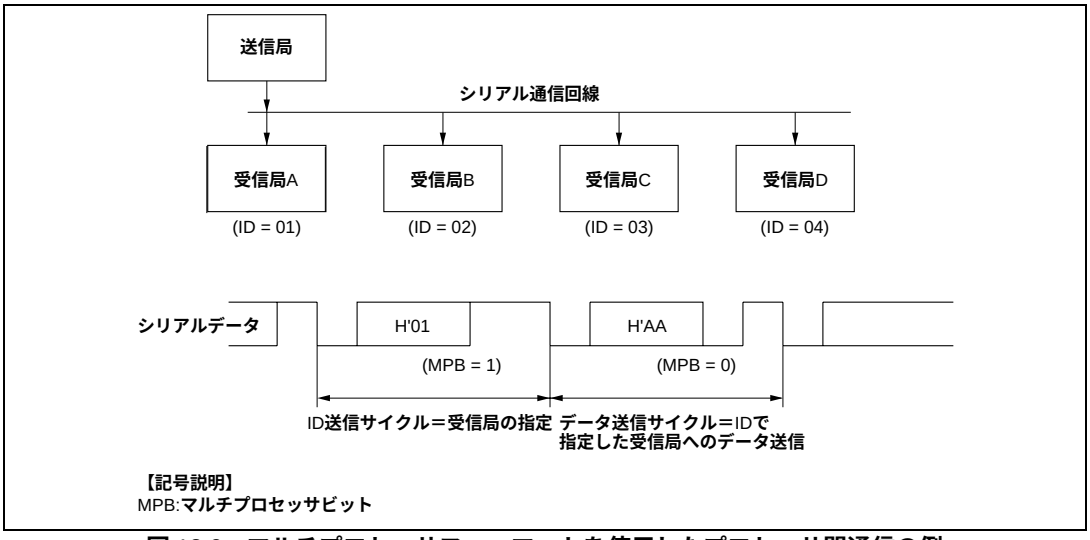
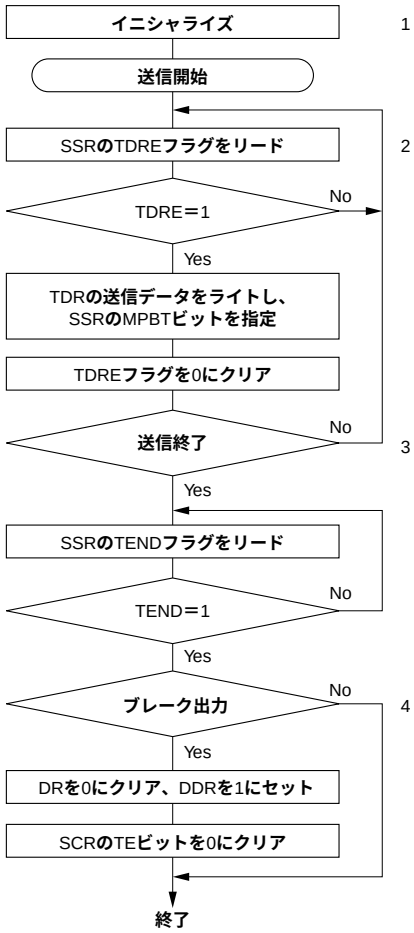


図 13.9 **マルチプロセッサフォーマットを使用したプロセッサ間通信の例**
（受信局 A **へのデータ** H'AA **の送信の例）**

(3) データの送信／受信動作

(a) マルチプロセッサシリアルデータ送信

図 13.10 にマルチプロセッサシリアル送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順に従い行ってください。



1. **SCIのイニシャライズ：**
   TxD端子は自動的に送信データ出力端子になります。

2. **SCIの状態を確認して、送信データをライト：**
   SSRをリードして、TDREフラグが1であることを確認した後、TDRに送信データをライトします。
   また、SSRのMPBTビットを0、または1に設定します。
   最後にTDREフラグを0にクリアしてください。

3. **シリアル送信の継続手順：**
   シリアル送信を続けるときには、必ずTDREフラグの1をリードしてライト可能であることを確認した後にTDRにデータをライトし、続いてTDREフラグを0にクリアしてください。
   ただし、送信データエンプティ割込み（TXI）要求でDMACを起動しTDRにデータをライトする場合にはTDREフラグのチェック、およびクリアは自動的に行われます。

4. **シリアル送信の終了時にブレークを出力：**
   シリアル送信時にブレークを出力するときには、ポートのDDRを1にセットし、DRを0にクリアした後にSCRのTEビットを0にクリアします。

図 13.10 **マルチプロセッサシリアル送信のフローチャートの例**

SCI は、シリアル送信時に以下のように動作します。

（1） SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。

（2） TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割込み（TXI）要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送りだされます。

（a） スタートビット：1ビットの0が出力されます。
（b） 送信データ：8ビット／7ビットのデータがLSBから順に出力されます。
（c） マルチプロセッサビット：1ビットのマルチプロセッサビット（MPBTの値）が出力されます。
（d） ストップビット：1ビット／2ビットの1（ストップビット）が出力されます。
（e） マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。

（3） SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされていると送信終了割込み（TEI）要求を発生します。

図 13.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

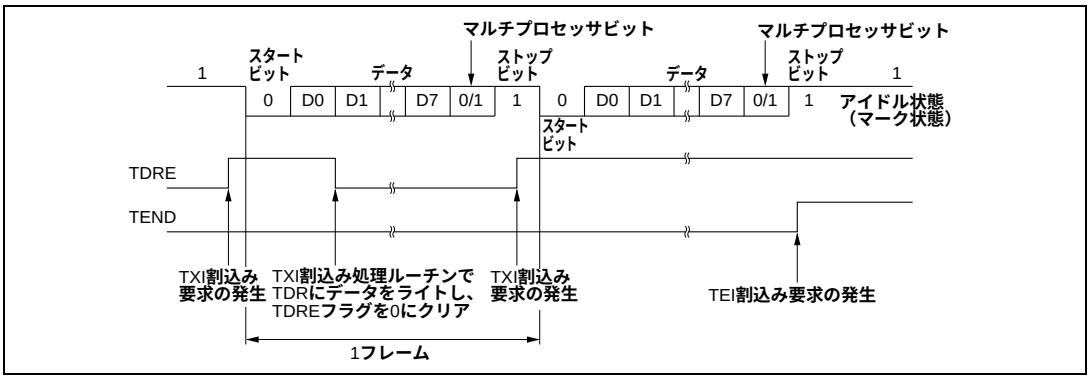


図 13.11 SCI **の送信時の動作例**
（8 **ビットデータ／マルチプロセッサビットあり／**1 **ストップビットの例）**

(b) マルチプロセッサシリアルデータ受信

図 13.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。
マルチプロセッサシリアルデータ受信は、以下の手順に従い行ってください。

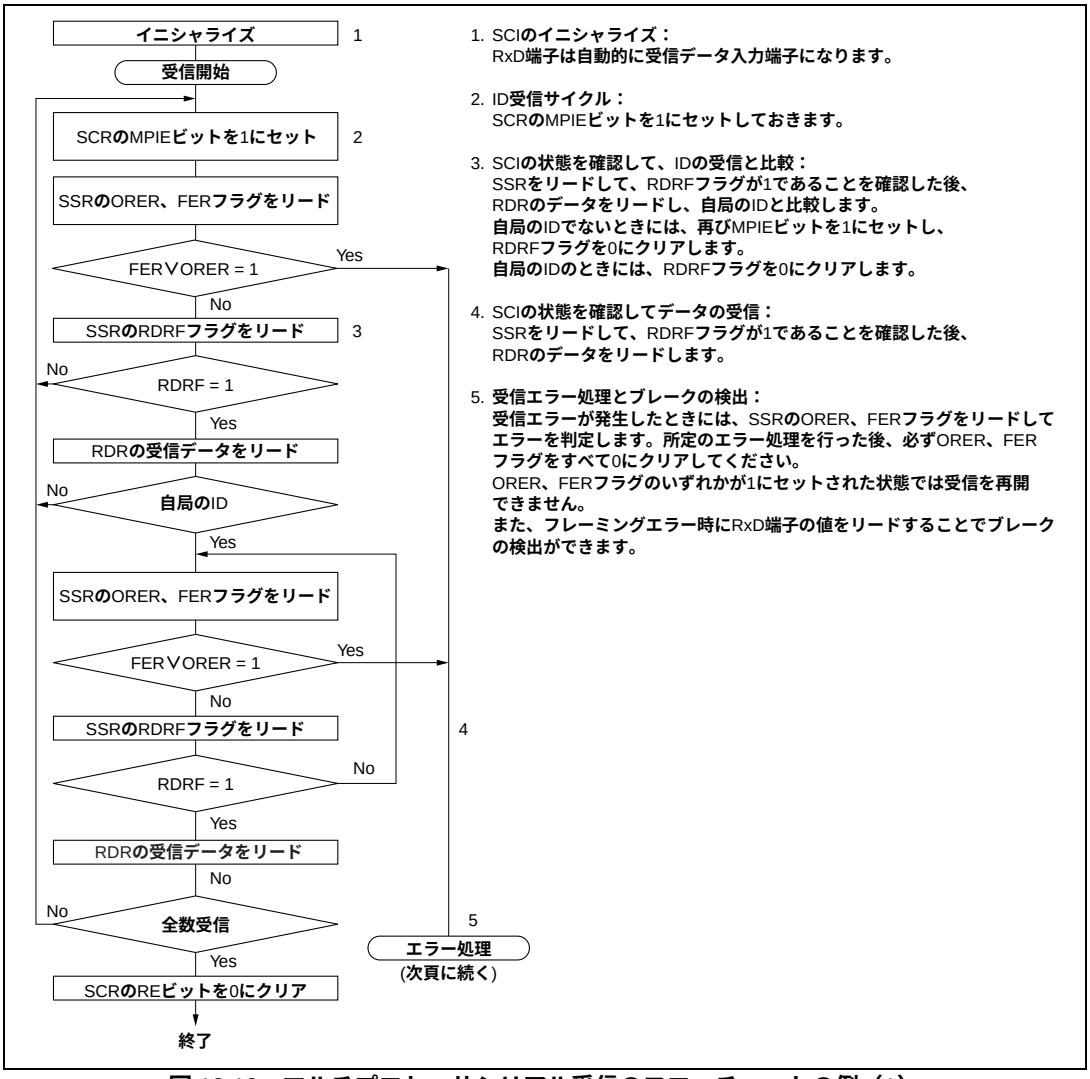


図 13.12 **マルチプロセッサシリアル受信のフローチャートの例**（1）

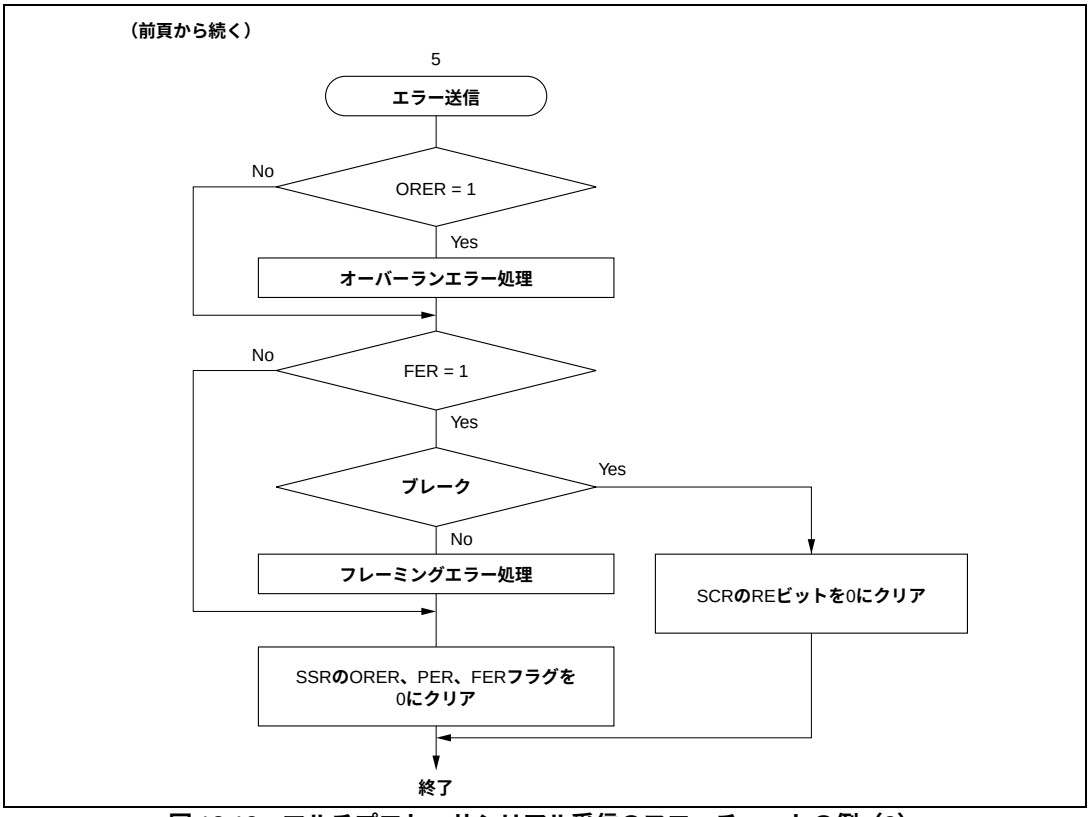


図 13.12　**マルチプロセッサシリアル受信のフローチャートの例**（2）

図 13.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

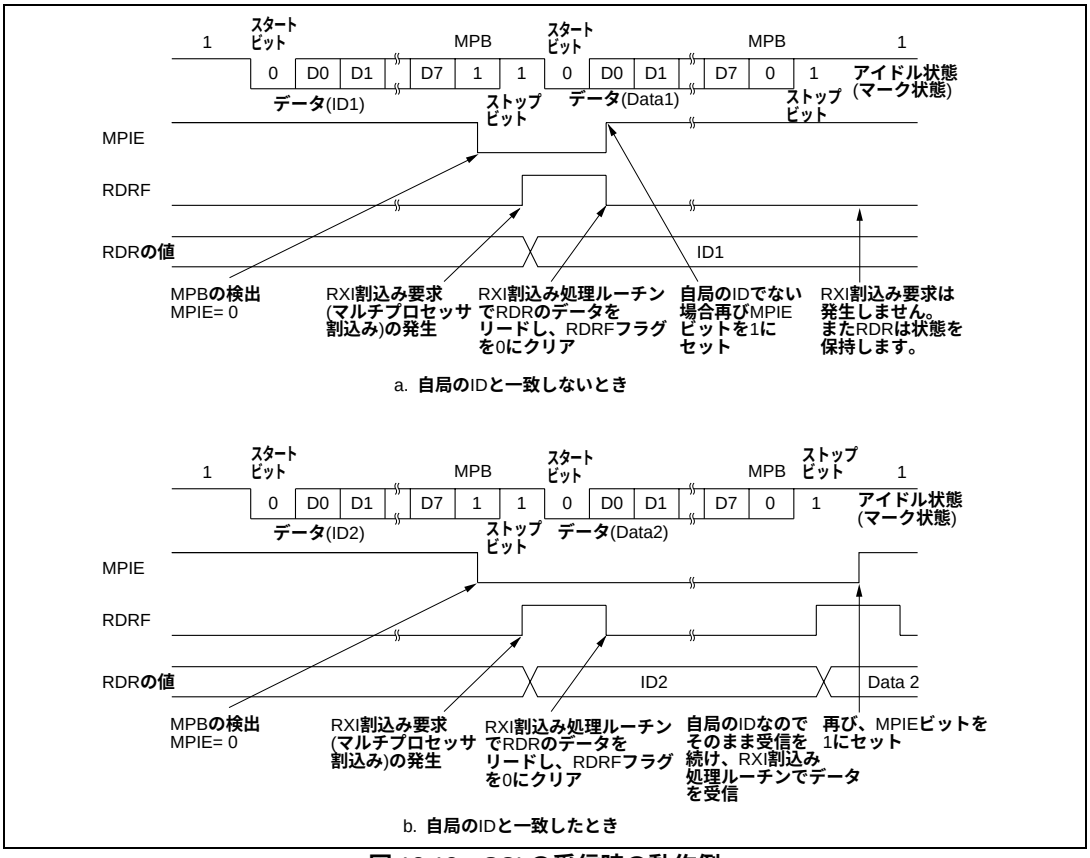


図 13.13　SCI **の受信時の動作例**
（8 **ビットデータ／マルチプロセッサビットあり／**1 **ストップビットの例）**

13.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信／受信中にデータのリード／ライトができ、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを**図** 13.14 に示します。

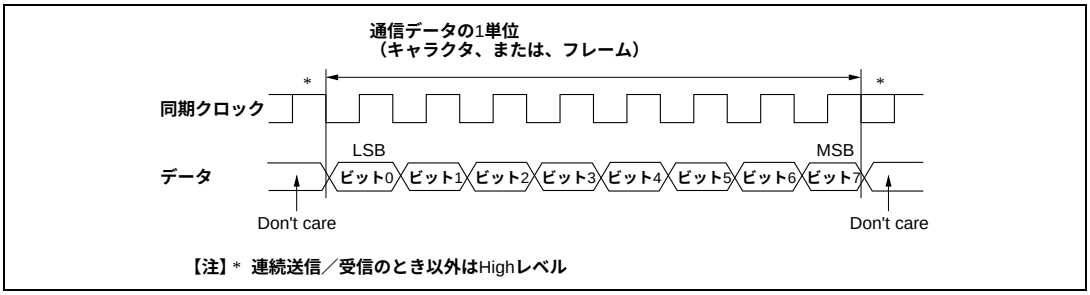


図 13.14 **クロック同期式通信のデータフォーマット**

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立下がりから次の立下がりまで出力されます。また、同期クロックの立上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、SCI は同期クロックの立上がりに同期してデータを受信します。

(1) 送信／受信フォーマット

8 ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMR の C/A ビットと SCR の CKE1、CKE0 ビットの設定により内蔵ボーレートジェネレータの生成した内部クロック、または、SCK 端子から入力された外部同期クロックの 2 種類から選択できます。SCI のクロックソースの選択については**表** 13.9 を参照してください。

内部クロックで動作させるとき、SCK 端子からは同期クロックが出力されます。

同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信／受信を行わないときには High レベルに固定されます。ただし、受信のみの動作のときは、オーバランエラーが発生するか、RE ビットを 0 にクリアするまで同期クロックは出力されます。1 キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信／受信動作

(a) SCI のイニシャライズ（クロック同期式）

データの送信／受信前には、SCR の TE、RE ビットを 0 にクリアした後、以下の手順に従い SCI をイニシャライズしてください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR がイニシャライズされます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORE の各フラグ、および RDR の内容は保持されますので注意してください。

図 13.15 に SCI のイニシャライズフローチャートの例を示します。

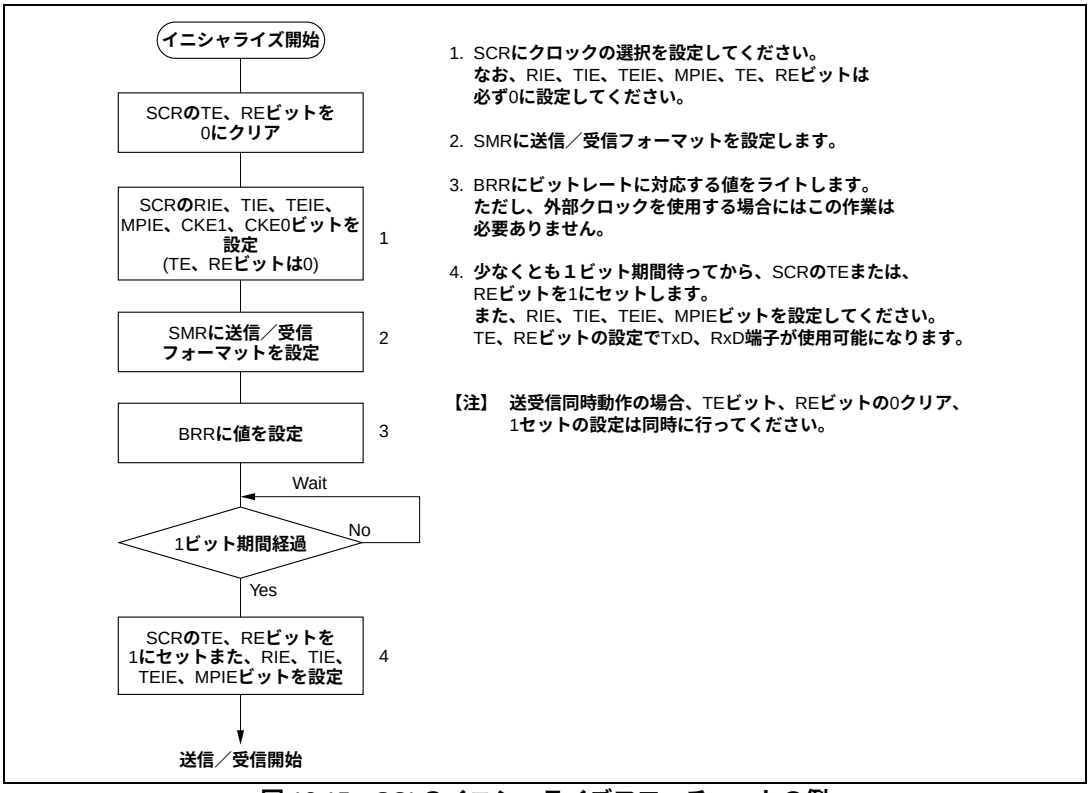
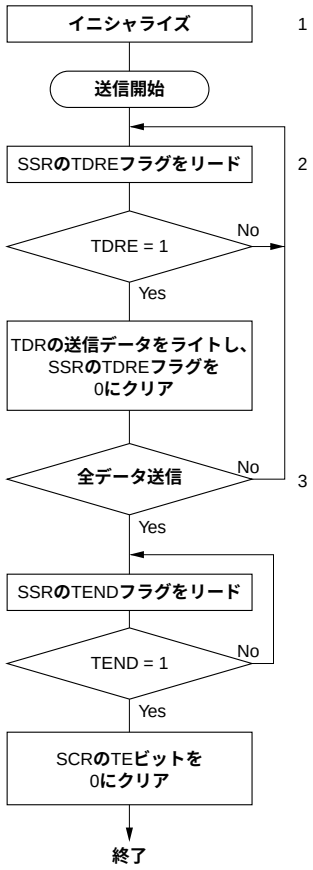


図 13.15 SCI **のイニシャライズフローチャートの例**

(b) シリアルデータ送信（クロック同期式）

図 13.16 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従い行ってください。



1. **SCIのイニシャライズ：**
   TxD端子は自動的に送信データ出力端子になります。

2. **SCIの状態を確認して、送信データをライト：**
   SSRをリードして、TDREフラグが1であることを確認した後、TDRに送信データをライトし、TDREフラグを0にクリアします。

3. **シリアル送信の継続手順：**
   シリアル送信を続けるときには、必ずTDREフラグの1をリードしてライト可能であることを確認した後にTDRにデータをライトし、続いてTDREフラグを0にクリアしてください。
   ただし、送信データエンプティ割込み（TXI）要求でDMACを起動しTDRにデータをライトする場合にはTDREフラグのチェック、およびクリアは自動的に行われます。

図 13.16 **シリアル送信のフローチャートの例**

SCI はシリアル送信時に以下のように動作します。

（1） SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
（2） TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割込み（TXI）要求を発生します。
クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。
外部クロックに設定したときには、入力クロックに同期してデータを出力します。
シリアル送信データは、LSB（ビット0）～MSB（ビット7）の順にTxD端子から送り出されます。
（3） SCIは、MSB（ビット7）を送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグを1にセットし、MSB（ビット7）を送り出した後、TxD端子は状態を保持します。
このときSCRのTEIEビットが1にセットされていると送信終了割込み（TEI）要求を発生します。
（4） シリアル送信終了後は、SCK端子は固定になります。

図 13.17 に SCI の送信時の動作例を示します。

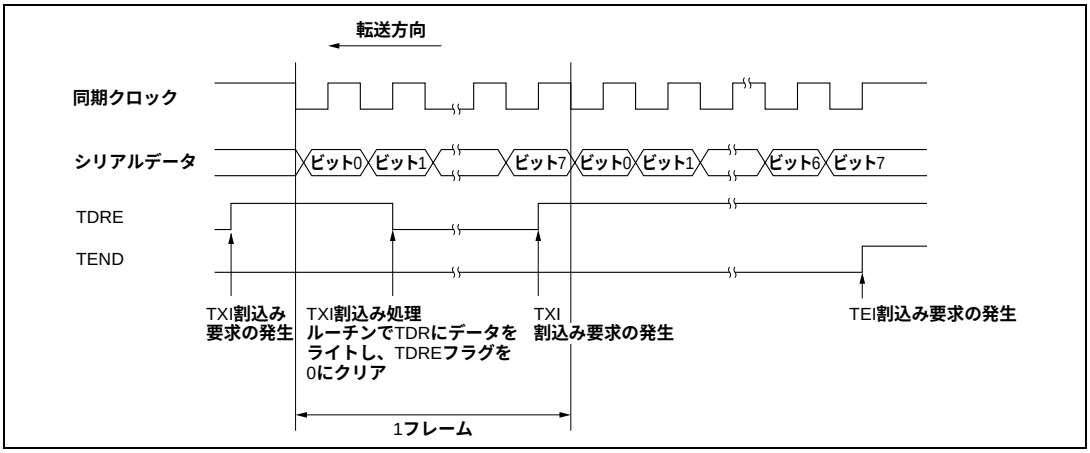


図 13.17　SCI **の送信時の動作例**

(c) シリアルデータ受信（クロック同期式）

図 13.18 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従い行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、送信／受信動作が行えません。

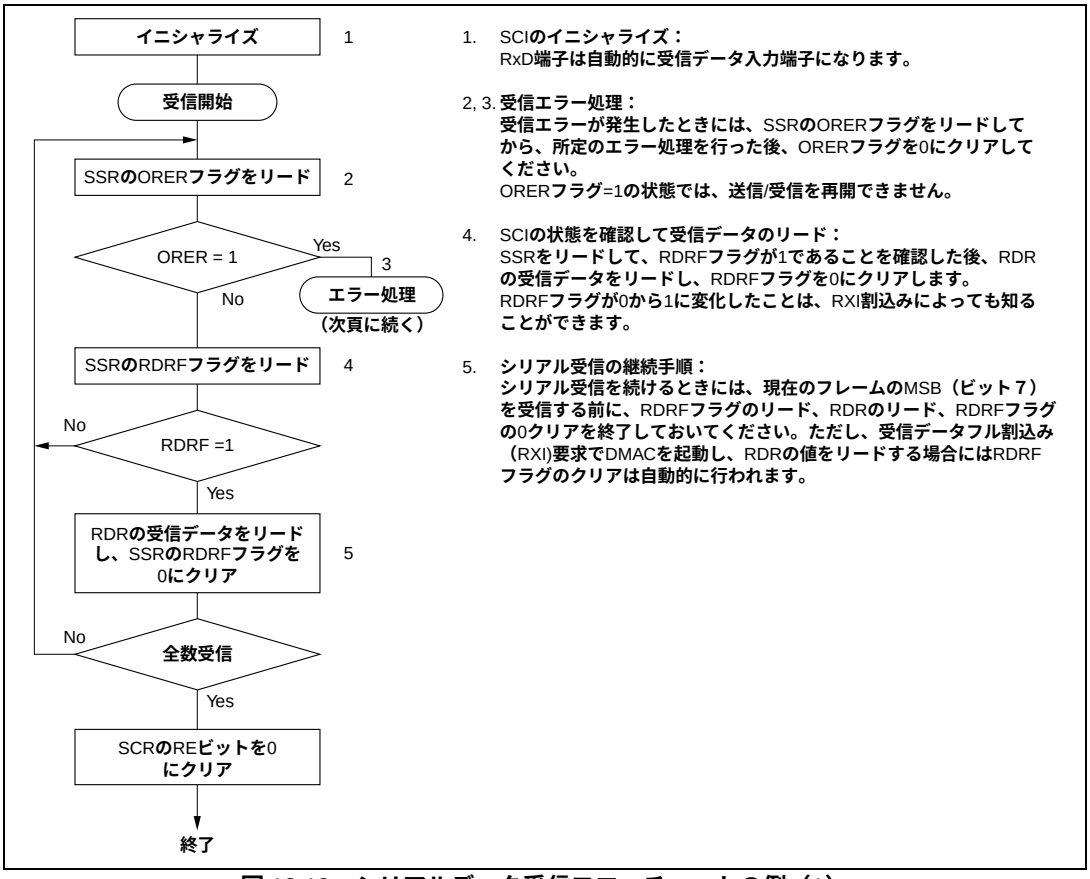


図 13.18 **シリアルデータ受信フローチャートの例**（1）

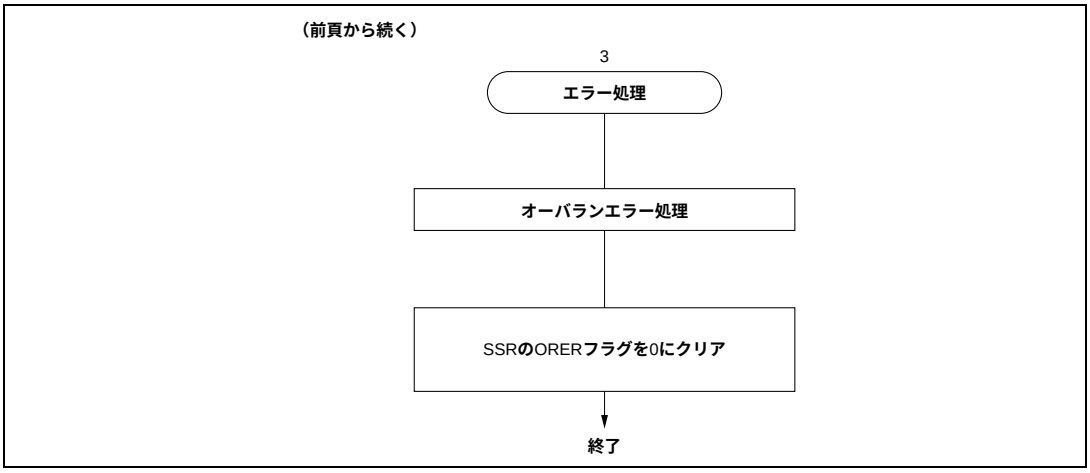


図 13.18　**シリアルデータ受信フローチャートの例**（2）

SCI は受信時に以下のように動作します。

（1）　SCIは同期クロックの入力または出力に同期して内部を初期化します。
（2）　受信したデータをRSRのLSBからMSBの順に格納します。
受信後、SCIは、RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
このチェックがパスしたときRDRFフラグが1にセットされ、RDRに受信データが格納されます。エラーチェックで受信エラーを発生すると、**表**13.11のように動作します。
エラーチェックで受信エラーを発生した状態では以後の送信、受信動作ができません。
（3）　RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割込み（RXI）要求を発生します。
また、ORERフラグが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割込み（ERI）要求を発生します。

図 13.19 に SCI の受信時の動作例を示します。

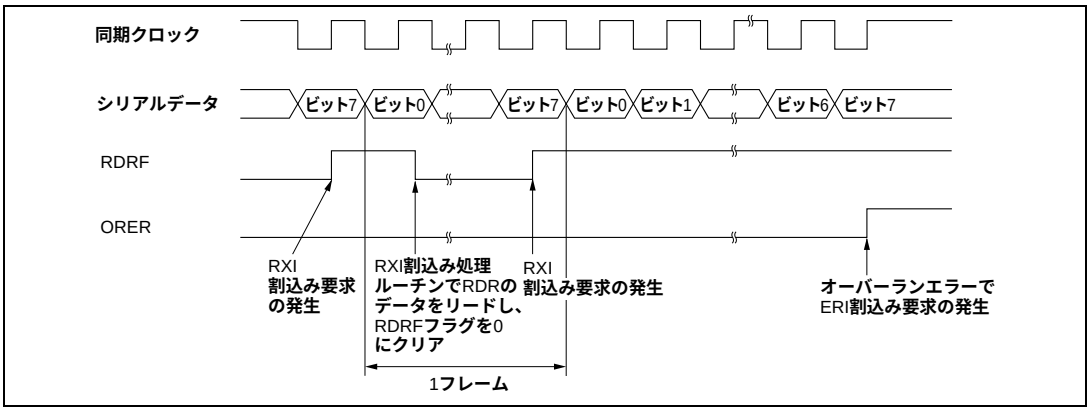
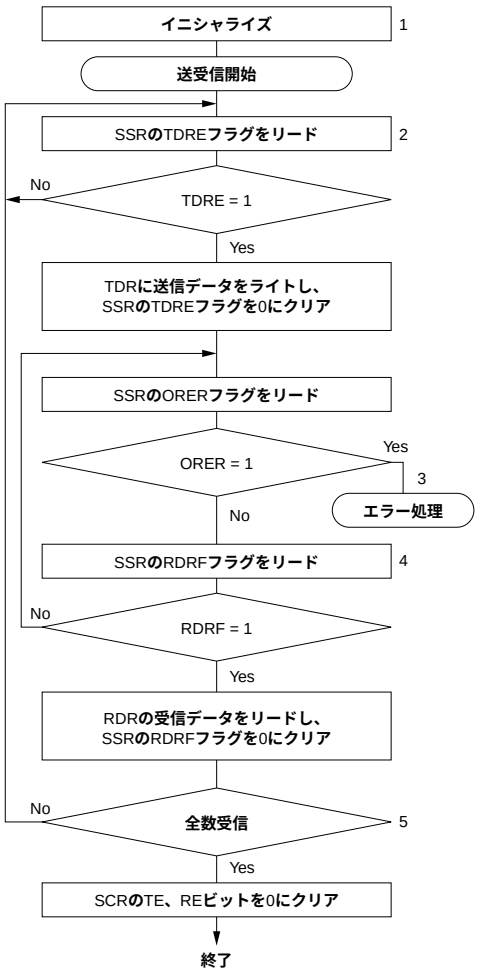


図 13.19　SCI **の受信時の動作例**

(d) シリアルデータ送受信同時動作（クロック同期式）

図 13.20 にシリアル送受信同時動作のフローチャートの例を示します。
シリアルデータ送受信同時動作は、以下の手順に従い行ってください。



1. **イニシャライズ：**
   TxD端子は送信データ出力端子に、RxD端子は受信データ入力端子になり送受信同時動作可能状態になります。

2. **SCIの状態確認と送信データのライト：**
   SSRをリードしてTDREフラグが1であることを確認した後、TDRに送信データをライトし、TDREフラグを0にクリアします。TDREフラグが0から1に変化したことは、TXI割込みによっても知ることができます。

3. **受信エラー処理：**
   受信エラーが発生したときには、SSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では送信／受信を再開できません。

4. **SCIの状態を確認して受信データのリード：**
   SSRをリードして、RDRFフラグが1であることを確認した後、DRの受信データをリードし、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割込みによっても知ることができます。

5. **シリアル送受信の継続手順：**
   シリアル送受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグの0クリアを終了しておいてください。また、現在のフレームのMSB（ビット7）を送信する前にTDREフラグの1をリードしてライト可能であることを確認してください。さらにTDRにデータをライトし、TDREフラグを0にクリアしておいてください。ただし、送信データエンプティ割込み（TXI)要求でDMACを起動しTDRにデータをライトする場合には、TDREフラグのチェック、およびクリアは自動的に行われます。また、受信データフル割込み（RXI)要求でDMACを起動しRDRの値をリードする場合にはRDRFフラグのクリアは自動的に行われます。

【注】送信、または受信動作から同時送受信に切り換えるときには、TEビットとREビットを0にクリアしてからTEビットとREビットを同時に1にセットしてください。

図 13.20 **シリアル送受信同時動作のフローチャートの例**

13.4 SCI 割込み

SCI には、送信終了割込み（TEI）要求、受信エラー割込み（ERI）要求、受信データフル割込み（RXI）要求、送信データエンプティ割込み（TXI）要求の 4 種類の割込み要因があります。**表** 13.12 に各割込み要因と優先順位を示します。各割込み要因は、SCR の TIE ビット、RIE ビットおよび TEIE ビットで許可／禁止できます。また、各割込み要求はそれぞれ独立に割込みコントローラに送られます。

SSR の TDRE フラグが 1 にセットされると、TXI 割込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割込み要求が発生します。TXI 割込み要求により DMAC を起動してデータ転送を行うことができます。TDRE フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。なお、TEI 割込み要求で DMAC の起動はできません。

SSR の RDRF フラグが 1 にセットされると RXI 割込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると ERI 割込み要求が発生します。RXI 割込み要求で DMAC を起動してデータ転送を行うことができます。RDRF フラグは DMAC によるデータ転送時に自動的に 0 にクリアされます。なお、ERI 割込み要求で DMAC の起動はできません。

SCI チャネル 0 の割込みにより DMAC の起動が可能です。

表 13.12 SCI **割込み要因**

割込み要因	内　容	優先順位
ERI	**受信エラー**（ORER、FER、PER）**による割込み**	高
RXI	**受信データフル**（RDRF）**による割込み**	↑
TXI	**送信データエンプティ**（TDRE）**による割込み**	
TEI	**送信終了**（TEND）**による割込み**	低

13.5　使用上の注意

SCI を使用する際は、以下のことに注意してください。

（1）　TDRへのライトとTDREフラグの関係について
SSRのTDREフラグはTDRからTSRに送信データの転送が行われたことを示すステータスフラグです。SCIがTDRからTSRにデータを転送すると、TDREフラグが1にセットされます。TDRへのデータのライトは、TDREフラグの状態にかかわらず行うことができます。しかし、TDREフラグが0の状態で新しいデータをTDRにライトすると、TDRに格納されていたデータは、まだTSRに転送されていないため失われてしまいます。したがってTDRへの送信データのライトは、必ずTDREフラグが1にセットされていることを確認してから行ってください。

（2）　複数の受信エラーが同時に発生した場合の動作について
複数の受信エラーが同時に発生した場合、SSRの各ステータスフラグの状態は、**表**13.13のようになります。また、オーバランエラーが発生した場合にはRSRからRDRへのデータ転送は行われず、受信データは失われます。

表 13.13　SSR **のステータスフラグの状態と受信データの転送**

SSR **のステータスフラグ**				**受信データ転送** RSR→RDR	**受信エラーの状態**
RDRF	ORER	FER	PER		
1	1	0	0	×	**オーバランエラー**
0	0	1	0	○	**フレーミングエラー**
0	0	0	1	○	**パリティエラー**
1	1	1	0	×	**オーバランエラー＋フレーミングエラー**
1	1	0	1	×	**オーバランエラー＋パリティエラー**
0	0	1	1	○	**フレーミングエラー＋パリティエラー**
1	1	1	1	×	**オーバランエラー＋フレーミングエラー＋パリティエラー**

【注】　○：RSR→RDR **に受信データを転送します。**
×：RSR→RDR **に受信データを転送しません。**

（3）　ブレークの検出と処理について
フレーミングエラー（FER）検出時にRxD端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD端子からの入力がすべて0になりますのでFERフラグがセットされ、またパリティエラー（PER）もセットされる場合があります。
SCIは、ブレークを受信した後も受信動作を続けますので、FERフラグを0にクリアしても再び1にセットされますので、注意してください。

（4） ブレークの送り出し

TxD端子は、DRとDDRにより入出力方向とレベルが決まるI/Oポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信のイニシャライズからTEビットを1にセットするまでは、マーク状態をDRの値で代替します（TEビットを1にセットするまで、TxD端子として機能しません）。このため、最初はDDRとDRを1に設定しておきます。

シリアル送信時にブレークを送り出したいときはDRを0にクリアした後、TEビットを0にクリアします。

TEビットを0にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD端子はI/Oポートになり、TxD端子から0が出力されます。

（5） 受信エラーフラグと送信動作について（クロック同期式モードのみ）

受信エラーフラグ（ORER、PER、FER）が1にセットされた状態では、TDREフラグを0にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを0にクリアしておいてください。

また、REビットを0にクリアしても受信エラーフラグは0にクリアできませんので注意してください。

（6） 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIは転送レートの16倍の周波数の基本クロックで動作しています。

受信時にSCIは、スタートビットの立下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの8クロック目の立上がりエッジで内部に取り込みます。これを**図**13.21に示します。

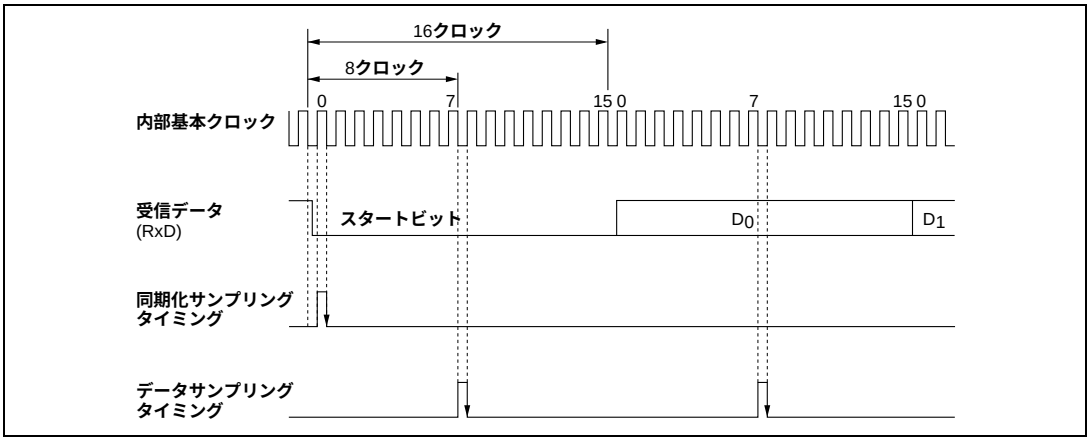


図 13.21 **調歩同期式モードの受信データサンプリングタイミング**

したがって、調歩同期式モードでの受信マージンは式（1）のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N}\right) - (L-0.5)F - \frac{|D-0.5|}{N}(1+F) \right| \times 100\% \cdots 式(1)$$

M：受信マージン（%）
N：クロックに対するビットレートの比（N＝16）
D：クロックデューティ（D＝0～1.0）
L：フレーム長（L＝9～12）
F：クロック周波数の偏差の絶対値

式（1）で、F＝0、D＝0.5 とすると、受信マージンは式（2）より 46.875%となります。

D＝0.5、F＝0 のとき、

$$M = \left(0.5 - \frac{1}{2\times16}\right) \times 100\% = 46.875\% \cdots 式(2)$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20～30%の余裕を持たせてください。

（7） DMAC使用上の制約事項
DMACにより、RDRのリードを行うときは必ずDTCRのDTS2～0ビットで起動要因を当該SCIの受信完了割込み（RXI）に設定してください。

（8） クロック同期式使用上の制約事項
同期クロックに外部クロックソースを使用しデータ送信を行う場合、SSRのTDREのクリアから各フレームに対応する送信クロックの先頭（立上がりエッジ）までの間隔は、5ステート以上確保してください（**図**13.22参照）。本条件は連続送信を行う際にも必要です。
本条件が満たされない場合、誤動作することがあります。

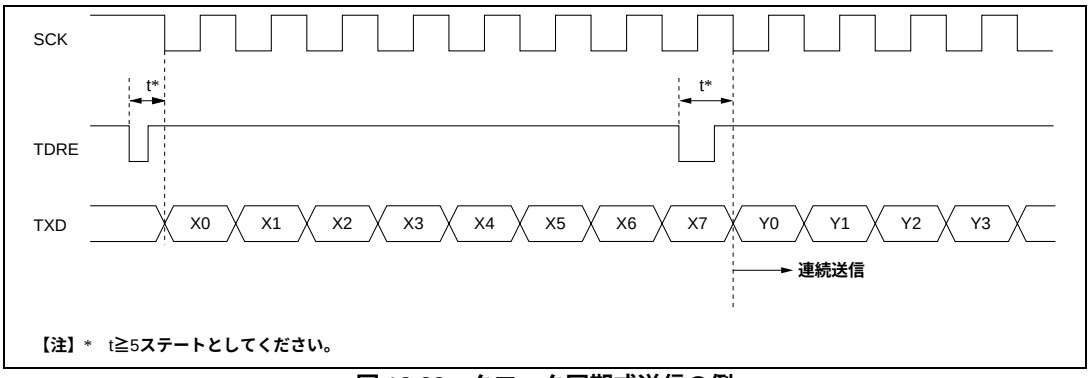


図 13.22 **クロック同期式送信の例**

（9） クロック同期式モードにおいてSCK端子をポート出力端子へ切り換えるときの注意事項
クロック同期式モードにおいて、SCK端子を同期クロック出力として使用しているとき、送信終了時にSCK端子を出力ポートに切り換えると、半サイクルのLowレベルが出力されることがあります。

DDR＝1、DR＝1、C/A＝1、CKE1＝0、CKE0＝0、TE＝1の状態より、以下の設定でポートに切り換えたときに半サイクルのLow出力が発生します。

1. シリアルデータ送信終了
2. TEビット＝0
3. C/Aビット＝0…ポート出力に切り換え
4. Low出力発生（**図**13.23参照）

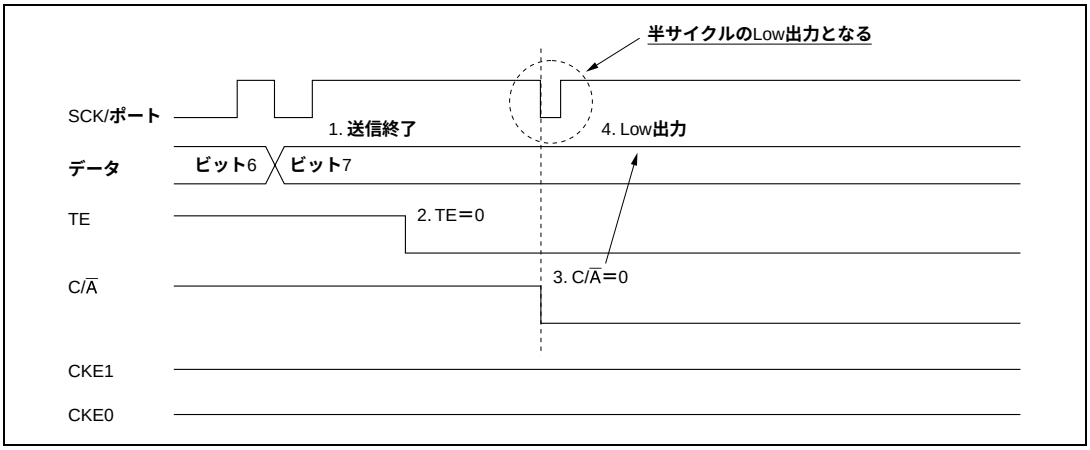


図 13.23　SCK **端子からポート端子へ切り換え時の動作**

SCK端子をポートに切り換える際に発生するLow出力を回避する場合、下記の手順で行ってください。

この手順は、SCK端子を一度入力状態にするため、あらかじめSCK/ポート端子を外部回路でプルアップしてください。DDR＝1、DR＝1、C/A＝1、CKE1＝0、CKE0＝0、TE＝1の状態より以下の1～5の順で設定してください。

1. シリアルデータ送信終了
2. TEビット＝0
3. CKE1ビット＝1
4. C/Aビット＝0…ポート出力に切り換え
5. CKE1ビット＝0

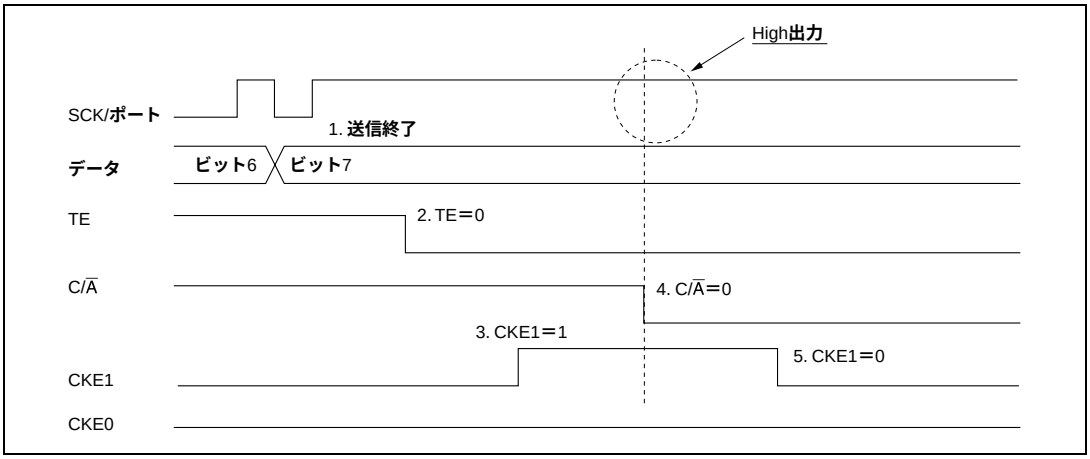


図 13.24　SCK **端子からポート端子へ切り換え時の動作（**Low **出力の回避例）**

14. スマートカードインタフェース

14.1 概要

SCI0 は、シリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC7816－3（Indentification Card）に準拠した IC カード（スマートカード）インタフェースをサポートしています。

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り換えはレジスタの設定で行います。

14.1.1 特長

本 LSI がサポートするスマートカードインタフェースには次の特長があります。

- 調歩同期式モード
  - データ長：8 ビット
  - パリティビットの生成およびチェック
  - 受信モードにおけるエラーシグナル（パリティエラー）の送出
  - 送信モードにおけるエラーシグナルの検出とデータの自動再送信
  - ダイレクトコンベンション／インバースコンベンションの両方をサポート
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 3 種類の割込み要因
  送信データエンプティ、受信データフル、送受信エラーの3種類の割込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ割込みと受信データフル割込みによりDMAコントローラ（DMAC）を起動させてデータの転送を行うことができます。

14.1.2 ブロック図

図 14.1 にスマートカードインタフェースのブロック図を示します。

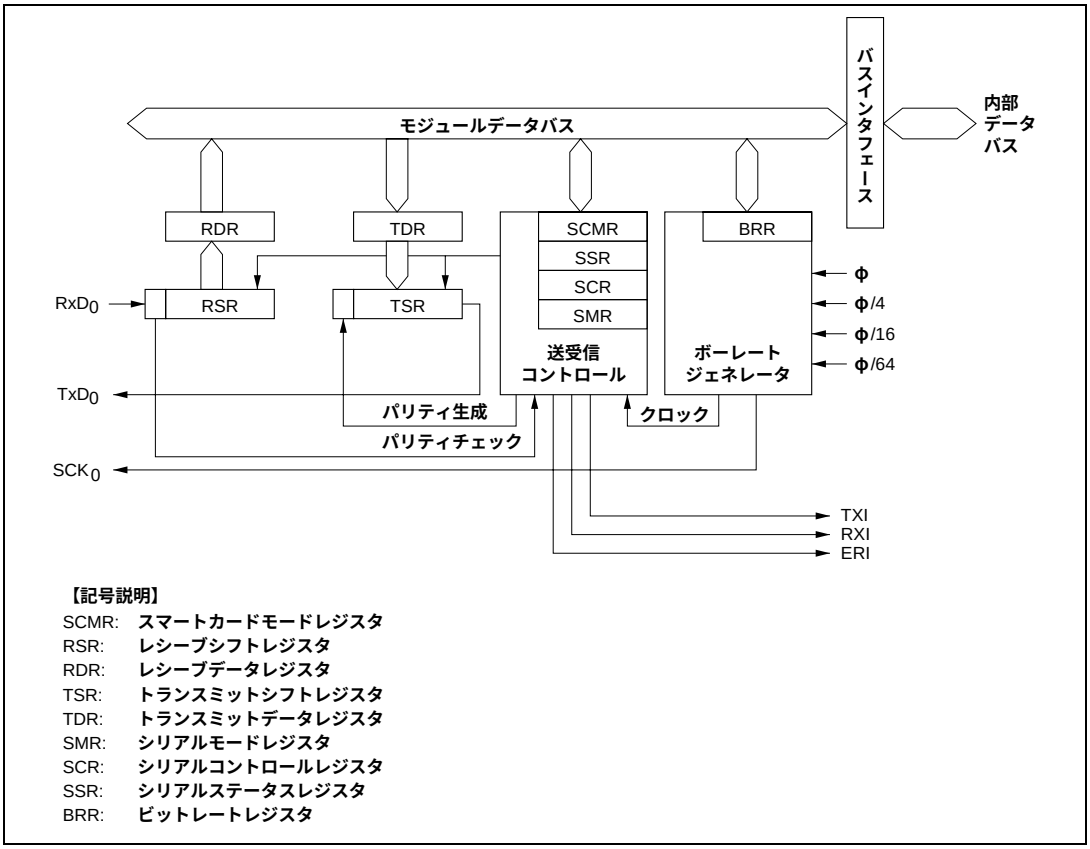


図 14.1 **スマートカードインタフェース**

14.1.3 端子構成

スマートカードインタフェースの端子構成を**表** 14.1 に示します。

表 14.1 **端子構成**

名 称	略 称	入出力	機 能
シリアルクロック端子	SCK_0	出力	クロック出力
レシーブデータ端子	RxD_0	入力	受信データ入力
トランスミットデータ端子	TxD_0	出力	送信データ出力

14.1.4　レジスタ構成

スマートカードインタフェースで使用するレジスタ構成を**表** 14.2 に示します。BRR、TDR、RDR については、通常の SCI の機能と同様ですので、**「第 13 章　シリアルコミュニケーションインタフェース」**のレジスタの説明を参照してください。

表 14.2　**レジスタ構成**

アドレス*1	**名　称**	**略　称**	R/W	**初期値**
H'FFB0	**シリアルモードレジスタ**	SMR	R/W	H'00
H'FFB1	**ビットレートレジスタ**	BRR	R/W	H'FF
H'FFB2	**シリアルコントロールレジスタ**	SCR	R/W	H'00
H'FFB3	**トランスミットデータレジスタ**	TDR	R/W	H'FF
H'FFB4	**シリアルステータスレジスタ**	SSR	R/(W)*2	H'84
H'FFB5	**レシーブデータレジスタ**	RDR	R	H'00
H'FFB6	**スマートカードモードレジスタ**	SCMR	R/W	H'F2

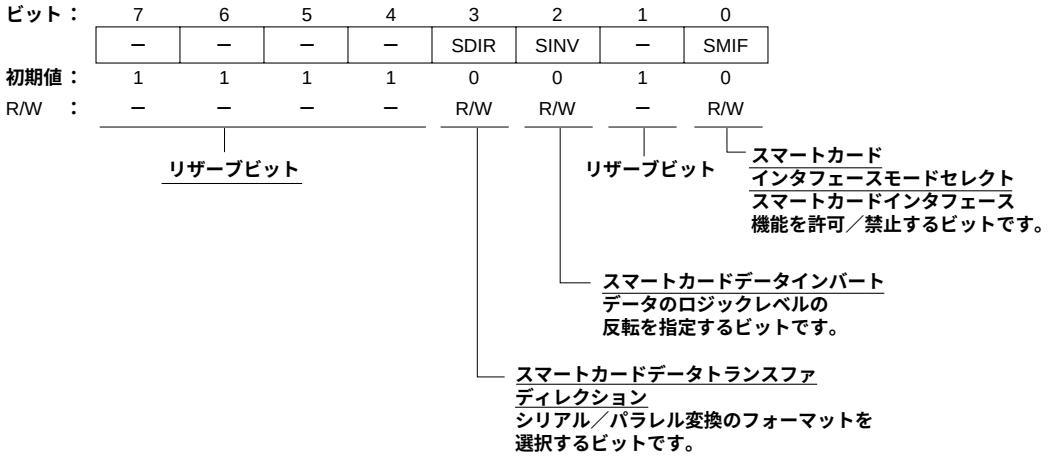
【注】　*1　**アドレスの下位** 16 **ビットを示しています。**
　　*2　**フラグをクリアするための** 0 **ライトのみ可能です。**

14.2　各レジスタの説明

スマートカードインタフェースで追加されるレジスタおよび機能が変更されるビットについて説明します。

14.2.1　スマートカードモードレジスタ（SCMR）

SCMR は、8 ビットのリード／ライト可能なレジスタで、スマートカードインタフェースの機能の選択を行います。



SCMR は、リセットまたはスタンバイモード時に H'F2 にイニシャライズされます。

ビット 7〜4：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3：スマートカードデータトランスファディレクション（SDIR）

シリアル／パラレル変換のフォーマットを選択します。

ビット 3 SDIR	説　明
0	TDR の内容を LSB ファーストで送信　（初期値） 受信データを LSB ファーストとして RDR に格納
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

ビット 2：スマートカードデータインバート（SINV）

データのロジックレベルの反転を指定します。この機能は、ビット 3 の機能を組合せインバースコンベンションカードとの送受信に使用します。SINV は、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「14.3.4　**レジスタ設定**」を参照してください。

ビット 2 SINV	説　明
0	TDR の内容をそのまま送信　（初期値） 受信データをそのまま RDR に格納
1	TDR の内容を反転してデータを送信 受信データを反転して RDR に格納

ビット 1：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 0：スマートカードインタフェースモードセレクト（SMIF）

スマートカードインタフェース機能をイネーブルにするビットです。

ビット 0 SMIF	説　明
0	スマートカードインタフェース機能を禁止　（初期値）
1	スマートカードインタフェース機能を許可

14.2.2　シリアルステータスレジスタ（SSR）

スマートカードインタフェースモードにおいては、SSR のビット 4 の機能が変更されます。また、これに関連してビット 2 の TEND のセット条件が変更になります。

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W　：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

トランスミットエンド
送信終了を示すフラグです。

エラーシグナルステータス（ERS）
エラーシグナルが送出されたことを示すフラグです。

【注】＊　フラグをクリアするための0ライトのみ可能です。

ビット 7～5：

通常の SCI と同様の動作をします。詳細は**「第 13 章　シリアルコミュニケーションインタフェース」**を参照してください。

ビット 4：エラーシグナルステータス（ERS）

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット 4 ERS	説　明
0	**正常に受信され、エラーシグナルが無いことを表示　（初期値）** **（クリア条件）** **（1）リセット、またはスタンバイモード時** **（2）ERS＝1 の状態をリードした後、0 をライトしたとき**
1	**受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示** **（セット条件）** **エラーシグナル Low をサンプリングしたとき**

【注】 SCR **の** TE **ビットを** 0 **にクリアしても、**ERS **フラグは影響を受けず以前の状態を保持します。**

ビット 3〜0：

通常の SCI と同様の動作をします。詳細は**「第 13 章　シリアルコミュニケーションインタフェース」**を参照してください。

ただし、ビット 2 のトランスミットエンド（TEND）のセット条件は次のようになります。

ビット 2 TEND	説　明
0	**送信中であることを表示**　**（初期値）** **（クリア条件）** （1）TDRE＝1 **の状態をリードした後、**TDRE **フラグに** 0 **をライトしたとき** （2）DMAC **で** TDR **へデータをライトしたとき**
1	**送信を終了したことを表示** **（セット条件）** （1）**リセット、またはスタンバイモード時** （2）SCR **の** TE **ビットが** 0 **かつ** FER／ERS **ビットが** 0 **のとき** （3）1 **バイトのシリアルキャラクタ送信後、**2.5etu*__後に__ TDRE＝1 **かつ** FER／ERS＝0 **（正常送信）のとき**

【注】 *　etu（Elementary Time Unit：1 **ビットの転送期間の略）**

14.2.3　シリアルモードレジスタ（SMR）

スマートカードインタフェースモードにおいては、SMR のビット 7 の機能が変更されます。また、これに関連してシリアルコントロールレジスタ（SCR）のビット 1 およびビット 0 の機能も変更されます。ただし、フラッシュメモリ版にはこの機能はありません。

ビット：	7	6	5	4	3	2	1	0
	GM	CHR	PE	O/$\overline{E}$	STOP	MP	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 **：**GSM **モード（**GM**）**

通常のスマートカードインタフェース時は 0 に設定します。GSM モードは、本ビットを 1 に設定し、送信完了を示す TEND フラグのセットタイミングの前倒しと、クロック出力の制御モードの追加を行います。クロック出力の制御モードの追加内容は、シリアルコントロールレジスタ（SCR）のビット 1 およびビット 0 で指定します。

ビット 7 GM	説　明
0	**通常のスマートカードインタフェースモードの動作** （1）TEND **フラグは開始ビットの先頭から** 12.5etu **のタイミングで発生** （2）**クロック出力の** ON／OFF **制御のみ**　**（初期値）**
1	GSM **モードのスマートカードインタフェースモードの動作** （1）TEND **フラグは開始ビットの先頭から** 11.0etu **のタイミングで発生** （2）**クロック出力の** ON／OFF**、および** High／Low **固定制御** **（設定は** SCR**）**

ビット 6〜0：

通常の SCI と同様の動作をします。詳細は「13.2.5 **シリアルモードレジスタ（SMR）**」を参照してください。

14.2.4 シリアルコントロールレジスタ（SCR）

スマートカードインタフェースモードにおいては、SCR のビット 1、0 の機能が変更されます。ただし、フラッシュメモリ版にはこの機能はありません。

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7〜2 ：

通常の SCI と同様の動作をします。詳細は「13.2.6 **シリアルコントロールレジスタ（SCR）**」を参照してください。

ビット 1、0：クロックイネーブル 1、0（CKE1、CKE0）

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可／禁止を設定します。スマートカードインタフェースモードにおいては、通常のクロック出力の許可／禁止の切り換え、およびクロック出力の High レベル固定と Low レベル固定を指定することができます。

ビット 7	**ビット 1**	**ビット 0**	**説　明**
GM	CKE1	CKE0	
0	0	0	**内部クロック／SCK_0端子は入出力ポート　（初期値）**
		1	**内部クロック／SCK_0端子はクロック出力**
1		0	**内部クロック／SCK_0端子は Low 出力固定**
		1	**内部クロック／SCK_0端子はクロック出力**
	1	0	**内部クロック／SCK_0端子は High 出力固定**
		1	**内部クロック／SCK_0端子はクロック出力**

14.3 動作説明

14.3.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

（1） 1フレームは、8ビットデータとパリティビットで構成されます。

（2） 送信時は、パリティビットの終了から次のフレーム開始まで2etu（Elementary Time Unit:1ビットの転送期間）以上のカードタイムをおきます。

（3） 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後エラーシグナルLowを1etu出力します。

（4） 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを送信します。

（5） 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

14.3.2 端子接続

図 14.2 にスマートカードインタフェースに関する端子接続概略図を示します。

IC カードとの通信においては、1 本のデータ伝送線で送信と受信が行われるので、LSI 端子で TXD_0 端子と RXD_0 端子とを結線してください。また、データ伝送線は、抵抗で電源 V_{CC} 側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SCK_0 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグランドの接続が必要です。

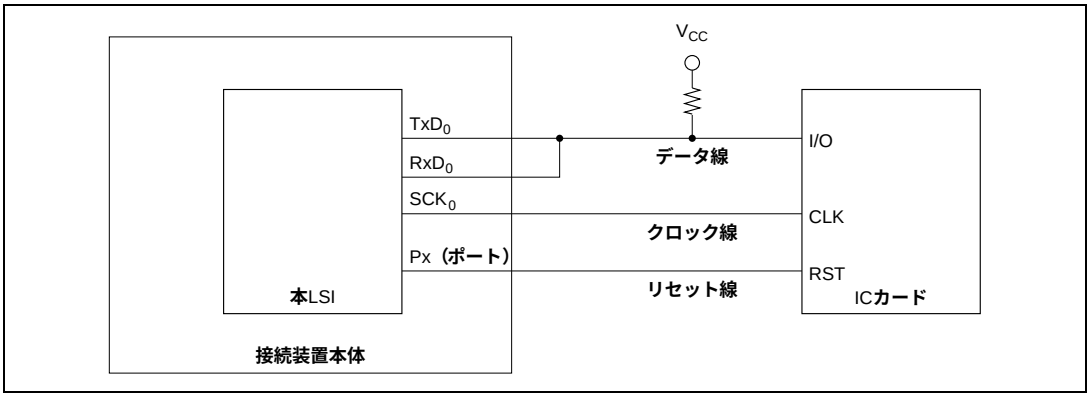


図 14.2 **スマートカードインタフェース端子接続概略図**

【注】 IC **カードを接続しないで、**RE＝TE＝1 **に設定すると、閉じた送信／受信が可能となり自己診断をすることができます。**

14.3.3 データフォーマット

図 14.3 にスマートカードインタフェースのデータフォーマットを示します。このモードでは、受信時は 1 フレームごとにパリティチェックを行い、エラーが検出された場合送信側に対してエラーシグナルを送り返し、データの再送信要求をします。送信時はエラーシグナルをサンプリングすると同じデータを再送信します。

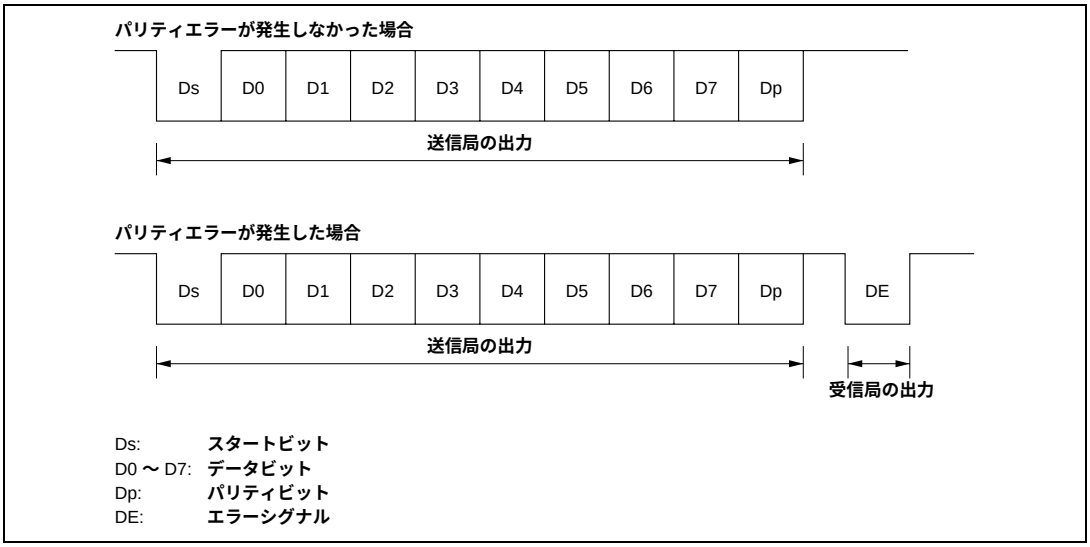


図 14.3 **スマートカードインタフェースのデータフォーマット**

動作シーケンスは次のようになっています。

(1) データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりHighレベルに固定されます。

(2) 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット（Ds、Lowレベル）から開始します。この後に、8ビットのデータビット（D0～D7）とパリティビット（Dp）が続きます。

(3) スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりHighレベルになります。

(4) 受信側は、パリティチェックを行います。
パリティエラーが無く正常に受信した場合、そのまま次のデータ受信を待ちます。
一方、パリティエラーが発生した場合は、エラーシグナル（DE、Lowレベル）を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりHighレベルに戻ります。

(5) 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。一方、エラーシグナルを受信した場合は、エラーとなったデータを（2）に戻り再送信します。

14.3.4 レジスタ設定

スマートカードインタフェースで使用するレジスタのビットマップを**表** 14.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 14.3 **スマートカードインタフェースでのレジスタ設定**

レジスタ	アドレス*1	ビット							
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
SMR	H'FFB0	GM	0	1	O/E	1	0	CKS1	CKS0
BRR	H'FFB1	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
SCR	H'FFB2	TIE	RIE	TE	RE	0	0	CKE1*2	CKE0
TDR	H'FFB3	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
SSR	H'FFB4	TDRE	RDRF	ORER	ERS	PER	TEND	0	0
RDR	H'FFB5	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
SCMR	H'FFB6	－	－	－	－	SDIR	SINV	－	SMIF

【注】 －：未使用ビットを示します。

*1 **アドレスは下位** 16 **ビットを示します。**

*2 SMR **の** GM **を** 0 **に設定したときは、必ず** CKE1 **ビットを** 0 **にしてください。**

（1） シリアルモードレジスタ（SMR）の設定

GMビットは、通常のスマートカードインタフェースモード時は0を設定し、GSMモード時は1を設定します。

O/EビットはICカードがダイレクトコンベンション時は0を設定し、インバースコンベンション時は1を設定します。

CKS1、CKS0ビットは、内蔵ボーレートジェネレータのクロックソースを選択します。

「14.3.5 **クロック」**を参照してください。

（2）ビットレートレジスタ（BRR）の設定

ビットレートを設定します。設定値の算出方法は**「**14.3.5 **クロック」**を参照してください。

（3）シリアルコントロールレジスタ（SCR）の設定

TIE、RIE、TE、REビットの機能は通常のSCIと同様です。詳細は**「第**13**章 シリアルコミュニケーションインタフェース」**を参照してください。

CKE1、CKE0ビットはクロック出力を指定します。SMRのGMビットが0にクリアされているとき、クロックを出力しない場合は、“ 00 ”に設定し、クロックを出力する場合は01に設定します。SMRのGMビットが1にセットされているとき、クロック出力を行います。クロック出力をLowレベルまたはHighレベルに固定することもできます。

（4） スマートカードモードレジスタ（SCMR）の設定

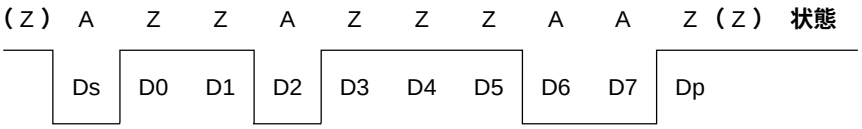
SDIRビットは、ICカードがダイレクトコンベンション時は0を設定し、インバースコンベンション時は1を設定します。

SINVビットはICカードがダイレクトコンベンション時は0を設定し、インバースコンベンション時は1を設定します。

SMIFビットはスマートカードインタフェースの場合1を設定します。

以下に 2 種類の IC カード（ダイレクトコンベンションタイプとインバースコンベンションタイプ）に対するレジスタ設定値と開始キャラクタでの波形例を示します。

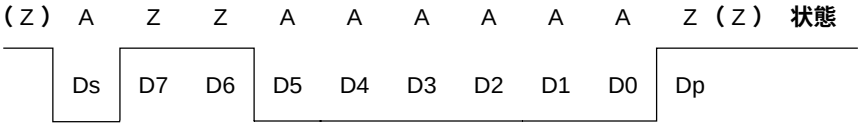
ダイレクトコンベンション（SDIR＝SINV＝O/E＝0）



ダイレクトコンベンションタイプでは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。

パリティビットは、スマートカードの規程により偶数パリティで 1 となります。

インバースコンベンション（SDIR＝SINV＝O/E＝1）



インバースコンベンションタイプでは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。

パリティビットは、スマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、本 LSI では、SINV ビットによる反転はデータビット D7～D0 のみとなっています。パリティビットの反転のために SMR の O/E ビットを奇数パリティモードに設定します（送信、受信とも同様です）。

14.3.5 クロック

スマートカードインタフェースにおける送受信クロックは内蔵ボーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートはビットレートレジスタ（BRR）とシリアルモードレジスタ（SMR）の CKS1、CKS0 ビットで設定され、以下に示す計算式になります。ビットレートの例を**表** 14.5 に示します。

このとき CKE0＝1 でクロック出力を選択すると SCK0 端子からはビットレートの 372 倍の周波数のクロックが出力されます。

$$B = \frac{\phi}{1488 \times 2^{2n-1} \times (N+1)} \times 10^6$$

ただし、N ＝BRR の設定値（0≦N≦255）
B ＝ビットレート（bit/s）
φ＝動作周波数（MHz)*
n ＝**表** 14.4 を参照

表 14.4 n **と** CKS1、CKS0 **の対応表**

n	CKS1	CKS0
0	0	0
1		1
2	1	0
3		1

【注】 ＊ **ギア機能によりクロックを分周して使用する場合には、動作周波数に分周比を考慮した値を設定してください。上記は分周比** 1：1 **の場合を示します。**

表 14.5 BRR **の設定に対するビットレート** B（bit/s）**の例（ただし、**n＝0 **のとき）**

φ（MHz） / N	7.1424	10.00	10.7136	13.00	14.2848	16.00	18.00	20.00	25.00
0	9600.0	13440.9	14400.0	17473.1	19200.0	21505.4	24193.5	26881.7	33602.2
1	4800.0	6720.4	7200.0	8736.6	9600.0	10752.7	12096.8	13440.9	16801.1
2	3200.0	4480.3	4800.0	5824.4	6400.0	7168.5	8064.5	8960.6	11200.7

【注】 ビットレートは、小数点以下 2 **桁目を四捨五入した数値です。**

一方、動作周波数とビットレートからビットレートレジスタ（BBR）の設定値を算出する式は次のようになります。ただし、N は整数値、0≦N≦255 であり、誤差の小さい方を指定します。

$$N = \frac{\phi}{1488 \times 2^{2n-1} \times B} \times 10^6 - 1$$

表 14.6 **ビットレート** B（bit/s）**に対する** BRR **の設定例（ただし、**n＝0 **のとき）**

φ(MHz) / bit/s	7.1424		10.00		10.7136		13.00		14.2848		16.00		18.00		20.00		25.00	
	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差
9600	0	0.00	1	30.00	1	25.00	1	8.99	1	0.00	1	12.01	2	15.99	2	6.66	3	12.49

表 14.7 各周波数における最大ビットレート（スマートカードインタフェースモード時）

φ（MHz）	最大ビットレート（bit/s）	N	n
7.1424	9600	0	0
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848	19200	0	0
16.00	21505	0	0
18.00	24194	0	0
20.00	26882	0	0
25.00	33602	0	0

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差（\%）} = \left(\frac{\phi}{1488 \times 2^{2n-1} \times B \times (N+1)} \times 10^6 - 1\right) \times 100$$

14.3.6 データの送信／受信動作

(1) イニシャライズ

データの送受信の前に、以下の手順で SCI をイニシャライズしてください。送信モードから受信モードへの切り換え、受信モードから送信モードへの切り換えにおいてもイニシャライズが必要です。

（1） シリアルコントロールレジスタ（SCR）のTE、REビットを0にクリアします。
（2） シリアルステータスレジスタ（SSR）のエラーフラグERS、PER、ORERを0にクリアしてください。
（3） シリアルモードレジスタ（SMR）のパリティビット（O/Eビット）とボーレートジェネレータの選択ビット（CKS1、CKS0ビット）を設定してください。このとき、C/A 、CHR、MPビットは0に、STOP、PEビットは1に設定してください。
（4） スマートカードモードレジスタ（SCMR）のSMIF、SDIR、SINVビットを設定してください。SMIFビットを1にセットすると、TXD_0端子およびRXD_0端子は共にポートからSCIの端子に切り換えられ、ハイインピーダンス状態となります。
（5） ビットレートに対応する値をビットレートレジスタ（BRR）に設定します。
（6） シリアルコントロールレジスタ（SCR）のクロックソースの選択ビット（CKE0ビット）を設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIE、CKE1ビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK0端子からクロック出力されます。
（7） 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

(2) シリアルデータ送信

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常の SCI とは処理手順が異なります。送信処理フローの例を**図** 14.4 に示します。

また、送信動作と内部レジスタの関連を**図** 14.5 に示します。

（1） **（1）**の手順に従いスマートカードインタフェースモードにイニシャライズします。
（2） SSRのエラーフラグERSビットが0にクリアされていることを確認してください。
（3） SSRのTENDフラグが1にセットされていることが確認できるまで、（2）、（3）を繰り返してください。
（4） TDRに送信データをライトして、TDREフラグを0にクリアし送信動作を行います。
このとき、TENDフラグは0にクリアされます。
（5） 連続してデータを送信する場合は、（2）に戻ってください。
（6） 送信を終了する場合は、TEビットを0にクリアします。

以上の一連の処理は、割込み処理または DMA 転送が可能です。

TIE ビットを 1 にセットし、割込み要求を許可しておいたとき、送信が終了し TEND フラグが 1 にセットされると、送信データエンプティ割込み（TXI）要求を発生します。RIE ビットを 1 にセットし、割込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割込み（ERI）要求を発生します。

SMR の GM ビットにより、TEND フラグのセットタイミングが異なります。**図** 14.6 に TEND フラグ発生タイミングを示します。

TXI 要求で DMAC 起動する場合、自動再転送を含め DMAC に設定したバイト数を自動的に送信することができます。

詳細は**（6）割込み動作**、**（7）**DMAC **によるデータ転送動作**を参照してください。

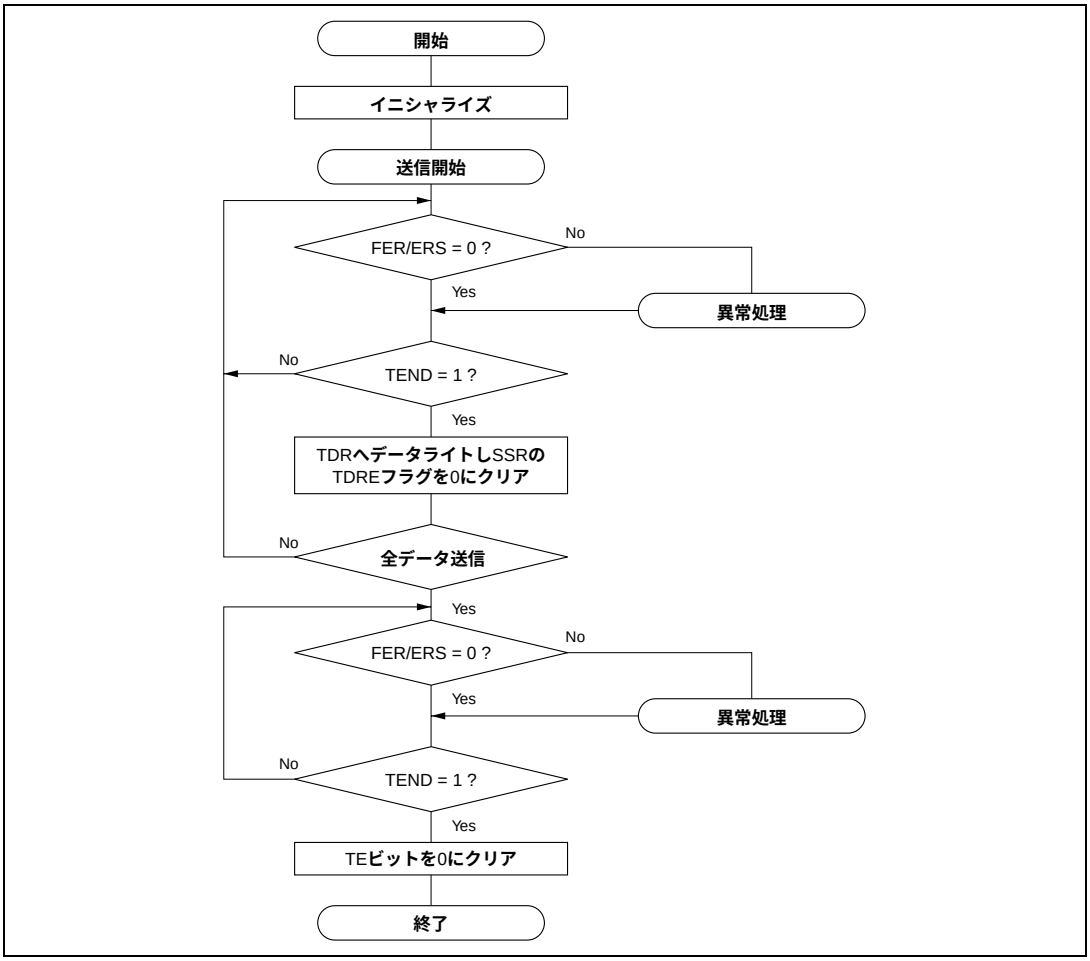


図 14.4　送信処理フローの例

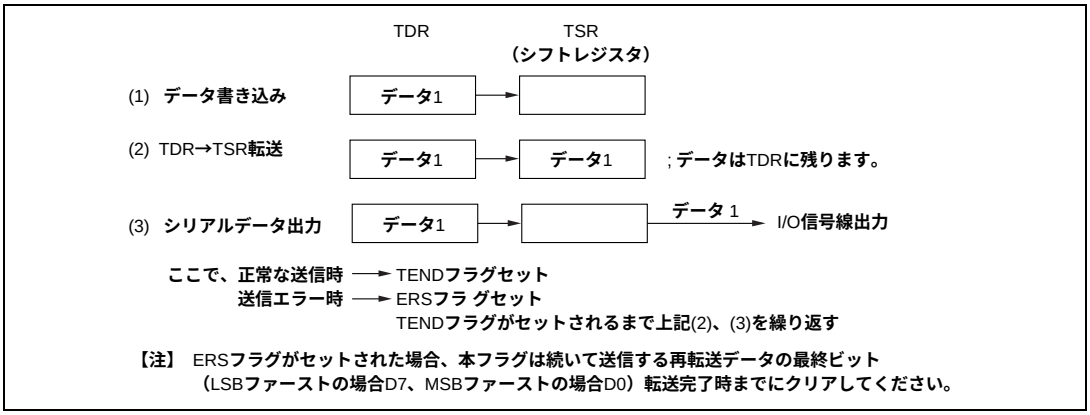


図 14.5　送信動作と内部レジスタの関連

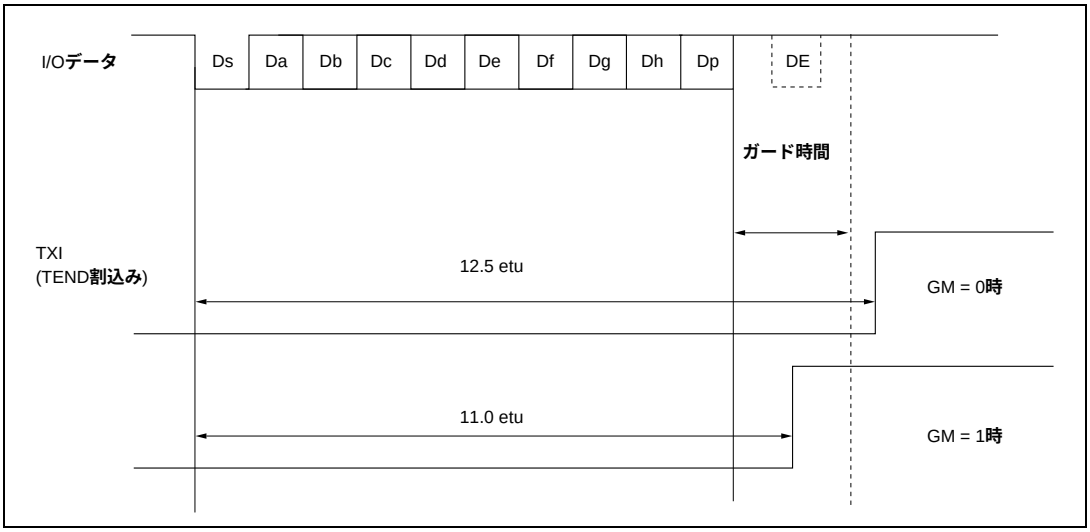


図 14.6　TEND **フラグ発生タイミング**

(3)　シリアルデータ受信

スマートカードモードのデータ受信は、通常の SCI と同様の処理手順になります。受信処理フローの例を**図** 14.7 に示します。

（1）　SCIを（1）に従いスマートカードインタフェースモードにイニシャライズします。
（2）　SSRのORERフラグとPERフラグが0であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、ORERとPERフラグを全て0にクリアしてください。
（3）　RDRFフラグが1であることを確認できるまで（2）、（3）を繰り返してください。
（4）　RDRから受信データをリードしてください。
（5）　継続してデータを受信する場合は、RDRFフラグを0にクリアして（2）の手順に戻ってください。
（6）　受信を終了する場合は、REビットを0にクリアします。

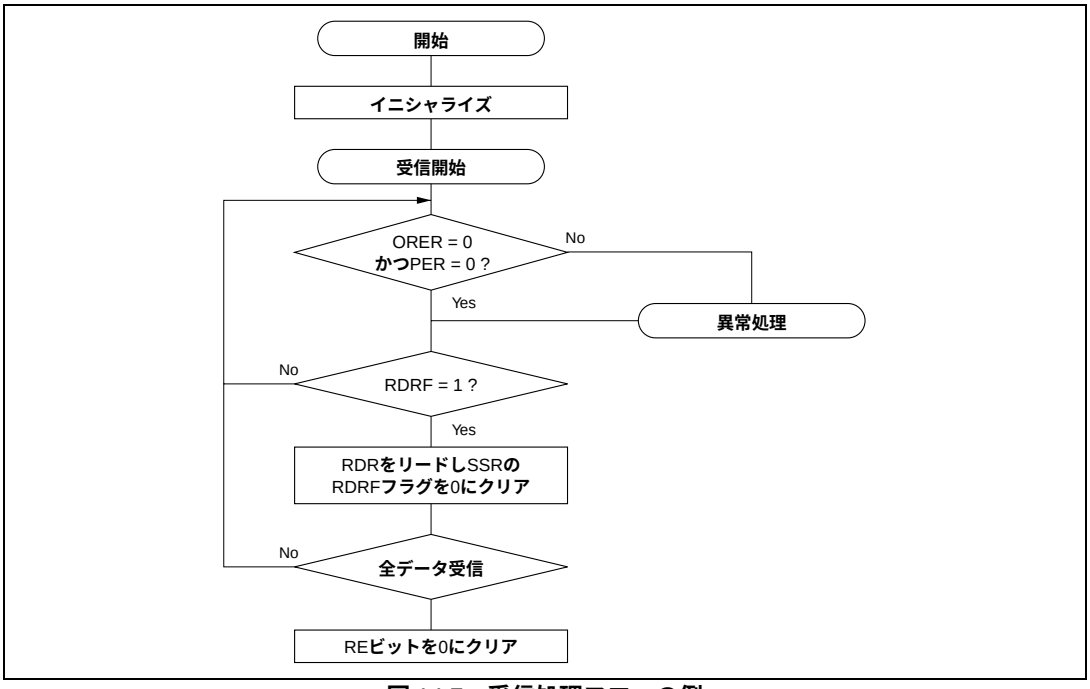


図 14.7　受信処理フローの例

以上の一連の処理は、割込み処理または DMA 転送が可能です。

RIE ビットを 1 にセットし、割込み要求を許可しておいたとき受信が終了し、RDRF フラグが 1 にセットされると、受信データフル割込み（RXI）要求を発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割込み（ERI）要求を発生します。

RXI 要求で DMAC を起動する場合、エラーの発生した受信データをスキップして DMAC に設定したバイト数だけ受信データを転送します。

詳細は（6）、（7）を参照してください。

なお､受信時にパリティエラーが発生し PER が 1 にセットされた場合でも､受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

(4)　モード切り換え動作

受信モードから送信モードに切り換える場合、受信動作が完了していることを確認した後、イニシャライズから開始し、RE＝0、TE＝1 に設定してください。受信動作の完了は RDRF フラグあるいは PER、ORER フラグで確認できます。

送信モードから受信モードに切り換える場合、送信動作が完了していることを確認した後、イニシャライズから開始し、TE＝0、RE＝1 に設定してください。送信動作の完了は TEND フラグで確認できます。

(5) クロック出力の固定

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 14.8 にクロック出力の固定タイミングを示します。GM＝1、CKE1＝0 とし、CKE0 ビットを制御した場合の例です。

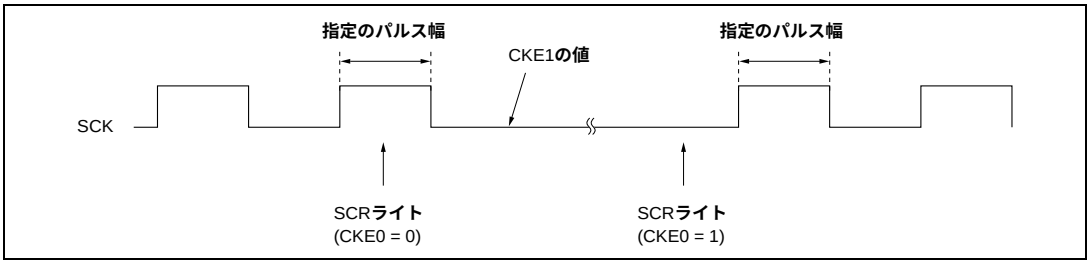


図 14.8 **クロック出力固定タイミング**

(6) 割込み動作

スマートカードインタフェースモードでは、送信データエンプティ割込み（TXI）要求、送受信エラー割込み（ERI）要求、受信データフル割込み（RXI）要求の 3 種類の割込み要因があります。なお、本モードでは、送信終了割込み（TEI）要求は使用できません。

SSR の TEND フラグが 1 にセットされると、TXI 割込み要求を発生します。
SSR の RDRF フラグが 1 にセットされると、RXI 割込み要求を発生します。
SSR の ORER、PER、ERS フラグのいずれかが 1 にセットされると、ERI 割込み要求を発生します。これらの関係を**表** 14.8 に示します。

表 14.8 **スマートカードモードの動作状態と割込み要因**

動作状態		フラグ	マスクビット	割込み要因	DMAC 起動
送信モード	正常動作	TEND	TIE	TXI	可能
	エラー	ERS	RIE	ERI	不可能
受信モード	正常動作	RDRF	RIE	RXI	可能
	エラー	PER、ORER	RIE	ERI	不可能

(7) DMAC によるデータ転送動作

スマートカードモードの場合も通常の SCI の場合と同様に、DMAC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割込みが発生します。あらかじめ DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時 ERS フラグは、自動的にクリアされませんので RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

なお、DMAC を使って送受信を行う場合は必ず先に DMAC を設定し、イネーブル状態にしてから SCI の設定を行ってください。DMAC の設定方法は**「第 8 章　DMA コントローラ」**を参照してください。

なお、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割込み要求が発生します。あらかじめ DMAC の起動要因に RXI 要求を設定しておけば RXI 要求で DMAC が起動されて受信データの転送を行います。RDRF フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。DMAC は起動されず、かわりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

(8) GSM モード時の動作例

スマートカードインタフェースモードとソフトウェアスタンバイ間でモード切り換えを行う際、クロックデューティを保持するため、下記の切り換え手順で処理してください。

(a) スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

（1） $P9_4$のデータレジスタ（DR）とデータディレクションレジスタ（DDR）をソフトウェアスタンバイ時の出力固定状態の値に設定する。
（2） シリアルコントロールレジスタ（SCR）のTEビットとREビットに0を書き込み、送信／受信動作を停止させる。同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定する。
（3） SCRのCKE0ビットに0を書き込み、クロックを停止させる。
（4） シリアルクロックの1クロック周期の間、待つ。
この間に、デューティを守って、指定のレベルでクロック出力は固定される。
（5） シリアルモードレジスタ（SMR）とスマートカードモードレジスタ（SCMR）にH'00を書き込む。
（6） ソフトウェアスタンバイ状態に遷移させる。

(b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻すとき

（1） ソフトウェアスタンバイ状態を解除する。
（2） SCRのCKE1ビットをソフトウェアスタンバイ開始時の出力固定状態（現在の$P9_4$端子の状態）の値に設定する。
（3） スマートカードインタフェースモードに設定し、クロック出力させる。正常なデューティにてクロック信号発生を開始する。

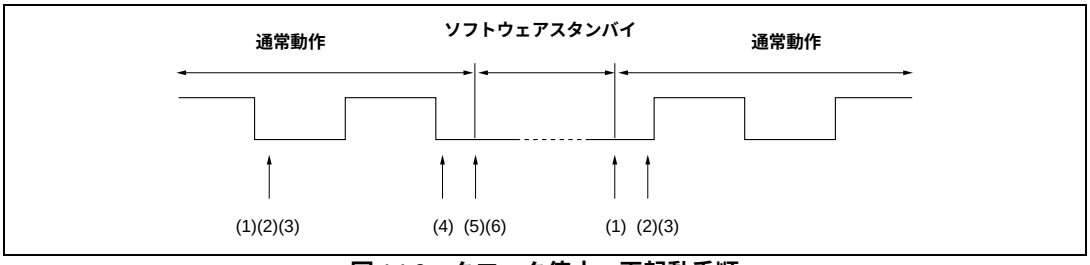


図 14.9　クロック停止・再起動手順

電源投入時からクロックデューティを確保するためには、下記の切り換え手順で処理をしてください。

（1） 初期状態は、ポート入力でありハイインピーダンスである。電位を固定するには、プルアップ抵抗／プルダウン抵抗を使用する。
（2） SCRのCKE1ビットで指定の出力に固定する。
（3） SMRとSCMRをセットし、スマートカードインタフェースモードの動作に切り換える。
（4） SCRのCKE0ビットを1に設定して、クロック出力を開始する。

14.4 使用上の注意

SCI をスマートカードインタフェースとして使用する際は、以下のことに注意してください。

(1) スマートカードインタフェースモードの受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードでは、SCI は転送レートの 372 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 186 クロック目の立上がりエッジで内部に取り込みます。これを**図** 14.10 に示します。

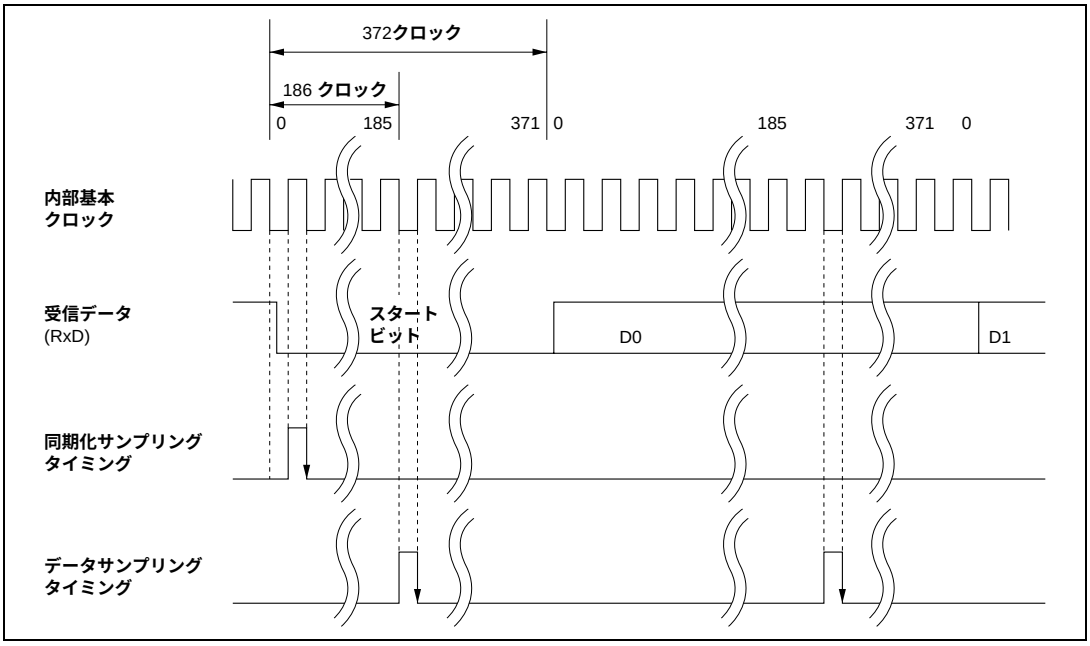


図 14.10 **スマートカードモード時の受信データサンプリングタイミング**

したがって、受信マージンは、次の式のように表すことができます。

スマートカードインタフェースモード時の受信マージン式

$$M = \left| \left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M：受信マージン（%）
N：クロックに対するビットレートの比（N＝372）
D：クロックデューティ（D＝0～1.0）
L：フレーム長（L＝10）
F：クロック周波数の偏差の絶対値

上式で、F＝0、D＝0.5 とすると、受信マージン式は次のようになります。

D ＝0.5、F＝0 のとき、
M＝（0.5－1／2×372）×100%
　＝49.866%

(2) 再転送動作

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

(a) SCI が受信モードの場合の再転送動作

SCI 受信モードの場合の再転送動作を**図** 14.11 に示します。

（1） 受信したパリティビットをチェックした結果、エラーが検出されると、SSRのPERビットが自動的に1にセットされます。このとき、SCRのRIEビットがイネーブルになっていれば、ERI割込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのPERビットを0にクリアしてください。
（2） 異常が発生したフレームでは、SSRのRDRFビットはセットされません。
（3） 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SSRのPERビットはセットされません。
（4） 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SSRのRDRFビットが自動的に1にセットされます。このときSCRのRIEビットが許可になっていれば、RXI割込み要求が発生します。
さらに、RXI要因によるDMA転送が許可されていれば、RDRの内容を自動的に読み出すことができます。DMACでRDRのデータを読み出した場合、RDRFは自動的に0にクリアされます。
（5） 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はスリーステート状態を保持します。

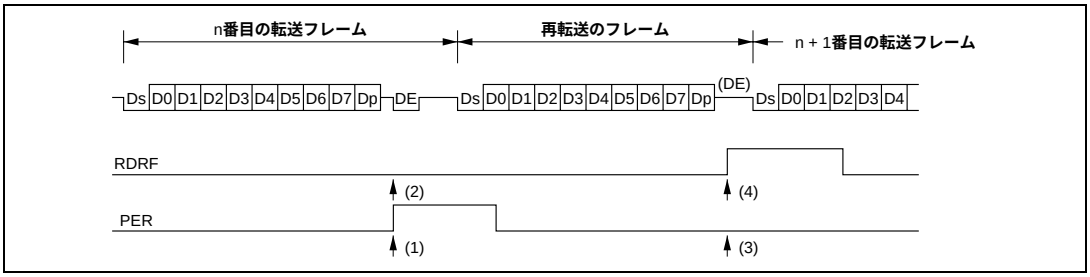


図 14.11　SCI **受信モードの場合の再転送動作**

(b)　SCI **が送信モードの場合の再転送動作**

SCI 送信モードの場合の再転送動作を**図** 14.12 に示します。

（6）　1フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SSRのERSビットが1にセットされます。このとき、SCRのRIEビットがイネーブルになっていれば、ERI割込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのERSビットを0にクリアしてください。

（7）　異常を示すエラーシグナルを受信したフレームでは、SSRのTENDビットはセットされません。

（8）　受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。

（9）　受信側からエラーシグナルが返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SSRのTENDビットが1にセットされます。このときSCRのTIEビットがイネーブルになっていれば、TXI割込み要求を発生します。
さらに、TXI要因によるDMA転送が許可されていれば、自動的にTDRに次のデータを書き込むことができます。DMACでTDRにデータを書き込んだ場合、TDREビットは自動的に0にクリアされます。

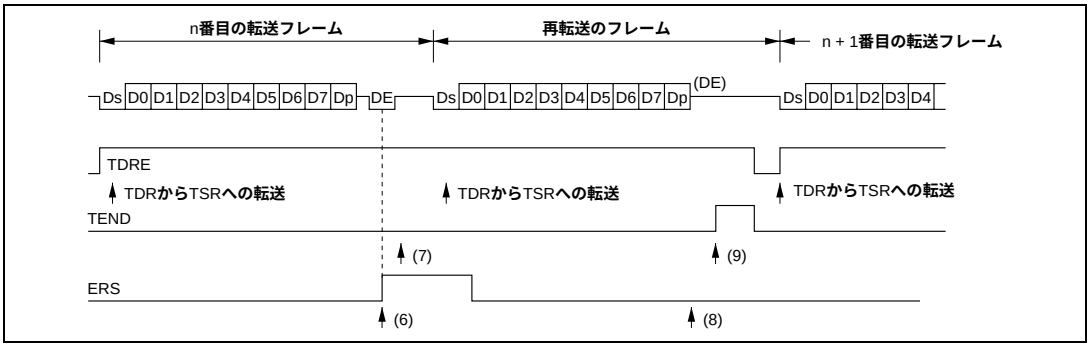


図 14.12　SCI **送信モードの場合の再転送動作**

15.　A/D 変換器

15.1　概要

本 LSI には、逐次比較方式で動作する 10 ビットの A/D 変換器が内蔵されており、最大 8 チャネルのアナログ入力を選択することができます。

消費電流低減のために A/D 変換器を使用しない場合には、A/D 変換器を単独に停止することができます。詳細は**「22.6　モジュールスタンバイ機能」**を参照してください。

15.1.1　特長

A/D 変換器の特長を以下に示します。

- 10 ビットの分解能
- 入力チャネル：8 チャネル
- アナログ変換電圧範囲の設定が可能
  リファレンス電圧端子（V_{REF}）をアナログ基準電圧としてアナログ変換電圧範囲を設定します。
- 高速変換
  変換時間：1チャネル当り最小7.4μs（18MHz動作時）
  　　1チャネル当り最小5.4μs（25MHz動作時）
- 単一モード／スキャンモードの 2 種類の動作モードから選択可能
  単一モード：1チャネルのA/D変換
  スキャンモード：1～4チャネルの連続A/D変換
- 4 本の 16 ビットデータレジスタ
  A/D変換された結果は、各チャネルに対応したデータレジスタに転送され、保持されます。
- サンプル＆ホールド機能
- 外部トリガ信号による、A/D 変換の開始が可能
- A/D 変換終了割込み要求を発生
  A/D変換終了時には、A/D変換終了割込み（ADI）要求を発生させることができます。

15.1.2　ブロック図

A/D 変換器のブロック図を**図** 15.1 に示します。

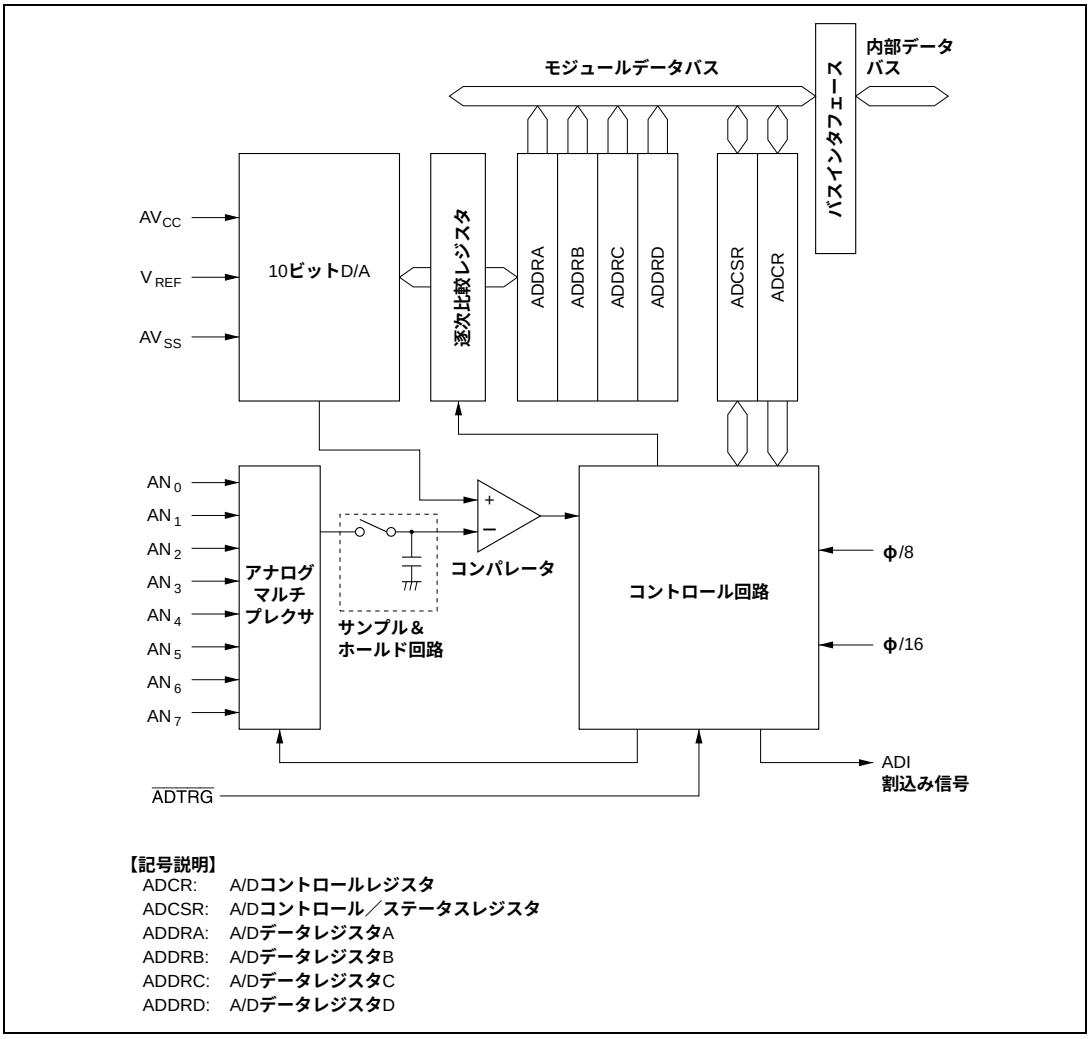


図 15.1　A/D **変換器のブロック図**

15.1.3 端子構成

A/D 変換器で使用する入力端子を**表** 15.1 に示します。

8 本のアナログ入力端子は 2 グループに分類されており、アナログ入力端子 0～3（AN_0～AN_3）がグループ 0、アナログ入力端子 4～7（AN_4～AN_7）がグループ 1 になっています。

AV_{CC}、AV_{SS}端子は、A/D 変換器内のアナログ部の電源です。V_{REF}端子は、A/D 変換基準電圧端子です。

表 15.1 **端子構成**

端子名	略　称	入出力	機　能
アナログ電源端子	AV_{CC}	**入力**	**アナログ部の電源**
アナロググランド端子	AV_{SS}	**入力**	**アナログ部のグランドおよび基準電圧**
リファレンス電圧端子	V_{REF}	**入力**	**アナログ部の基準電圧**
アナログ入力端子 0	AN_0	**入力**	**グループ** 0 **のアナログ入力**
アナログ入力端子 1	AN_1	**入力**	
アナログ入力端子 2	AN_2	**入力**	
アナログ入力端子 3	AN_3	**入力**	
アナログ入力端子 4	AN_4	**入力**	**グループ** 1 **のアナログ入力**
アナログ入力端子 5	AN_5	**入力**	
アナログ入力端子 6	AN_6	**入力**	
アナログ入力端子 7	AN_7	**入力**	
A/D **外部トリガ入力端子**	ADTRG	**入力**	A/D **変換開始のための外部トリガ入力**

15.1.4 レジスタ構成

A/D 変換器のレジスタ構成を**表** 15.2 に示します。

表 15.2 **レジスタ構成**

アドレス*1	**名　称**	**略　称**	R/W	**初期値**
H'FFE0	A/D **データレジスタ** AH	ADDRAH	R	H'00
H'FFE1	A/D **データレジスタ** AL	ADDRAL	R	H'00
H'FFE2	A/D **データレジスタ** BH	ADDRBH	R	H'00
H'FFE3	A/D **データレジスタ** BL	ADDRBL	R	H'00
H'FFE4	A/D **データレジスタ** CH	ADDRCH	R	H'00
H'FFE5	A/D **データレジスタ** CL	ADDRCL	R	H'00
H'FFE6	A/D **データレジスタ** DH	ADDRDH	R	H'00
H'FFE7	A/D **データレジスタ** DL	ADDRDL	R	H'00
H'FFE8	A/D **コントロール／ステータスレジスタ**	ADCSR	R/(W)*2	H'00
H'FFE9	A/D **コントロールレジスタ**	ADCR	R/W	H'7F

【注】 *1 **アドレスの下位** 16 **ビットを示しています。**

*2 **ビット** 7 **は、フラグをクリアするための** 0 **ライトのみ可能です。**

15.2　各レジスタの説明

15.2.1　A/D データレジスタ A～D（ADDRA～D）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRn：	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W　：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
（n＝A～D）	A/D変換データ A/D変換結果の10ビットデータを格納するビットです。										リザーブビット					

ADDR は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、ADDRA～ADDRD の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャネルの ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイトに、また下位 2 ビットが下位バイトに対応します。ADDR の下位バイトのビット 5～0 はリザーブビットで、リードすると常に 0 が読み出されます。アナログ入力チャネルと ADDR の対応を**表** 15.3 に示します。

ADDR は、常に CPU からリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ（TEMP）を介してデータ転送が行われます。詳細は**「**15.3　CPU **とのインタフェース」**を参照してください。

ADDR は、リセットまたはスタンバイモード時に、H'0000 にイニシャライズされます。

表 15.3　**アナログ入力チャネルと** ADDRA～ADDRD **の対応**

アナログ入力チャネル		A/D データレジスタ
グループ 0	グループ 1	
AN_0	AN_4	ADDRA
AN_1	AN_5	ADDRB
AN_2	AN_6	ADDRC
AN_3	AN_7	ADDRD

15.2.2　A/D コントロール／ステータスレジスタ（ADCSR）

ビット：	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値：	0	0	0	0	0	0	0	0
R/W　：	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャネルセレクト2〜0
アナログ入力チャネルを選択するビットです。

クロックセレクト
A/D**変換時間を選択するビットです。**

スキャンモード
単一モード／スキャンモードを選択するビットです。

A/D**スタート**
A/D**変換の開始/停止を選択するビットです。**

A/D**インタラプトイネーブル**
A/D**変換終了割込みの発生を許可/禁止するビットです。**

A/D**エンドフラグ**
A/D**変換の終了を示すビットです。**

【注】　＊　フラグをクリアするための0**ライトのみ可能です。**

ADCSR は、8 ビットのリード／ライト可能なレジスタで、モードの選択など A/D 変換器の動作を制御します。

ADCSR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7：A/D エンドフラグ（ADF）

A/D 変換の終了を示すステータスフラグです。

ビット 7 ADF	説　明
0	〔クリア条件〕　（初期値） ADF＝1 の状態で、ADF フラグをリードした後、ADF フラグに 0 をライトしたとき
1	〔セット条件〕 （1）単一モード：A/D 変換が終了したとき （2）スキャンモード：設定されたすべてのチャネルの A/D 変換が終了したとき

ビット 6：A/D インタラプトイネーブル（ADIE）

A/D 変換の終了による割込み（ADI）要求の許可／禁止を選択します。

ビット 6 ADIE	説　明
0	A/D 変換終了による割込み（ADI）要求を禁止　（初期値）
1	A/D 変換終了による割込み（ADI）要求を許可

ビット 5：A/D スタート（ADST）

A/D 変換の開始／停止を選択します。

A/D 変換中は 1 を保持します。また、ADST ビットは A/D 外部トリガ入力端子（ADTRG）により 1 にセットすることもできます。

ビット 5 ADST	説　明
0	A/D 変換を停止　（初期値）
1	（1）単一モード：A/D 変換を開始し、変換が終了すると自動的に 0 にクリア （2）スキャンモード：A/D 変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって 0 にクリアされるまで選択されたチャネルを順次連続変換

ビット 4：スキャンモード（SCAN）

A/D 変換のモードを、単一モード／スキャンモードから選択します。単一モード／スキャンモード時の動作については、**「15.4　動作説明」**を参照してください。モードの切換えは、ADST＝0 の状態で行ってください。

ビット 4 SCAN	説　明
0	単一モード　（初期値）
1	スキャンモード

ビット 3：クロックセレクト（CKS）

A/D 変換時間の設定を行います。
変換時間の切換えは、ADST＝0 の状態で行ってください。

ビット 3	説　明
CKS	
0	変換時間＝266 ステート（max）　（初期値）
1	変換時間＝134 ステート（max）

ビット 2〜0：チャネルセレクト 2〜0（CH2〜0）

SCAN ビットとともにアナログ入力チャネルを選択します。
チャネル選択と切換えは、ADST＝0 の状態で行ってください。

グループ選択	チャネル選択		説　明	
CH2	CH1	CH0	単一モード	スキャンモード
0	0	0	AN_0　（初期値）	AN_0
		1	AN_1	AN_0、AN_1
	1	0	AN_2	AN_0〜AN_2
		1	AN_3	AN_0〜AN_3
1	0	0	AN_4	AN_4
		1	AN_5	AN_4、AN_5
	1	0	AN_6	AN_4〜AN_6
		1	AN_7	AN_4〜AN_7

15.2.3　A/D コントロールレジスタ（ADCR）

(1)　H8/3048F、H8/3048ZTAT、H/3048 マスク ROM 品、H8/3047 マスク ROM 品、H8/3045 マスク ROM 品、H8/3044 マスク ROM 品の場合

ビット：	7	6	5	4	3	2	1	0
	TRGE	—	—	—	—	—	—	—
初期値：	0	1	1	1	1	1	1	1
R/W　：	R/W	—	—	—	—	—	—	—

リザーブビット

トリガイネーブル
外部トリガによるA/D変換の許可／禁止を選択するビットです。

ADCR は、8 ビットのリード／ライト可能なレジスタで、外部トリガ入力による A/D 変換の開始の許可／禁止を選択します。
ADCR は、リセットまたはスタンバイモード時、H'7F にイニシャライズされます。

ビット 7：トリガイネーブル（TRGE）

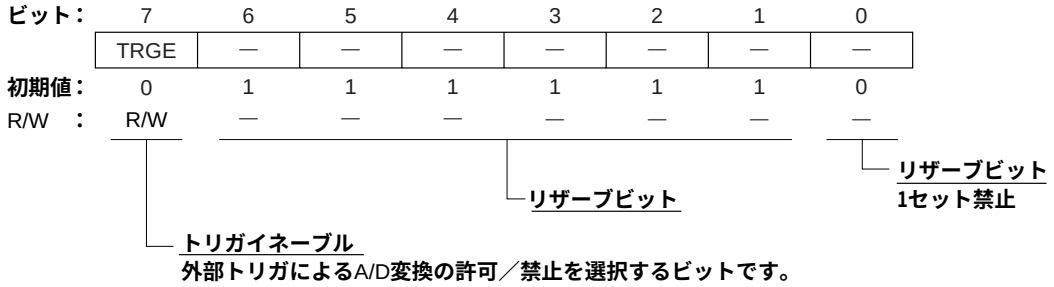
外部トリガ入力による A/D 変換の開始の許可／禁止を選択します。

ビット 7	説　明
TRGE	
0	**外部トリガ入力による A/D 変換の開始を禁止**　**（初期値）**
1	**外部トリガ端子（ADTRG）の立下がりエッジで A/D 変換を開始**

ビット 6～0：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

(2)　H8/3048F-ONE **の場合**



ADCR は、8 ビットのリード／ライト可能なレジスタで、外部トリガ入力による A/D 変換の開始の許可／禁止を選択します。

ADCR は、リセットまたはスタンバイモード時、H'7E にイニシャライズされます。

ビット 7：トリガイネーブル（TRGE）

外部トリガ入力による A/D 変換の開始の許可／禁止を選択します。

ビット 7	説　明
TRGE	
0	**外部トリガ入力による A/D 変換の開始を禁止**　**（初期値）**
1	**外部トリガ端子（ADTRG）の立下がりエッジで A/D 変換を開始**

ビット 6～1：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 0：リザーブビット

リザーブビットです。1 にセットしないでください。

15.3　CPU とのインタフェース

ADDRA～ADDRD はそれぞれ 16 ビットのレジスタですが、CPU との間のデータバスは 8 ビット幅です。そのため、CPU からのアクセスは上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ（TEMP）を介して行います。

ADDR からのデータのリードは、次のように行われます。上位バイトのリードで上位バイトの値は CPU へ､下位バイトの値は TEMP へ転送されます｡次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 15.2 に、ADDR のアクセス時のデータの流れを示します。

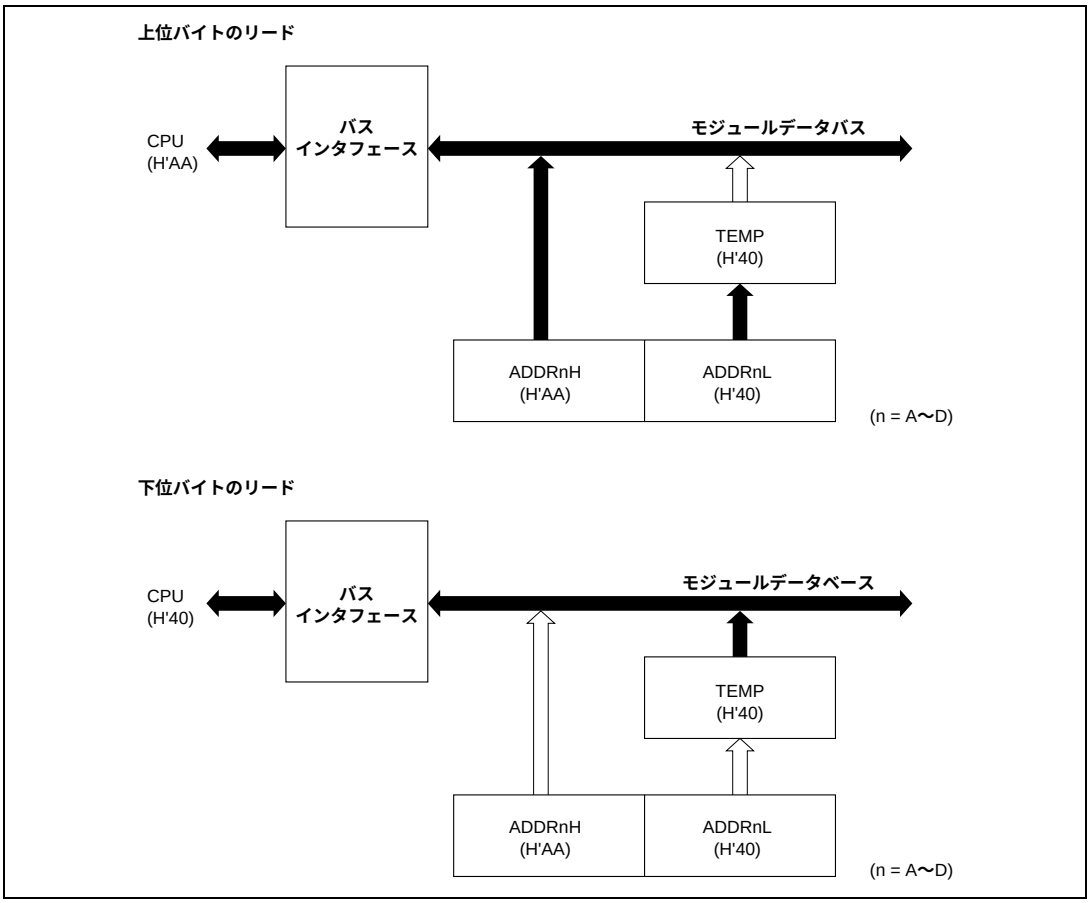


図 15.2　ADDR **のアクセス動作（**〔H'AA40〕**リード時）**

15.4　動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能をもっています。単一モードとスキャンモードの各モードの動作についての説明をします。

15.4.1　単一モード（SCAN＝0）

単一モードは、1 チャネルのみの A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割込み要求が発生します。

ADF フラグは、ADCSR をリードした後、0 をライトするとクリアされます。

A/D 変換中に、モードやアナログ入力チャネルの切換えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると（モードおよびチャネルの変更と ADST ビットのセットは、同時に行うことができます）、再び A/D 変換を開始します。

単一モードでチャネル 1（AN_1）が選択された場合の動作例を以下に示します。また、このときの動作タイミングを**図** 15.3 に示します。

（1）　動作モードを単一モードに（SCAN＝0）、入力チャネルをAN_1に（CH2＝CH1＝0、CH0＝1）、A/D割込み要求許可（ADIE＝1）に設定して、A/D変換を開始（ADST＝1）します。
（2）　A/D変換が終了すると、A/D変換結果がADDRBに転送されます。同時に、ADF＝1、ADST＝0となり、A/D変換器は変換待機となります。
（3）　ADF＝1、ADIE＝1となっているため、ADI割込み要求が発生します。
（4）　A/D割込み処理ルーチンが開始されます。
（5）　ADCSRをリードした後、ADFに0をライトします。
（6）　A/D変換結果（ADDRB）をリードして、処理します。
（7）　A/D割込み処理ルーチンの実行を終了します。
この後、ADSTビットを1にセットするとA/D変換が開始され（2）～（7）を行います。

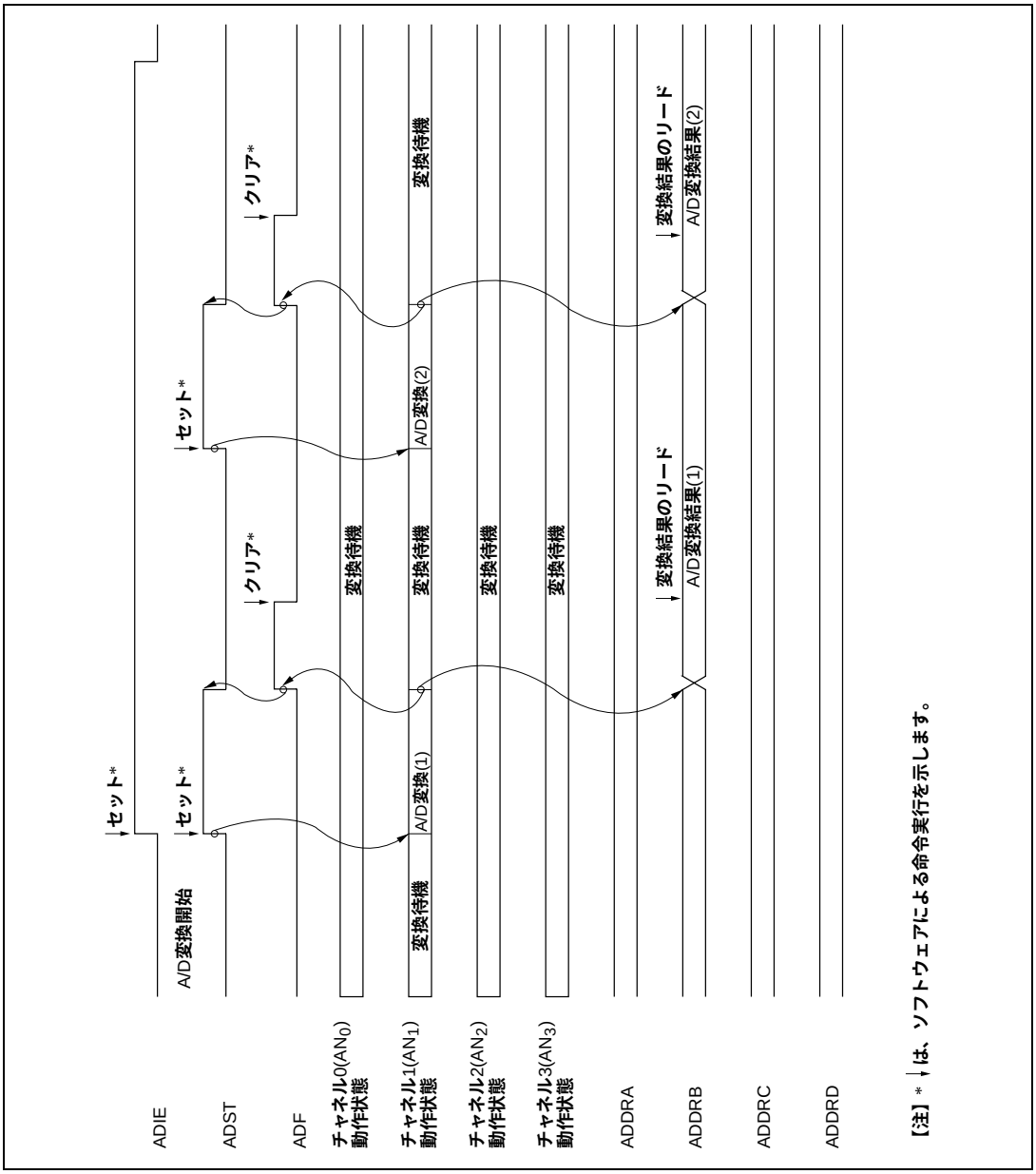


図 15.3　A/D **変換器の動作例（単一モード　チャネル** 1 **選択時）**

15.4.2 スキャンモード（SCAN＝1）

スキャンモードは、複数チャネル（1 チャネルを含む）のアナログ入力を常にモニタするような応用に適しています。A/D 変換はソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、グループの第 1 チャネル（CH2＝0 のとき AN_0、CH2＝1 のとき AN_4）から開始されます。

複数のチャネルが選択されている場合は、第 1 チャネルの変換が終了した後、ただちに第 2 チャネル（AN_1 または AN_5）の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャネル内を連続して繰り返し行います。変換された結果は、各チャネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャネルの切換えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると（モードおよびチャネルの変更と ADST ビットのセットは、同時に行うことができます）、第 1 チャネルが選択され、再び A/D 変換を開始します。

スキャンモードでグループ 0 の 3 チャネル（AN_0～AN_2）を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを**図** 15.4 に示します。

（1） 動作モードをスキャンモードに（SCAN＝1）、スキャングループをグループ0に（CH2＝0）、アナログ入力チャネルをAN_0～AN_2（CH1＝1、CH0＝0）に設定してA/D変換を開始（ADST＝1）します。

（2） 第1チャネル（AN_0）のA/D変換が開始され、A/D変換が終了すると、変換結果をADDRAに転送します。
次に第2チャネル（AN_1）が自動的に選択され、変換を開始します。

（3） 同様に第3チャネル（AN_2）まで変換を行います。

（4） 選択されたすべてのチャネル（AN_0～AN_2）の変換が終了すると、ADF＝1となり、再び第1チャネル（AN_0）を選択し、変換が行われます。
このときADIEビットが1にセットされていると、A/D変換終了後、ADI割込みを発生します。

（5） ADSTビットが1にセットされている間は、（2）～（4）を繰り返します。
ADSTビットを0にクリアするとA/D変換が停止します。この後、ADSTビットを1にセットすると再びA/D変換を開始し、第1チャネル（AN_0）から変換が行われます。

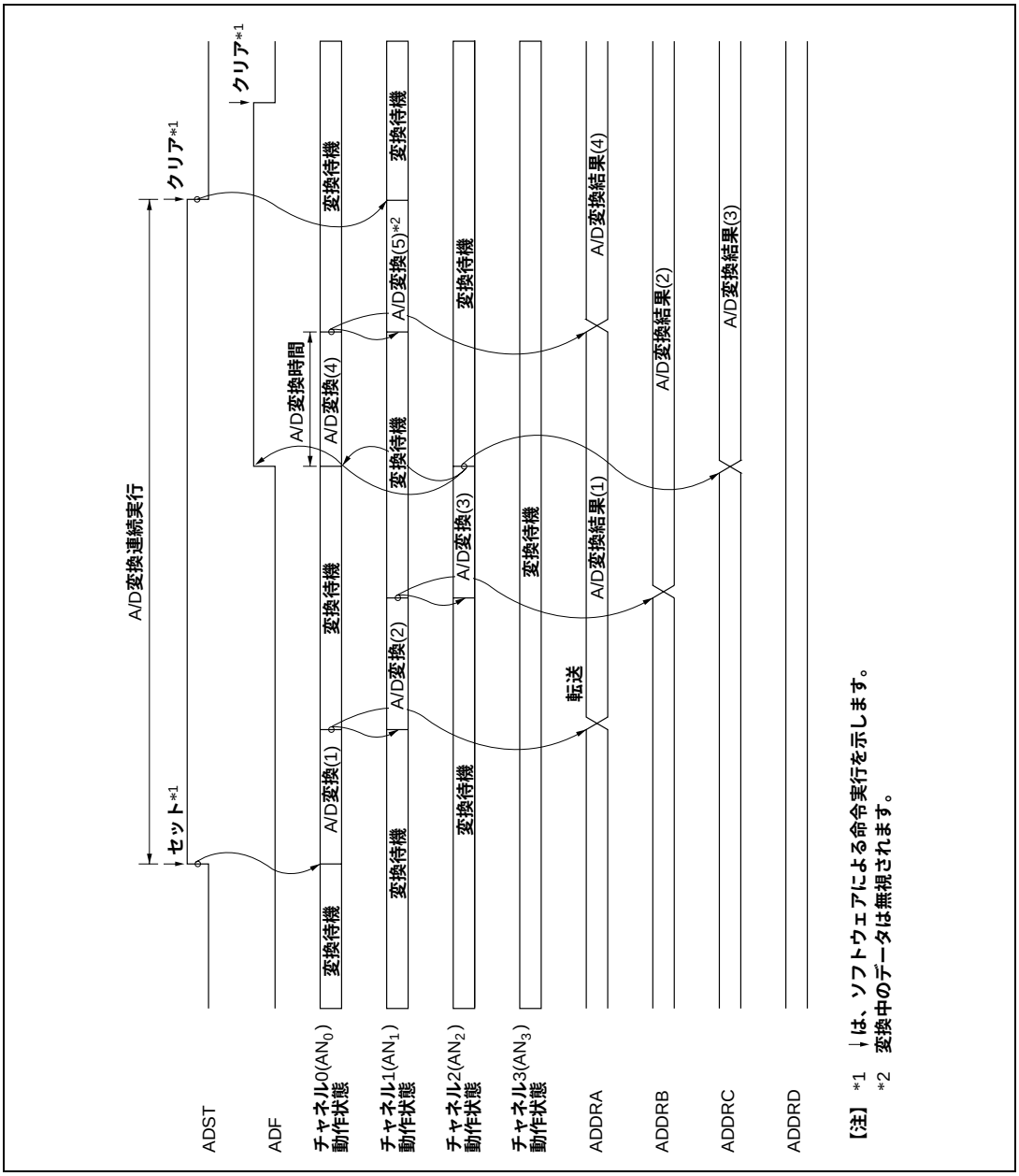


図 15.4　A/D **変換器の動作例（スキャンモード** AN_0**～**AN_2**の** 3 **チャネル選択時）**

15.4.3　入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル＆ホールド回路が内蔵されています。A/D 変換器は、ADST ビットが 1 にセットされてから t_D時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを**図** 15.5 に示します。また、A/D 変換時間を**表** 15.4 に示します。

A/D 変換時間は、**図** 15.5 に示すように、t_Dと入力サンプリング時間を含めた時間となります。ここで t_Dは、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は**表** 15.4 に示す範囲で変化します。

スキャンモードの変換時間は、**表** 15.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は CKS＝0 の場合は 256 ステート（固定）、CKS＝1 の場合は 128 ステート（固定）となります。

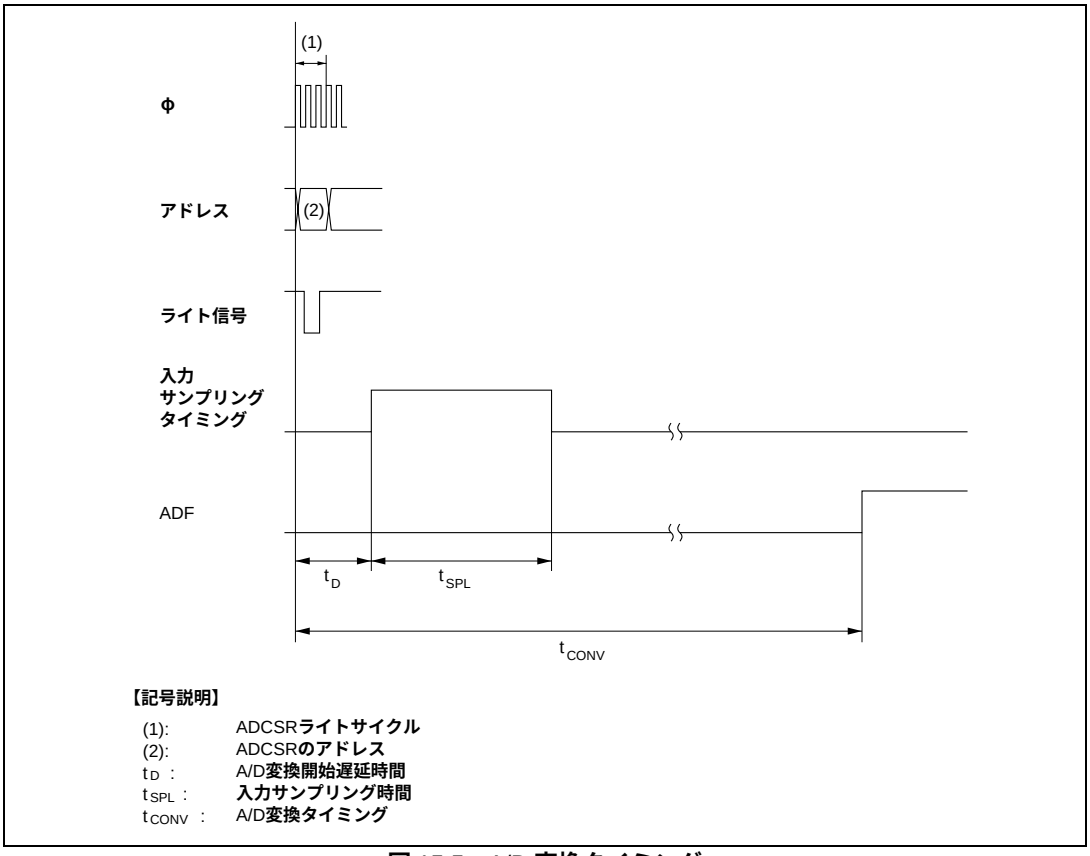


図 15.5　A/D **変換タイミング**

表 15.4　A/D **変換時間（単一モード）**

	記　号	CKS＝0			CKS＝1		
		min	typ	max	min	typ	max
A/D **変換開始遅延時間**	t_D	10	―	17	6	―	9
入力サンプリング時間	t_{SPL}	―	63	―	―	31	―
A/D **変換時間**	t_{CONV}	259	―	266	131	―	134

【注】　表中の数値の単位はステートです。

15.4.4　外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGE ビットが 1 にセットされているとき、ADTRG 端子から入力されます。ADTRG 入力端子の立下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、単一モード／スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを**図** 15.6 に示します。

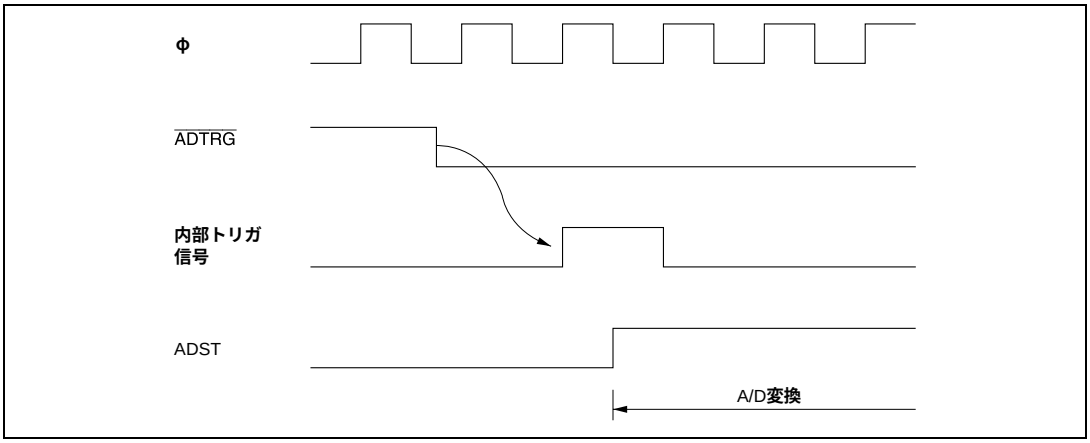


図 15.6　**外部トリガ入力タイミング**

15.5 割込み

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割込み（ADI）を発生します。
ADI 割込み要求は、ADCSR の ADIE ビットで許可／禁止することができます。

15.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

（1） アナログ入力電圧の範囲
A/D変換中、アナログ入力端子AN_nに印加する電圧は$AV_{SS} \leqq AN_n \leqq V_{REF}$の範囲としてください。

（2） AV_{CC}、AV_{SS}とV_{CC}、V_{SS}の関係
AV_{CC}、AV_{SS}とV_{CC}、V_{SS}との関係は、$AV_{SS}=V_{SS}$とし、さらに、A/D変換器を使用しないときも、AV_{CC}、AV_{SS}端子を決してオープンにしないでください。

（3） V_{REF}の設定範囲
V_{REF}端子によるリファレンス電圧の設定範囲は$V_{REF} \leqq AV_{CC}$にしてください。

（4） アナログ電源電圧について
A/D変換器を使用する場合、電源電圧を以下の関係に従って設定してください。
（1）$V_{CC} \geqq AV_{CC} - 0.3V$
（2）$AV_{CC} \geqq V_{REF} \geqq AN_n \geqq AV_{SS} = V_{SS}$
（n=0～7）

【注】 ZTAT **版のみの制限事項です。**ZTAT **の** S **マスク版、フラッシュメモリ版およびマスク** ROM **版では通常の使用が可能であり、制限はありません。**

以上（1）、（2）、（3）、（4）のことが守られない場合、LSI の信頼性に悪影響を及ぼすことがあります。

（5） ボード設計上の注意
ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D変換値に悪影響を及ぼします。
なお、アナログ入力信号（AN_0～AN_7）、アナログ基準電源（V_{REF}）、アナログ電源（AV_{CC}）は、アナロググランド（AV_{SS}）で、デジタル回路を必ず分離してください。さらに、アナロググランド（AV_{SS}）は、ボード上の安定したデジタルグランド（V_{SS}）に一点接続してください。

（6） ノイズ対策上の注意
アナログ入力端子（AN_0～AN_7）、アナログ基準電源（V_{REF}）に、過大なサージなど異常電圧による破壊を防ぐために接続する保護回路は、**図**15.7に示すようにAV_{CC}－AV_{SS}間に接続してください。
また、AV_{CC}、V_{REF}に接続するバイパス・コンデンサ、AN_0～AN_7に接続するフィルタのコンデンサは、必ずAV_{SS}に接続してください。
なお、**図**15.7のようにフィルタ用のコンデンサを接続するとアナログ入力端子（AN_0～AN_7）

の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモード等で頻繁にA/D変換を行う場合、A/D変換器内部のサンプル＆ホールド回路の容量に充放電される電流が入力インピーダンス（R_{in}）を経由して入力される電流を上回るとアナログ入力端子の電圧に誤差を生じます。したがって回路定数の決定については、十分ご検討くださいますようお願いいたします。

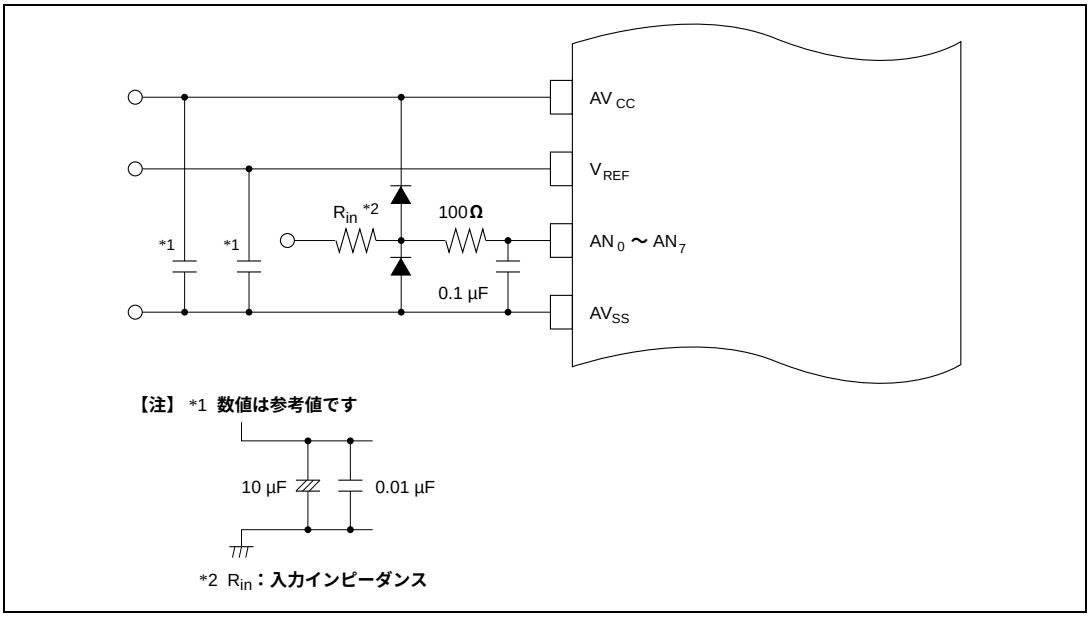


図 15.7　**アナログ入力保護回路の例**

表 15.5　**アナログ端子の規格**

項　目	min	max	単位
アナログ入力容量	－	20	pF
許容信号源インピーダンス	－	10*	kΩ

【注】 ＊　V_{cc}＝4.0～5.5V、φ≦12MHz **の場合**

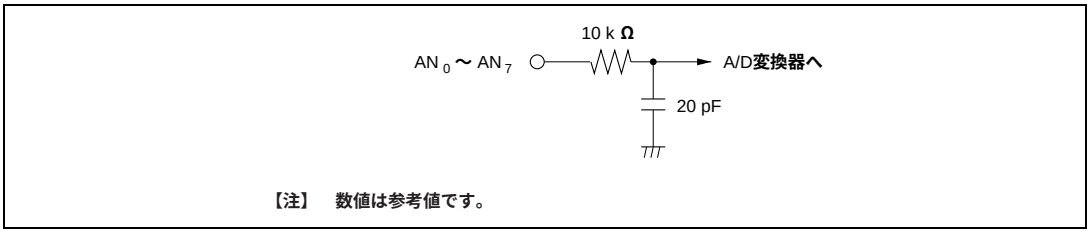


図 15.8　**アナログ入力端子等価回路**

（7） A/D変換精度の定義：
以下に、本LSIのA/D変換精度の定義を示します。

- 分解能 ：A/D 変換器のデジタル出力コード数
- オフセット誤差 ：デジタル出力が最小電圧値 0000000000 から 0000000001 に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差（**図** 15.10）
- フルスケール誤差：デジタル出力が 1111111110 から 1111111111 に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差（**図** 15.10）
- 量子化誤差 ：A/D 変換器が本質的に有する偏差であり、1／2LSB で与えられる（**図** 15.9）
- 非直線性誤差 ：ゼロ電圧からフルスケール電圧までの間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- 絶対精度 ：デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

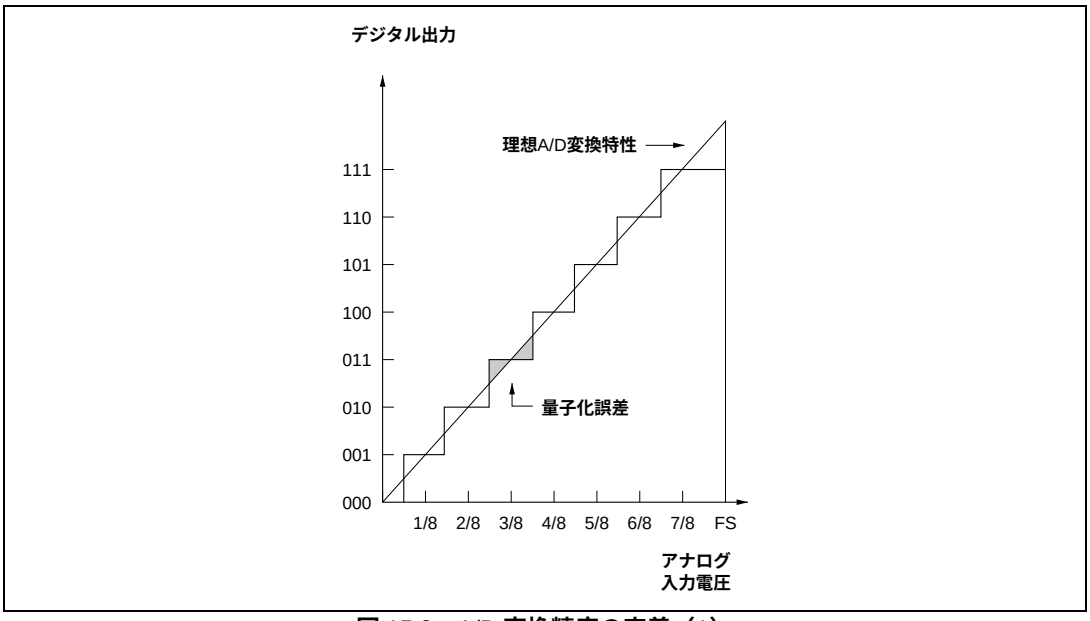


図 15.9 A/D **変換精度の定義（**1**）**

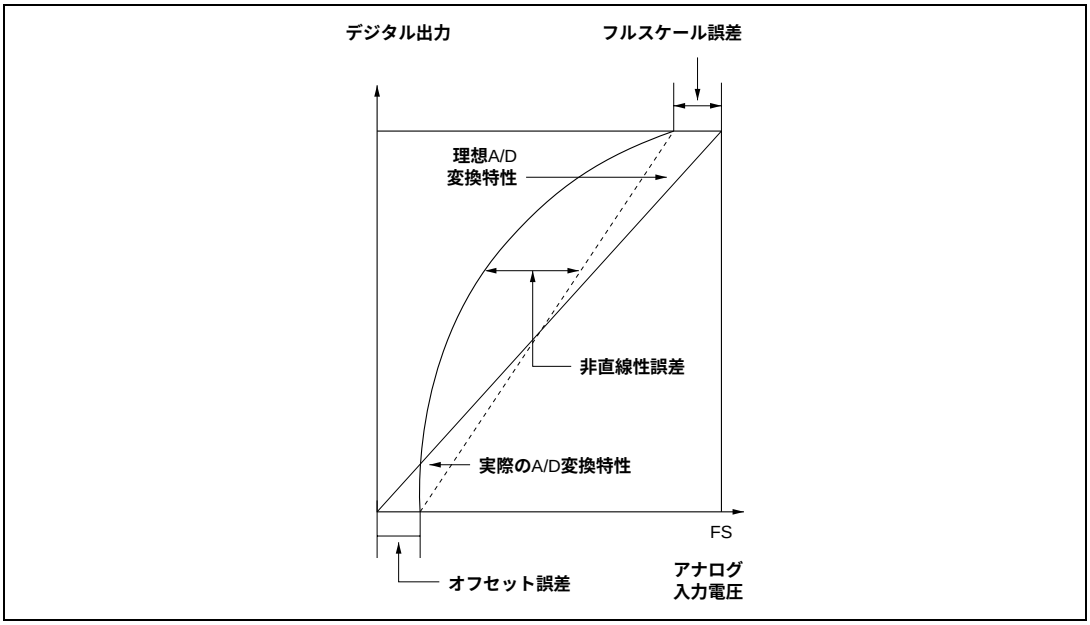


図 15.10　A/D **変換精度の定義**（2）

（8）　許容信号源インピーダンスについて
本LSIのアナログ入力は、信号源インピーダンスが10kΩ以下の入力信号に対し、変換精度が保証される設計となっております。これはA/D変換器のサンプル＆ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが10kΩを越える場合充電不足が生じ、A/D変換精度が保証できなくなる場合があります。
単一モードで変換を行う場合で外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の10kΩだけになりますので信号源インピーダンスは不問となります。
ただし、この場合ローパスフィルターとなりますので、微分係数の大きなアナログ信号（例えば電圧の変動率が5mV／μs以上）には追従できない場合があります（**図**15.11）。
高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

（9）　絶対精度への影響について
容量を付加することにより、GNDとのカップリングを受けることになりますので、GNDにノイズがあると絶対精度が悪化する可能性があります。必ずAV_{SS}等の電気的に安定なGNDに接続してください。
またフィルター回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意が必要です。

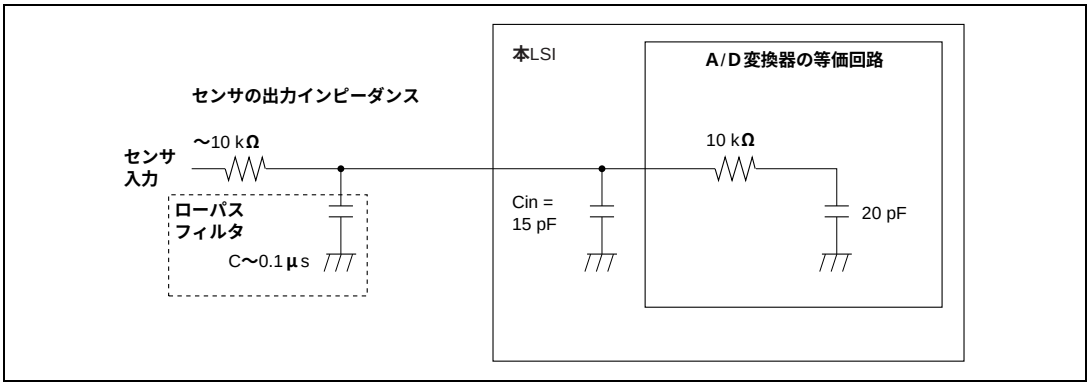


図 15.11　**アナログ入力回路の例**

16. D/A 変換器

16.1 概要

本 LSI には 2 チャネルの D/A 変換器が内蔵されています。

16.1.1 特長

D/A 変換器の特長を以下に示します。

- 8 ビットの分解能
- 2 チャネル出力
- 変換時間最大 10μs（負荷容量 20pF 時）
- 出力電圧 0V～V_{REF}
- ソフトウェアスタンバイ時の D/A 出力保持機能

16.1.2 ブロック図

D/A 変換器のブロック図を**図** 16.1 に示します。

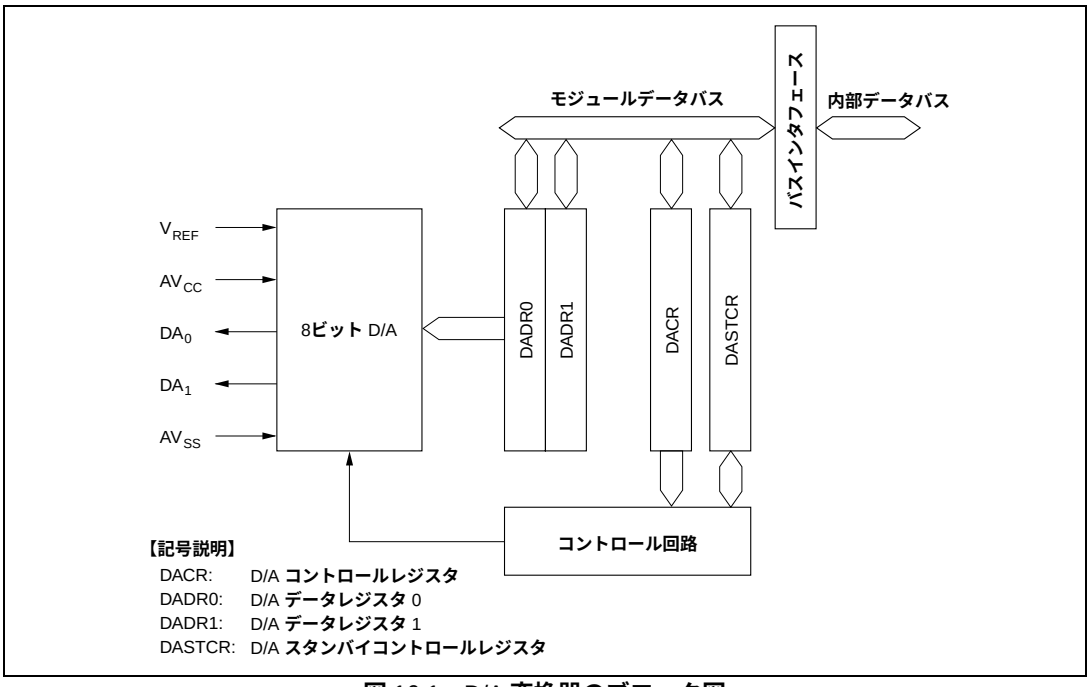


図 16.1 D/A **変換器のブロック図**

16.1.3 端子構成

D/A 変換器で使用する入出力端子を**表** 16.1 に示します。

表 16.1 **端子構成**

端子名	略 称	入出力	機 能
アナログ電源端子	AV_{CC}	入力	アナログ部の電源および基準電圧
アナロググランド端子	AV_{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA_0	出力	チャネル 0 のアナログ出力
アナログ出力端子 1	DA_1	出力	チャネル 1 のアナログ出力
リファレンス電圧端子	V_{REF}	入力	アナログ部の基準電圧

16.1.4 レジスタ構成

D/A 変換器でレジスタ構成を**表** 16.2 に示します。

表 16.2 **レジスタ構成**

アドレス*	名 称	略 称	R/W	初期値
H'FFDC	D/A データレジスタ 0	DADR0	R/W	H'00
H'FFDD	D/A データレジスタ 1	DADR1	R/W	H'00
H'FFDE	D/A コントロールレジスタ	DACR	R/W	H'1F
H'FF5C	D/A スタンバイコントロールレジスタ	DASTCR	R/W	H'FE

【注】 * アドレスの下位 16 ビットを示します。

16.2　各レジスタの説明

16.2.1　D/A データレジスタ 0、1（DADR0、1）

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A データレジスタ 0、1（DADR0、1）は、変換を行うデータを格納するリード／ライト可能な 8 ビットのレジスタです。

アナログ出力を許可すると、DADR の値が常に変換され、アナログ出力端子に出力されます。

DADR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

16.2.2　D/A コントロールレジスタ（DACR）

ビット：	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	—	—	—	—	—
初期値：	0	0	0	1	1	1	1	1
R/W　：	R/W	R/W	R/W	—	—	—	—	—

D/A**イネーブル**
D/A**変換を制御するビットです。**

D/A**アウトプットイネーブル**0
D/A**変換とアナログ出力を制御するビットです。**

D/A**アウトプットイネーブル**1
D/A**変換とアナログ出力を制御するビットです。**

DACR は、8 ビットのリード／ライト可能なレジスタで、D/A 変換器の動作を制御します。

DACR は、リセットまたはスタンバイモード時に、H'1F にイニシャライズされます。

ビット 7：D/A アウトプットイネーブル 1（DAOE1）

D/A 変換とアナログ出力を制御します。

ビット 7	説　明
DAOE1	
0	アナログ出力 DA_1 を禁止　（初期値）
1	チャネル 1 の D/A 変換を許可。アナログ出力 DA_1 を許可

ビット 6：D/A アウトプットイネーブル 0（DAOE0）

D/A 変換とアナログ出力を制御します。

ビット 6	説　明
DAOE0	
0	アナログ出力 DA_0 を禁止　（初期値）
1	チャネル 0 の D/A 変換を許可。アナログ出力 DA_0 を許可

ビット 5：D/A イネーブル（DAE）

DAOE0、DAOE1 とともに、D/A 変換を制御します。DAE ビットが 0 にクリアされているときチャネル 0、1 の D/A 変換は独立に制御され、DAE ビットが 1 にセットされているときチャネル 0、1 の D/A 変換は一括して制御されます。

変換結果を出力するか否かは、DAOE0、DAOE1 により、常に独立に制御されます。

ビット 7	ビット 6	ビット 5	説　明
DAOE1	DAOE0	DAE	
0	0	－	チャネル 0、1 の D/A 変換を禁止
	1	0	チャネル 0 の D/A 変換を許可 チャネル 1 の D/A 変換を禁止
		1	チャネル 0、1 の D/A 変換を許可
1	0	0	チャネル 0 の D/A 変換を禁止 チャネル 1 の D/A 変換を許可
		1	チャネル 0、1 の D/A 変換を許可
	1	－	チャネル 0、1 の D/A 変換を許可

DAE ビットを 1 にセットすると、DACR の DAOE0、1 ビット、ADCSR の ADST ビットが 0 にクリアされていても、アナログ電源電流は A/D、D/A 変換中と同等になります。

ビット 4～0：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

16.2.3　D/A スタンバイコントロールレジスタ（DASTCR）

DASTCR は 8 ビットのリード／ライト可能なレジスタで、ソフトウェアスタンバイモードでの D/A の出力を許可または禁止します。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DASTE
初期値：	1	1	1	1	1	1	1	0
R/W　：	—	—	—	—	—	—	—	R/W

リザーブビット

D/A**スタンバイイネーブル**
ソフトウェアスタンバイモードでのD/A**出力を許可または禁止するビットです。**

DASTCR はリセット、またはハードウェアスタンバイモード時に、H'FE にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7〜1**：リザーブビット**

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 0**：**D/A **スタンバイイネーブル**（DASTE）

ソフトウェアスタンバイモードでの D/A 出力を許可または禁止します。

ビット 0 DASTE	**説　明**
0	**ソフトウェアスタンバイモードでの** D/A **出力を禁止**　**（初期値）**
1	**ソフトウェアスタンバイモードでの** D/A **出力を許可**

16.3　動作説明

D/A 変換器は、2 チャネルの D/A 変換回路を内蔵し、それぞれ独立に変換を行うことができます。

DACR によって D/A 変換が許可されている期間は常に D/A 変換が行われています。DADR0、1 を書き換えるとただちに、新しいデータが変換されます。DAOE0、1 ビットを 1 にセットすることにより、変換結果が出力されます。

チャネル 0 の D/A 変換を行う場合の動作例を示します。動作タイミングを**図** 16.2 に示します。

（1）　DADR0に変換データをライトします。

（2）　DACRのDAOE0ビットを1にセットします。D/A変換が開始され、DA_0端子が出力端子になります。変換時間経過後に変換結果が出力されます。出力値は$\frac{\text{DADRの内容}}{256}\times V_{REF}$です。
次にDADR0を書き換えるか、DAOE0ビットを0にクリアするまでこの変換結果が出力され続けます。

（3）　DADR0を書き換えるとただちに変換が開始されます。変換時間経過後に変換結果が出力されます。

（4）　DAOE0ビットを0にクリアすると、DA_0端子は入力端子になります。

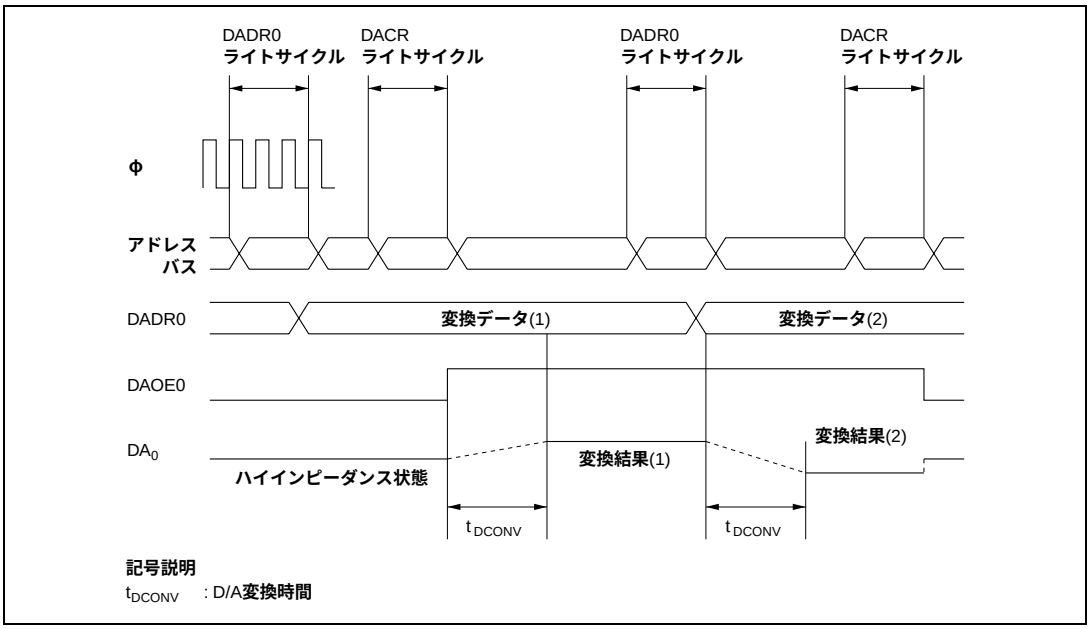


図 16.2　D/A **変換器の動作例**

16.4　D/A 出力制御

本 LSI は、ソフトウェアスタンバイモードで D/A 変換器の出力を許可または禁止することができます。

DASTCR の DASTE ビットを 1 にセットすると、ソフトウェアスタンバイモードにおいても D/A 変換器の出力が許可されます。このとき、D/A 変換器のレジスタはソフトウェアスタンバイモードに遷移する直前の値を保持します。

なお、ソフトウェアスタンバイモードで D/A 出力を許可した場合、リファレンス電源電流は動作時と同じとなります。

16.5　使用上の注意

D/A 変換器を使用する際は、以下のことに注意してください。

(1)　アナログ電源電圧について

D/A 変換器を使用する場合は、電源電圧を以下の関係に従って設定してください。

（1）　$V_{CC} \geqq AV_{CC} - 0.3$ V
（2）　$AV_{CC} \geqq V_{REF} \geqq ANn \geqq AV_{SS} = V_{SS}$
　　（n＝0～7）

【注】　ZTAT 版のみの制限事項です。ZTAT の S マスク版、フラッシュメモリ版およびマスク ROM 版では、通常の使用が可能であり制限はありません。

17.　RAM

17.1　概要

H8/3048、H8/3047 は 4k バイト、H8/3044、H8/3045 は 2k バイトのスタティック RAM を内蔵しています。RAM は CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず 2 ステートで行われます。したがって、データの高速転送が可能です。

H8/3048、H8/3047 の内蔵 RAM は、モード 1、2、5、7 のとき H'FEF10～H'FFF0F に、モード 3、4、6 のとき H'FFEF10～H'FFFF0F に割り当てられています。

H8/3044、H8/3045 の内蔵 RAM は、モード 1、2、5、7 のとき H'FF710～H'FFF0F に、モード 3、4、6 のとき H'FFF710～H'FFFF0F に割り当てられています。システムコントロールレジスタ（SYSCR）の RAM イネーブル（RAME）ビットにより内蔵 RAM 有効／無効の制御を行います。

17.1.1　ブロック図

RAM のブロック図を**図** 17.1 に示します。

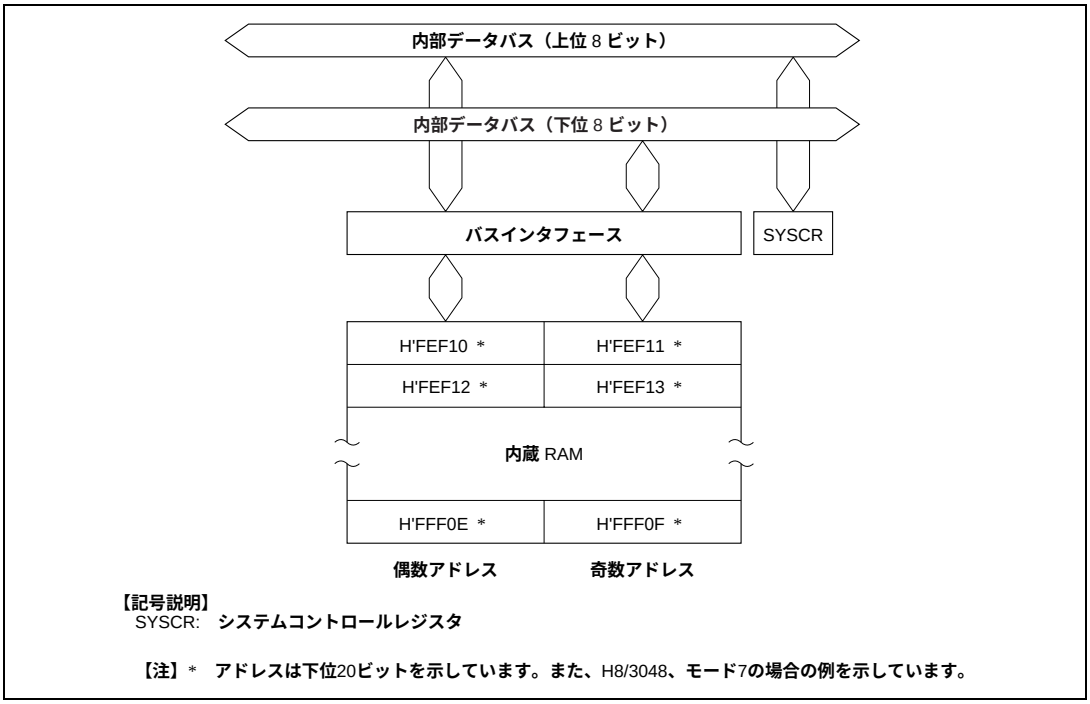


図 17.1　RAM **のブロック図**

17.1.2　レジスタ構成

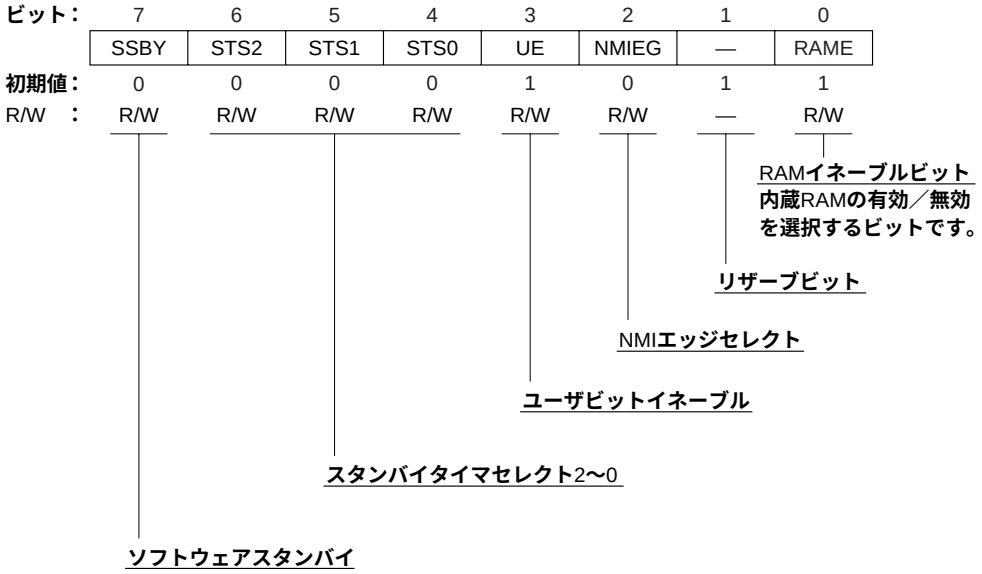
内蔵 RAM は、SYSCR で制御されます。
SYSCR のアドレスと初期値を**表** 17.1 に示します。

表 17.1　**レジスタ構成**

アドレス＊	**名　称**	**略　称**	R/W	**初期値**
H'FFF2	**システムコントロールレジスタ**	SYSCR	R/W	H'0B

【注】　＊　**アドレスは下位** 16 **ビットを示しています。**

17.2　システムコントロールレジスタ（SYSCR）



SYSCR は、内蔵 RAM へのアクセスを許可／禁止するレジスタです。内蔵 RAM は SYSCR の RAME ビットにより有効／無効が選択されます。なお、SYSCR のその他のビットについての詳細は**「**3.3 **システムコントロールレジスタ」**を参照してください。

ビット 0**：**RAM **イネーブル**（RAME）

内蔵 RAM の有効または無効を選択します。RAME ビットは RES 端子の立上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 0 RAME	**説　明**
0	**内蔵** RAM **無効**
1	**内蔵** RAM **有効**　**（初期値）**

17.3 動作説明

RAME ビットを 1 にセットすると内蔵 RAM が有効になります。H8/3048、H8/3047 では、モード 1、2、5、7 のとき H'FEF10～H'FFF0F を、モード 3、4、6 のとき H'FFEF10～H'FFFF0F をアクセスすると内蔵 RAM がアクセスされます。H8/3044、H8/3045 では、モード 1、2、5、7 のとき H'FF710～H'FFF0F を、モード 3、4、6 のとき H'FFF710～H'FFFF0F をアクセスすると内蔵 RAM がアクセスされます。また、モード 1～6（拡張モード）では RAME ビットが 0 にクリアされているときは、外部アドレス空間がアクセスされます。モード 7（シングルチップモード）では、RAME ビットが 0 にクリアされているときは、内蔵 RAM はアクセスされません。リードすると常に H'FF がリードされ、ライトは無効です。

RAM は CPU と内部 16 ビットデータバスで接続されており、ワード単位のリード／ライトが可能です。また、バイト単位のリード／ライトも可能です。

バイトデータは、データバス上位 8 ビットを使い 2 ステートでアクセスされ、また、偶数番地から始まるワードデータはデータバス 16 ビットを使い 2 ステートでアクセスできます。

18.　ROM（H8/3048ZTAT、マスク ROM 内蔵品）

18.1　概要

H8/3048 は 128k バイト、H8/3047 は 96k バイト、H8/3045 は 64k バイト、H8/3044 は 32k バイトの ROM を内蔵しています。ROM は、CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、リードデータにかかわらず 2 ステートで行われます。したがって、データの高速転送が可能です。

内蔵 ROM の有効または無効の設定は表 18.1 に示すように、モード端子（MD_2～MD_0）により設定します。

表 18.1　動作モードと ROM

モード名	モード端子			内蔵 ROM
	MD2	MD1	MD0	
モード 1（内蔵 ROM 無効拡張 1M バイトモード）	0	0	1	無効（外部アドレス）
モード 2（内蔵 ROM 無効拡張 1M バイトモード）		1	0	
モード 3（内蔵 ROM 無効拡張 16M バイトモード）			1	
モード 4（内蔵 ROM 無効拡張 16M バイトモード）	1	0	0	
モード 5（内蔵 ROM 有効拡張 1M バイトモード）			1	有効
モード 6（内蔵 ROM 有効拡張 16M バイトモード）		1	0	
モード 7（シングルチップモード）			1	

なお、PROM 版（H8/3048 ZTAT）は、PROM モードに設定することにより汎用 PROM ライタを用いて、自由にプログラムの書込みができます。

【注】　フラッシュメモリを内蔵した H8/3048F-ONE から、マスク ROM 内蔵品（H8/3048、H8/3047、H8/3045、H8/3044）に切り替える際には、注意が必要です。（詳細は、「1.4.5　マスク ROM 品切り替えの際の注意点」を参照してください。）

18.1.1　ブロック図

ROM のブロック図を図 18.1 に示します。

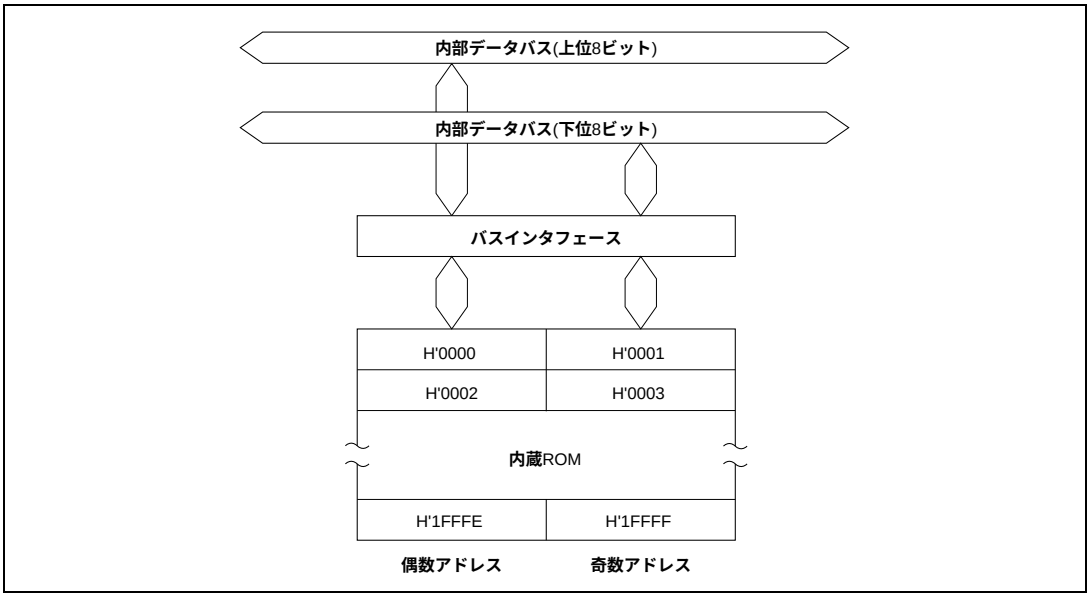


図 18.1　ROM のブロック図（H8/3048、モード 7 の場合）

18.2　PROM モード

18.2.1　PROM モードの設定

H8/3048 の PROM 版（H8/3048ZTAT）の場合、PROM モードに設定するとマイクロコンピュータとしての機能が停止して、HN27C101 と同一の方法で内蔵 PROM のプログラムを行うことができます。ただし、ページプログラミング方式はサポートしていません。PROM モードの設定方法を表 18.2 に示します。

表 18.2　PROM モード設定

端子名	設定
モード端子（MD_2、MD_1、MD_0）の 3 端子	Low レベル
STBY 端子	
$P5_1$、$P5_0$ 端子	High レベル

18.2.2　ソケットアダプタの端子対応とメモリマップ

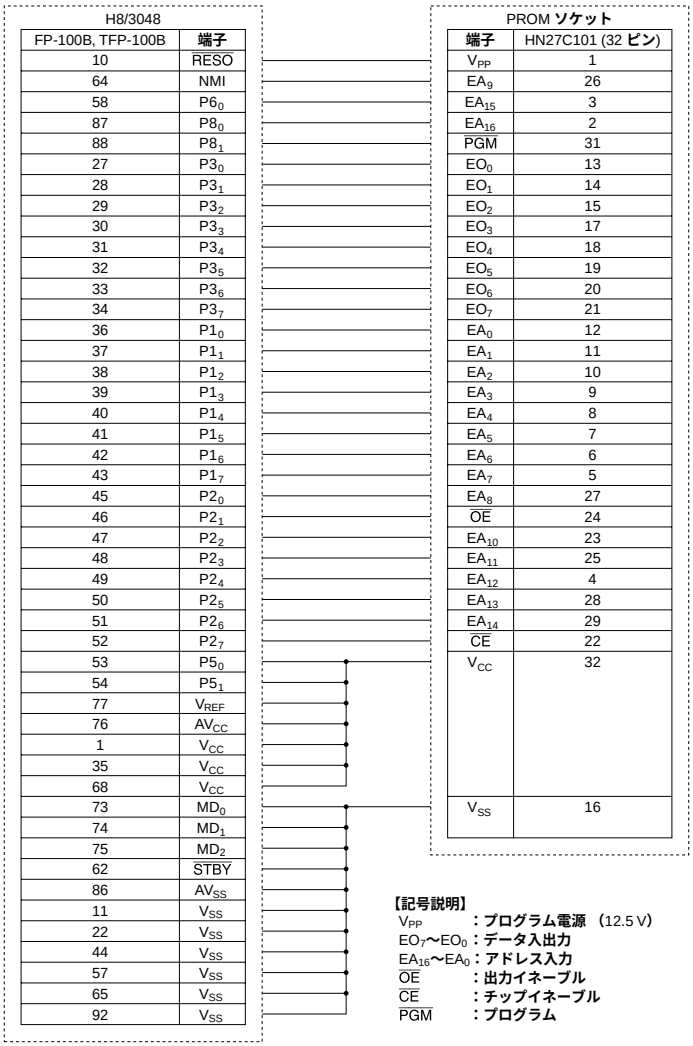
PROM のプログラムは、表 18.3 で示すように各パッケージに対応した、ソケットアダプタを付けて 32 ピンに変換し、汎用 PROM ライタで行います。ソケットアダプタの端子対応図を図 18.2 に示します。また、メモリマップを図 18.3 に示します。

表 18.3　ソケットアダプタ

製品名	パッケージ名	ソケットアダプタの型名
H8/3048	100 ピン QFP（FP-100B）	HS3042ESHS1H
	100 ピン TQFP（TFP-100B）	HS3042ESNS1H

H8/3048 の PROM の容量は、128k バイトです。PROM モードのときのメモリマップを図 18.3 に示します。内蔵 PROM 内の未使用のアドレス領域のデータは、H'FF としてください。

H8/3048 を PROM ライタでプログラムする際に、アドレスは H'00000～H'1FFFF に設定してください。



【注】図中に記載されていない端子はすべてオープンにしてください。本図は、端子対応を示すもので、ソケットアダプタの全回路を示すものではありません。新規に設計をする場合は、高速CMOS LSIとしての基板設計（電源電圧安定化、ノイズ対策など）が必要です。

図 18.2　ソケットアダプタの端子対応図

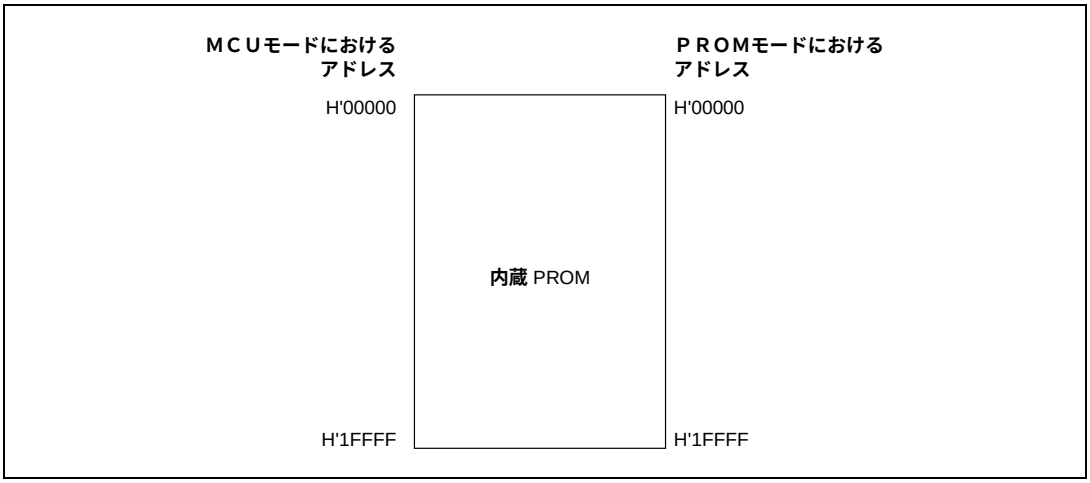


図 18.3　H8/3048ZTAT の PROM モード時のメモリマップ

18.3　PROM のプログラミング

PROM モード時の書込み、ベリファイなどのモード選択は、表 18.4 に示すような設定によって行います。

表 18.4　PROM モード時のモード選択

ピン / モード	CE	OE	PGM	V_{PP}	V_{CC}	EO_7〜EO_0	EA_{16}〜EA_0
書込み	L	H	L	V_{PP}	V_{CC}	データ入力	アドレス入力
ベリファイ	L	L	H	V_{PP}	V_{CC}	データ出力	アドレス入力
プログラミング禁止	L	L	L	V_{PP}	V_{CC}	ハイインピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

【記号説明】
L：　Low レベル
H：　High レベル
V_{PP}：V_{PP} レベル
V_{CC}：V_{CC} レベル

なお、書込み・読出しは標準の EPROM HN27C101 と同じ仕様になっています。

ただし、ページプログラミング方式はサポートしていませんので、ページプログラミングモードに設定しないでください。ページプログラミングモードのみをサポートしている PROM ライタは使用できません。PROM ライタを選択する場合には、1 バイト毎の高速プログラミングモードをサポートしていることを確認してください。また、アドレスは必ず H'00000〜H'1FFFF に設定してください。

18.3.1　書込み／ベリファイ

書込み／ベリファイは効率のよい高速プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書込みデータの信頼性を損なうことなく高速に書込みを行うことができます。未使用のアドレス領域のデータは H'FF です。

高速プログラミングの基本的なフローを**図** 18.4 に示します。

また、プログラミング時の電気的特性を**表** 18.5、**表** 18.6 に、タイミングを**図** 18.5 に示します。

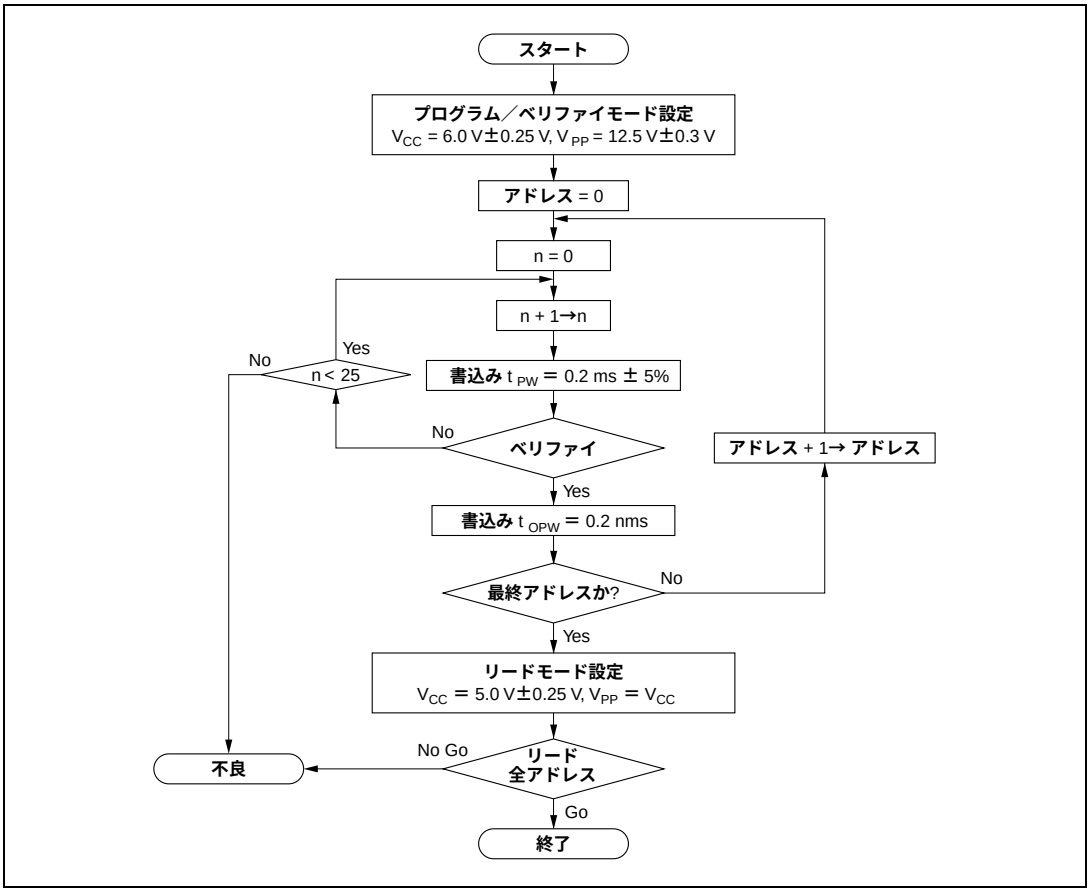


図 18.4　**高速プログラミングフローチャート**

表 18.5 PROM モード時の DC 特性
（条件：V_{CC}＝6.0V±0.25V、V_{PP}＝12.5V±0.3V、V_{SS}＝0V、T_a＝25℃±5℃）

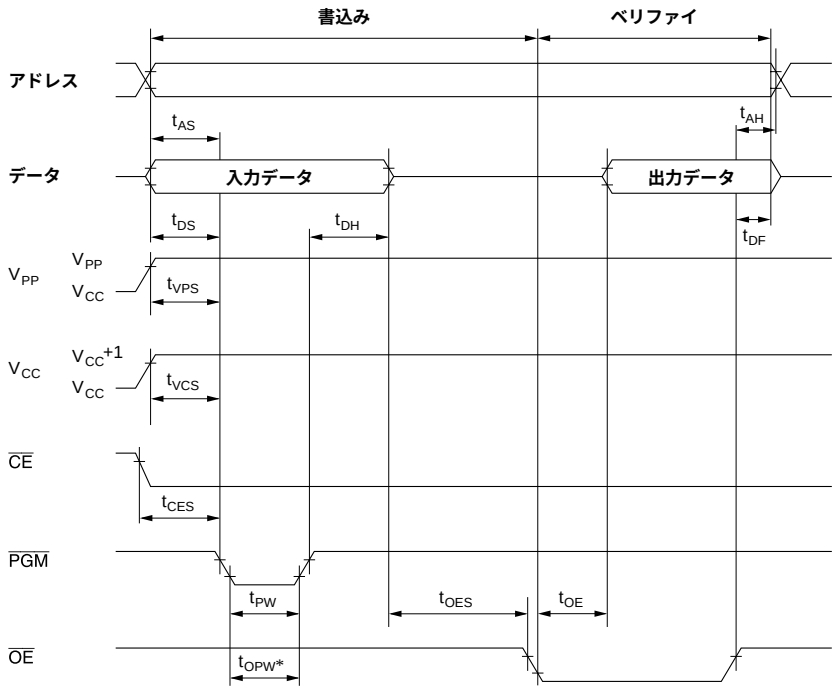
項　目		記号	min	typ	max	単位	測定条件
入力 High レベル電圧	EO_7〜EO_0、EA_{16}〜EA_0、OE、CE、PGM	V_{IH}	2.4	－	V_{CC}+0.3	V	
入力 Low レベル電圧	EO_7〜EO_0、EA_{16}〜EA_0、OE、CE、PGM	V_{IL}	-0.3	－	0.8	V	
出力 High レベル電圧	EO_7〜EO_0	V_{OH}	2.4	－	－	V	I_{OH}=－200μA
出力 Low レベル電圧	EO_7〜EO_0	V_{OL}	－	－	0.45	V	I_{OL}＝1.6mA
入力リーク電流	EO_7〜EO_0、EA_{16}〜EA_0、OE、CE、PGM	$\lvert I_{LI} \rvert$	－	－	2	μA	V_{in}＝5.25V/0.5V
V_{CC} 電流		I_{CC}	－	－	40	mA	
V_{PP} 電流		I_{PP}	－	－	40	mA	

【注】 最大定格は「23.1.1 絶対最大定格」を参照してください。最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。
V_{PP} は、オーバーシュートのピークを含めて 13V 以下にしてください。

表 18.6 PROM モード時の AC 特性
（条件：V_{CC}＝6.0V±0.25V、V_{PP}＝12.5V±0.3V、T_a＝25℃±5℃）

項　目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2	－	－	μs	図 18.5*1
OE セットアップ時間	t_{OES}	2	－	－	μs	
データセットアップ時間	t_{DS}	2	－	－	μs	
アドレスホールド時間	t_{AH}	0	－	－	μs	
データホールド時間	t_{DH}	2	－	－	μs	
データ出力ディスエーブル時間	t_{DF}*2	－	－	130	ns	
V_{PP} セットアップ時間	t_{VPS}	2	－	－	μs	
プログラムパルス幅	t_{PW}	0.19	0.20	0.21	ms	
オーバプログラム時の PGM パルス幅	t_{OPW}*3	0.19	－	5.25	ms	
V_{CC} セットアップ時間	t_{VCS}	2	－	－	μs	
CE セットアップ時間	t_{CES}	2	－	－	μs	
データ出力遅延時間	t_{OE}	0	－	150	ns	

【注】 *1 入力パルス・レベル：0.8〜2.2V
入力立上がり／立下がり時間≦20ns
タイミング参照レベル　入力：1.0V、2.0V
出力：0.8V、2.0V
*2 t_{DF} は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。
*3 t_{OPW} はフローチャートに記載した値で定義されます。



【注】＊ t_{OPW}はフローチャートに記載した値で定義します。

図 18.5　PROM **書込み／ベリファイ・タイミング**

18.3.2 書込み時の注意

（1） 書込みは規定された電圧、タイミングで行ってください。
PROMモード時のプログラム電圧（V_{pp}）は12.5Vです。
定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特にPROMライタのオーバシュートなどには十分注意してください。
PROMライタのHN27C101の日立仕様にセットすると、V_{pp}は12.5Vになります。

（2） PROMライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書込み前に正しくPROMライタに装着されていることを必ず確認してください。

（3） 書込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書込み不良となる場合があります。

（4） プログラミングモードは、ページプログラミング方式をサポートしていませんので、プログラミングモードの設定には注意してください。

（5） H8/3048のPROMの容量は128kバイトです。アドレスは必ずH'00000～H'1FFFFに設定してください。

18.3.3 書込み後の信頼性

データ書込み後、データ保持特性を向上させるために、150℃の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングの 1 つであり、PROM メモリセルの初期のデータ保持不良を短時間で除くことができます。

図 18.6 に推奨するスクリーニングフローを示します。

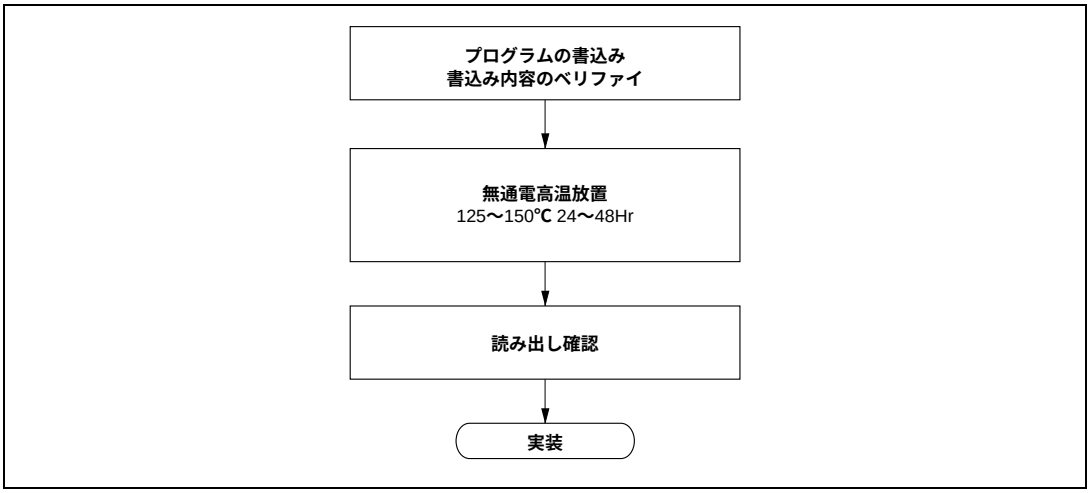


図 18.6 **推奨スクリーニングフロー**

同じ、PROM ライタでプログラミング中、書込み不良が連続して発生した場合には書込みを中止し、PROM ライタ、ソケットアダプタなどに異常がないか確認してください。

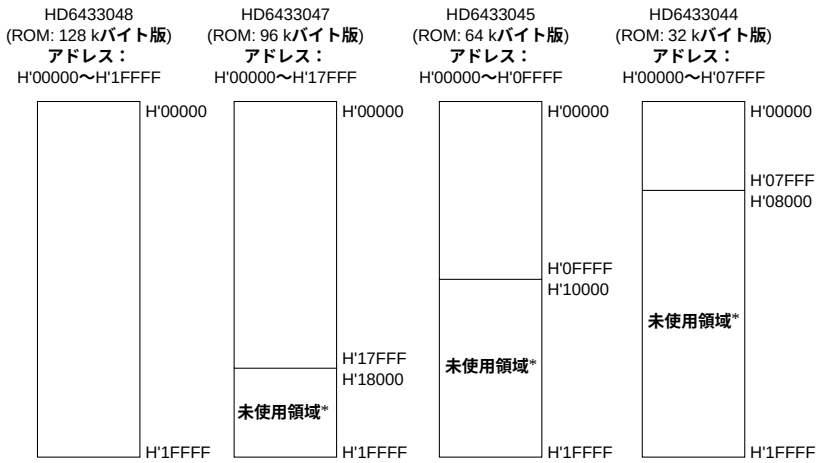
書込みあるいは高温放置後のプログラム確認において異常がありましたら、弊社技術担当にご連絡ください。

18.4　マスク ROM 品発注時の注意

マスク ROM 品の発注時には、下記に注意してください。

（1）　EPROMを使用して発注する場合は、128kバイトEPROMを使用してください。

（2）　ROMデータは、下記の領域をオールH'FFに満たし、128kバイト版と同じデータ量として発注するようにお願いいたします。これは、EPROMを使用して発注する場合とデータ電送を使用して発注する場合のどちらにも適用します。



【注】 * ここの領域のデータは、オールH'FFにしてください。

図 18.7　ROM **アドレスとデータ**

（3）　マスクROM版には、フラッシュメモリ内蔵製品専用のフラッシュメモリのコントロール用レジスタ（FLMCR、EBR、EBR1、EBR2、RAMCR、FLMCR1、FLMCR2）が存在しません。該当アドレスをリードすると、常に1が読み出されます。ライトは、無効です。フラッシュメモリ内蔵製品から、マスクROM版への切り替えを行う際には、この点にご注意ください。

（4）　フラッシュメモリ内蔵製品のH8/3048F-ONE（単一電源品）は、5V動作品の場合V_{CL}端子を持ち、外部に外付けコンデンサを接続する必要があります。そのためマスクROM版への切り替えを行う際には、ボード設計上注意が必要です。（詳細は、**「1.4.5　マスクROM品切り替えの際の注意点」**を参照してください。）

19. フラッシュメモリ（H8/3048F：二電源方式（V_{PP}＝12V））

19.1 概要

H8/3048F は 128k バイトのフラッシュメモリを内蔵しています。フラッシュメモリは、CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、リードデータにかかわらず 2 ステートで行われます。したがって、データの高速転送が可能です。

内蔵 ROM の有効または無効の設定は**表** 19.1 に示すように、モード端子（MD_2～MD_0）により設定します。

表 19.1　**動作モードと** ROM

モード名	**モード端子**			**内蔵** ROM
	MD2	MD1	MD0	
モード 1（**内蔵** ROM **無効拡張** 1M **バイトモード**）	0	0	1	**無効（外部アドレス）**
モード 2（**内蔵** ROM **無効拡張** 1M **バイトモード**）		1	0	
モード 3（**内蔵** ROM **無効拡張** 16M **バイトモード**）			1	
モード 4（**内蔵** ROM **無効拡張** 16M **バイトモード**）	1	0	0	
モード 5（**内蔵** ROM **有効拡張** 1M **バイトモード**）			1	**有効**
モード 6（**内蔵** ROM **有効拡張** 16M **バイトモード**）		1	0	
モード 7（**シングルチップモード**）			1	

なお、H8/3048F（二電源方式フラッシュメモリ版）は、PROM モードに設定することにより汎用 PROM ライタを用いて、自由にプログラムの書込みができます。

19.2　フラッシュメモリの概要

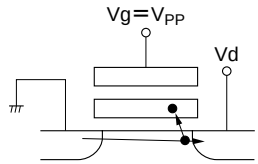
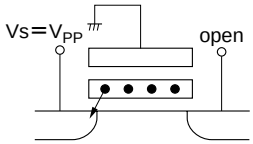
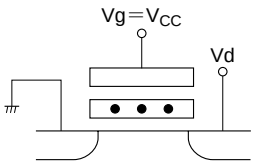
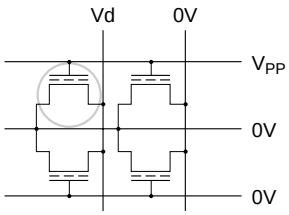
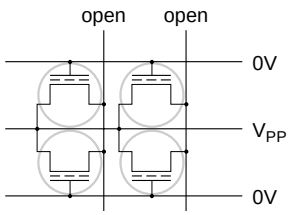
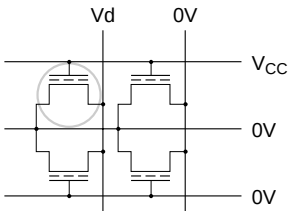
19.2.1　フラッシュメモリの動作原理

H8/3048F（二電源方式）に内蔵するフラッシュメモリの動作原理を**表** 19.2 に示します。

フラッシュメモリの書込みは、EPROM と同様、ゲートおよびドレインに高電圧をかけ、ドレイン近傍で発生したホットエレクトロンをフローティングゲートに吸い上げることにより行われます。その結果、書込み後のしきい値電圧は、消去時に比べ高くなります。消去は、ゲートを接地し、ソースに高電圧をかけ、トンネル効果によりフローティングゲートに蓄積した電子を引き抜くことにより行われます。消去後、しきい値電圧は低下します。読み出しは、EPROM と同様にゲートに高レベルの電圧を加え、しきい値電圧の高低に応じたドレイン電流量を検出することによって行われます。消去しすぎるとしきい値電圧が負になり、メモリセルが正常に動作しない場合があるので、消去時には注意が必要となります。

「19.5.6　**消去のフローチャートとプログラム例**」に消去制御に最適なフローチャートとプログラム例を示します。

表 19.2　**メモリセル動作原理**

	書込み	**消去**	**読み出し**
メモリセル			
メモリアレイ			

19.2.2 モード端子の設定と ROM 空間

H8/3048F は、128k バイトのフラッシュメモリを内蔵しています。ROM は CPU と 16 ビットデータバスで接続されています。CPU は、命令サイズがバイト／ワードにかかわらず、フラッシュメモリを 2 ステートでアクセスします。

フラッシュメモリは、メモリマップ上のアドレス H'00000～H'1FFFF に割り当てられています。この空間は、モード端子の設定で内蔵フラッシュメモリ空間と外部メモリ空間の切り換えができます。モード端子の設定とフラッシュメモリ空間の設定を**表** 19.3 に示します。

表 19.3 **モード端子の設定と** ROM **空間**

モード名	**モード端子の設定**			ROM **空間の設定**
	MD_2	MD_1	MD_0	
モード 0	0	0	0	**設定禁止**
モード 1			1	**外部メモリ空間**
モード 2		1	0	**外部メモリ空間**
モード 3			1	**外部メモリ空間**
モード 4	1	0	0	**外部メモリ空間**
モード 5			1	**内蔵フラッシュメモリ空間**
モード 6		1	0	**内蔵フラッシュメモリ空間**
モード 7			1	**内蔵フラッシュメモリ空間**

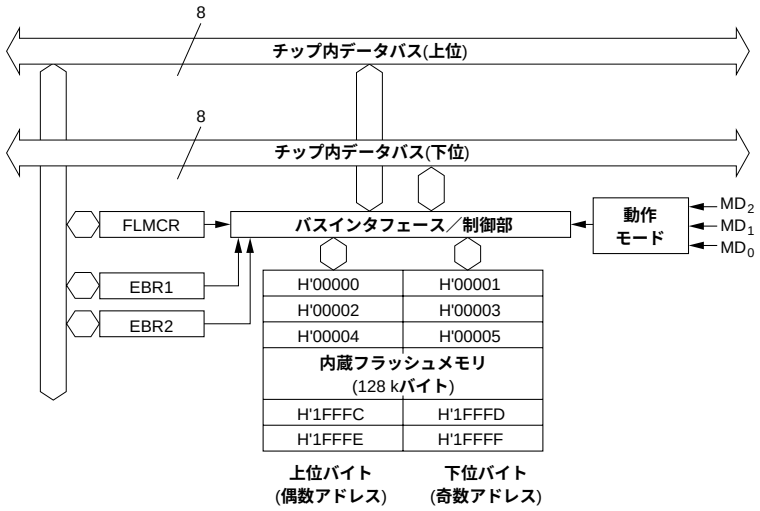
19.2.3 特長

フラッシュメモリの特長を以下に示します。

- フラッシュメモリの 5 種類の動作状態
  フラッシュメモリの動作状態として、プログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモード、プレライトベリファイモードがあります。
- 消去ブロックの指定
  フラッシュメモリ空間の消去対象とするブロックを、対応するビットの設定により指定できます。大ブロックエリア（12k～16kバイト×8ブロック）と小ブロックエリア（512バイト×8ブロック）があります。
- 書込み、消去時間
  フラッシュメモリの1バイトあたりの書込み時間は50μs（typ）、全ブロック（128kバイト）、消去時間は1s（typ）です。
- 書換え回数
  フラッシュメモリの書換えは、100回まで可能です。
- オンボードプログラミングモード
  フラッシュメモリの書込み、消去、ベリファイを行うモードです。2種類の動作モード（ブートモード、ユーザプログラムモード）があります。
- ビットレート自動合わせ込み
  ブートモードのデータ転送時、ホストの転送ビットレートとH8/3048Fのビットレートの自動合わせ込みができます（9600bps, 4800bps, 2400bps）。
- RAM によるフラッシュメモリのエミュレーション
  フラッシュメモリにRAMの一部を重ね合わせることで、フラッシュメモリのリアルタイムな書換えをエミュレートします。
- PROM モード
  プログラムの書込み、消去可能なモードとして、オンボードプログラミングモード以外にPROMモードがあり、汎用PROMライタを用いてフラッシュメモリに自由にプログラムを書込むことができます。
- プロテクトモード
  ソフトウェアプロテクトとハードウェアプロテクトの2つのモードがあり、フラッシュメモリの書込み、消去、ベリファイのプロテクト状態を設定することができます。

19.2.4 ブロック図

フラッシュメモリのブロック図を**図** 19.1 に示します。



【記号説明】

FLMCR：**フラッシュメモリコントロールレジスタ***

EBR1　：**消去ブロック指定レジスタ** 1*

EBR2　：**消去ブロック指定レジスタ** 2*

【注】*　フラッシュメモリ制御レジスタ（FLMCR、EBR1、EBR2**）およびRAMCRは、フラッシュメモリ版専用のレジスタです。マスクROM版およびZTAT版ではアクセスしないでください。**

図 19.1　**フラッシュメモリのブロック図**

19.2.5 端子構成

フラッシュメモリは表 19.4 に示す端子により制御されます。

表 19.4 端子構成

端子名	略 称	入出力	機 能
プログラム電源	V_{PP}	電源	12.0Vを印加
モード 2	MD_2	入力	H8/3048F の動作モードを設定
モード 1	MD_1	入力	H8/3048F の動作モードを設定
モード 0	MD_0	入力	H8/3048F の動作モードを設定
トランスミットデータ	T_XD_1	出力	シリアル送信データ出力
レシーブデータ	R_XD_1	入力	シリアル受信データ入力

トランスミットデータ端子とレシーブデータ端子はブートモード時に使用します。

19.2.6 レジスタ構成

フラッシュメモリは表 19.5 に示すレジスタにより制御されます。

表 19.5 レジスタ構成

アドレス	名 称	略 称	R/W	初期値
H'FF40	フラッシュメモリコントロールレジスタ	FLMCR	R/W*2	H'00*1
H'FF42	消去ブロック指定レジスタ 1	EBR1	R/W*2	H'00*1
H'FF43	消去ブロック指定レジスタ 2	EBR2	R/W*2	H'00*1
H'FF48	RAM コントロールレジスタ	RAMCR	R/W	H'70

【注】 *1 モード 5、6、7（内蔵フラッシュメモリが有効）のとき初期値は H'00 となります。

*2 モード 1、2、3、4（内蔵フラッシュメモリが無効）のときは、リードすると常に H'FF が読み出され、ライトも無効となります。

*3 フラッシュメモリ制御用の専用レジスタです。マスク ROM 品および ZTAT 品には、存在しません。このためフラッシュメモリ専用レジスタは、マスク ROM 品、ZTAT 品ではアクセスしないでください。マスク ROM 品、ZTAT 品では、フラッシュメモリ専用レジスタへのライトは無効です。

19.3 フラッシュメモリの各レジスタの説明

19.3.1 フラッシュメモリコントロールレジスタ（FLMCR）

フラッシュメモリコントロールレジスタ（FLMCR）は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。ビットをセットすることにより、プログラムモード、イレースモード、プログラムベリファイモード、イレースベリファイモードに遷移できます。FLMCR はリセット、またはスタンバイモード時、あるいはV_{PP}に 12V印加されていないとき、H'00 にイニシャライズされます。ただし、V_{PP}に 12Vが印加されているときのリセット、またはスタンバイモード時は、H'80 になります。

ビット：	7	6	5	4	3	2	1	0
	VPP	VPPE	—	—	EV	PV	E	P
初期値*1：	0	0	0	0	0	0	0	0
R/W ：	R	R/W	—	—	R/W*2	R/W*2	R/W*2	R/W*2

プログラムモード
プログラムモードへの遷移、または解除を選択するビットです。

イレースモード
イレースモードへの遷移、または解除を選択するビットです。

プログラムベリファイモード
プログラムベリファイモードへの遷移、または解除を選択するビットです。

イレースベリファイモード
イレースベリファイモードへの遷移、または解除を選択するビットです。

リザーブビット

VPPイネーブル
VPPへの12V印加の有効、または無効を選択するビットです。

プログラム電源
VPP端子に印加されている電圧レベルを示すフラグです。

【注】 *1 **モード5、6、7（内蔵フラッシュメモリが有効）のとき初期値はH'00となります。**
*2 **モード1、2、3、4（内蔵フラッシュメモリが無効）のときは、リードすると常にH'FFが読み出され、ライトも無効となります。**

ビット 7：プログラム電源（V_{PP}）

プログラム電源ビット（V_{PP}）は、V_{PP}端子の電圧を検出し、そのレベルを 1/0 で表示するビットです。しきい値は、「23.2.2　DC 特性」で指定する高電圧印加判定レベルV_Hです。V_H値は、Vcc＋2V～11.4V 間でばらつき，V_H以上の電圧が印加されると 1 と表示し、V_H以上の電圧が印加されていないと 0 と表示します。

本ビットは、フラッシュメモリに対する書込み/消去動作時のハードウェアプロテクトの機能を制御します。ハードウェアプロテクトについては、19.5.8 の（2）を参照してください。

なお、V_{PP}使用時の注意は「19.8　フラッシュメモリの書込み／消去時の注意（4）」を参照してください。

ビット 7 V_{PP}	説　明
0	（クリア条件）　（初期値） V_{PP}端子に高電圧印加判定レベルV_H以上の高電圧が印加されていないとき。通常動作モードであり，フラッシュメモリへの書込み／消去ができない（ハードウェアプロテクトされている）ことを示します。
1	（セット条件） V_{PP}端子に高電圧印加判定レベルV_H以上の高電圧が印加されているとき。フラッシュメモリへの書込み／消去が可能なようにハードウェアプロテクト機能が解除されていることを示します。＊

【注】＊　正しい書込み／消去のためにはV_{PP}＝12.0±0.6V（11.4～12.6V）に設定する必要があります。

ビット 6：V_{PP}イネーブルビット（V_{PP}E）

V_{PP}への 12V印加の有効、または無効を選択するビットです。書込みおよび消去する場合、このビットをセットしてから 5μs 以上の待ち時間が必要です。また、本ビットをクリア後、フラッシュメモリをリードするには、フラッシュメモリリードセットアップ時間（t_{FRS}）の待ち時間が必要です。

ビット 6 V_{PP}E	説　明
0	V_{PP}端子の 12V 電源無効　（初期値）
1	V_{PP}端子の 12V 電源有効

【注】フラッシュメモリに使用する電源系は、V_{PP}E ビットにより切替えられます。切替え後、電源系が安定するまでの期間の動作は保証されません。このため、V_{PP}E ビットのセット／リセットの命令をフラッシュメモリからフェッチして実行することは禁止です。

ビット 5、4：リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 3：イレースベリファイモード（EV） *1

イレースベリファイモードへの遷移、または解除を選択するビットです。

ビット 3	説　明
EV	
0	イレースベリファイモードを解除　（初期値）
1	イレースベリファイモードに遷移

ビット 2：プログラムベリファイモード（PV） *1

プログラムベリファイモードへの遷移、または解除を選択するビットです。

ビット 2	説　明
PV	
0	プログラムベリファイモードを解除　（初期値）
1	プログラムベリファイモードに遷移

ビット 1：イレースモード（E） *1 *2

イレースモードへの遷移、または解除を選択するビットです。

ビット 1	説　明
E	
0	イレースモードを解除　（初期値）
1	イレースモードに遷移

ビット 0：プログラムモード（P） *1 *2

プログラムモードへの遷移、または解除を選択するビットです。

ビット 0	説　明
P	
0	プログラムモードを解除　（初期値）
1	プログラムモードに遷移

【注】 *1　複数のビットを同時にセットしないでください。ビットをセットした状態で、V_{CC}、V_{PP}電源を切断しないでください。

*2　各ビットのセットは、「19.5　フラッシュメモリの書込み／消去」に示すアルゴリズムに従ってください。使用時の注意として「19.8　フラッシュメモリの書込み／消去時の注意」を参照してください。E ビット、P ビットをセットした場合、プログラムの暴走に備えて、あらかじめウォッチドッグタイマの設定を行ってください。

19.3.2 消去ブロック指定レジスタ 1（EBR1）

消去ブロック指定レジスタ（EBR1）はフラッシュメモリの書込みおよび消去する大ブロックを選択する 8 ビットのレジスタです。リセット、またはスタンバイモード時、V_{PP}に 12V印加されていてV_{PP}Eビットが 0 のとき、あるいはV_{PP}に 12V印加されていないとき、H'00 にイニシャライズされます。EBR1 のビットを 1 にセットすると対応するブロックが選択され、書込みおよび消去対象ブロックになります。消去ブロックの分割を**図** 19.2 に示します。

ビット：	7	6	5	4	3	2	1	0
	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * **モード**5、6、7（**内蔵**ROM**が有効）のとき初期値は**H'00**となります。**
モード1、2、3、4（**内蔵**ROM**が無効）のときは、リードすると常に**H'FF**が読み出され、ライトも無効となります。**

ビット 7〜0：**ラージブロック** 7〜0（LB7〜LB0）

ラージブロック 7〜0（LB7〜LB0）ブロックを書込みおよび消去対象ブロックとして選択するビットです。

ビット 7〜0 LB7〜LB0	**説　明**
0	LB7〜LB0 **ブロックを選択していないとき** **（初期値）**
1	LB7〜LB0 **ブロックを選択しているとき**

19.3.3 消去ブロック指定レジスタ 2（EBR2）

消去ブロック指定レジスタ 2（EBR2）は、フラッシュメモリの書込みおよび消去する小ブロックを選択する 8 ビットのレジスタです。リセット、またはスタンバイモード時、V_{PP}に 12V印加されていてV_{PP}Eビットが 0 のとき、あるいはV_{PP}に 12V印加されていないとき、H'00 にイニシャライズされます。EBR2 のビットを 1 にセットすると対応するブロックが選択され、書込みおよび消去対象ブロックになります。消去ブロックの分割を**図** 19.2 に示します。

ビット：	7	6	5	4	3	2	1	0
	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 ＊ **モード**5、6、7（**内蔵**ROM**が有効）のとき初期値は**H'00**となります。**
モード1、2、3、4（**内蔵**ROM**が無効）のときは、リードすると常に**H'FF**が読み出され、ライトも無効となります。**

ビット 7～0：**スモールブロック** 7～0（SB7～SB0）

スモールブロック 7～0（SB7～SB0）ブロックを書込みおよび消去対象ブロックとして選択するビットです。

ビット 7～0 LB7～LB0	**説　明**
0	SB7～SB0 **ブロックを選択していないとき**　**（初期値）**
1	SB7～SB0 **ブロックを選択しているとき**

対応するビット	アドレス				
LB0	H'00000〜H'03FFF	大ブロックエリア (124 kバイト)	H'00000 H'03FFF	16 kバイト
LB1	H'04000〜H'07FFF		H'04000 H'07FFF	16 kバイト
LB2	H'08000〜H'0BFFF		H'08000 H'0BFFF	16 kバイト
LB3	H'0C000〜H'0FFFF		H'0C000 H'0FFFF	16 kバイト
LB4	H'10000〜H'13FFF		H'10000 H'13FFF	16 kバイト
LB5	H'14000〜H'17FFF		H'14000 H'17FFF	16 kバイト
LB6	H'18000〜H'1BFFF		H'18000 H'1BFFF	16 kバイト
LB7	H'1C000〜H'1EFFF		H'1C000 H'1EFFF	12 kバイト
SB0	H'1F000〜H'1F1FF	小ブロックエリア (4 kバイト)	H'1F000 H'1F1FF	512 バイト
SB1	H'1F200〜H'1F3FF		H'1F200 H'1F3FF	512 バイト
SB2	H'1F400〜H'1F5FF		H'1F400 H'1F5FF	512 バイト
SB3	H'1F600〜H'1F7FF		H'1F600 H'1F7FF	512 バイト
SB4	H'1F800〜H'1F9FF		H'1F800 H'1F9FF	512 バイト
SB5	H'1FA00〜H'1FBFF		H'1FA00 H'1FBFF	512 バイト
SB6	H'1FC00〜H'1FDFF		H'1FC00 H'1FDFF	512 バイト
SB7	H'1FE00〜H'1FFFF		H'1FE00 H'1FFFF	512 バイト

図 19.2　**消去ブロックの分割**

19.3.4 RAM コントロールレジスタ（RAMCR）

RAM コントロールレジスタ（RAMCR）は、フラッシュメモリのリアルタイムな書き換えをエミュレートする際に使用する RAM エリアを選択するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	FLER	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値：	0	1	1	1	0	0	0	0
R/W ：	R	—	—	—	R/W	R/W	R/W	R/W

ビット 7：フラッシュメモリエラー（FLER）

ビット 7 は、フラッシュメモリへの書込み、消去中に異常が発生し、エラーが生じたことを示すビットです。このビット 7 がセットされると、フラッシュメモリはエラープロテクトモード*1 に遷移します。

ビット 7 FLER	説　明
0	**フラッシュメモリへの書込み／消去プロテクト（エラープロテクト*1）が無効** **（クリア条件）** **リセットまたはハードウェアスタンバイモードのとき　（初期値）**
1	**フラッシュメモリへの書込み、消去中にエラーが発生し、エラープロテクト*1 が有効となったことを示す** **（セット条件）** **（1）書込み、消去中にフラッシュメモリをリード*2 したとき（ベクタリードおよび命令フェッチを含む。ただし、フラッシュメモリ空間とオーバラップした RAM エリアのリードは除く）。** **（2）書込み、消去中の例外処理（ただし、リセット、トレース、不当命令、トラップ命令、ゼロ除算時の例外処理は除く）の実行直後。** **（3）書込み、消去中に SLEEP 命令（ソフトウェアスタンバイモードを含む）を実行したとき。** **（4）書込み、消去中にバス開放したとき。**

【注】 *1　**エラープロテクトの詳細は「19.5.8　プロテクトモード」を参照してください。**
*2　**このときリードした値は不定となります。**

ビット 6～4：リザーブビット

ビット 6～4 はリザーブビットです。ビット 6～4 をリードすると、常に 1 が読み出されます。ライトは無効です。

ビット 3：RAM セレクト（RAMS）*

ビット 2～0 と共に使用し、RAM エリアを設定します（**表** 19.6）。リセット、またはハードウェアスタンバイモード時にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

1 ライト時は、フラッシュメモリ全ブロックの書込み／消去プロテクト状態となります。

ビット 2〜0：RAM2〜0 ＊

ビット 3 と共に使用し、RAM エリアを設定します（**表** 19.6）。リセット、またはハードウェアスタンバイモード時にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

【注】＊　モード 5、6、7**（内蔵フラッシュメモリが有効）でライト可能です。**
それ以外のモードでは常に 0 **が読み出され、ライトは無効です。**

表 19.6　RAM **エリアの設定方法**

RAM **エリア**	**ビット** 3	**ビット** 2	**ビット** 1	**ビット** 0
	RAMS	RAM2	RAM1	RAM0
H'FFF000〜H'FFF1FF	0	0/1	0/1	0/1
H'01F000〜H'01F1FF	1	0	0	0
H'01F200〜H'01F3FF	1	0	0	1
H'01F400〜H'01F5FF	1	0	1	0
H'01F600〜H'01F7FF	1	0	1	1
H'01F800〜H'01F9FF	1	1	0	0
H'01FA00〜H'01FBFF	1	1	0	1
H'01FC00〜H'01FDFF	1	1	1	0
H'01FE00〜H'01FFFF	1	1	1	1

19.4 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリのプログラム、消去、ベリファイを行うことができます。本モードには、2 種類の動作モード（ブートモード、ユーザプログラムモード）があります。これらのモードは、モード端子（MD_2～MD_0）、V_{PP}端子により設定します。**表** 19.7 にオンボードプログラミングモードの設定方法を示します。V_{PP}の印加／切断時の注意については「19.8 **フラッシュメモリの書込み／消去時の注意**」を参照してください。

表 19.7 **オンボードプログラミングモードの設定**

モード設定		V_{PP}	MD_2	MD_1	MD_0	備 考
ブートモード	**モード** 5	12V	12V	0	1	0：V_{IL}
	モード 6		12V	1	0	1：V_{IH}
	モード 7		12V	1	1	
ユーザプログラムモード	**モード** 5		1	0	1	
	モード 6		1	1	0	
	モード 7		1	1	1	

19.4.1 ブートモード

ブートモードを使用する場合には、あらかじめフラッシュメモリへの書込み用のユーザプログラムをホスト側のパソコン等に準備しておくことが必要です。また、使用する SCI は、チャネル 1 の調歩同期式モードに設定されています。H8/3048F をブートモードに設定すると、リセット解除後、あらかじめ組み込まれているブートプログラムが起動され、ホストから送信されるデータの Low 期間をまず測定し、ビットレートレジスタ（BRR）の値を決定します。次に、H8/3048F 内蔵のシリアルコミュニケーションインタフェース 1（SCI1）を用いて外部からのユーザプログラムの受信が可能となり、受信されたユーザプログラムは、RAM に書込まれます。

書込み終了後､内蔵 RAM の先頭アドレス（モード 5 ・ 7 設定時 H'FF300､モード 6 設定時 H'FFF300）に分岐し、RAM 上に書込まれたプログラムを実行し、フラッシュメモリの書込み、消去が可能となります。ブートモードの実行手順を**図** 19.4 に示します。

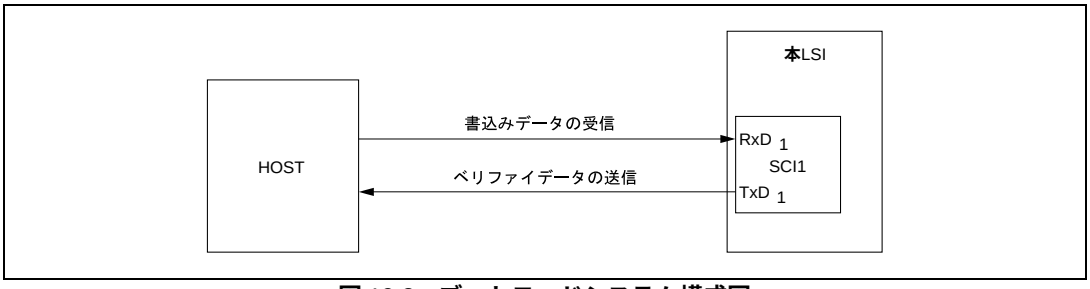
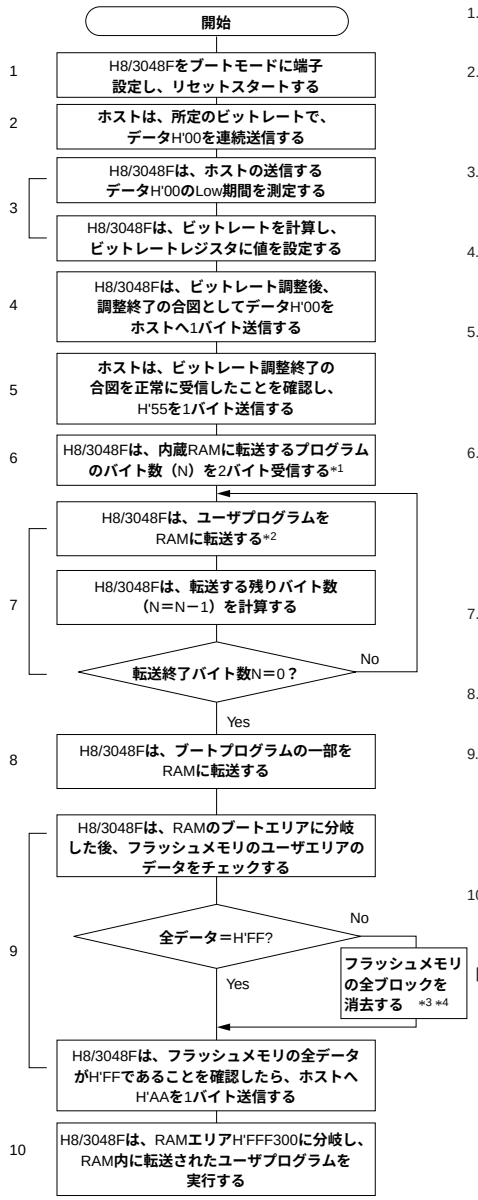


図 19.3 **ブートモードシステム構成図**

(1) ブートモードの実行手順

ブートモードの実行手順を以下に示します。



1. H8/3048Fをブートモードに設定し、リセットスタートします。

2. ホストは、所定のビットレート(2400、4800、 9600)に設定し、転送するデータフォーマット は8ビットデータ、1ストップビットで、H'00の データを連続的に送信してください。

3. H8/3048Fは、RxD_1端子のLow期間を繰り返し測定し、ホストが転送する調歩同期式通信のビットレー トを計算します。

4. H8/3048Fは、SCIのビットレートの調整が終了すると、調整終了の合図としてデータH'00を1バイト送信します。

5. ホストは、H8/3048Fから送信される1バイトのビットレート調整終了の合図を受信し、この調整終了の合図が正常に受信されたことを確認し、H'55を1バイト送信してください。H8/3048Fは、正常に受信した合図としてH'AAを送信します。

6. ホストは、H8/3048Fに転送するユーザプログラムのバイト数を送信します。バイト数は、上位バイト、下位バイトの順で2バイト送信してください。以降は順次ユーザの設定したプログラムを送信してください。H8/3048Fは、受信したバイト数およびユーザプログラムをベリファイデータとして、1バイトごとに順次ホストへ送信(エコーバック)します。

7. H8/3048Fは、受信したユーザプログラムを内蔵RAMのH'FFF300～H'FFFEFFのエリアに順次書き込みます。

8. H8/3048FはRAMのH'FFEF10～H'FFF2FFのエリアにブートプログラムの一部を転送します。

9. H8/3048Fは、RAMのブートプログラムエリア（H'FFEF10～H'FFF2FF）に分岐した後、フラッシュメモリに書き込まれたデータが存在するか確認します。すでにデータが書き込まれている場合は、全ブロック消去します。消去が正常に終了した場合、H8/3048FはH'AAを1バイト送信します。

10. H8/3048Fは、内蔵RAMのH'FFF300に分岐し、書き込まれたユーザプログラムを実行します。

【注】 *1 ユーザが使用できるRAMエリアは、3072バイトです。転送するバイト数を3072バイト以内に設定してください。また、転送バイト数は、必ず2バイト上位、下位の順に送信してください。
転送バイト数の例：256バイト(H'0100)の場合
上位バイトH'01、下位バイトH'00

*2 ユーザプログラムのフラッシュメモリを制御する部分は、後述するフラッシュメモリの書込み／消去のアルゴリズムに従ったプログラムに設定してください。

*3 メモリセルが正常に動作せず、消去ができなかった場合は、H8/3048Fは消去エラーとしてH'FFを1バイト送信し、消去動作とそれ以降の動作を停止します。

*4 H'000000～H'01FFFFが対象となります。

図 19.4 ブートモードの動作フローチャート

(2) SCI ビットレートの自動合わせ込み動作

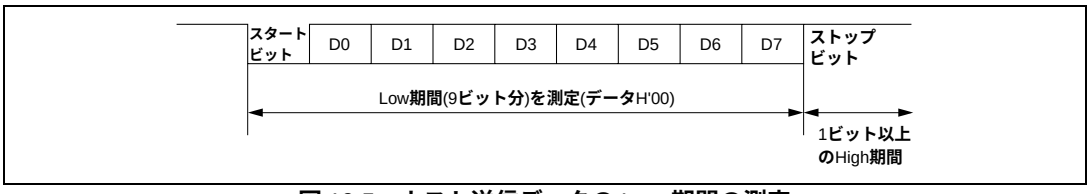


図 19.5 **ホスト送信データの** Low **期間の測定**

ブートモードを起動すると、H8/3048F は、ホストより送信される調歩同期式 SCI 通信のデータの Low 期間を測定します（**図** 19.5）。このデータフォーマットは、8 ビットデータ、1 ストップビット、パリティなしのフォーマットです。H8/3048F は、測定した Low 期間（9 ビット）よりホストの送信するビットレートを計算します。H8/3048F は、ビットレートの調整が終わると、ビット調整終了合図としてホストへ 1 バイトの H'00 データを送信します。ホストは、この調整終了合図を正常に受信したことを確認し、H8/3048F へ H'55 を 1 バイト送信してください。受信が正常に行われない場合は、再度ブートモードでリセット起動し、Low 期間の測定を実行してください。ホストが送信するビットレート、および H8/3048F のシステムクロックの周波数によってホストと H8/3048F のビットレートに誤差が発生します。正常に SCI 動作を行うために、ホストの転送ビットレートを 2400、4800 または 9600bps*[1] に設定してください。ホストの代表的な転送ビットレートと H8/3048F のビットレートの自動合わせ込みが可能なシステムクロックの周波数を**表** 19.8 に示します。このシステムクロックの範囲内でブートモードを実行してください。*[2]

表 19.8 H8/3048F **のビットレートの自動合わせ込みが可能なシステムクロックの周波数**

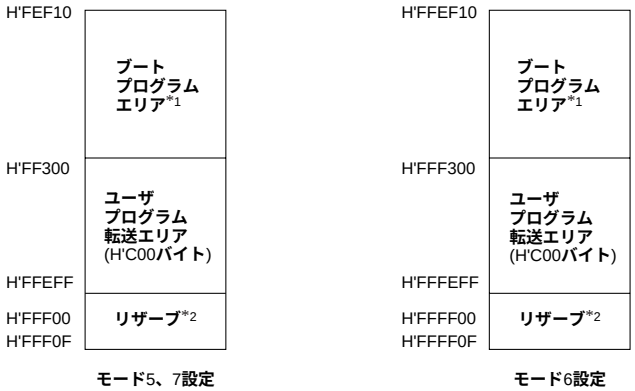
ホストの転送ビットレート*[1]	H8/3048F **のビットレートの自動合わせ込みが可能なシステムクロックの周波数**
9600bps	8MHz〜16MHz
4800bps	4MHz〜16MHz
2400bps	2MHz〜16MHz

【注】 *1 **ホストの転送ビットレートは** 2400、4800、9600bps **の設定のみで、それ以外の設定は使用しないでください。**

*2 H8/3048F **は、表** 19.8 **に示すビットレートとシステムクロックの組合せ以外でも、自動合わせ込みを行う場合がありますが、ホストと** H8/3048F **のビットレートに誤差が生じ、その後の転送が正常に行われないことがあります。このため、ブートモードの実行は、表** 19.8 **に示す組合せの範囲内で必ず行ってください。**

(3) ブートモード時の RAM エリアの分割

ブートモードでは、モード 5 ・ 7 設定時:H'FEF10～H'FF2FF、モード 6 設定時：H'FFEF10～H'FFF2FF（H'3F0 バイト）は、**図** 19.6 に示すようにブートプログラムで使用するエリアとしてリザーブされています。ユーザのプログラムを転送するエリアはモード 5 ・ 7 設定時：H'FF300～H'FFEFF、モード 6 設定時：H'FFF300～H'FFFEFF（H'C00 バイト）です。ブートプログラムのエリアは、RAM 内に転送したユーザプログラムの実行状態に遷移すると使用できます。



【注】*1 RAM内に転送したユーザプログラム実行状態に遷移（モード5、7設定時：H'FF300、モード6設定時：H'FFF300に分岐）するまで本エリアを使用できません。なお、ユーザプログラムに分岐後もRAM内のブートプログラムエリア（モード5、7設定時：H'FEF10～H'FF2FF、モード6設定時：H'FFEF10～H'FFF2FF）にはブートプログラムがそのまま保持されていますので、注意してください。

*2 リザーブ領域は使用しないでください。

図 19.6 **ブートモード時の** RAM **エリア**

(4) ブートモード使用時の注意事項

（1） H8/3048Fは、ブートモードでリセット解除すると、SCI1のRxD_1端子のLow期間を測定します。RxD_1端子がHighの状態でリセット解除してください。リセット解除後、H8/3048FがRxD_1端子へ入力させるLow期間を測定できるようになるまでは約100ステート必要です。

（2） ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データがH'FFでないとき）、フラッシュメモリの全ブロックを消去します。本モードを実行する場合は、オンボード状態での初期の書込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。

（3） フラッシュメモリのプログラム中、あるいは消去中に割込みを使用することはできません。

（4） RxD_1端子およびTxD_1端子は、ボード上でプルアップして使用してください。

（5） H8/3048Fは、ユーザプログラム（RAMエリアのH'F300）に分岐するときに内蔵SCI（チャネル1）の送受信動作を終了（シリアルコントロールレジスタSCRのRE＝0、TE＝0）しますが、ビットレートレジスタBRR1には、合わせ込んだビットレートの値を保持しています。
また、このときトランスミットデータ端子TxD_1は、Highレベル出力状態（ポート9データディレクションレジスタのP91DDR＝1、ポート9データレジスタのP91DR＝1）となっています。
さらにこのとき、CPU内蔵の汎用レジスタの値は不定です。このためユーザプログラムに分岐した直後に汎用レジスタのイニシャライズを必ず行ってください。特にスタックポインタ（SP）はサブルーチンコール時などに、暗黙的に使用されますので、ユーザプログラムで使用するスタックエリアを必ず指定してください。

（6） ブートモードへの遷移は**表**19.7のモード設定条件に従って、MD_2端子とV_{PP}端子に12Vを印加後にリセットスタートすることにより可能です。
このとき、H8/3048Fはリセット解除（Lowレベル→Highレベル立上がり）のタイミング*[1]でモード端子の状態をマイコン内部にラッチし、ブートモード状態を保持します。
ブートモードを解除するためにはMD_2端子とV_{PP}端子への12V印加を解除した後にリセット解除*[1]することにより可能ですが、以下のような注意が必要です。

（a） ブートモードから通常モード（V_{PP}≠12V、MD_2≠12V）へ遷移する場合は、モード遷移する前にマイコン内部のブートモード状態をRES端子によるリセット入力によって解除する必要があります。このとき、V_{PP}切断後からリセット解除して、リセットベクタをリードするまでの期間として、フラッシュメモリリードセットアップ時間（t_{FRS}）が必要です*[2]。

（b） ブートモードの途中でMD_2端子への12V印加を解除した場合は、RES端子によるリセット入力をしない限り、マイコン内部のブートモード状態は保持されており、ブートモードが継続されます。また、ブートモード状態でウォッチドッグタイマリセットが発生した場合、マイコン内部のモード状態は解除されず、モード端子の状態にかかわらず内蔵のブートプログラムが再起動されます。

（c） ブートモードへの遷移時（リセット解除タイミング）およびブートモード動作中ではプログラム電圧V_{PP}は12V±0.6Vの範囲を超えないようにしてください。これを超えると、ブートモードは正しく実行されません。また、ブートプログラム実行中やフラッシュメモリへの書き込み、消去中にV_{PP}を切断しないでください*[2]。

（7） リセット中（RES端子にLowレベルを入力している期間）にMD_2端子の入力レベルを0Vから12V、または12Vから0Vに変化させる場合、一瞬5V入力レベルに遷移することによりマイコン動作モードが切り替わります。このためアドレス兼用ポートおよびバス制御出力信号（AS、RD、HWR、LWR）の状態が変化しますので、これらの端子はリセット中の出力信号として使用しないよう、マイコン外部で禁止する必要があります。

（8） V_{PP}およびMD_2端子への12V印加は、オーバシュートのピークが最大定格の13Vを超えないようにしてください。また、V_{PP}およびMD_2端子には、必ずバイパスコンデンサを接続してください。*1

【注】 *1 **モード端子の入力は、リセット解除のタイミングに対し、モードプログラミングセットアップ時間（t_{MDS}）を満足する必要があります。MD_2端子への 12V 印加／切断時では MD_2端子に接続するプルアップ・プルダウン抵抗などの影響によって立下がり・立上がり波形に遅れが生じます。このためリセット解除のタイミングは、この遅れをボード上の実波形で確認してください。**

*2 **V_{PP}の印加／切断の注意については「19.8 フラッシュメモリへの書込み／消去時の注意」の（4）を参照してください。**

19.4.2 ユーザプログラムモード

H8/3048F をユーザプログラムモードに設定すると、ユーザプログラムによるフラッシュメモリの消去、書込みが可能になります。したがって、あらかじめ基板上に V_{PP} 供給手段、および書換えデータ供給手段を設け、プログラムエリアの一部に書換え用プログラムを内蔵させておくことにより、内蔵フラッシュメモリのオンボード書換えを行うことができます。

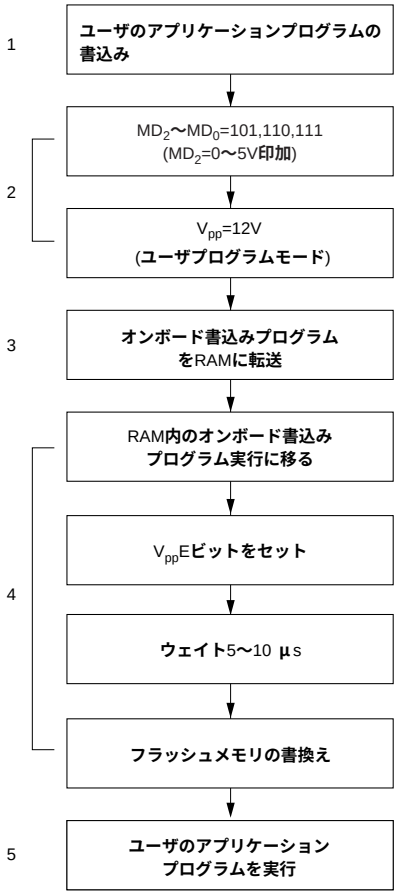
本モードの設定は、内蔵 ROM の有効なモード、モード 5、6、7 に設定し V_{PP} 端子に 12V 印加します。このモードの動作では、フラッシュメモリ以外の周辺機能は、モード 5、6、7 と同じ動作をします。

ただし、V_{PP} 端子に 12V 印加中は、WDT のオーバフロー時にリセット出力はできません。WDT のリセット出力イネーブル（RSTOE）を 1 にセットしないでください。

なお、書込み、消去を行っている間、フラッシュメモリを読み出すことはできませんので、書換えプログラムを外部メモリ上に置くか、または書換えプログラムをいったん RAM エリアに転送し、RAM 内で実行してください。

(1) ユーザプログラムモード実行手順例

RAM 内で実行する場合のユーザプログラムモード実行手順を**図** 19.7 に示します。



＜手順＞

1. ユーザは、あらかじめ以下に示す3〜5の動作を実行するプログラムをフラッシュメモリに書込みます。
2. 端子をユーザプログラムモードに設定します。
3. リセットにより、CPUを起動し、オンボード書込みプログラムをRAM内部に転送します。
4. RAM内のプログラムに分岐し、オンボード書込みプログラムの実行に移ります。

   フラッシュメモリの書換えのため、FLMCRのV_{pp}Eビットをセットします。

   内部電源の安定化のため、5〜10 μs待ちます。

   書換えプログラムを実行します。
5. オンボード書込み終了後、V_{pp}Eビットをクリアし、書込み終わったユーザのアプリケーションプログラムに分岐し、実行します。V_{pp}Eビットをクリア後、フラッシュメモリ内のプログラムを実行する前にフラッシュメモリリードセットアップ時間（t_{FRS}）が必要です。

【注】プログラム暴走等による誤書込み、誤消去を防止するため、V_{pp}に12Vを印加するのはフラッシュメモリに書込み、消去を行うときのみ（RAMによるフラッシュメモリのエミュレーション実行時も含む）とし、常時12Vを印加しないでください。また、書込み／消去時（12V印加時）は、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。プログラム暴走等によって過剰書込み、過剰消去になるとメモリセルが正常に動作しないことがあります。V_{pp}の印加/切断時の注意については「19.8　フラッシュメモリの書込み／消去時の注意」を参照してください。

図 19.7　**ユーザプログラムモード動作例**

19.5 フラッシュメモリの書込み／消去

H8/3048F に内蔵するフラッシュメモリは、CPU を用いてソフトウェアで書込み、消去を行う方式を採用しています。フラッシュメモリの動作モードと状態遷移図を**図** 19.8 に示します。書込み／消去モードには、書込みモード、消去モード、書込みベリファイモード、消去ベリファイモード、プレライトベリファイモードがあります。フラッシュメモリコントロールレジスタ（FLMCR）の P ビット、E ビット、PV ビット、EV ビットのいずれかのビットをセットすることにより各動作モードに遷移することができます。また、FLMCR の全てのビットをクリアした状態でプレライトベリファイモードとなります。

フラッシュメモリは、書込み、あるいは消去を行っている間読み出すことはできません。フラッシュメモリの書込み、消去を制御するプログラムは、内蔵 RAM あるいは外部メモリ上に置き、実行してください。以下に各動作モードの説明と、推奨する書込みフロー、消去フローおよびプログラム例を示します。書込み、消去のアルゴリズムは、各ステップごとに書込み／消去の処理時間を 2 倍にする高信頼性アルゴリズムを採用しています。

書込み、消去時の注意は**「19.8 フラッシュメモリの書込み／消去時の注意」**を参照してください。

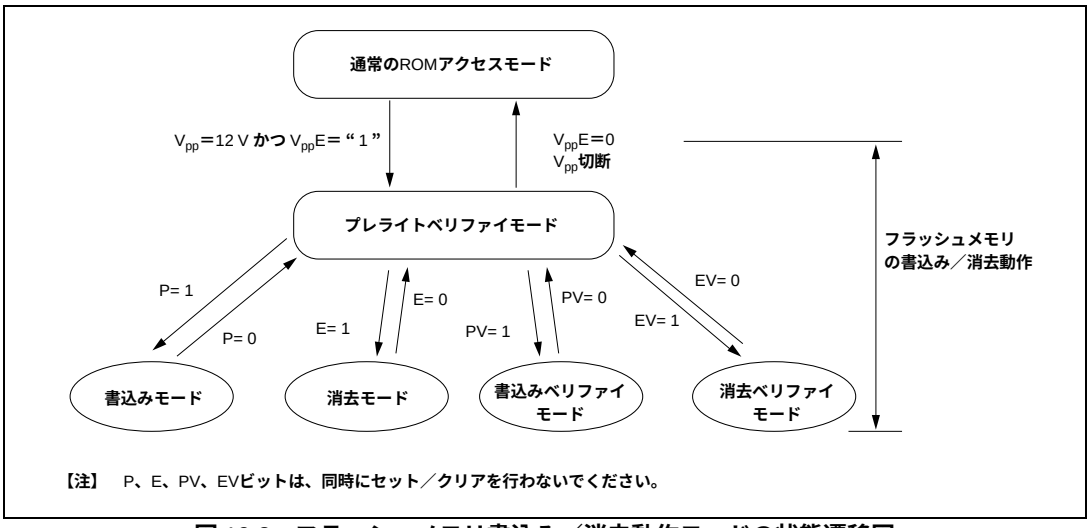


図 19.8 **フラッシュメモリ書込み／消去動作モードの状態遷移図**

19.5.1 書込みモード

フラッシュメモリへのデータの書込みは、**図** 19.9 に示す書込みアルゴリズムに従い行ってください。この書込みアルゴリズムは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく、書込みを行うことができます。

データの書込みは、FLMCR の V_{PP}E ビットをセットし、5～10μs の待機時間を経過した後、フラッシュメモリの書込むエリアを消去ブロック指定レジスタ 1、2（EBR1、EBR2）で設定し、書き込むアドレスに RAM と同様にデータをライトします。フラッシュメモリは、プログラムアドレスと、プログラムデータをアドレスラッチ、データラッチに各々ラッチします。FLMCR の P ビットをセットし、動作モードをプログラムモードに設定します。P ビットをセットしている時間が書込み時間になります。一回目の書込み時間は、ソフトウェアタイマで、15.8μs 以下になるように設定してください。また、プログラムの暴走等により、過剰時間書込みをするとデバイスにダメージを与えます。プログラムモードに設定する前に、あらかじめウォッチドッグタイマを設定し、過剰に書込みを起こすことのないようにしてください。

19.5.2 書込みベリファイモード

書込みベリファイモードは、書込みモードでデータを書き込んだあとそのデータを読み出し、正常に書き込まれているかを確認するモードです。

書込み時間経過後、書込みモードを解除（P ビット＝0）し、書込みベリファイモード（PV ビット＝1）に設定してください。書込みベリファイモードは、ラッチしたアドレスのメモリセルに書込みベリファイ電圧を印加します。この状態で、フラッシュメモリをリードするとラッチしたアドレスのデータが読み出されます。リード動作は、書込みベリファイモードに設定後、4μs の待機時間を置いて行ってください。書き込んだデータとベリファイデータを比較し、一致した場合、書込みベリファイモードを解除し、次のアドレスの書込みを行ってください。一致しなかった場合は、再度書込みモードに設定し、同様に書込み、書込みベリファイシーケンスを繰り返します。ただし、同一ビットに対する書込み、書込みベリファイシーケンスの繰り返しは、6 回を越えないでください（トータル書込み時間が 1ms を越えないように回数を設定してください）。

19.5.3 書込みのフローチャートとプログラム例

(1) 1バイト書込みのフローチャート

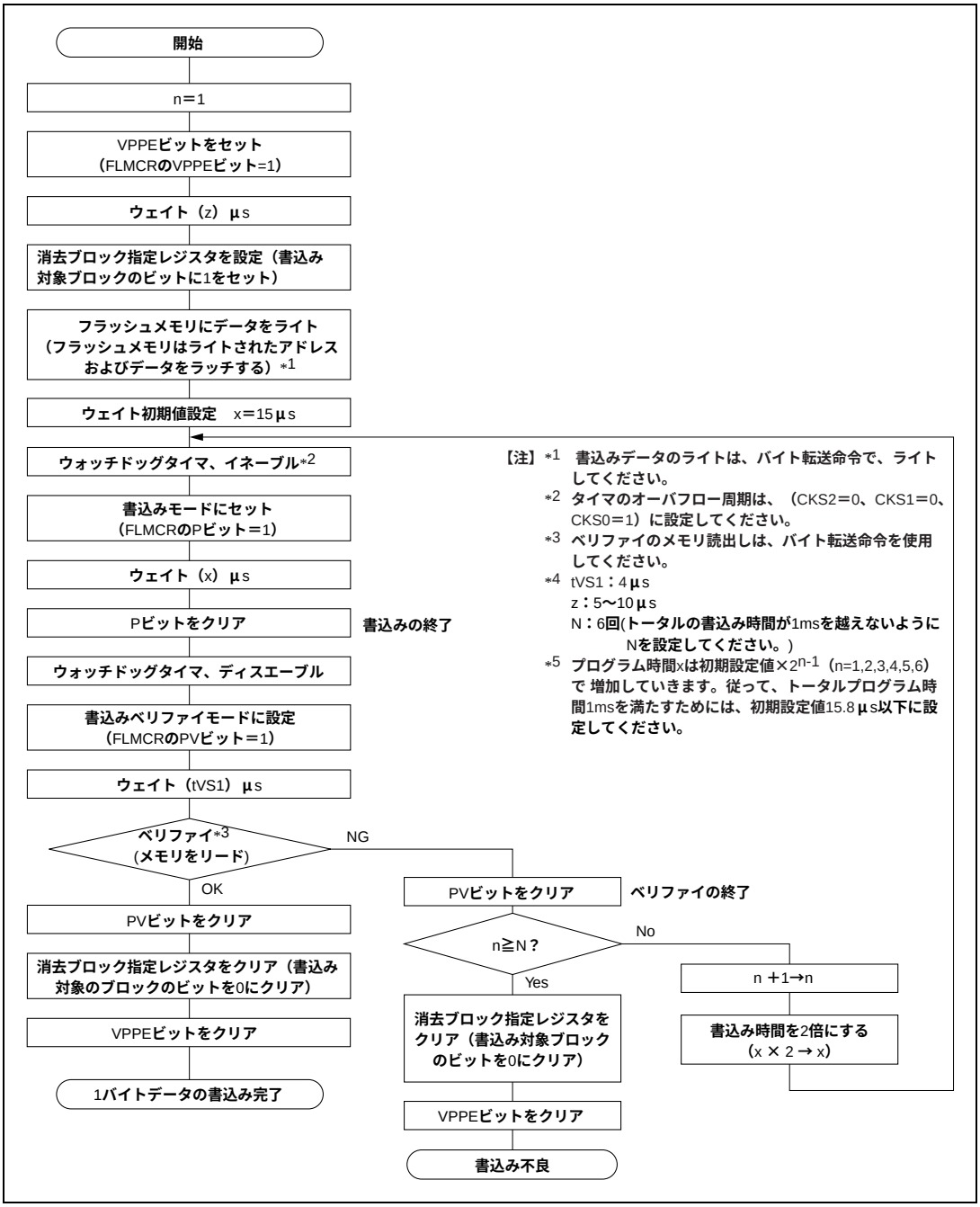


図 19.9　**書込みフローチャート**

(2) 1 バイト書込みのプログラム例

使用レジスタと使用方法

R0： プログラムベリファイのフェイルカウントに用います。
R1： プログラムベリファイのループカウンタ値の設定に用います。
ER2： プログラムアドレスをロングワードデータで格納します。アドレス設定は H'00000000～H'0001FFFF が有効です。
R3H： プログラムデータをバイトデータで格納します。
R4： TCSR、FLMCR の設定およびクリアに用います。
E4： プログラムループカウンタの初期値を格納します。
R5： FLMCR のクリアに用います。
E5： プログラムループカウンタの値を格納します。
ER2（プログラムアドレス）および R3H（プログラムデータ）の値を設定することにより、任意のデータを任意のアドレスに書込むことが可能です。

＃a、＃b および＃g の値は動作周波数によって異なります。**表** 19.9 の計算方法によって算出してください。

```
FLMCR:   .EQU     FFFF40
EBR1:    .EQU     FFFF42
EBR2:    .EQU     FFFF43
TCSR:    .EQU     FFFFA8
PRGM:    MOV.W    #0001,    R0          ; プログラムベリファイフェイルカウント
         MOV.W    #g,       R1          ; プログラムループカウンタの設定
         MOV.W    #4140,    R4          ;
         MOV.B    R4L,      @FLMCR:8    ; VppE ビットセット
LOOP0:   DEC.W    #1,       R1          ;
         BPL      LOOP0
         MOV.B    #**,      R0H         ;
         MOV.B    R0H,      @EBR* :8    ; EBR*セット
         MOV.B    R3H ,     @ER2        ; ダミーライト
         MOV.W    #a,       E4          ; プログラムループカウンタの初期値設定
PRGMS:   MOV.W    #A579,    R4          ; WDT スタート
         MOV.W    R4,       @TCSR:16    ;
         MOV.W    E4,       E5          ; プログラムループカウンタ設定
         MOV.W    #4140,    R4          ;
         MOV.B    R4H,      @FLMCR:8    ; P ビットセット
LOOP1:   DEC.W    #1,       E5          ; プログラム
         BPL      LOOP1                 ;
         MOV.B    R4L,      @FLMCR:8    ; P ビットクリア
         MOV.W    #A500,    R4          ;
         MOV.W    R4,       @TCSR:16    ; WDT ストップ
```

```
        MOV:W    #b,       R1          ; プログラムベリファイループカウンタの設定
        MOV.B    #44,      R4H         ;
        MOV.B    R4H,      @FLMCR:8    ; PV ビットセット
LOOP2:  DEC.W    #1,       R1          ; ウェイト
        BPL      LOOP2                 ;
        MOV.B    @ER2,      R1H        ; プログラムアドレスリード
        CMP.B    R3H,      R1H         ; プログラムデータとリードデータの比較
        BEQ      PVOK                  ; プログラムベリファイの判定
PVNG:   MOV.B    #40,      R5H         ;
        MOV.B    R5H,      @FLMCR:8    ; PV ビットクリア
        CMP.B    #06,      R0L         ; プログラムベリファイ 6 回実行?
        BEQ      NGEND                 ; プログラムベリファイ 6 回実行ならば NGEND に分岐
        INC.B    R0L                   ; プログラムベリファイフェイルカウント＋1→R0L
        SHLL.W   E4                    ; プログラムループカウンタを 2 倍
        BRA      PRGMS                 ; 再書込み処理
PVOK:   MOV.W    #4000,    R5          ;
        MOV.B    R5H,      @FLMCR:8    ; PV ビットクリア
        MOV.B    R5L,      @EBR*:8     ; EBR*クリア
        MOV.B    R5L,      @FLMCR:8    ; VPPE ビットクリア
・・・・・・・・・・・・・・・・・・・ 1 バイトデータの書込み完了
NGEND:  MOV.W    #4000,    R5          ;
        MOV.B    R5L,      @EBR*:8     ; EBR*クリア
        MOV.B    R5L,      @FLMCR:8    ; VPPE ビットクリア
        書込み不良
```

19.5.4 消去モード

フラッシュメモリの消去は、**図** 19.10 に示す消去アルゴリズムに従い行ってください。この消去アルゴリズムは、デバイスへの電圧ストレス、あるいはプログラムデータの信頼性を損なうことなく、消去を行うことができます。

フラッシュメモリの消去では、消去を開始する前に消去するブロックの全メモリデータが書き込まれた状態（全メモリデータ：H'00）にしてください。全メモリデータが書き込まれた状態でない場合は、後述するシーケンスに従い全メモリデータに 0 を書き込んでください。フラッシュメモリの消去するエリアの指定は、FLMCR の V_{PP}E ビットをセットし 5～10 μs の待機時間を経過した後、消去ブロック指定レジスタ 1、2（EBR1、EBR2）で設定します。FLMCR の E ビットをセットし、動作モードを消去モードに設定します。E ビットをセットしている時間が消去時間になります。消去は、過消去にならないよう、消去時間をソフトウェアタイマで分割して実行してください。プログラムの暴走等により、消去し過ぎるとしきい値電圧が負になりメモリセルが正常に動作しなくなりますので、消去モードに設定する前に、あらかじめウォッチドッグタイマを設定し、過消去を起こすことのないようにしてください。

19.5.5 消去ベリファイモード

消去ベリファイモードは、消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。消去時間経過後、消去モードを解除（E ビット＝0）し、消去ベリファイモード（EV ビット＝1）に設定してください。設定した後、4μs の待機時間をとってください。消去ベリファイモードは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。このダミーライトにより、ラッチしたアドレスのメモリセルに消去ベリファイ電圧が印加されます。この状態でフラッシュメモリをリードするとラッチしたアドレスのデータが読み出されます。リード動作は、ダミーライト後、2μs の待機時間を経過した後行ってください。読み出したデータが消去されていた場合、次のアドレスをダミーライトし 2μs の待機時間を経過した後消去ベリファイを行います。読み出したデータが未消去の場合は、再度消去モードに設定し、同様に消去、消去ベリファイシーケンスを最終アドレスまで繰り返します。ただし、この消去、消去ベリファイシーケンスの繰り返しは、602 回を越えない範囲で全メモリデータが 1 になるまで行ってください。

19.5.6 消去のフローチャートとプログラム例

(1) 1 ブロック消去のフローチャート

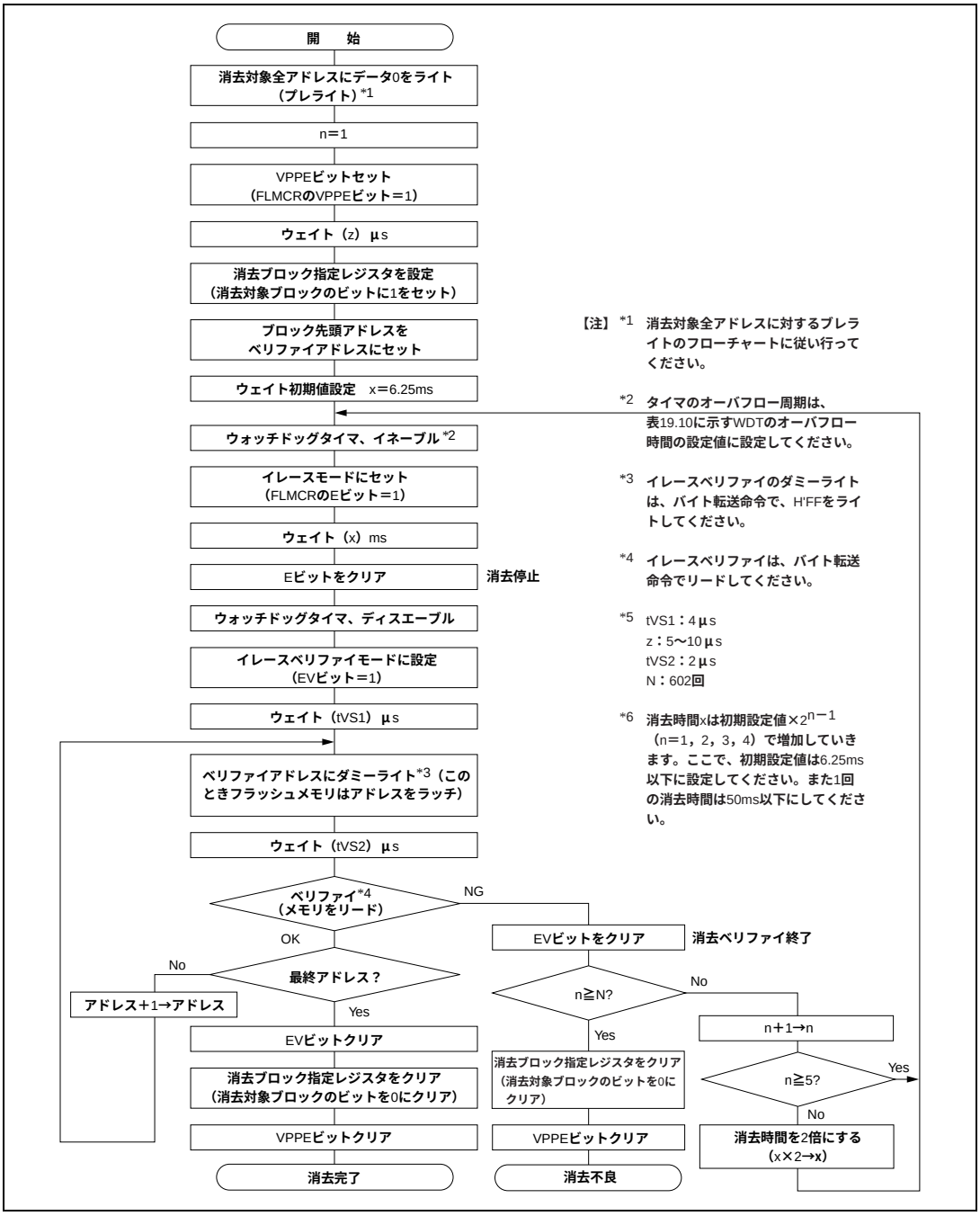


図 19.10　**消去フローチャート**

(2) プレライトのフローチャート

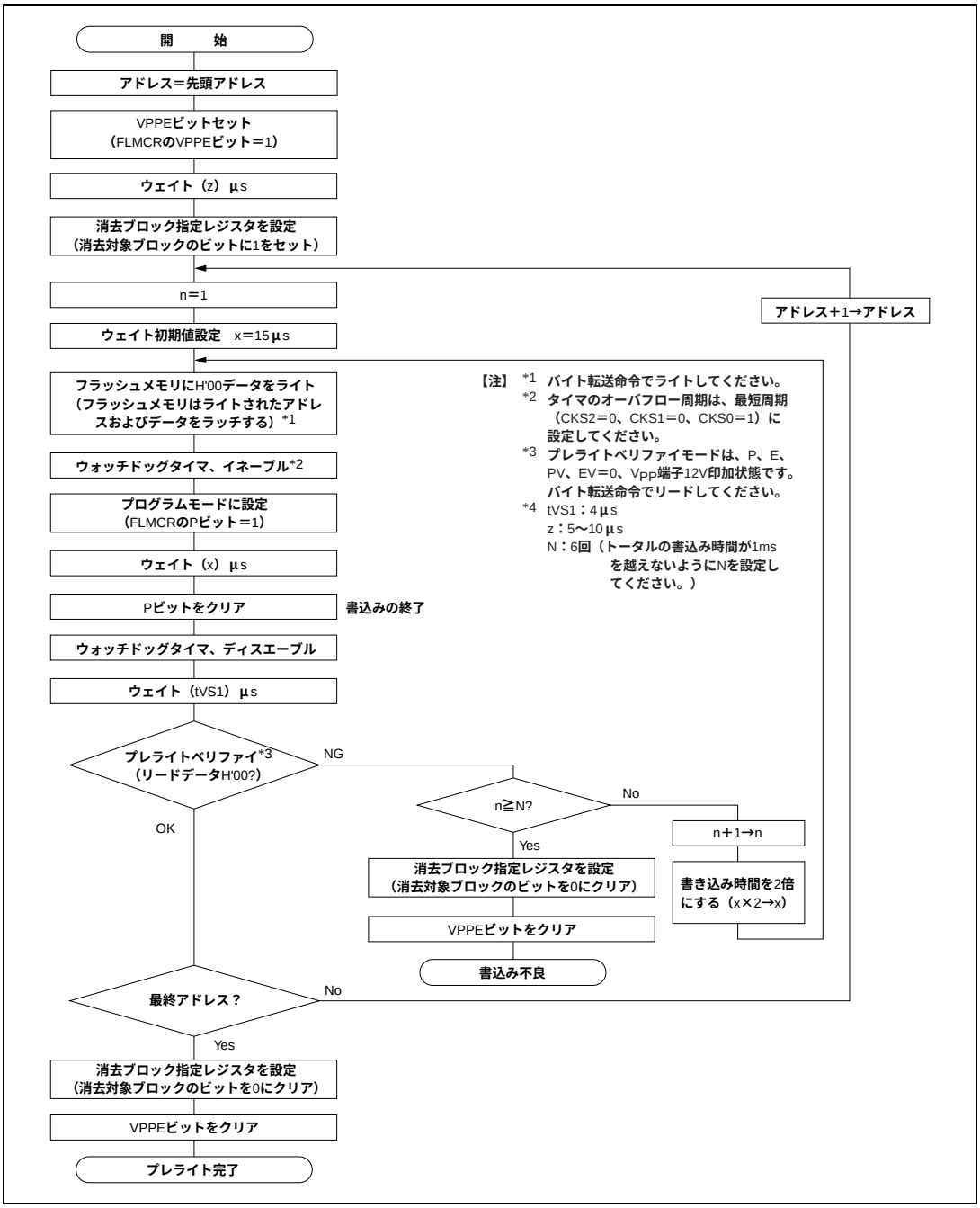


図 19.11　**プレライトフローチャート**

(3) 1 ブロック消去のプログラム例

使用レジスタと使用方法
R0： プレライトベリファイおよびイレースベリファイのフェイルカウンタに用います。
ER1： プレライトに用いるアドレスを格納します。
ER2： プレライトおよびイレースベリファイに用いるアドレスを格納します。
ER3： イレースベリファイに用いるアドレスを格納します。
ER4： ループカウンタ値の設定に用います。
R5： 各レジスタの設定に用います。
R6： 各レジスタの設定に用います。

プログラム中の＃a、＃c、＃d、＃e、＃f、＃g、＃h の値は動作周波数によって異なります。
表 19.9 および**表** 19.10 の計算方法によって算出してください。

```
FLMCR:   .EQU      FFFF40
EBR1:    .EQU      FFFF42
EBR2:    .EQU      FFFF43
TCSR:    .EQU      FFFFA8

；#BLKSTR は消去するブロックの先頭アドレスを設定してください。
；#BLKEND は消去するブロックの最終アドレスを設定してください。
         MOV.L   #BLKSTR:32, ER1   ; ER1:消去対象ブロックの先頭アドレス
         MOV.L   #BLKEND:32, ER2   ; ER2:消去対象ブロックの最終アドレス

；プレライト実行
PREWRT:  MOV.W   #g,      R4        ; ウエイトカウンタの設定
         MOV.W   #4140,   R6        ;
         MOV.B   R6L,     @FLMCR:8  ; VppE ビットセット
LOOPR0:  DEC.W   #1,      R4        ;
         BPL     LOOPR0             ;
；消去するブロックに対応する EBR1 または EBR2 のビットをセットしてください。
         MOV.B   #**,      R5H       ;
         MOV.B   R5H      @EBR*      ; EBR*セット
PREWRN:  SUB.B   R0H,     R0H       ; R0:プレライトベリファイフェイルカウント
         MOV.W   #a,      E4        ; プレライトループカウンタの初期値設定
PREWRS:  MOV.B   #00      R5H       ; データ#00 をライト
         MOV.B   R5H,     @ER1      ;
         MOV.W   #A579,   R5        ; WDT スタート
         MOV.W   R5,      @TCSR:16  ;
         MOV.W   E4,      R4        ;プレライトループカウンタ設定
```

```
        MOV.W   #4140,  R6        ;
        MOV.B   R6H,    @FLMCR:8  ; P ビットセット
LOOPR1: DEC.W   #1,     R4        ; プレライト
        BPL     LOOPR1            ;
        MOV.B   R6L,    @FLMCR:8  ; P ビットクリア
        MOV.W   #A500,  R5        ; WDT ストップ
        MOV.W   R5,     @TCSR:16  ;
        MOV.W   #c,     R5        ; プレライトベリファイループカウンタの設定
LOOPR2: DEC.W   #1,     R5        ; ウェイト
        BPL     LOOPR2            ;
        MOV.B   @ER1,   R5H       ; リードデータ=#00?
        BEQ     PWVFOK            ; リードデータ=#00 ならば PWVFOK に分岐
        CMP.B   #05,    R0H       ; プレライトベリファイ 6 回実行?
        BEQ     ABEND1            ; プレライトベリファイ 6 回実行ならば ABEND1 に分岐
        SHLL.W  E4                ; プレライトループカウンタを 2 倍
        INC.B   R0H               ; プレライトベリファイフェイルカウント+1 → R0H
        BRA     PREWRS            ; 再プレライト処理
PWVFOK: CMP.L   ER2,    ER1       ; 最終アドレス?
        BEQ     ERASES            ;
        INC.L   #1,     ER1       ; アドレス+1→R1
        BRA     PREWRN            ; 最終アドレスでなければ次アドレスのプレライト

; イレース実行
ERASES: SUB.W   R0,     R0        ; R0:イレースベリファイフェイルカウント
        MOV.L   #BLKSTR:32,ER3    ; ER3:消去対象ブロックの先頭アドレス
        MOV.W   #d,     E4        ; イレースループカウンタの初期値設定
ERASE:  CMP.W   #025A,  R0        ; R0=025A?（イレースベリファイフェイルカウント 603 回?）
        BEQ     ABEND2            ; R0=025A ならば ABEND2 に分岐
        INC.W   #1,     R0        ; イレースベリファイフェイルカウント+1→R0
        MOV.W   E4,     R4        ;
        MOV.W   #f,     R5        ; WDT スタート
        MOV.W   R5,     @TCSR:16  ;
        MOV.B   #42,    R5H       ; E ビットセット
        MOV.B   R5H,    @FLMCR:8  ;
LOOPE:  PUSH.L  ER5
        POP.L   ER5
        PUSH.L  ER5
        POP.L   ER5
```

```
        PUSH.L  ER5
        POP.L   ER5
        DEC.W   #1,     R4        ; イレース
        BPL     LOOPE             ;
        MOV.B   #40,    R5H       ;
        MOV.B   R5H,    @FLMCR:8  ; E ビットクリア
        MOV.W   #A500,  R5        ;
        MOV.W   R5,     @TCSR:16  ; WDT ストップ

; イレースベリファイ実行
        MOV.B   #48,    R5H       ;
        MOV.B   R5H,    @FLMCR:8  ; EV ビットセット

        MOV.W   #e,     R4        ; R4:イレースベリファイループカウンタ
LOOPEV: DEC.W   #1,     R4        ;
        BPL     LOOPEV            ; ウェイト

EVR2:   MOV.B   #FF,    R4H       ;
        MOV.B   R4H,    @ER3      ; ダミーライト
        MOV.W   #h,     R4        ; R4:イレースベリファイループカウンタ
LOOPDW: DEC.W   #1,     R4        ;
        BPL     LOOPDW            ; ウェイト
        MOV.B   @ER3+,  R4H       ; リード
        CMP.B   #FF,    R4H       ; リードデータ＝ #FF?
        BNE     RERASE            ; リードデータ≠ #FF ならば RERASE に分岐
        CMP.L   ER2,    ER3       ; ブロック最終アドレス?
        BGT     EVR2              ; ブロック最終アドレスでなければ次アドレスイレース
                                  ; ベリファイ
        BRA     OKEND             ; OKEND に分岐
RERASE: MOV.W   #4000,  R5        ;
        MOV.B   R5H,    @FLMCR:8  ; EV ビットクリア
        DEC.L   #1,     ER3       ; イレースベリファイアドレス-1 -> R3
        CMP.W   #0004   R0        ;
        BGE     KEEP              ; イレース 4 回目？
        SHLL.W  E4                ; イレースループカウンタを 2 倍
KEEP:   BRA     ERASE             ; 再イレース
OKEND:  MOV.W   #4000,  R5        ;
        MOV.B   R5H,    @FLMCR:8  ; EV ビットクリア
```

```
        MOV.W   #0000,  R5        ;
        MOV.W   R5,     @EBR1:16  ; EBR1 と EBR2 のクリア
        MOV.B   R5L,    @FLMCR:8  ; VppE ビットクリア
・・・・・・・・・・・・・・・・・・1 ブロック消去完了

ABEND1: MOV.W   #0000,  R5        ;
        MOV.W   R5,     @EBR1:16  ; EBR1 と EBR2 のクリア
        MOV.B   R5L,    @FLMCR:8  ; VppE ビットクリア
        書込み不良

ABEND2: MOV.W   #0000,  R5        ;
        MOV.W   R5,     @EBR1:16  ; EBR1 と EBR2 のクリア
        MOV.B   R5L,    @FLMCR:8  ; VppE ビットクリア
        消去不良
```

(4) 複数ブロック消去のフローチャート

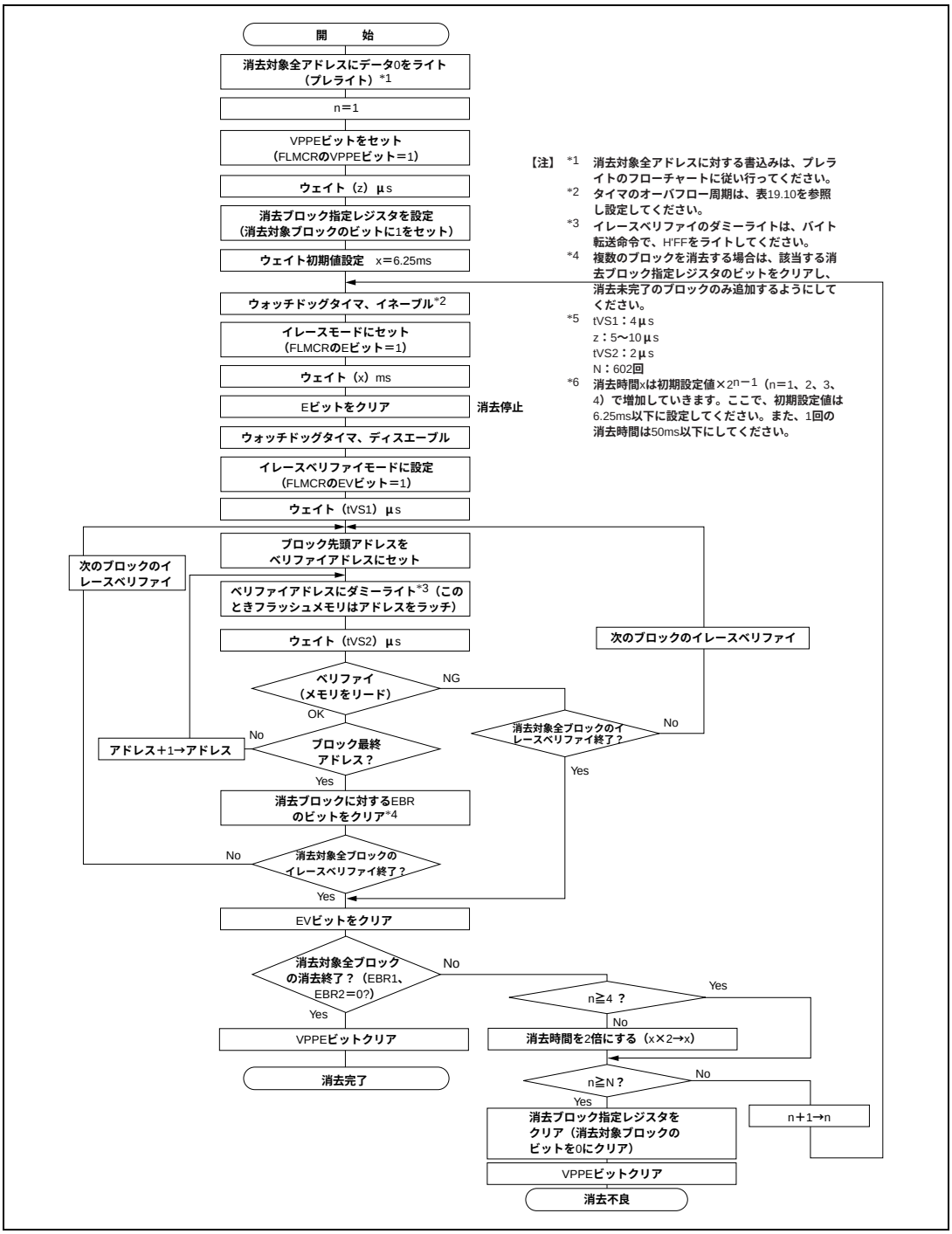


図 19.12　**複数ブロック消去フローチャート**

(5) 複数ブロック消去のプログラム例

使用レジスタと使用方法
R0 ・ R6：イレースブロックの指定に用います。（後述の説明に従い設定してください。）
R1H：　プレライトベリファイのフェイルカウントに用います。
R1Ｌ：　R0 の 0 ビットから 15 ビットをテストするのに使用します。
ER2：　プレライトおよびイレースベリファイ時に用いるアドレス格納番地を指定します。
ER3：　プレライトおよびイレースベリファイ時に用いるアドレスを格納します。
ER4：　プレライトおよびイレースベリファイ時に用いるアドレスを格納します。
ER5：　各種レジスタの設定に用います。
E0 ・ E1：ループカウンタの設定に用います。
E6：　イレースベリファイのフェイルカウントに用います。

R6 に設定する値により、任意のブロックを消去することが可能です。

R6 の各ビットと、消去するブロックの対応とその具体例を以下に示します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R6	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
	EBR1**に対応します**								EBR2**に対応します**							

【具体例】LB2、SB7、SB0 を消去する場合

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R6	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
	EBR1**に対応します**								EBR2**に対応します**							
設定値	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	1

R6 の設定は次のようになります。

```
MOV.W   #0481,   R6
MOV.W   R6,      @EBR1
```

プログラム中の＃a、＃c、＃d、＃e、＃f、＃g、＃h の値は動作周波数によって異なります。**表** 19.9 および**表** 19.10 の計算方法によって算出してください。

プログラム中の＃RAMSTR は、ROM 内の本プログラムを RAM に転送する際の RAM 先頭アドレスを入れてください。

```
FLMCR:          .EQU    FFFF40
EBR1:           .EQU    FFFF42
EBR2:           .EQU    FFFF43
TCSR:           .EQU    FFFFA8

; R0 の値を設定してください。
START:  MOV.W   #FFFF,    R6        ; 消去するブロックの選択（R6:EBR1/EBR2）
        MOV.W   R6,       R0        ; R0:EBR1/EBR2
        SUB.W   R1,       R1        ; R1L:R0 の R1 ビットテストを行うのに用いる

; RAMSTR はプログラム転送先の先頭アドレス（RAM）を入れてください。（偶数に設定してください）
        MOV.L   #RAMSTR:32,  ER2    ; 転送先の先頭アドレス（RAM）
        ADD.L   #ERVADR:32,  ER2    ; #RAMSTR+#ERVADR→ER2
        SUB.L   #START:32,   ER2    ; ER2:RAM 内で用いるデータ領域のアドレス

PRETST: CMP.B   #10,      R1L       ; R1L=#10?
        BEQ     ERASES              ; R0 の全ビットチェック終了なら ERASES に分岐

        CMP.B   #08,      R1L       ;
        BCC     BC0                 ;
        BTST    R1L,      R0H       ;
        BNE     PREWRT              ;
        BRA     PWADD1              ;
BC0:    BTST    R1L,      R0L       ; R0 の R1 ビット をテスト
        BNE     PREWRT              ; R0 の R1 ビットが 1 ならば PREWRT に分岐

PWADD1: INC.B   R1L                 ; R1L+1→R1L
        MOV.L   @ER2+,    ER3       ; ER2 のダミーインクリメント
        BRA     PRETST

; プレライト実行
PREWRT: MOV.L   @ER2+,    ER3       ; ER3:プレライトスタートアドレス
        MOV.L   @ER2,     ER4       ; ER4: 次ブロックの先頭アドレス
        MOV.W   #g,       E5        ; ウェイトカウンタ
        MOV.W   #4140,    R5        ;
```

```
        MOV.B   R5L,      @FLMCR:8  ; VppE ビットセット
LOOPR0: DEC.W   #1,       E5        ;
        BPL     LOOPR0              ;
        MOV.W   R6,       @EBR1:16  ; EBR セット（R6:EBR1/EBR2）

PREW:   MOV.B   #01,      R1H       ; プレライトベリファイフェイルカウント
        MOV.W   #a,       E0        ; プレライトループカウンタ初期値設定
PREWRS: MOV.B   #00       R5H       ; データ#00 をライト
        MOV.B   R5H,      @ER3      ;
        MOV.W   #A579,    E5        ;
        MOV.W   E5,       @TCSR:16  ; WDT スタート
        MOV.W   E0,       E1        ; プログラムループカウンタの設定
        MOV.W   #4140,    R5
        MOV.B   R5H,      @FLMCR:8  ; P ビットセット
LOOPR1: DEC.W   #1,       E1        ; プログラム
        BPL     LOOPR1              ;
        MOV.B   R5L,      @FLMCR:8  ; P ビットクリア
        MOV.W   #A500,    R5        ;
        MOV.W   R5,       @TCSR:16  ; WDT ストップ

        MOV.W   #c,       R5        ; プレライトベリファイループカウンタ
LOOPR2: DEC.W   #1,       R5        ;
        BPL     LOOPR2              ;

        MOV.B   @ER3,     R5H       ; リードデータ=#00?
        BEQ     PWVFOK              ; リードデータ=#00 ならば PWVFOK に分岐

PWVFNG: CMP.B   #06,      R1H       ; プレライトベリファイ 6 回実行 ?
        BEQ     ABEND1              ; プレライトベリファイ 6 回実行ならば ABEND1 に分岐
        INC.B   R1H                 ; プレライトベリファイフェイルカウント+1→R1H
        SHLL.W  E0                  ; プレライトループカウンタを 2 倍
        BRA     PREWRS              ; 再プレライト処理

PWVFOK: INC.L   #1,       ER3       ; アドレス+1→ER3
        CMP.L   ER4,      ER3       ; 最終アドレス?
        BEQ     PWADD2              ;
        BRA     PREW                ;
```

```
PWADD2: INC.B    R1L                 ; R0 の R1L+1 ビットをテストするのに用いる
        BRA      PRETST              ; PRETST に分岐

; イレース実行
ERASES: MOV.W    R6,       @EBR1:16  ; EBR1/EBR2 の設定

        SUB.W    E6,       E6        ; E6:イレースベリファイフェイルカウント
        MOV.W    #d,       E0        ; イレースループカウンタの初期値設定

ERASE:  MOV.W    #f,       R5        ;
        MOV.W    R5,       @TCSR:16  ; WDT スタート
        MOV.W    E0,       E1        ; イレースループカウンタの設定
        MOV.W    #4240,    R5        ;
        MOV.B    R5H,      @FLMCR:8  ; E ビットセット
LOOPE:  PUSH.L   ER5
        POP.L    ER5
        PUSH.L   ER5
        POP.L    ER5
        PUSH.L   ER5
        POP.L    ER5
        DEC.W    #1,       E1        ; イレース
        BPL      LOOPE
        MOV.B    R5L,      @FLMCR:8  ; E ビットクリア
        MOV.W    #A500,    R5        ;
        MOV.W    R5,       @TCSR:16  ; WDT ストップ

; イレースベリファイ実行
EVR:    MOV.W    R6,       R0        ; R0: EBR1/EBR2
        SUB.W    R1,       R1        ; R1: R0 の R1 ビットテストを行うのに用いる

; #RAMSTR は本プログラムの転送先である RAM の先頭アドレスを入れてください
        MOV.L    #RAMSTR:32,  ER2    ; 転送先の先頭アドレス（RAM）
        ADD.L    #ERVADR:32,  ER2    ; #RAMSTR+#ERVADR→ER2
        SUB.L    #START:32,   ER2    ; ER2: RAM 内で用いるデータ領域のアドレス

        MOV.B    #48,      R5H       ;
        MOV.B    R5H,      @FLMCR:8  ; EV ビットセット
```

```
        MOV.W   #e,     R5      ; R5:イレースベリファイループカウンタの設定
LOOPEV: DEC.W   #1,     R5      ; プログラム
        BPL     LOOPEV          ; ウェイト

EBRTST: CMP.B   #10,    R1L     ; R1L=#10 ?
        BEQ     HANTEI          ; R0 の全ビットチェック終了なら HANTEI に分岐
        CMP.B   #08,    R1L     ;
        BCC     BC1             ;
        BTST    R1L,    R0H     ; R0H（EBR1）の R1 ビットをテスト
        BNE     ERSEVF          ;
        BRA     ADD01           ;
BC1:    BTST    R1L,    R0L     ; R0L（EBR2）の R1 ビットをテスト
        BNE     ERSEVF          ; R0 の R1 ビットが 1 ならば ERSEVF に分岐

ADD01:  INC.B   R1L             ; R1L+1→R1L
        MOV.L   @ER2+,  ER3     ; R2 のダミーインクリメント
        BRA     EBRTST

ERSEVF: MOV.L   @ER2+,  ER3     ; ER3:イレースベリファイするブロック先頭アドレス
        MOV.L   @ER2,   ER4     ; ER4:次ブロック先頭アドレス

EVR2:   MOV.B   #FF,    R5H     ;
        MOV.B   R5H,    @ER3    ; ダミーライト
        MOV.W   #h,     R5      ; R5:イレースベリファイループカウンタ
LOOPDW: DEC.W   #1,     R5      ;
        BPL     LOOPDW          ; ウエイト
        MOV.B   @ER3+,  R5L     ; リード
        CMP.B   #FF,    R5L     ; リードデータ＝ #FF?
        BNE     ADD02           ; リードデータ＝ #FF でなければ ADD02 へ分岐
        CMP.L   ER4,    ER3     ; ブロック最終アドレス?
        BNE     EVR2            ; ブロック最終アドレスでなければ EVR2 へ分岐
        CMP.B   #08,    R1L     ;
        BCC     BC2             ;
        BCLR    R1L,    R0H     ; R0H（EBR1）の R1L ビットをクリア
        BRA     ADD02           ;
BC2:    BCLR    R1L,    R0L     ; R0L（EBR2）の R1L ビットをクリア
ADD02:  INC.B   R1L             ; R1L+1→R1L
        BRA     EBRTST          ; 次の消去ブロックのイレースベリファイ
```

```
HANTEI; MOV.W    #4000,    R5         ;
        MOV.B    R5H,      @FLMCR:8   ; EV ビットクリア
        MOV.W    R0,       @EBR1:16   ; イレースブロック完了のビットクリア

        BEQ      EOWARI               ; EBR1/EBR2 が全て 0 ならば消去正常終了

        CMP.W    #025A,    E6         ; E6=025A?（イレースベリフェイルカウント 602 回?）

        BEQ      ABEND2               ; E6=025A ならば ABEND2 に分岐
        INC.W    #1,       E6         ; イレースベリファイフェイルカウント+1→E6
        CMP.W    #0004,    E6         ;
        BGE      KEEP                 ; イレース 4 回目 ?
        SHLL.W   E0                   ; イレースループカウンタを 2 倍
KEEP:   BRA      ERASE                ; 再イレース

;------<イレース・ベリファイ時のブロックアドレステーブル>--------------------
        .ALIGN   2
ERVADR: .DATA.L  00000000             ; #0000  LB0
        .DATA.L  00004000             ; #4000  LB1
        .DATA.L  00008000             ; #8000  LB2
        .DATA.L  0000C000             ; #C000  LB3
        .DATA.L  00010000             ; #10000 LB4
        .DATA.L  00014000             ; #14000 LB5
        .DATA.L  00018000             ; #18000 LB6
        .DATA.L  0001C000             ; #1C000 LB7
        .DATA.L  0001F000             ; #1F000 SB0
        .DATA.L  0001F200             ; #1F200 SB1
        .DATA.L  0001F400             ; #1F400 SB2
        .DATA.L  0001F600             ; #1F600 SB3
        .DATA.L  0001F800             ; #1F800 SB4
        .DATA.L  0001FA00             ; #1FA00 SB5
        .DATA.L  0001FC00             ; #1FC00 SB6
        .DATA.L  0001FE00             ; #1FE00 SB7
        .DATA.L  00020000             ; #20000 FLASH AREA END ADDRESS

E0WARI: MOV.B    #00,      R5L        ;
        MOV.B    R5L,      @FLMCR:8   ; VppE ビットクリア
```

```
        消去完了
ABEND1: MOV.W   #0000,   R5         ;
        MOV.W   R5,      @EBR1:16   ; EBR1 と EBR2 のクリア
        MOV.B   R5L,     @FLMCR:8   ; VppE ビットクリア
        書き込み不良
ABEND2: MOV.W   #0000,   R5         ;
        MOV.W   R5,      @EBR1:16   ; EBR1 と EBR2 のクリア
        MOV.B   R5L,     @FLMCR:8   ; VppE ビットクリア
        消去不良
```

(6) プログラム中のループカウンタ値および WDT オーバフロー時間の設定

プログラム例中の a～h は動作周波数によって設定が変わります。

10MHz の場合を**表** 19.9 に示します。その他の動作周波数のときは、以下に示す計算式により算出してください。ただし、f に関しては**表** 19.10 に従って設定をしてください。

表 19.9 **プログラム中のループカウンタ値**（10MHz）

動作周波数 ＼ 変数		a（f）	b（f）	c（f）	d（f）	e（f）	g（f）	h（f）
f＝10MHz	16 **進表示**	H'0019	H'0007	H'0007	H'03B3	H'0007	H'0009	H'0004
	10 **進表示**	25	7	7	947	7	9	4

（参） Program tVS1 at write tVS2 at pre-write Erase tVS1 at erase z tVS2

【計算式】

$$a(f) \sim h(f) = \frac{\text{動作周波数}f\,[\text{MHz}]}{10} \times a(f=10) \sim h(f=10)$$

【計算例】16MHz の場合

$$a(f) = \frac{16}{10} \times 25 = 40 \qquad \text{H'0028}$$

$$b(f) = \frac{16}{10} \times 7 = 11.2 \qquad \text{H'000C}$$

$$c(f) = \frac{16}{10} \times 7 = 11.2 \qquad \text{H'000C}$$

$$d(f) = \frac{16}{10} \times 947 = 1515.2 \qquad \text{H'05EC}$$

$$e(f) = \frac{16}{10} \times 7 = 11.2 \qquad \text{H'000C}$$

$$g(f) = \frac{16}{10} \times 9 = 14.4 \qquad \text{H'000F}$$

$$h(f) = \frac{16}{10} \times 4 = 6.4 \qquad \text{H'0007}$$

表 19.10　WDT オーバフロー時間の設定

変数 / 動作周波数[MHz]	f
10MHz 以上～16MHz 以下	H'A57F
2MHz 以上～10MHz 未満	H'A57E
1MHz 以上～2MHz 未満	H'A57D

【注】 ウォッチドッグタイマ（WDT）の設定値は、WDT スタートからストップまでの間の書込み時間、消去時間を含んだ命令数で計算されています。このため、このプログラム例中の WDT スタートからストップまでの間に、さらに命令を追加しないでください。

19.5.7　プレライトベリファイモード

プレライトベリファイモードは、消去前にしきい値電圧を揃えるため、全ビット 0 書込み後に使用するベリファイモードです。

全ビットの書込みは、図 19.11 に示すプレライトのアルゴリズムに従い H'00 を書き込んでください。これにより、書込み後のフラッシュメモリの全データを H'00 にしてください*。所定の書込み時間経過後、書込みモードを解除（P ビット＝0）し、プレライトベリファイモード（P、E、PV、EV ビット＝0）に設定してください。プレライトベリファイモードは、リードしたアドレスのメモリセルにプレライトベリファイ電圧を印加します。この状態でフラッシュメモリをリードすると、リードしたアドレスのデータが読み出されます。リード動作は、プレライトベリファイモードに設定後 4μs の待機時間を置いて行ってください。

【注】＊ プレライトのプログラム例は、消去フローのプログラム例を参照してください。

19.5.8 プロテクトモード

フラッシュメモリに対する書込み／消去プロテクトは、ソフトウェアプロテクトとハードウェアプロテクトの 2 つのモードがあります。以下にこのプロテクトモードについて解説します。

(1) ソフトウェアプロテクト

ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ（FLMCR）の P ビットおよび E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。このプロテクトの詳細を以下に示します。

項目	説明	機　能		
		書込み	消去	ベリファイ*1
ブロック指定プロテクト	消去ブロック指定レジスタ（EBR1、EBR2）によりブロック別に書込み／消去プロテクトの設定が可能です。EBR1 および EBR2 を H'00 に設定すると全ブロックが書込み／消去プロテクト状態になります。	不可	不可	可
エミュレーションプロテクト	RAM コントロールレジスタ（RAMCR）の RAMS ビットをセットすることにより、全ブロックの書込み／消去プロテクト状態となります。	不可*2	不可*3	可

【注】 *1 プログラムベリファイ、イレースベリファイ、プレライトベリファイの 3 つのモードです。
*2 フラッシュメモリとオーバラップした RAM エリアは除きます。
*3 全ブロックが消去不可となり、ブロック別の指定はできません。

(2) ハードウェアプロテクト

ハードウェアプロテクトでは、フラッシュメモリに対する書込み、消去が強制的に禁止、中断された状態でフラッシュメモリコントロールレジスタ（FLMCR）および消去ブロック指定レジスタ（EBR1、EBR2）の設定はリセットされます。またエラープロテクトの場合は P ビットおよび E ビットをセット可能ですが、プログラムモードおよびイレースモードへは遷移しません。このハードウェアプロテクト状態の詳細を以下に示します。

項目	説明	機　能		
		書込み	消去	ベリファイ *1
プログラム電圧（V_{PP}）プロテクト	V_{PP} に 12V が印加されていないときには、FLMCR、EBR1、2 はイニシャライズされ、書込み、消去が禁止された状態になります。このプロテクト状態にするためには、V_{PP} 電圧が電源電圧 V_{CC} を越えないようにしてください。*3	不可	不可*2	不可
リセット、スタンバイプロテクト	リセット（ウォッチドッグタイマリセットを含む）およびスタンバイ時は FLMCR、EBR1、2 はイニシャライズされ、書込み、消去が禁止された状態になります。ただし、RES 端子によるリセットでは、電源投入時は最低 20ms（発振安定時間）の間、RES 端子を Low レベルに保持しないと確実にリセット状態になりません。また、動作中のリセットは最低 10 システムクロック（10φ）サイクルの間 RES 端子を Low レベルに保持する必要があります。	不可	不可*2	不可
エラープロテクト	フラッシュメモリへの書込み、消去中にマイコン動作中の異常を検出（エラー発生（FLER＝1））した場合に、エラープロテクトが有効となります。このとき、FLMCR、EBR1、2 の設定は保持しますが、エラーが発生した時点で書込み、消去を強制的に中断します。プロテクトの解除はリセットまたはハードウェアスタンバイのみです。詳細については、（3）のエラープロテクトを参照してください。	不可	不可*2	可

【注】 *1 プログラムベリファイ、イレースベリファイ、プレライトベリファイの 3 つのモード。
*2 全ブロックが消去不可となり、ブロック別の指定はできません。
*3 詳細については「19.8 フラッシュメモリの書込み／消去の注意」を参照してください。

(3) エラープロテクト

フラッシュメモリへの書込み、消去中（FLMCR の P ビットまたは E ビットがセットされた状態）に発生したマイコンの異常動作（書込み／消去アルゴリズムに従っていない動作）がフラッシュメモリエラー（RAMCR の FLER ビットがセット）として検出された場合に、フラッシュメモリはエラープロテクト状態へ遷移します（これはフラッシュメモリの動作状態を示すもので、これによりマイコンの動作が影響を受けることはありません）。

このとき、フラッシュメモリコントロールレジスタ（FLMCR）および消去ブロックレジスタ（EBR1、2）の設定は保持*されていますが、エラーが発生した時点でプログラムモードまたはイレースモードを強制的に中断します。また、FLER ビットがセットされた状態では、FLMCR の P ビットまたは E ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし FLMCR の PV ビット、EV ビットの設定は有効です。このため、エラープロテクト状態ではベリファイモードへの遷移は可能です。

このプロテクト状態の解除はリセットまたはハードウェアスタンバイモードのみです。

【注】＊ レジスタへのライトは可能です。ただし、ソフトウェアスタンバイモードに遷移した場合はレジスタはイニシャライズされます。

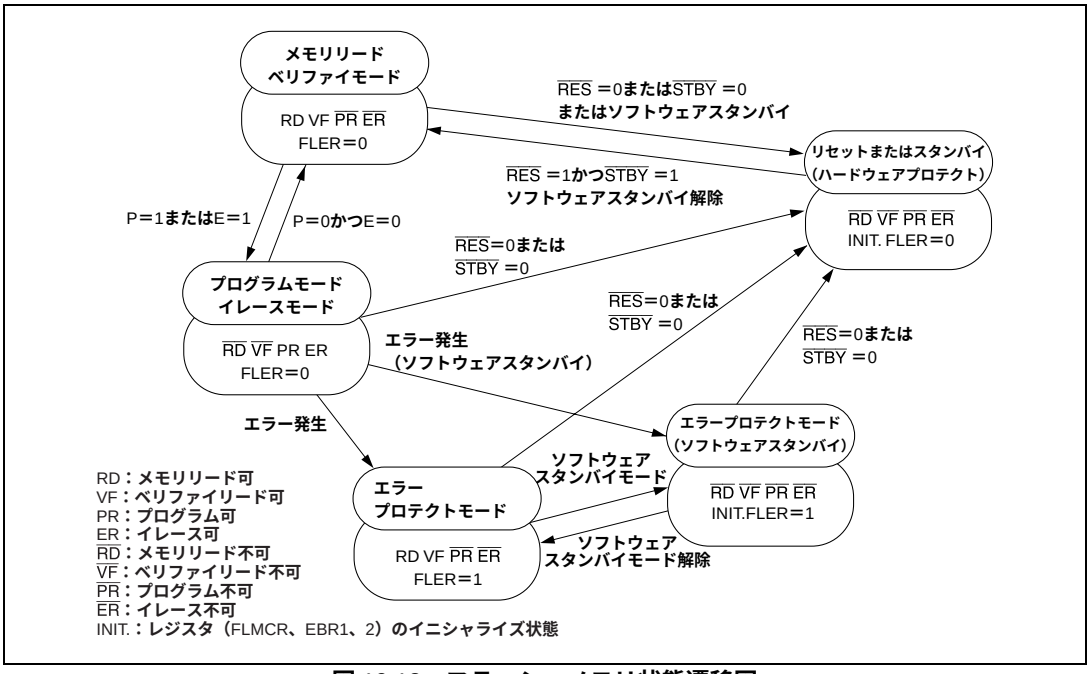


図 19.13 フラッシュメモリ状態遷移図
（モード 5、6、7（内蔵 ROM が有効）でプログラム電圧（V_{PP}）印加時）

このエラープロテクトモードはフラッシュメモリへの書込み、消去中にマイコンが暴走したり、書込み／消去アルゴリズムに従っていない動作をした場合に発生する異常を検出することによって、過書込みや過消去によるフラッシュメモリへのダメージを、極力防止することを目的とした機能です。

しかし、フラッシュメモリエラー（FLER）ビットのセット条件以外の異常動作に対してはこの機能は無効です。また、このプロテクト状態に遷移するまでに相当な時間が経過している場合は、す

でにフラッシュメモリにダメージを与えている可能性もあります。したがって、この機能ではフラッシュメモリへのダメージを完全に防止することはできません。

このため、このような異常動作を防止するためには、プログラム電圧（V_{PP}）が印加された状態では書込み／消去アルゴリズムに従ってマイコンを正しく動作させることと、マイコンの異常をウォッチドッグタイマ等でマイコン内部および外部で常に監視することが必要です。また、このプロテクトモードへ遷移した時点でのフラッシュメモリは誤書込み、誤消去等により誤ったデータが書込まれた状態であったり、強制停止によって書込みや消去が不十分であるため、必ずブートモードによる強制復帰を行ってください。

ただし、メモリ内に過消去状態のメモリセルが存在すれば、ブートモードが正常に起動されない場合があります（H8/3048Ｆの組み込みのブートプログラムは、フラッシュメモリエリアの一部にあり、メモリ内に過消去セルが存在するとブートプログラムも正常に読み出せなくなります）。

19.5.9 NMI 入力禁止条件

フラッシュメモリへの書込み、消去中（FLMCR の P ビットまたは E ビットがセット）、およびブートモードのブートプログラム実行中（ただし内蔵 RAM エリアに分岐するまでの期間*[1]）は NMI 入力が禁止されます。

これは、以下のような動作状態を回避するためのものです。

（1） 書込み、消去中にNMI入力が発生することにより、書込み／消去アルゴリズムに違反し、正常な動作が保証できなくなる。
（2） 書込み／消去中のNMI例外処理ではベクタリードが正常にできない*[2]ため、結果としてマイコンが暴走してしまう。
（3） ブートプログラム実行中にNMI入力が発生すると正常なブートモードのシーケンスが実行できなくなる。

また、エラープログラム状態でフラッシュメモリコントロールレジスタ（FLMCR）の P ビットまたは E ビットが保持された状態でも NMI 入力は禁止状態となります。

しかし、V_{PP}印加状態では NMI 入力が禁止されていないため、マイコンの外部で NMI 要求を制限する必要があります。

【注】 *1 **内蔵** RAM **のブートプログラムエリア（**H'FFEF10〜H'FFF2FF **番地）に分岐するまでの期間を示します（この分岐はユーザプログラムの転送が完了した直後に発生します）。このため、**RAM **エリアに分岐した後は、書込み消去以外の状態では** NMI **入力が可能となります。**
したがって、ユーザプログラムによる初期書込み（ベクタテーブルおよび NMI **処理プログラム等の書込み）が完了するまでは、マイコン外部で** NMI **要求を禁止する必要があります。**

*2 **この場合、以下の** 2 **つの理由によってベクタリードが正常に行われません。**
（1）書込み、消去中（FLMCR **の** P **ビットまたは** E **ビットがセット）にフラッシュメモリのリードを行っても正しい値を読みだすことはできません（値は不定）。**
（2）NMI **ベクタテーブルに値が書込まれていない場合、**NMI **例外処理が正しく実行されません。**

19.6 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリは、その消去や書込みに時間がかかるため、パラメータ等のデータをリアルタイムに書換えながらチューニングを行うといった使い方が難しい場合があります。このような場合、フラッシュメモリのリアルタイムな書換えをエミュレートするために、フラッシュメモリの小ブロックエリアに RAM の一部（H'FFF000～H'FFF1FF）を重ね合わせて使うことができます。この RAM エリアの変更は、RAM コントロールレジスタ（RAMCR）のビット 3～0 によって行います。また、RAM エリアの変更後は、フラッシュメモリに重ね合わせたエリアと本来の RAM エリア（H'FFF000～H'FFF1FF）の 2 エリアからアクセスできます。**表** 19.11 に RAM エリアの設定方法を示します。

RAM **コントロールレジスタ**（RAMCR）

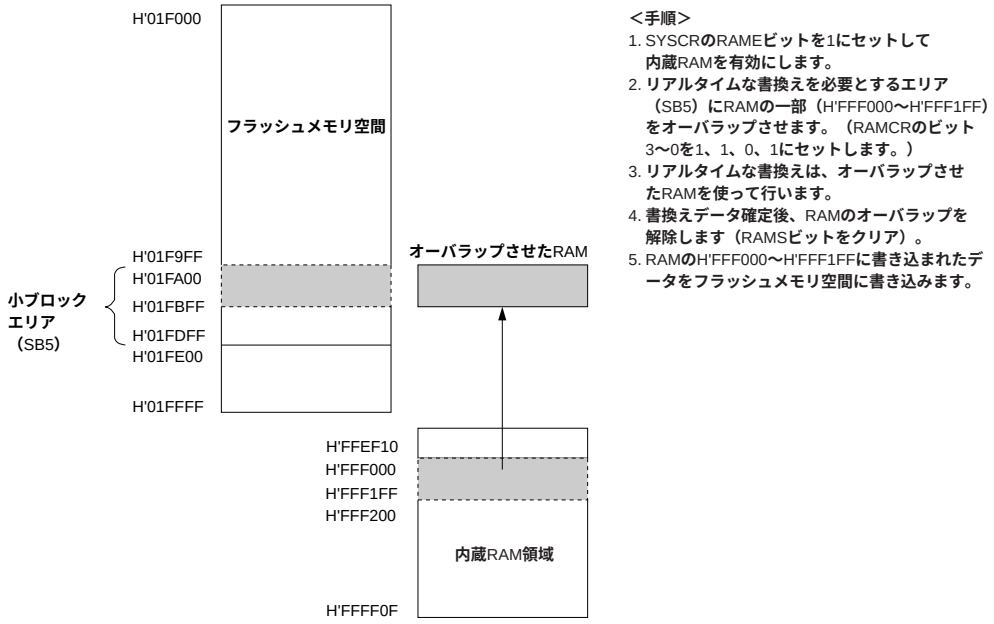
ビット ：	7	6	5	4	3	2	1	0
	FLER	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値*：	0	1	1	1	0	0	0	0
R/W ：	R	—	—	—	R/W	R/W	R/W	R/W

【注】 * ビット7およびビット3～0は、リセットまたはハードウェアスタンバイモード時にイニシャライズされます。ソフトウェアスタンバイモード時には、イニシャライズされません。また、ビット3～0はモード5、6、7（内蔵フラッシュメモリが有効）でライト可能です。それ以外のモードでは常に0が読み出され、ライトは無効です。

表 19.11 RAM **エリアの設定方法**

RAM **エリア**	**ビット** 3	**ビット** 2	**ビット** 1	**ビット** 0
	RAMS	RAM2	RAM1	RAM0
H'FFF000～H'FFF1FF	0	0/1	0/1	0/1
H'01F000～H'01F1FF	1	0	0	0
H'01F200～H'01F3FF	1	0	0	1
H'01F400～H'01F5FF	1	0	1	0
H'01F600～H'01F7FF	1	0	1	1
H'01F800～H'01F9FF	1	1	0	0
H'01FA00～H'01FBFF	1	1	0	1
H'01FC00～H'01FDFF	1	1	1	0
H'01FE00～H'01FFFF	1	1	1	1

(1) フラッシュメモリのリアルタイムな書換えをエミュレートする例



【注】1. フラッシュメモリの小ブロックエリアにRAMの一部（H'FFF000〜H'FFF1FF）を重ね合わせていた場合、この重ね合わせたフラッシュメモリのエリアは、アクセスできません。重ね合わせを解除することでアクセスできます。

2. RAMSビットを1にセットすると、RAM2〜0ビットの値にかかわらず、フラッシュメモリの全ブロックに対して書込み／消去プロテクトが有効となります。この状態ではフラッシュメモリコントロールレジスタ（FLMCR）のPビットまたはEビットをセットしてもプログラムまたはイレースモードに遷移しません。このため、フラッシュメモリエリアに実際に書込み、消去を行う場合はRAMSビットを0にクリアしてください。

図 19.14　RAM **のオーバラップ動作例**

19.7 フラッシュメモリの PROM モード

19.7.1 PROM モードの設定

内蔵 ROM がフラッシュメモリの H8/3048F では、フラッシュメモリのプログラム、消去可能なモードとして、オンボードプログラミングモード以外に PROM モードがあります。PROM モードでは、汎用 PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。

表 19.12 に PROM モードの設定方法を示します。この PROM モードでは**表** 19.13 に示すソケットアダプタを必ず使用してください。

表 19.12 PROM **モードの設定方法**

端子名	設定
モード端子：MD_2、MD_1、MD_0	Low **レベルを印加**
$P8_0$**端子、**$P8_1$**端子、**$P9_2$**端子**	
STBY **端子、**HWR **端子**	High **レベルを印加**
$P5_0$**端子、**$P5_1$**端子、**$P8_2$**端子**	
RES **端子**	**パワーオンリセット回路**
XTAL、EXTAL **端子**	**発振回路**

19.7.2 ソケットアダプタの端子対応とメモリマップ

プログラム書込み／ベリファイは、汎用 PROM ライタに専用の 100 ピン－32 ピン変換アダプタを取り付けて行います。**表** 19.13 にソケットアダプタの型名を示します。

図 19.15 に PROM モードのメモリマップを示します。また、**図** 19.16 にソケットアダプタの端子対応図を示します。

表 19.13 **ソケットアダプタ型名**

製品型名	パッケージ名称	ソケットアダプタ型名
HD64F3048F	100 **ピンプラスチック** QFP（FP-100B）	HS3048ESHF1H
HD64F3048VF		
HD64F3048TF	100 **ピンプラスチック** TQFP（TFP-100B）	HS3048ESNF1H
HD64F3048VTF		

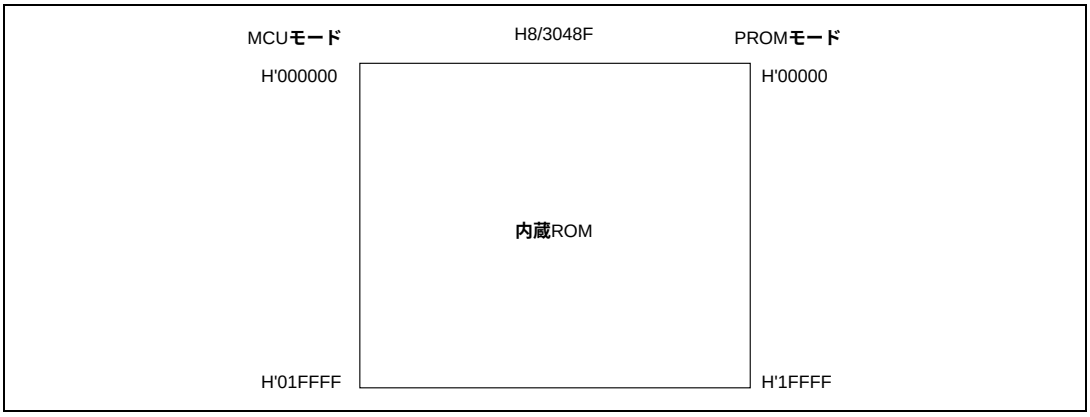


図 19.15　PROM モード時のメモリマップ

【注】＊　FP-100B、TFP-100B のピンピッチは、0.50mm と微細になっています。IC ソケットからの抜き差しについては、適当な治具を用いて行うのが適切です。治具例を表 19.14 に示します。

表 19.14　治具例

メーカ	型　番
（株）エンプラス	HP-100（バキュームペン）

H8/3048F		ソケットアダプタ	HN28F101（32ピン）	
ピン番号	端子名		端子名	ピン番号
FP-100B、TFP-100B				
10	$\overline{RESO}$		V_{PP}	1
64	NMI		A_9	26
69	$P6_3$		A_{16}	2
58	$P6_0$		A_{15}	3
90	$P8_3$		$\overline{WE}$	31
27	$P3_0$		I/O_0	13
28	$P3_1$		I/O_1	14
29	$P3_2$		I/O_2	15
30	$P3_3$		I/O_3	17
31	$P3_4$		I/O_4	18
32	$P3_5$		I/O_5	19
33	$P3_6$		I/O_6	20
34	$P3_7$		I/O_7	21
36	$P1_0$		A_0	12
37	$P1_1$		A_1	11
38	$P1_2$		A_2	10
39	$P1_3$		A_3	9
40	$P1_4$		A_4	8
41	$P1_5$		A_5	7
42	$P1_6$		A_6	6
43	$P1_7$		A_7	5
45	$P2_0$		A_8	27
46	$P2_1$		$\overline{OE}$	24
47	$P2_2$		A_{10}	23
48	$P2_3$		A_{11}	25
49	$P2_4$		A_{12}	4
50	$P2_5$		A_{13}	28
51	$P2_6$		A_{14}	29
52	$P2_7$		$\overline{CE}$	22
53、54、89	$P5_0$、$P5_1$、$P8_2$		V_{CC}	32
62、71	$\overline{STBY}$、$\overline{HWR}$		V_{SS}	16
73〜75 87、88、14	MD_0、MD_1、MD_2 $P8_0$、$P8_1$、$P9_2$			
76、77	AV_{CC} 、V_{REF}			
1、35、68	V_{CC}			
86	AV_{SS}			
11、22、44 57、65、92	V_{SS}			
63	$\overline{RES}$	パワーオン リセット回路		
66、67	EXTAL、XTAL	発振回路		
上記以外	NC（OPEN）			

【記号説明】

V_{PP} ：プログラム電源
I/O_7 〜 I/O_0 ：データ入出力
A_{16} 〜 A_0 ：アドレス入力
$\overline{OE}$ ：出力イネーブル
$\overline{CE}$ ：チップイネーブル
$\overline{WE}$ ：ライトイネーブル

【注】 本図は、端子対応を示すもので、ソケットアダプタの全回路を示すものではありません。新規に設計をする場合は、高速CMOS LSIとしての基板設計（電源電圧安定化、ノイズ対策など）と動作タイミング設計が必要です。

図 19.16 ソケットアダプタの端子対応図

19.7.3 PROM モードの動作

PROM モードの書込み／消去／ベリファイの仕様は、標準のフラッシュメモリ HN28F101 と同じです。ただし、H8/3048F は製品識別モードをサポートしていませんので、プログラマにデバイス名を自動設定することができません。**表** 19.15 に PROM モード時の各動作モードの設定方法を示します。

表 19.15 PROM **モード時の各動作モードの設定方法**

ピン／モード		V_{pp}	V_{CC}	CE	OE	WE	I/O_7〜I/O_0	A_{16}〜A_0
読出し	**読出し**	V_{CC}	V_{CC}	L	L	H	**データ出力**	**アドレス入力**
	アウトプットディスエーブル	V_{CC}	V_{CC}	L	H	H	**ハイインピーダンス**	
	スタンバイ	V_{CC}	V_{CC}	H	X	X	**ハイインピーダンス**	
コマンド書込み	**読出し**	V_{pp}	V_{CC}	L	L	H	**データ出力**	
	アウトプットディスエーブル	V_{pp}	V_{CC}	L	H	H	**ハイインピーダンス**	
	スタンバイ	V_{pp}	V_{CC}	H	X	X	**ハイインピーダンス**	
	書込み	V_{pp}	V_{CC}	L	H	L	**データ入力**	

【記号説明】

L: Low **レベル**　V_{CC}: V_{CC} **レベル**

H: High **レベル**　X：**任意**

V_{pp}: V_{pp} **レベル**

表 19.16 PROM **モード時の各コマンド**

コマンド	サイクル数	第 1 サイクル			第 2 サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読出し	1	**書込み**	X	H'00	**読出し**	RA	Dout
消去設定／消去	2	**書込み**	X	H'20	**書込み**	X	H'20
消去ベリファイ	2	**書込み**	EA	H'A0	**読出し**	X	EVD
自動消去設定／自動消去	2	**書込み**	X	H'30	**書込み**	X	H'30
プログラム設定／プログラム	2	**書込み**	X	H'40	**書込み**	PA	PD
プログラムベリファイ	2	**書込み**	X	H'C0	**読出し**	X	PVD
リセット	2	**書込み**	X	H'FF	**書込み**	X	H'FF

【記号説明】

PA：**プログラムアドレス**　EA：**消去ベリファイアドレス**

RA：**リードアドレス**　PD：**プログラムデータ**

PVD：**プログラムベリファイ出力データ**　EVD：**消去ベリファイ出力データ**

(1) 高速高信頼度プログラミング

H8/3048F のフラッシュメモリの未使用領域のデータ（初期値）は、H'FF です。H8/3048F のフラッシュメモリは、高速高信頼度プログラミング方式を適用しています。この方法は、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく、より高速な書込みを行うことができます。

図 19.17 に高速高信頼度プログラミング方式の基本的なフローチャートを示します。
また、**表** 19.17、**表** 19.18 にプログラミング時の電気的特性を示します。

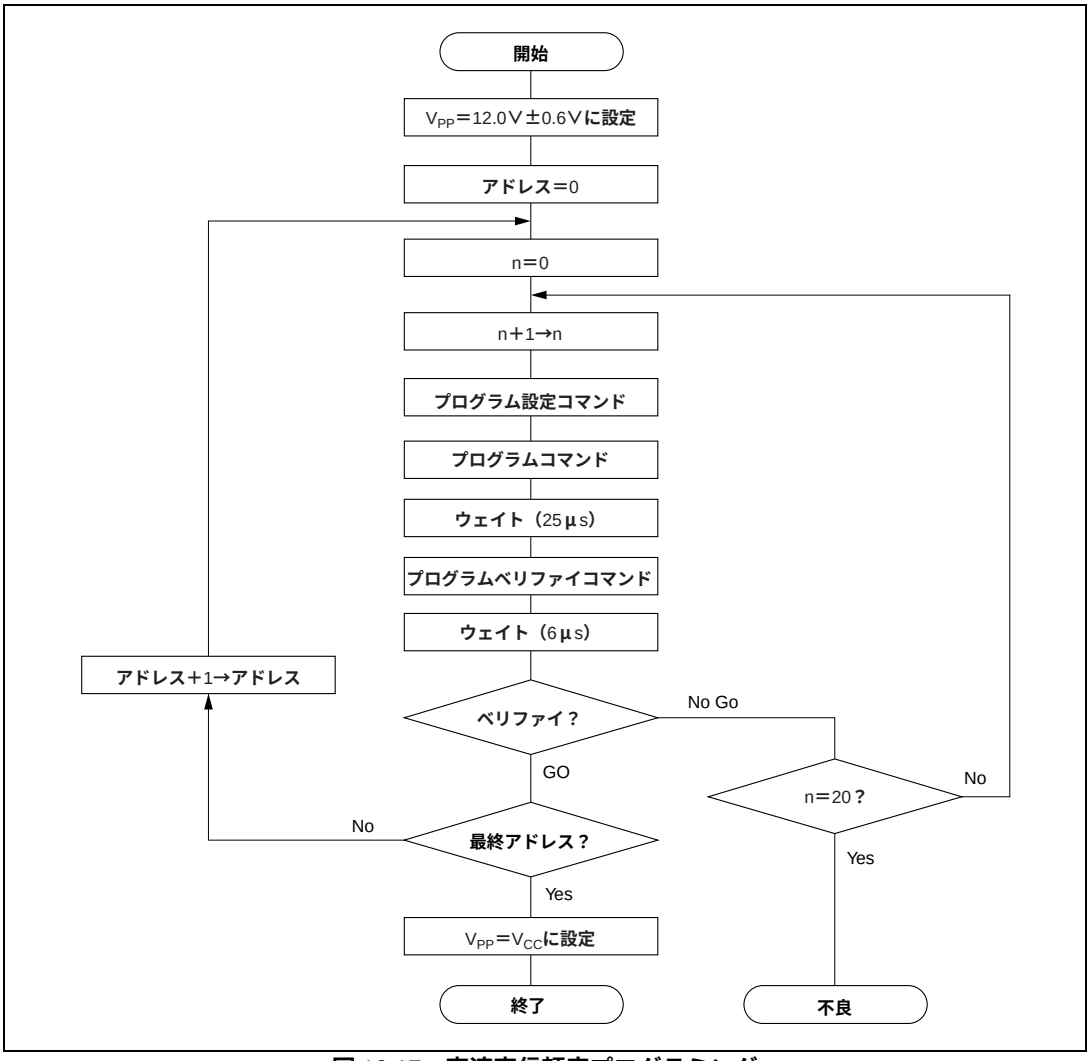


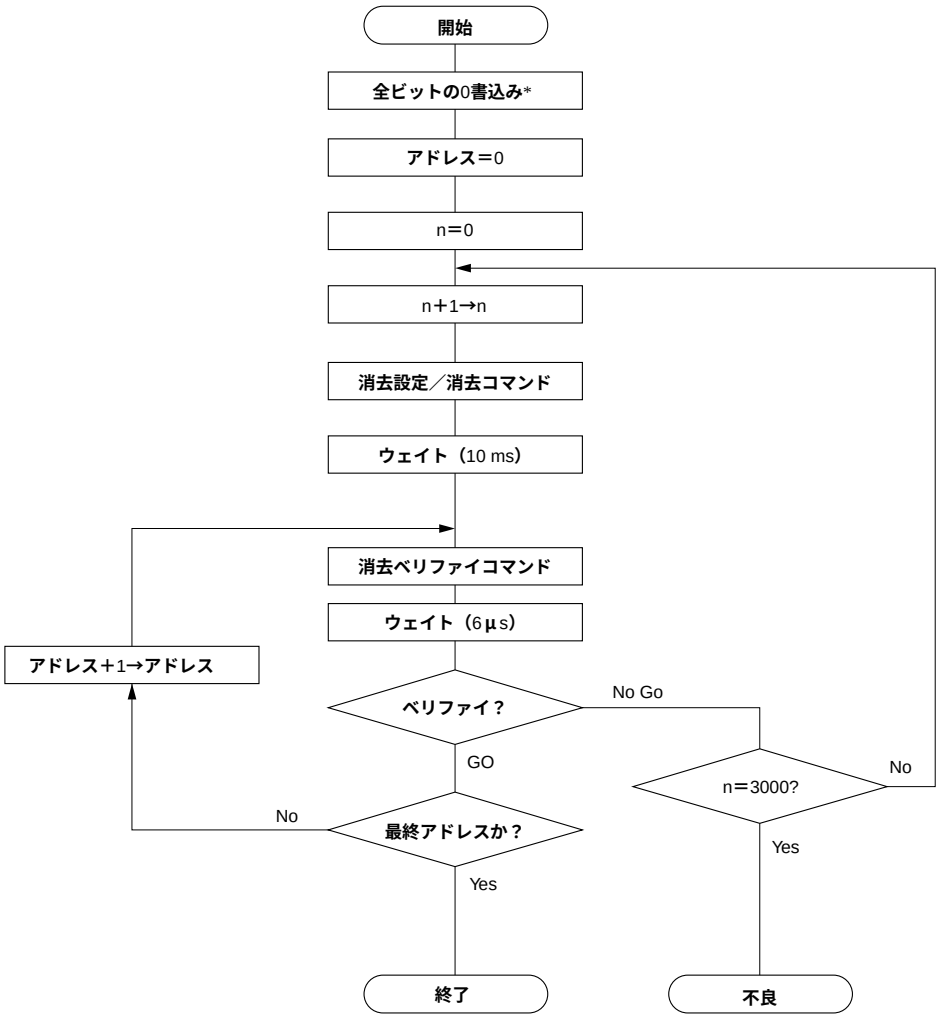
図 19.17　**高速高信頼度プログラミング**

(2) 高速高信頼度消去

H8/3048F のフラッシュメモリは、高速高信頼度消去方式を適用しています。この方法は、デバイスへの電圧ストレスあるいはデータの信頼性を損なうことなく、より高速な消去を行うことができます。

図 19.18 に高速高信頼度消去方式の基本的なフローチャートを示します。

また、**表** 19.17、**表** 19.18 にプログラミング時の電気的特性を示します。



【注】 * 全ビットに対する書込みは、高速高信頼度プログラミングフローに従い行ってください。

図 19.18 **高速高信頼度消去**

表 19.17　PROM モード時の DC 特性
（条件：V_{CC}＝5.0V±10%、V_{PP}＝12.0V±0.6V、V_{SS}＝0V、T_a＝25℃±5℃）

項　目		記号	min	typ	max	単位	測定条件
入力 High レベル電圧	I/O_7～I/O_0、A_{16}～A_0、OE、CE、WE	V_{IH}	2.2	－	V_{CC}＋0.3	V	
入力 Low レベル電圧	I/O_7～I/O_0、A_{16}～A_0、OE、CE、WE	V_{IL}	－0.3	－	0.8	V	
出力 High レベル電圧	I/O_7～I/O_0	V_{OH}	2.4	－	－	V	I_{OH}＝－200μA
出力 Low レベル電圧	I/O_7～I/O_0	V_{OL}	－	－	0.45	V	I_{OL}＝1.6mA
入力リーク電流	I/O_7～I/O_0、A_{16}～A_0、OE、CE、WE	I_{LI}	－	－	2	μA	V_{in}＝0～V_{CC}V
V_{CC} 電流	読出し時	I_{CC}	－	40	80	mA	
	プログラム時	I_{CC}	－	40	80	mA	
	消去時	I_{CC}	－	40	80	mA	
V_{PP} 電流	読出し時	I_{PP}	－	－	200	μA	V_{PP}＝5.0V
			－	10	20	mA	V_{PP}＝12.6V
	プログラム時	I_{PP}	－	20	40	mA	
	消去時	I_{PP}	－	20	40	mA	

【注】 最大定格は「23.2.1　絶対最大定格」を参照してください。最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。*

*　V_{PP} は、オーバシュートのピークを含めて 13V 以下にしてください。

表 19.18　PROM モード時の AC 特性
（条件：V_{CC}＝5.0V±10%、V_{PP}＝12.0V±0.6V、V_{SS}＝0V、T_a＝25℃±5℃）

項　目	記　号	min	typ	max	単位	測定条件
コマンド書込みサイクル	t_{CWC}	120	－	－	ns	図 19.19
アドレスセットアップ時間	t_{AS}	0	－	－	ns	図 19.20*
アドレスホールド時間	t_{AH}	60	－	－	ns	図 19.21
データセットアップ時間	t_{DS}	50	－	－	ns	
データホールド時間	t_{DH}	10	－	－	ns	
CE セットアップ時間	t_{CES}	0	－	－	ns	
CE ホールド時間	t_{CEH}	0	－	－	ns	
V_{PP} セットアップ時間	t_{VPS}	100	－	－	ns	
V_{PP} ホールド時間	t_{VPH}	100	－	－	ns	
WE 書込みパルス幅	t_{WEP}	70	－	－	ns	
WE 書込みパルス High 時間	t_{WEH}	20	－	－	ns	
コマンド書込み前の OE セットアップ時間	t_{OEWS}	0	－	－	ns	
ベリファイ前の OE セットアップ時間	t_{OERS}	6	－	－	μs	
ベリファイアクセス時間	t_{VA}	－	－	500	ns	
ステータスポーリング前の OE セットアップ時間	t_{OEPS}	120	－	－	ns	
ステータスポーリングアクセス時間	t_{SPA}	－	－	120	ns	
プログラム時の待機時間	t_{PPW}	25	－	－	ns	
消去時の待機時間	t_{ET}	9	－	11	ms	
出力ディスエーブル時間	t_{DF}	0	－	40	ns	
自動消去時のトータル時間	t_{AET}	0.5	－	30	s	

【注】 V_{PP} が 5V から 12V に、または 12V から 5V に遷移中は、CE、OE、WE ピンは、High レベルにしてください。

*　入力パルスレベル 0.45～2.4V
　　入力立上がり／立下がり時間≦10ns
　　タイミング参照レベル　　入力：0.8V、2.0V
　　出力：0.8V、2.0V

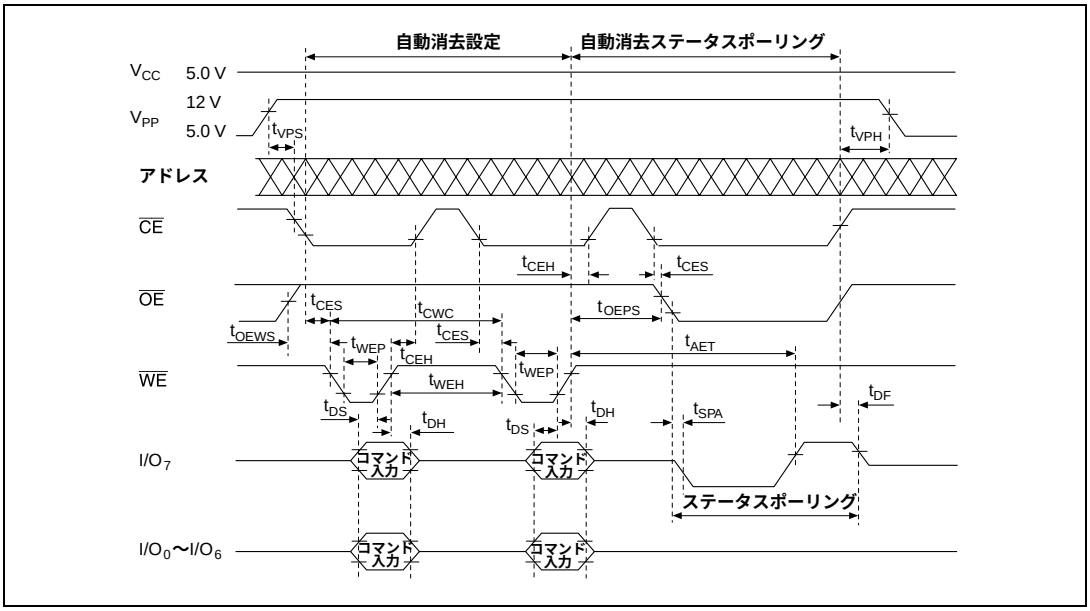
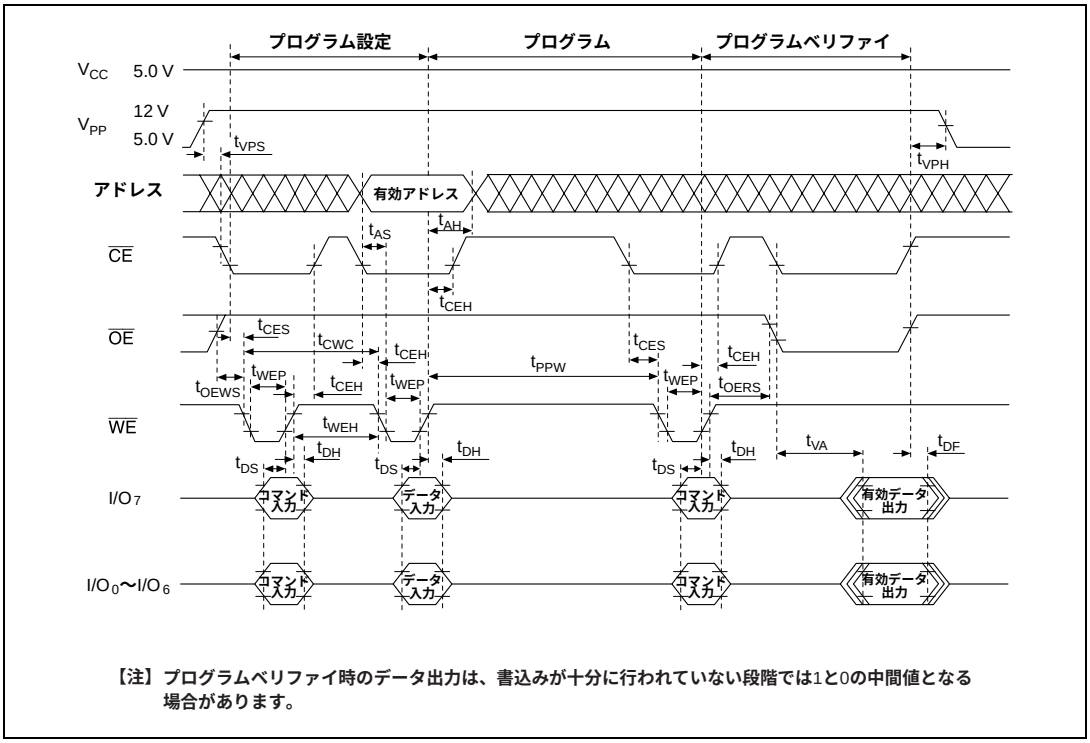


図 19.19　**自動消去タイミング**



【注】プログラムベリファイ時のデータ出力は、書込みが十分に行われていない段階では1と0の中間値となる場合があります。

図 19.20　**高速高信頼度プログラムタイミング**

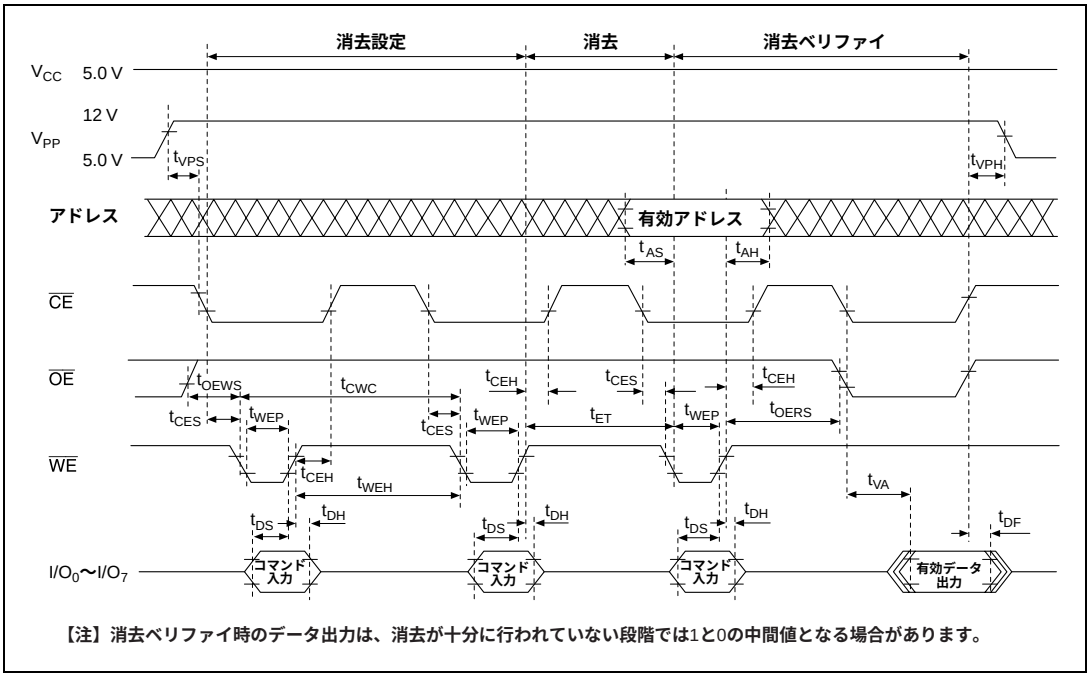


図 19.21　**消去タイミング**

19.8 フラッシュメモリの書込み／消去時の注意（二電源方式）

（1） 規定された電圧、タイミングで書込みをしてください。
フラッシュメモリの定格プログラム電圧（V_{PP}）は、12.0Vです。
PROMライタの設定をHN28F101にセットするとV_{PP}を12.0Vにセットできます。
定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。特にV_{PP}およびMD2端子はオーバシュートのピークが最大定格の13Vを超えないようにしてください。
また、PROMライタのオーバシュートなどに十分注意してください。
H8/3048F-ONE（単一電源品）には、絶対に12Vを印加しないでください。
12Vを印加した場合、LSIの永久破壊となります。
H8/3048F-ONEを使用する場合は、**「20 フラッシュメモリ（H8/3048F-ONE：単一電源方式）」**を参照してください。

（2） 書込み前に、必ず、正しくPROMライタに装着されていることを確認してください。
PROMライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊されることがあります。

（3） 書込み中はソケットアダプタや製品に手を触れないでください。
接触不良などにより、書込み不良となることがあります。

（4） プログラム電圧（V_{PP}）の印加／切断時の注意（**図**19.22**〜図**19.24参照）

（a） プログラム電圧（V_{PP}）の印加はV_{CC}確定後でかつマイコンの動作が確定した状態で行ってください。また、V_{PP}切断もV_{CC}を切断する前でかつマイコンの動作が確定している状態で行ってください。
マイコンのV_{CC}電圧が定格電圧（V_{CC}＝2.7〜5.5V）を満足しない状態（V_{CC}＝0Vの状態も含む）でV_{PP}電圧を印加／切断すると、マイコン動作が不確定の状態であるために、フラッシュメモリに誤って書込み、消去を行ってしまう可能性があります（フラッシュメモリへのプロテクトが機能できないため）。また、V_{CC}電圧が定格電圧（V_{CC}＝2.7〜5.5V）を満足する状態でも、発振が安定していない、または発振が停止（スタンバイを除く）している場合や、マイコンが暴走している場合、同じように誤書込み、誤消去の可能性があります。
V_{CC}電源投入時は発振安定時間（t_{OSC1}=20ms）を確保し、マイコンが確実にリセット状態またはリセット解除状態となった後にV_{PP}を印加してください。
このV_{CC}、V_{PP}電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。このタイミングが守れない場合は、フラッシュメモリへの誤書込み、誤消去の他に、メモリの永久破壊となることがありますので十分注意してください。

（b） V_{PP}端子に12.0±0.6Vの電圧を印加し、フラッシュメモリコントロールレジスタ（FLMCR）のV_{PP}Eビットをセット／クリアすることで、FLMCRのV_{PP}ビットはセット／クリアされます。

V_{PP}Eビットをセットした後、消去ブロック指定レジスタ（EBR1、EBR2）、FLMCRのEV、PV、E、Pビットへのライトは可能となります。したがって、V_{PP}端子に電圧印加し、V_{PP}Eビットをセットした後5～10μsの待機時間を経過してから書き込み、消去を行ってください。また、V_{PP}の電源切断は、FLMCRのPビットおよびEビットをクリアし、V_{PP}Eビットをクリアした状態（FLMCRへの誤アクセスによりセットされることのない状態）で行ってください。

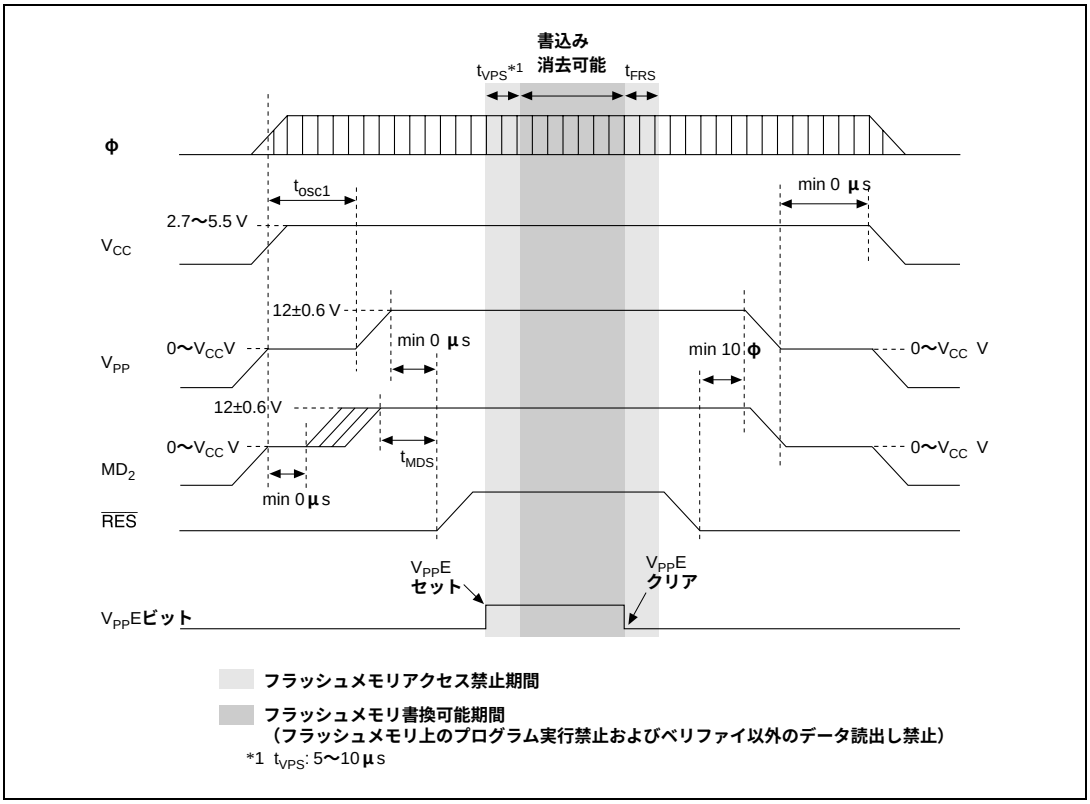
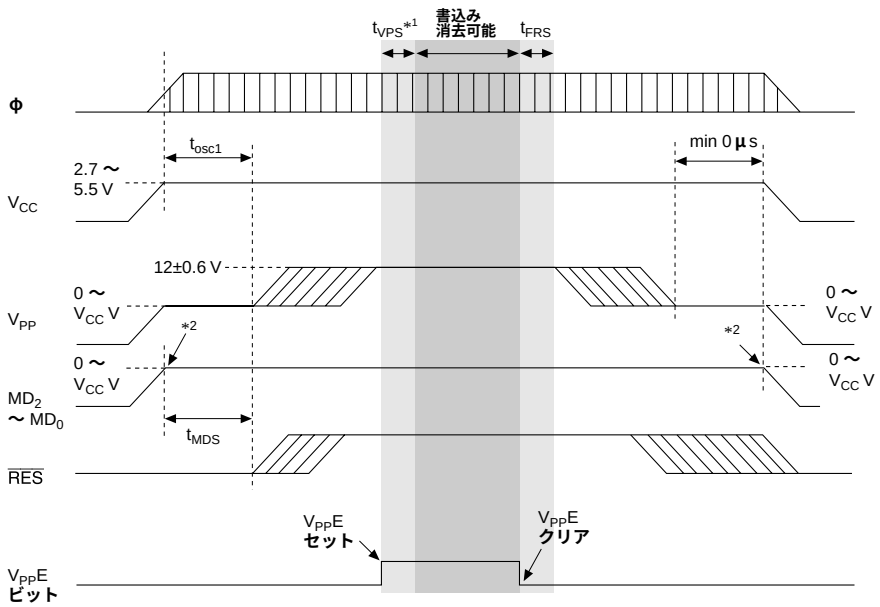


図 19.22 **電源投入／切断タイミング（ブートモード）**

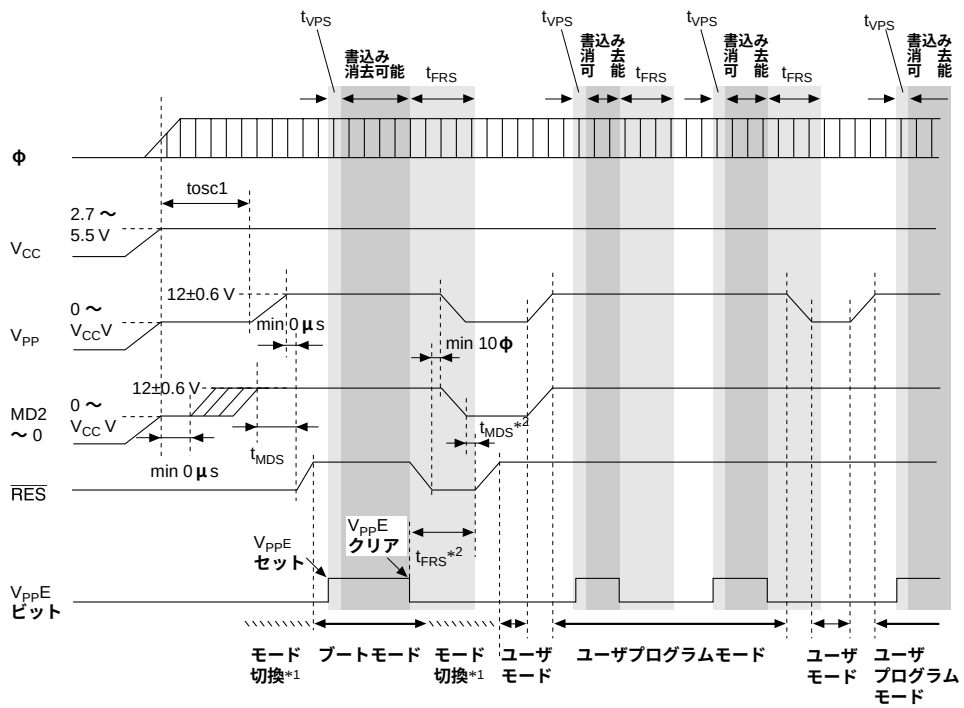


フラッシュメモリアクセス禁止期間

フラッシュメモリ書換可能期間
（フラッシュメモリ上のプログラム実行禁止およびベリファイ以外のデータ読み出し禁止）

【注】 *1 t_{VPS}: 5 ～ 10 μs
*2 モード端子（MD_2～ MD_0）はパワーオン後からパワーオフまでは、プルダウンまたはプルアップして、レベルを必ず固定してください。

図 19.23 **電源投入／切断タイミング（ユーザプログラムモード）**



フラッシュメモリアクセス禁止期間

フラッシュメモリ書換可能期間
（フラッシュメモリ上のプログラム実行禁止およびベリファイ以外のデータ読み出し禁止）

【注】 *1 ブートモードへの遷移時またはブートモードから他のモードへ遷移する場合は、$\overline{RES}$ 入力によるモード切換が必要です。この切換期間（$\overline{RES}$ 端子に Lowレベルを入力している期間）は、端子出力の状態が変化します。このためこの切換期間中はこれらの端子を出力信号として使用しないようにしてください。

*2 ブートモードから他のモードへ遷移する場合、$\overline{RES}$ 解除のタイミングに対して、フラッシュメモリリードセットアップ時間 t_{FRS} およびモードプログラミングセットアップ時間 t_{MDS} が必要です。

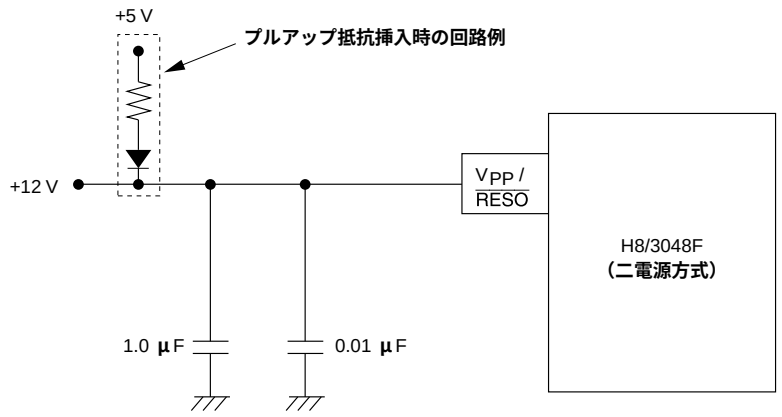
図 19.24 **モード遷移タイミング（例：ブートモード→ユーザモード←→ユーザプログラムモード）**

（5） V_{PP}端子に常時12Vを印加しないでください。
プログラム暴走等による誤書込み、誤消去を防止するため、V_{PP}に12Vを印加するのは、フラッシュメモリに書込み、消去を行う時のみ（これはRAMによるフラッシュメモリのエミュレーション実行時も含む）としてください。V_{PP}端子に常時12Vを印加するようなシステム構成は避けてください。また、書込み／消去時（12V印加時）は、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。プログラム暴走等によって過剰書込み、過剰消去になるとメモリセルが正常に動作しないことがあります。

（6） プログラム電圧（V_{PP}）の12V印加は、WDTのリセット出力（RESO端子）がディスエーブルされている状態で行ってください。
WDTのリセット出力中（RESO端子がLow 出力）に12Vを印加すると、過大電流が流れ、リセット出力の素子を永久破壊しますので注意してください。V_{PP}／RESO端子に12V印加時は、WDTのリセットコントロール／ステータスレジスタ（RSTCSR）のリセット出力イネーブルビット（RESOE）を1にセットしないでください。V_{PP}／RESO端子に外部でV_{CC}プルアップ抵抗を挿入する場合は、V_{PP}印加時にV_{CC}側への逆電流を防止するためのダイオードを挿

入する必要があります（**図**19.25）。

（7） V_{PP}／RESO端子をWDTのリセット出力として使用する場合（12Vを印加していないとき）
V_{PP}／RESO端子に接続するバイパスコンデンサおよびV_{CC}プルアップ抵抗等の影響によって、リセット出力の立上がり、立下がりの波形に遅れが生じますので注意してください。



【注】本回路例は、H8/3048F-ONE**（単一電源方式）には使用できません。**

図 19.25 V_{PP} **電源回路設計例**

（8） 実装基板開発時の注意点－V_{PP}およびモードMD2端子の処理

［1］ V_{PP}およびモードMD_2端子は、フラッシュメモリの消去／プログラム時に標準12Vの高電圧を印加します。本端子の電圧は、オーバシュートやノイズも含め、最大定格電圧13Vを越えないように、以下の点について注意してください。

（a） オーバシュートやノイズ除去のために、バイパスコンデンサを挿入してください。これらは、極力LSIのV_{PP}およびモードMD_2端子の近くに配置してください。
1.0μF；電源のリップルなど低周波成分のゆらぎを安定化します。
0.01μF；誘導ノイズなど、高周波成分をバイパスさせます。

（b） V_{PP}およびモードMD_2端子の配線は、極力短くするなど、誘導ノイズを低く抑えてください。特に、新規ボード設計時には、ジャンパー線などでノイズが多くなることがあります。この場合も、最大定格を越えないよう、電源波形をモニタして対策してください。

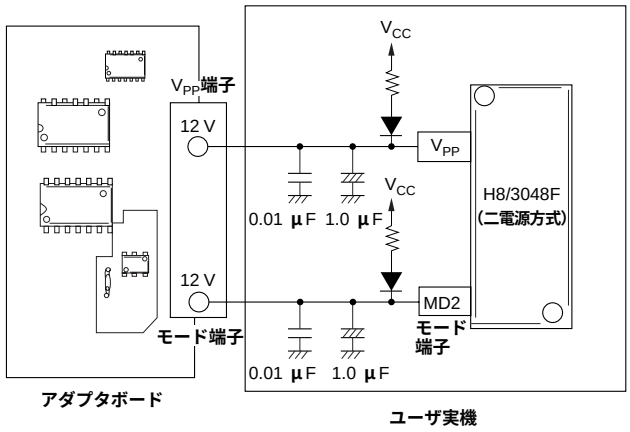
（c） 最大定格電圧は、V_{SS}端子の電位を基準にしています。本端子の電位が電流の変動などにより振動すると、相対的にV_{PP}およびモードMD_2端子の電圧が最大定格電圧を越えることがあります。基準電位の安定化には充分注意してください。

【注】 ユーザシステムの 12V **電源を接続する場合、電流容量に注意してください。電流容量の小さな電源の場合、**LSI **の動作電流の変化に追従できず電圧の降下や上昇、あるいは振動を生じ、定格の動作電圧を得られないことがあります。また、電流容量の大きな電源や、**12V **電圧をスイッチなどで急峻に投入する場合には、電源配線の持つインダクタンス成分や電源特性によって最大定格を越える電圧が生じることがありますので注意してください。実使用前には、上記の問題がないよう電源波形を確認してください。**

［2］ V_{PP}およびモードMD_2端子は、フラッシュメモリの書込み／消去時に12V印加します。一方、通常動作時にV_{CC}ラインへプルアップして使用する場合には、12V印加時にV_{CC}ラインへの逆電流を防止するため、ダイオードを挿入してください。

【注】 通常動作時、12V を印加するモード MD2 端子を 0 に設定する場合は抵抗でプルダウンしてください。

回路例を、**図** 19.26 に示します。



【注】本回路例は、H8/3048F-ONE**（単一電源方式）には使用できません。**

図 19.26 **二電源方式の** H8/3048F-ZTAT **の実装基板設計例（アダプタボードとの接続）（V_{PP}端子とモード端子の設定が** 1 **の場合）**

（9） V_{PP}Eビットのセット／クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。
V_{PP}Eビットのセット／クリア時は、フラッシュメモリデータを正常に読み出すことができません。またV_{PP}Eビットをセット後、V_{PP}イネーブルセットアップ時間（t_{VPS}:5～10μs）の待ち時間を置いてからフラッシュメモリのデータを書換えすることができますが、ベリファイ（プログラム、イレース、プレライトフロー中のベリファイ）以外の目的で、フラッシュメモリをアクセスすることはできません。フラッシュメモリ上のプログラム実行とデータの読み出しは、V_{PP}Eビットをクリアした後、フラッシュメモリリードセットアップ時間を置いて行ってください。

（10） フラッシュメモリのプログラム中または消去中に割込みを使用しないでください。
V_{PP}印加状態では書込み／消去動作（RAMによるエミュレーションを含む）を最優先とするため、NMIを含む全ての割込み要求を禁止してください。

（11） V_{PP}フラグはV_{PP}端子に印加される電圧を判定し、セット／クリアされます。この判定レベル（しきい値電圧）は約V_{CC}+2V～11.4Vの範囲になっています。
フラグがセットされた時点でフラッシュメモリコントロールレジスタ（FLMCR）、消去ブロック指定レジスタ（EBR1、EBR2）へのライトは可能となりますが、V_{PP}電源投入時ではV_{PP}電圧がプログラム電圧12.0±0.6Vの範囲に確定していない場合があります。このためV_{PP}が

プログラム電圧範囲に確定するまでは、実際の書込み、消去は行わないようにしてください。書込み、消去時のプログラム電圧範囲は12.0±0.6V（11.4V～12.6V）です。この範囲を超えると正しい書込み、消去を行うことはできません。また書込み、消去を行わない場合は、誤書込み、誤消去を防止するためV_{PP}電圧は電源電圧V_{CC}を超えないようにしてください。

（12）V_{PP}イネーブルビット（$V_{PP}E$）クリア後から、フラッシュメモリをリードする前にフラッシュメモリリードセットアップ時間（t_{FRS}）*が必要です。
ブートモードまたはユーザプログラムモードから通常のモード（V_{PP}≠12V、MD_2≠12V）に遷移する場合、$V_{PP}E$ビットをクリアして、フラッシュメモリをリードするまでの期間としてこのセットアップ時間が必要です。
また、ブートモードから他のモードへ遷移する場合は、RES解除のタイミングに対してモードプログラミングセットアップ時間（t_{MDS}）が必要です。

【注】＊　フラッシュメモリリードセットアップ時間は $V_{PP}E$ ビットクリア後から、フラッシュメモリをリードするまでの期間を規定します（図 19.24）。また、外部クロック使用（EXTAL 入力）時の電源投入後と、スタンバイモードからの復帰時もフラッシュメモリをリードする前にフラッシュメモリリードセットアップ時間が必要です。

19.9 F-ZTAT（二電源方式）マイコンのマスク ROM 化時の注意事項

F-ZTAT（二電源方式）版からマスク ROM 版製品に変更するとき、F-ZTAT アプリケーションソフトを活用する場合には注意が必要です。

マスク版と F-ZTAT（二電源方式）版ではフラッシュ ROM 用内部レジスタ（**付録** B. **内部** I/O **レジスター覧　表** B.1 参照）をアクセスした場合、リード値が下記のように異なります。

レジスタ名称	ビット名称	ステータス	
		F-ZTAT（二電源方式）版	MASK 版
FLMCR	Vpp	0:アプリケーション状態	0:（読み出されません）
		1:書き換え状態	1:アプリケーション状態

【注】 F-ZTAT（二電源方式）版製品、ROM サイズの異なる同一シリーズのマスク ROM 版製品はすべて対象となります。

20.　フラッシュメモリ（H8/3048F-ONE：単一電源方式）

20.1　概要

20.1.1　H8/3048F-ONE（単一電源）の注意事項

フラッシュメモリ内蔵の H8/3048F-ZTAT には二電源品（H8/3048F）と単一電源品（H8/3048F-ONE）があります。

単一電源品の H8/3048F-ONE を使用する上での注意事項を以下に示します。

二電源品と単一電源品（H8/3048F-ONE）との相違点については、**「**1.4.3　H8/3048F **と** H8/3048F-ONE **の相違点」**を参照してください。

(1)　**電圧印加時の注意事項**

『H8/3048F-ONE**（単一電源）には、絶対に** 12V **を印加しないでください。**12V **を印加した場合、**LSI **の永久破壊となります。』**

H8/3048F-ONE（単一電源）のフラッシュメモリ書き換え電源は Vcc です。

二電源品での書き換え電源は Vpp 端子(12V)でしたが、単一電源品には Vpp 端子はありません。H8/3048F-ONE では二電源品の Vpp 端子と同じピン位置に FWE 端子がありますが、FWE 端子は電源端子ではなく、フラッシュメモリライトイネーブルの制御用端子です。

また、ブートモードでは二電源品では MD2 端子に 12V 印加が必要でしたが、H8/3048F-ONE（単一電源）では 12V の印加は必要ありません。

H8/3048F-ONE**（単一電源）の** FWE**、**MD2 **端子の最大定格は** Vcc+0.3V **です。最大定格を超えた電圧を印加した場合、**LSI **の永久破壊となります。**

『H8/3048F-ONE　**（単一電源）では、ライタの設定を** HN28F101 **にセットしないでください。誤ってセットした場合、**FWE **端子に** 12.0V **印加され破壊にいたることがあります。』**

ROM ライタを使って、H8/3048F-ONE（単一電源）の内蔵フラッシュメモリの書き換えを行う場合は、**日立** 128k **バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしている** PROM **ライタを、使用してください。**

20.1.2 モード端子の設定

H8/3048F-ONE は 128k バイトのフラッシュメモリを内蔵しています。フラッシュメモリは、CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、リードデータにかかわらず 2 ステートで行われます。したがって、データの高速転送が可能です。

内蔵 ROM の有効または無効の設定は**表** 20.1 に示すように、モード端子（MD_2～MD_0）により設定します。

表 20.1 **動作モードと** ROM

モード名	**モード端子**			**内蔵** ROM
	MD2	MD1	MD0	
モード 1**（内蔵** ROM **無効拡張** 1M **バイトモード）**	0	0	1	**無効（外部アドレス）**
モード 2**（内蔵** ROM **無効拡張** 1M **バイトモード）**		1	0	
モード 3**（内蔵** ROM **無効拡張** 16M **バイトモード）**			1	
モード 4**（内蔵** ROM **無効拡張** 16M **バイトモード）**	1	0	0	
モード 5**（内蔵** ROM **有効拡張** 1M **バイトモード）**			1	**有効**
モード 6**（内蔵** ROM **有効拡張** 16M **バイトモード）**		1	0	
モード 7**（シングルチップモード）**			1	

なお、H8/3048F-ONE は、PROM モードに設定することにより汎用 PROM ライタを用いて、自由にプログラムの書き込みができます。

20.2 特長

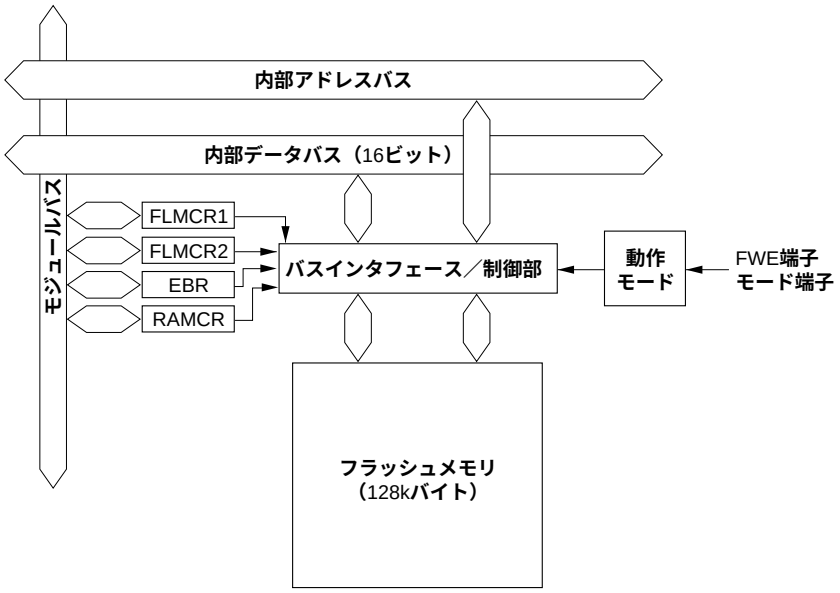
本 LSI は 128k バイトのフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

- フラッシュメモリの 4 種類の動作モード
  - プログラムモード
  - イレースモード
  - プログラムベリファイモード
  - イレースベリファイモード
- 書き込み／消去方式
  書き込みは128バイト同時書き込みを行います。消去はブロック分割消去（1ブロック単位）で行います。全面消去を行う場合は、各ブロック単位に順次行ってください。ブロック分割消去では1kバイト、28kバイト、32kバイトのブロック単位で任意に設定することができます。
- 書き込み／消去時間
  フラッシュメモリの書き込み時間は、128バイト同時書き込みにて10ms（typ.）、1バイトあたり換算にて約80μs（typ.）、消去時間は、100ms（typ.）です。
- 書き換え回数
  フラッシュメモリの書き換えは、100回まで可能です。
- オンボードプログラミングモード
  オンボードでフラッシュメモリの書き込み／消去／ベリファイを行う2種類のモードがあります。また、ブートモードでは特に、ホスト側から転送されたプログラムを識別する機能を持ちます。
  - ブートモード

– ユーザプログラムモード

- ビットレート自動合わせ込み
  ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートとを自動で合わせることができます。
- RAM によるフラッシュメモリのエミュレーション機能
  フラッシュメモリとRAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。
- プロテクトモード
  ソフトウェアプロテクトモード、ハードウェアプロテクトモードとエラープロテクトの3種類のモードがあり、フラッシュメモリの書き込み／消去／ベリファイのプロテクト状態を設定することができます。
- PROM モード
  フラッシュメモリの書き込み／消去可能なモードとして、オンボードプログラミングモード以外にPROMライタを用いたPROMモードがあります。

20.2.1 ブロック図



【記号説明】
FLMCR1：フラッシュメモリコントロールレジスタ1
FLMCR2：フラッシュメモリコントロールレジスタ2
EBR　　：消去ブロック指定レジスタ
RAMCR　：RAMコントロールレジスタ

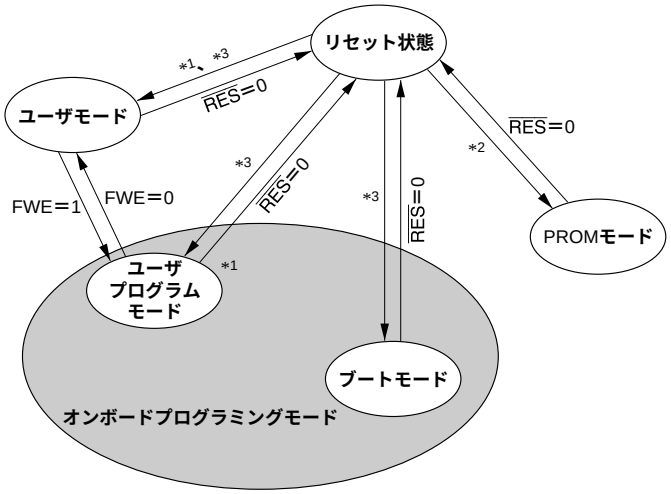
【注】 ＊ H8/3048F-ONE（単一電源品）には、絶対に12Vを印加しないでください。
12Vを印加した場合、LSIの永久破壊となります。

図 20.1 フラッシュメモリのブロック図

20.2.2 モード遷移図

リセット状態で各モード端子と FWE 端子を設定しリセットスタートすると、マイコンは**図** 20.2 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み／消去はできません。

フラッシュメモリへの書き込み／消去を行えるモードとしてブートモード、ユーザプログラムモード、PROM モードがあります。



【注】ユーザモード／ユーザプログラムモード間での遷移は、CPUがフラッシュメモリをアクセスしていない状態で行ってください。

*1 RAM**エミュレーション可**

*2 **専用の**PROM**ライタにより、本**LSI**は**PROM**モードに遷移します。**

*3 **モード設定は下表を参照**

モード名	端子名			
	FWE	MD_2	MD_1	MD_0
モード1	0	0	0	1
モード2		0	1	0
モード3		0	1	1
モード4		1	0	0
モード5		1	0	1
モード6		1	1	0
モード7		1	1	1
ブートモード5	1	0	0	1
ブートモード6		0	1	0
ブートモード7		0	1	1
設定禁止		1	0	0
ユーザプログラムモード5		1	0	1
ユーザプログラムモード6		1	1	0
ユーザプログラムモード7		1	1	1

図 20.2 **フラッシュメモリに関する状態遷移**

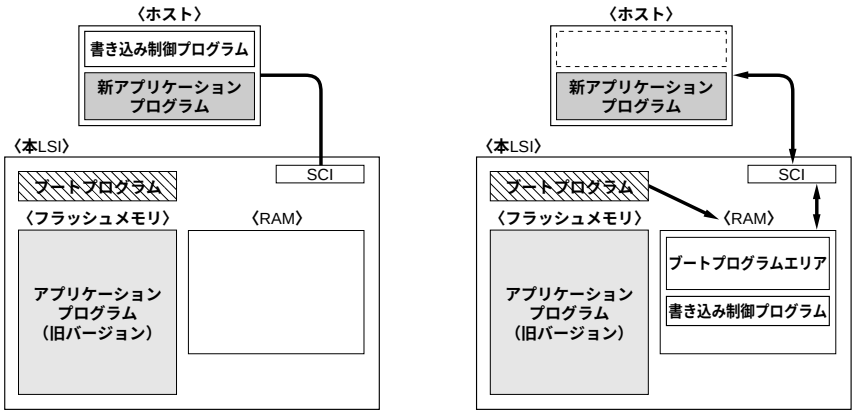
FWE 端子の High→Low、Low→High によって通常のユーザモードとオンボードプログラミングモードとの状態遷移が行われます。誤動作（誤書き込みや誤消去）を回避するために、その際には、フラッシュメモリコントロールレジスタ（FLMCR1、FLMCR2）の各ビットを 0 にクリアしてください。また各ビットのクリア後にはウェイト時間が必要です。このウェイト時間が不足した場合、正常動作は保証されません。

20.2.3 オンボードプログラミングモード

(1) ブートモードの例

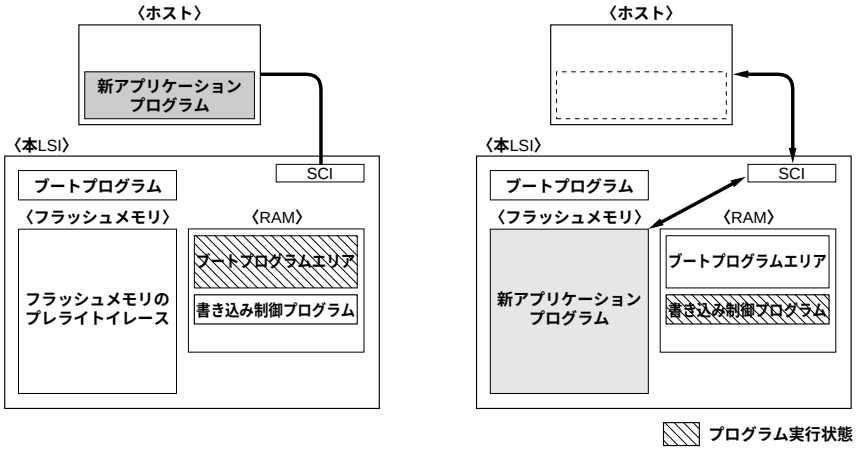
1. **初期状態**
フラッシュメモリには、旧バージョンのプログラムあるいはデータが書かれたままです。書き込み制御プログラムおよび新アプリケーションプログラムはユーザがあらかじめホストに用意してください。

2. **書き込み制御プログラムの転送**
ブートモードに遷移すると本LSI内のブートプログラム（既にLSIに内蔵されている）が起動し、ホストにある書き込み制御プログラムをRAMにSCI通信で転送します。また、フラッシュメモリの消去に必要なブートプログラムは、RAMのブートプログラムエリアに自動的に転送されます。



3. **フラッシュメモリの初期化**
ブートプログラムエリア（RAM内）にある消去プログラムを実行し、フラッシュメモリを初期化（H'FF）します。ブートモード時は、ブロックに関係なくフラッシュメモリを全面消去します。

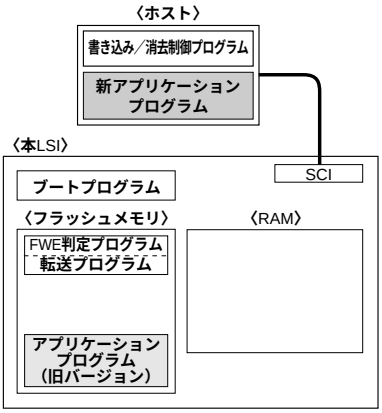
4. **新アプリケーションプログラムの書き込み**
書き込み制御プログラムがH8/3048F-ONEに対応したものかどうか識別します。
ホストよりRAMに転送した書き込み制御プログラムを実行して、ホストにある新アプリケーションプログラムをフラッシュメモリに書き込みます。



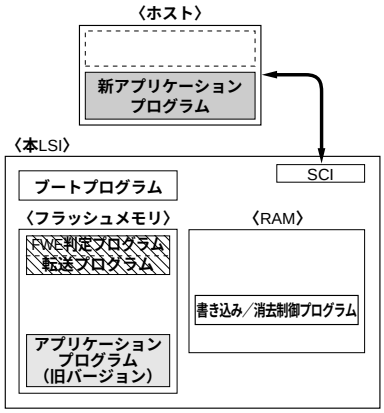
【注】 H8/3048F-ONE（単一電源品）には、絶対に12Vを印加しないでください。
12Vを印加した場合、LSIの永久破壊となります。

(2) ユーザプログラムモードの例

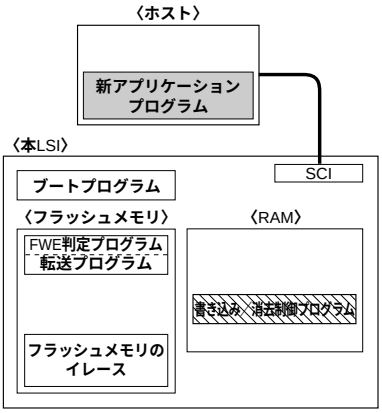
1. **初期状態**
（1）ユーザプログラムモードに遷移したことを確認するFWE判定プログラム、（2）フラッシュメモリから内蔵RAMに書き込み／消去制御プログラムを転送するプログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。（3）書き込み／消去制御プログラムはホストまたはフラッシュメモリに用意してください。



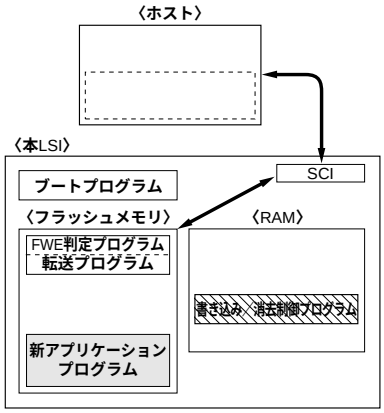
2. **書き込み／消去制御プログラムの転送**
ユーザプログラムモードに遷移すると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み／消去制御プログラムをRAMに転送します。



3. **フラッシュメモリの初期化**
RAM上の書き込み／消去プログラムを実行し、フラッシュメモリを初期化（H'FF）します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. **アプリケーションプログラムの書き込み**
次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



プログラム実行状態

【注】 H8/3048F-ONE（単一電源品）には、絶対に12Vを印加しないでください。
12Vを印加した場合、LSIの永久破壊となります。

20.2.4 RAM によるフラッシュメモリのエミュレーション

本 LSI ではフラッシュメモリと RAM の一部を重ね合わせる（オーバラップ RAM）ことで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。エミュレーション機能を実行しているときに RAMCR で設定したエミュレーションブロックをアクセスすると、オーバラップ RAM に書かれているデータが読み出されます。

ユーザモード、ユーザプログラムモードでエミュレーションを行ってください。

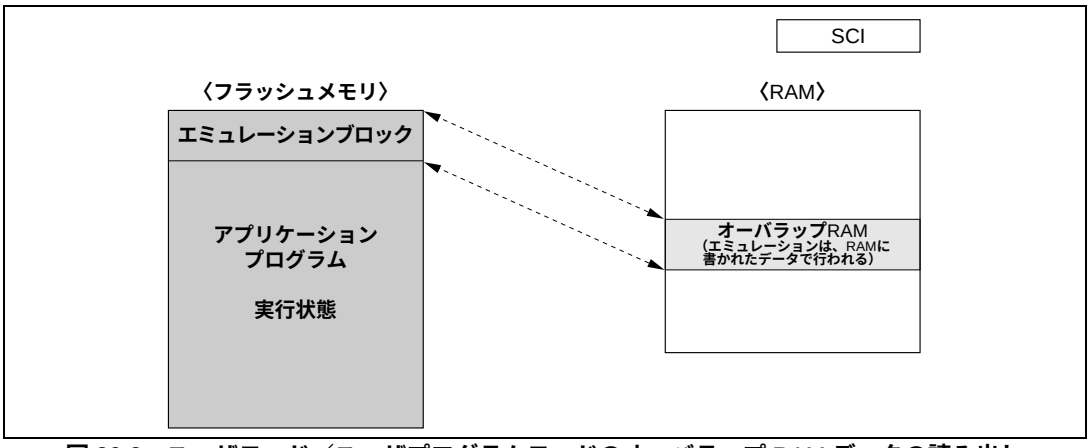


図 20.3 **ユーザモード／ユーザプログラムモードのオーバラップ** RAM **データの読み出し**

オーバラップ RAM のデータが確定したら、RAMS ビットをクリアして RAM のオーバラップを解除し、実際にフラッシュメモリへの書き込みを行ってください。

ただし、オンボードプログラミングモードで書き換え制御プログラムを RAM に転送してくるときに、転送先とオーバラップ RAM が重ならないようにしてください。オーバラップ RAM 内のデータが書き換えられてしまいます。

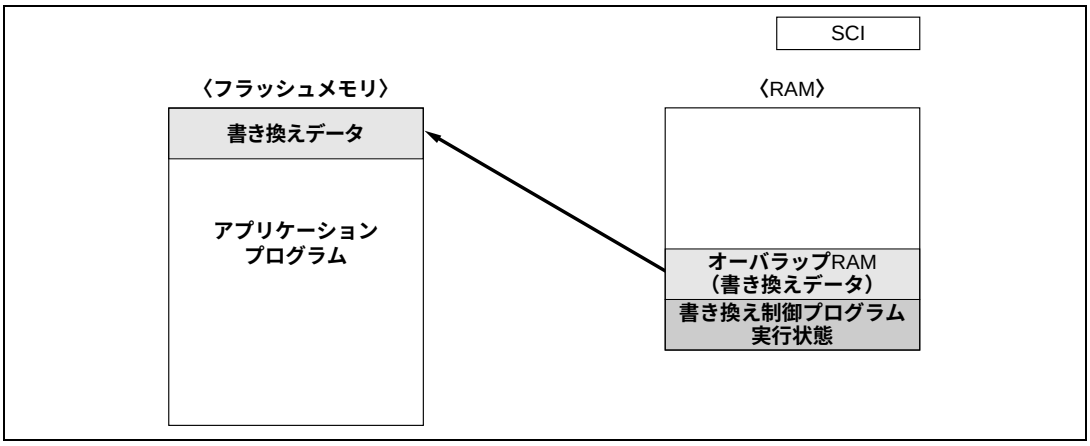


図 20.4 **ユーザプログラムモードのオーバラップ** RAM **データの書き込み**

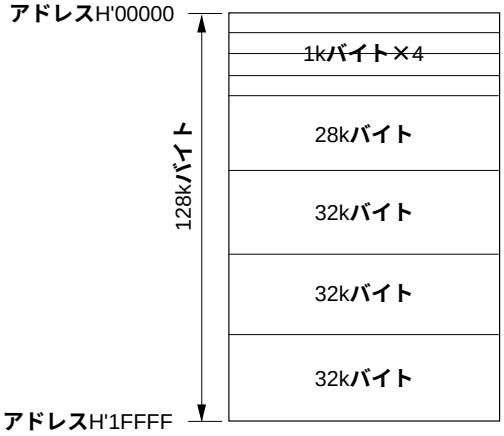
20.2.5 ブートモードとユーザプログラムモードの相違点

項目	ブートモード	ユーザプログラムモード
全面消去	○	×
ブロック分割消去	×	○
書き換え制御プログラム*	ブートプログラムを起動しホストより書き換え制御プログラムを内蔵 RAM へ転送および実行	フラッシュメモリ中の書き換えプログラムを制御するプログラムを実行。 事前にライタモードまたは、ブートプログラムモードでプログラムを書き込んでください。

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

20.2.6 ブロック分割法

本 LSI のフラッシュメモリは、32k バイト（3 ブロック）、28k バイト（1 ブロック）、1k バイト（4 ブロック）に分割されています。このブロック単位で消去することができます。



20.3 端子構成

フラッシュメモリは表 20.2 に示す端子により制御されます。

表 20.2 端子構成

端子名	略 称	入出力	機 能
リセット	RES	入力	リセット
フラッシュライトイネーブル	FWE*	入力	フラッシュの書き込み／消去をハードウェアプロテクト
モード 2	MD2*	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
トランスミットデータ	TxD_1	出力	シリアル送信データ出力
レシーブデータ	RxD_1	入力	シリアル受信データ入力

【注】 * H8/3048F-ONE（単一電源品）には、絶対に 12V を印加しないでください。12V を印加した場合、LSI の永久破壊となります。

20.4 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタ*を表 20.3 に示します。

【注】 *アドレス下位 16 ビット H'FF43〜H'FF46、H'FF48〜H'FF4F はアクセス禁止です。またこれらはフラッシュメモリ内蔵品専用レジスタです。マスク ROM 内蔵品には存在しません。マスク ROM 内蔵品では、当該アドレスをリードすると常に 1 が読み出されます。ライトは無効です。

表 20.3 レジスタ構成

名 称	略 称	R/W	初期値	アドレス*[1]
フラッシュメモリコントロールレジスタ 1	FLMCR1*[5]	R/W*[2]	H'00*[3]	H'FF40
フラッシュメモリコントロールレジスタ 2	FLMCR2*[5]	R/W*[2]*[6]	H'00	H'FF41
消去ブロック指定レジスタ	EBR*[5]	R/W*[2]	H'00*[4]	H'FF42
RAM コントロールレジスタ	RAMCR*[5]	R/W	H'F0	H'FF47

【注】 *1 アドレス下位 16 ビットを示しています。

*2 内蔵フラッシュメモリが無効のモードのときは、読み出すと H'00 が読み出され、書き込みも無効となります。また、FLMCR1 の FWE ビットがセット（FWE＝1）されていないときも書き込みは無効です。

*3 FWE 端子に High レベルが入力されているときの初期値は H'80 です。

*4 FWE 端子に Low レベルが入力されているとき、あるいは High レベルが入力されていても FLMCR1 の SWE ビットが 0 のときは H'00 に初期化されます。

*5 FLMCR1、FLMCR2、EBR、RAMCR は 8 ビットのレジスタです。
アクセスは、バイトアクセスとしてください。（ワードあるいはロングワードでアクセスしないでください。）

*6 FLMCR2 のビット 6〜0 は、リザーブビットです。リード／ライト可能です。

20.5 レジスタの説明

20.5.1 フラッシュメモリコントロールレジスタ 1（FLMCR1）

ビット：	7	6	5	4	3	2	1	0
	FWE	SWE	ESU	PSU	EV	PV	E	P
初期値：	ー*	0	0	0	0	0	0	0
R/W ：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*　FWE端子の状態により設定されます。

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。アドレス H'00000～H'1FFFF に対してプログラムベリファイモード、イレースベリファイモードに遷移させるには、FWE＝1 時に SWE ビットをセット後、EV ビットまたは PV ビットをセットします。アドレス H'00000～H'1FFFF に対して、プログラムモードへ遷移させるには、FWE＝1 時に、SWE ビットをセット後、PSU ビットをセットし、最後に P ビットをセットします。アドレス H'00000～H'1FFFF に対してイレースモードへ遷移するには、FWE＝1 時に、SWE ビットをセット後、ESU ビットをセットし、最後に E ビットをセットします。FLMCR1 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードで初期化されます。FWE 端子に High レベルが入力されているときの初期値は H'80 です。Low レベルが入力されているときは H'00 です。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

本レジスタのビット 6～0 に 1 をセットするときには、1 ビットずつ行ってください。

また、FLMCR1 の SWE ビットへの書き込みは FWE＝1 のとき、ESU、PSU、EV、PV ビットへの書き込みは FWE＝1、SWE＝1 のとき、E ビットへの書き込みは FWE＝1、SWE＝1、ESU＝1 のとき、P ビットへの書き込みは FWE＝1、SWE＝1、PSU＝1 のときのみ有効です。

【注】1.　本レジスタの各ビットの設定は、誤書き込みや誤消去を防止するために書き込みフローおよび、消去フローに従ってください。

2.　本レジスタの設定により、プログラムモード／イレースモード／プログラムベリファイモード／イレースベリファイモードへと遷移します。フラッシュメモリを通常の内蔵 ROM として読み出す際には、本レジスタのビット 6～0 をクリアした状態にしてください。

ビット 7：フラッシュライトイネーブルビット（FWE）

FWE ビットは、フラッシュメモリの書き込み／消去をハードウェアプロテクトするビットです。

ビット 7	説　　明
FWE	
0	FWE 端子に Low レベルが入力されているとき（ハードウェアプロテクト状態）
1	FWE 端子に High レベルが入力されているとき

ビット 6：ソフトウェアライトイネーブルビット（SWE）

フラッシュメモリの書き込み／消去の有効または無効を選択するビットです（対象アドレス：H'00000～H'1FFFF）（ビット 5～0、EBR の 7～0 ビットをセットするときにセットしてください）。

ビット 6 SWE	説　　明
0	**書き込み無効**　**（初期値）**
1	**書き込み有効** **［セット条件］**FWE＝1 **のとき**

【注】 SWE **ビットを** 1 **にセットしている間は、**SLEEP **命令は実行しないでください。**

ビット 5：イレースセットアップビット（ESU）

イレースモードへの遷移の準備をするビットです（対象アドレス：H'00000～H'1FFFF）。FLMCR1 の E ビットを 1 にセットする前に 1 にセットしてください（SWE、PSU、EV、PV、E、P ビットを同時に設定しないでください）。

ビット 5 ESU	説　　明
0	**イレースセットアップ解除**　**（初期値）**
1	**イレースセットアップ** **［セット条件］**FWE＝1、SWE＝1 **のとき**

ビット 4：プログラムセットアップビット（PSU）

プログラムモードへの遷移の準備をするビットです（対象アドレス：H'00000～H'1FFFF）。FLMCR1 の P ビットを 1 にセットする前に 1 にセットしてください（SWE、ESU、EV、PV、E、P ビットを同時に設定しないでください）。

ビット 4 PSU	説　　明
0	**プログラムセットアップ解除**　**（初期値）**
1	**プログラムセットアップ** **［セット条件］**FWE＝1、SWE＝1 **のとき**

ビット 3：イレースベリファイビット（EV）

イレースベリファイモードへの遷移、解除を選択するビットです（対象アドレス：H'00000～H'1FFFF）（SWE、ESU、PSU、PV、E、P ビットを同時に設定しないでください）。

ビット 3 EV	説　　明
0	**イレースベリファイモードを解除**　**（初期値）**
1	**イレースベリファイモードに遷移** **［セット条件］**FWE＝1、SWE＝1 **のとき**

ビット 2：プログラムベリファイビット（PV）

プログラムベリファイモードへの遷移、解除を選択するビットです（対象アドレス：H'00000～H'1FFFF）（SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください）。

ビット 2	説　　明
PV	
0	プログラムベリファイモードを解除　（初期値）
1	プログラムベリファイモードに遷移 ［セット条件］FWE＝1、SWE＝1 のとき

ビット 1：イレースビット（E）

イレースモードへの遷移、解除を選択するビットです（対象アドレス：H'00000～H'1FFFF）（SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください）。

ビット 1	説　　明
E	
0	イレースモードを解除　（初期値）
1	イレースモードに遷移 ［セット条件］FWE＝1、SWE＝1、ESU＝1 のとき

【注】 E ビットを 1 にセットしている間、フラッシュメモリへのアクセスは行わないでください。

ビット 0：プログラムビット（P）

プログラムモードへの遷移、解除を選択するビットです（対象アドレス：H'00000～H'1FFFF）（SWE、PSU、ESU、EV、PV、E ビットを同時に設定しないでください）。

ビット 0	説　　明
P	
0	プログラムモードを解除　（初期値）
1	イレースモードに遷移 ［セット条件］FWE＝1、SWE＝1、PSU＝1 のとき

【注】 P ビットを 1 にセットしている間は、フラッシュメモリへのアクセスは行わないでください。

20.5.2 フラッシュメモリコントロールレジスタ 2（FLMCR2）

ビット：	7	6	5	4	3	2	1	0
	FLER	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0
R/W ：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FLMCR2 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。FLMCR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードのとき H'00 に初期化されます。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出されます。

【注】 FLMCR2 のビット 6～0 はリザーブビットです。リード／ライト可能です。

ビット 7：フラッシュメモリエラー（FLER）

フラッシュメモリ動作中（書き込み、消去）にエラーが発生したことを示すビットです。FLER＝1 にセットされると、フラッシュメモリはエラープロテクトモードに遷移します。

ビット 7 FLER	説　　明
0	**フラッシュメモリは正常に動作しています。** **フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）が無効** **［クリア条件］リセット（RES 端子および WDT リセット）またはハードウェアスタンバイモードのとき　（初期値）**
1	**フラッシュメモリへの書き込み／消去中にエラーが発生したことを示します。** **フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）が有効** **［セット条件］** **（1）書き込み／消去中にフラッシュメモリをリード*2 したとき（ベクタリードおよび命令フェッチを含む。ただし、フラッシュメモリ空間とオーバラップした RAM エリアのリードは除く）。** **（2）書き込み／消去中の例外処理（ただし、リセット、不当命令、トラップ命令、ゼロ除算時の例外処理は除く）の開始直後。** **（3）書き込み／消去中に SLEEP 命令（ソフトウェアスタンバイを含む）を実行したとき。** **（4）書き込み／消去中にバス権を解放したとき**

ビット 6～0：リザーブビット

リザーブビットです。リード／ライト可能です。

20.5.3 消去ブロック指定レジスタ（EBR）

EBR は、フラッシュメモリの消去するブロックを選択する 8 ビットのレジスタです。リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、または FWE 端子に High レベルが入力されていないとき、または FWE 端子に High レベル印加状態で FLMCR1 の SWE ビットが 0 のときは H'00 にイニシャライズされます。EBR の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。消去はブロック分割消去（1 ブロック単位）で行うので、EBR は 1 ビットのみ設定してください（複数ブロックを同時に消去対象ブロックとして 1 を設定しないでください）。

EBR の各ビットは、FLMCR1 の SWE ビットを 1 にセットするまでは、1 にセットすることはできません。消去ブロックの分割を**表** 20.4 に示します。全面消去をする場合は各ブロック単位に順次消去してください。

	ビット：	7	6	5	4	3	2	1	0
		EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
モード1～4	**初期値：**	0	0	0	0	0	0	0	0
	R/W ：	R	R	R	R	R	R	R	R
モード5～7	**初期値：**	0	0	0	0	0	0	0	0
	R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7〜0：ブロック 7〜0（EB7〜EB0）

ブロック 7〜0（EB7〜EB0）ブロックを消去対象ブロックとして選択するビットです。

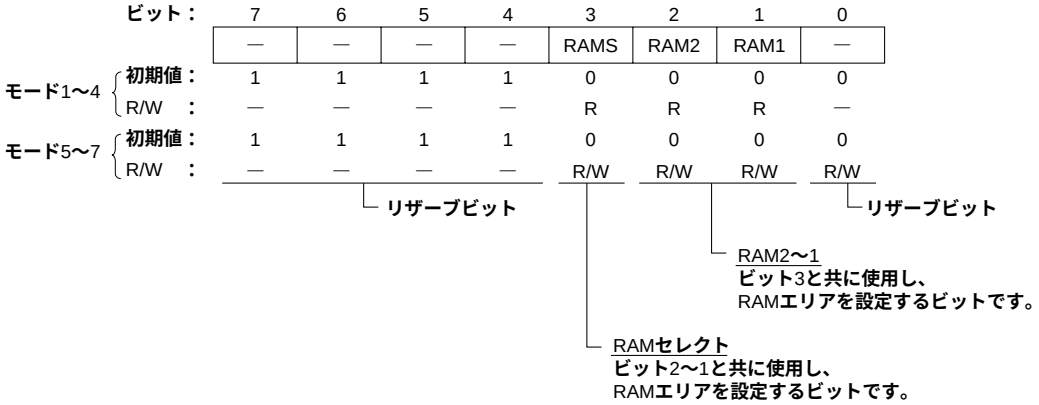
ビット 7〜0 EB7〜EB0	説　　明
0	EB7〜EB0 ブロックを選択していないとき　（初期値）
1	EB7〜EB0 ブロックを選択しているとき

【注】 EBR のビットは、消去する時以外は H'00 にしてください。

表 20.4　消去ブロックの分割

ブロック（サイズ）	アドレス
EB0（ 1k バイト）	H'000000〜H'0003FF
EB1（ 1k バイト）	H'000400〜H'0007FF
EB2（ 1k バイト）	H'000800〜H'000BFF
EB3（ 1k バイト）	H'000C00〜H'000FFF
EB4（28k バイト）	H'001000〜H'007FFF
EB5（32k バイト）	H'008000〜H'00FFFF
EB6（32k バイト）	H'010000〜H'017FFF
EB7（32k バイト）	H'018000〜H'01FFFF

20.5.4　RAM コントロールレジスタ（RAMCR）



フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、使用する RAM エリアを選択するレジスタです。リセット、またはハードウェアスタンバイモードのときに H'F0 に初期化されます。ソフトウェアスタンバイモードのときには、初期化されません。RAMCR の設定は、ユーザモード、ユーザプログラミングモードで行ってください。*

RAM エリアの設定法は、**表** 20.5 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。

直後にアクセスした場合には正常なアクセスは保証されません。

ビット 7〜4：リザーブビット

ビット 7〜4 を読み出すと常に 1 が読み出されます。ライトは無効です。

ビット 3：RAM セレクト（RAMS）

RAM によるフラッシュメモリのエミュレーション選択／非選択を設定するビットです。RAMS＝1 のときは、フラッシュメモリ全ブロックの書き込み／消去プロテクト状態となります。

ビット 3 RAMS	説　　明
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み／消去プロテクト無効　（初期値）
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み／消去プロテクト有効

ビット 2、1：RAM2、1

ビット 3 と共に使用し、RAM エリアを設定します。（**表** 20.5 参照）

ビット 0：リザーブビット

リザーブビットです。リード／ライト可能です。

【注】＊　RAM によるフラッシュメモリのエミュレーションを行う場合、SYSCR の RAME ビットは必ず 1 にセットしてください。

表 20.5　RAM **エリアの設定方法**

RAM エリア	ビット 3 RAMS	ビット 2 RAM2	ビット 1 RAM1	RAM エミュレーション状態
H'FFF000〜H'FFF3FF	0	0／1	0／1	エミュレーションなし
H'000000〜H'0003FF	1	0	0	写像 RAM
H'000400〜H'0007FF	1	0	1	
H'000800〜H'000BFF	1	1	0	
H'000C00〜H'000FFF	1	1	1	

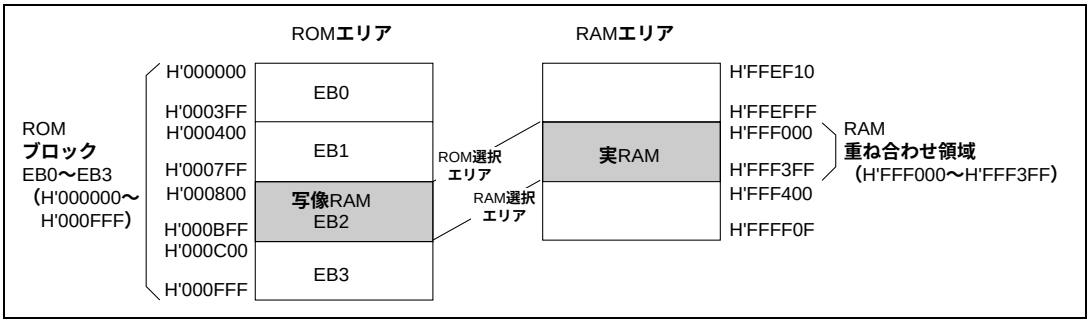


図 20.5　ROM **エリアと** RAM **エリアの重ね合わせ例**

20.6 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み／消去／ベリファイを行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはブートモードとユーザプログラムモードの 2 種類の動作モードがあり、各モードへ遷移する端子の設定方法を**表** 20.6 に示します。また、フラッシュメモリに関する各モードへの状態遷移図は**図** 20.2 を参照してください。

表 20.6 **オンボードプログラミングモードの設定方法**

モード名		FWE*2	MD_2*2	MD_1	MD_0	備考
ブートモード	モード 5	1*1	0*1	0	1	0：V_{IL} 1：V_{IH}
	モード 6			1	0	
	モード 7				1	
ユーザプログラムモード	モード 5		1*1	0	1	
	モード 6			1	0	
	モード 7				1	

【注】*1 (1) High **レベルの印加タイミングについては、「ブートモード使用時の注意」を参照してください。**

(2) **ブートモード時は** MD_2 **の設定を反転入力にしてください。**

(3) **ブートモード時のモードコントロールレジスタ（**MDCR**）は、通常モードと同様にモード** 5、6、7 **の状態をモニタすることができます。**

*2 H8/3048F-ONE**（単一電源品）には、絶対に** 12V **を印加しないでください。**
12V **を印加した場合、**LSI **の永久破壊となります。**

20.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャネル 1 は調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムを起動し、ホストに用意した書き込み制御プログラムを SCI を使って本 LSI へ順次送信します。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後、書き込み制御プログラムが H8/3048F-ONE に対応したものであるか識別（ID コードのチェック）します。ID コードが一致すれば、書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります（フラッシュメモリの書き込み／消去が可能となります）。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 20.6 にブートモード時のシステム構成図、**図** 20.7 にブートモード実行手順を示します。

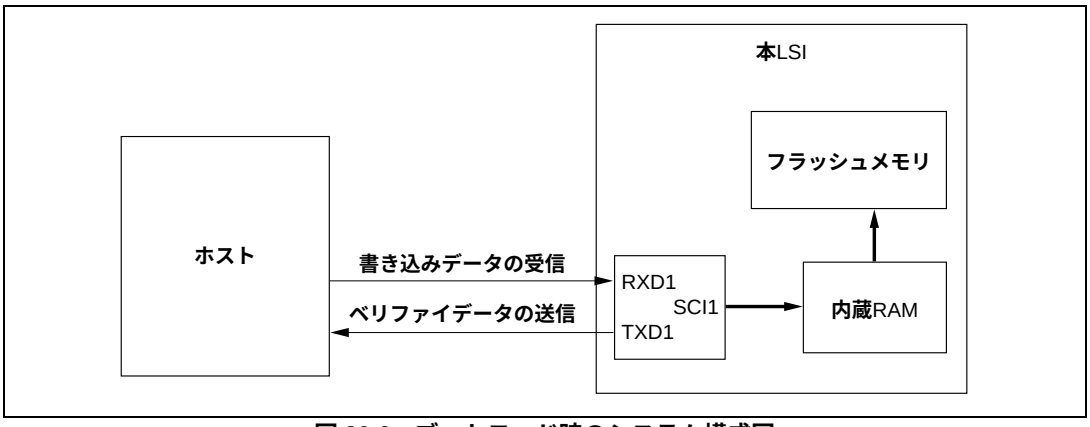


図 20.6 **ブートモード時のシステム構成図**

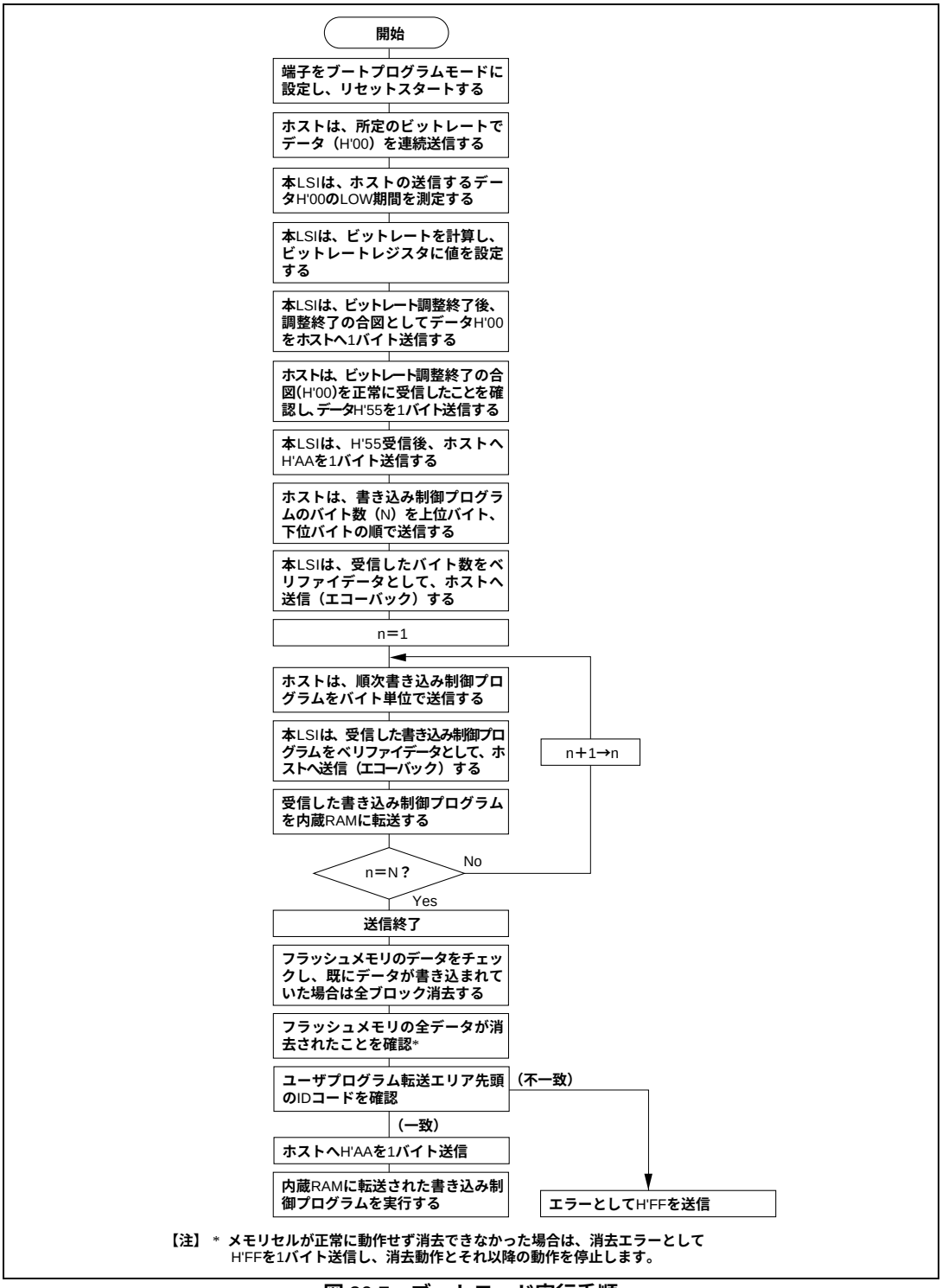
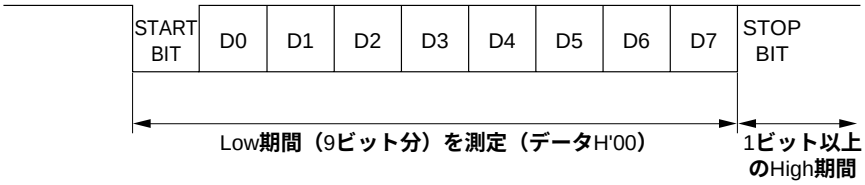


図 20.7　**ブートモード実行手順**

(1) SCI ビットレートの自動合わせ込み動作



ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ（H'00）の Low 期間を測定します。このときの SCI 受信／送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図（H'00）を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し（リセット）、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを（4800、9600、19200）bps*に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を**表** 20.7 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 20.7 **本** LSI **のビットレートの自動合わせ込みが可能なシステムクロックの周波数**

ホストのビットレート（bps）	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数（MHz）
4800	4～25
9600	8～25
19200	16～25

【注】 * **ホストのビットレートは** 4800, 9600, 19200bps **の設定のみとし、それ以外の設定は使用しないでください。**
本 LSI **は表** 20.7 **に示すビットレートとシステムクロックの組み合わせ以外でも、ビットレートの自動合わせ込みを行う場合がありますが、ホストと本** LSI **とのビットレートに誤差が生じ、その後の転送が正常に行われません。このためブートモードの実行は必ず表** 20.7 **に示すビットレートとシステムクロックの組み合わせの範囲内で行ってください。**

(2) ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、RAM エリアは図 20.8 に示すようにブートプログラムで使用するエリアと SCI で書き込み制御プログラムを転送してくるエリアに分かれています。ブートプログラムエリアは、ブートモード中の実行状態が転送してきた書き込み制御プログラムへ遷移するまで使用できません。

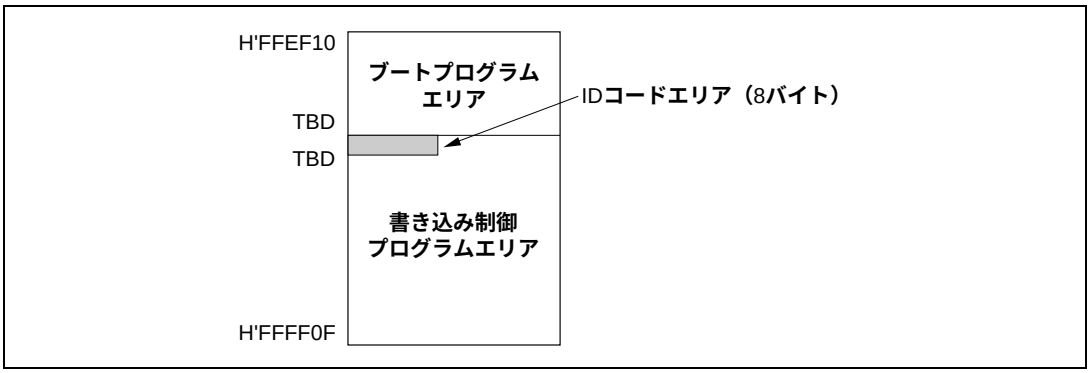


図 20.8 ブートモード時の RAM エリア

【注】1. RAM 内に転送した書き込み制御プログラム実行状態に遷移するまでブートプログラムエリアは使用できません。なお、書き込み制御プログラムに分岐後も RAM 内の本エリアにはブートプログラムがそのまま保持されていますので、注意してください。

H8/3048F-ONE のブートモードでは、下記 8 バイトの ID コードエリアの内容を確認し、H8/3048F-ONE に対応した書き込み制御プログラムであるか識別します。

TBD	TBD
	↑（製品識別 ID）
TBD ～	書き込み制御プログラムの命令コード

ブートモードで使用する書き込み制御プログラムをオリジナルで作成する際には、上記 8 バイトの ID コードをプログラム先頭に追加してください。

(3) ブートモード使用時の注意事項

（a） 本LSIは、ブートモードでリセット解除すると、SCIのRxD_1端子のLow期間を測定します。RxD_1端子がHighの状態でリセット解除してください。リセット解除後、RxD_1端子へ入力しているLow期間を測定できるようになるまで、本LSIは約100ステート必要です。

（b） ブートモードは、フラッシュメモリにすでに書き込まれているデータがある場合（全データがH'FFでないとき）、フラッシュメモリの全ブロックを消去します。本モードは、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。

（c） フラッシュメモリの書き込み中、あるいは消去中に割込みを使用することはできません。

（d） RxD_1端子およびTxD_1端子は、ボード上でプルアップして使用してください。

（e） 本LSIは、書き込み制御プログラムに分岐するときに内蔵SCI（チャネル1）の送受信動作を終了（シリアルコントロールレジスタ（SCR）のRE＝0、TE＝0）しますが、ビットレートレジスタ（BRR）には、合わせ込んだビットレートの値を保持しています。また、このときトランスミットデータ出力端子TXD_1は、Highレベル出力状態（P9DDRの$P9_1DDR$＝1、P9DRの$P9_1DR$＝1）となっています。
さらにこのとき、CPU内蔵の汎用レジスタの値は不定です。このため、書き込み制御プログラムに分岐した直後に、汎用レジスタの初期設定を必ず行ってください。特にスタックポインタ（SP）はサブルーチンコール時などに、暗黙的に使用されますので、書き込み制御プログラムで使用するスタックエリアを必ず指定してください。
上記以外の内蔵レジスタについては、初期値が変更されるものはありません。

（f） ブートモードへの遷移は、**表**20.6のモード設定条件に従って、MD_0～MD_2端子とFWE端子を設定後にリセットスタートしてください。
このとき、本LSIはリセット解除（Lowレベル→Highレベル立上がり）のタイミング*[1]でモード端子の状態をマイコン内部にラッチし、ブートモード状態を保持します。ブートモードを解除するためには、リセット中にFWE端子をLowレベルに設定し、その後にリセット解除*[1]することが必要です。また以下の点について注意してください。

- ブートモードから通常モードへ遷移する場合は、モード遷移する前にマイコン内部のブートモード状態を RES 端子によるリセット入力によって解除する*[1]必要があります。このとき、RES 端子は最低 20 システムクロック以上の間、Low レベルに保持する必要があります。*[2]
- ブートモードの途中で、モード端子（MD_2～MD_0）および FWE 端子の入力レベルを切り換えないでください。モードを遷移させる場合には、事前に RES 端子に Low レベルを入力してリセット状態にしてください。また、ブートモード状態でウォッチドッグタイマリセットが発生した場合、マイコン内部のモード状態は解除されず、モード端子の状態にかかわらず内蔵のブートプログラムが再起動されます。
- ブートプログラム実行中やフラッシュメモリへの書き込み／消去中に、FWE 端子を Low レベルにしないでください*[3]。

（g） リセット中（RES端子にLowレベルを入力している期間）にモード端子およびFWE端子の入力レベルを変化（例えばLowレベル→Highレベル）させると、マイコン動作モードが切り換わることにより、アドレス兼用ポート、およびバス制御出力信号（CSn、AS、RD、HWR、LWR）の状態が変化する場合があります。このため、これらの端子はリセット中の出力信号として使用しないよう、マイコン外部で禁止する必要があります。

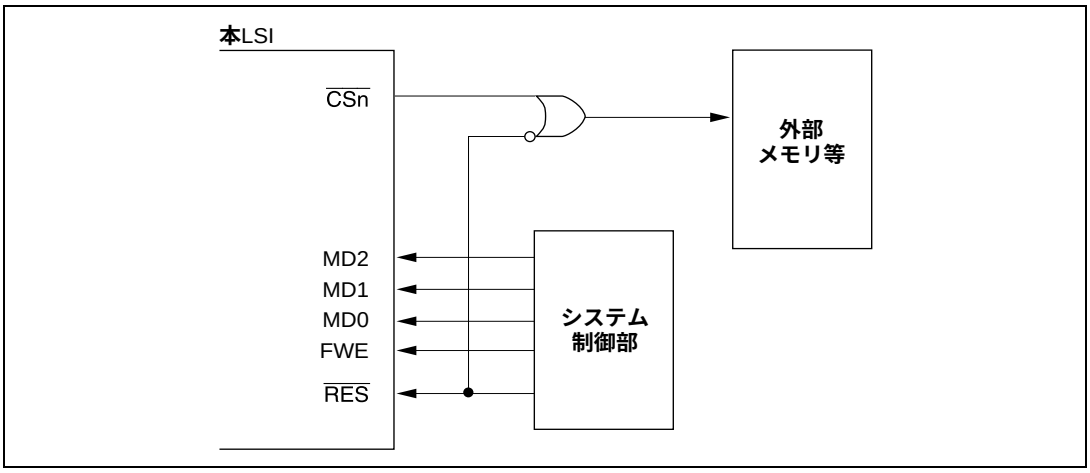


図 20.9　**推奨システムブロック図**

【注】 *1　**モード端子と** FWE **端子の入力は、リセット解除のタイミングに対し、モードプログラミングセットアップ時間（**t_{MDS}**）を満足する必要があります。**

*2　**「**4.2.2　**リセットシーケンス」および「**20.11　**フラッシュメモリの書き込み／消去時の注意」を参照してください。本** LSI **では最低** 20 **システムクロック必要です。**

*3　FWE **端子の印加／解除の注意については「**20.11　**フラッシュメモリの書き込み／消去時の注意」を参照してください。**

20.6.2　ユーザプログラムモード

ユーザプログラムモードに設定すると、ユーザの書き込み／消去制御プログラムによるフラッシュメモリの書き込み／消去が可能になります。したがって、あらかじめ基板上に FWE 制御手段、および書き換えデータ供給手段を設け、必要に応じてプログラムエリアの一部に書き込み／消去プログラムを内蔵させておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定は、内蔵フラッシュメモリの有効なモード 5、6、7 で起動し、FWE 端子に High レベルを印加します。この状態の動作では、フラッシュメモリ以外の周辺機能は、モード 5、6、7 と同じ動作をします。

なお、プログラム／消去を行っている間、フラッシュメモリを読み出すことはできませんので、書き換えプログラムを外部メモリ上に置くか、または書き換えプログラムをいったん RAM エリアに転送し、RAM 内で実行してください。

RAM 内でプログラム実行中に、ユーザプログラムモードに遷移する場合の実行手順を**図** 20.10 に示します。なお、リセットスタート時にユーザプログラムモードから起動することも可能です。

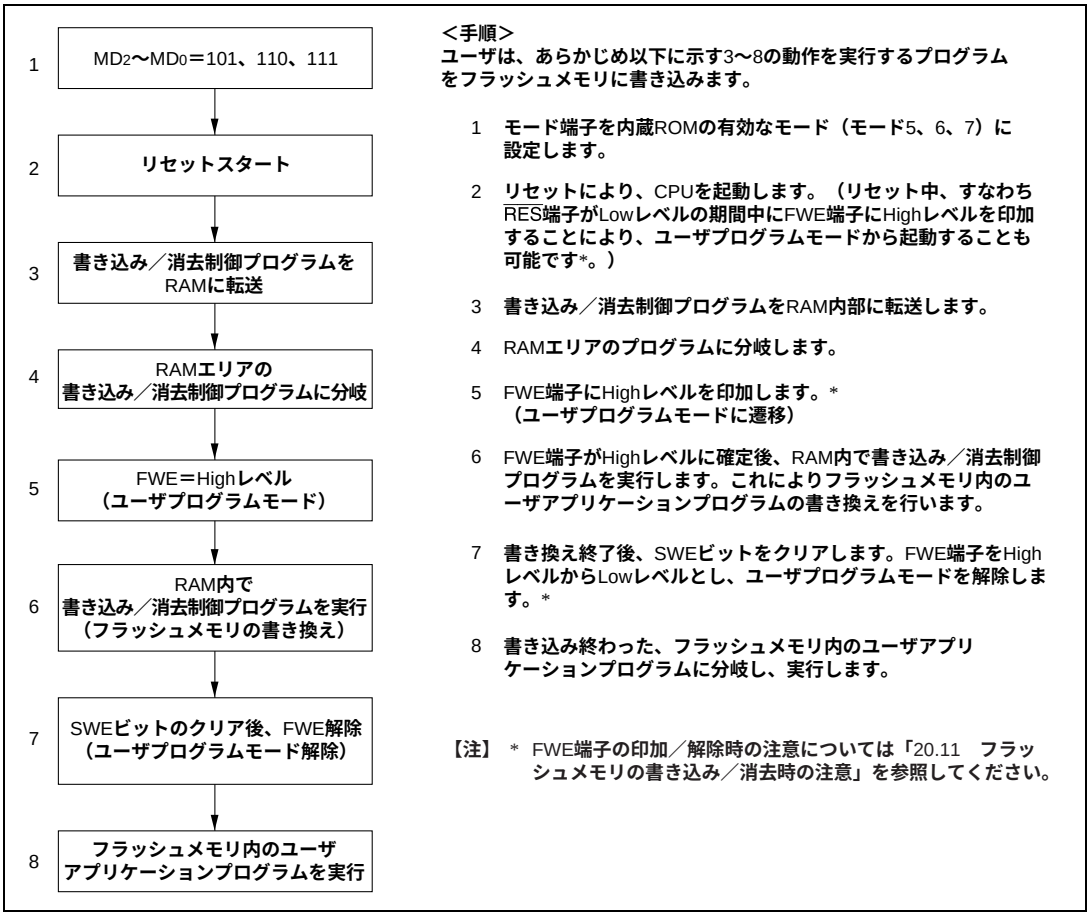


図 20.10 ユーザプログラムモードの実行手順例

【注】 1. FWE **端子に常時** High **レベルを印加しないでください。**FWE **端子に** High **レベルを印加するのはフラッシュメモリに書き込み／消去を行うときのみ（**RAM **によるフラッシュメモリのエミュレーション実行時も含む）としてください。また、**FWE **端子に** High **レベルを入力中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。**

2. **ユーザプログラムモードでフラッシュメモリの通常読み出しを実施するには、書き込み／消去プログラム実行中でないことが必要です。つまり、**FLMCR1 **のビット** 6〜0 **が** 0 **にクリアされている状態にしてください。**

20.7 フラッシュメモリの書き込み／消去

オンボードプログラミングモードでのフラッシュメモリの書き込み／消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード／イレースモード／プログラムベリファイモード／イレースベリファイモードがあります。アドレス H'000000～H'01FFFF に対しては、FLMCR1 の PSU ビット、ESU ビット、P ビット、E ビット、PV ビット、EV ビットをセットすることにより各動作モードに遷移します。

フラッシュメモリは、書き込み／消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み／消去を制御するプログラム（書き込み制御プログラム）は、内蔵 RAM、あるいは外部メモリ上に置き、実行するようにしてください。

書き込み／消去時の注意については、**「20.11 フラッシュメモリの書き込み／消去時の注意」**を参照してください。また、以降の動作説明の中で、FLMCR1 の各ビットのセット／クリア後のウェイト時間をパラメータ記載しています。各ウェイト時間の詳細は**「23.3.6 フラッシュメモリ特性」**を参照してください。

【注】 1. FLMCR1 **の** SWE、ESU、PSU、EV、PV、E、P **ビットのセット／リセットがそれぞれ、当該アドレスエリアのフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。**

2. **書き込み／消去する際は、**FWE＝1 **にしてください（**FWE＝0 **のときは、書き込み／消去されません）。**

3. **書き込みは消去状態で行ってください。すでに書き込まれたアドレスへの追加書き込みは行わないでください。**

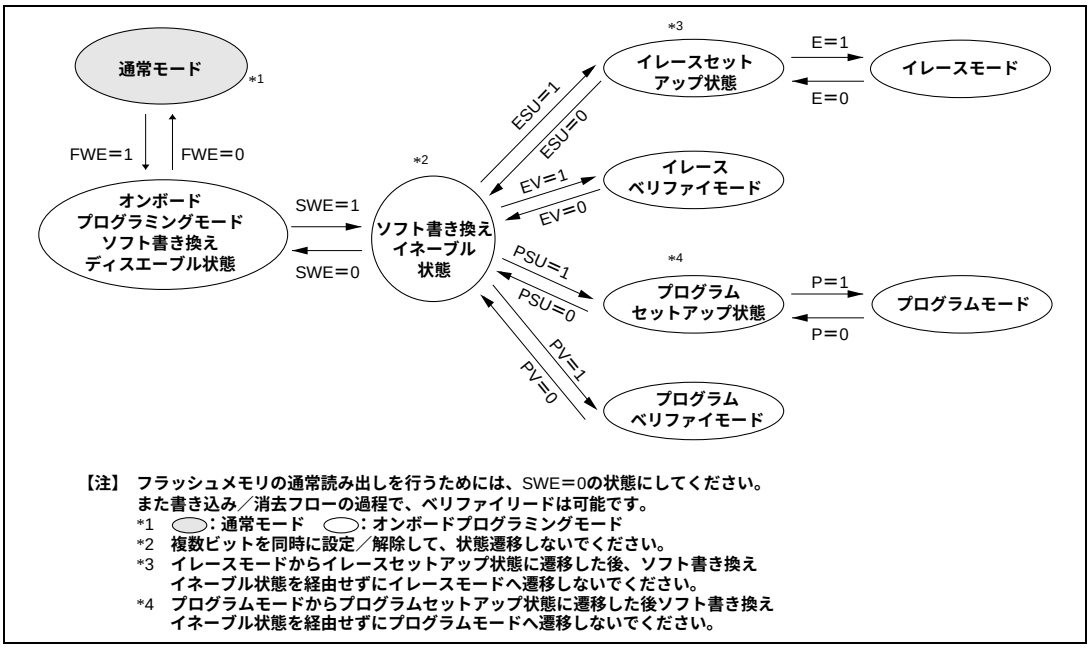


図 20.11 FLMCR1 **の各ビット設定による状態遷移**

20.7.1 プログラムモード

フラッシュメモリへのデータ／プログラムの書き込みは、**図** 20.12 に示すプログラム／プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ／プログラムの書き込みを行うことができます。また、1 回の書き込みは、128 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1（FLMCR1）の各ビットのセット／クリア後のウェイト時間、最大書き込み回数（N）を**「**23.3.6 **フラッシュメモリ特性」表** 23.30 に示します。

フラッシュメモリコントロールレジスタ 1（FLMCR1）の SWE ビットを 1 にセットした後、（t_{sswe}）μs 以上の時間が経過してから、書き込むアドレスに 128 バイトのデータを連続ライトします。ただし、ライトする先頭アドレスの下位 8 ビットは、H'00、H'80 でなければなりません。データ転送はバイト単位で 128 回連続して行います。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次にプログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は（$t_{spsu} + t_{sp} + t_{cp} + t_{cpsu}$）μs より大きくしてください。その後、FLMCR1 の PSU ビットをセットすることで、プログラムモードへの準備（プログラムセットアップ）を行います。その後（t_{spsu}）μs 以上の時間が経過してから、FLMCR1 の P ビットをセットすることで、動作モードはプログラムモードへ遷移します。P ビットがセットされている時間がフラッシュメモリの書き込み時間となります。一回の書き込み時間を（t_{sp}）μs の範囲に納まるようにプログラムで設定してください。

また P ビットセット後のウェイト時間は、再書き込みループ回数によって切り換える必要があります。詳細は下記の**「プログラム／プログラムベリファイフローの注意点」**を参照してください。

20.7.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、FLMCR1 の P ビットをクリアします。その後（t_{cp}）以上の時間が経過してから、PSU ビットをクリアすることでプログラムモードを解除します。プログラムモード解除の後は、ウォッチドッグタイマの設定も解除します。その後 FLMCR1 の PV ビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。ダミーライトは（t_{spv}）μs 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード（ベリファイデータは 16 ビットで読み出す）するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、（t_{spvr}）μs 以上おいてから行ってください。次に、書き込んだ元データとベリファイデータを比較し、再書き込みデータを演算（**図** 20.12 参照）し、RAM に転送します。128 バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、（t_{cpv}）μs 以上の待機時間を置いて、FLMCR1 の SWE ビットをクリアしてください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム／プログラムベリファイシーケンスを繰り返してください。プログラム／プログラムベリファイフローの繰り返しの最大値は最大書き込み回数（N）で表わされます。SWE 解除後、（t_{cswe}）μs 以上の待機時間を置いてください。

プログラム／プログラムベリファイフローの注意点

（1） 本LSIのプログラム／プログラムベリファイフローでは、128バイト単位での書き込みアルゴリズムとなります。128バイト単位の書き込みのため、ライトする先頭アドレスの下位8ビットは、H'00またはH'80でなければなりません。

（2） フラッシュメモリに128バイトのデータを連続ライトする際には、バイト単位転送で行います。また128バイト以下のデータを書き込む際にも、128バイトのデータ転送が必要です。つまり、必要のないアドレスへの書き込みは、データをH'FFにして書き込みを行ってください。

（3） ベリファイデータは、ワード単位で読み出します。

（4） FLMCR1のPビットがセットされている期間、書き込みパルスが印加されてフラッシュメモリへの書き込みが実施されます。本LSIでは、デバイスへの電圧ストレスや書き込むデータの信頼性を損なうことがないように、プログラム／プログラムベリファイフローの過程で次のように書き込みパルスを印加してください。

a） 書き込みパルス印加後、プログラムベリファイモードでベリファイリードして1が読み出されたビットに対して、もう一度書き込みパルスを印加してください（再書き込み処理）。128バイトの書き込みデータで、すべての0書き込みビットがベリファイリードして0が読み出されると、プログラム／プログラムベリファイフローが終了となります。本LSIでは、再書き込み処理によるループ回数が、最大書き込み回数（N）の最大値以下になることが保証されます。

b） 書き込みパルス印加後、プログラムベリファイモードでベリファイリードして0が読み出されたビットに対しては、書き込み完了と判定されます。書き込みが完了したビットに対しては、次の処理が必要です。

- プログラム／プログラムベリファイフロー中の早い段階で書き込み完了した場合
  再書き込み処理ループ回数が1～6回目で書き込み完了した場合は、当該ビットへの追加書き込みを実施してください。また、追加書き込みは、ある再書き込み処理のときに初めてベリファイリードが0となったビットのみに実施してください。
- プログラム／プログラムベリファイフロー中の遅い段階で書き込み完了した場合
  再書き込み処理ループ回数が7回目以降で書き込み完了した場合は、当該ビットへの追加書き込みは必要ありません。

c） 128バイトの中で、他のビットが書き込み未完了の場合、再書き込み処理を実施します。一度書き込みが完了したと判定されたビットでも、それ以降のベリファイリードで1が読み出された場合には、当該ビットに対してもう一度書き込みパルスを印加してください。

（5） FLMCR1のPビットをセットする期間（書き込みパルス幅）は、プログラム／プログラムベリファイフローの過程で次のように切り替えてください。ウェイト時間の詳細な仕様は、**「23.3.6 フラッシュメモリ特性」**を参照してください。

表 20.8 P ビットセット後のウェイト時間

項目	記号	内容	記号
P ビットセット後のウェイト時間	t_{SP}	再書き込みループ回数（n）が 1～6 回目の場合	t_{SP}30
		再書き込みループ回数（n）が 7 回目以降回目の場合	t_{SP}200
		追加書き込み処理の場合*	t_{SP}10

【注】 * 追加書き込み処理は、再書き込みループ回数（n）が 1～6 回目の場合のみ必要となります。

（6） 本LSIのプログラム／プログラムベリファイフローのフローチャートを**図**20.12に示します。上記の注意点を網羅するためには、再書き込み処理を実施するビット、追加書き込み処理を実施するビットは**表**20.9および**表**20.10の演算によって決定する必要があります。
書き込みの進行に応じて、再書き込みのデータおよび追加書き込みのデータは変化しますので、RAM上に次のデータ格納エリア（各128バイト）を準備することを推奨します。

表 20.9 **再書き込みデータ演算表**

（D）	書き込みパルス印加後のベリファイリード結果（V）	（X）演算結果	コメント
0	0	1	書き込み完了のため、再書き込み処理は実施しない
0	1	0	書き込み未完了のため、再書き込み処理を実施する
1	0	1	―
1	1	1	消去状態のままで、何も実施しない

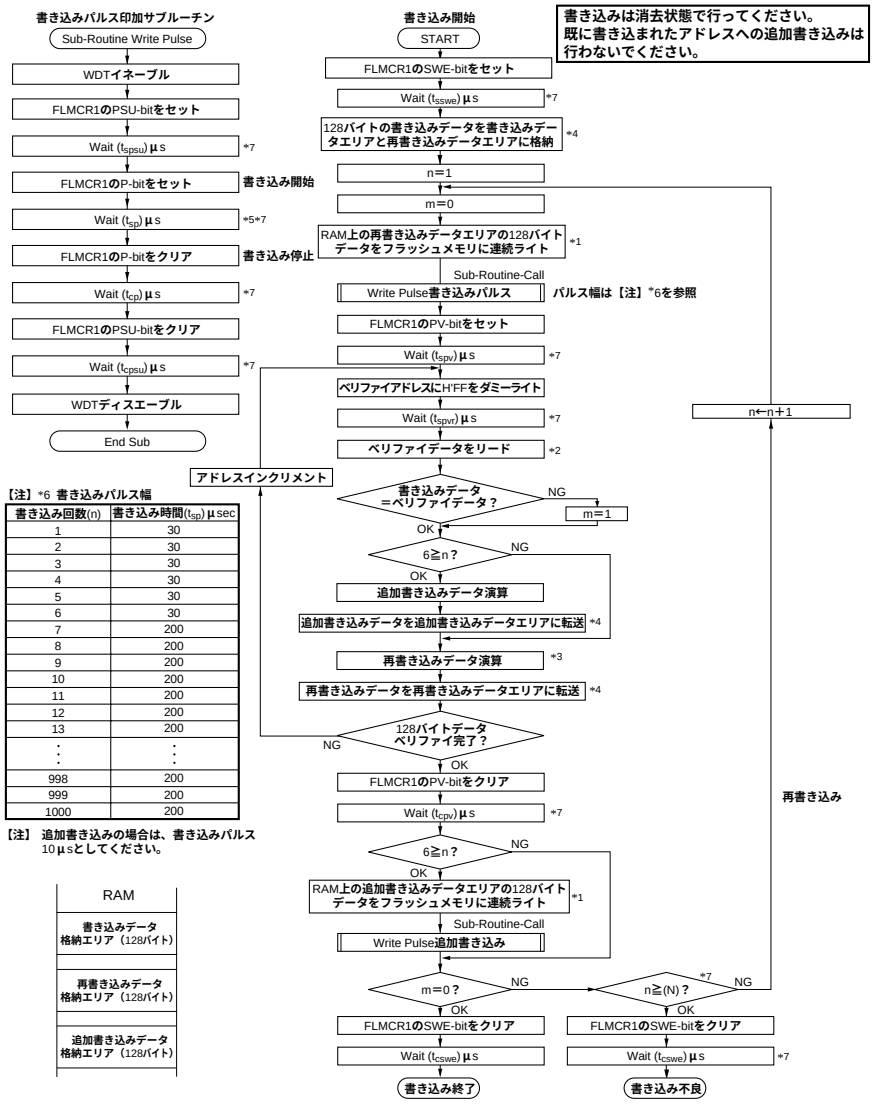
〔記号説明〕（D）：書き込みを実施するビットの元データ
（X）：再書き込みを実施するビットのデータ

表 20.10 **追加書き込みデータ演算表**

（X'）	書き込みパルス印加後のベリファイリード結果（V）	（Y）演算結果	コメント
0	0	0	書き込みパルス印加により書き込み完了したと判定 追加書き込み処理を実施する
0	1	1	書き込みパルス印加により書き込み未完了 追加書き込み処理は実施しない
1	0	1	既に書き込みは完了している 追加書き込み処理は実施しない
1	1	1	消去状態のままで、何も実施しない

〔記号説明〕（Y）：追加書き込みを実施するビットのデータ
（X'）：ある再書き込みループで再書き込みを実施するビットのデータ

（7） 本LSIのプログラム／プログラムベリファイフローの過程では、追加書き込み処理を実施する必要があります。
しかし、128バイト単位の書き込みが一度終了した後、同一のアドレスエリアに追加で書き込みを行わないでください。書き換えを実施する場合は、必ず一度消去を行ってから書き込みを実施してください。一度プログラム／プログラムベリファイが終了したアドレスへ追加書き込みを実施した場合、読み出しなど正常動作は保証されませんので注意してください。



【注】*6 書き込みパルス幅

書き込み回数(n)	書き込み時間(t_{sp}) μsec
1	30
2	30
3	30
4	30
5	30
6	30
7	200
8	200
9	200
10	200
11	200
12	200
13	200
⋮	⋮
998	200
999	200
1000	200

【注】 追加書き込みの場合は、書き込みパルス10μsとしてください。

【注】 *1 データ転送はバイト転送で行います。ライトする先頭アドレスの下位8ビットは、H'00,H'80でなければなりません。128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要無いアドレスへの書き込みは、データをH'FFにして書き込みを行う必要があります。
*2 ベリファイデータは16ビット（ワード）で読み出します。
*3 再書き込みデータは、下表の演算（書き込みデータエリアに格納されたデータとベリファイデータとの比較）により求めます。再書き込みデータ0のビットに対して、次の再書き込みループで書き込みが実行されます。そのため、一度書き込みが完了したビットでも、それ以降のベリファイでNGとなった場合には当該ビットに対してもう一度書き込みをおこないます。
*4 RAM上に書き込みデータを格納するエリア(128バイト)と再書き込みデータを格納するエリア(128バイト)と追加書き込みデータを格納するエリア(128バイト)が必要です。再書き込みと、追加書き込みデータの内容は書き込みの進行に応じて書き換えられます。
*5 書き込みパルスは、書き込みの進行に応じて30μsまたは200μsの書き込みパルスを印加してください。パルス幅に関しては、【注】*6を参照してください。追加書き込みデータの書き込みを実施する場合は、10μsの書き込みパルスを印加してください。書き込みデータX'は、書き込みパルスを印加した時の再書き込みデータを意味します。
*7 各ウェイト時間とNの値を「23.3.6 フラッシュメモリ特性」に示します。

再書き込みデータ演算表

元データ (D)	Verifyデータ (V)	再書き込みデータ (X)	コメント
0	0	1	書き込み完了
0	1	0	書き込み未完了、再書き込み
1	0	1	
1	1	1	消去状態のまま、なにもしない

追加書き込みデータ演算表

再書き込みデータ (X')	Verifyデータ (V)	追加書き込みデータ (Y)	コメント
0	0	0	追加書き込みを実施
0	1	1	追加書き込みを実施しない
1	0	1	追加書き込みを実施しない
1	1	1	追加書き込みを実施しない

図 20.12 プログラム／プログラムベリファイフロー（128 バイト書き込み）

20.7.3 イレースモード

フラッシュメモリの消去は 1 ブロック毎に、**図** 20.13 に示す 1 ブロック消去のフローチャート（単一ブロック消去）に沿って行ってください。

フラッシュメモリコントロールレジスタ 1（FLMCR1）の各ビットのセット／クリア後のウェイト時間および最大消去回数（N）を**「**23.3.6 **フラッシュメモリ特性」**の**表** 23.30 に示します。

フラッシュメモリ内容の消去は、FLMCR1 の SWE ビットを 1 にセット後、（t_{sswe}）μs 以上の時間が経過してから、ブロック指定レジスタ（EBR）で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走などにより過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は（t_{se}）ms +（t_{sesu} + t_{ce} + t_{cesu}）μs より大きく設定してください。その後、FLMCR1 の ESU ビットをセットすることで、イレースモードへの準備（イレースセットアップ）を行います。その後、（t_{sesu}）μs 以上の時間が経過後、FLMCR1 の E ビットをセットすることで、動作モードはイレースモードへ遷移します。E ビットが設定されている時間が消去時間となり、消去時間は（t_{se}）ms を超えないようにしてください。

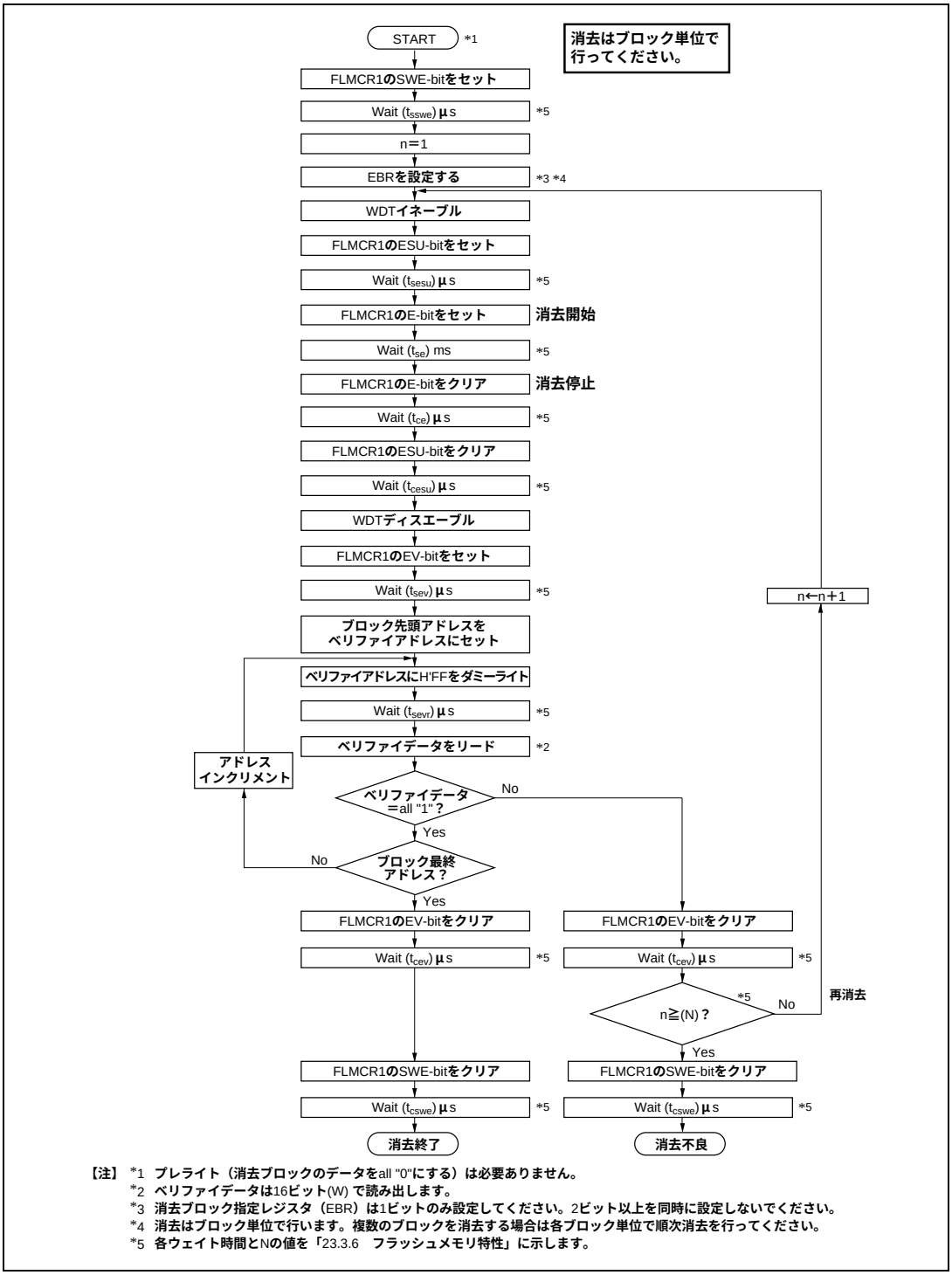
【注】 フラッシュメモリの消去において、消去を開始する前にプレライト（消去するメモリのデータをすべて 0 にする）を行う必要はありません。

20.7.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

一定の消去時間経過後、FLMCR1 の E ビットをクリアします。その後、（t_{ce}）μs 以上の時間が経過してから ESU ビットをクリアすることでイレースモードを解除します。イレースモード解除の後は、ウォッチドッグタイマの設定も解除します。その後、FLMCR1 の EV ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。ダミーライトは（t_{sev}）μs 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード（ベリファイデータは 16 ビットで読み出す）するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、（t_{sevr}）μs おいてから行ってください。読み出したデータが消去（データがすべて 1）されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース／イレースベリファイシーケンスを繰り返します。イレース／イレースベリファイの繰り返しの最大値は、最大消去回数（N）によって表わされます。ベリファイ完了後、イレースベリファイモードを解除し、（t_{cev}）μs 以上の待機時間を置いてください。通常モードに遷移するには FLMCR1 の SWE ビットを解除し、（t_{cswe}）μs 以上の待機時間を置いてください。

複数ブロックを消去する場合は、次に消去するブロックのエリアを EBR によって 1 ビットのみ設定し、同様にイレース／イレースベリファイシーケンスを繰り返します。



【注】 *1 プレライト（消去ブロックのデータをall "0"にする）は必要ありません。
*2 ベリファイデータは16ビット(W) で読み出します。
*3 消去ブロック指定レジスタ（EBR）は1ビットのみ設定してください。2ビット以上を同時に設定しないでください。
*4 消去はブロック単位で行います。複数のブロックを消去する場合は各ブロック単位で順次消去を行ってください。
*5 各ウェイト時間とNの値を「23.3.6 フラッシュメモリ特性」に示します。

図 20.13 イレース／イレースベリファイフロー（単一ブロック消去）

20.8 プロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ソフトウェアプロテクトとハードウェアプロテクトとエラープロテクトの 3 種類あります。

20.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み／消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ 1（FLMCR1）、消去ブロック指定レジスタ（EBR）の設定はリセットされます。エラープロテクト状態では、FLMCR1、FLMCR2、EBR の設定は保持し、P ビットおよび E ビットはセット可能ですが、プログラムモードおよびイレースモードへは遷移しません。（**表** 20.11 参照）

表 20.11 **ハードウェアプロテクト**

項　目	説　明	機　能		
		書き込み	消去	ベリファイ
FWE 端子プロテクト	• FWE 端子に Low レベルが入力されているときには、FLMCR1、EBR は初期化され、書き込み／消去プロテクト状態になります。	不可*1	不可*3	不可
リセット、スタンバイプロテクト	• リセット（WDT によるオーバーフローリセットも含む）およびスタンバイ時は、FLMCR1、FLMCR2、EBR は初期化され、書き込み／消去プロテクト状態になります。 • RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。*4	不可	不可*3	不可
エラープロテクト	• フラッシュメモリへの書き込み／消去中にマイコン動作の異常を検出（エラー発生（FLER＝1））した場合にエラープロテクトが有効となります。このとき FLMCR1、EBR の設定は保持しますが、エラーが発生した時点で書き込み／消去を強制的に中断します。エラープロテクトの解除は RES 端子によるリセットおよび WDT リセットまたはハードウェアスタンバイのみです。	不可	不可*3	可*2

【注】 *1 フラッシュメモリとオーバラップした RAM エリアは除きます。

*2 書き込み中の 128 バイトのプログラムベリファイは可能です。消去中の 1 ブロックのイレースベリファイは可能です。

*3 全ブロックが消去不可となり、ブロック別の指定はできません。

*4 「4.2.2 リセットシーケンス」および「20.11 フラッシュメモリの書き込み／消去時の注意」を参照してください。H8/3048F-ONE では、動作中のリセット期間は最低 20 システムクロック必要です。

20.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、消去ブロック指定レジスタ（EBR）、RAM コントロールレジスタ（RAMCR）の RAMS ビットをセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ 1（FLMCR1）の P ビットまたは E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。（**表** 20.12 参照）

表 20.12 **ソフトウェアプロテクト**

項　目	説　明	機　能		
		書き込み	消去	ベリファイ
ブロック指定プロテクト	• 消去ブロック指定レジスタ（EBR）の設定*2 により、ブロック毎に消去プロテクトが可能。ただし、書き込みに対するプロテクトは無効です。 • EBR を H'00 に設定すると全ブロックが消去プロテクト状態になります。	－	不可	可
エミュレーションプロテクト	• RAM コントロールレジスタ（RAMCR）の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み／消去プロテクト状態になります。	不可*1	不可*3	可

【注】 *1 フラッシュメモリとオーバラップした RAM エリアへの書き込みは可能です。
*2 EBR のビットは消去時以外は H'00 にしてください。
*3 全ブロックが消去不可となり、ブロック別の指定はできません。

20.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み／消去中*1 のマイコンの暴走や書き込み／消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み／消去動作を強制的に中断するプロテクトです。書き込み／消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み／消去中にマイコンが異常動作すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態へ遷移します。このとき、FLMCR1、FLMCR2、EBR の設定*3 は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV ビット、EV ビットの設定は有効なので、ベリファイモードへの遷移は可能です。*2

FLER ビットのセット条件は、

（1） 書き込み／消去中に当該アドレスエリアのフラッシュメモリを読み出したとき（ベクタリードおよび命令フェッチを含む）
（2） 書き込み／消去中の例外処理（リセット不当命令、トラップ命令、ゼロ除算時の例外処理は除く）開始直後
（3） 書き込み／消去中にSLEEP命令（ソフトウェアスタンバイを含む）を実行したとき
（4） 書き込み／消去中にCPUがDMAC、リフレッシュコントローラおよび外部バスマスタにバス権を解放したとき

エラープロテクト解除は、リセット（RES 端子、WDT リセット）またはハードウェアスタンバイのみで行われます。

【注】 *1 FLMCR1 **の** P **ビットまたは** E **ビットが** 1 **にセットされた状態です。この状態では** NMI **入力が禁止されますので、注意してください。**

*2 **書き込み中の** 128 **バイトのプログラムベリファイは可能です。また、消去中の** 1 **ブロックのイレースベリファイは可能です。**

*3 FLMCR1、EBR **へのライトは可能です。ただし、エラープロテクト状態でソフトウェアスタンバイモードに遷移した場合は、レジスタはイニシャライズされます。**

図 20.14 にフラッシュメモリの状態遷移図を示します。

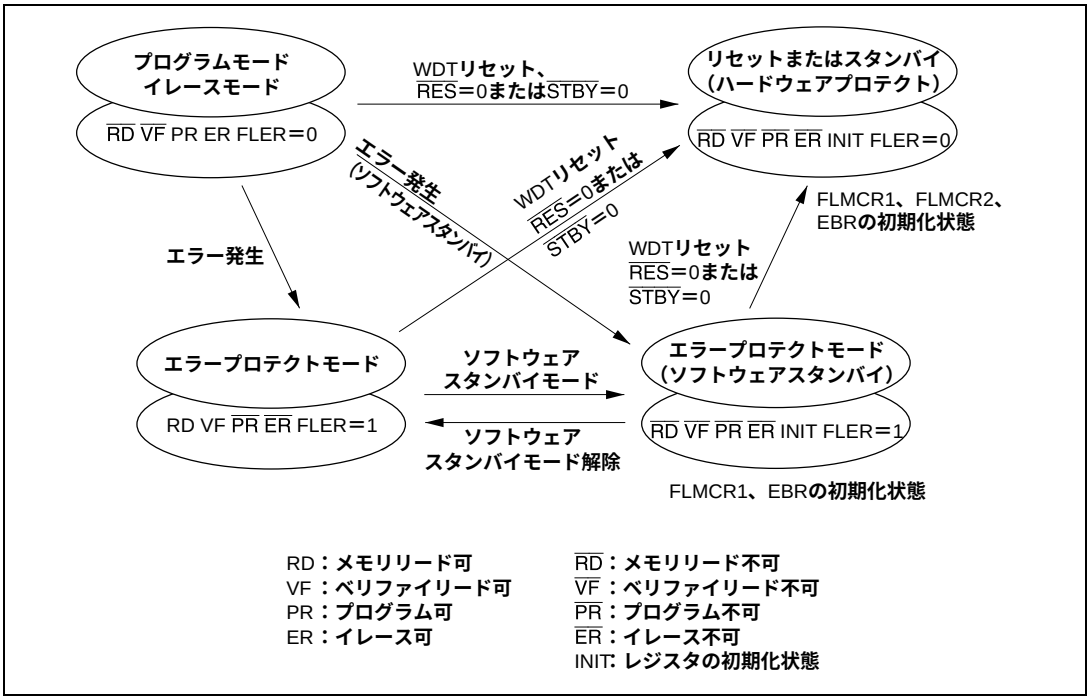


図 20.14 **フラッシュメモリの状態遷移図**
（モード 5**〜**7**（内蔵** ROM **が有効）で** FWE **端子に** High **レベル印加時）**

エラープロテクト機能は、FLER ビットのセット条件以外の異常動作に対しては無効です。また、このプロテクト状態に遷移するまでに相当な時間が経過している場合は、すでにフラッシュメモリにダメージを与えている可能性もあります。したがって、この機能ではフラッシュメモリへのダメージを完全に防止することはできません。

このため、このような異常動作を防止するためには、フラッシュライトイネーブル（FWE）が印加された状態で書き込み／消去アルゴリズムに従って正しく動作させること、およびマイコンの異常をウォッチドッグタイマ等でマイコン内外部で常に監視することが必要です。また、このプロテクトモードへ遷移した時点でのフラッシュメモリは誤書き込み、誤消去の状態であったり、強制停止によって書き込みや消去が不十分な場合があります。このような場合、必ずブートモードによる強制復帰（プログラムの再書き込み）を行ってください。ただし、過剰書き込み、過剰消去によってブートモードが正常に起動されない場合があります。

20.8.4 NMI 入力の禁止条件

フラッシュメモリへの書き込み／消去中（FLMCR1 の P ビットまたは E ビットがセット）、およびブートモードでのブートプログラム実行中*[1]は、書き込み／消去中を最優先とするため NMI 入力を含むすべての割り込みを禁止してください。

これは以下のような動作状態を回避することを目的としています。

（1） 書き込み／消去中に割り込みが発生することにより、書き込み／消去アルゴリズムに違反し、正常な動作が保証できなくなる。

（2） 書き込み／消去中の割り込み例外処理ではベクタリードが正常にできない*[2]ため、結果としてマイコンが暴走してしまう。

（3） ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスが実行できなくなる。

以上のような理由から、オンボードプログラミングモードにおいてのみ例外的に NMI 入力を禁止する条件が存在しますが、これによって正常な書き込み／消去およびマイコン動作が保証されるものではありません。

このため、フラッシュメモリへの書き込み／消去を行う場合、マイコンの内外部で NMI を含む全ての割り込み要求を（例外処理、バス解放）禁止する必要があります。また、エラープロテクト状態および RAM によるフラッシュメモリのエミュレーション中で FLMCR1 の P ビットまたは E ビットが保持された状態でも NMI 割り込みは禁止状態となります。

【注】 *1 **内蔵 RAM のブートプログラムエリア（H'FFEF10）に分岐するまでの期間を示します（この分岐は書き込み制御プログラムの転送が完了した直後に発生します）。**
このため、RAM エリアに分岐した後は、書き込み／消去以外の状態では NMI 入力が可能となります。したがって、書き込み制御プログラムによる初期書き込み（ベクタテーブルおよび NMI 処理プログラム等の書き込み）が完了するまでは、マイコン内外部で割込み要求を禁止する必要があります。

*2 **この場合、以下の二つの理由によってベクタリードが正常に行われません。**

- **書き込み／消去中（FLMCR1 の P ビットまたは E ビットがセット）にフラッシュメモリのリードを行っても正しい値を読み出すことはできません（値は不定）。**
- **割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。**

20.9　RAM によるフラッシュメモリのエミュレーション

フラッシュメモリは、その消去や書き込みに時間がかかるため、パラメータ等のデータをリアルタイムに書き替えながらチューニングを行うといった使い方が難しい場合があります。このような場合、フラッシュメモリのリアルタイムな書き替えをエミュレートするために、フラッシュメモリの小ブロックエリアに RAM の一部（H'FFF000～H'FFF3FF）を重ね合わせて使うことができます。この RAM エリアの変更は、RAM コントロールレジスタ（RAMCR）のビット 3～1 によって行います。また、RAM エリアの変更後は、フラッシュメモリに重ね合わせたエリアと本来の RAM エリア（H'FFF000～H'FFF3FF）の 2 エリアからアクセスできます。RAMCR および RAM エリアの設定方法については、「20.5.4　RAM **コントロールレジスタ（**RAMCR**）**」を参照してください。

■フラッシュメモリのリアルタイムな書き替えをエミュレートする例

EB2（H'000800～H'000BFF）のフラッシュメモリエリアに H'FFF000～H'FFF3FF の RAM エリアを重ね合わせる例を示します。

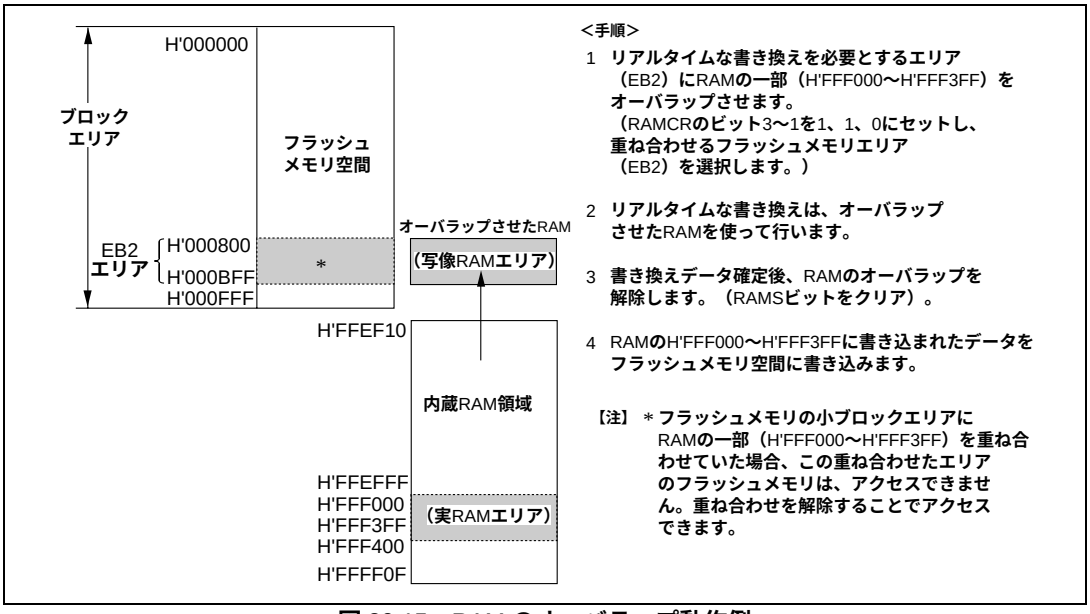


図 20.15　RAM **のオーバラップ動作例**

■RAM **によるエミュレーション機能の使用上の注意**

（1）　RAMSビットを1にセットするとRAM2、1の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み／消去プロテクトが有効となります（エミュレーションプロテクト）。この状態ではFLMCR1のPビットまたはEビットをセットしてもプログラムモード、イレースモードへは遷移しません。フラッシュメモリエリアに実際に書き込み／消去を行う場合はRAMSビットを0にクリアしてください。

（2）　RAMによるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行してもRAMエリアを消去することはできません。

（3）　ブロックエリア（EB0）はベクタテーブルを含みます。RAMエミュレーションする場合、オーバラップRAMにはベクタテーブルが必要となります。

（4） フラッシュライトイネーブル（FWE）の印加／解除時の注意
オンボードプログラミングモードと同様に、FWEの印加／解除時は誤書き込み／誤消去を防止するための注意が必要です。特にFWEの印加中のプログラム暴走等による誤書き込み／誤消去を防止するため、エミュレーション機能を使用中でもFLMCR1のPSUビット、Pビット、ESUビットおよびEビットを1にセットしているときはウォッチドッグタイマを設定してください。詳細は**「20.11 フラッシュメモリの書き込み／消去時の注意」**を参照してください。

（5） NMI入力の禁止条件
エミュレーション機能を使用しているときも、通常の書き込み／消去と同様に、FLMCR1のPビット、Eビットを1にセットしている状態ではNMI入力が禁止されます。なお、PビットおよびEビットはリセット時（ウォッチドックタイマのリセットを含む）、スタンバイモード時、FWE端子にHighレベルが入力されていないとき、またはFWE端子にHighレベル印加状態でFLMCR1のSWEが0のときにクリアされます。

20.10 フラッシュメモリの PROM モード

本 LSI では、フラッシュメモリの書き込み／消去可能なモードとして、オンボードプログラミングモード以外に PROM モードがあります。PROM モードでは、日立 128k バイトフラッシュメモリ内蔵マイコンのデバイスタイプをサポートしている汎用 PROM ライタを用いて、内蔵 ROM に自由にプログラムを書き込むことができます。

20.10.1 ソケットアダプタとメモリマップ

PROM ライタを用いた PROM モードでは、メモリ読み出し（ベリファイ）、書き込み、フラッシュメモリ初期化（全画消去）が可能です。その際には、汎用 PROM ライタに専用の変換ソケットアダプタを取り付けて行います。**表** 20.13 にソケットアダプタの型名を示します。本 LSI の PROM モードでは、**表** 20.13 のソケットアダプタを必ず使用してください。

表 20.13 **本** LSI **ソケットアダプタ型名**

製品型名	パッケージ名	ソケットアダプタ型名	メーカ
HD64F3048BF	100 **ピン** QFP (FP-100B)	ME3064ESHF1H	**ミナトエレクトロニクス（株）**
HD64F3048BTE	100 **ピン** TQFP (TFP-100B)	ME3064ESNF1H	
HD64F3048BF	100 **ピン** QFP (FP-100B)	HF306BQ100D4001	**データ・アイ・オー・ジャパン（株）**
HD64F3048BTE	100 **ピン** TQFP (TFP-100B)	HF306BT100D4001	

また、下記の**図** 20.16 に PROM モード時のメモリマップを示します。

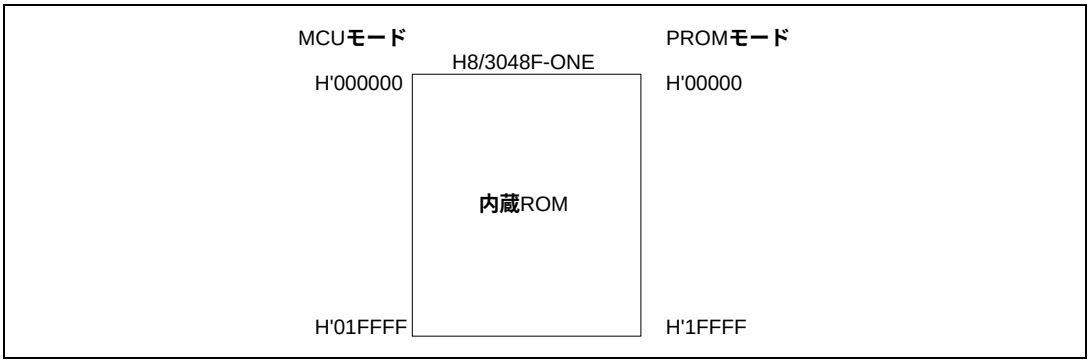


図 20.16 PROM **モード時のメモリマップ**

20.10.2 PROM モード使用時の注意事項

（1） PROMモード時の128バイト書き込み単位への書き込みは、1回のみとします。既に書き込まれたアドレスへの書き換えは、消去を行った後に書き込みを実施してください。
（2） オンボード書き込み／消去を行ったデバイスに対して、それをPROMライタを用いて書き換えを行う場合は、一度消去を行った後に書き込みを実施することを推奨します。
（3） 日立出荷品の初期状態は、消去状態です。消去来歴不明サンプルに対しては、初期化（消去）レベルをチェック・補正するために消去実施を推奨します。
（4） 本LSIでは、汎用EPROMのような製品識別モードをサポートしていませんので、PROMライタにデバイス名を自動設定することができません。
（5） 本LSIのPROMモードに適合するPROMライタおよびそのプログラムバージョンに関しては、ソケットアダプタの取り扱い説明書等を参照してください。
（6） デバイスタイプは必ず日立128kバイトフラッシュメモリ内蔵マイコンデバイスタイプを選択してください。HN28F101を選択した場合、永久破壊を起こす可能性があります。

20.11 フラッシュメモリの書き込み／消去時の注意

オンボードプログラミングモード、RAM エミュレーション機能および PROM モード使用時の注意事項を示します。

(1) 規定された電圧、タイミングで書き込み／消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。

特に H8/3048F-ONE（単一電源方式）と H8/3048F（二電源方式）とでは FWE 端子と V_{PP}、MD2 端子の最大定格が異なるので注意してください。

PROM ライタは、日立製 128k バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているものを使用してください。

ライタの設定を HN28F101 にセットしないでください。誤ってセットした場合、FWE 端子に 12.0V 印加され破壊にいたることがあります。

(2) 電源投入／切断時の注意（図 20.17～図 20.19 参照）

FWE 端子への High レベル印加は V_{CC} 確定後に行ってください。また V_{CC} を切断する前に FWE 端子を Low レベルにしてください。

V_{CC} 電源の印加／切断時は FWE 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。

この電源投入／切断のタイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。このタイミングが守られない場合は、マイコンの暴走等によって過剰書き込み、過剰消去となりメモリセルが正常に動作しなくなることがありますので充分注意してください。

(3) FWE 端子の印加／解除の注意（図 20.17～図 20.19 参照）

FWE 端子の印加は、マイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWE 端子を Low レベルに固定し、プロテクト状態としてください。

FWE 端子印加／解除では、フラッシュメモリへの誤書き込み／誤消去を防止するため、以下に示すような注意が必要です。

- **V_{CC} 電圧が定格電圧の範囲で安定している状態で FWE 端子に印加してください。**

  マイコンの V_{CC} 電圧が定格電圧を満足しない状態で FWE 端子に印加すると、マイコン動作が

不確定の状態であることから、フラッシュメモリに誤って書き込み／消去を行ってしまう可能性があります。

- **発振が安定している状態（発振安定時間経過後）で FWE 端子に印加してください。**

V_{CC} 電源投入時では、発振安定時間の間、RES 端子を Low レベルに保持した後に、FWE 端子に印加してください。発振が停止した状態や不安定な状態で、FWE 端子の印加は行わないでください。

- **ブートモードでは、FWE 端子の印加／解除はリセット中に行ってください。**

ブートモードへの遷移では、FWE＝High レベル入力と MD_2～MD_0 の設定は RES 入力が Low 期間中に行ってください。このとき FWE と MD_2～MD_0 入力は、リセット解除タイミングに対してモードプログラミングセットアップ時間（t_{MDS}）を満足する必要があります。ブートモードから他のモードへ遷移する場合も RES 解除タイミングに対して、モードプログラミングセットアップ時間が必要です。

動作中のリセットでは、最低 20 システムクロックの間、RES 端子を Low レベルにする必要があります。

- **ユーザプログラムモードでは、RES 入力にかかわらず、FWE＝High/Low の切り換えが可能です。**

また、フラッシュメモリ上でプログラム実行中でも、FWE 入力の切り換えが可能です。

- **プログラムが暴走していない状態で FWE を印加してください。**

FWE 端子の印加時は、ウォッチドッグタイマ等でプログラム実行状態を監視することが必要です。

- **FWE 端子の解除は FLMCR1 の SWE、ESU、PSU、EV、PV、E、P ビットをクリアした状態で行ってください。**

FWE 端子の印加／解除時に、誤って SWE、ESU、PSU、EV、PV、E、P ビットをセットしないでください。

(4) FWE 端子に常時 High レベルを印加しないでください。

プログラム暴走等による誤書き込み／誤消去を防止するため、FWE 端子に High レベルを印加するのは、フラッシュメモリに書き込み／消去を行うときのみ（RAM によるフラッシュメモリのエミュレーション実行時も含む）としてください。また、FWE 端子に常時 High レベルを印加するようなシステム構成は避けてください。High レベル印加中においても、過剰書き込み／過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。

(5) フラッシュメモリへの書き込み／消去は推奨するアルゴリズムにしたがって行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み／消去を行うことができます。

FLMCR1 の P ビットおよび E ビットをセットするときは、プログラムの暴走等に備えてあらかじめウォッチドッグタイマを設定してください。

また、P ビット、E ビットをセットしている間に、MOV 命令等でフラッシュメモリ空間へのアクセスを行うことは禁止されています。

(6) SWE **ビットのセット／クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。**

フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後に行ってください。

SWE ビットをセットするとフラッシュメモリのデータを書き換えることができますが、ベリファイ（プログラム／イレース中のベリファイ）以外の目的で、フラッシュメモリをアクセスしないでください。

FWE 端子に High レベルを入力した状態で、RAM によるエミュレーション機能を使用する場合も同様に、フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後に行ってください。ただし、フラッシュメモリ空間とオーバラップした RAM エリアについては、SWE ビットのセット／クリアに関わらずリード／ライト可能です。

また、SWE ビットをクリアした後には、ウェイト時間が必要です。詳細は**「23.3.6 フラッシュメモリ特性」表** 23.30 を参照してください。

(7) **フラッシュメモリのプログラム中または消去中に割込みを使用しないでください。**

FWE 端子に印加している状態では、書き込み／消去動作（RAM によるエミュレーションを含む）を最優先とするため、NMI を含む全ての割込み要求を禁止してください。

また、バス権の解放も禁止する必要があります。

(8) **追加書き込みは行わないでください。書き換えは消去後に行ってください。**

オンボードプログラミングでは、128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。書き換えは、この書き込み単位ブロックが全て消去された状態で行ってください。

(9) **書き込み前に、正しく** PROM **ライタに装着されていることを必ず確認してください。**

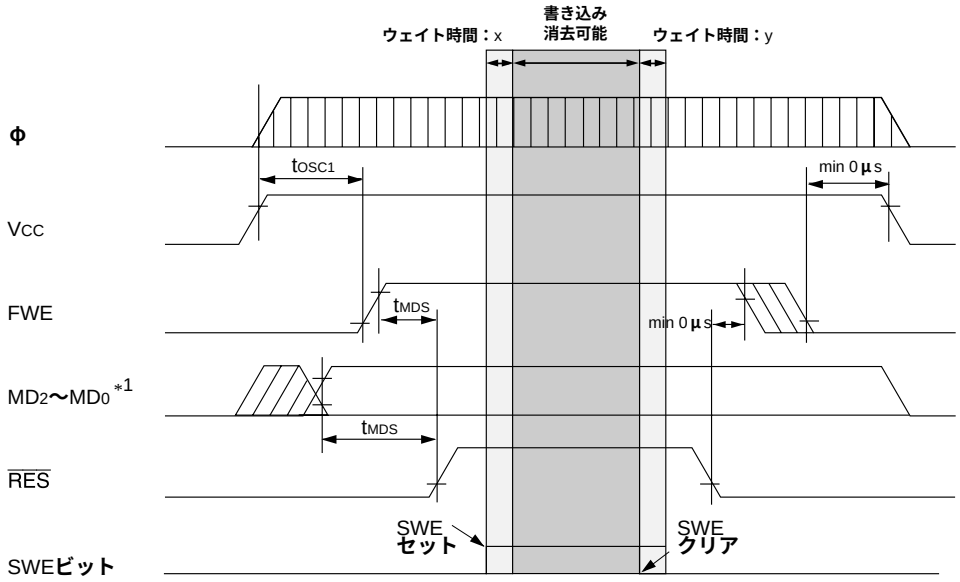
PROM ライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流が流れ、製品が破壊されることがあります。

(10) **書き込み中はソケットアダプタや製品に手を触れないでください。**

接触不良などにより、書き込み不良になることがあります。

(11) **書き込み、消去、ベリファイモードから通常モードに遷移した後に、読み出しを行う場合は** 100 μs **以上の待ち時間をおいてください。**

(12) **フラッシュメモリを制御するレジスタ（**FLMCR1、FLMCR2、EBR、RAMCR**）に対するアクセスはバイトアクセスとしてください。**

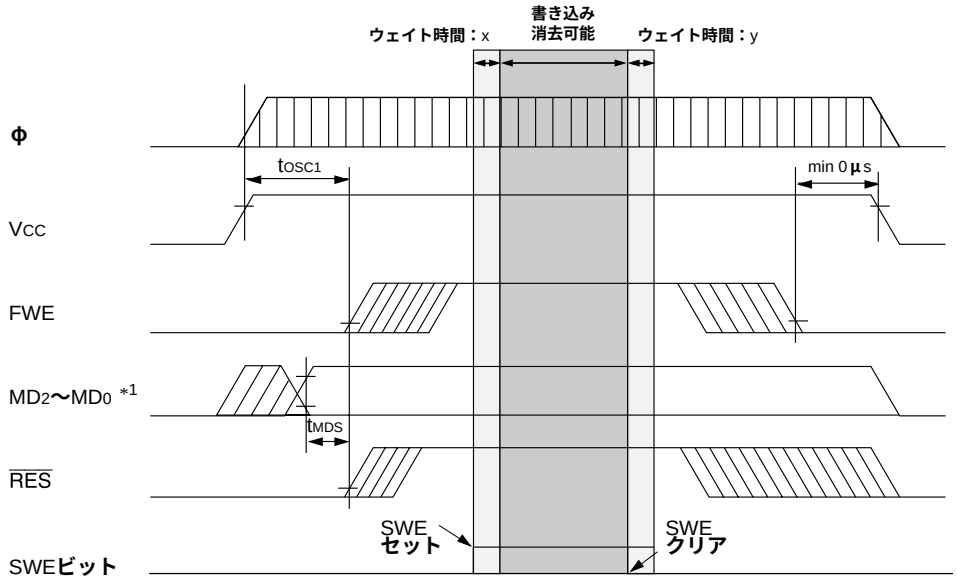


フラッシュメモリアクセス禁止期間
（x：SWEセット後のウェイト時間　　y：SWEクリア後のウェイト時間）*2

フラッシュメモリ書き換え可能期間
（フラッシュメモリ上のプログラム実行禁止およびベリファイ以外のデータ読み出し禁止）

【注】 *1　モード端子（MD2〜MD0）はモード切り換え以外は、パワーオフまでは、プルダウンまたはプルアップして、レベルを必ず固定してください。
*2　「23.3.6　フラッシュメモリ特性」を参照してください。

図 20.17　電源投入／切断タイミング（ブートモード）

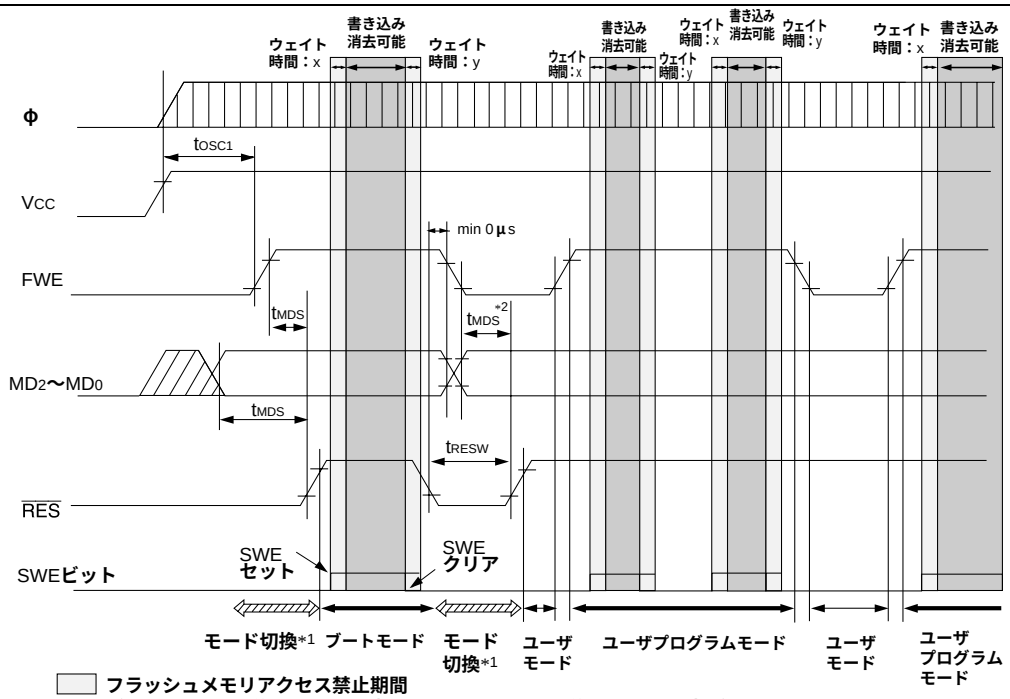


フラッシュメモリアクセス禁止期間
（x：SWEセット後のウェイト時間　　y：SWEクリア後のウェイト時間）*2

フラッシュメモリ書き換え可能期間
（フラッシュメモリ上のプログラム実行禁止およびベリファイ以外のデータ読み出し禁止）

【注】 *1　モード端子（MD2〜MD0）はモード切り換え以外は、パワーオフまでは、プルダウンまたはプルアップして、レベルを必ず固定してください。
*2　「23.3.6　フラッシュメモリ特性」を参照してください。

図 20.18　電源投入／切断タイミング（ユーザプログラムモード）



【注】 *1　ブートモードへの遷移時またはブートモードから他のモードへ遷移する場合は、
$\overline{\text{RES}}$入力によるモード切り換えが必要です。
この切り換え期間（$\overline{\text{RES}}$端子にLowレベルを入力している期間）は、アドレス兼用ポートおよびバス制御出力信号（$\overline{\text{CSn}}$、$\overline{\text{AS}}$、$\overline{\text{RD}}$、$\overline{\text{WR}}$）の状態が変化します。
このため、この切り換え期間中はこれらの端子を出力信号として使用しないようにしてください。

*2　ブートモードから他のモードへ遷移する場合、$\overline{\text{RES}}$解除のタイミングに対して、モードプログラミングセットアップ時間t_{MDS}が必要です。

*3　「23.3.6　フラッシュメモリ特性」を参照してください。

図 20.19 モード遷移タイミング
（例：ブートモード⇒ユーザモード⇔ユーザプログラムモード）

20.12 F-ZTAT（単一電源方式）マイコンのマスク ROM 化時の注意事項

F-ZTAT（単一電源方式）版からマスク ROM 版製品に変更するとき、F-ZTAT 用アプリケーションソフトを活用する場合には注意が必要です。

マスク版と F-ZTAT（単一電源方式）版ではフラッシュ ROM 用内部レジスタ（**付録B. 内部 I/O レジスタ一覧 表** B.1 参照）をアクセスした場合、リード値が下記のように異なります。

レジスタ名称	ビット名称	ステータス	
		F-ZTAT（単一電源方式）版	MASK 版
FLMCR1	FWE	0：アプリケーション状態	0：（読み出されません）
		1：書き換え状態	1：アプリケーション状態

【注】 F-ZTAT（単一電源方式）版製品、ROM サイズの異なる同一シリーズのマスク ROM 版製品はすべて対象となります。

また、F-ZTAT（単一電源方式）版の 5V 動作品の場合 V_{CL} 端子を持ち、ボード設計上の注意が必要となります。「1.4.5 マスク ROM 品切り替えの際の注意点」を参照してください。

21.　クロック発振器

21.1　概要

本 LSI は、クロック発振器（CPG：Clock Pulse Generator）を内蔵しており、クロック発振器はシステムクロック（φ）、および内部クロック（φ／2～φ／4096）を生成します。

分周器は、デューティ補正されたクロックを分周してシステムクロック（φ）を生成します。φはφ端子に出力される*[1]とともに内部モジュールへクロックを供給するプリスケーラの基本クロックとなります。なお、分周器の分周比は分周比コントロールレジスタ（DIVCR）により 1／1、1／2、1／4、1／8 の中から選択できます*[2]。チップ内の消費電流は分周比にほぼ比例して低減します。

【注】 *1　**φ端子の状態はチップの動作モードおよびモジュールスタンバイコントロールレジスタ（MSTCR）の PSTOP の設定により異なります。詳細は「22.7　φクロック出力禁止機能」を参照してください。**

*2　**分周比の変更は動作中ダイナミックに変更することができます。φ端子のクロック出力も分周比を変更することにより変化します。このときφ端子から出力される周波数は、以下のようになります。**

φ＝EXTAL×n　　EXTAL　**：水晶発振子または外部クロックの周波数**

n　**：分周比（n＝1／1、1／2、1／4、1／8）**

21.1.1　ブロック図

図 21.1 にクロック発振器のブロック図を示します。

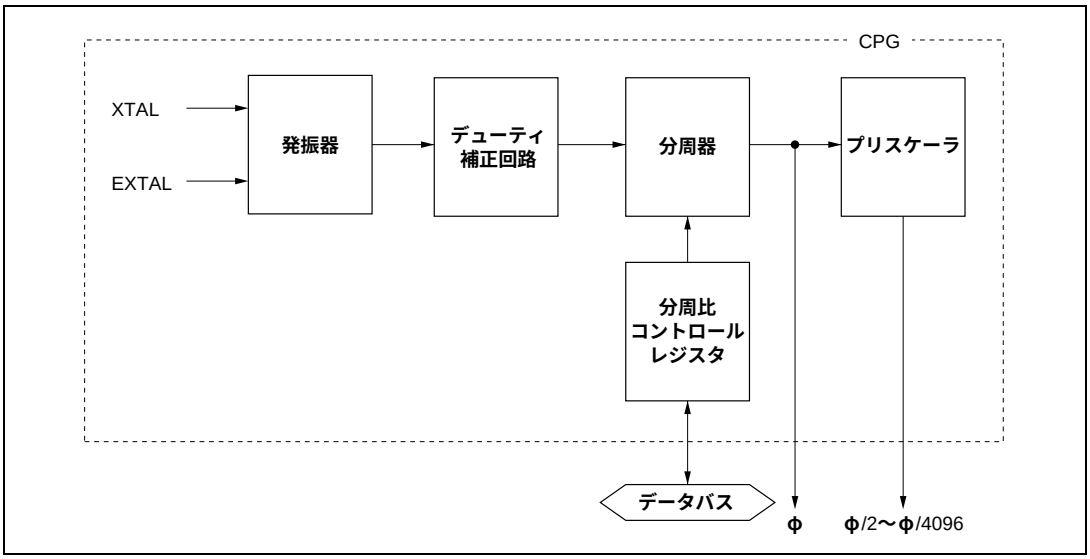


図 21.1　**クロック発振器のブロック図**

21.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の 2 とおりがあります。

21.2.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を**図** 21.2 に示します。ダンピング抵抗 Rd は、**表** 21.1、外付け容量 CL_1、CL_2 は**表** 21.2 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

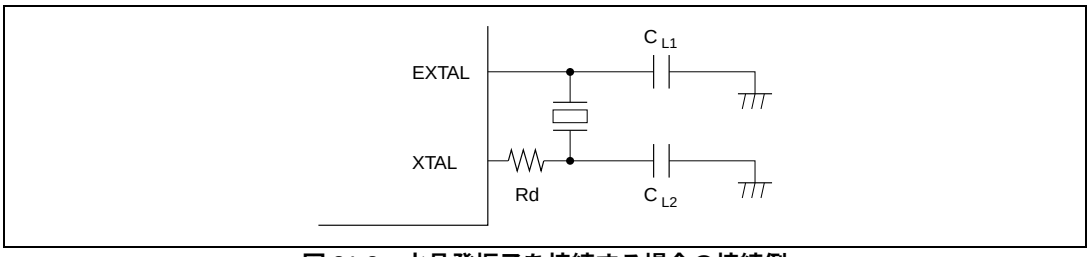


図 21.2 **水晶発振子を接続する場合の接続例**

20MHz より高周波の水晶発振子を接続する場合は、**表** 21.2 のとおり外付け負荷容量値を 10[pf]以下としてください。また実装状態での発振周波数精度の向上のため、回路定数の決定については、発振のマッチング評価などを十分にご検討くださいますようお願い申し上げます。

表 21.1 **ダンピング抵抗値**

ダンピング抵抗値		**周波数** f（MHz）							
		2	2＜f≦4	4＜f 8	8＜f≦10	10＜f≦13	13＜f≦16	16＜f≦18	18＜f≦25
Rd（Ω）	**下記*製品に適用**	1k	500	200	0	0	0	0	ー
	H8/3048F	1k	1k	500	200	100	0	ー	ー
	H8/3048F-ONE	1k	500	200	0	0	0	0	0

【注】 水晶発振子は、2MHz〜20MHz **が使用できます。**2MHz **未満で動作させる場合は、内蔵の分周器を使用してください（**2MHz **未満の水晶発振子は使用できません）。**

* H8/3048ZTAT**、**H8/3048 **マスク** ROM **品、**H8/3047 **マスク** ROM **品、**H8/3045 **マスク** ROM **品、**H8/3044 **マスク** ROM **品**

表 21.2 **外付け容量値**

外付け容量値		5V **品**		**低電圧品**	
	周波数 f（MHz）	20＜f≦25	2≦f≦20	2≦f≦13	2≦f≦25
CL_1＝CL_2（pF）		10	10〜22		10

(2) 水晶発振子

図 21.3 に水晶発振子の等価回路を示します。水晶発振子は**表** 21.3 に示す特性のものを使用してください。

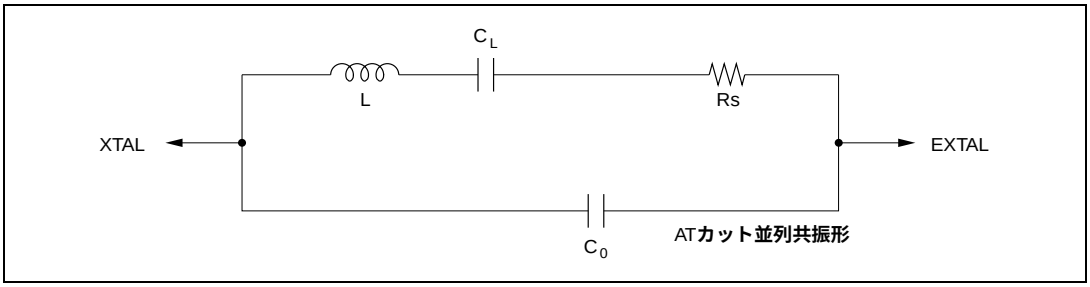


図 21.3 **水晶発振子の等価回路**

表 21.3 **水晶発振子のパラメータ**

周波数（MHz）	2	4	8	10	12	16	18	20
Rs max（**Ω**）	500	120	80	70	60	50	40	40
C_0（pF）	7pF max							

水晶発振子は、φと同一の周波数のものを使用してください。

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります（**図** 21.4）。また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

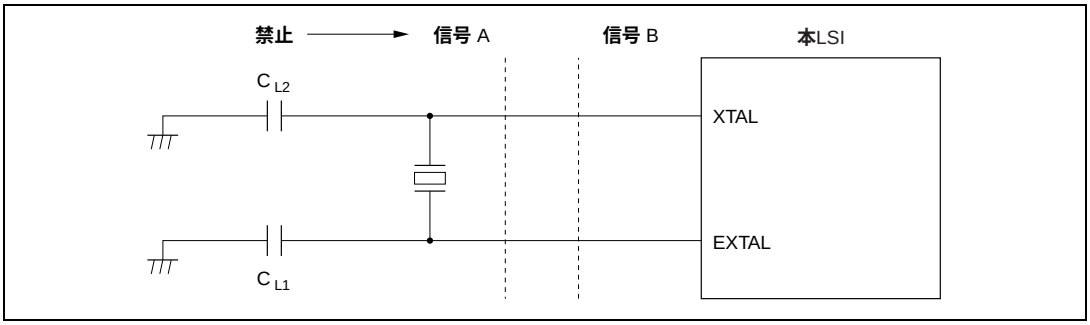


図 21.4 **発振回路部のボード設計に関する注意事項**

21.2.2 外部クロックを入力する方法

(1) 回路構成

外部クロック入力の接続例を**図** 21.5 に示します。XTAL 端子をオープン状態にする場合は、XTAL 端子の寄生容量は 10pF 以下としてください。XTAL 端子の寄生容量が 10pF を越える場合は b のように接続し、スタンバイモード時には外部クロックが High レベルとなるようにしてください。

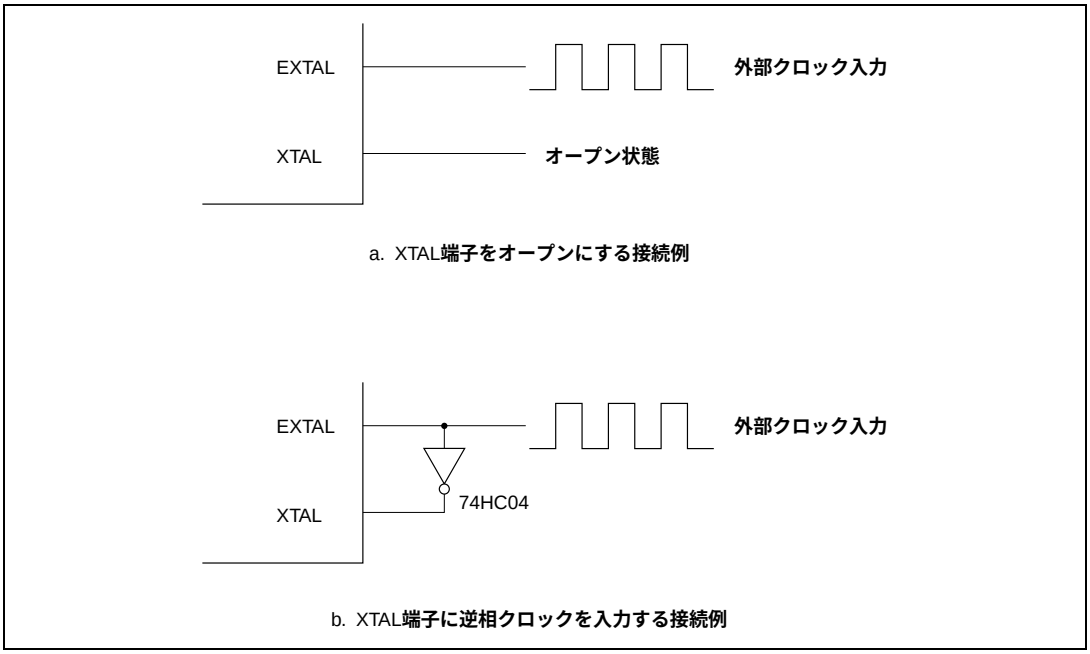


図 21.5 **外部クロックを入力する場合の接続例**

(2) 外部クロック

外部クロックの周波数は、分周器によって分周しないときの周波数と同一にしてください。**表** 21.4 にクロックタイミング、**図** 21.6 に外部クロック入力タイミングを示します。

図 21.7 に外部クロック出力安定遅延時間タイミングを示します。発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロック入力の波形を調整する機能を持っています。

EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間（t_{DEXT}）経過後に内部のクロック信号出力が確定します。t_{DEXT} 期間中はクロック信号出力が確定していないので、リセット信号を Low にし、リセット状態に保持してください。

表 21.4（1） H8/3048F-ONE のクロックタイミング

項　目	記号	V_{CC}＝3.0～3.6V		V_{CC}＝5.0V±10%		単位	測定条件	
		min	max	min	max			
外部クロック入力パルス幅 Low レベル	t_{EXL}	30	－	15	－	ns	図 21.6	
外部クロック入力パルス幅 High レベル	t_{EXH}	30	－	15	－	ns		
外部クロック立上がり時間	t_{EXr}	－	8	－	5	ns		
外部クロック立下がり時間	t_{EXf}	－	8	－	5	ns		
クロックパルス幅 Low レベル	t_{CL}	0.4	0.6	0.4	0.6	t_{cyc}	φ≧5MHz	図 23.10
		80	－	80	－	ns	φ＜5MHz	
クロックパルス幅 High レベル	t_{CH}	0.4	0.6	0.4	0.6	t_{cyc}	φ≧5MHz	
		80	－	80	－	ns	φ＜5MHz	
外部クロック出力安定遅延時間	t_{DEXT}*1	500	－	500	－	μs	図 21.7	

【注】 *1 t_{DEXT} は、RES パルス幅（t_{RESW}）を含みます。t_{RESW}＝20 t_{cyc} となります。

表 21.4（2） クロックタイミング*2

項　目	記号	V_{CC}=2.7～5.5V		V_{CC}=5.0V±10%		単位	測定条件	
		min	max	min	max			
外部クロック入力パルス幅 Low レベル	t_{EXL}	40	－	20	－	ns	図 21.6	
外部クロック入力パルス幅 High レベル	t_{EXH}	40	－	20	－	ns		
外部クロック立上がり時間	t_{EXr}	－	10	－	5	ns		
外部クロック立下がり時間	t_{EXf}	－	10	－	5	ns		
クロックパルス幅 Low レベル	t_{CL}	0.4	0.6	0.4	0.6	t_{cyc}	φ≧5MHz	図 23.10
		80	－	80	－	ns	φ＜5MHz	
クロックパルス幅 High レベル	t_{CH}	0.4	0.6	0.4	0.6	t_{cyc}	φ≧5MHz	
		80	－	80	－	ns	φ＜5MHz	
外部クロック出力安定遅延時間	t_{DEXT}*1	500	－	500	－	μs	図 21.7	

【注】 *1： t_{DEXT} は、RES パルス幅（t_{RESW}）を 10t_{cyc} 含みます。
*2： 適用製品 H8/3048ZTAT、H8/3048 マスク ROM 品、H8/3047 マスク ROM 品、
H8/3045 マスク ROM 品、H8/3044 マスク ROM 品、H8/3048F

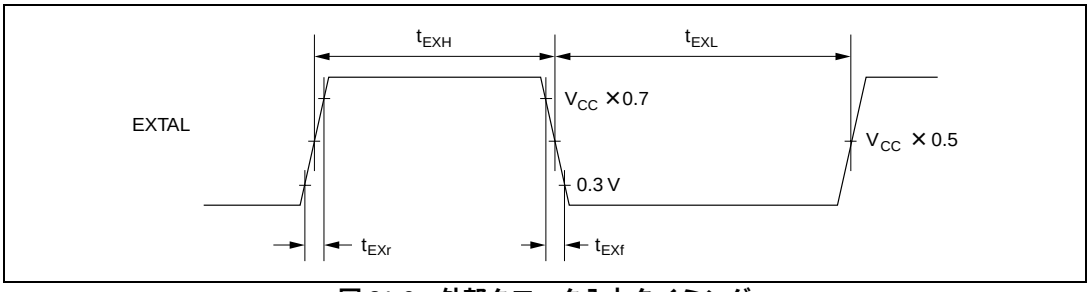


図 21.6 外部クロック入力タイミング

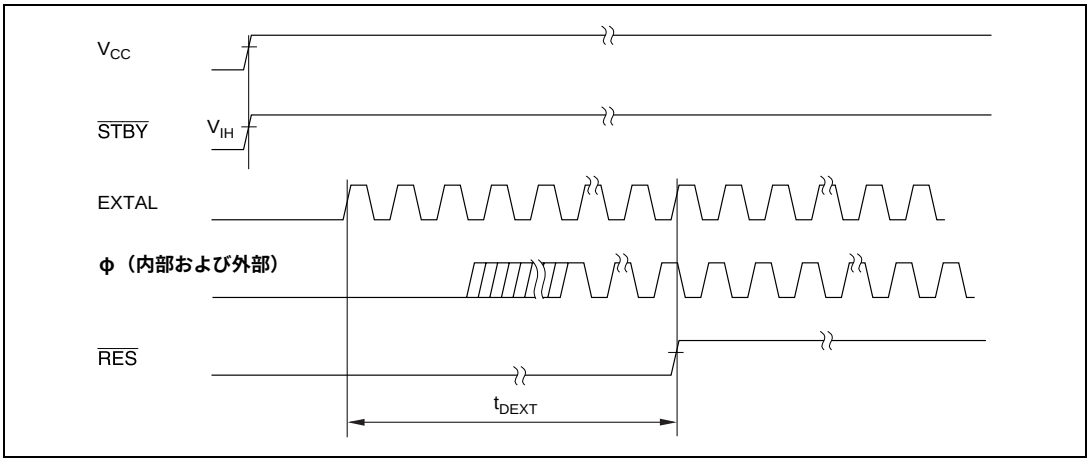


図 21.7　**外部クロック出力安定遅延時間タイミング**

21.3　デューティ補正回路

デューティ補正回路は、周波数 5MHz 以上の発振に対し発振器からのクロックのデューティを補正し、φを生成します。

21.4　プリスケーラ

プリスケーラは、φを分周し内部クロック（φ／2～φ／4096）を生成します。

21.5　分周器

分周器はデューティ補正されたクロックを分周してφを生成します。分周比は以下に説明する DIVCR の値を書き換えることにより動作中ダイナミックに変更できます。チップ内の消費電流は分周比にほぼ比例して低減します。また分周器で生成したφはφ端子より出力することができます。

21.5.1　レジスタ構成

表 21.5 に分周器のレジスタ構成を示します。

表 21.5　**分周器のレジスタ構成**

アドレス*	名　称	略　称	R/W	初期値
H'FF5D	分周比コントロールレジスタ	DIVCR	R/W	H'FC

【注】 *　**アドレスの下位** 16 **ビットを示しています。**

21.5.2 分周比コントロールレジスタ（DIVCR）

DIVCR は 8 ビットのリード／ライト可能なレジスタで分周器の分周比を選択します。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DIV1	DIV0
初期値：	1	1	1	1	1	1	0	0
R/W ：	—	—	—	—	—	—	R/W	R/W
	リザーブビット						分周比ビット1、0 分周比を設定するビットです。	

DIVCR はリセットまたはハードウェアスタンバイモード時に H'FC にイニシャライズされます。
ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット 7～2：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。 ライトは無効です。

ビット 1、0：分周比（DIV1、0）

分周比を選択します。DIV1、0 ビットと分周比の関係は以下のとおりです。

ビット 1	ビット 0	分周比
DIV1	DIV0	
0	0	1／1 （初期値）
	1	1／2
1	0	1／4
	1	1／8

21.5.3 使用上の注意

DIVCR の設定によりφの周波数が変わりますので、以下の点に注意してください。

（1） 分周比は電気的特性のACタイミングのクロックサイクル時間t_{cyc}の動作保証範囲内におさまるように選択してください。すなわちϕ_{min}＝動作周波数範囲の下限とし、φが下限より小さくならないように注意してください。
表21.6に各製品ラインアップの動作周波数範囲の比較を示します。

表 21.6 H8/3048 **シリーズの動作周波数範囲の比較**

ROM TYPE		F-ZTAT		ZTAT	MASK ROM			
製品タイプ		H8/3048F-ONE	H8/3048F	H8/3048	H8/3048 **マスク** ROM **品**	H8/3047 **マスク** ROM **品**	H8/3045 **マスク** ROM **品**	H8/3044 **マスク** ROM **品**
保証動作周波数範囲	4.5〜5.5V	2〜25MHz	1〜16MHz	1〜18MHz	←	←	←	←
	3.15〜5.5V	−	−	1〜13MHz	←	←	←	←
	2.7〜5.5V	−	1〜8MHz	←	←	←	←	←
	3.0〜3.6V	2〜25MHz	−	−	−	−	−	−
水晶発振範囲		2〜20MHz	2〜16MHz	2〜18MHz	←	←	←	←

（2） 内部モジュールは、全てφを基準に動作します。このため、分周比変更の前後でタイマやSCIなどの時間処理が変わりますので注意してください。またソフトウェアスタンバイ解除時の待機時間も分周比を変更することで変わります。詳細は**「**22.4.3 **ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」**を参照してください。

22.　低消費電力状態

22.1　概要

本 LSI には、CPU 機能を停止して消費電力を著しく低下させる低消費電力状態および、内蔵モジュールの機能を選択的に停止させることにより消費電力を低減させるモジュールスタンバイ機能があります。

低消費電力状態には、次の 3 種類のモードがあります。

（1）　スリープモード
（2）　ソフトウェアスタンバイモード
（3）　ハードウェアスタンバイモード

モジュールスタンバイ機能は低消費電力状態とは独立に内蔵モジュールのうち、ITU、SCI0、SCI1、DMAC、リフレッシュコントローラ、A/D 変換器を停止させることができます。

各モードへ遷移する条件と CPU や周辺機能などの状態、および各モードの解除方法を**表** 22.1 に示します。

表 22.1　低消費電力状態

モード	遷移条件	状態													解除方法
		クロック	CPU	レジスタ	DMAC	リフレッシュコントローラ	ITU	SCI0	SCI1	A/D	その他の周辺機器	RAM	φクロック出力	I/Oポート	
スリープモード	SYSCRのSSBY=0の状態でSLEEP命令を実行	動作	停止	保持	動作	動作	動作	動作	動作	動作	動作	保持	φ出力	保持	• 割込み • $\overline{\text{RES}}$端子 • $\overline{\text{STBY}}$端子
ソフトウェアスタンバイモード	SYSCRのSSBY=0の状態でSLEEP命令を実行	停止	停止	保持	停止 リセット	停止*1 保持	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	保持	High 出力	保持	• NMI端子 • $\overline{\text{IRQ}}_0$～$\overline{\text{IRQ}}_2$端子 • $\overline{\text{RES}}$端子 • $\overline{\text{STBY}}$端子
ハードウェアスタンバイモード	$\overline{\text{STBY}}$端子をLowレベル	停止	停止	不定	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	停止 リセット	保持*3	ハイインピーダンス	ハイインピーダンス	• $\overline{\text{STBY}}$端子 • $\overline{\text{RES}}$端子
モジュールスタンバイ機能	MSTCRの該当ビットを1にセット	動作	動作	－	停止*2 リセット	停止*2 保持*1	停止*2 リセット	停止*2 リセット	停止*2 リセット	停止*2 リセット	動作	－	ハイ*2 インピーダンス	－	• $\overline{\text{STBY}}$端子 • $\overline{\text{RES}}$端子 • MSTCRの該当ビットを0にクリア*4

【注】 *1 RTCNT、RTMCSRのビット7、6はイニシャライズされ、その他は保持となります。
*2 MSTCRの該当するビットを1にセットした状態です。詳細は「22.2.2　モジュールスタンバイコントロールレジスタ(MSTCR)」を参照してください。
*3 プログラム実効状態からハードウェアスタンバイ状態に遷移する場合には、事前にSYSCRのRAMEビットを0にクリアする必要があります。
*4 MSTCRの各ビットを1にセットすると該当する周辺モジュールのレジスタは初期化されます。したがって周辺　モジュールを再起動する場合はMSTCRの該当ビットを0にクリア後レジスタの再設定を行ってください。

《記号説明》
SYSCR　：システムコントロールレジスタ
SSBY　：ソフトウェアスタンバイビット
MSTCR　：モジュールスタンバイコントロールレジスタ

22.2　レジスタ構成

本 LSI には低消費電力状態の制御を行うシステムコントロールレジスタ（SYSCR）とモジュールスタンバイ機能の制御を行うモジュールスタンバイコントロールレジスタ（MSTCR）があります。レジスタ構成を**表** 22.2 に示します。

表 22.2　**レジスタ構成**

アドレス*	名　称	略　称	R/W	初期値
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B
H'FF5E	モジュールスタンバイコントロールレジスタ	MSTCR	R/W	H'40

【注】　*　　**アドレスの下位** 16 **ビットを示しています。**

22.2.1　システムコントロールレジスタ（SYSCR）

SYSCR は 8 ビットのリード／ライト可能なレジスタで、ビット 7 の SSBY ビットとビット 6～4 の STS2～STS0 ビットにより低消費電力状態の制御を行います。なお、SYSCR のその他のビットについての詳細は「3.3　**システムコントロールレジスタ**」を参照してください。

ビット 7：ソフトウェアスタンバイ（SSBY）

ソフトウェアスタンバイモードへの遷移を指定します。

なお、外部割込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したときこのビットは 1 にセットされたままです。クリアする場合は、0 をライトしてください。

ビット 7 SSBY	説　明
0	SLEEP 命令実行後、スリープモードに遷移　（初期値）
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

ビット 6～4：スタンバイタイマセレクト 2～0（STS2～0）

外部割込みによって、ソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで CPU と周辺機能が待機する時間を選択します。水晶発振の場合、**表** 22.3 を参照し動作周波数に応じて待機時間が 7ms（発振安定時間）以上となるように選択してください。外部クロックの場合、各製品ラインアップによって選択が異なります。

(1)　H8/3048F、H8/3048ZTAT、H8/3048マスクROM品、H8/3047マスクROM品、H8/3045マスクROM品、H8/3044マスクROM品の場合任意の選択が可能です。

ビット 6 STS2	ビット 5 STS1	ビット 4 STS0	説　明
0	0	0	待機時間＝　8192 ステート　（初期値）
		1	待機時間＝ 16384 ステート
	1	0	待機時間＝ 32768 ステート
		1	待機時間＝ 65536 ステート
1	0	0	待機時間＝131072 ステート
		1	待機時間＝　1024 ステート
	1	―	使用禁止

(2)　H8/3048F-ONEの場合
動作周波数に応じて、待機時間が100μs以上となるよう選択してください。

ビット 6 STS2	ビット 5 STS1	ビット 4 STS0	説　明
0	0	0	待機時間＝　8192 ステート　（初期値）
		1	待機時間＝ 16384 ステート
	1	0	待機時間＝ 32768 ステート
		1	待機時間＝ 65536 ステート
1	0	0	待機時間＝131072 ステート
		1	待機時間＝262144 ステート
	1	0	待機時間＝　1024 ステート
		1	使用禁止

22.2.2 モジュールスタンバイコントロールレジスタ（MSTCR）

MSTCR は、8 ビットのリード／ライト可能なレジスタです。φクロック出力の制御を行い、また、内蔵モジュールをモジュールごとにスタンバイ状態にするモジュールスタンバイ機能を設定します。モジュールスタンバイ機能を設定できるモジュールは、ITU、SCI0、SCI1、DMAC、リフレッシュコントローラ、A/D 変換器です。

ビット：	7	6	5	4	3	2	1	0
	PSTOP	—	MSTOP5	MSTOP4	MSTOP3	MSTOP2	MSTOP1	MSTOP0
初期値：	0	1	0	0	0	0	0	0
R/W ：	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W

モジュールスタンバイ5～0
モジュールをスタンバイ状態にするための選択ビットです。

リザーブビット

φクロックストップ
φクロックの出力を許可または禁止するビットです。

MSTCR はリセット、またはハードウェアスタンバイモード時に、H'40 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7：φクロックストップ（PSTOP）

φクロックの出力を許可または禁止します。

ビット 7 PSTOP	説　明
0	φクロックの出力を許可　（初期値）
1	φクロックの出力を禁止

ビット 6：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5：モジュールスタンバイ 5（MSTOP5）

ITU をスタンバイ状態にするかを選択します。

ビット 5 MSTOP5	説　明
0	ITU は通常動作　（初期値）
1	ITU はスタンバイ状態

ビット 4：モジュールスタンバイ 4（MSTOP4）

SCI0 をスタンバイ状態にするかを選択します。

ビット 4 MSTOP4	説　明
0	SCI0 は通常動作　（初期値）
1	SCI0 はスタンバイ状態

ビット 3：モジュールスタンバイ 3（MSTOP3）

SCI1 をスタンバイ状態にするかを選択します。

ビット 3 MSTOP3	説　明
0	SCI1 は通常動作　（初期値）
1	SCI1 はスタンバイ状態

ビット 2：モジュールスタンバイ 2（MSTOP2）

DMAC をスタンバイ状態にするかを選択します。

ビット 2 MSTOP2	説　明
0	DMAC は通常動作　（初期値）
1	DMAC はスタンバイ状態

ビット 1：モジュールスタンバイ 1（MSTOP1）

リフレッシュコントローラをスタンバイ状態にするかを選択します。

ビット 1 MSTOP1	説　明
0	リフレッシュコントローラは通常動作　（初期値）
1	リフレッシュコントローラはスタンバイ状態

ビット 0：モジュールスタンバイ 0（MSTOP0）

A/D 変換器をスタンバイ状態にするかを選択します。

ビット 0 MSTOP0	説　明
0	A/D 変換器は通常動作　（初期値）
1	A/D 変換器はスタンバイ状態

22.3 スリープモード

22.3.1 スリープモードへの遷移

SYSCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU の動作は、SLEEP 命令実行直後に停止します。CPU の動作は停止しますが、CPU のレジスタの内容は保持されます。スリープモードでは DMA コントローラ（DMAC）、リフレッシュコントローラ、および内蔵周辺モジュールの機能は停止しません。ただし、モジュールスタンバイ機能により、スタンバイ状態となっている内蔵モジュールの機能は動作しません。

22.3.2 スリープモードの解除

スリープモードの解除は、割込み、RES 端子、STBY 端子によって行われます。

(1) 割込みによる解除

割込み要求が発生すると、割込み例外処理状態に遷移し、スリープモードは解除されます。なお、内蔵周辺モジュールによる割込みがモジュール側で禁止されている場合、また、NMI 以外の割込みが CCR の I、UI ビット、IPR によってマスクされている場合にはスリープモードは解除されません。

(2) RES 端子による解除

RES 端子を Low レベルにするとリセット状態に遷移し、スリープモードは解除されます。

(3) STBY 端子による解除

STBY 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

22.4 ソフトウェアスタンバイモード

22.4.1 ソフトウェアスタンバイモードへの遷移

ソフトウェアスタンバイモードに遷移するには SYSCR の SSBY ビットを 1 にセットした状態で、SLEEP 命令を実行します。

ソフトウェアスタンバイモードでは、CPU だけでなくクロックをはじめ内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減されます。DMAC、内蔵周辺モジュールはリセット状態になり、停止します。規定の電圧が与えられている限り、CPU のレジスタ、および内蔵 RAM のデータは保持されます。I/O ポートおよびリフレッシュコントローラ*の状態も保持されています。

WDT をウォッチドッグタイマとして使用している場合（WT/IT＝1）、必ず TME ビットを 0 クリアしてから SSBY をセットしてください。また、TME を 1 にセットするときは、SSBY を 0 クリアしてください。

また、ソフトウェアスタンバイモードに遷移する前に、BRCR の BRLE ビットをクリア（バス解放禁止状態）してください。

【注】* RTCNT、RTMCSR **のビット** 7、6 **はイニシャライズされ、その他は保持となります。**

22.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割込み（NMI 端子、IRQ_0～IRQ_2 端子）、RES 端子または STBY 端子によって行われます。

(1) 割込みによる解除

NMI、IRQ_0～IRQ_2 割込み要求信号が入力されると、クロックの発振が開始され、SYSCR の STS2～STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割込み例外処理を開始します。なお、IRQ_0～IRQ_2 割込みは、対応するイネーブルビットが 0 にクリアされている場合、または CPU でマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

(2) RES 端子による解除

RES 端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき RES 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。RES 端子を High レベルにすると、CPU はリセット例外処理を開始します。

(3) STBY 端子による解除

STBY 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

22.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定

SYSCR の STS2～STS0 ビットおよび DIVCR の DIV1、0 ビットの設定は、以下のようにしてください。

(1) 水晶発振の場合

待機時間が 7ms（発振安定時間）以上となるように STS2～STS0、DIV1、0 を設定してください。

表 22.3 は動作周波数と STS2～STS0、DIV1、0 ビットの設定値に対する待機時間を示します。

(a) H8/3048F、H8/3048ZTAT、H8/3048マスクROM品、H8/3047マスクROM品、H8/3045マスクROM品、H8/3044マスクROM品の場合
表22.3（1）の動作周波数と発振安定待機時間を参照してください。

(b) H8/3048F-ONEの場合
表22.3（2）の動作周波数と発振安定待機時間を参照してください。

(2) 外部クロックの場合

(a) H8/3048F、H8/3048ZTAT、H8/3048マスクROM品、H8/3047マスクROM品、H8/3045マスクROM品、H8/3044マスクROM品の場合
任意の値を選択可能です。

(b) H8/3048F-ONEの場合
待機時間が100μs以上となるように、STS2～STS0、DIV0、DIV1ビットを設定してください。

表 22.3（1） 動作周波数と発振安定待機時間

DIV1	DIV0	STS2	STS1	STS0	待機時間	18MHz	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	2MHz	1MHz	単位
0	0	0	0	0	8192 ステート	0.46	0.51	0.65	0.8	1.0	1.3	2.0	4.1	8.2	ms
				1	16384 ステート	0.91	1.0	1.3	1.6	2.0	2.7	4.1	8.2	16.4	
			1	0	32768 ステート	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	
				1	65536 ステート	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	
		1	0	0	131072 ステート	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
				1	1024 ステート	0.057	0.064	0.085	0.10	0.13	0.17	0.26	0.51	1.0	
			1	–	使用禁止										
0	1	0	0	0	8192 ステート	0.91	1.02	1.4	1.6	2.0	2.7	4.1	8.2	16.4	ms
				1	16384 ステート	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	
			1	0	32768 ステート	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	
				1	65536 ステート	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		1	0	0	131072 ステート	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
				1	1024 ステート	0.11	0.13	0.17	0.20	0.26	0.34	0.51	1.0	2.0	
			1	–	使用禁止										
1	0	0	0	0	8192 ステート	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	ms
				1	16384 ステート	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	
			1	0	32768 ステート	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
				1	65536 ステート	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
		1	0	0	131072 ステート	29.1	32.8	43.7	52.4	65.5	87.4	131.1	262.1	524.3	
				1	1024 ステート	0.23	0.26	0.34	0.41	0.51	0.68	1.02	2.0	4.1	
			1	–	使用禁止										
1	1	0	0	0	8192 ステート	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	ms
				1	16384 ステート	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
			1	0	32768 ステート	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
				1	65536 ステート	29.1	32.8	43.7	52.4	65.5	87.4	131.1	262.1	524.3	
		1	0	0	131072 ステート	58.3	65.5	87.4	104.9	131.1	174.8	262.1	524.3	1048.6	
				1	1024 ステート	0.46	0.51	0.68	0.82	1.0	1.4	2.0	4.1	8.2	
			1	–	使用禁止										

□：推奨設定時間

表 22.3（2） 動作周波数と発振安定待機時間

DIV1	DIV0	STS2	STS1	STS0	待機時間	25MHz	20MHz	18MHz	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	2MHz	1MHz	単位
0	0	0	0	0	8192ステート	0.3	0.4	0.46	0.51	0.65	0.8	1.0	1.3	2.0	4.1	8.2	ms
		0	0	1	16384ステート	0.7	0.8	0.91	1.0	1.3	1.6	2.0	2.7	4.1	8.2	16.4	
		0	1	0	32768ステート	1.3	1.6	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	
		0	1	1	65536ステート	2.6	3.3	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	
		1	0	0	131072ステート	5.2	6.6	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		1	0	1	262144ステート	10.5	13.1	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
		1	1	0	1024ステート	0.04	0.05	0.057	0.064	0.085	0.10	0.13	0.17	0.26	0.51	1.0	
		1	1	1	使用禁止												
0	1	0	0	0	8192ステート	0.7	0.8	0.91	1.02	1.4	1.6	2.0	2.7	4.1	8.2	16.4	ms
		0	0	1	16384ステート	1.3	1.6	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	
		0	1	0	32768ステート	2.6	3.3	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	
		0	1	1	65536ステート	5.2	6.6	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		1	0	0	131072ステート	10.5	13.1	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
		1	0	1	262144ステート	21.0	26.2	29.1	32.8	43.7	52.4	65.5	87.4	131.1	262.1	524.3	
		1	1	0	1024ステート	0.08	0.10	0.11	0.13	0.17	0.20	0.26	0.34	0.51	1.0	2.0	
		1	1	1	使用禁止												
1	0	0	0	0	8192ステート	1.3	1.6	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	ms
		0	0	1	16384ステート	2.6	3.3	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	
		0	1	0	32768ステート	5.2	6.6	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		0	1	1	65536ステート	10.5	13.1	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
		1	0	0	131072ステート	21.0	26.2	29.1	32.8	43.7	52.4	65.5	87.4	131.1	262.1	524.3	
		1	0	1	262144ステート	41.9	52.4	58.3	65.5	87.4	104.9	131.1	174.8	262.1	524.3	1048.6	
		1	1	0	1024ステート	0.16	0.20	0.23	0.26	0.34	0.41	0.51	0.68	1.02	2.0	4.1	
		1	1	1	使用禁止												
1	1	0	0	0	8192ステート	2.6	3.3	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	ms
		0	0	1	16384ステート	5.2	6.6	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		0	1	0	32768ステート	10.5	13.1	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
		0	1	1	65536ステート	21.0	26.2	29.1	32.8	43.7	52.4	65.5	87.4	131.1	262.1	524.3	
		1	0	0	131072ステート	41.9	52.4	58.3	65.5	87.4	104.9	131.1	174.8	262.1	524.3	1048.6	
		1	0	1	262144ステート	83.9	104.9	116.5	131.1	174.8	209.7	262.1	349.5	524.3	1048.6	2097.1	
		1	1	0	1024ステート	0.33	0.41	0.46	0.51	0.68	0.82	1.0	1.4	2.0	4.1	8.2	
		1	1	1	使用禁止												

□：推奨設定時間

22.4.4 ソフトウェアスタンバイモードの応用例

ここでは、NMI 端子の立下がりでソフトウェアスタンバイモードに遷移し、NMI 端子の立上がりで解除を行う例を、**図** 22.1 に示します。

SYSCR の NMI エッジ（NMIEG）ビットが 0 にクリアされている（立下がりエッジ指定）状態で NMI 割込みを受け付けた後、NMIEG ビットを 1 にセットします（立上がりエッジ指定）。SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移します。

その後、NMI 端子の立上がりエッジで、ソフトウェアスタンバイモードが解除されます。

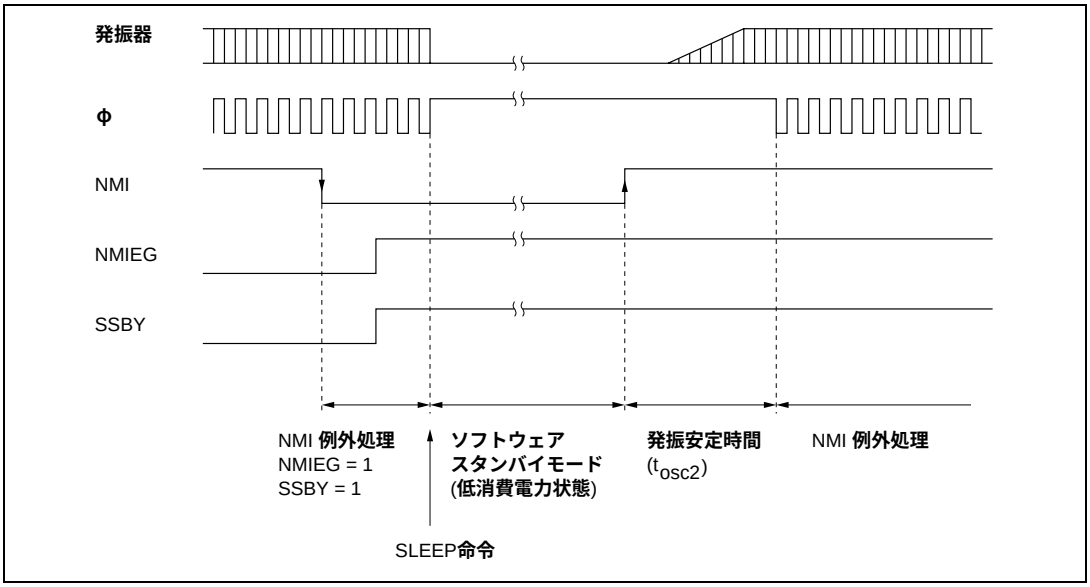


図 22.1 **ソフトウェアスタンバイモード時の** NMI **タイミング（例）**

22.4.5 使用上の注意

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

22.5 ハードウェアスタンバイモード

22.5.1 ハードウェアスタンバイモードへの遷移

STBY 端子を Low レベルにすると、どの処理状態からでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、CPU、DMAC、リフレッシュコントローラ、および内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減します。内蔵 RAM 以外のすべてのモジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートは、ハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、STBY 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。

ハードウェアスタンバイモード中には、モード端子（MD_2～MD_0）の状態を変化させないでください。

22.5.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、STBY 端子と RES 端子とで行われます。RES 端子を Low レベルにした状態で、STBY 端子を High レベルにすると、クロックは発振を開始します。このとき、RES 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。RES 端子を High レベルにするとリセット例外処理を経て、プログラム実行状態に遷移します。

22.5.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を**図** 22.2 に示します。

RES 端子を Low レベルにした後、STBY 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、STBY 端子を High レベルにし、クロックの発振安定時間経過後、RES 端子を Low レベルから High レベルにすることにより行われます。

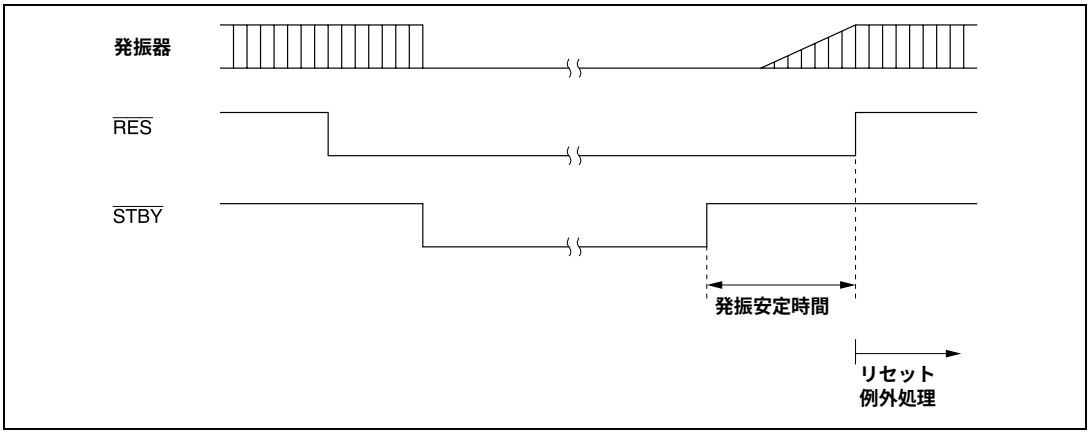


図 22.2 **ハードウェアスタンバイモードのタイミング**

22.6 モジュールスタンバイ機能

22.6.1 モジュールスタンバイタイミング

モジュールスタンバイ機能は、MSTCR の MSTOP5～0 ビットにより、内蔵モジュールのうち ITU、SCI0、SCI1、DMAC、リフレッシュコントローラ、A/D 変換器を低消費電力状態とは独立に停止させることができます。MSTOP5～0 ビットを 1 にセットすると、MSTCR のライトサイクルの次のバスサイクルの先頭で上記周辺モジュールはスタンバイ状態となり動作が停止します。

22.6.2 モジュールスタンバイ中のリード／ライト

モジュールスタンバイ中の周辺モジュールのレジスタに対するリード／ライトはできません。リードすると常に H'FF が読み出されます。ライトは無効です。

22.6.3 使用上の注意

モジュールスタンバイ機能を使用するうえで以下のことに注意してください。

(1) DMAC およびリフレッシュコントローラの処置

モジュールスタンバイ機能を使用する場合、DMAC およびリフレッシュコントローラはバス権要求が発生しない状態で MSTOP2、1 ビットを 1 にセットしてください。バス権要求が発生した状態で MSTOP2、1 ビットが 1 にセットされると、バスアービタの動作が不確定となり誤動作の原因となります。

(2) 内蔵周辺モジュール割込み

MSTCR のビットを 1 にセットする場合、事前に当該モジュールの割込みを禁止してください。モジュールスタンバイ機能によって、スタンバイ状態となった周辺モジュールは、割り込みフラグを含めてレジスタがすべて初期化されます。

(3) 端子の状態

モジュールスタンバイ機能によって、停止したモジュールが使用していた端子は、モジュールの機能が失われます。その後の端子状態については端子ごとに異なりますので、詳細は**「第 9 章　I/O ポート」**を参照してください。端子の状態が入力から出力に変化する場合には、特に注意が必要です。例えば、SCI1 をモジュールスタンバイにした場合、受信端子はモジュールスタンバイと同時に受信端子としての機能が無くなりポートとなりますが、ポートの DDR が 1 にセットされていると、端子はデータ出力となり外部 SCI 送信データと衝突する可能性があります。この場合、ポートの DDR を 0 にクリアするなどの対策をとってください。

(4) レジスタの再設定

モジュールスタンバイ機能によって、停止した周辺モジュールのレジスタはすべて初期化されます。このため再動作させる際には、MSTCR ビットを 0 にクリアした後、レジスタの再設定が必要です。なお MSTCR ビットが 1 にセットされた状態ではレジスタへのライトはできません。

(5) DMAC による MSTCR のライト禁止

MSTCR は誤動作の防止のため CPU 以外のライトはできません。したがって DMAC によるリードはできますがライトはできません。

22.7 φクロック出力禁止機能

MSTCR の PSTOP ビットにより、φクロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、φクロックは停止し、φ端子はハイインピーダンスになります。**図** 22.3 にφクロックの発振開始、発振停止のタイミングを示します。PSTOP ビットを 0 にクリアした状態では、φクロックの出力は許可されます。**表** 22.4 に各処理状態におけるφ端子の状態を示します。

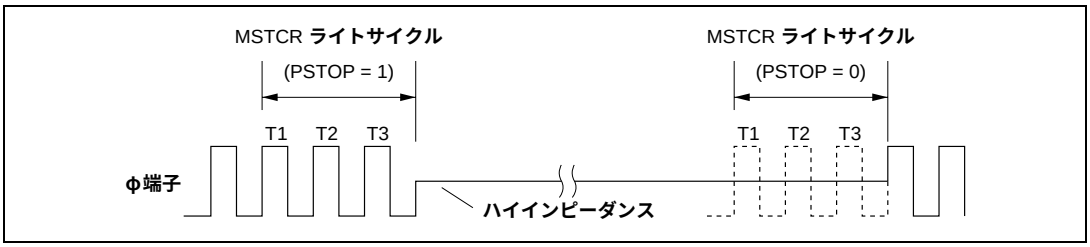


図 22.3 **φクロック発振開始、発振停止タイミング**

表 22.4 **各処理状態におけるφ端子の状態**

処理状態	PSTOP＝0	PSTOP＝1
ハードウェアスタンバイ	ハイインピーダンス	ハイインピーダンス
ソフトウェアスタンバイ	High レベル固定	ハイインピーダンス
スリープモード	φ出力	ハイインピーダンス
通常動作状態	φ出力	ハイインピーダンス

23. 電気的特性

表 23.1 に H8/3048 シリーズの電気的特性の比較を示します。

表 23.1　H8/3048 **シリーズの電気的特性比較**

項　目		記号	単位	H8/3048F（二電源方式）	H8/3048 H8/3047 H8/3045 H8/3044	H8/3048ZTAT	H8/3048F-ONE (単一電源方式)
動作範囲	V_{CC}＝4.5〜5.5V		MHz	1〜16	1〜18	1〜18	2〜25
	V_{CC}＝3.15〜5.5V			—	1〜13	1〜13	—
	V_{CC}＝2.7〜5.5V			1〜8	1〜8	1〜8	—
	V_{CC}＝3.0〜3.6V			—	—	—	2〜25
動作温度範囲	通常仕様	T_{opr}	℃	–20〜+75	–20〜+75	–20〜+75	–20〜+75*1
	広温度範囲仕様			–40〜+85	–40〜+85	–40〜+85	–40〜+85*1
絶対最大定格	V_{PP} 端子の定格	V_{in}		あり	—	あり	—
	FWE 端子の定格			—	—	—	あり
	V_{CL} 端子			—	—	—	電源接続は不可*2 (5V 動作のみ)
	電源電圧 V_{CC}		V	–0.3〜+7.0	–0.3〜+7.0	–0.3〜+7.0	5V 動作品： –0.3〜+7.0 3V 動作品： –0.3〜+4.6
DC 特性	RESO 端子の規格			あり	あり	あり	—
	FWE 端子の規格			—	—	—	あり
	高電圧（12V）印加判定レベル			あり	—	—	—
	スタンバイ電流（Ta≦50℃）	I_{CC}*3	μA	max. 5	max. 5	max. 5	max. 10
	スタンバイ電流（50℃＜Ta）			max. 20	max. 20	max. 20	max. 80
AC 特性	クロックサイクル時間	t_{cyc}	ns	max. 1000	max. 1000	max. 1000	max. 500
	RES パルス幅	t_{RESW}	t_{cyc}	min. 10	min. 10	min. 10	min. 20
	RESO 出力遅延時間	t_{RESD}	ns	max. 100	max. 100	max. 100	—
	RESO 出力パルス幅	t_{RESOW}	t_{cyc}	min. 132	min. 132	min. 132	—
フラッシュメモリ特性*4				表 23.20 参照	—	—	表 23.30 参照

【注】 *1　フラッシュメモリの書き込み／消去の動作温度範囲は、Ta＝0〜+75°C です。

*2　V_{CL} 端子と GND 間に外付けコンデンサを接続してください。

*3　動作時の消費電流については、DC 特性表を参照してください。

*4　フラッシュメモリの詳細については、書き込み／消去のアルゴリズムを参照してください。

23.1 H8/3048ZTAT（PROM）、マスク ROM 内蔵品の電気的特性*

23.1.1 絶対最大定格

絶対最大定格を表 23.2 に示します。

表 23.2 絶対最大定格

項 目		記 号	定格値	単 位
電源電圧		V_{CC}	−0.3〜＋7.0	V
プログラム電圧	H8/3048ZTAT	V_{PP}	−0.3〜＋13.5	V
入力電圧（ポート 7 以外）		V_{in}	−0.3〜V_{CC}＋0.3	V
入力電圧（ポート 7）		V_{in}	−0.3〜AV_{CC}＋0.3	V
リファレンス電源電圧		V_{REF}	−0.3〜AV_{CC}＋0.3	V
アナログ電源電圧		AV_{CC}	−0.3〜＋7.0	V
アナログ入力電圧		V_{AN}	−0.3〜AV_{CC}＋0.3	V
動作温度		T_{opr}	通常仕様品： −20〜＋75	℃
			広温度範囲仕様品： −40〜＋85	℃
保存温度		T_{stg}	−55〜＋125	℃

【注】 * 適用製品：H8/3048ZTAT、H8/3048 マスク ROM 品、H8/3047 マスク ROM 品、H8/3045 マスク ROM 品、H8/3044 マスク ROM 品

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

V_{PP} は、オーバシュートのピークが 13V を超えないようにしてください。

23.1.2 DC 特性

DC 特性を**表** 23.3 に示します。また、出力許容電流値を**表** 23.4 に示します。

表 23.3 DC **特性**（1）

条件： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V*[1]、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項　目		記　号	min	typ	Max	単位	測定条件
シュミットトリガ入力電圧	ポート A、$P8_2$～$P8_0$、PB_3～PB_0	V_T^-	1.0	－	－	V	
		V_T^+	－	－	V_{CC}×0.7	V	
		$V_T^+-V_T^-$	0.4	－	－	V	
入力 High レベル電圧	RES、STBY、NMI、MD_2～MD_0	V_{IH}	V_{CC}－0.7	－	V_{CC}＋0.3	V	
	EXTAL		V_{CC}×0.7	－	V_{CC}＋0.3	V	
	ポート 7		2.0	－	AV_{CC}＋0.3	V	
	ポート 1、2、3、4、5、6、9、$P8_4$、$P8_3$、PB_7～PB_4		2.0	－	V_{CC}＋0.3	V	
入力 Low レベル電圧	RES、STBY、MD_2～MD_0	V_{IL}	－0.3	－	0.5	V	
	NMI、EXTAL、ポート 1、2、3、4、5、6、7、9、$P8_4$、$P8_3$、PB_7～PB_4		－0.3	－	0.8	V	
出力 High レベル電圧	全出力端子（RESO を除く）	V_{OH}	V_{CC}－0.5	－	－	V	I_{OH}＝－200μA
			3.5	－	－	V	I_{OH}＝－1mA
出力 Low レベル電圧	全出力端子（RESO を除く）	V_{OL}	－	－	0.4	V	I_{OL}＝1.6mA
	ポート 1、2、5、B		－	－	1.0	V	I_{OL}＝10mA
	RESO		－	－	0.4	V	I_{OL}＝2.6mA
入力リーク電流	STBY、NMI、RES、MD_2～MD_0	$\lvert I_{in} \rvert$	－	－	1.0	μA	V_{in}＝0.5～V_{CC}－0.5V
	ポート 7		－	－	1.0	μA	V_{in}＝0.5～AV_{CC}－0.5V

表 23.3　DC 特性（2）

条件： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V*[1]、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項　目		記　号	min	typ	max	単位	測定条件
スリーステートリーク電流（オフ状態）	ポート 1、2、3、4、5、6、8 ～B	$\lvert I_{TSI} \rvert$	－	－	1.0	μA	V_{in}＝0.5～V_{CC}－0.5V
	RESO		－	－	10.0	μA	
入力プルアップ MOS 電流	ポート 2、4、5	$-I_P$	50	－	300	μA	V_{in}＝0V
入力容量	NMI	C_{in}	－	－	50	pF	V_{in}＝0V f＝1MHz T_a＝25℃
	NMI 以外の全入力端子		－	－	15	pF	
消費電流*[2]	通常動作時	I_{CC}	－	50	65	mA	f＝16MHz
			－	55	75		f＝18MHz
	スリープ時		－	35	50		f＝16MHz
			－	40	55		f＝18MHz
	モジュールスタンバイ時*[4]		－	20	25		f＝16MHz
			－	25	27		f＝18MHz
	スタンバイ時*[3]		－	0.01	5.0	μA	T_a≦50℃
			－	－	20.0		50℃＜T_a
アナログ電源電流	A/D 変換中	AI_{CC}	－	1.2	2.0	mA	
	A/D、D/A 変換中		－	1.2	2.0		
	A/D、D/A 変換待機時		－	0.01	5.0	μA	DASTE=0 時
リファレンス電源電流	A/D 変換中	AI_{CC}	－	0.3	0.6	mA	V_{REF}＝5.0V
	A/D、D/A 変換中		－	1.3	3.0		
	A/D、D/A 変換待機時		－	0.01	5.0	μA	DASTE=0 時
RAM スタンバイ電圧		V_{RAM}	2.0	－	－	V	

【注】 *1　A/D 変換器と D/A 変換器を未使用時に、AV_{CC}、V_{REF}、AV_{SS} 端子を開放しないでください。
AV_{CC}、V_{REF} 端子は V_{CC} に、AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2　消費電流値は、V_{IH}min＝V_{CC}－0.5V、V_{IL}max＝0.5V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3　V_{RAM}≦V_{CC}＜4.5V のとき、$V_{IH\ MIN}$＝V_{CC}×0.9、$V_{IL\ MAX}$＝0.3V とした場合の値です。

*4　モジュールスタンバイ時の電流値は、全モジュールを停止しスリープ状態とした場合の値です。

表 23.3　DC 特性（3）

条件： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7V～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V*[1]、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項　目		記　号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	ポート A、$P8_2$～$P8_0$、PB_3～PB_0	V_T^-	V_{CC}×0.2	－	－	V	
		V_T^+	－	－	V_{CC}×0.7	V	
		$V_T^+-V_T^-$	V_{CC}×0.07	－	－	V	
入力 High レベル電圧	RES、STBY、NMI、MD_2～MD_0	V_{IH}	V_{CC}×0.9	－	V_{CC}＋0.3	V	
	EXTAL		V_{CC}×0.7	－	V_{CC}＋0.3	V	
	ポート 7		V_{CC}×0.7	－	AV_{CC}＋0.3	V	
	ポート 1、2、3、4、5、6、9、$P8_4$、$P8_3$、PB_7～PB_4		V_{CC}×0.7	－	V_{CC}＋0.3	V	
入力 Low レベル電圧	RES、STBY、MD_2～MD_0	V_{IL}	－0.3	－	V_{CC}×0.1	V	
	NMI、EXTAL、ポート 1、2、3、4、5、6、7、9、$P8_4$、$P8_3$、PB_7～PB_4		－0.3	－	V_{CC}×0.2	V	V_{CC}＜4.0V
					0.8		V_{CC}＝4.0～5.5V
出力 High レベル電圧	全出力端子（RESO を除く）	V_{OH}	V_{CC}－0.5	－	－	V	I_{OH}＝－200μA
			V_{CC}－1.0	－	－	V	I_{OH}＝－1mA
出力 Low レベル電圧	全出力端子（RESO を除く）	V_{OL}	－	－	0.4	V	I_{OL}＝1.6mA
	ポート 1、2、5、B		－	－	1.0	V	V_{CC}≦4V I_{OL}=5mA 4V＜V_{CC}5.5V I_{OL}=10mA
	RESO		－	－	0.4	V	I_{OL}＝1.6mA
入力リーク電流	STBY、NMI、RES、MD_2～MD_0	$\lvert I_{in} \rvert$	－	－	1.0	μA	V_{in}＝0.5～V_{CC}－0.5V
	ポート 7		－	－	1.0	μA	V_{in}＝0.5～AV_{CC}－0.5V

表 23.3　DC 特性（4）

条件： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V*[1]、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項　目		記　号	min	typ	max	単位	測定条件
スリーステートリーク電流（オフ状態）	ポート 1、2、3、4、5、6、8～B	$\lvert I_{TSI} \rvert$	－	－	1.0	μA	V_{in}＝0.5～V_{CC}－0.5V
	RESO		－	－	10.0	μA	
入力プルアップ MOS 電流	ポート 2、4、5	$-I_P$	10	－	300	μA	V_{CC}＝2.7V～5.5V、V_{in}＝0V
入力容量	NMI	C_{in}	－	－	50	pF	V_{in}＝0V
	NMI 以外の全入力端子		－	－	15	pF	f＝1MHz T_a＝25℃
消費電流*[2]	通常動作時	I_{CC}*[4]	－	12 （3.0V）	35 （5.5V）	mA	f＝8MHz
				20 （3.3V）	55 （5.5V）		f＝13MHz （V_{CC}＝3.15～5.5V）
	スリープ時		－	8 （3.0V）	25 （5.5V）		f＝8MHz
				12 （3.3V）	40 （5.5V）		f＝13MHz （V_{CC}＝3.15～5.5V）
	モジュールスタンバイ時*[5]		－	5 （3.0V）	14 （5.5V）	mA	f＝8MHz
				7 （3.3V）	20 （5.5V）		f＝13MHz （V_{CC}＝3.15～5.5V）
	スタンバイ時*[3]		－	0.01	5.0	μA	T_a≦50℃
			－	－	20.0		50℃＜T_a
アナログ電源電流	A/D 変換中	AI_{CC}	－	0.4	1.0	mA	AV_{CC}＝3.0V
			－	1.2	－		AV_{CC}＝5.0V
	A/D、D/A 変換中		－	0.4	1.0		AV_{CC}＝3.0V
			－	1.2	－		AV_{CC}＝5.0V
	A/D、D/A 変換待機時		－	0.01	5.0	μA	DASTE=0 時
リファレンス電源電流	A/D 変換中	AI_{CC}	－	0.2	0.4	mA	V_{REF}＝3.0V
			－	0.3	－		V_{REF}＝5.0V
	A/D、D/A 変換中		－	0.8	2.0		V_{REF}＝3.0V
			－	1.3	－		V_{REF}＝5.0V
	A/D、D/A 変換待機時		－	0.01	5.0	μA	DASTE=0 時
RAM スタンバイ電圧		V_{RAM}	2.0	－	－	V	

【注】 *1　A/D 変換器と D/A 変換器を未使用時に AV_{CC}、V_{REF}、AV_{SS} 端子を開放しないでください。
AV_{CC}、V_{REF} 端子は V_{CC} に、AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2　消費電流値は、V_{IH}min＝V_{CC}－0.5V、V_{IL}max＝0.5V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3　V_{RAM}≦V_{CC}＜2.7V のとき、$V_{IH\ MIN}$＝V_{CC}×0.9、$V_{IL\ MAX}$＝0.3V とした場合の値です。

*4　I_{CC} は下記の式に従って V_{CC} と f に依存します。
I_{CC}max.＝3.0（mA）＋0.75（mA/MHz・V）×V_{CC}×f（通常動作時）
I_{CC}max.＝3.0（mA）＋0.55（mA/MHz・V）×V_{CC}×f（スリープ時）
I_{CC}max.＝3.0（mA）＋0.25（mA/MHz・V）×V_{CC}×f（モジュールスタンバイ時）

*5　モジュールスタンバイ時の電流値は、全モジュールを停止しスリープ状態にした場合の値です。

表 23.4　出力許容電流値

条件： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項　目		記　号	min	typ	max	単位
出力 Low レベル許容電流（1 端子あたり）	ポート 1、2、5、B	I_{OL}	－	－	10	mA
	上記以外の出力端子		－	－	2.0	mA
出力 Low レベル許容電流（総和）	ポート 1、2、5、B、28 端子の総和	ΣI_{OL}	－	－	80	mA
	上記を含む、全出力端子の総和		－	－	120	mA
出力 High レベル許容電流（1 端子あたり）	全出力端子	I_{OH}	－	－	2.0	mA
出力 High レベル許容電流（総和）	全出力端子の総和	ΣI_{OH}	－	－	40	mA

【注】 1．　LSI の信頼性を確保するため、出力電流値は表 23.4 の値を超えないようにしてください。

2．　ダーリントントランジスタや、LED を直接駆動する場合には、図 23.1、図 23.2 に示すように、出力に必ず電流制限抵抗を挿入してください。

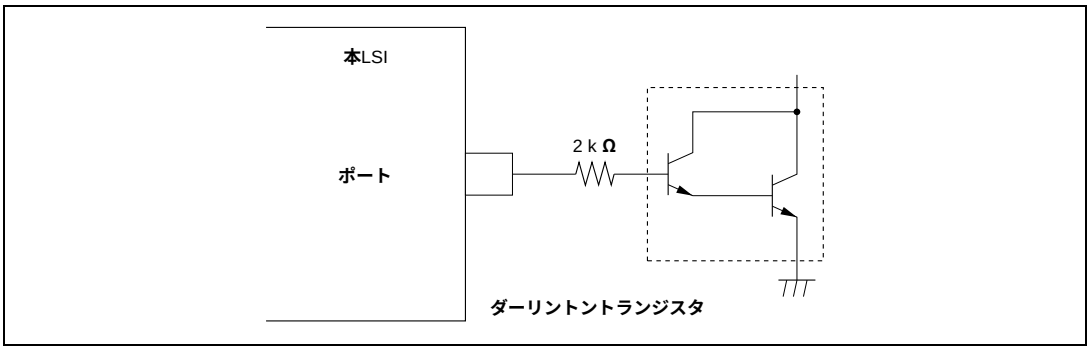


図 23.1　ダーリントントランジスタ駆動回路例

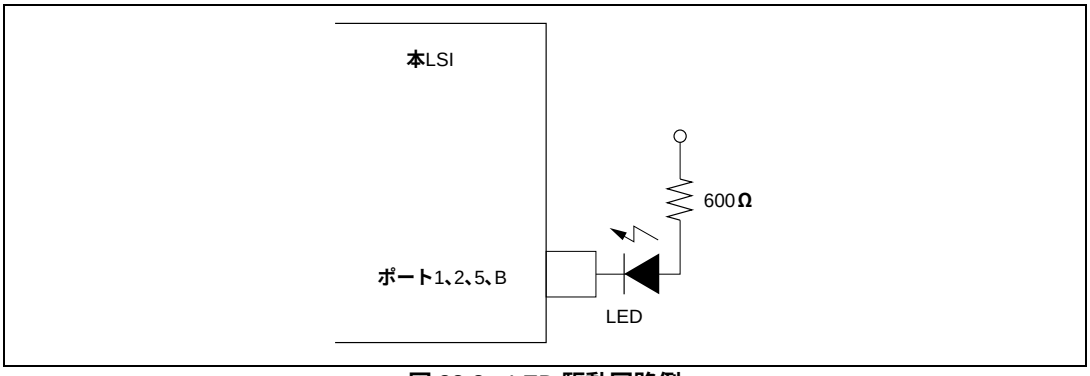


図 23.2　LED 駆動回路例

23.1.3 AC 特性

表 23.5 にバスタイミング、**表** 23.6 にリフレッシュコントローラバスタイミング、**表** 23.7 に制御信号タイミングを示します。また、**表** 23.8 に内蔵周辺モジュールタイミングを示します。

表 23.5 **バスタイミング**（1）

条件 A： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、
V_{SS}＝AV_{SS}＝0V、**φ**＝1～8MHz、
T_a＝－20～＋75**℃**（**通常仕様品**）、T_a＝－40～＋85**℃**（**広温度範囲仕様品**）

条件 B： V_{CC}＝3.15～5.5V、AV_{CC}＝3.15～5.5V、V_{REF}＝3.15V～AV_{CC}、
V_{SS}＝AV_{SS}＝0V、**φ**＝1～13MHz、
T_a＝－20～＋75**℃**（**通常仕様品**）、T_a＝－40～＋85**℃**（**広温度範囲仕様品**）

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、
φ＝1～18MHz、
T_a＝－20～＋75**℃**（**通常仕様品**）、T_a＝－40～＋85**℃**（**広温度範囲仕様品**）

項目	**記号**	**条件** A		**条件** B		**条件** C				**測定条件**
		8MHz		13MHz		16MHz		18MHz		
		min	max	min	max	min	max	min	max	
クロックサイクル時間	t_{cyc}	125	1000	76.9	1000	62.5	1000	55.5	1000	**図** 23.10、**図** 23.11
クロックパルス幅 Low **レベル時間**	t_{CL}	40	－	20	－	20	－	17	－	
クロックパルス幅 High **レベル時間**	t_{CH}	40	－	20	－	20	－	17	－	
クロック立上がり時間	t_{CR}	－	20	－	15	－	10	－	10	
クロック立下がり時間	t_{CF}	－	20	－	15	－	10	－	10	
アドレス遅延時間	t_{AD}	－	60	－	50	－	30	－	25	
アドレスホールド時間	t_{AH}	25	－	20	－	10	－	10	－	
アドレスストローブ遅延時間	t_{ASD}	－	60	－	50	－	30	－	25	
ライトストローブ遅延時間	t_{WSD}	－	60	－	50	－	30	－	25	
ストローブ遅延時間	t_{SD}	－	60	－	50	－	30	－	25	
ライトデータストローブパルス幅 1	t_{WSW1}*	85	－	40	－	35	－	32	－	
ライトデータストローブパルス幅 2	t_{WSW2}*	150	－	90	－	65	－	62	－	
アドレスセットアップ時間 1	t_{AS1}	20	－	15	－	10	－	10	－	
アドレスセットアップ時間 2	t_{AS2}	80	－	45	－	40	－	38	－	
リードデータセットアップ時間	t_{RDS}	50	－	30	－	20	－	15	－	
リードデータホールド時間	t_{RDH}	0	－	0	－	0	－	0	－	
ライトデータ遅延時間	t_{WDD}	－	75	－	75	－	60	－	55	
ライトデータセットアップ時間 1	t_{WDS1}	60	－	20	－	15	－	10	－	
ライトデータセットアップ時間 2	t_{WDS2}	5	－	－10	－	－5	－	－10	－	
ライトデータホールド時間	t_{WDH}	25	－	15	－	20	－	20	－	
リードデータアクセス時間 1	t_{ACC1}*	－	120	－	60	－	60	－	50	
リードデータアクセス時間 2	t_{ACC2}*	－	240	－	140	－	120	－	105	

単位：ns

表 23.5　バスタイミング（2）

条件 A： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～8MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 B： V_{CC}＝3.15～5.5V、AV_{CC}＝3.15～5.5V、V_{REF}＝3.15V～AV_{CC}、
V_{SS}＝AV_{SS}＝0V、φ＝1～13MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～18MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項目	記号	条件 A		条件 B		条件 C				測定条件
		8MHz		13MHz		16MHz		18MHz		
		min	max	min	max	min	max	min	max	
リードデータアクセス時間 3	t_{ACC3}*	－	70	－	30	－	30	－	20	図 23.10、図 23.11
リードデータアクセス時間 4	t_{ACC4}*	－	180	－	100	－	95	－	80	
プリッチャージ時間	t_{PCH}*	85	－	55	－	45	－	40	－	
ウェイトセットアップ時間	t_{WTS}	40	－	40	－	25	－	25	－	図 23.12
ウェイトセットホールド時間	t_{WTH}	10	－	10	－	5	－	5	－	
バスリクエストセットアップ時間	t_{BRQS}	40	－	40	－	40	－	40	－	図 23.24
バスアクノリッジ遅延時間 1	t_{BACD1}	－	60	－	50	－	30	－	30	
バスアクノリッジ遅延時間 2	t_{BACD2}	－	60	－	50	－	30	－	30	
バスフローティング時間	t_{BZD}	－	70	－	70	－	40	－	40	

単位：ns

【注】 * 8MHz 版使用時、下記の時間は以下に示すようにクロックサイクル時間に依存します。

t_{ACC1}＝1.5×t_{cyc}－68 （ns）　t_{WSW1}＝1.0×t_{cyc}－40 （ns）
t_{ACC2}＝2.5×t_{cyc}－73 （ns）　t_{WSW2}＝1.5×t_{cyc}－38 （ns）
t_{ACC3}＝1.0×t_{cyc}－55 （ns）　t_{PCH}＝1.0×t_{cyc}－40 （ns）
t_{ACC4}＝2.0×t_{cyc}－70 （ns）

13MHz 版使用時、下記の時間は以下に示すようにクロックサイクル時間に依存します。

t_{ACC1}＝1.5×t_{cyc}－56 （ns）　t_{WSW1}＝1.0×t_{cyc}－37 （ns）
t_{ACC2}＝2.5×t_{cyc}－53 （ns）　t_{WSW2}＝1.5×t_{cyc}－26 （ns）
t_{ACC3}＝1.0×t_{cyc}－47 （ns）　t_{PCH}＝1.0×t_{cyc}－32 （ns）
t_{ACC4}＝2.0×t_{cyc}－54 （ns）

16MHz 版使用時、下記の時間は以下に示すようにクロックサイクル時間に依存します。

t_{ACC1}＝1.5×t_{cyc}－34 （ns）　t_{WSW1}＝1.0×t_{cyc}－28 （ns）
t_{ACC2}＝2.5×t_{cyc}－37 （ns）　t_{WSW2}＝1.5×t_{cyc}－29 （ns）
t_{ACC3}＝1.0×t_{cyc}－33 （ns）　t_{PCH}＝1.0×t_{cyc}－28 （ns）
t_{ACC4}＝2.0×t_{cyc}－30 （ns）

18MHz 版使用時、下記の時間は以下に示すようにクロックサイクル時間に依存します。

t_{ACC1}＝1.5×t_{cyc}－34 （ns）　t_{WSW1}＝1.0×t_{cyc}－24 （ns）
t_{ACC2}＝2.5×t_{cyc}－34 （ns）　t_{WSW2}＝1.5×t_{cyc}－22 （ns）
t_{ACC3}＝1.0×t_{cyc}－36 （ns）　t_{PCH}＝1.0×t_{cyc}－21 （ns）
t_{ACC4}＝2.0×t_{cyc}－31 （ns）

表 23.6　リフレッシュコントローラバスタイミング

条件 A： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～8MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 B： V_{CC}＝3.15～5.5V、AV_{CC}＝3.15～5.5V、V_{REF}＝3.15V～AV_{CC}、
V_{SS}＝AV_{SS}＝0V、φ＝1～13MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～18MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項目	記号	条件 A		条件 B		条件 C				測定条件
		8MHz		13MHz		16MHz		18MHz		
		min	max	min	max	min	max	min	max	
RAS 遅延時間 1	t_{RAD1}	－	60	－	50	－	30	－	30	図 23.13 ～ 図 23.19
RAS 遅延時間 2	t_{RAD2}	－	60	－	50	－	30	－	30	
RAS 遅延時間 3	t_{RAD3}	－	60	－	50	－	30	－	30	
ロウアドレスホールド時間*	t_{RAH}	25	－	20	－	15	－	15	－	
RAS プリチャージ時間*	t_{RP}	85	－	55	－	45	－	40	－	
CAS to RAS プリチャージ時間*	t_{CRP}	85	－	55	－	45	－	40	－	
CAS パルス幅	t_{CAS}	100	－	55	－	40	－	35	－	
RAS アクセス時間*	t_{RAC}	－	160		80	－	85	－	70	
アドレスアクセス時間	t_{AA}	－	105		45	－	55	－	45	
CAS アクセス時間*	t_{CAC}	－	50		30	－	30	－	25	
ライトデータセットアップ時間 3	t_{WDS3}	50	－	20	－	15	－	10	－	
CAS セットアップ時間*	t_{CSR}	20	－	10	－	15	－	10	－	
リードストローブ遅延時間	t_{RSD}	－	60	－	50	－	30	－	30	

【注】 *　8MHz 版使用時、下記の時間は以下に示すようにクロックサイクル時間に依存します。

t_{RAH}＝0.5×t_{cyc}－38 （ns）　t_{CAC}＝1.0×t_{cyc}－75 （ns）
t_{RAC}＝2.0×t_{cyc}－90 （ns）　t_{CSR}＝0.5×t_{cyc}－43 （ns）
t_{RP}＝t_{CRP}＝1.0×t_{cyc}－40 （ns）

13MHz 版使用時、下記の時間は以下に示すようにクロックサイクル時間に依存します。

t_{RAH}＝0.5×t_{cyc}－19 （ns）　t_{CAC}＝1.0×t_{cyc}－47 （ns）
t_{RAC}＝2.0×t_{cyc}－74 （ns）　t_{CSR}＝0.5×t_{cyc}－29 （ns）
t_{RP}＝t_{CRP}＝1.0×t_{cyc}－22 （ns）

16MHz 版使用時、下記の時間は以下に示すようにクロックサイクル時間に依存します。

t_{RAH}＝0.5×t_{cyc}－17 （ns）　t_{CAC}＝1.0×t_{cyc}－33 （ns）
t_{RAC}＝2.0×t_{cyc}－40 （ns）　t_{CSR}＝0.5×t_{cyc}－17 （ns）
t_{RP}＝t_{CRP}＝1.0×t_{cyc}－18 （ns）

18MHz 版使用時、下記の時間は以下に示すようにクロックサイクル時間に依存します。

t_{RAH}＝0.5×t_{cyc}－13 （ns）　t_{CAC}＝1.0×t_{cyc}－31 （ns）
t_{RAC}＝2.0×t_{cyc}－41 （ns）　t_{CSR}＝0.5×t_{cyc}－18 （ns）
t_{RP}＝t_{CRP}＝1.0×t_{cyc}－16 （ns）

表 23.7　制御信号タイミング

条件 A： V_{CC}＝2.7～5.5V、AV_{CC}＝ 2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～8MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 B： V_{CC}＝3.15～5.5V、AV_{CC}＝3.15～5.5V、V_{REF}＝3.15V～AV_{CC}、
V_{SS}＝AV_{SS}＝0V、φ＝1～13MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～18MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項目	記号	条件 A		条件 B		条件 C				単位	測定条件
		8MHz		13MHz		16MHz		18MHz			
		min	max	min	max	min	max	min	max		
RES セットアップ時間	t_{RESS}	200	－	200	－	200	－	200	－	ns	図 23.21
RES パルス幅	t_{RESW}	10	－	10	－	10	－	10	－	t_{cyc}	
モードプログラミングセットアップ時間	t_{MDS}	200	－	200	－	200	－	200	－	ns	
RESO 出力遅延時間	t_{RESD}	－	100	－	100	－	100	－	100	ns	図 23.22
RESO 出力パルス幅	t_{RESOW}	132	－	132	－	132	－	132	－	t_{cyc}	
NMI セットアップ時間（NMI、IRQ_5～IRQ_0）	t_{NMIS}	200	－	200	－	150	－	150	－	ns	図 23.23
NMI ホールド時間（NMI、IRQ_5～IRQ_0）	t_{NMIH}	10	－	10	－	10	－	10	－	ns	
割込みパルス幅（NMI、IRQ_2～IRQ_0）ソフトウェアスタンバイモードからの復帰時）	t_{NMIW}	200	－	200	－	200	－	200	－	ns	
リセット発振安定時間（水晶）	t_{OSC1}	20	－	20	－	20	－	20	－	ms	図 23.25
ソフトウェアスタンバイ発振安定時間（水晶）	t_{OSC2}	7	－	7	－	7	－	7	－	ms	図 22.1

表 23.8 内蔵周辺モジュールタイミング

条件 A： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～8MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 B： V_{CC}＝3.15～5.5V、AV_{CC}＝3.15～5.5V、V_{REF}＝3.15V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～13MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～18MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

モジュール	項目		記号	条件 A		条件 B		条件 C				単位	測定条件
				8MHz		13MHz		16MHz		18MHz			
				min	max	min	max	min	max	min	max		
DMAC	DREQ セットアップ時間		t_{DRQS}	40	－	40	－	30	－	30	－	ns	図 23.33
	DREQ ホールド時間		t_{DRQH}	10	－	10	－	10	－	10	－		
	TEND 遅延時間 1		t_{TED1}	－	100	－	100	－	50	－	50		図 23.31、図 23.32
	TEND 遅延時間 2		t_{TED2}	－	100	－	100	－	50	－	50		
ITU	タイマ出力遅延時間		t_{TOCD}	－	100	－	100	－	100	－	100		図 23.27
	タイマ入力セットアップ時間		t_{TICS}	50	－	50	－	50	－	50	－		
	タイマクロック入力セットアップ時間		t_{TCKS}	50	－	50	－	50	－	50	－		図 23.28
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	1.5	－	1.5	－	1.5	－	1.5	－	t_{CYC}	
		両エッジ指定	t_{TCKWL}	2.5	－	2.5	－	2.5	－	2.5	－		
SCI	入力クロックサイクル	調歩同期	t_{SCYC}	4	－	4	－	4	－	4	－		図 23.29
		クロック同期		6	－	6	－	6	－	6	－		
	入力クロック立上がり時間		t_{SCKr}	－	1.5	－	1.5	－	1.5	－	1.5		
	入力クロック立下がり時間		t_{SCKf}	－	1.5	－	1.5	－	1.5	－	1.5		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	0.4	0.6	0.4	0.6	0.4	0.6	t_{SCYC}	
	送信データ遅延時間		t_{TXD}	－	100	－	100	－	100	－	100	ns	図 23.30
	受信データセットアップ時間（クロック同期）		t_{RXS}	100	－	100	－	100	－	100	－		
	受信データホールド時間（クロック同期）	クロック入力	t_{RXH}	100	－	100	－	100	－	100	－		
		クロック出力		0	－	0	－	0	－	0	－		
ポート TPC	出力データ遅延時間		t_{PWD}	－	100	－	100	－	100	－	100		図 23.26
	入力データセットアップ時間		t_{PRS}	50	－	50	－	50	－	50	－		
	入力データホールド時間		t_{PRH}	50	－	50	－	50	－	50	－		

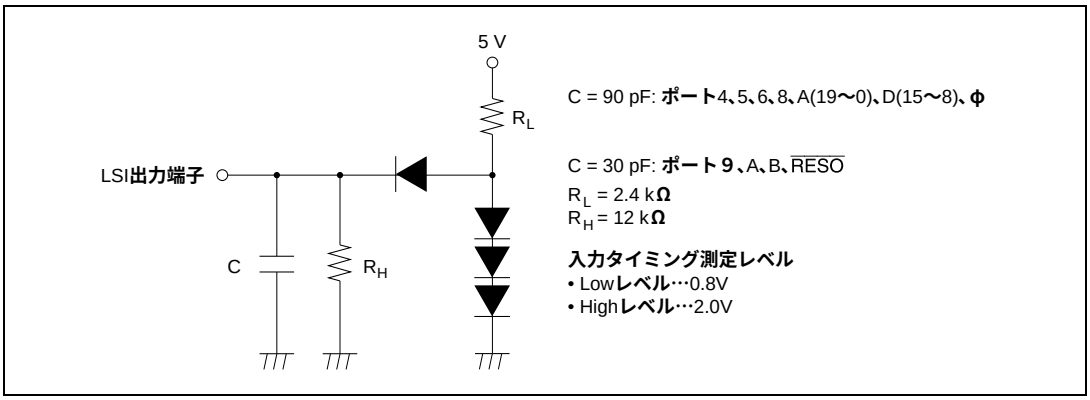

5 V
R_L
LSI出力端子
C
R_H
C = 90 pF: ポート4、5、6、8、A(19～0)、D(15～8)、φ
C = 30 pF: ポート9、A、B、$\overline{RESO}$
R_L = 2.4 kΩ
R_H = 12 kΩ
入力タイミング測定レベル
• Lowレベル…0.8V
• Highレベル…2.0V

図 23.3　出力負荷回路

23.1.4 A/D 変換特性

A/D 変換特性を**表** 23.9 に示します。

表 23.9 A/D **変換特性**

条件 A： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝1～8MHz、
T_a＝－20～＋75**℃（通常仕様品）**、T_a＝－40～＋85**℃（広温度範囲仕様品）**

条件 B： V_{CC}＝3.15～5.5V、AV_{CC}＝3.15～5.5V、V_{REF}＝3.15V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝1～13MHz、
T_a＝－20～＋75**℃（通常仕様品）**、T_a＝－40～＋85**℃（広温度範囲仕様品）**

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝1～18MHz、
T_a＝－20～＋75**℃（通常仕様品）**、T_a＝－40～＋85**℃（広温度範囲仕様品）**

項　目	**条件** A			**条件** B			**条件** C						**単位**
	8MHz			13MHz			16MHz			18MHz			
	min	typ	max	min	typ	max	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	10	10	10	10	10	10	**ビット**
変換時間	16.8	－	－	10.4	－	－	8.4	－	－	7.5	－	－	**μ**s
アナログ入力容量	－	－	20	－	－	20	－	－	20	－	－	20	pF
許容信号源インピーダンス	－	－	10*[1]	－	－	10*[1]	－	－	10*[3]	－	－	10*[3]	kΩ
	－	－	5*[2]	－	－	5*[2]	－	－	5*[4]	－	－	5*[4]	
非直線性誤差	－	－	±6.0	－	－	±6.0	－	－	±3.0	－	－	±3.0	LSB
オフセット誤差	－	－	±4.0	－	－	±4.0	－	－	±2.0	－	－	±2.0	LSB
フルスケール誤差	－	－	±4.0	－	－	±4.0	－	－	±2.0	－	－	±2.0	LSB
量子化誤差	－	－	±0.5	－	－	±0.5	－	－	±0.5	－	－	±0.5	LSB
絶対精度	－	－	±8.0	－	－	±8.0	－	－	±4.0	－	－	±4.0	LSB

【注】 *1 4.0≦AV_{CC}≦5.5 **の場合です。**
*2 2.7≦AV_{CC}＜4.0 **の場合です。**
*3 **φ**≦12MHz **の場合です。**
*4 **φ**＞12MHz **の場合です。**

23.1.5 D/A 変換特性

D/A 変換特性を**表** 23.10 に示します。

表 23.10 D/A **変換特性**

条件 A： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～8MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 B： V_{CC}＝3.15～5.5V、AV_{CC}＝3.15～5.5V、V_{REF}＝3.15V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～13MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～18MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項　目	条件 A			条件 B			条件 C						単位	測定条件
	8MHz			13MHz			16MHz			18MHz				
	min	typ	max	min	typ	max	min	typ	max	min	typ	max		
分解能	8	8	8	8	8	8	8	8	8	8	8	8	ビット	
変換時間	－	－	10	－	－	10	－	－	10	－	－	10	μs	負荷容量 20pF
絶対精度	－	±2.0	±3.0	－	±2.0	±3.0	－	±1.0	±1.5	－	±1.0	±1.5	LSB	負荷容量 2MΩ
	－	－	±2.0	－	－	±2.0	－	－	±1.0	－	－	±1.0	LSB	負荷容量 4 MΩ

23.2　H8/3048F（二電源方式）の電気的特性

23.2.1　絶対最大定格

絶対最大定格を**表** 23.11 に示します。

表 23.11　**絶対最大定格**

項　目	記　号	定格値	単　位
電源電圧	V_{CC}	－0.3～＋7.0	V
プログラム電圧	V_{PP}	－0.3～＋13.0	V
入力電圧（MD_2、ポート 7 以外）	V_{in}	－0.3～V_{CC}＋0.3	V
入力電圧（MD_2）	V_{in}	－0.3～＋13.0	V
入力電圧（ポート 7）	V_{in}	－0.3～AV_{CC}＋0.3	V
リファレンス電源電圧	V_{REF}	－0.3～AV_{CC}＋0.3	V
アナログ電源電圧	AV_{CC}	－0.3～＋7.0	V
アナログ入力電圧	V_{AN}	－0.3～AV_{CC}＋0.3	V
動作温度	T_{opr}	**通常仕様品：**　－20～＋75	℃
		広温度範囲仕様品：　－40～＋85	℃
保存温度	T_{stg}	－55～＋125	℃

【使用上の注意】

絶対最大定格を超えて LSI **を使用した場合、**LSI **の永久破壊となることがあります。**

V_{PP} **および** MD_2 **は、オーバシュートのピークが** 13V **を超えないようにしてください。**

23.2.2 DC 特性

DC 特性を**表** 23.12 に示します。また、出力許容電流値を**表** 23.13 に示します。

表 23.12 DC **特性**（1）

条件： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V*[1]、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項　目		記　号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	ポート A、$P8_2$～$P8_0$、PB_3～PB_0	V_T^-	1.0	－	－	V	
		V_T^+	－	－	V_{CC}×0.7	V	
		$V_T^+-V_T^-$	0.4	－	－	V	
入力 High レベル電圧	RES、STBY、NMI、MD_2～MD_0	V_{IH}	V_{CC}－0.7	－	V_{CC}＋0.3	V	
	EXTAL		V_{CC}×0.7	－	V_{CC}＋0.3	V	
	ポート 7		2.0	－	AV_{CC}+0.3	V	
	ポート 1、2、3、4、5、6、9、$P8_4$、$P8_3$、PB_7～PB_4		2.0	－	V_{CC}＋0.3	V	
入力 Low レベル電圧	RES、STBY、MD_2～MD_0	V_{IL}	－0.3	－	0.5	V	
	NMI、EXTAL、ポート 1、2、3、4、5、6、7、9、$P8_4$、$P8_3$、PB_7～PB_4		－0.3	－	0.8	V	
出力 High レベル電圧	全出力端子	V_{OH}	V_{CC}－0.5	－	－	V	I_{OH}＝－200μA
			3.5	－	－	V	I_{OH}＝－1mA
出力 Low レベル電圧	全出力端子（RESO を除く）	V_{OL}	－	－	0.4	V	I_{OL}＝1.6mA
	ポート 1、2、5、B		－	－	1.0	V	I_{OL}＝10mA
	RESO		－	－	0.4	V	I_{OL}＝2.6mA
高電圧（12V）印加判定レベル*[5]	RESO/V_{PP}、MD_2	V_H	Vcc＋2.0	－	11.4	V	Vcc＝4.5V～5.5V
入力リーク電流	STBY、NMI、RES、MD_1～MD_0	$\lvert I_{in} \rvert$	－	－	1.0	μA	V_{in}＝0.5～V_{CC}－0.5V
	MD_2		－	－	10.0		V_{in}＝0.5～V_{CC}＋0.5V
	MD_2		－	－	50.0		V_{in}＝V_{CC}+0.5～12.6V
	ポート 7		－	－	1.0	μA	V_{in}＝0.5～AV_{CC}－0.5V

表 23.12　DC 特性（2）

条件：　V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V*[1]、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項　目		記　号	min	typ	max	単位	測定条件
スリーステートリーク電流（オフ状態）	ポート 1、2、3、4、5、6、8～B	$\lvert I_{TSI} \rvert$	－	－	1.0	μA	V_{in}＝0.5～V_{CC}－0.5V
	RESO/V_{PP}		－	－	20.0	mA	Vcc+0.5V<V_{in} ≦12.6V
			－	－	10.0	μA	0.5V≦V_{in} ≦Vcc+0.5V
入力プルアップ MOS 電流	ポート 2、4、5	－I_P	50	－	300	μA	V_{in}＝0V
入力容量	NMI	C_{in}	－	－	50	pF	V_{in}＝0V f＝1MHz T_a＝25℃
	NMI 以外の全入力端子		－	－	15	pF	
消費電流*[2]	通常動作時	I_{CC}	－	50	65	mA	f＝16MHz
	スリープ時		－	35	50		f＝16MHz
	モジュールスタンバイ時*[4]		－	20	25		f＝16MHz
	スタンバイ時*[3]		－	0.01	5.0	μA	T_a≦50℃
			－	－	20.0		50℃＜T_a

表 23.12　DC 特性（3）

条件： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V*[1]、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項　目		記　号	min	typ	max	単位	測定条件
アナログ電源電流	A/D 変換中	AI_{CC}	－	1.2	2.0	mA	
	A/D、D/A 変換中		－	1.2	2.0		
	A/D、D/A 変換待機時		－	0.01	5.0	μA	DASTE=0 時
リファレンス電源電流	A/D 変換中	AI_{CC}	－	0.3	0.6	mA	V_{REF}＝5.0V
	A/D、D/A 変換中		－	1.3	3.0		
	A/D、D/A 変換待機時		－	0.01	5.0	μA	DASTE=0 時
V_{PP} 端子電流	読出し時	I_{PP}	－	－	10	μA	V_{PP}=5.0V
			－	10	20	mA	V_{PP}=12.6V
	プログラム時		－	20	40	mA	
	消去時		－	20	40	mA	
RAM スタンバイ電圧		V_{RAM}	2.0	－	－	V	

【注】 *1　A/D 変換器と D/A 変換器を未使用時に、AV_{CC}、V_{REF}、AV_{SS} 端子を開放しないでください。
AV_{CC}、V_{REF} 端子は V_{CC} に、AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2　消費電流値は、V_{IH}min＝V_{CC}－0.5V、V_{IL}max＝0.5V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3　V_{RAM}≦V_{CC}＜4.5V のとき、$V_{IH\ MIN}$＝V_{CC}×0.9、$V_{IL\ MAX}$＝0.3V とした場合の値です。

*4　モジュールスタンバイ時の電流値は、全モジュールを停止しスリープ状態とした場合の値です。

*5　高電圧印加の判定レベルは、上記の電圧となりますが、ブートモードおよびフラッシュメモリの書込み／消去時は 12.0±0.6V に設定してください。

表 23.12　DC 特性（4）

条件： V_{CC}＝2.7V～5.5V、AV_{CC}＝2.7V～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V*[1]、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項　目		記　号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	ポート A、$P8_2$～$P8_0$、PB_3～PB_0	V_T^-	V_{CC}×0.2	－	－	V	
		V_T^+	－	－	V_{CC}×0.7	V	
		$V_T^+-V_T^-$	V_{CC}×0.07	－	－	V	
入力 High レベル電圧	RES、STBY、NMI、MD_2～MD_0	V_{IH}	V_{CC}×0.9	－	V_{CC}＋0.3	V	
	EXTAL		V_{CC}×0.7	－	V_{CC}＋0.3	V	
	ポート 7		V_{CC}×0.7	－	AV_{CC}+0.3	V	
	ポート 1、2、3、4、5、6、9、$P8_4$、$P8_3$、PB_7～PB_4		V_{CC}×0.7	－	V_{CC}＋0.3	V	
入力 Low レベル電圧	RES、STBY、MD_2～MD_0	V_{IL}	－0.3	－	V_{CC}×0.1	V	
	NMI、EXTAL、ポート 1、2、3、4、5、6、7、9、$P8_4$、$P8_3$、PB_7～PB_4		－0.3	－	V_{CC}×0.2	V	V_{CC}＜4.0V
					0.8		V_{CC}＝4.0～5.5V
出力 High レベル電圧	全出力端子	V_{OH}	V_{CC}－0.5	－	－	V	I_{OH}＝－200μA
			V_{CC}－1.0	－	－	V	I_{OH}＝－1mA
出力 Low レベル電圧	全出力端子（RESO を除く）	V_{OL}	－	－	0.4	V	I_{OL}＝1.6mA
	ポート 1、2、5、B		－	－	1.0	V	V_{CC}≦4V、I_{OL}=5mA
							4V＜V_{CC}≦5.5V I_{OL}=10mA
	RESO		－	－	0.4	V	I_{OL}＝1.6mA
高電圧（12V）印加判定レベル*[6]	RESO/V_{PP}、MD_2	V_H	V_{CC}＋2.0	－	11.4	V	V_{CC}＝2.7V～5.5V

表 23.12　DC 特性（5）

条件： V_{CC}＝2.7V～5.5V、AV_{CC}＝2.7V～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V*[1]、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項　目		記　号	min	typ	max	単位	測定条件
入力リーク電流	STBY、NMI、RES、MD_1～MD_0	$\lvert I_{in} \rvert$	－	－	1.0	μA	V_{in}＝0.5～V_{CC}－0.5V
	MD_2		－	－	10.0		V_{in}＝0.5～V_{CC}+0.5V
	MD_2		－	－	50.0		V_{in}＝V_{CC}+0.5～12.6V
	ポート 7		－	－	1.0	μA	V_{in}＝0.5～AV_{CC}－0.5V
スリーステートリーク電流（オフ状態）	ポート 1、2、3、4、5、6、8～B	$\lvert I_{TSI} \rvert$	－	－	1.0	μA	V_{in}＝0.5～V_{CC}－0.5V
	RESO/V_{PP}	$\lvert I_{TSI} \rvert$	－	－	20.0	mA	V_{CC}＋0.5＜V_{in}≦12.6V
			－	－	10.0	μA	0.5≦V_{in}≦V_{CC}＋0.5V
入力プルアップ MOS 電流	ポート 2、4、5	－I_P	10	－	300	μA	V_{CC}＝2.7V～5.5V、V_{in}＝0V
入力容量	NMI	C_{in}	－	－	50	pF	V_{in}＝0V f＝1MHz T_a＝25℃
	NMI 以外の全入力端子		－	－	15	pF	
消費電流*[2]	通常動作時	I_{CC}*[4]	－	12（3.0V）	35（5.5V）	mA	f＝8MHz
	スリープ時		－	8（3.0V）	25（5.5V）		f＝8MHz
	モジュールスタンバイ時*[5]		－	5（3.0V）	14（5.5V）	mA	f＝8MHz
	スタンバイ時*[3]		－	0.01	5.0	μA	T_a≦50℃
			－	－	20.0		50℃＜T_a

表 23.12　DC 特性（6）

条件： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V*1、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項　目		記　号	min	typ	max	単位	測定条件
アナログ電源電流	A/D 変換中	AI_{CC}	－	0.4	1.0	mA	AV_{CC}＝3.0V
			－	1.2	－		AV_{CC}＝5.0V
	A/D、D/A 変換中		－	0.4	1.0		AV_{CC}＝3.0V
			－	1.2	－		AV_{CC}＝5.0V
	A/D、D/A 変換待機時		－	0.01	5.0	μA	DASTE=0 時
リファレンス電源電流	A/D 変換中	AI_{CC}	－	0.2	0.4	mA	V_{REF}＝3.0V
			－	0.3	－		V_{REF}＝5.0V
	A/D、D/A 変換中		－	0.8	2.0		V_{REF}＝3.0V
			－	1.3	－		V_{REF}＝5.0V
	A/D、D/A 変換待機時		－	0.01	5.0	μA	DASTE=0 時
V_{PP}端子電流	読出し時	I_{PP}	－	－	10	μA	V_{PP}=5.0V
			－	10	20	mA	V_{PP}=12.6V
	プログラム時		－	20	40	mA	
	消去時		－	20	40	mA	
RAM スタンバイ電圧		V_{RAM}	2.0	－	－	V	

【注】 *1　A/D 変換器と D/A 変換器を未使用時に AVCC、VREF、AVSS 端子を開放しないでください。
AV_{CC}、V_{REF}端子は V_{CC} に、AV_{SS}端子は V_{SS} にそれぞれ接続してください。

*2　消費電流値は、V_{IH} min＝V_{CC}－0.5V、V_{IL} max＝0.5V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3　V_{RAM}≦V_{CC}＜2.7V のとき、$V_{IH\ MIN}$＝V_{CC}×0.9、$V_{IL\ MAX}$＝0.3V とした場合の値です。

*4　I_{CC} は下記の式に従って V_{CC} と f に依存します。
I_{CC}max.＝3.0（mA）＋0.75（mA/MHz・V）×V_{CC}×f（通常動作時）
I_{CC}max.＝3.0（mA）＋0.55（mA/MHz・V）×V_{CC}×f（スリープ時）
I_{CC}max.＝3.0（mA）＋0.25（mA/MHz・V）×V_{CC}×f（モジュールスタンバイ時）

*5　モジュールスタンバイ時の電流値は、全モジュールを停止しスリープ状態にした場合の値です。

*6　高電圧印加の判定レベルは、上記の電圧となりますが、ブートモードおよびフラッシュメモリの書込み／消去時は 12.0±0.6V に設定してください。

表 23.13　出力許容電流値

条件： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項　目		記　号	min	typ	max	単位
出力 Low レベル許容電流（1 端子あたり）	ポート 1、2、5、B	I_{OL}	－	－	10	mA
	上記以外の出力端子		－	－	2.0	mA
出力 Low レベル許容電流（総和）	ポート 1、2、5、B、28 端子の総和	ΣI_{OL}	－	－	80	mA
	上記を含む、全出力端子の総和		－	－	120	mA
出力 High レベル許容電流（1 端子あたり）	全出力端子	I_{OH}	－	－	2.0	mA
出力 High レベル許容電流（総和）	全出力端子の総和	ΣI_{OH}	－	－	40	mA

【注】 1．　LSI の信頼性を確保するため、出力電流値は表 23.13 の値を超えないようにしてください。
2．　ダーリントントランジスタや、LED を直接駆動する場合には、図 23.4、図 23.5 に示すように、出力に必ず電流制限抵抗を挿入してください。

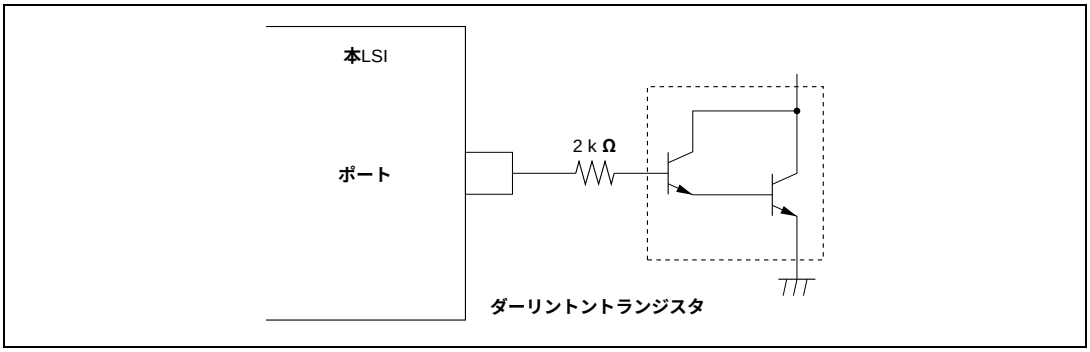


図 23.4　ダーリントントランジスタ駆動回路例

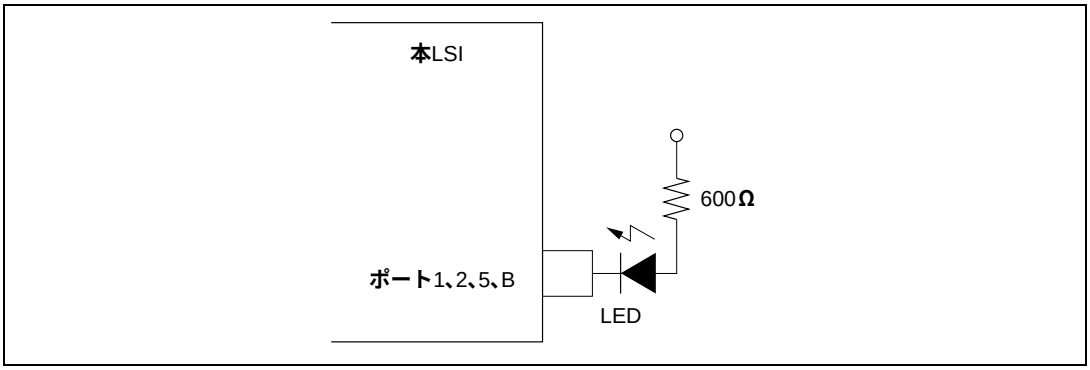


図 23.5　LED 駆動回路例

23.2.3 AC 特性

表 23.14 にバスタイミング、**表** 23.15 にリフレッシュコントローラバスタイミング、**表** 23.16 に制御信号タイミングを示します。また、**表** 23.17 に内蔵周辺モジュールタイミングを示します。

表 23.14 **バスタイミング**（1）

条件 A： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝1～8MHz、T_a＝－20～＋75**℃（通常仕様品）**、T_a＝－40～＋85**℃（広温度範囲仕様品）**

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝1～16MHz、T_a＝－20～＋75**℃（通常仕様品）**、T_a＝－40～＋85**℃（広温度範囲仕様品）**

項目	**記号**	**条件** A		**条件** C		**測定条件**
		8MHz		16MHz		
		min	max	min	max	
クロックサイクル時間	t_{cyc}	125	1000	62.5	1000	**図** 23.10、**図** 23.11
クロックパルス幅 Low **レベル時間**	t_{CL}	40	－	20	－	
クロックパルス幅 High **レベル時間**	t_{CH}	40	－	20	－	
クロック立上がり時間	t_{CR}	－	20	－	10	
クロック立下がり時間	t_{CF}	－	20	－	10	
アドレス遅延時間	t_{AD}	－	60	－	30	
アドレスホールド時間	t_{AH}	25	－	10	－	
アドレスストローブ遅延時間	t_{ASD}	－	60	－	30	
ライトストローブ遅延時間	t_{WSD}	－	60	－	30	
ストローブ遅延時間	t_{SD}	－	60	－	30	
ライトデータストローブパルス幅 1	t_{WSW1}*	85	－	35	－	
ライトデータストローブパルス幅 2	t_{WSW2}*	150	－	65	－	
アドレスセットアップ時間 1	t_{AS1}	20	－	10	－	
アドレスセットアップ時間 2	t_{AS2}	80	－	40	－	
リードデータセットアップ時間	t_{RDS}	50	－	20	－	
リードデータホールド時間	t_{RDH}	0	－	0	－	
ライトデータ遅延時間	t_{WDD}	－	75	－	60	
ライトデータセットアップ時間 1	t_{WDS1}	60	－	15	－	
ライトデータセットアップ時間 2	t_{WDS2}	5	－	－5	－	
ライトデータホールド時間	t_{WDH}	25	－	20	－	
リードデータアクセス時間 1	t_{ACC1}*	－	120	－	60	
リードデータアクセス時間 2	t_{ACC2}*	－	240	－	120	

単位：ns

表 23.14　バスタイミング（2）

条件 A： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～8MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～16MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項目	記号	条件 A		条件 C		測定条件
		8MHz		16MHz		
		min	max	min	max	
リードデータアクセス時間 3	t_{ACC3}*	－	70	－	30	図 23.10、図 23.11
リードデータアクセス時間 4	t_{ACC4}*	－	180	－	95	
プリチャージ時間	t_{PCH}*	85	－	45	－	
ウェイトセットアップ時間	t_{WTS}	40	－	25	－	図 23.12
ウェイトセットホールド時間	t_{WTH}	10	－	5	－	
バスリクエストセットアップ時間	t_{BRQS}	40	－	40	－	図 23.24
バスアクノリッジ遅延時間 1	t_{BACD1}	－	60	－	30	
バスアクノリッジ遅延時間 2	t_{BACD2}	－	60	－	30	
バスフローティング時間	t_{BZD}	－	70	－	40	

単位：ns

【注】 *　8MHz 版使用時、下記の時間は以下に示すようにクロックサイクル時間に依存します。

t_{ACC1}＝1.5×t_{cyc}－68 （ns）　t_{WSW1}＝1.0×t_{cyc}－40 （ns）
t_{ACC2}＝2.5×t_{cyc}－73 （ns）　t_{WSW2}＝1.5×t_{cyc}－38 （ns）
t_{ACC3}＝1.0×t_{cyc}－55 （ns）　t_{PCH}＝1.0×t_{cyc}－40 （ns）
t_{ACC4}＝2.0×t_{cyc}－70 （ns）

16MHz 版使用時、下記の時間は以下に示すようにクロックサイクル時間に依存します。

t_{ACC1}＝1.5×t_{cyc}－34 （ns）　t_{WSW1}＝1.0×t_{cyc}－28 （ns）
t_{ACC2}＝2.5×t_{cyc}－37 （ns）　t_{WSW2}＝1.5×t_{cyc}－29 （ns）
t_{ACC3}＝1.0×t_{cyc}－33 （ns）　t_{PCH}＝1.0×t_{cyc}－28 （ns）
t_{ACC4}＝2.0×t_{cyc}－30 （ns）

表 23.15　リフレッシュコントローラバスタイミング

条件 A： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～8MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～16MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項目	記号	条件 A		条件 C		測定条件
		8MHz		16MHz		
		min	max	min	max	
RAS 遅延時間 1	t_{RAD1}	－	60	－	30	図 23.13 ～ 図 23.19
RAS 遅延時間 2	t_{RAD2}	－	60	－	30	
RAS 遅延時間 3	t_{RAD3}	－	60	－	30	
ロウアドレスホールド時間*	t_{RAH}	25	－	15	－	
RAS プリチャージ時間*	t_{RP}	85	－	45	－	
CAS to RAS プリチャージ時間*	t_{CRP}	85	－	45	－	
CAS パルス幅	t_{CAS}	100	－	40	－	
RAS アクセス時間*	t_{RAC}	－	160	－	85	
アドレスアクセス時間	t_{AA}	－	105	－	55	
CAS アクセス時間*	t_{CAC}	－	50	－	30	
ライトデータセットアップ時間 3	t_{WDS3}	50	－	15	－	
CAS セットアップ時間*	t_{CSR}	20	－	15	－	
リードストローブ遅延時間	t_{RSD}	－	60	－	30	

単位：ns

【注】 *　8MHz 版使用時、下記の時間は以下に示すようにクロックサイクル時間に依存します。

t_{RAH}＝0.5×t_{cyc}－38 （ns）　t_{CAC}＝1.0×t_{cyc}－75 （ns）

t_{RAC}＝2.0×t_{cyc}－90 （ns）　t_{CSR}＝0.5×t_{cyc}－43 （ns）

t_{RP}＝t_{CRP}＝1.0×t_{cyc}－40 （ns）

16MHz 版使用時、下記の時間は以下に示すようにクロックサイクル時間に依存します。

t_{RAH}＝0.5×t_{cyc}－17 （ns）　t_{CAC}＝1.0×t_{cyc}－33（ns）

t_{RAC}＝2.0×t_{cyc}－40 （ns）　t_{CSR}＝0.5×t_{cyc}－17（ns）

t_{RP}＝t_{CRP}＝1.0×t_{cyc}－18 （ns）

表 23.16　制御信号タイミング

条件 A： V_{CC}＝2.7～5.5V、AV_{CC}＝ 2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～8MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～16MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項目	記号	条件 A		条件 C		単位	測定条件
		8MHz		16MHz			
		min	max	min	max		
RES セットアップ時間	t_{RESS}	200	－	200	－	ns	図 23.21
RES パルス幅	t_{RESW}	10	－	10	－	t_{cyc}	
モードプログラミングセットアップ時間	t_{MDS}	200	－	200	－	ns	
RESO 出力遅延時間	t_{RESD}	－	100	－	100	ns	図 23.22
RESO 出力パルス幅	t_{RESOW}	132	－	132	－	t_{cyc}	
NMI セットアップ時間（NMI、IRQ_5～IRQ_0）	t_{NMIS}	200	－	150	－	ns	図 23.23
NMI ホールド時間（NMI、IRQ_5～IRQ_0）	t_{NMIH}	10	－	10	－	ns	
割込みパルス幅（NMI、IRQ_2～IRQ_0）ソフトウェアスタンバイモードからの復帰時	t_{NMIW}	200	－	200	－	ns	
リセット発振安定時間（水晶）	t_{OSC1}	20	－	20	－	ms	図 23.25
ソフトウェアスタンバイ発振安定時間（水晶）	t_{OSC2}	7	－	7	－	ms	図 22.1

表 23.17　内蔵周辺モジュールタイミング

条件 A： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～8MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～16MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

モジュール	項目		記号	条件 A		条件 C		単位	測定条件
				8MHz		16MHz			
				min	max	min	max		
DMAC	DREQ セットアップ時間		t_{DRQS}	40	－	30	－	ns	図 23.33
	DREQ ホールド時間		t_{DRQH}	10	－	10	－		
	TEND 遅延時間 1		t_{TED1}	－	100	－	50		図 23.31、図 23.32
	TEND 遅延時間 2		t_{TED2}	－	100	－	50		
ITU	タイマ出力遅延時間		t_{TOCD}	－	100	－	100		図 23.27
	タイマ入力セットアップ時間		t_{TICS}	50	－	50	－		
	タイマクロック入力セットアップ時間		t_{TCKS}	50	－	50	－		図 23.28
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH} t_{TCKWL}	1.5	－	1.5	－	t_{CYC}	
		両エッジ指定		2.5	－	2.5	－		
SCI	入力クロックサイクル	調歩同期	t_{SCYC}	4	－	4	－		図 23.29
		クロック同期		6	－	6	－		
	入力クロック立上がり時間		t_{SCKr}	－	1.5	－	1.5		
	入力クロック立下がり時間		t_{SCKf}	－	1.5	－	1.5		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	0.4	0.6	t_{SCYC}	
	送信データ遅延時間		t_{TXD}	－	100	－	100	ns	図 23.30
	受信データセットアップ時間（クロック同期）		t_{RXS}	100	－	100	－		
	受信データホールド時間（クロック同期）	クロック入力	t_{RXH}	100	－	100	－		
		クロック出力		0	－	0	－		
ポート TPC	出力データ遅延時間		t_{PWD}	－	100	－	100		図 23.26
	入力データセットアップ時間		t_{PRS}	50	－	50	－		
	入力データホールド時間		t_{PRH}	50	－	50	－		

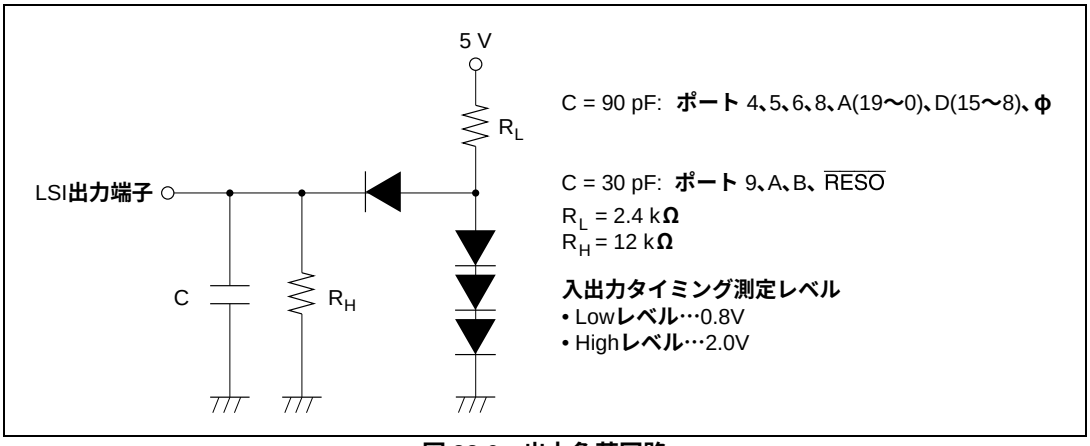


図 23.6　**出力負荷回路**

23.2.4　A/D 変換特性

A/D 変換特性を**表** 23.18 に示します。

表 23.18　A/D **変換特性**

条件 A：V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～8MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 C：V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝1～16MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項　目	条件 A			条件 C			単位
	8MHz			16MHz			
	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	ビット
変換時間	16.8	－	－	8.4	－	－	μs
アナログ入力容量	－	－	20	－	－	20	pF
許容信号源インピーダンス	－	－	10*1	－	－	10*3	kΩ
	－	－	5*2	－	－	5*4	
非直線性誤差	－	－	±6.0	－	－	±3.0	LSB
オフセット誤差	－	－	±4.0	－	－	±2.0	LSB
フルスケール誤差	－	－	±4.0	－	－	±2.0	LSB
量子化誤差	－	－	±0.5	－	－	±0.5	LSB
絶対精度	－	－	±8.0	－	－	±4.0	LSB

【注】 *1　4.0≦AV_{CC}≦5.5 **の場合です。**
*2　2.7≦AV_{CC}＜4.0 **の場合です。**
*3　φ≦12MHz **の場合です。**
*4　φ＞12MHz **の場合です。**

23.2.5 D/A 変換特性

D/A 変換特性を**表** 23.19 に示します。

表 23.19 D/A **変換特性**

条件 A： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝1～8MHz、
T_a＝－20～＋75**℃（通常仕様品）**、T_a＝－40～＋85**℃（広温度範囲仕様品）**

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝1～16MHz、
T_a＝－20～＋75**℃（通常仕様品）**、T_a＝－40～＋85**℃（広温度範囲仕様品）**

項　目	**条件** A			**条件** C			**単　位**	**測定条件**
	8MHz			16MHz				
	min	Typ	max	min	typ	max		
分解能	8	8	8	8	8	8	**ビット**	
変換時間	－	－	10	－	－	10	**μ**s	**負荷容量** 20pF
絶対精度	－	±2.0	±3.0	－	±1.0	±1.5	LSB	**負荷抵抗** 2M**Ω**
	－	－	±2.0	－	－	±1.0	LSB	**負荷抵抗** 4M**Ω**

23.2.6 フラッシュメモリ特性

フラッシュメモリ特性を**表** 23.20 に示します。

表 23.20 **フラッシュメモリ特性**

条件 A： V_{CC}＝2.7～5.5V、AV_{CC}＝2.7～5.5V、V_{REF}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、V_{PP}＝12V±0.6V、
φ＝1～8MHz、T_a＝－20～＋75**℃（通常仕様品）**、T_a＝－40～＋85**℃（広温度範囲仕様品）**

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、V_{PP}＝12V±0.6V、
φ＝1～16MHz、T_a＝－20～＋75**℃（通常仕様品）**、T_a＝－40～＋85**℃（広温度範囲仕様品）**

項　目	**記　号**	min	typ	max	**単位**	**測定条件**
書込み時間*1	t_P	－	50	1000	**μ**s	
消去時間*1	t_E	－	1	30	s	
書換え回数	N_{WEC}	－	－	100	**回**	
ベリファイ・セットアップ時間 1*1	t_{VS1}	4	－	－	**μ**s	
ベリファイ・セットアップ時間 2*1	t_{VS2}	2	－	－	**μ**s	
フラッシュメモリ・リード・セットアップ時間*2	t_{FRS}	50	－	－	**μ**s	V_{CC}≧4.5V
		100	－	－		V_{CC}＜4.5V

【注】 *1 **各設定時間は、書込み、消去のアルゴリズムに従い行ってください。**

*2 V_{PP}E **ビットをクリアした後、プログラム電圧（**V_{PP}**）を** 12V **から** 0～5V **に切り換えた時、または外部クロック使用時の電源投入後とスタンバイ・モードからの復帰時は、フラッシュメモリをリードする前にリード・セットアップ時間以上おいてリードしてください。**V_{PP} **切断時では、**V_{PP} **端子が** V_{CC} ＋2V **のレベルに達した時点からフラッシュメモリをリードするまでのセットアップ時間を規定します。**

23.3 H8/3048F-ONE（単一電源方式）の電気的特性［暫定仕様］

23.3.1 絶対最大定格

絶対最大定格を**表** 23.21 に示します。

表 23.21 **絶対最大定格**

項　目	記号	定格値	単位
電源電圧	V_{CC}*1	5V **動作品：**－0.3～＋7.0 3V **動作品：**－0.3～＋4.6	V
入力電圧（FWE）*2	V_{in}	－0.3～V_{CC}＋0.3	V
入力電圧（ポート 7 **以外）**＊2	V_{in}	－0.3～V_{CC}＋0.3	V
入力電圧（ポート 7）	V_{in}	－0.3～AV_{CC}＋0.3	V
リファレンス電源電圧	V_{REF}	－0.3～AV_{CC}＋0.3	V
アナログ電源電圧	AV_{CC}	－0.3～＋7.0	V
アナログ入力電圧	V_{AN}	－0.3～AV_{CC}＋0.3	V
動作温度	T_{opr}	**通常仕様品：**－20～＋75*3	**℃**
		広温度範囲仕様品：－40～＋85*3	
保存温度	T_{stg}	－55～＋125	**℃**

【使用上の注意】

絶対最大定格を超えて LSI **を使用した場合、**LSI **の永久破壊となることがあります。**

【注】 *1 5V **動作品の** V_{CL} **ピンには電源電圧を印加しないでください。**GND **との間に外付けコンデンサを接続してください。**

*2 **いずれの端子にも絶対に** 12V **を印加しないでください。**
12V **を印加した場合、**LSI **の永久破壊となります。**

*3 **フラッシュメモリの書き込み／消去時の動作温度範囲は** 0**℃**～+75**℃です。**

23.3.2 DC 特性

DC 特性を**表** 23.22 に示します。また、出力許容電流値を**表** 23.23 に示します。

表 23.22 DC **特性**（1） **－暫定仕様－**

条件： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V*[1]、
T_a＝－20～＋75℃（**通常仕様品**）、T_a＝－40～＋85℃（**広温度範囲仕様品**）、
（**書き込み／消去時の条件：**T_a＝0～＋75℃）

項　目		記　号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	**ポート** A、$P8_2$～$P8_0$、PB_3～PB_0	V_T^-	1.0	－	－	V	
		V_T^+	－	－	V_{CC}×0.7	V	
		$V_T^+-V_T^-$	0.4	－	－	V	
入力 High **レベル電圧**	RES、STBY、FWE、NMI、MD_2～MD_0	V_{IH}	V_{CC}－0.7	－	V_{CC}＋0.3	V	
	EXTAL		V_{CC}×0.7	－	V_{CC}＋0.3	V	
	ポート 7		2.0	－	AV_{CC}＋0.3	V	
	ポート 1、2、3、4、5、6、9、$P8_4$、$P8_3$、PB_7～PB_4		2.0	－	V_{CC}＋0.3	V	
入力 Low **レベル電圧**	RES、STBY、MD_2～MD_0、FWE	V_{IL}	－0.3	－	0.5	V	
	NMI、EXTAL、**ポート** 1、2、3、4、5、6、7、9、$P8_4$、$P8_3$、PB_7～PB_4		－0.3	－	0.8	V	
出力 High **レベル電圧**	**全出力端子**	V_{OH}	V_{CC}－0.5	－	－	V	I_{OH}＝－200μA
			3.5	－	－	V	I_{OH}＝－1mA
出力 Low **レベル電圧**	**全出力端子**	V_{OL}	－	－	0.4	V	I_{OL}＝1.6mA
	ポート 1、2、5、B		－	－	1.0	V	I_{OL}＝10mA
入力リーク電流	STBY、NMI、RES、FWE、MD_2～MD_0	$\lvert I_{in} \rvert$	－	－	1.0	μA	V_{in}＝0.5～V_{CC}－0.5V
	ポート 7		－	－	1.0	μA	V_{in}＝0.5～AV_{CC}－0.5V
スリーステートリーク電流（オフ状態）	**ポート** 1、2、3、4、5、6、8～B	$\lvert I_{TSI} \rvert$	－	－	1.0	μA	V_{in}＝0.5～V_{CC}－0.5V
入力プルアップ MOS **電流**	**ポート** 2、4、5	$-I_P$	50	－	300	μA	V_{in}＝0V

項　目		記　号	min	typ	max	単位	測定条件
入力容量	FWE	C_{in}	－	－	60	pF	V_{in}＝0V f＝1MHz T_a＝25℃
	NMI		－	－	50	pF	
	FWE、NMI 以外の全入力端子		－	－	15	pF	
消費電流*2	通常動作時*5	I_{CC}*6	－	50	65	mA	f＝16MHz
			－	TBD	TBD		f＝25MHz
	スリープ時		－	35	50		f＝16MHz
			－	TBD	TBD		f＝25MHz
	モジュールスタンバイ時*4		－	20	25		f＝16MHz
			－	TBD	TBD		f＝25MHz
	スタンバイ時*3		－	1	10	μA	T_a≦50℃
			－	－	80		50℃＜T_a
アナログ電源電流	A/D 変換中	AI_{CC}	－	0.5	1.5	mA	
	A/D、D/A 変換中		－	0.5	1.5		
	A/D、D/A 変換待機時		－	0.01	5	μA	DASTE=0 時
リファレンス電源電流	A/D 変換中	AI_{CC}	－	0.4	0.8	mA	V_{REF}＝5.0V
	A/D、D/A 変換中		－	1.5	3.0		
	A/D、D/A 変換待機時		－	0.01	5	μA	DASTE＝0 時
RAM スタンバイ電圧		V_{RAM}	2.0	－	－	V	

【注】 *1 A/D 変換器と D/A 変換器を未使用時に、AV_{CC}、V_{REF}、AV_{SS} 端子を開放しないでください。
AV_{CC}、V_{REF} 端子は V_{CC} に、AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2 消費電流値は、V_{IH}min＝V_{CC}－0.5V、V_{IL}max＝0.5V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 V_{RAM}≦V_{CC}＜4.5V のとき、$V_{IH\ MIN}$＝V_{CC}×0.9、$V_{IL\ MAX}$＝0.3V とした場合の値です。

*4 モジュールスタンバイ時の電流値は、全モジュールを停止しスリープ状態とした場合の値です。

*5 フラッシュメモリ書き込み／消去時（T_a＝0～＋75℃）の消費電流値は、通常動作時の消費電流値に 20 mA（max）を加えた値になります。

*6 I_{CC} は下記の式に従って V_{CC} と f に依存します。
I_{CC} max.（通常動作時）＝TBD〔mA〕＋TBD〔mA／（MHz×V）〕×V_{CC}×f
I_{CC} max.（スリープ時）＝TBD〔mA〕＋TBD〔mA／（MHz×V）〕×V_{CC}×f
I_{CC} max.（スリープ＋モジュールスタンバイ時）＝TBD〔mA〕＋TBD〔mA／（MHz×V）〕×V_{CC}×f
また、消費電流の typ.値は参考値です。

表 23.22 DC 特性（2） －暫定仕様－

条件： V_{CC}＝3.0V～3.6V、AV_{CC}＝3.0V～3.6V、V_{REF}＝3.0V～AV_{CC}、V_{SS}＝AV_{SS}＝0V*[1]、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）、
（書き込み／消去時の条件：T_a＝0～＋75℃）

項　目		記　号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	ポート A、$P8_2$～$P8_0$、PB_3～PB_0	V_T^-	V_{CC}×0.2	－	－	V	
		V_T^+	－	－	V_{CC}×0.7	V	
		$V_T^+-V_T^-$	V_{CC}×0.07	－	－	V	
入力 High レベル電圧	RES、STBY、FWE、NMI、MD_2～MD_0	V_{IH}	V_{CC}×0.9	－	V_{CC}＋0.3	V	
	EXTAL		V_{CC}×0.7	－	V_{CC}＋0.3	V	
	ポート 7		V_{CC}×0.7	－	AV_{CC}＋0.3	V	
	ポート 1、2、3、4、5、6、9、$P8_4$、$P8_3$、PB_7～PB_4		V_{CC}×0.7	－	V_{CC}＋0.3	V	
入力 Low レベル電圧	RES、STBY、MD_2～MD_0、FWE	V_{IL}	－0.3	－	V_{CC}×0.1	V	
	NMI、EXTAL、ポート 1、2、3、4、5、6、7、9、$P8_4$、$P8_3$、PB_7～PB_4		－0.3	－	V_{CC}×0.2	V	
出力 High レベル電圧	全出力端子	V_{OH}	V_{CC}－0.5	－	－	V	I_{OH}＝－200μA
			V_{CC}－1.0	－	－	V	I_{OH}＝－1mA
出力 Low レベル電圧	全出力端子	V_{OL}	－	－	0.4	V	I_{OL}＝1.6mA
	ポート 1、2、5、B		－	－	1.0	V	I_{OL}＝5mA
入力リーク電流	STBY、NMI、RES、FWE、MD_2～MD_0	$\lvert I_{in} \rvert$	－	－	1.0	μA	V_{in}＝0.5～V_{CC}－0.5V
	ポート 7		－	－	1.0	μA	V_{in}＝0.5～AV_{CC}－0.5V
スリーステートリーク電流（オフ状態）	ポート 1、2、3、4、5、6、8～B	$\lvert I_{TSI} \rvert$	－	－	1.0	μA	V_{in}＝0.5～V_{CC}－0.5V
入力プルアップ MOS 電流	ポート 2、4、5	$-I_P$	10	－	300	μA	V_{in}＝0V

23. 電気的特性（H8/3048F-ONE：単一電源方式）［暫定仕様］

項　目		記　号	min	typ	max	単位	測定条件
入力容量	FWE	C_{in}	－	－	60	pF	V_{in}＝0V
	NMI		－	－	50	pF	f＝1MHz
	FWE、NMI 以外の全入力端子		－	－	15	pF	T_a＝25℃
消費電流*2	通常動作時*5	I_{CC}*6	－	12（3.3V）	25（3.6V）	mA	f＝8MHz
			－	TBD	TBD		f＝25MHz
	スリープ時		－	8（3.3V）	19（3.6V）		f＝8MHz
			－	TBD	TBD		f＝25MHz
	モジュールスタンバイ時*4		－	5（3.3V）	10.0（3.6V）		f＝8MHz
			－	TBD	TBD		f＝25MHz
	スタンバイ時*3		－	1	10	μA	T_a≦50℃
			－	－	80		50℃＜T_a
アナログ電源電流	A/D 変換中	AI_{CC}	－	0.2	0.5	mA	AV_{CC}＝3.0V
	A/D、D/A 変換中		－	0.2	0.5		
	A/D、D/A 変換待機時		－	0.01	5	μA	DASTE=0 時
リファレンス電源電流	A/D 変換中	AI_{CC}	－	0.3	0.6	mA	V_{REF}＝3.0V
	A/D、D/A 変換中		－	1	2		
	A/D、D/A 変換待機時		－	0.01	5	μA	DASTE＝0 時
RAM スタンバイ電圧		V_{RAM}	2.0	－	－	V	

【注】 *1 A/D 変換器と D/A 変換器を未使用時に、AV_{CC}、V_{REF}、AV_{SS} 端子を開放しないでください。
AV_{CC}、V_{REF} 端子は V_{CC} に、AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2 消費電流値は、V_{IH}min＝V_{CC}－0.5V、V_{IL}max＝0.5V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 V_{RAM}≦V_{CC}＜4.5V のとき、$V_{IH\ MIN}$＝V_{CC}×0.9、$V_{IL\ MAX}$＝0.3V とした場合の値です。

*4 モジュールスタンバイ時の電流値は、全モジュールを停止しスリープ状態とした場合の値です。

*5 フラッシュメモリ書き込み／消去時（T_a＝0～＋75℃）の消費電流値は、通常動作時の消費電流値に 20 mA（max）を加えた値になります。

*6 I_{CC} は下記の式に従って V_{CC} と f に依存します。
I_{CC} max.（通常動作時）＝TBD〔mA〕＋TBD〔mA／（MHz×V）〕×V_{CC}×f
I_{CC} max.（スリープ時）＝TBD〔mA〕＋TBD〔mA／（MHz×V）〕×V_{CC}×f
I_{CC} max.（スリープ＋モジュールスタンバイ時）＝TBD〔mA〕＋TBD〔mA／（MHz×V）〕×V_{CC}×f
また、消費電流の typ.値は参考値です。

表 23.23　出力許容電流値　　－暫定仕様－

条件： V_{CC}＝3.0～5.5V、AV_{CC}＝3.0～5.5V、V_{REF}＝3.0V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項　目		記　号	min	typ	max	単位
出力 Low レベル許容電流（1 端子あたり）	ポート 1、2、5、B	I_{OL}	－	－	10	mA
	上記以外の出力端子		－	－	2.0	mA
出力 Low レベル許容電流（総和）	ポート 1、2、5、B、28 端子の総和	ΣI_{OL}	－	－	80	mA
	上記を含む、全出力端子の総和		－	－	120	mA
出力 High レベル許容電流（1 端子あたり）	全出力端子	I_{OH}	－	－	2.0	mA
出力 High レベル許容電流（総和）	全出力端子の総和	ΣI_{OH}	－	－	40	mA

【注】 1.　LSI の信頼性を確保するため、出力電流値は表 23.23 の値を超えないようにしてください。
2.　ダーリントントランジスタや、LED を直接駆動する場合には、図 23.7、図 23.8 に示すように、出力に必ず電流制限抵抗を挿入してください。

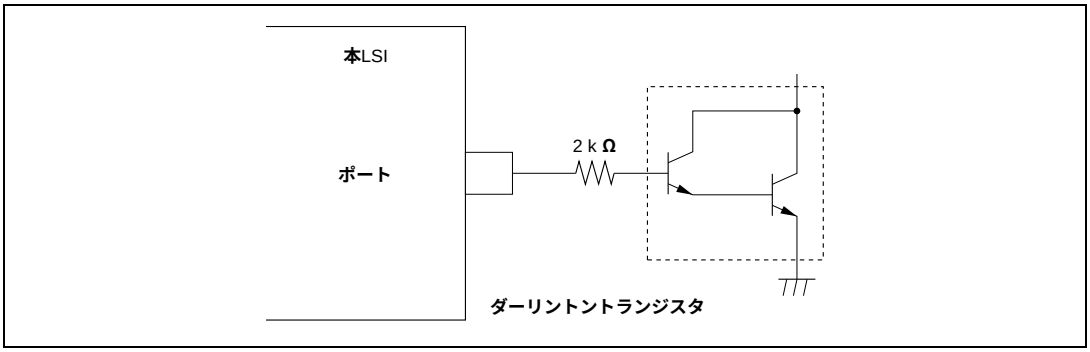


図 23.7　ダーリントントランジスタ駆動回路例

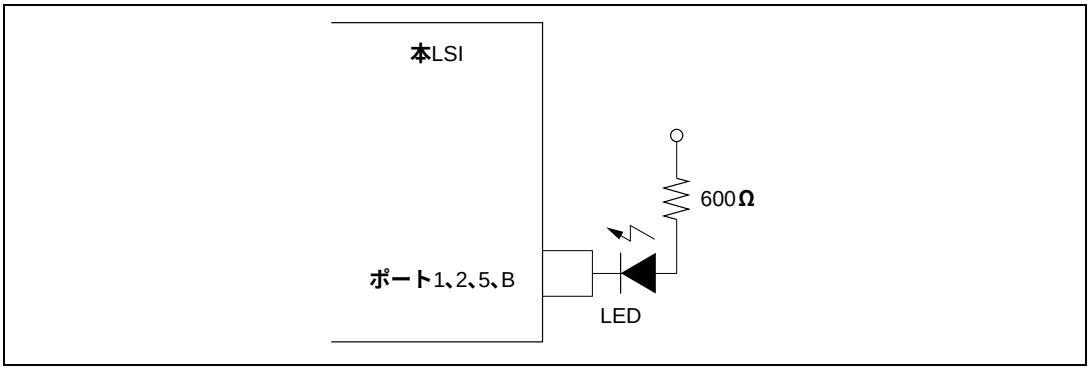


図 23.8　LED 駆動回路例

23.3.3 AC 特性

表 23.24 にバスタイミング、**表** 23.25 にリフレッシュコントローラバスタイミング、**表** 23.26 に制御信号タイミングを示します。また、**表** 23.27 に内蔵周辺モジュールタイミングを示します。

表 23.24 **バスタイミング**（1） **－暫定仕様－**

条件 A： V_{CC}＝3.0～3.6V、AV_{CC}＝3.0～3.6V、V_{REF}＝3.0V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝2～25 MHz、
T_a＝－20～＋75**℃（通常仕様品）**、T_a＝－40～＋85**℃（広温度範囲仕様品）**

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝2～25MHz、
T_a＝－20～＋75**℃（通常仕様品）**、T_a＝－40～＋85**℃（広温度範囲仕様品）**

項　目	**記号**	**条件** A		**条件** C		**測定条件**
		25MHz		25MHz		
		min	max	min	max	
クロックサイクル時間	t_{cyc}	40	500	40	500	**図** 23.10、**図** 23.11
クロックパルス幅 Low **レベル時間**	t_{CL}	10	－	10	－	
クロックパルス幅 High **レベル時間**	t_{CH}	10	－	10	－	
クロック立上がり時間	t_{CR}	－	10	－	10	
クロック立下がり時間	t_{CF}	－	10	－	10	
アドレス遅延時間	t_{AD}	－	30	－	25	
アドレスホールド時間	t_{AH}	$0.5t_{cyc}$－20	－	$0.5t_{cyc}$－20	－	
アドレスストローブ遅延時間	t_{ASD}	－	25	－	25	
ライトストローブ遅延時間	t_{WSD}	－	25	－	25	
ストローブ遅延時間	t_{SD}	－	25	－	25	
ライトデータストローブパルス幅 1	t_{WSW1}	$1.0t_{cyc}$－25	－	$1.0t_{cyc}$－25	－	
ライトデータストローブパルス幅 2	t_{WSW2}	$1.5t_{cyc}$－25	－	$1.5t_{cyc}$－25	－	
アドレスセットアップ時間 1	t_{AS1}	$0.5t_{cyc}$－25	－	$0.5t_{cyc}$－20	－	
アドレスセットアップ時間 2	t_{AS2}	$1.0t_{cyc}$－25	－	$1.0t_{cyc}$－20	－	
リードデータセットアップ時間	t_{RDS}	20	－	25	－	
リードデータホールド時間	t_{RDH}	0	－	0	－	
ライトデータ遅延時間	t_{WDD}	－	40	－	35	
ライトデータセットアップ時間 1	t_{WDS1}	$1.0t_{cyc}$－35	－	$1.0t_{cyc}$－30	－	
ライトデータセットアップ時間 2	t_{WDS2}	$0.5t_{cyc}$－35	－	$0.5t_{cyc}$－30	－	
ライトデータホールド時間	t_{WDH}	$0.5t_{cyc}$－15	－	$0.5t_{cyc}$－15	－	
リードデータアクセス時間 1	t_{ACC1}	－	$1.5t_{cyc}$－50	－	$1.5t_{cyc}$－45	
リードデータアクセス時間 2	t_{ACC2}	－	$2.5t_{cyc}$－50	－	$2.5t_{cyc}$－45	

単位：ns

表 23.24 **バスタイミング**（2） **－暫定仕様－**

条件 A： V_{CC}＝3.0～3.6V、AV_{CC}＝3.0～3.6V、V_{REF}＝3.0V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝2～25MHz、
T_a＝－20～＋75**℃（通常仕様品）**、T_a＝－40～＋85**℃（広温度範囲仕様品）**

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝2～25MHz、
T_a＝－20～＋75**℃（通常仕様品）**、T_a＝－40～＋85**℃（広温度範囲仕様品）**

項目	**記号**	**条件** A		**条件** C		**測定条件**
		25MHz		25MHz		
		min	max	min	max	
リードデータアクセス時間 3	t_{ACC3}	－	$1.0t_{cyc}$－45	－	$1.0t_{cyc}$－45	**図** 23.10、**図** 23.11
リードデータアクセス時間 4	t_{ACC4}	－	$2.0t_{cyc}$－45	－	$2.0t_{cyc}$－45	
プリチャージ時間	t_{PCH}	$1.0t_{cyc}$－20	－	$1.0t_{cyc}$－20	－	
ウェイトセットアップ時間	t_{WTS}	25	－	25	－	**図** 23.12
ウェイトセットホールド時間	t_{WTH}	5	－	5	－	
バスリクエストセットアップ時間	t_{BRQS}	25	－	25	－	**図** 23.24
バスアクノリッジ遅延時間 1	t_{BACD1}	－	30	－	30	
バスアクノリッジ遅延時間 2	t_{BACD2}	－	30	－	30	
バスフローティング時間	t_{BZD}	－	30	－	30	

単位：ns

表 23.25　リフレッシュコントローラバスタイミング　　－暫定仕様－

条件 A： V_{CC}＝3.0～3.6V、AV_{CC}＝3.0～3.6V、V_{REF}＝3.0V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝2～25MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝2～25MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項目	記号	条件 A		条件 C		測定条件
		25MHz		25MHz		
		min	max	min	max	
RAS 遅延時間 1	t_{RAD1}	－	30	－	25	図 23.13 ～ 図 23.19
RAS 遅延時間 2	t_{RAD2}	－	30	－	25	
RAS 遅延時間 3	t_{RAD3}	－	30	－	25	
ロウアドレスホールド時間*	t_{RAH}	0	－	0	－	
RAS プリチャージ時間*	t_{RP}	20	－	20	－	
CAS to RAS プリチャージ時間*	t_{CRP}	20	－	20	－	
CAS パルス幅	t_{CAS}	40	－	40	－	
RAS アクセス時間*	t_{RAC}	－	30	－	35	
アドレスアクセス時間	t_{AA}	－	10	－	15	
CAS アクセス時間*	t_{CAC}	－	－5	－	－5	
ライトデータセットアップ時間 3	t_{WDS3}	$1.0t_{cyc}$－35	－	$1.0t_{cyc}$－30	－	
CAS セットアップ時間*	t_{CSR}	TBD	－	TBD	－	
リードストローブ遅延時間	t_{RSD}	－	25	－	25	

単位：ns

【注】 *　3V（25MHz）版使用時、下記の時間は以下に示すようにクロックサイクル時間に依存します。

t_{RAH}＝0.5×t_{cyc}－20（ns）　t_{CAC}＝1.0×t_{cyc}－45（ns）
t_{RAC}＝2.0×t_{cyc}－50（ns）　t_{CSR}＝TBD×t_{cyc}－TBD（ns）
t_{RP}＝t_{CRP}＝1.0×t_{cyc}－20（ns）

5V（25MHz）版使用時、下記の時間は以下に示すようにクロックサイクル時間に依存します。

t_{RAH}＝0.5×t_{cyc}－20（ns）　t_{CAC}＝1.0×t_{cyc}－45（ns）
t_{RAC}＝2.0×t_{cyc}－45（ns）　t_{CSR}＝TBD×t_{cyc}－TBD（ns）
t_{RP}＝t_{CRP}＝1.0×t_{cyc}－20（ns）

表 23.26 **制御信号タイミング** **－暫定仕様－**

条件 A： V_{CC}＝3.0～3.6V、AV_{CC}＝3.0～3.6V、V_{REF}＝3.0V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝2～25MHz、
T_a＝－20～＋75℃（**通常仕様品**）、T_a＝－40～＋85℃（**広温度範囲仕様品**）

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝2～25MHz、
T_a＝－20～＋75℃（**通常仕様品**）、T_a＝－40～＋85℃（**広温度範囲仕様品**）

項目	**記号**	**条件** A		**条件** C		**単位**	**測定条件**
		25MHz		25MHz			
		min	max	min	max		
RES **セットアップ時間**	t_{RESS}	150	－	150	－	ns	**図** 23.21
RES **パルス幅**	t_{RESW}	20	－	20	－	t_{cyc}	
モードプログラミングセットアップ時間	t_{MDS}	200	－	200	－	ns	
NMI **セットアップ時間**（NMI、IRQ_5～IRQ_0）	t_{NMIS}	150	－	150	－	ns	**図** 23.23
NMI **ホールド時間**（NMI、IRQ_5～IRQ_0）	t_{NMIH}	10	－	10	－	ns	
割込みパルス幅（NMI、IRQ_2～IRQ_0）**ソフトウェアスタンバイモードからの復帰時**	t_{NMIW}	200	－	200	－	ns	
リセット発振安定時間（水晶）	t_{OSC1}	20	－	20	－	ms	**図** 23.25
ソフトウェアスタンバイ発振安定時間（水晶）	t_{OSC2}	7	－	7	－	ms	**図** 22.1

表 23.27　内蔵周辺モジュールタイミング　　－暫定仕様－

条件 A： V_{CC}＝3.0～3.6V、AV_{CC}＝3.0～3.6V、V_{REF}＝3.0V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝2～25MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝2～25MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

モジュール	項目		記号	条件 A		条件 C		単位	測定条件
				25MHz		25MHz			
				min	max	min	max		
DMAC	DREQ セットアップ時間		t_{DRQS}	35	－	30	－	ns	図 23.33
	DREQ ホールド時間		t_{DRQH}	10	－	10	－		
	TEND 遅延時間 1		t_{TED1}	－	55	－	50		図 23.31、図 23.32
	TEND 遅延時間 2		t_{TED2}	－	55	－	50		
ITU	タイマ出力遅延時間		t_{TOCD}	－	100	－	100		図 23.27
	タイマ入力セットアップ時間		t_{TICS}	50	－	50	－		
	タイマクロック入力セットアップ時間		t_{TCKS}	50	－	50	－		図 23.28
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH} t_{TCKWL}	1.5	－	1.5	－	t_{CYC}	
		両エッジ指定		2.5	－	2.5	－		
SCI	入力クロックサイクル	調歩同期	t_{SCYC}	4	－	4	－		図 23.29
		クロック同期		6	－	6	－		
	入力クロック立上がり時間		t_{SCKr}	1.5	－	1.5	－		
	入力クロック立下がり時間		t_{SCKf}	1.5	－	1.5	－		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	0.4	0.6	t_{SCYC}	
	送信データ遅延時間		t_{TXD}	－	100	－	100	ns	図 23.30
	受信データセットアップ時間（クロック同期）		t_{RXS}	100	－	100	－		
	受信データホールド時間（クロック同期）	クロック入力	t_{RXH}	100	－	100	－		
		クロック出力		0	－	0	－		
ポート TPC	出力データ遅延時間		t_{PWD}	－	100	－	100		図 23.26
	入力データセットアップ時間		t_{PRS}	50	－	50	－		
	入力データホールド時間		t_{PRH}	50	－	50	－		

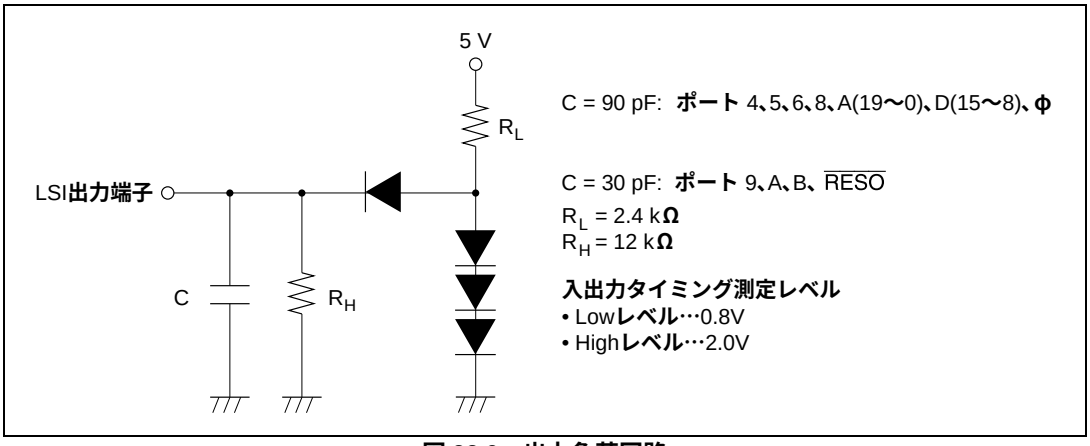


図 23.9　出力負荷回路

23.3.4　A/D 変換特性

A/D 変換特性を表 23.28 に示します。

表 23.28　A/D 変換特性　　－暫定仕様－

条件 A：V_{CC}＝3.0～3.6V、AV_{CC}＝3.0～3.6V、V_{REF}＝3.0V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝2～25MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

条件 C：V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝2～25MHz、
T_a＝－20～＋75℃（通常仕様品）、T_a＝－40～＋85℃（広温度範囲仕様品）

項　目		条件 A			条件 C			単位
		25MHz			25MHz			
		min	typ	max	min	typ	max	
分解能		10	10	10	10	10	10	ビット
変換時間		5.4	－	－	5.4	－	－	μs
アナログ入力容量		－	－	20	－	－	20	pF
許容信号源インピーダンス	4.0≦AV_{CC}≦5.5	－	－	－	－	－	－	kΩ
	3.0≦AV_{CC}＜4.0	－	－	5	－	－	－	
	φ≦13MHz	－	－	－	－	－	10	
	φ＞13MHz	－	－	－	－	－	5	
非直線性誤差		－	－	±7.5	－	－	±3.5	LSB
オフセット誤差		－	－	±7.5	－	－	±3.5	LSB
フルスケール誤差		－	－	±7.5	－	－	±3.5	LSB
量子化誤差		－	－	±0.5	－	－	±0.5	LSB
絶対精度		－	－	±8.0	－	－	±4.0	LSB

23.3.5 D/A 変換特性

D/A 変換特性を**表** 23.29 に示します。

表 23.29 D/A **変換特性** **－暫定仕様－**

条件 A： V_{CC}＝3.0～3.6V、AV_{CC}＝3.0～3.6V、V_{REF}＝3.0V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝2～25MHz、
T_a＝－20～＋75**℃（通常仕様品）**、T_a＝－40～＋85**℃（広温度範囲仕様品）**

条件 C： V_{CC}＝5.0V±10%、AV_{CC}＝5.0V±10%、V_{REF}＝4.5V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝2～25MHz、
T_a＝－20～＋75**℃（通常仕様品）**、T_a＝－40～＋85**℃（広温度範囲仕様品）**

項　目	**条件** A			**条件** C			**単　位**	**測定条件**
	25MHz			25MHz				
	min	Typ	max	min	typ	max		
分解能	8	8	8	8	8	8	**ビット**	
変換時間	－	－	10	－	－	10	**μ**s	**負荷容量** 20pF
絶対精度	－	±2.0	±3.0	－	±1.0	±1.5	LSB	**負荷抵抗** 2M**Ω**
	－	－	±2.0	－	－	±1.0	LSB	**負荷抵抗** 4M**Ω**

23.3.6 フラッシュメモリ特性

表 23.30 にフラッシュメモリ特性を示します。

表 23.30 **フラッシュメモリ特性**（1） **－暫定仕様－**

条件： V_{CC}＝4.5～5.5V、AV_{CC}＝4.5～5.5V、V_{REF}＝4.5～AV_{CC}、V_{SS}＝AV_{SS}＝0V
T_a＝0～＋75℃（**書き込み／消去時の動作温度範囲**）

項　目		記号	min	typ	max	単位	特記
書き込み時間*1*2*4		t_p	－	10	200	ms/128 **バイト**	
消去時間*1*3*5		t_E	－	100	1200	ms/**ブロック**	
書き換え回数		N_{WEC}	－	－	100	**回**	
書き込み時	SWE **ビットセット後のウェイト時間***1	t_{sswe}	1	1	－	μs	
	PSU **ビットセット後のウェイト時間***1	t_{spsu}	50	50	－	μs	
	P **ビットセット後のウェイト時間***1*4	t_{sp30}	28	30	32	μs	**書き込み時間ウェイト**
		t_{sp200}	198	200	202	μs	**書き込み時間ウェイト**
		t_{sp10}	8	10	12	μs	**追加書き込み時間ウェイト**
	P **ビットクリア後のウェイト時間***1	t_{cp}	5	5	－	μs	
	PSU **ビットクリア後のウェイト時間***1	t_{cpsu}	5	5	－	μs	
	PV **ビットセット後のウェイト時間***1	t_{spv}	4	4	－	μs	
	H'FF **ダミーライト後のウェイト時間***1	t_{spvr}	2	2	－	μs	
	PV **ビットクリア後のウェイト時間***1	t_{cpv}	2	2	－	μs	
	SWE **ビットクリア後のウェイト時間***1	t_{cswe}	100	100	－	μs	
	最大書き込み回数*1*4	N	－	－	1000	**回**	
消去時	SWE **ビットセット後のウェイト時間***1	t_{sswe}	1	1	－	μs	
	ESU **ビットセット後のウェイト時間***1	t_{sesu}	100	100	－	μs	
	E **ビットセット後のウェイト時間***1*5	t_{se}	10	10	100	ms	**消去時間ウェイト**
	E **ビットクリア後のウェイト時間***1	t_{ce}	10	10	－	μs	
	ESU **ビットクリア後のウェイト時間***1	t_{cesu}	10	10	－	μs	
	EV **ビットセット後のウェイト時間***1	t_{sev}	20	20	－	μs	
	H'FF **ダミーライト後のウェイト時間***1	t_{sevr}	2	2	－	μs	
	EV **ビットクリア後のウェイト時間***1	t_{cev}	4	4	－	μs	
	SWE **ビットクリア後のウェイト時間***1	t_{cswe}	100	100	－	μs	
	最大消去回数*1*5	N	12	－	120	**回**	

【注】 *1 **各時間の設定は、書き込み／消去のアルゴリズムに従い、行ってください。**

*2 128 **バイト単位の書き込み時間（フラッシュメモリコントロールレジスタ**（FLMCR1）**の** P **ビットをセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。）**

*3 1 **ブロックを消去する時間**（FLMCR1 **の** E **ビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。）**

*4　128 バイト書き込みアルゴリズムにおいて書き込み時間の最大値（t_P（max））を規定するために、最大書き込み回数（N）の値は max 値（1000）を設定してください。
また P ビットセット後のウェイト時間は、下記のように書き込み回数カウンタ（n）の回数によって切り替えてください。

書き込み回数カウンタ（n）	1〜6 回の場合	t_{sp30}＝30μs
書き込み回数カウンタ（n）	7〜1000 回の場合	t_{sp200}＝200μs
[追加書き込み時]書き込み回数カウンタ（n）	1〜6 回の場合	t_{sp10}＝10μs

*5　消去時間の最大値（t_E（max））に対して、E ビットセット後のウェイト時間（t_{se}）と最大消去回数（N）は以下の関係にあります。

t_E（max）＝E ビットセット後のウェイト時間（t_{se}）×最大消去回数（N）

消去時間の最大値を規定するために、t_{se} および N の値は上記計算式を満たすように設定してください。

（例）　t_{se}＝100[ms]の場合、N＝12 回
（例）　t_{se}＝10[ms]の場合、N＝120 回

表 23.31 フラッシュメモリ特性（2） －暫定仕様－

条件：V_{CC}＝3.0～3.6 V、AV_{CC}＝3.0～3.6 V、V_{REF}＝3.0～AV_{CC}、V_{SS}＝AV_{SS}＝0V
T_a＝0～+75℃（書き込み／消去時の動作温度範囲）

項 目		記号	min.	typ.	max.	単位	特記
書き込み時間*1*2*4		t_P	－	10	200	ms/128 バイト	
消去時間*1*3*5		t_E	－	100	1200	ms/ブロック	
書き換え回数		N_{WEC}	－	－	100	回	
書き込み時	SWE ビットセット後のウェイト時間*1	t_{sswe}	1	1	－	μs	
	PSU ビットセット後のウェイト時間*1	t_{spsu}	50	50	－	μs	
	P ビットセット後のウェイト時間*1*4	t_{sp30}	28	30	32	μs	書き込み時間ウェイト
		t_{sp200}	198	200	202	μs	書き込み時間ウェイト
		t_{sp10}	8	10	12	μs	追加書き込み時間ウェイト
	P ビットクリア後のウェイト時間*1	t_{cp}	5	5	－	μs	
	PSU ビットクリア後のウェイト時間*1	t_{cpsu}	5	5	－	μs	
	PV ビットセット後のウェイト時間*1	t_{spv}	4	4	－	μs	
	H'FF ダミーライト後のウェイト時間*1	t_{spvr}	2	2	－	μs	
	PV ビットクリア後のウェイト時間*1	t_{cpv}	2	2	－	μs	
	SWE ビットクリア後のウェイト時間*1	t_{cswe}	100	100	－	μs	
	最大書き込み回数*1*4	N	－	－	1000	回	
消去時	SWE ビットセット後のウェイト時間*1	t_{sswe}	1	1	－	μs	
	ESU ビットセット後のウェイト時間*1	t_{sesu}	100	100	－	μs	
	E ビットセット後のウェイト時間*1*5	t_{se}	10	10	100	ms	消去時間ウェイト
	E ビットクリア後のウェイト時間*1	t_{ce}	10	10	－	μs	
	ESU ビットクリア後のウェイト時間*1	t_{cesu}	10	10	－	μs	
	EV ビットセット後のウェイト時間*1	t_{sev}	20	20	－	μs	
	H'FF ダミーライト後のウェイト時間*1	t_{sevr}	2	2	－	μs	
	EV ビットクリア後のウェイト時間*1	t_{cev}	4	4	－	μs	
	SWE ビットクリア後のウェイト時間*1	t_{cswe}	100	100	－	μs	
	最大消去回数*1*5	N	12	－	120	回	

【注】 *1 各時間の設定は、書き込み／消去のアルゴリズムに従い行ってください。

*2 128 バイト単位の書き込み時間（フラッシュメモリコントロールレジスタ（FLMCR1）の P ビットをセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。）

*3 1 ブロックを消去する時間（FLMCR1 の E ビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。）

*4 128 バイト書き込みアルゴリズムにおいて書き込み時間の最大値（t_P（max））を規定するために、最大書き込み回数（N）の値は max.値（1000）を設定してください。
また P ビットセット後のウェイト時間は、下記のように書き込み回数カウンタ（n）の回数によって切り替えてください。

書き込み回数カウンタ（n） 1～6 回の場合 t_{sp30}＝30 μs
書き込み回数カウンタ（n） 7～1000 回の場合 t_{sp200}＝200 μs
〔追加書き込み時〕
書き込み回数カウンタ（n） 1～6 回の場合 t_{sp10}＝10 μs

*5 消去時間の最大値（t_E（max））に対して、E ビットセット後のウェイト時間（t_{se}）と最大消去回数（N）は以下の関係にあります。

t_E（max）＝E ビットセット後のウェイト時間（t_{se}）×最大消去回数（N）

消去時間の最大値を規定するために、t_{se} および N の値は上記計算式を満たすように設定してください。

（例） t_{se}＝100［ms］の場合、N＝12 回

（例） t_{se}＝10［ms］の場合、N＝120 回

23.4　動作タイミング

動作タイミングを以下に示します。

23.4.1　バスタイミング

バスタイミングを以下に示します。

(1)　基本バスタイミング／2 ステートアクセス

図 23.10 に外部 2 ステートアクセス時の動作タイミングを示します。

(2)　基本バスタイミング／3 ステートアクセス

図 23.11 に外部 3 ステートアクセス時の動作タイミングを示します。

(3)　基本バスタイミング／3 ステートアクセス 1 ウェイト

図 23.12 に外部 3 ステートアクセスで 1 ウェイトを挿入したときの動作タイミングを示します。

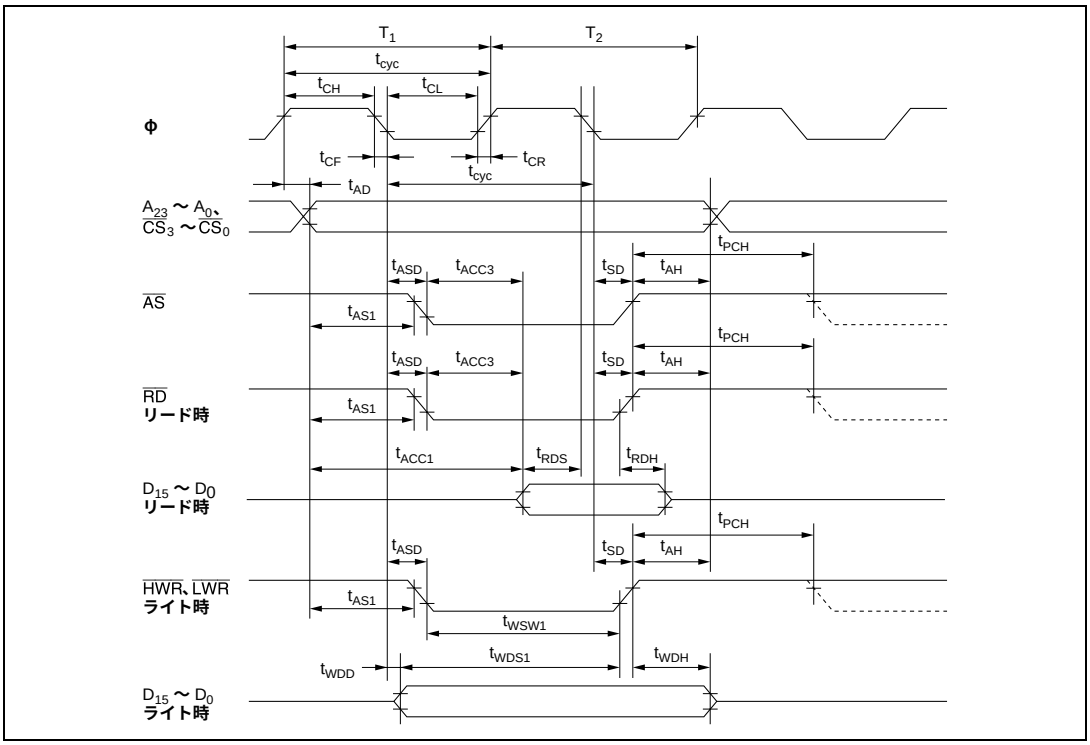


図 23.10　**基本バスタイミング／2 ステートアクセス**

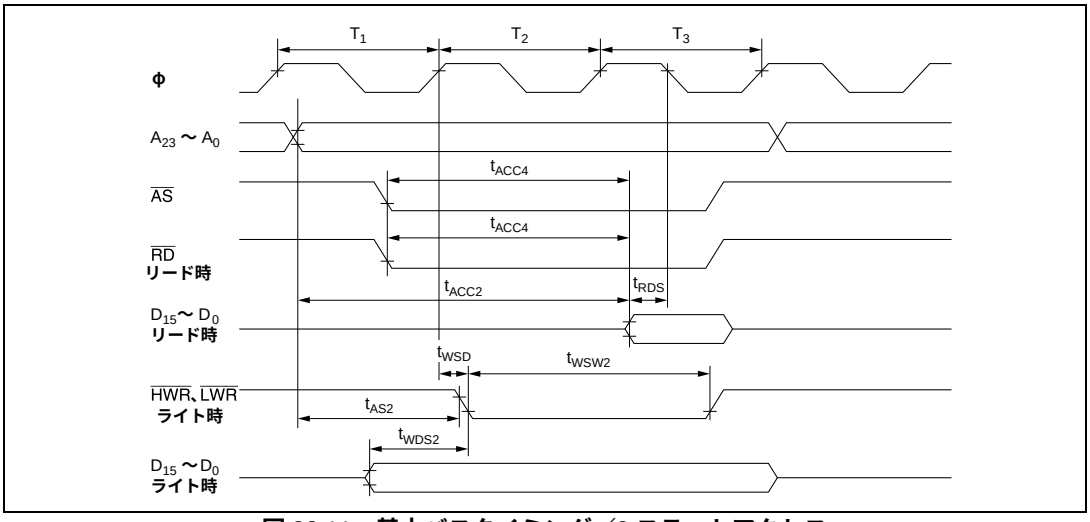


図 23.11　**基本バスタイミング／**3 **ステートアクセス**

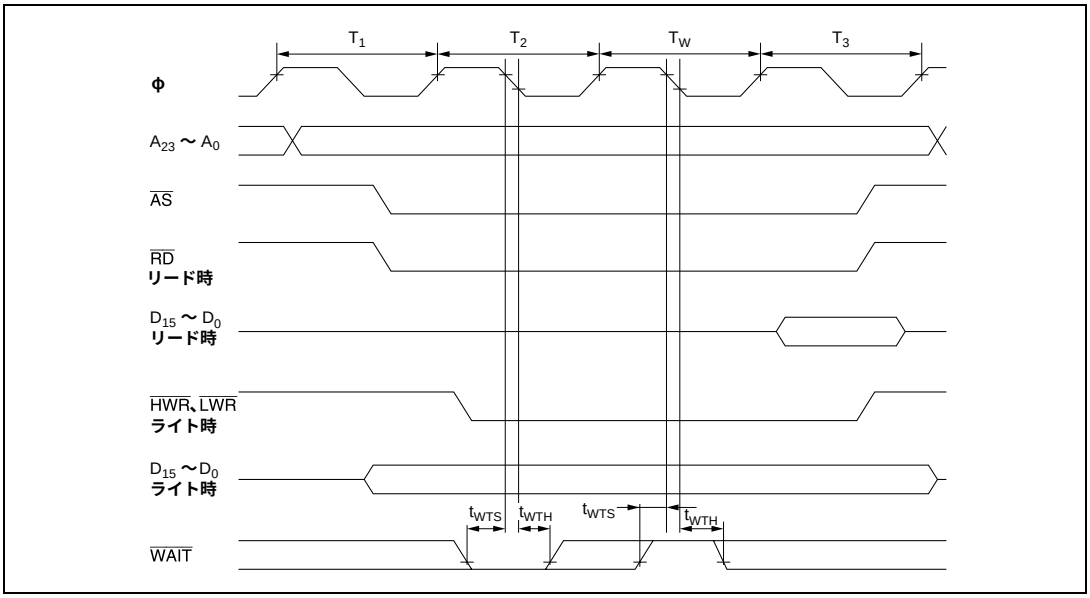


図 23.12　**基本バスタイミング／**3 **ステートアクセス** 1 **ウェイト**

23.4.2　リフレッシュコントローラバスタイミング

リフレッシュコントローラのバスタイミングを以下に示します。

(1)　DRAM バスタイミング

図 23.13～**図** 23.18 に DRAM バスタイミングを動作モード別に示します。

(2)　PSRAM バスタイミング

図 23.19、**図** 23.20 に PSRAM バスタイミングを動作モード別に示します。

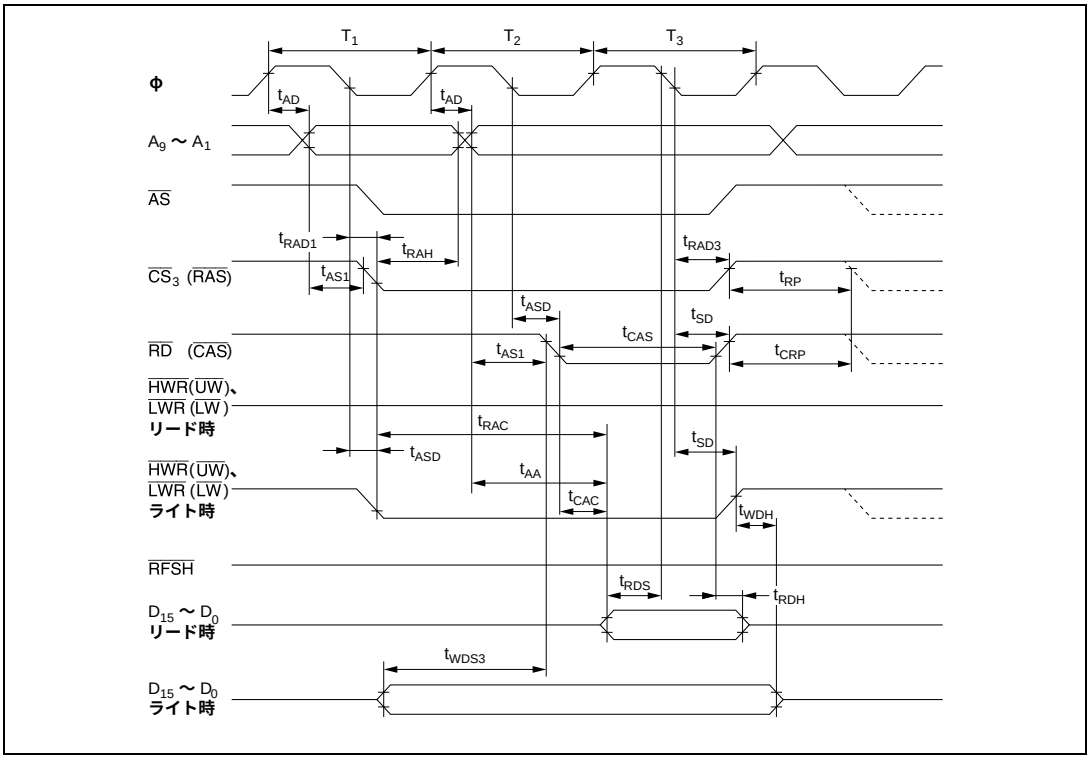


図 23.13　DRAM **バスタイミング（リード／ライト時）**／3 **ステートアクセス**
— 2WE **方式** —

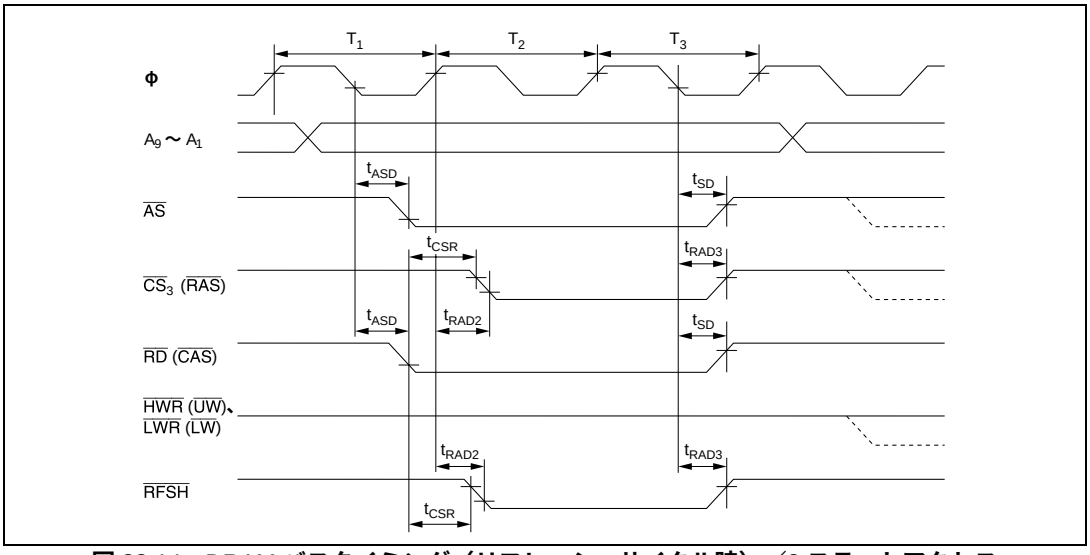


図 23.14　DRAM **バスタイミング（リフレッシュサイクル時）／**3 **ステートアクセス**
— 2WE **方式** —

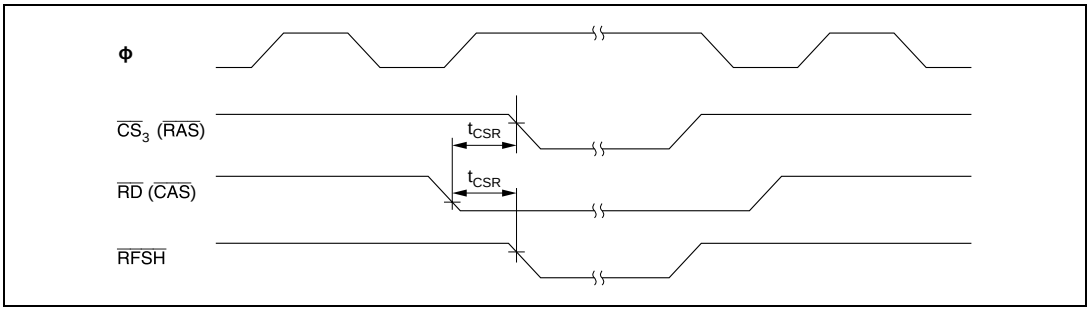


図 23.15　DRAM **バスタイミング（セルフリフレッシュモード）**
— 2WE **方式** —

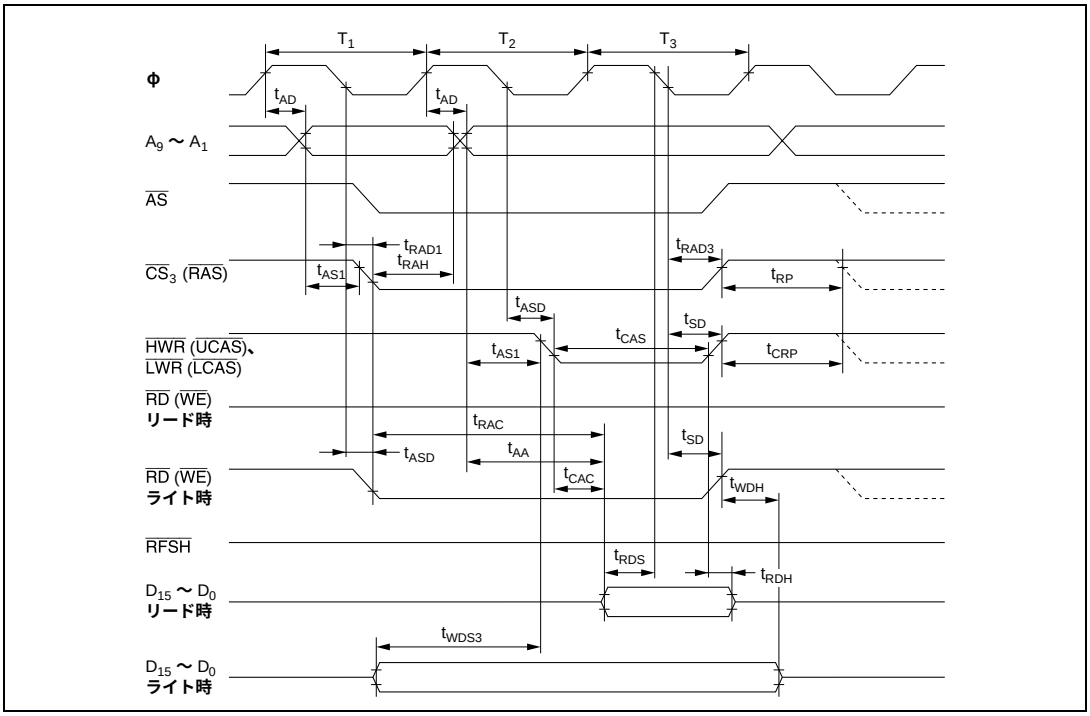


図 23.16　DRAM **バスタイミング（リード／ライト時）**／3 **ステートアクセス**
— 2CAS **方式** —

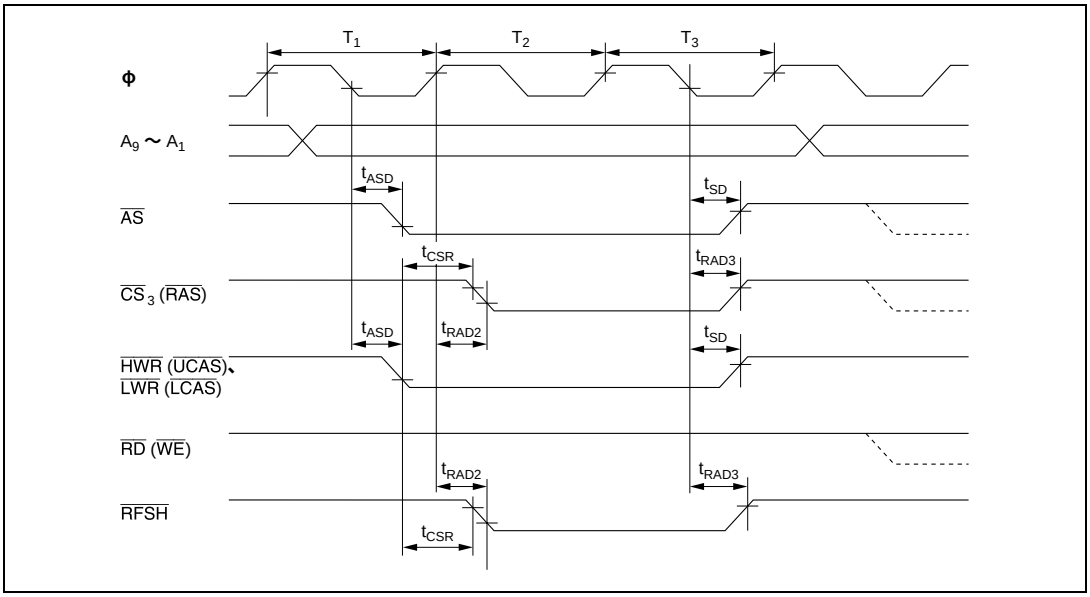


図 23.17　DRAM **バスタイミング（リフレッシュサイクル時）**／3 **ステートアクセス**
— 2CAS **方式** —

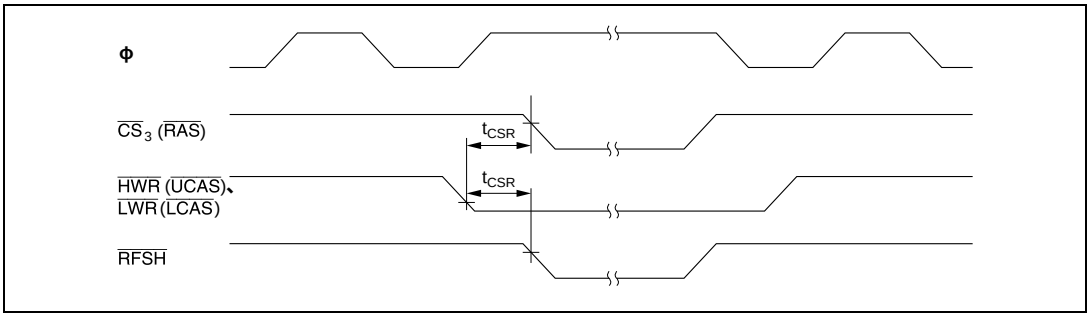


図 23.18　DRAM **バスタイミング（セルフリフレッシュモード）**
— 2CAS **方式** —

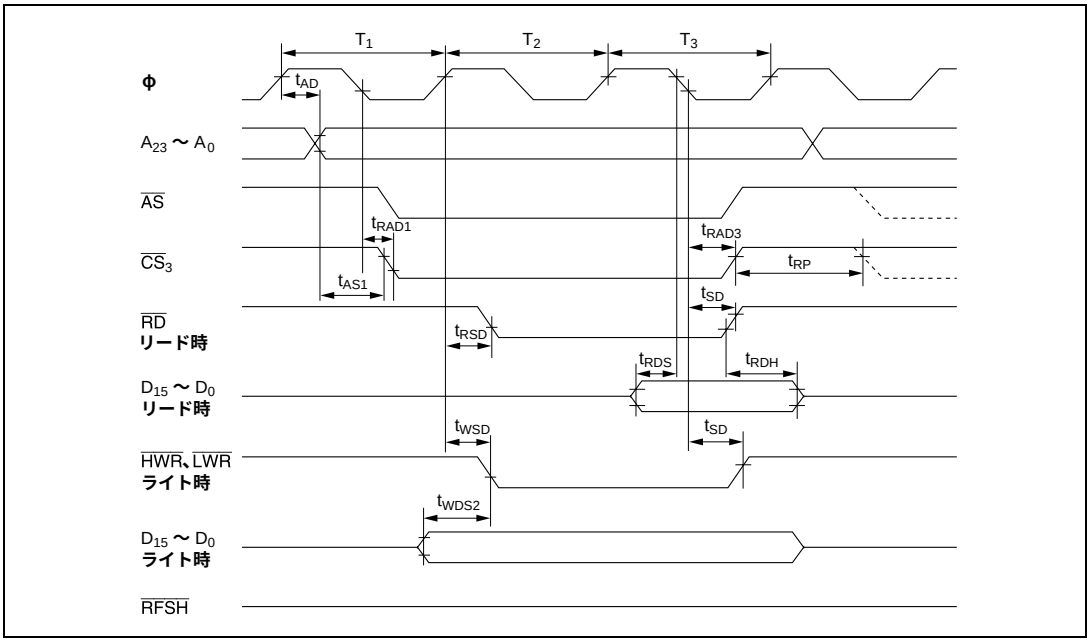


図 23.19　PSRAM **バスタイミング（リード／ライト時）**／3 **ステートアクセス**

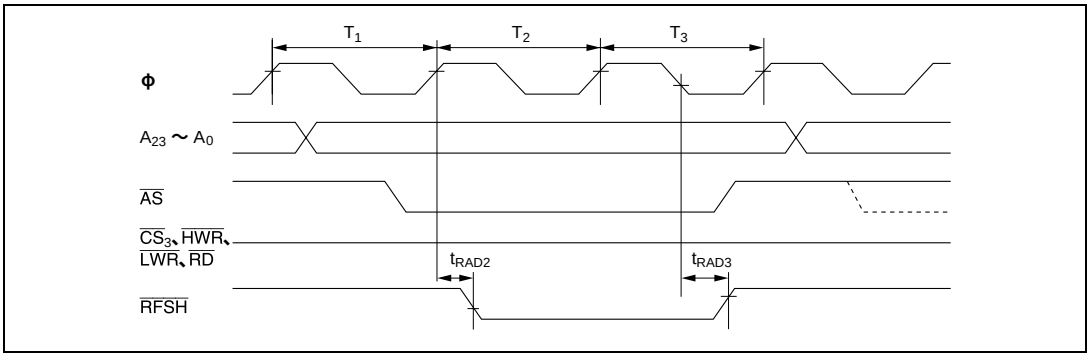


図 23.20　PSRAM **バスタイミング（リフレッシュサイクル時）／**3 **ステートアクセス**

23.4.3 制御信号タイミング

制御信号タイミングを以下に示します。

(1) リセット入力タイミング

図 23.21 にリセット入力タイミングを示します。

(2) リセット出力タイミング

図 23.22 にリセット出力タイミングを示します。

(3) 割込み入力タイミング

図 23.23 に NMI、IRQ_5～IRQ_0 割込み入力タイミングを示します。

(4) バスリリースモードタイミング

図 23.24 にバスリリースモードタイミングを示します。

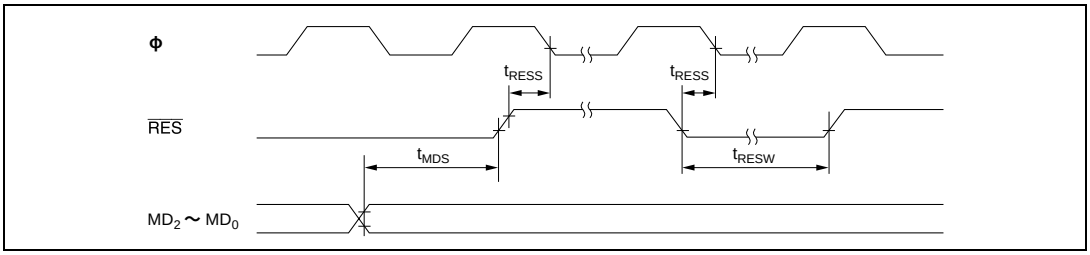


図 23.21 **リセット入力タイミング**

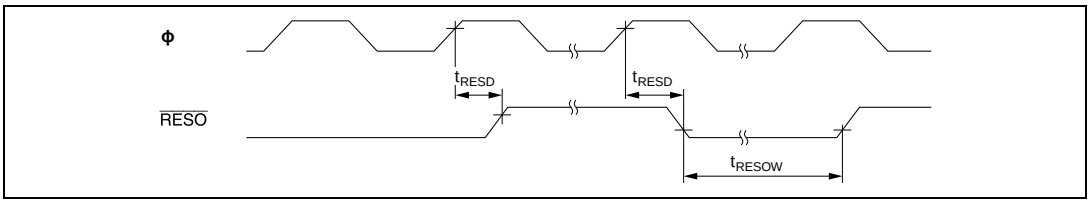


図 23.22 **リセット出力タイミング***

【注】* **マスク** ROM **内蔵製品**（H8/3048、H8/3047、H8/3045、H8/3044）、PROM **内蔵製品**（H8/3048ZTAT）、**および二電源方式フラッシュメモリ内蔵製品**（H8/3048F）**の機能です。**
単一電源方式フラッシュメモリ内蔵製品（H8/3048F-ONE）**には、本機能は存在しません。**

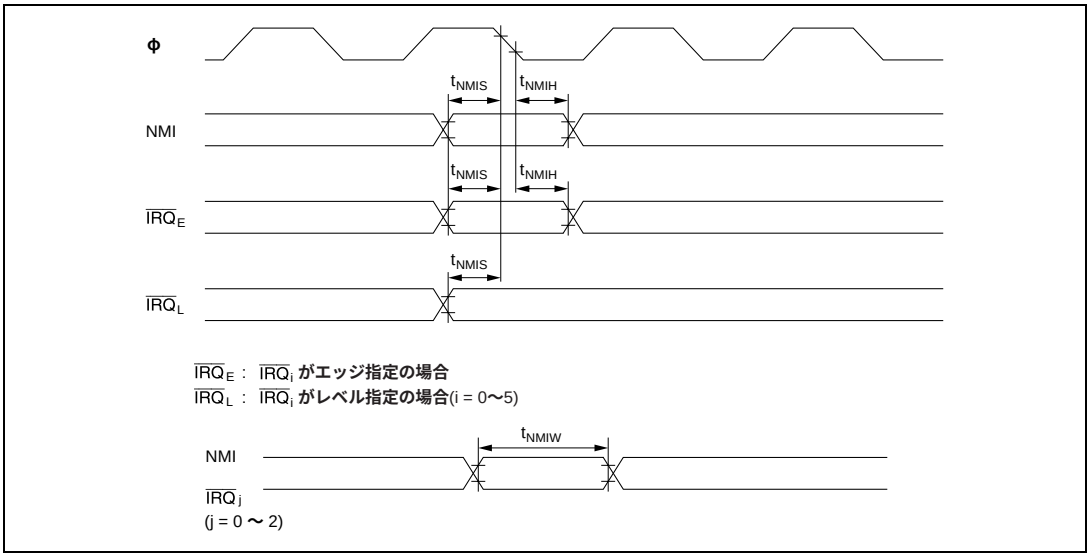


図 23.23　**割込み入力タイミング**

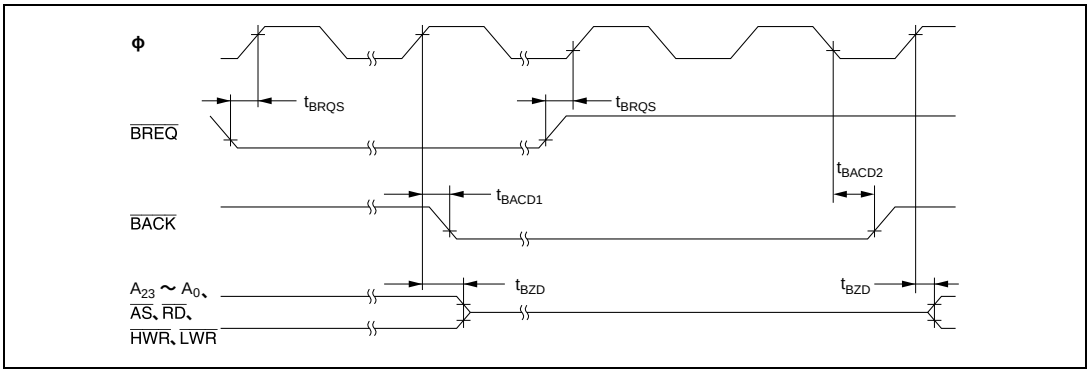


図 23.24　**バスリリースモードタイミング**

23.4.4 クロックタイミング

クロックタイミングを以下に示します。

(1) 発振安定時間タイミング

図 23.25 に発振安定時間タイミングを示します。

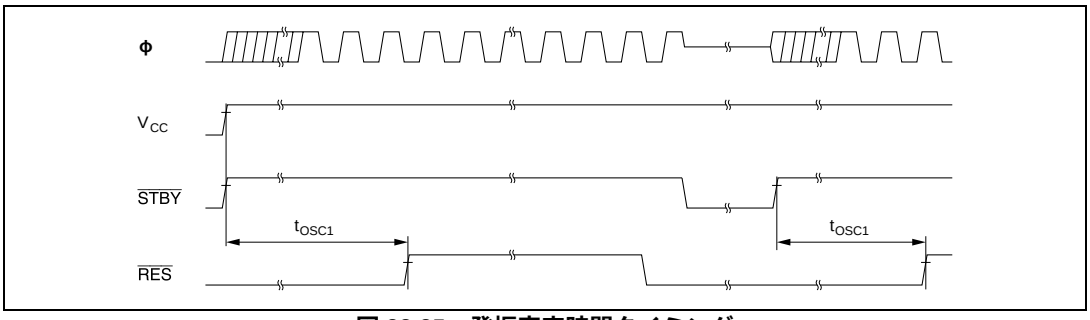


図 23.25 **発振安定時間タイミング**

23.4.5 TPC、I/O **ポートタイミング**

図 23.26 に TPC、I/O ポートの入出力タイミングを示します。

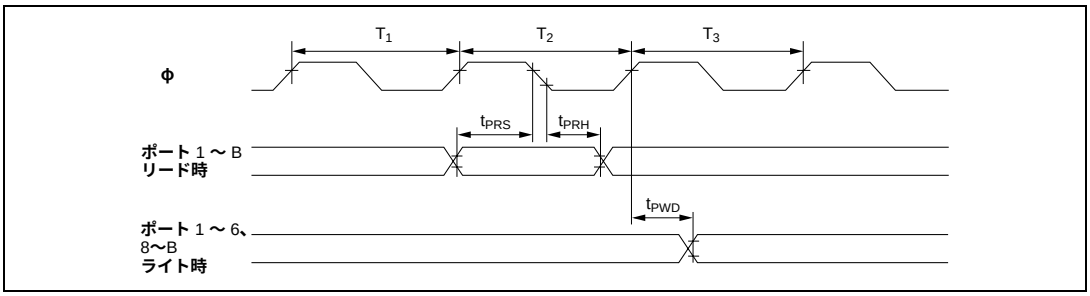


図 23.26 TPC、I/O **ポート入出力タイミング**

23.4.6 ITU タイミング

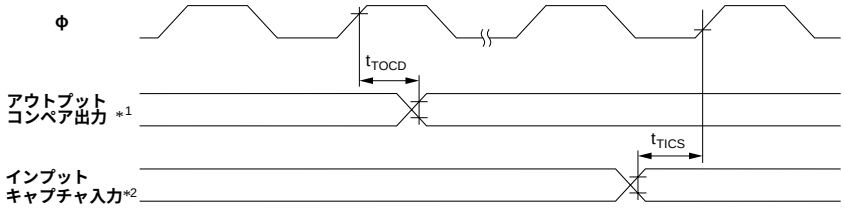
ITU の各タイミングを以下に示します。

(1) ITU 入出力タイミング

図 23.27 に ITU 入出力タイミングを示します。

(2) ITU 外部クロック入力タイミング

図 23.28 に ITU 外部クロック入力タイミングを示します。



【注】 *1 TIOCA0 ～ TIOCA4、TIOCB0 ～ TIOCB4、TOCXA4、TOCXB4
*2 TIOCA0 ～ TIOCA4、TIOCB0 ～ TIOCB4

図 23.27 ITU **入出力タイミング**

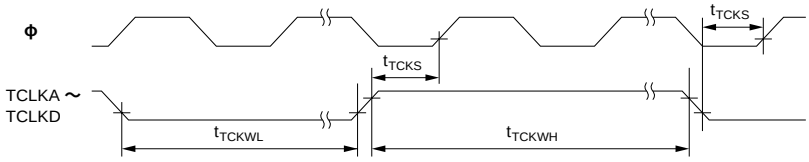


図 23.28 ITU **外部クロック入力タイミング**

23.4.7 SCI 入出力タイミング

SCI の各タイミングを以下に示します。

(1) SCI 入力クロックタイミング

図 23.29 に SCK 入力クロックタイミングを示します。

(2) SCI 入出力タイミング（クロック同期式モード）

図 23.30 にクロック同期式モード時の SCI 入出力タイミングを示します。

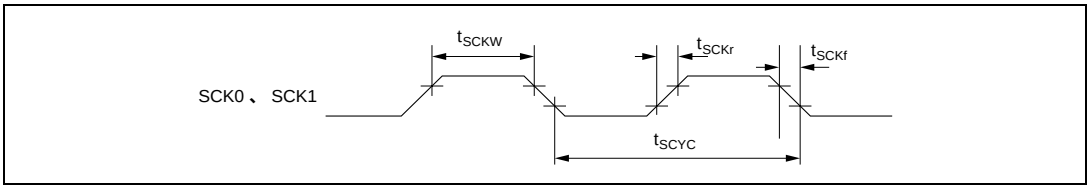


図 23.29 SCK **入力クロックタイミング**

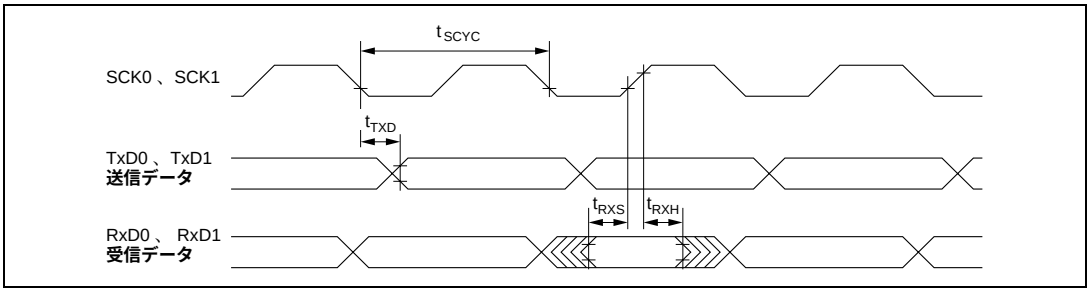


図 23.30 **クロック同期式モード時の** SCI **入出力タイミング**

23.4.8　DMAC タイミング

DMAC の各タイミングを以下に示します。

(1)　DMAC TEND 出力タイミング／2 ステートアクセス

DMAC TEND 出力タイミング／2 ステートアクセスを図 23.31 に示します。

(2)　DMAC TEND 出力タイミング／3 ステートアクセス

DMAC TEND 出力タイミング／3 ステートアクセスを図 23.32 に示します。

(3)　DMAC DREQ 入力タイミング

DMAC DREQ 入力タイミングを図 23.33 に示します。

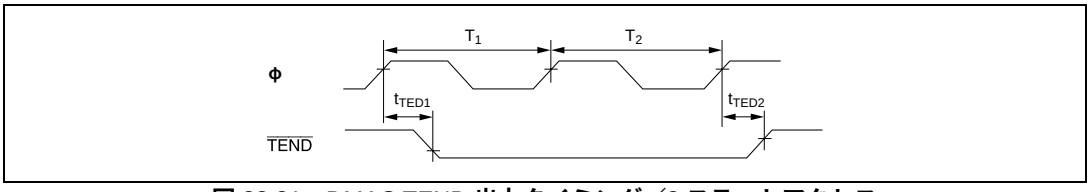


図 23.31　DMAC TEND 出力タイミング／2 ステートアクセス

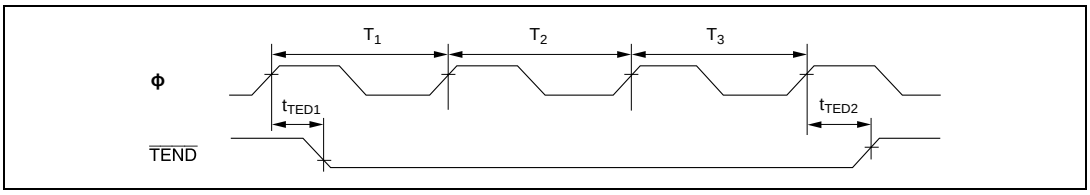


図 23.32　DMAC TEND 出力タイミング／3 ステートアクセス

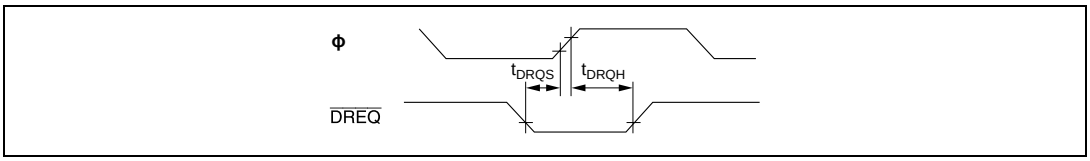


図 23.33　DMAC DREQ 入力タイミング

付録

A.　命令

A.1　命令一覧

《オペレーションの記号》

記　号	内　容
Rd	デスティネーション側の汎用レジスタ
Rs	ソース側の汎用レジスタ
Rn	汎用レジスタ
ERd	デスティネーション側の汎用レジスタ （アドレスレジスタまたは 32 ビットレジスタ）
ERs	ソース側の汎用レジスタ（アドレスレジスタまたは 32 ビットレジスタ）
ERn	汎用レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
PC	プログラムカウンタ
SP	スタックポインタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
disp	ディスプレースメント
→	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
＋	両辺のオペランドを加算
－	左辺のオペランドから右辺のオペランドを減算
×	両辺のオペランドを乗算
÷	左辺のオペランドを右辺のオペランドで除算
∧	両辺のオペランドの論理積
∨	両辺のオペランドの論理和
⊕	両辺のオペランドの排他的論理和
～	反転論理（論理的補数）
( )＜＞	オペランドの内容

【注】 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）または 16 ビット（R0～R7、E0～E7）です。

《コンディションコードの記号》

記　号	内　容
↕	実行結果にしたがって変化することを表します。
＊	不確定であることを表します（値を保証しません）。
0	常に“0”にクリアされることを表します。
1	常に“1”にセットされることを表します。
ー	実行結果に影響を受けないことを表します。
△	条件によって異なります。注意事項を参照してください。

(1) データ転送命令

表 A.1 命令セット一覧 (1)

ニーモニック		サイズ	アドレッシングモード／命令長（バイト）									オペレーション	コンディションコード						実行ｽﾃｰﾄ数 *1	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	—		I	H	N	Z	V	C	ﾉｰﾏﾙ	ｱﾄﾞﾊﾞﾝｽﾄ
MOV	MOV.B #xx:8, Rd	B	2									#xx:8→Rd8	—	—	↕	↕	0	—	2	
	MOV.B Rs, Rd	B		2								Rs8→Rd8	—	—	↕	↕	0	—	2	
	MOV.B @ERs, Rd	B			2							@ERs→Rd8	—	—	↕	↕	0	—	4	
	MOV.B @(d:16, ERs), Rd	B				4						@(d:16, ERs)→Rd8	—	—	↕	↕	0	—	6	
	MOV.B @(d:24, ERs), Rd	B				8						@(d:24, ERs)→Rd8	—	—	↕	↕	0	—	10	
	MOV.B @ERs+, Rd	B					2					@ERs→Rd8, ERs32+1→ERs32	—	—	↕	↕	0	—	6	
	MOV.B @aa:8, Rd	B						2				@aa:8→Rd8	—	—	↕	↕	0	—	4	
	MOV.B @aa:16, Rd	B						4				@aa:16→Rd8	—	—	↕	↕	0	—	6	
	MOV.B @aa:24, Rd	B						6				@aa:24→Rd8	—	—	↕	↕	0	—	8	
	MOV.B Rs, @ERd	B			2							Rs8→@ERd	—	—	↕	↕	0	—	4	
	MOV.B Rs, @(d:16, ERd)	B				4						Rs8→@(d:16, ERd)	—	—	↕	↕	0	—	6	
	MOV.B Rs, @(d:24, ERd)	B				8						Rs8→@(d:24, ERd)	—	—	↕	↕	0	—	10	
	MOV.B Rs, @-ERd	B					2					ERd32-1→ERd32, Rs8→@ERd	—	—	↕	↕	0	—	6	
	MOV.B Rs, @aa:8	B						2				Rs8→@aa:8	—	—	↕	↕	0	—	4	
	MOV.B Rs, @aa:16	B						4				Rs8→@aa:16	—	—	↕	↕	0	—	6	
	MOV.B Rs, @aa:24	B						6				Rs8→@aa:24	—	—	↕	↕	0	—	8	
	MOV.W #xx:16, Rd	W	4									#xx:16→Rd16	—	—	↕	↕	0	—	4	
	MOV.W Rs, Rd	W		2								Rs16→Rd16	—	—	↕	↕	0	—	2	
	MOV.W @ERs, Rd	W			2							@ERs→Rd16	—	—	↕	↕	0	—	4	
	MOV.W @(d:16, ERs), Rd	W				4						@(d:16, ERs)→Rd16	—	—	↕	↕	0	—	6	
	MOV.W @(d:24, ERs), Rd	W				8						@(d:24, ERs)→Rd16	—	—	↕	↕	0	—	10	
	MOV.W @ERs+, Rd	W					2					@ERs→Rd16, ERs32+2→@ERd32	—	—	↕	↕	0	—	6	
	MOV.W @aa:16, Rd	W						4				@aa:16→Rd16	—	—	↕	↕	0	—	6	
	MOV.W @aa:24, Rd	W						6				@aa:24→Rd16	—	—	↕	↕	0	—	8	

表 A.1　命令セット一覧（2）

ニーモニック		サイズ	アドレッシングモード／命令長（バイト）									オペレーション	コンディションコード						実行ｽﾃｰﾄ数 *1	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	—		I	H	N	Z	V	C	ﾉｰﾏﾙ	ｱﾄﾞﾊﾞﾝｽﾄ
MOV	MOV.W Rs, @ERd	W			2							Rs16→@ERd	—	—	↕	↕	0	—	4	
	MOV.W Rs, @(d:16, ERd)	W				4						Rs16→@(d:16, ERd)	—	—	↕	↕	0	—	6	
	MOV.W Rs, @(d:24, ERd)	W				8						Rs16→@(d:24, ERd)	—	—	↕	↕	0	—	10	
	MOV.W Rs, @-ERd	W					2					ERd32-2→ERd32, Rs16→@ERd	—	—	↕	↕	0	—	6	
	MOV.W Rs, @aa:16	W						4				Rs16→@aa:16	—	—	↕	↕	0	—	6	
	MOV.W Rs, @aa:24	W						6				Rs16→@aa:24	—	—	↕	↕	0	—	8	
	MOV.L #xx:32, Rd	L	6									#xx:32→Rd32	—	—	↕	↕	0	—	6	
	MOV.L ERs, ERd	L		2								ERs32→ERd32	—	—	↕	↕	0	—	2	
	MOV.L @ERs, ERd	L			4							@ERs→ERd32	—	—	↕	↕	0	—	8	
	MOV.L @(d:16, ERs), ERd	L				6						@(d:16, ERs)→ERd32	—	—	↕	↕	0	—	10	
	MOV.L @(d:24, ERs), ERd	L				10						@(d:24, ERs)→ERd32	—	—	↕	↕	0	—	14	
	MOV.L @ERs+, ERd	L					4					@ERs→ERd32, ERs32+4→ERs32	—	—	↕	↕	0	—	10	
	MOV.L @aa:16, ERd	L						6				@aa:16→ERd32	—	—	↕	↕	0	—	10	
	MOV.L @aa:24, ERd	L						8				@aa:24→ERd32	—	—	↕	↕	0	—	12	
	MOV.L ERs, @ERd	L			4							ERs32→@ERd	—	—	↕	↕	0	—	8	
	MOV.L ERs, @(d:16, ERd)	L				6						ERs32→@(d:16, ERd)	—	—	↕	↕	0	—	10	
	MOV.L ERs, @(d:24, ERd)	L				10						ERs32→@(d:24, ERd)	—	—	↕	↕	0	—	14	
	MOV.L ERs, @-ERd	L					4					ERd32-4→ERd32, ERs32→@ERd	—	—	↕	↕	0	—	10	
	MOV.L ERs, @aa:16	L						6				ERs32→@aa:16	—	—	↕	↕	0	—	10	
	MOV.L ERs, @aa:24	L						8				ERs32→@aa:24	—	—	↕	↕	0	—	12	
POP	POP.W Rn	W									2	@SP→Rn16, SP+2→SP	—	—	↕	↕	0	—	6	
	POP.L ERn	L									4	@SP→ERn32, SP+4→SP	—	—	↕	↕	0	—	10	
PUSH	PUSH.W Rn	W									2	SP-2→SP, Rn16→@SP	—	—	↕	↕	0	—	6	
	PUSH.L ERn	L									4	SP-4→SP, ERn32→@SP	—	—	↕	↕	0	—	10	
MOVFPE	MOVFPE @aa:16, Rd	B						4				本LSIでは使用できません								
MOVTPE	MOVTPE Rs, @aa:16	B						4				本LSIでは使用できません								

(2) 算術演算命令

表 A.1 命令セット一覧 (3)

ニーモニック		サイズ	アドレッシングモード／命令長（バイト）									オペレーション	コンディションコード						実行ｽﾃｰﾄ数 *1	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	—		I	H	N	Z	V	C	ﾉｰﾏﾙ	ｱﾄﾞﾊﾞﾝｽﾄ
ADD	ADD.B #xx:8, Rd	B	2									Rd8+#xx:8→Rd8	—	↕	↕	↕	↕	↕	2	
	ADD.B Rs, Rd	B		2								Rd8+Rs8→Rd8	—	↕	↕	↕	↕	↕	2	
	ADD.W #xx:16, Rd	W	4									Rd16+#xx:16→Rd16	—	(1)	↕	↕	↕	↕	4	
	ADD.W Rs, Rd	W		2								Rd16+Rs16→Rd16	—	(1)	↕	↕	↕	↕	2	
	ADD.L #xx:32, ERd	L	6									ERd32+#xx:32→ERd32	—	(2)	↕	↕	↕	↕	6	
	ADD.L ERs, ERd	L		2								ERd32+ERs32→ERd32	—	(2)	↕	↕	↕	↕	2	
ADDX	ADDX.B #xx:8, Rd	B	2									Rd8+#xx:8+C→Rd8	—	↕	↕	(3)	↕	↕	2	
	ADDX.B Rs, Rd	B		2								Rd8+Rs8+C→Rd8	—	↕	↕	(3)	↕	↕	2	
ADDS	ADDS.L #1, ERd	L		2								ERd32+1→ERd32	—	—	—	—	—	—	2	
	ADDS.L #2, ERd	L		2								ERd32+2→ERd32	—	—	—	—	—	—	2	
	ADDS.L #4, ERd	L		2								ERd32+4→ERd32	—	—	—	—	—	—	2	
INC	INC.B Rd	B		2								Rd8+1→Rd8	—	—	↕	↕	↕	—	2	
	INC.W #1, Rd	W		2								Rd16+1→Rd16	—	—	↕	↕	↕	—	2	
	INC.W #2, Rd	W		2								Rd16+2→Rd16	—	—	↕	↕	↕	—	2	
	INC.L #1, ERd	L		2								ERd32+1→ERd32	—	—	↕	↕	↕	—	2	
	INC.L #2, ERd	L		2								ERd32+2→ERd32	—	—	↕	↕	↕	—	2	
DAA	DAA Rd	B		2								Rd8 10進補正→Rd8	—	*	↕	↕	*	—	2	
SUB	SUB.B Rs, Rd	B		2								Rd8-Rs8→Rd8	—	↕	↕	↕	↕	↕	2	
	SUB.W #xx:16, Rd	W	4									Rd16-#xx:16→Rd16	—	(1)	↕	↕	↕	↕	4	
	SUB.W Rs, Rd	W		2								Rd16-Rs16→Rd16	—	(1)	↕	↕	↕	↕	2	
	SUB.L #xx:32, ERd	L	6									ERd32-#xx:32→ERd32	—	(2)	↕	↕	↕	↕	6	
	SUB.L ERs, ERd	L		2								ERd32-ERs32→ERd32	—	(2)	↕	↕	↕	↕	2	
SUBX	SUBX.B #xx:8,Rd	B	2									Rd8-#xx:8-C→Rd8	—	↕	↕	(3)	↕	↕	2	
	SUBX.B Rs, Rd	B		2								Rd8-Rs8-C→Rd8	—	↕	↕	(3)	↕	↕	2	

表 A.1　命令セット一覧（4）

ニーモニック		サイズ	アドレッシングモード／命令長（バイト）									オペレーション	コンディションコード						実行ｽﾃｰﾄ数 *1	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	—		I	H	N	Z	V	C	ﾉｰﾏﾙ	ｱﾄﾞﾊﾞﾝｽﾄ
SUBS	SUBS.L #1, ERd	L		2								ERd32-1→ERd32	—	—	—	—	—	—	2	
	SUBS.L #2, ERd	L		2								ERd32-2→ERd32	—	—	—	—	—	—	2	
	SUBS.L #4, ERd	L		2								ERd32-4→ERd32	—	—	—	—	—	—	2	
DEC	DEC.B Rd	B		2								Rd8-1→Rd8	—	—	↕	↕	↕	—	2	
	DEC.W #1, Rd	W		2								Rd16-1→Rd16	—	—	↕	↕	↕	—	2	
	DEC.W #2, Rd	W		2								Rd16-2→Rd16	—	—	↕	↕	↕	—	2	
	DEC.L #1, ERd	L		2								ERd32-1→ERd32	—	—	↕	↕	↕	—	2	
	DEC.L #2, ERd	L		2								ERd32-2→ERd32	—	—	↕	↕	↕	—	2	
DAS	DAS Rd	B		2								Rd8 10進補正→Rd8	—	*	↕	↕	*	—	2	
MULXU	MULXU.B Rs, Rd	B		2								Rd8×Rs8→Rd16（符号なし乗算）	—	—	—	—	—	—	14	
	MULXU.W Rs, ERd	W		2								Rd16×Rs16→ERd32（符号なし乗算）	—	—	—	—	—	—	22	
MULXS	MULXS.B Rs, Rd	B		4								Rd8×Rs8→Rd16（符号付乗算）	—	—	↕	↕	—	—	16	
	MULXS. W Rs, ERd	W		4								Rd16×Rs16→ERd32（符号付乗算）	—	—	↕	↕	—	—	24	
DIVXU	DIVXU.B Rs, Rd	B		2								Rd16÷Rs8→Rd16（RdH:余り, RdL:商）（符号なし除算）	—	—	(6)	(7)	—	—	14	
	DIVXU.W Rs, ERd	W		2								ERd32÷Rs16→ERd32（Ed:余り, Rd:商）（符号なし除算）	—	—	(6)	(7)	—	—	22	
DIVXS	DIVXS.B Rs, Rd	B		4								Rd16÷Rs8→Rd16（RdH:余り, RdL:商）（符号付除算）	—	—	(8)	(7)	—	—	16	
	DIVXS. W Rs, ERd	W		4								ERd32÷Rs16→ERd32（Ed:余り, Rd:商）（符号付除算）	—	—	(8)	(7)	—	—	24	
CMP	CMP.B #xx:8, Rd	B	2									Rd8-#xx:8	—	↕	↕	↕	↕	↕	2	
	CMP.B Rs, Rd	B		2								Rd8-Rs8	—	↕	↕	↕	↕	↕	2	
	CMP.W #xx:16, Rd	W	4									Rd16-#xx:16	—	(1)	↕	↕	↕	↕	4	
	CMP.W Rs, Rd	W		2								Rd16-Rs16	—	(1)	↕	↕	↕	↕	2	

表 A.1　命令セット一覧（5）

ニーモニック		サイズ	アドレッシングモード／命令長（バイト）									オペレーション	コンディションコード						実行ｽﾃｰﾄ数 ※1	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	—		I	H	N	Z	V	C	ﾉｰﾏﾙ	ｱﾄﾞﾊﾞﾝｽﾄ
CMP	CMP.L #xx:32, ERd	L	6									ERd32-#xx:32	—	(2)	↕	↕	↕	↕	4	
	CMP.L ERs, ERd	L		2								ERd32-ERs32	—	(2)	↕	↕	↕	↕	2	
NEG	NEG.B Rd	B		2								0-Rd8→Rd8	—	↕	↕	↕	↕	↕	2	
	NEG.W Rd	W		2								0-Rd16→Rd16	—	↕	↕	↕	↕	↕	2	
	NEG.L ERd	L		2								0-ERd32→ERd32	—	↕	↕	↕	↕	↕	2	
EXTU	EXTU.W Rd	W		2								0→(<ビット15〜8> of Rd16)	—	—	0	↕	0	—	2	
	EXTU.L ERd	L		2								0→(<ビット31〜16> of ERd32)	—	—	0	↕	0	—	2	
EXTS	EXTS.W Rd	W		2								(<ビット7> of Rd16)→ (<ビット 15〜8> of Rd16)	—	—	↕	↕	0	—	2	
	EXTS.L ERd	L		2								(<ビット15> of ERd32)→ (<ビット31〜16> of ERd32)	—	—	↕	↕	0	—	2	

表 A.1　**命令セット一覧（6）**

(3)　**論理演算命令**

ニーモニック		サイズ	アドレッシングモード／命令長（バイト）								オペレーション	コンディションコード							実行ステート数 *1	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa		I	H	N	Z	V	C	ノーマル	アドバンスト
AND	AND.B #xx:8, Rd	B	2								Rd8∧#xx:8→Rd8	—	—	↔	↔	0	—	2	
	AND.B Rs, Rd	B		2							Rd8∧Rs8→Rd8	—	—	↔	↔	0	—	2	
	AND.W #xx:16, Rd	W	4								Rd16∧#xx:16→Rd16	—	—	↔	↔	0	—	4	
	AND.W Rs, Rd	W		2							Rd16∧Rs16→Rd16	—	—	↔	↔	0	—	2	
	AND.L #xx:32, ERd	L	6								ERd32∧#xx:32→ERd32	—	—	↔	↔	0	—	6	
	AND.L ERs, ERd	L		4							ERd32∧ERs32→ERd32	—	—	↔	↔	0	—	4	
OR	OR.B #xx:8, Rd	B	2								Rd8∨#xx:8→Rd8	—	—	↔	↔	0	—	2	
	OR.B Rs, Rd	B		2							Rd8∨Rs8→Rd8	—	—	↔	↔	0	—	2	
	OR.W #xx:16, Rd	W	4								Rd16∨#xx:16→Rd16	—	—	↔	↔	0	—	4	
	OR.W Rs, Rd	W		2							Rd16∨Rs16→Rd16	—	—	↔	↔	0	—	2	
	OR.L #xx:32, ERd	L	6								ERd32∨#xx:32→ERd32	—	—	↔	↔	0	—	6	
	OR.L ERs, ERd	L		4							ERd32∨ERs32→ERd32	—	—	↔	↔	0	—	4	
XOR	XOR.B #xx:8, Rd	B	2								Rd8⊕#xx:8→Rd8	—	—	↔	↔	0	—	2	
	XOR.B Rs, Rd	B		2							Rd8⊕Rs8→Rd8	—	—	↔	↔	0	—	2	
	XOR.W #xx:16, Rd	W	4								Rd16⊕#xx:16→Rd16	—	—	↔	↔	0	—	4	
	XOR.W Rs, Rd	W		2							Rd16⊕Rs16→Rd16	—	—	↔	↔	0	—	2	
	XOR.L #xx:32, ERd	L	6								ERd32⊕#xx:32→ERd32	—	—	↔	↔	0	—	6	
	XOR.L ERs, ERd	L		4							ERd32⊕ERs32→ERd32	—	—	↔	↔	0	—	4	
NOT	NOT.B Rd	B		2							～Rd8→Rd8	—	—	↔	↔	0	—	2	
	NOT.W Rd	W		2							～Rd16→Rd16	—	—	↔	↔	0	—	2	
	NOT.L ERd	L		2							～Rd32→Rd32	—	—	↔	↔	0	—	2	

(4) シフト命令

表 A.1 命令セット一覧 (7)

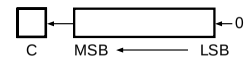
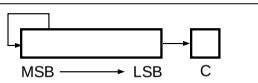
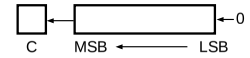
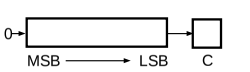
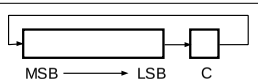
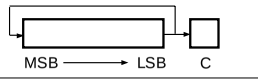
ニーモニック		サイズ	アドレッシングモード／命令長（バイト）									オペレーション	コンディションコード						実行ｽﾃｰﾄ数 *1	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	—		I	H	N	Z	V	C	ﾉｰﾏﾙ	ｱﾄﾞﾊﾞﾝｽﾄ
SHAL	SHAL.B Rd	B		2									—	—	↕	↕	↕	↕	2	
	SHAL.W Rd	W		2									—	—	↕	↕	↕	↕	2	
	SHAL.L ERd	L		2									—	—	↕	↕	↕	↕	2	
SHAR	SHAR.B Rd	B		2									—	—	↕	↕	0	↕	2	
	SHAR.W Rd	W		2									—	—	↕	↕	0	↕	2	
	SHAR.L ERd	L		2									—	—	↕	↕	0	↕	2	
SHLL	SHLL.B Rd	B		2									—	—	↕	↕	0	↕	2	
	SHLL.W Rd	W		2									—	—	↕	↕	0	↕	2	
	SHLL.L ERd	L		2									—	—	↕	↕	0	↕	2	
SHLR	SHLR.B Rd	B		2									—	—	↕	↕	0	↕	2	
	SHLR.W Rd	W		2									—	—	↕	↕	0	↕	2	
	SHLR.L ERd	L		2									—	—	↕	↕	0	↕	2	
ROTXL	ROTXL.B Rd	B		2									—	—	↕	↕	0	↕	2	
	ROTXL.W Rd	W		2									—	—	↕	↕	0	↕	2	
	ROTXL.L ERd	L		2									—	—	↕	↕	0	↕	2	
ROTXR	ROTXR.B Rd	B		2									—	—	↕	↕	0	↕	2	
	ROTXR.W Rd	W		2									—	—	↕	↕	0	↕	2	
	ROTXR.L ERd	L		2									—	—	↕	↕	0	↕	2	
ROTL	ROTL.B Rd	B		2									—	—	↕	↕	0	↕	2	
	ROTL.W Rd	W		2									—	—	↕	↕	0	↕	2	
	ROTL.L ERd	L		2									—	—	↕	↕	0	↕	2	
ROTR	ROTR.B Rd	B		2									—	—	↕	↕	0	↕	2	
	ROTR.W Rd	W		2									—	—	↕	↕	0	↕	2	
	ROTR.L ERd	L		2									—	—	↕	↕	0	↕	2	

表 A.1　命令セット一覧（8）

(5)　ビット操作命令

ニーモニック		サイズ	アドレッシングモード／命令長（バイト）							オペレーション	コンディションコード							実行ステート数 *1	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa		I	H	N	Z	V	C	ノーマル	アドバンスト
BSET	BSET #xx:3, Rd	B		2							(#xx:3 of Rd8)←1	—	—	—	—	—	—	2	
	BSET #xx:3, @ERd	B			4						(#xx:3 of @ERd)←1	—	—	—	—	—	—	8	
	BSET #xx:3, @aa:8	B						4			(#xx:3 of @aa:8)←1	—	—	—	—	—	—	8	
	BSET Rn, Rd	B		2							(Rn8 of Rd8)←1	—	—	—	—	—	—	2	
	BSET Rn, @ERd	B			4						(Rn8 of @ERd)←1	—	—	—	—	—	—	8	
	BSET Rn, @aa:8	B						4			(Rn8 of @aa:8)←1	—	—	—	—	—	—	8	
BCLR	BCLR #xx:3, Rd	B		2							(#xx:3 of Rd8)←0	—	—	—	—	—	—	2	
	BCLR #xx:3, @ERd	B			4						(#xx:3 of @ERd)←0	—	—	—	—	—	—	8	
	BCLR #xx:3, @aa:8	B						4			(#xx:3 of @aa:8)←0	—	—	—	—	—	—	8	
	BCLR Rn, Rd	B		2							(Rn8 of Rd8)←0	—	—	—	—	—	—	2	
	BCLR Rn, @ERd	B			4						(Rn8 of @ERd)←0	—	—	—	—	—	—	8	
	BCLR Rn, @aa:8	B						4			(Rn8 of @aa:8)←0	—	—	—	—	—	—	8	
BNOT	BNOT #xx:3, Rd	B		2							(#xx:3 of Rd8)←～(#xx:3 of Rd8)	—	—	—	—	—	—	2	
	BNOT #xx:3, @ERd	B			4						(#xx:3 of @ERd)←～(#xx:3 of @ERd)	—	—	—	—	—	—	8	
	BNOT #xx:3, @aa:8	B						4			(#xx:3 of @aa:8)←～(#xx:3 of @aa:8)	—	—	—	—	—	—	8	
	BNOT Rn, Rd	B		2							(Rn8 of Rd8)←～(Rn8 of Rd8)	—	—	—	—	—	—	2	
	BNOT Rn, @ERd	B			4						(Rn8 of @ERd)←～(Rn8 of @ERd)	—	—	—	—	—	—	8	
	BNOT Rn, @aa:8	B						4			(Rn8 of @aa:8)←～(Rn8 of @aa:8)	—	—	—	—	—	—	8	
BTST	BTST #xx:3, Rd	B		2							～(#xx:3 of Rd8)→Z	—	—	↕	↕	—	—	2	
	BTST #xx:3, @ERd	B			4						～(#xx:3 of @ERd)→Z	—	—	↕	↕	—	—	6	
	BTST #xx:3, @aa:8	B						4			～(#xx:3 of @aa:8)→Z	—	—	↕	↕	—	—	6	
	BTST Rn, Rd	B		2							～(Rn8 of @Rd8)→Z	—	—	↕	↕	—	—	2	
	BTST Rn, @ERd	B			4						～(Rn8 of @ERd)→Z	—	—	↕	↕	—	—	6	
	BTST Rn, @aa:8	B						4			～(Rn8 of @aa:8)→Z	—	—	↕	↕	—	—	6	
BILD	BILD #xx:3, Rd	B		2							(#xx:3 of Rd8)→C	—	—	—	—	—	↔	2	
	BILD #xx:3, @ERd	B			4						(#xx:3 of @ERd)→C	—	—	—	—	—	↔	6	
	BILD #xx:3, @aa:8	B						4			(#xx:3 of @aa:8)→C	—	—	—	—	—	↔	6	
BILD	BILD #xx:3, Rd	B		2							～(#xx:3 of Rd8)→C	—	—	—	—	—	↔	2	
	BILD #xx:3, @ERd	B			4						～(#xx:3 of @ERd)→C	—	—	—	—	—	↔	6	
	BILD #xx:3, @aa:8	B						4			～(#xx:3 of @aa:8)→C	—	—	—	—	—	↔	6	

表 A.1　命令セット一覧（9）

ニーモニック		サイズ	アドレッシングモード／命令長（バイト）									オペレーション	コンディションコード						実行ｽﾃｰﾄ数 *1	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	—		I	H	N	Z	V	C	ﾉｰﾏﾙ	ｱﾄﾞﾊﾞﾝｽﾄ
BST	BST #xx:3, Rd	B		2								C→(#xx:3 of Rd8)	—	—	—	—	—	—	2	
	BST #xx:3, @ERd	B			4							C→(#xx:3 of @ERd24)	—	—	—	—	—	—	8	
	BST #xx:3, @aa:8	B						4				C→(#xx:3 of @aa:8)	—	—	—	—	—	—	8	
BIST	BIST #xx:3, Rd	B		2								～C→(#xx:3 of Rd8)	—	—	—	—	—	—	2	
	BIST #xx:3, @ERd	B			4							～C→(#xx:3 of @ERd24)	—	—	—	—	—	—	8	
	BIST #xx:3, @aa:8	B						4				～C→(#xx:3 of @aa:8)	—	—	—	—	—	—	8	
BAND	BAND #xx:3, Rd	B		2								C∧(#xx:3 of Rd8)→C	—	—	—	—	—	↕	2	
	BAND #xx:3, @ERd	B			4							C∧(#xx:3 of @ERd24)→C	—	—	—	—	—	↕	6	
	BAND #xx:3, @aa:8	B						4				C∧(#xx:3 of @aa:8)→C	—	—	—	—	—	↕	6	
BIAND	BIAND #xx:3, Rd	B		2								C∧～(#xx:3 of Rd8)→C	—	—	—	—	—	↕	2	
	BIAND #xx:3, @ERd	B			4							C∧～(#xx:3 of @ERd24)→C	—	—	—	—	—	↕	6	
	BIAND #xx:3, @aa:8	B						4				C∧～(#xx:3 of @aa:8)→C	—	—	—	—	—	↕	6	
BOR	BOR #xx:3, Rd	B		2								C∨(#xx:3 of Rd8)→C	—	—	—	—	—	↕	2	
	BOR #xx:3, @ERd	B			4							C∨(#xx:3 of @ERd24)→C	—	—	—	—	—	↕	6	
	BOR #xx:3, @aa:8	B						4				C∨(#xx:3 of @aa:8)→C	—	—	—	—	—	↕	6	
BIOR	BIOR #xx:3, Rd	B		2								C∨～(#xx:3 of Rd8)→C	—	—	—	—	—	↕	2	
	BIOR #xx:3, @ERd	B			4							C∨～(#xx:3 of @ERd24)→C	—	—	—	—	—	↕	6	
	BIOR #xx:3, @aa:8	B						4				C∨～(#xx:3 of @aa:8)→C	—	—	—	—	—	↕	6	
BXOR	BXOR #xx:3, Rd	B		2								C⊕(#xx:3 of Rd8)→C	—	—	—	—	—	↕	2	
	BXOR #xx:3, @ERd	B			4							C⊕(#xx:3 of @ERd24)→C	—	—	—	—	—	↕	6	
	BXOR #xx:3, @aa:8	B						4				C⊕(#xx:3 of @aa:8)→C	—	—	—	—	—	↕	6	
BIXOR	BIXOR #xx:3, Rd	B		2								C⊕～(#xx:3 of Rd8)→C	—	—	—	—	—	↕	2	
	BIXOR #xx:3, @ERd	B			4							C⊕～(#xx:3 of @ERd24)→C	—	—	—	—	—	↕	6	
	BIXOR #xx:3, @aa:8	B						4				C⊕～(#xx:3 of @aa:8)→C	—	—	—	—	—	↕	6	

(6) 分岐命令

表 A.1 命令セット一覧（10）

ニーモニック		サイズ	アドレッシングモード／命令長（バイト）									オペレーション		コンディションコード						実行ｽﾃｰﾄ数 *1	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	—		分岐条件	I	H	N	Z	V	C	ﾉｰﾏﾙ	ｱﾄﾞﾊﾞﾝｽﾄ
Bcc	BRA d:8(BT d:8)	—							2			if condition is true	Always	—	—	—	—	—	—	4	
	BRA d:16(BT d:16)	—							4			then PC←PC+d		—	—	—	—	—	—	6	
	BRN d:8(BF d:8)	—							2			else next;	Never	—	—	—	—	—	—	4	
	BRN d:16(BF d:16)	—							4					—	—	—	—	—	—	6	
	BHI d:8	—							2				C∨Z=0	—	—	—	—	—	—	4	
	BHI d:16	—							4					—	—	—	—	—	—	6	
	BLS d:8	—							2				C∨Z=1	—	—	—	—	—	—	4	
	BLS d:16	—							4					—	—	—	—	—	—	6	
	BCC d:8(BHS d:8)	—							2				C=0	—	—	—	—	—	—	4	
	BCC d:16(BHS d:16)	—							4					—	—	—	—	—	—	6	
	BCS d:8(BLO d:8)	—							2				C=1	—	—	—	—	—	—	4	
	BCS d:16(BLO d:16)	—							4					—	—	—	—	—	—	6	
	BNE d:8	—							2				Z=0	—	—	—	—	—	—	4	
	BNE d:16	—							4					—	—	—	—	—	—	6	
	BEQ d:8	—							2				Z=1	—	—	—	—	—	—	4	
	BEQ d:16	—							4					—	—	—	—	—	—	6	
	BVC d:8	—							2				V=0	—	—	—	—	—	—	4	
	BVC d:16	—							4					—	—	—	—	—	—	6	
	BVS d:8	—							2				V=1	—	—	—	—	—	—	4	
	BVS d:16	—							4					—	—	—	—	—	—	6	
	BPL d:8	—							2				N=0	—	—	—	—	—	—	4	
	BPL d:16	—							4					—	—	—	—	—	—	6	
	BMI d:8	—							2				N=1	—	—	—	—	—	—	4	
	BMI d:16	—							4					—	—	—	—	—	—	6	

表 A.1　命令セット一覧（11）

ニーモニック		サイズ	アドレッシングモード／命令長（バイト）									オペレーション		コンディションコード						実行ｽﾃｰﾄ数 ※1	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	—		分岐条件	I	H	N	Z	V	C	ﾉｰﾏﾙ	ｱﾄﾞﾊﾞﾝｽﾄ
Bcc	BGE d:8	—							2			if condition is true	N⊕V=0	—	—	—	—	—	—	4	
	BGE d:16	—							4			then PC←PC+d		—	—	—	—	—	—	6	
	BLT d:8	—							2			else next;	N⊕V=1	—	—	—	—	—	—	4	
	BLT d:16	—							4					—	—	—	—	—	—	6	
	BGT d:8	—							2				Z∨(N⊕V)=0	—	—	—	—	—	—	4	
	BGT d:16	—							4					—	—	—	—	—	—	6	
	BLE d:8	—							2				Z∨(N⊕V)=1	—	—	—	—	—	—	4	
	BLE d:16	—							4					—	—	—	—	—	—	6	
JMP	JMP @ERn	—			2							PC←ERn		—	—	—	—	—	—	4	
	JMP @aa:24	—						4				PC←aa:24		—	—	—	—	—	—	6	
	JMP @@aa:8	—								2		PC←@aa:8		—	—	—	—	—	—	8	10
BSR	BSR d:8	—							2			PC→@-SP, PC←PC+d:8		—	—	—	—	—	—	6	8
	BSR d:16	—							4			PC→@-SP, PC←PC+d:16		—	—	—	—	—	—	8	10
JSR	JSR @ERn	—			2							PC→@-SP, PC←@ERn		—	—	—	—	—	—	6	8
	JSR @aa:24	—						4				PC→@-SP, PC←@aa:24		—	—	—	—	—	—	8	10
	JSR @@aa:8	—								2		PC→@-SP, PC←@aa:8		—	—	—	—	—	—	8	12
RTS	RTS	—									2	PC←@SP+		—	—	—	—	—	—	8	10

(7) システム制御命令

表 A.1 命令セット一覧（12）

ニーモニック		サイズ	アドレッシングモード／命令長（バイト）									オペレーション	コンディションコード						実行ｽﾃｰﾄ数*1	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)	@@aa	—		I	H	N	Z	V	C	ﾉｰﾏﾙ	ｱﾄﾞﾊﾞﾝｽﾄ
TRAPA	TRAPA #x:2	—									2	PC→@-SP, CCR→@-SP,<ﾍﾞｸﾀ>→PC	1	—	—	—	—	—	14	16
RTE	RTE	—										CCR←@SP+, PC←@SP+	↕	↕	↕	↕	↕	↕	10	
SLEEP	SLEEP	—										**低消費電力状態に遷移**	—	—	—	—	—	—	2	
LDC	LDC #xx:8, CCR	B	2									#xx:8→CCR	↕	↕	↕	↕	↕	↕	2	
	LDC Rs, CCR	B		2								Rs8→CCR	↕	↕	↕	↕	↕	↕	2	
	LDC @ERs, CCR	W			4							@ERs→CCR	↕	↕	↕	↕	↕	↕	6	
	LDC @(d:16, ERs), CCR	W				6						@(d:16, ERs)→CCR	↕	↕	↕	↕	↕	↕	8	
	LDC @(d:24, ERs), CCR	W				10						@(d:24, ERs)→CCR	↕	↕	↕	↕	↕	↕	12	
	LDC @ERs+, CCR	W					4					@ERs→CCR, ERs32+2→ERs32	↕	↕	↕	↕	↕	↕	8	
	LDC @aa:16, CCR	W						6				@aa:16→CCR	↕	↕	↕	↕	↕	↕	8	
	LDC @aa:24, CCR	W						8				@aa:24→CCR	↕	↕	↕	↕	↕	↕	10	
STC	STC CCR, Rd	B		2								CCR→Rd8	—	—	—	—	—	—	2	
	STC CCR, @ERd	W			4							CCR→@ERd	—	—	—	—	—	—	6	
	STC CCR, @(d:16, ERd)	W				6						CCR→@(d:16, ERd)	—	—	—	—	—	—	8	
	STC CCR, @(d:24, ERd)	W				10						CCR→@(d:24, ERd)	—	—	—	—	—	—	12	
	STC CCR, @-ERd	W					4					ERd32-2→ERd32, CCR→@ERd	—	—	—	—	—	—	8	
	STC CCR, @aa:16	W						6				CCR→@aa:16	—	—	—	—	—	—	8	
	STC CCR, @aa:24	W						8				CCR→@aa:24	—	—	—	—	—	—	10	
ANDC	ANDC #xx:8, CCR	B	2									CCR∧#xx:8→CCR	↕	↕	↕	↕	↕	↕	2	
ORC	ORC #xx:8, CCR	B	2									CCR∨#xx:8→CCR	↕	↕	↕	↕	↕	↕	2	
XORC	XORC #xx:8, CCR	B	2									CCR⊕#xx:8→CCR	↕	↕	↕	↕	↕	↕	2	
NOP	NOP	—									2	PC←PC+2	—	—	—	—	—	—	2	

表 A.1　命令セット一覧（13）

(8)　ブロック転送命令

ニーモニック		サイズ	アドレッシングモード／命令長（バイト）									オペレーション	コンディションコード						実行ｽﾃｰﾄ数 *1	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/ERn+	@aa	@(d, PC)	@@aa	—		I	H	N	Z	V	C	ﾉｰﾏﾙ	ｱﾄﾞﾊﾞﾝｽﾄ
EEPMOV	EEPMOV.B	—									4	if R4L ≠0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;	—	—	—	—	—	—	8+4n *2	
	EEPMOV.W	—									4	if R4≠0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4-1→R4 Until R4=0 else next;	—	—	—	—	—	—	8+4n *2	

【注】　*1　実行ステート数は、オペコードおよびオペランドが内蔵メモリに存在する場合です。それ以外の場合は、「A.3　命令実行ステート数」を参照してください。

*2　nはR4LまたはR4の設定値です。

(1)　ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。

(2)　ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。

(3)　演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。

(4)　補正結果に桁上がりが発生したとき、1にセットされ、それ以外のとき演算前の値を保持します。

(5)　Eクロック同期転送命令の実行ステート数は一定ではありません。

(6)　除数が負のとき1にセットされ、それ以外のとき0にクリアされます。

(7)　除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。

(8)　商が負のとき1にセットされ、それ以外のとき0にクリアされます。

A.2 オペレーションコードマップ

表 A.2 オペレーションコードマップ (1)

命令コード：

第1バイト		第2バイト	
AH	AL	BH	BL

BHの最上位ビットが0の場合を示します。
BHの最上位ビットが1の場合を示します。

AH \ AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD		表A.2(2)	表A.2(2)	MOV		ADDX	表A.2(2)
1	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)	SUB		表A.2(2)	表A.2(2)	CMP		SUBX	表A.2(2)
2	MOV. B															
3																
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.2(2)	JMP			BSR	JSR		
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST / BIST	MOV							
7					BOR / BIOR	BXOR / BIXOR	BAND / BIAND	BLD / BILD	MOV	表A.2(2)	表A.2(2)	EEPMOV	表A.2(3)			
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

表A.2　オペレーションコードマップ（2）

命令コード：

第1バイト		第2バイト	
AH	AL	BH	BL

AH AL \ BH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
01	MOV				LDC/STC				SLEEP				表A.2（3）	表A.2（3）		表A.2（3）
0A	INC								ADD							
0B	ADDS					INC		INC	ADDS					INC		INC
0F	DAA								MOV							
10	SHLL			SHLL					SHAL			SHAL				
11	SHLR			SHLR					SHAR			SHAR				
12	ROTXL			ROTXL					ROTL			ROTL				
13	ROTXR			ROTXR					ROTR			ROTR				
17	NOT			NOT		EXTU		EXTU	NEG			NEG		EXTS		EXTS
1A	DEC								SUB							
1B	SUBS					DEC		DEC	SUBS					DEC		DEC
1F	DAS								CMP							
58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
79	MOV	ADD	CMP	SUB	OR	XOR	AND									
7A	MOV	ADD	CMP	SUB	OR	XOR	AND									

表 A.2　オペレーションコードマップ（3）

命令コード：

第1バイト		第2バイト		第3バイト		第4バイト	
AH	AL	BH	BL	CH	CL	DH	DL

DHの最上位ビットが0の場合を示します。
DHの最上位ビットが1の場合を示します。

AH AL BH BL CH \ CL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
01406										LDC / STC		LDC / STC		LDC / STC		LDC / STC
01C05	MULXS		MULXS													
01D05		DIVIXS		DIVXS												
01F06					OR	XOR	AND									
7Cr06 *1				BTST												
7Cr07 *1				BTST	BOR / BIOR	BXOR / BIXOR	BAND / BIAND	BLD / BILD								
7Dr06 *1	BSET	BNOT	BCLR					BST / BIST								
7Dr07 *1	BSET	BNOT	BCLR													
7Eaa6 *2				BTST												
7Eaa7 *2				BTST	BOR / BIOR	BXOR / BIXOR	BAND / BIAND	BLD / BILD								
7Faa6 *2	BSET	BNOT	BCLR					BST / BIST								
7Faa7 *2	BSET	BNOT	BCLR													

【注】*1　rはレジスタ指定部

*2　aaは絶対アドレス指定部

A.3　命令実行ステート数

H8/300H CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード／ライト等のサイクル数を示し、**表** A.3 に各々のサイズに必要なステート数を示します。

命令実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

■　実行ステート数計算例

（例）アドバンストモード、スタック領域を外部空間に設定、内部周辺モジュールアクセス時8ビットバス幅、外部デバイスアクセス時16ビットバス幅で3ステートアクセス1ウェイト挿入とした場合

1. BSET　#0、@FFFFC7:8

表A.4より

$I = L = 2$、$J = K = M = N = 0$

表A.3より

$S_I = 4$、$S_L = 3$

実行ステート数＝2×4＋2×3＝14

2. JSR　@@30

表A.4より

$I = J = K = 2$、$L = M = N = 0$

表A.3より

$S_I = S_J = S_K = 4$

実行ステート数＝2×4＋2×4＋2×4＝24

表 A.3　**実行状態（サイクル）に要するステート数**

実行状態（サイクル）		アクセス対象						
		内　蔵メモリ	内蔵周辺モジュール		外部デバイス			
					8 ビットバス		16 ビットバス	
			8 ビットバス	16 ビットバス	2 ステートアクセス	3 ステートアクセス	2 ステートアクセス	3 ステートアクセス
命令フェッチ	S_I	2	6	3	4	6+2m	2	3+m
分岐アドレスリード	S_J							
スタック操作	S_K							
バイトデータアクセス	S_L		3		2	3+m		
ワードデータアクセス	S_M		6		4	6+2m		
内部動作	S_N	1						

《記号説明》

m：**外部デバイスアクセス時のウェイトステート数**

表 A.4　命令実行状態（サイクル数）（1）

命令	ニーモニック	命令フェッチ	分岐アドレスリード	スタック操作	バイトデータアクセス	ワードデータアクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8（BT d:8）	2					
	BRN d:8（BF d:8）	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8（BHS d:8）	2					
	BCS d:8（BLO d:8）	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					

表 A.4　命令実行状態（サイクル数）（2）

命令	ニーモニック	命令フェッチ	分岐アドレスリード	スタック操作	バイトデータアクセス	ワードデータアクセス	内部動作
		I	J	K	L	M	N
Bcc	BLE d:8	2					
	BRA d:16（BT d:16）	2					2
	BRN d:16（BF d:16）	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16（BHS d:16）	2					2
	BCS d:16（BLO d:16）	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
	BGT d:16	2					2
	BLE d:16	2					2
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:8, Rd	1					
	BIOR #xx:8, @ERd	2			1		
	BIOR #xx:8, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		

表 A.4　命令実行状態（サイクル数）（3）

命令	ニーモニック		命令フェッチ	分岐アドレスリード	スタック操作	バイトデータアクセス	ワードデータアクセス	内部動作
			I	J	K	L	M	N
BIXOR	BIXOR #xx:3, Rd		1					
	BIXOR #xx:3, @ERd		2			1		
	BIXOR #xx:3, @aa:8		2			1		
BLD	BLD #xx:3, Rd		1					
	BLD #xx:3, @ERd		2			1		
	BLD #xx:3, @aa:8		2			1		
BNOT	BNOT #xx:3, Rd		1					
	BNOT #xx:3, @ERd		2			2		
	BNOT #xx:3, @aa:8		2			2		
	BNOT Rn, Rd		1					
	BNOT Rn, @ERd		2			2		
	BNOT Rn, @aa:8		2			2		
BOR	BOR #xx:3, Rd		1					
	BOR #xx:3, @ERd		2			1		
	BOR #xx:3, @aa:8		2			1		
BSET	BSET #xx:3, Rd		1					
	BSET #xx:3, @ERd		2			2		
	BSET #xx:3, @aa:8		2			2		
	BSET Rn, Rd		1					
	BSET Rn, @ERd		2			2		
	BSET Rn, @aa:8		2			2		
BSR	BSR d:8	ノーマル*	2		1			
		アドバンスト	2		2			
	BSR d:16	ノーマル*	2		1			2
		アドバンスト	2		2			2
BST	BST #xx:3, Rd		1					
	BST #xx:3, @ERd		2			2		
	BST #xx:3, @aa:8		2			2		
BTST	BTST #xx:3, Rd		1					
	BTST #xx:3, @ERd		2			1		
	BTST #xx:3, @aa:8		2			1		
	BTST Rn, Rd		1					
	BTST Rn, @ERd		2			1		
	BTST Rn, @aa:8		2			1		

【注】 *　本 LSI では使用できません。

表 A.4　命令実行状態（サイクル数）（4）

命令	ニーモニック		命令フェッチ	分岐アドレスリード	スタック操作	バイトデータアクセス	ワードデータアクセス	内部動作
			I	J	K	L	M	N
BXOR	BXOR #xx:3, Rd		1					
	BXOR #xx:3, @ERd		2			1		
	BXOR #xx:3, @aa:8		2			1		
CMP	CMP.B #xx:8, Rd		1					
	CMP.B Rs, Rd		1					
	CMP.W #xx:16, Rd		2					
	CMP.W Rs, Rd		1					
	CMP.L #xx:32, ERd		3					
	CMP.L ERs, ERd		1					
DAA	DAA Rd		1					
DAS	DAS Rd		1					
DEC	DEC.B Rd		1					
	DEC.W #1/2, Rd		1					
	DEC.L #1/2, ERd		1					
DIVXS	DIVXS.B Rs, Rd		2					12
	DIVXS.W Rs, ERd		2					20
DIVXU	DIVXU.B Rs, Rd		1					12
	DIVXU.W Rs, ERd		1					20
EEPMOV	EEPMOV.B		2			2n+2*[2]		
	EEPMOV.W		2			2n+2*[2]		
EXTS	EXTS.W Rd		1					
	EXTS.L ERd		1					
EXTU	EXTU.W Rd		1					
	EXTU.L ERd		1					
INC	INC.B Rd		1					
	INC.W #1/2, Rd		1					
	INC.L #1/2, ERd		1					
JMP	JMP @ERn		2					
	JMP @aa:24		2					2
	JMP @@aa:8	ノーマル*[1]	2	1				2
		アドバンスト	2	2				2
JSR	JSR @ERn	ノーマル*[1]	2		1			
		アドバンスト	2		2			
	JSR @aa:24	ノーマル*[1]	2		1			2

【注】 *1　本 LSI では使用できません。

*2　n は R4L、R4 の設定値です。ソース側、ディスティネーション側のアクセスが、それぞれ（n＋1）回行われます。

表 A.4　命令実行状態（サイクル数）（5）

命令	ニーモニック		命令フェッチ	分岐アドレスリード	スタック操作	バイトデータアクセス	ワードデータアクセス	内部動作
			I	J	K	L	M	N
JSR	JSR @aa:24	アドバンスト	2		2			2
	JSR @@aa:8	ノーマル*	2	1	1			
		アドバンスト	2	2	2			
LDC	LDC #xx:8, CCR		1					
	LDC Rs, CCR		1					
	LDC @ERs, CCR		2				1	
	LDC @（d:16, ERs）, CCR		3				1	
	LDC @（d:24, ERs）, CCR		5				1	
	LDC @ERs+, CCR		2				1	2
	LDC @aa:16, CCR		3				1	
	LDC @aa:24, CCR		4				1	
MOV	MOV.B #xx:8, Rd		1					
	MOV.B Rs, Rd		1					
	MOV.B @ERs, Rd		1			1		
	MOV.B @（d:16, ERs）, Rd		2			1		
	MOV.B @（d:24, ERs）, Rd		4			1		
	MOV.B @ERs+, Rd		1			1		2
	MOV.B @aa:8, Rd		1			1		
	MOV.B @aa:16, Rd		2			1		
	MOV.B @aa:24, Rd		3			1		
	MOV.B Rs, @ERd		1			1		
	MOV.B Rs, @（d:16, ERd）		2			1		
	MOV.B Rs, @（d:24, ERd）		4			1		
	MOV.B Rs, @-ERd		1			1		2
	MOV.B Rs, @aa:8		1			1		
	MOV.B Rs, @aa:16		2			1		
	MOV.B Rs, @aa:24		3			1		
	MOV.W #xx:16, Rd		2					
	MOV.W Rs, Rd		1					
	MOV.W @ERs, Rd		1				1	
	MOV.W @（d:16, ERs）, Rd		2				1	
	MOV.W @（d:24, ERs）, Rd		4				1	
	MOV.W @ERs+, Rd		1				1	2
	MOV.W @aa:16, Rd		2				1	

【注】 *　本 LSI では使用できません。

表 A.4　命令実行状態（サイクル数）（6）

命令	ニーモニック	命令フェッチ	分岐アドレスリード	スタック操作	バイトデータアクセス	ワードデータアクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.W @aa:24, Rd	3				1	
	MOV.W Rs, @ERd	1				1	
	MOV.W Rs, @（d:16, ERd）	2				1	
	MOV.W Rs, @（d:24, ERd）	4				1	
	MOV.W Rs, @-ERd	1				1	2
	MOV.W Rs, @aa:16	2				1	
	MOV.W Rs, @aa:24	3				1	
	MOV.L #xx:32, ERd	3					
	MOV.L ERs, ERd	1					
	MOV.L @ERs, ERd	2				2	
	MOV.L @（d:16, ERs）, ERd	3				2	
	MOV.L @（d:24, ERs）, ERd	5				2	
	MOV.L @ERs+, ERd	2				2	2
	MOV.L @aa:16, ERd	3				2	
	MOV.L @aa:24, ERd	4				2	
	MOV.L ERs, @ERd	2				2	
	MOV.L ERs, @（d:16, ERd）	3				2	
	MOV.L ERs, @（d:24, ERd）	5				2	
	MOV.L ERs, @-ERd	2				2	2
	MOV.L ERs, @aa:16	3				2	
	MOV.L ERs, @aa:24	4				2	
MOVFPE	MOVFPE @aa:16, Rd*	2			1		
MOVTPE	MOVTPE Rs, @aa:16*	2			1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU.B Rs, Rd	1					12
	MULXU.W Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					

【注】 *　本 LSI では使用できません。

表 A.4　命令実行状態（サイクル数）（7）

命令	ニーモニック		命令フェッチ	分岐アドレスリード	スタック操作	バイトデータアクセス	ワードデータアクセス	内部動作
			I	J	K	L	M	N
OR	OR.B #xx:8, Rd		1					
	OR.B Rs, Rd		1					
	OR.W #xx:16, Rd		2					
	OR.W Rs, Rd		1					
	OR.L #xx:32, ERd		3					
	OR.L ERs, ERd		2					
ORC	ORC #xx:8, CCR		1					
POP	POP.W Rn		1				1	2
	POP.L ERn		2				2	2
PUSH	PUSH.W Rn		1				1	2
	PUSH.L ERn		2				2	2
ROTL	ROTL.B Rd		1					
	ROTL.W Rd		1					
	ROTL.L ERd		1					
ROTR	ROTR.B Rd		1					
	ROTR.W Rd		1					
	ROTR.L ERd		1					
ROTXL	ROTXL.B Rd		1					
	ROTXL.W Rd		1					
	ROTXL.L ERd		1					
ROTXR	ROTXR.B Rd		1					
	ROTXR.W Rd		1					
	ROTXR.L ERd		1					
RTE	RTE		2		2			2
RTS	RTS	ノーマル*	2		1			2
		アドバンスト	2		2			2
SHAL	SHAL.B Rd		1					
	SHAL.W Rd		1					
	SHAL.L ERd		1					
SHAR	SHAR.B Rd		1					
	SHAR.W Rd		1					
	SHAR.L ERd		1					
SHLL	SHLL.B Rd		1					
	SHLL.W Rd		1					

【注】 *　本 LSI では使用できません。

表 A.4　命令実行状態（サイクル数）（8）

命令	ニーモニック		命令フェッチ	分岐アドレスリード	スタック操作	バイトデータアクセス	ワードデータアクセス	内部動作
			I	J	K	L	M	N
SHLL	SHLL.L ERd		1					
SHLR	SHLR.B Rd		1					
	SHLR.W Rd		1					
	SHLR.L ERd		1					
SLEEP	SLEEP		1					
STC	STC CCR, Rd		1					
	STC CCR, @ERd		2				1	
	STC CCR, @（d:16, ERd）		3				1	
	STC CCR, @（d:24, ERd）		5				1	
	STC CCR, @-ERd		2				1	2
	STC CCR, @aa:16		3				1	
	STC CCR, @aa:24		4				1	
SUB	SUB.B Rs, Rd		1					
	SUB.W #xx:16, Rd		2					
	SUB.W Rs, Rd		1					
	SUB.L #xx:32, ERd		3					
	SUB.L ERs, ERd		1					
SUBS	SUBS #1/2/4, ERd		1					
SUBX	SUBX #xx:8, Rd		1					
	SUBX Rs, Rd		1					
TRAPA	TRAPA #x:2	ノーマル*	2	1	2			4
		アドバンスト	2	2	2			4
XOR	XOR.B #xx:8, Rd		1					
	XOR.B Rs, Rd		1					
	XOR.W #xx:16, Rd		2					
	XOR.W Rs, Rd		1					
	XOR.L #xx:32, ERd		3					
	XOR.L ERs, ERd		2					
XORC	XORC #xx:8, CCR		1					

【注】 *　本 LSI では使用できません。

B. 内部 I/O レジスタ一覧

表 B.1　H8/3048 シリーズの内部 I/O レジスタ仕様比較

下位アドレス	H8/3048ZTAT	H8/3048 マスク ROM 品 H8/3047 マスク ROM 品 H8/3045 マスク ROM 品 H8/3044 マスク ROM 品	H8/3048F	H8/3048F-ONE	モジュール名
H'FF40	—	—	FLMCR	FLMCR1	フラッシュメモリ
H'FF41	—	—	—	FLMCR2	
H'FF42	—	—	EBR1	EBR	
H'FF43	—	—	EBR2	—	
H'FF47	—	—	—	RAMCR	
H'FF48	—	—	RAMCR	—	

【注】　「—」部は、アクセスが禁止されています。アクセスした場合、正常動作は保証されません。

B.1 アドレス一覧（H8/3048F、H8/3048ZTAT、H8/3048 マスク ROM 品、H8/3047 マスク ROM 品、H8/3045 マスク ROM 品、H8/3044 マスク ROM 品の場合）

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'1C											
H'1D											
H'1E											
H'1F											
H'20	MAR0AR	8									DMAC チャネル 0A
H'21	MAR0AE	8									
H'22	MAR0AH	8									
H'23	MAR0AL	8									
H'24	ETCR0AH	8									
H'25	ETCR0AL	8									
H'26	IOAR0A	8									
H'27	DTCR0A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フルアドレスモード
H'28	MAR0BR	8									DMAC チャネル 0B
H'29	MAR0BE	8									
H'2A	MAR0BH	8									
H'2B	MAR0BL	8									
H'2C	ETCR0BH	8									
H'2D	ETCR0BL	8									
H'2E	IOAR0B	8									
H'2F	DTCR0B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTME	—	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フルアドレスモード

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'30	MAR1AR	8									DMAC
H'31	MAR1AE	8									チャネル 1A
H'32	MAR1AH	8									
H'33	MAR1AL	8									
H'34	ETCR1AH	8									
H'35	ETCR1AL	8									
H'36	IOAR1A	8									
H'37	DTCR1A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フルアドレスモード
H'38	MAR1BR	8									DMAC
H'39	MAR1BE	8									チャネル 1B
H'3A	MAR1BH	8									
H'3B	MAR1BL	8									
H'3C	ETCR1BH	8									
H'3D	ETCR1BL	8									
H'3E	IOAR1B	8									
H'3F	DTCR1B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTME	—	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フルアドレスモード
H'40	FLMCR	8	V_{PP}	V_{PP}E	—	—	EV	PV	E	P	フラッシュメモリ
H'41	—		—	—	—	—	—	—	—	—	
H'42	EBR1	8	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0	
H'43	EBR2	8	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0	
H'44	—		—	—	—	—	—	—	—	—	
H'45	—		—	—	—	—	—	—	—	—	
H'46	—		—	—	—	—	—	—	—	—	
H'47	—		—	—	—	—	—	—	—	—	
H'48	RAMCR	8	FLER	—	—	—	RAMS	RAM2	RAM1	RAM0	
H'49	—		—	—	—	—	—	—	—	—	
H'4A	—		—	—	—	—	—	—	—	—	
H'4B	—		—	—	—	—	—	—	—	—	
H'4C	—		—	—	—	—	—	—	—	—	
H'4D	—		—	—	—	—	—	—	—	—	
H'4E	—		—	—	—	—	—	—	—	—	
H'4F	—		—	—	—	—	—	—	—	—	

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'50	—		—	—	—	—	—	—	—	—	
H'51	—		—	—	—	—	—	—	—	—	
H'52	—		—	—	—	—	—	—	—	—	
H'53	—		—	—	—	—	—	—	—	—	
H'54	—		—	—	—	—	—	—	—	—	
H'55	—		—	—	—	—	—	—	—	—	
H'56	—		—	—	—	—	—	—	—	—	
H'57	—		—	—	—	—	—	—	—	—	
H'58	—		—	—	—	—	—	—	—	—	
H'59	—		—	—	—	—	—	—	—	—	
H'5A	—		—	—	—	—	—	—	—	—	
H'5B	—		—	—	—	—	—	—	—	—	
H'5C	DASTCR	8	—	—	—	—	—	—	—	DASTE	D/A 変換器
H'5D	DIVCR	8	—	—	—	—	—	—	DIV1	DIV0	システム制御
H'5E	MSTCR	8	PSTOP	—	MSTOP5	MSTOP4	MSTOP3	MSTOP2	MSTOP1	MSTOP0	
H'5F	CSCR	8	CS7E	CS6E	CS5E	CS4E	—	—	—	—	バスコントローラ
H'60	TSTR	8	—	—	—	STR4	STR3	STR2	STR1	STR0	ITU 共通
H'61	TSNC	8	—	—	—	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
H'62	TMDR	8	—	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0	
H'63	TFCR	8	—	—	CMD1	CMD0	BFB4	BFA4	BFB3	BFA3	
H'64	TCR0	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャネル 0
H'65	TIOR0	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H'66	TIER0	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H'67	TSR0	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'68	TCNT0H	16									
H'69	TCNT0L										
H'6A	GRA0H	16									
H'6B	GRA0L										
H'6C	GRB0H	16									
H'6D	GRB0L										
H'6E	TCR1	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャネル 1
H'6F	TIOR1	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'70	TIER1	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	ITU
H'71	TSR1	8	—	—	—	—	—	OVF	IMFB	IMFA	チャネル 1
H'72	TCNT1H	16									
H'73	TCNT1L										
H'74	GRA1H	16									
H'75	GRA1L										
H'76	GRB1H	16									
H'77	GRB1L										
H'78	TCR2	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU
H'79	TIOR2	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	チャネル 2
H'7A	TIER2	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H'7B	TSR2	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'7C	TCNT2H	16									
H'7D	TCNT2L										
H'7E	GRA2H	16									
H'7F	GRA2L										
H'80	GRB2H	16									
H'81	GRB2L										
H'82	TCR3	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU
H'83	TIOR3	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	チャネル 3
H'84	TIER3	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H'85	TSR3	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'86	TCNT3H	16									
H'87	TCNT3L										
H'88	GRA3H	16									
H'89	GRA3L										
H'8A	GRB3H	16									
H'8B	GRB3L										
H'8C	BRA3H	16									
H'8D	BRA3L										
H'8E	BRB3H	16									
H'8F	BRB3L										

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'90	TOER	8	—	—	EXB4	EXA4	EB3	EB4	EA4	EA3	ITU 共　通
H'91	TOCR	8	—	—	—	XTGD	—	—	OLS4	OLS3	
H'92	TCR4	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャネル 4
H'93	TIOR4	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H'94	TIER4	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H'95	TSR4	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'96	TCNT4H	16									
H'97	TCNT4L										
H'98	GRA4H	16									
H'99	GRA4L										
H'9A	GRB4H	16									
H'9B	GRB4L										
H'9C	BRA4H	16									
H'9D	BRA4L										
H'9E	BRB4H	16									
H'9F	BRB4L										
H'A0	TPMR	8	—	—	—	—	G3NOV	G2NOV	G1NOV	G0NOV	TPC
H'A1	TPCR	8	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	
H'A2	NDERB	8	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
H'A3	NDERA	8	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
H'A4	NDRB*1	8	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
		8	NDR15	NDR14	NDR13	NDR12	—	—	—	—	
H'A5	NDRA*1	8	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
		8	NDR7	NDR6	NDR5	NDR4	—	—	—	—	
H'A6	NDRB*1	8	—	—	—	—	—	—	—	—	
		8	—	—	—	—	NDR11	NDR10	NDR9	NDR8	
H'A7	NDRA*1	8	—	—	—	—	—	—	—	—	
		8	—	—	—	—	NDR3	NDR2	NDR1	NDR0	
H'A8	TCSR*2	8	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0	WDT
H'A9	TCNT*2	8									
H'AA	—		—	—	—	—	—	—	—	—	
H'AB	RSTCSR*2	8	WRST	RSTOE	—	—	—	—	—	—	
H'AC	RFSHCR	8	SRFMD	PSRAME	DRAME	CAS/WE	M9/M8	RFSHE	—	RCYCE	リフレッシュコントローラ
H'AD	RTMCSR	8	CMF	CMIE	CKS2	CKS1	CKS0	—	—	—	
H'AE	RTCNT	8									
H'AF	RTCOR	8									

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'B0	SMR	8	C/A / GM	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI チャネル 0
H'B1	BRR	8									
H'B2	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'B3	TDR	8									
H'B4	SSR	8	TDRE	RDRF	ORER	FER/ ERS	PER	TEND	MPB	MPBT	
H'B5	RDR	8									
H'B6	SCMR	8	—	—	—	—	SDIR	SINV	—	SMIF	
H'B7											
H'B8	SMR	8	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI チャネル 1
H'B9	BRR	8									
H'BA	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'BB	TDR	8									
H'BC	SSR	8	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'BD	RDR	8									
H'BE	—		—	—	—	—	—	—	—	—	
H'BF											
H'C0	P1DDR	8	$P1_7$DDR	$P1_6$DDR	$P1_5$DDR	$P1_4$DDR	$P1_3$DDR	$P1_2$DDR	$P1_1$DDR	$P1_0$DDR	ポート 1
H'C1	P2DDR	8	$P2_7$DDR	$P2_6$DDR	$P2_5$DDR	$P2_4$DDR	$P2_3$DDR	$P2_2$DDR	$P2_1$DDR	$P2_0$DDR	ポート 2
H'C2	P1DR	8	$P1_7$	$P1_6$	$P1_5$	$P1_4$	$P1_3$	$P1_2$	$P1_1$	$P1_0$	ポート 1
H'C3	P2DR	8	$P2_7$	$P2_6$	$P2_5$	$P2_4$	$P2_3$	$P2_2$	$P2_1$	$P2_0$	ポート 2
H'C4	P3DDR	8	$P3_7$DDR	$P3_6$DDR	$P3_5$DDR	$P3_4$DDR	$P3_3$DDR	$P3_2$DDR	$P3_1$DDR	$P3_0$DDR	ポート 3
H'C5	P4DDR	8	$P4_7$DDR	$P4_6$DDR	$P4_5$DDR	$P4_4$DDR	$P4_3$DDR	$P4_2$DDR	$P4_1$DDR	$P4_0$DDR	ポート 4
H'C6	P3DR	8	$P3_7$	$P3_6$	$P3_5$	$P3_4$	$P3_3$	$P3_2$	$P3_1$	$P3_0$	ポート 3
H'C7	P4DR	8	$P4_7$	$P4_6$	$P4_5$	$P4_4$	$P4_3$	$P4_2$	$P4_1$	$P4_0$	ポート 4
H'C8	P5DDR	8	—	—	—	—	$P5_3$DDR	$P5_2$DDR	$P5_1$DDR	$P5_0$DDR	ポート 5
H'C9	P6DDR	8	—	$P6_6$DDR	$P6_5$DDR	$P6_4$DDR	$P6_3$DDR	$P6_2$DDR	$P6_1$DDR	$P6_0$DDR	ポート 6
H'CA	P5DR	8	—	—	—	—	$P5_3$	$P5_2$	$P5_1$	$P5_0$	ポート 5
H'CB	P6DR	8	—	$P6_6$	$P6_5$	$P6_4$	$P6_3$	$P6_2$	$P6_1$	$P6_0$	ポート 6
H'CC	—		—	—	—	—	—	—	—	—	
H'CD	P8DDR	8	—	—	—	$P8_4$DDR	$P8_3$DDR	$P8_2$DDR	$P8_1$DDR	$P8_0$DDR	ポート 8
H'CE	P7DR	8	$P7_7$	$P7_6$	$P7_5$	$P7_4$	$P7_3$	$P7_2$	$P7_1$	$P7_0$	ポート 7
H'CF	P8DR	8	—	—	—	$P8_4$	$P8_3$	$P8_2$	$P8_1$	$P8_0$	ポート 8

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'D0	P9DDR	8	—	—	$P9_5$DDR	$P9_4$DDR	$P9_3$DDR	$P9_2$DDR	$P9_1$DDR	$P9_0$DDR	ポート 9
H'D1	PADDR	8	PA_7DDR	PA_6DDR	PA_5DDR	PA_4DDR	PA_3DDR	PA_2DDR	PA_1DDR	PA_0DDR	ポート A
H'D2	P9DR	8	—	—	$P9_5$	$P9_4$	$P9_3$	$P9_2$	$P9_1$	$P9_0$	ポート 9
H'D3	PADR	8	PA_7	PA_6	PA_5	PA_4	PA_3	PA_2	PA_1	PA_0	ポート A
H'D4	PBDDR	8	PB_7DDR	PB_6DDR	PB_5DDR	PB_4DDR	PB_3DDR	PB_2DDR	PB_1DDR	PB_0DDR	ポート B
H'D5	—		—	—	—	—	—	—	—	—	
H'D6	PBDR	8	PB_7	PB_6	PB_5	PB_4	PB_3	PB_2	PB_1	PB_0	ポート B
H'D7	—		—	—	—	—	—	—	—	—	
H'D8	P2PCR	8	$P2_7$PCR	$P2_6$PCR	$P2_5$PCR	$P2_4$PCR	$P2_3$PCR	$P2_2$PCR	$P2_1$PCR	$P2_0$PCR	ポート 2
H'D9	—		—	—	—	—	—	—	—	—	
H'DA	P4PCR	8	$P4_7$PCR	$P4_6$PCR	$P4_5$PCR	$P4_4$PCR	$P4_3$PCR	$P4_2$PCR	$P4_1$PCR	$P4_0$PCR	ポート 4
H'DB	P5PCR	8	—	—	—	—	$P5_3$PCR	$P5_2$PCR	$P5_1$PCR	$P5_0$PCR	ポート 5
H'DC	DADR0	8									D/A 変換器
H'DD	DADR1	8									
H'DE	DACR	8	DAOE1	DAOE0	DAE	—	—	—	—	—	
H'DF	—		—	—	—	—	—	—	—	—	
H'E0	ADDRAH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器
H'E1	ADDRAL	8	AD1	AD0	—	—	—	—	—	—	
H'E2	ADDRBH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E3	ADDRBL	8	AD1	AD0	—	—	—	—	—	—	
H'E4	ADDRCH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E5	ADDRCL	8	AD1	AD0	—	—	—	—	—	—	
H'E6	ADDRDH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E7	ADDRDL	8	AD1	AD0	—	—	—	—	—	—	
H'E8	ADCSR	8	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
H'E9	ADCR	8	TRGE	—	—	—	—	—	—	—	
H'EA	—		—	—	—	—	—	—	—	—	
H'EB	—		—	—	—	—	—	—	—	—	
H'EC	ABWCR	8	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バスコントローラ
H'ED	ASTCR	8	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
H'EE	WCR	8	—	—	—	—	WMS1	WMS0	WC1	WC0	
H'EF	WCER	8	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0	

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'F0	—		—	—	—	—	—	—	—	—	
H'F1	MDCR	8	—	—	—	—	—	MDS2	MDS1	MDS0	システム制御
H'F2	SYSCR	8	SSBY	STS2	STS1	STS0	UE	NMIEG	—	RAME	
H'F3	BRCR	8	A23E	A22E	A21E	—	—	—	—	BRLE	バスコントローラ
H'F4	ISCR	8	—	—	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC	割込みコントローラ
H'F5	IER	8	—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
H'F6	ISR	8	—	—	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
H'F7	—		—	—	—	—	—	—	—	—	
H'F8	IPRA	8	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0	
H'F9	IPRB	8	IPRB7	IPRB6	IPRB5	—	IPRB3	IPRB2	IPRB1	—	
H'FA	—		—	—	—	—	—	—	—	—	
H'FB	—		—	—	—	—	—	—	—	—	
H'FC											
H'FD	—		—	—	—	—	—	—	—	—	
H'FE	—		—	—	—	—	—	—	—	—	
H'FF	—		—	—	—	—	—	—	—	—	

【注】 *1 出力トリガの設定によりアドレスが変化します。

*2 TCSR、TCNT、RSTCSR のライトについては「12.2.4 レジスタ書換え時の注意」を参照してください。

【記号説明】

DMAC ：DMA コントローラ

ITU ：16 ビットインテグレーテッドタイマユニット

TPC ：プログラマブルタイミングパターンコントローラ

WDT ：ウォッチドッグタイマ

SCI ：シリアルコミュニケーションインタフェース

B.2 アドレス一覧（H8/3048F-ONE の場合）

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'1C	リザーブ領域（アクセス禁止）										
H'1D											
H'1E											
H'1F											
H'20	MAR0AR	8									DMAC チャネル 0A
H'21	MAR0AE	8									
H'22	MAR0AH	8									
H'23	MAR0AL	8									
H'24	ETCR0AH	8									
H'25	ETCR0AL	8									
H'26	IOAR0A	8									
H'27	DTCR0A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フルアドレスモード
H'28	MAR0BR	8									DMAC チャネル 0B
H'29	MAR0BE	8									
H'2A	MAR0BH	8									
H'2B	MAR0BL	8									
H'2C	ETCR0BH	8									
H'2D	ETCR0BL	8									
H'2E	IOAR0B	8									
H'2F	DTCR0B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTME	—	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フルアドレスモード

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'30	MAR1AR	8									DMAC チャネル 1A
H'31	MAR1AE	8									
H'32	MAR1AH	8									
H'33	MAR1AL	8									
H'34	ETCR1AH	8									
H'35	ETCR1AL	8									
H'36	IOAR1A	8									
H'37	DTCR1A	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A	フルアドレスモード
H'38	MAR1BR	8									DMAC チャネル 1B
H'39	MAR1BE	8									
H'3A	MAR1BH	8									
H'3B	MAR1BL	8									
H'3C	ETCR1BH	8									
H'3D	ETCR1BL	8									
H'3E	IOAR1B	8									
H'3F	DTCR1B	8	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0	ショートアドレスモード
			DTME	—	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B	フルアドレスモード
H'40	FLMCR1*4	8	FWE	SWE	ESU	PSU	EV	PV	E	P	フラッシュメモリ
H'41	FLMCR2*4	8	FLER	—*3	—*3	—*3	—*3	—*3	—*3	—*3	
H'42	EBR*4	8	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
H'43	リザーブ領域（アクセス禁止）										
H'44											
H'45											
H'46											
H'47	RAMCR*4	8	—	—	—	—	RAMS	RAM2	RAM1	—	
H'48	リザーブ領域（アクセス禁止）										
H'49											
H'4A											
H'4B											
H'4C											
H'4D											
H'4E											
H'4F											

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'50	リザーブ領域（アクセス禁止）										
H'51											
H'52											
H'53											
H'54											
H'55											
H'56											
H'57											
H'58											
H'59											
H'5A											
H'5B											
H'5C	DASTCR	8	—	—	—	—	—	—	—	DASTE	D/A 変換器
H'5D	DIVCR	8	—	—	—	—	—	—	DIV1	DIV0	システム制御
H'5E	MSTCR	8	PSTOP	—	MSTOP5	MSTOP4	MSTOP3	MSTOP2	MSTOP1	MSTOP0	
H'5F	CSCR	8	CS7E	CS6E	CS5E	CS4E	—	—	—	—	バスコントローラ
H'60	TSTR	8	—	—	—	STR4	STR3	STR2	STR1	STR0	ITU 共通
H'61	TSNC	8	—	—	—	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
H'62	TMDR	8	—	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0	
H'63	TFCR	8	—	—	CMD1	CMD0	BFB4	BFA4	BFB3	BFA3	
H'64	TCR0	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャネル 0
H'65	TIOR0	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H'66	TIER0	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H'67	TSR0	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'68	TCNT0H	16									
H'69	TCNT0L										
H'6A	GRA0H	16									
H'6B	GRA0L										
H'6C	GRB0H	16									
H'6D	GRB0L										
H'6E	TCR1	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャネル 1
H'6F	TIOR1	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'70	TIER1	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	ITU チャネル 1
H'71	TSR1	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'72	TCNT1H	16									
H'73	TCNT1L										
H'74	GRA1H	16									
H'75	GRA1L										
H'76	GRB1H	16									
H'77	GRB1L										
H'78	TCR2	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャネル 2
H'79	TIOR2	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H'7A	TIER2	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H'7B	TSR2	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'7C	TCNT2H	16									
H'7D	TCNT2L										
H'7E	GRA2H	16									
H'7F	GRA2L										
H'80	GRB2H	16									
H'81	GRB2L										
H'82	TCR3	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャネル 3
H'83	TIOR3	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H'84	TIER3	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H'85	TSR3	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'86	TCNT3H	16									
H'87	TCNT3L										
H'88	GRA3H	16									
H'89	GRA3L										
H'8A	GRB3H	16									
H'8B	GRB3L										
H'8C	BRA3H	16									
H'8D	BRA3L										
H'8E	BRB3H	16									
H'8F	BRB3L										

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'90	TOER	8	—	—	EXB4	EXA4	EB3	EB4	EA4	EA3	ITU 共　通
H'91	TOCR	8	—	—	—	XTGD	—	—	OLS4	OLS3	
H'92	TCR4	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャネル 4
H'93	TIOR4	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H'94	TIER4	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H'95	TSR4	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'96	TCNT4H	16									
H'97	TCNT4L										
H'98	GRA4H	16									
H'99	GRA4L										
H'9A	GRB4H	16									
H'9B	GRB4L										
H'9C	BRA4H	16									
H'9D	BRA4L										
H'9E	BRB4H	16									
H'9F	BRB4L										
H'A0	TPMR	8	—	—	—	—	G3NOV	G2NOV	G1NOV	G0NOV	TPC
H'A1	TPCR	8	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	
H'A2	NDERB	8	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
H'A3	NDERA	8	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
H'A4	NDRB*[1]	8	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
		8	NDR15	NDR14	NDR13	NDR12	—	—	—	—	
H'A5	NDRA*[1]	8	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
		8	NDR7	NDR6	NDR5	NDR4	—	—	—	—	
H'A6	NDRB*[1]	8	—	—	—	—	—	—	—	—	
		8	—	—	—	—	NDR11	NDR10	NDR9	NDR8	
H'A7	NDRA*[1]	8	—	—	—	—	—	—	—	—	
		8	—	—	—	—	NDR3	NDR2	NDR1	NDR0	
H'A8	TCSR*[2]	8	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0	WDT
H'A9	TCNT*[2]	8									
H'AA	—		—	—	—	—	—	—	—	—	
H'AB	RSTCSR*[2]	8	WRST	—	—	—	—	—	—	—	
H'AC	RFSHCR	8	SRFMD	PSRAME	DRAME	CAS/WE	M9/M8	RFSHE	—	RCYCE	リフレッシュコントローラ
H'AD	RTMCSR	8	CMF	CMIE	CKS2	CKS1	CKS0	—	—	—	
H'AE	RTCNT	8									
H'AF	RTCOR	8									

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'B0	SMR	8	C/A / GM	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI チャネル 0
H'B1	BRR	8									
H'B2	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'B3	TDR	8									
H'B4	SSR	8	TDRE	RDRF	ORER	FER/ ERS	PER	TEND	MPB	MPBT	
H'B5	RDR	8									
H'B6	SCMR	8	—	—	—	—	SDIR	SINV	—	SMIF	
H'B7	リザーブ領域（アクセス禁止）										
H'B8	SMR	8	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI チャネル 1
H'B9	BRR	8									
H'BA	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'BB	TDR	8									
H'BC	SSR	8	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'BD	RDR	8									
H'BE	リザーブ領域（アクセス禁止）										
H'BF											
H'C0	P1DDR	8	$P1_7$DDR	$P1_6$DDR	$P1_5$DDR	$P1_4$DDR	$P1_3$DDR	$P1_2$DDR	$P1_1$DDR	$P1_0$DDR	ポート 1
H'C1	P2DDR	8	$P2_7$DDR	$P2_6$DDR	$P2_5$DDR	$P2_4$DDR	$P2_3$DDR	$P2_2$DDR	$P2_1$DDR	$P2_0$DDR	ポート 2
H'C2	P1DR	8	$P1_7$	$P1_6$	$P1_5$	$P1_4$	$P1_3$	$P1_2$	$P1_1$	$P1_0$	ポート 1
H'C3	P2DR	8	$P2_7$	$P2_6$	$P2_5$	$P2_4$	$P2_3$	$P2_2$	$P2_1$	$P2_0$	ポート 2
H'C4	P3DDR	8	$P3_7$DDR	$P3_6$DDR	$P3_5$DDR	$P3_4$DDR	$P3_3$DDR	$P3_2$DDR	$P3_1$DDR	$P3_0$DDR	ポート 3
H'C5	P4DDR	8	$P4_7$DDR	$P4_6$DDR	$P4_5$DDR	$P4_4$DDR	$P4_3$DDR	$P4_2$DDR	$P4_1$DDR	$P4_0$DDR	ポート 4
H'C6	P3DR	8	$P3_7$	$P3_6$	$P3_5$	$P3_4$	$P3_3$	$P3_2$	$P3_1$	$P3_0$	ポート 3
H'C7	P4DR	8	$P4_7$	$P4_6$	$P4_5$	$P4_4$	$P4_3$	$P4_2$	$P4_1$	$P4_0$	ポート 4
H'C8	P5DDR	8	—	—	—	—	$P5_3$DDR	$P5_2$DDR	$P5_1$DDR	$P5_0$DDR	ポート 5
H'C9	P6DDR	8	—	$P6_6$DDR	$P6_5$DDR	$P6_4$DDR	$P6_3$DDR	$P6_2$DDR	$P6_1$DDR	$P6_0$DDR	ポート 6
H'CA	P5DR	8	—	—	—	—	$P5_3$	$P5_2$	$P5_1$	$P5_0$	ポート 5
H'CB	P6DR	8	—	$P6_6$	$P6_5$	$P6_4$	$P6_3$	$P6_2$	$P6_1$	$P6_0$	ポート 6
H'CC	—		—	—	—	—	—	—	—	—	
H'CD	P8DDR	8	—	—	—	$P8_4$DDR	$P8_3$DDR	$P8_2$DDR	$P8_1$DDR	$P8_0$DDR	ポート 8
H'CE	P7DR	8	$P7_7$	$P7_6$	$P7_5$	$P7_4$	$P7_3$	$P7_2$	$P7_1$	$P7_0$	ポート 7
H'CF	P8DR	8	—	—	—	$P8_4$	$P8_3$	$P8_2$	$P8_1$	$P8_0$	ポート 8

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'D0	P9DDR	8	—	—	$P9_5$DDR	$P9_4$DDR	$P9_3$DDR	$P9_2$DDR	$P9_1$DDR	$P9_0$DDR	ポート 9
H'D1	PADDR	8	PA_7DDR	PA_6DDR	PA_5DDR	PA_4DDR	PA_3DDR	PA_2DDR	PA_1DDR	PA_0DDR	ポート A
H'D2	P9DR	8	—	—	$P9_5$	$P9_4$	$P9_3$	$P9_2$	$P9_1$	$P9_0$	ポート 9
H'D3	PADR	8	PA_7	PA_6	PA_5	PA_4	PA_3	PA_2	PA_1	PA_0	ポート A
H'D4	PBDDR	8	PB_7DDR	PB_6DDR	PB_5DDR	PB_4DDR	PB_3DDR	PB_2DDR	PB_1DDR	PB_0DDR	ポート B
H'D5	—		—	—	—	—	—	—	—	—	
H'D6	PBDR	8	PB_7	PB_6	PB_5	PB_4	PB_3	PB_2	PB_1	PB_0	ポート B
H'D7	—		—	—	—	—	—	—	—	—	
H'D8	P2PCR	8	$P2_7$PCR	$P2_6$PCR	$P2_5$PCR	$P2_4$PCR	$P2_3$PCR	$P2_2$PCR	$P2_1$PCR	$P2_0$PCR	ポート 2
H'D9	—		—	—	—	—	—	—	—	—	
H'DA	P4PCR	8	$P4_7$PCR	$P4_6$PCR	$P4_5$PCR	$P4_4$PCR	$P4_3$PCR	$P4_2$PCR	$P4_1$PCR	$P4_0$PCR	ポート 4
H'DB	P5PCR	8	—	—	—	—	$P5_3$PCR	$P5_2$PCR	$P5_1$PCR	$P5_0$PCR	ポート 5
H'DC	DADR0	8									D/A 変換器
H'DD	DADR1	8									
H'DE	DACR	8	DAOE1	DAOE0	DAE	—	—	—	—	—	
H'DF	リザーブ領域（アクセス禁止）										
H'E0	ADDRAH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器
H'E1	ADDRAL	8	AD1	AD0	—	—	—	—	—	—	
H'E2	ADDRBH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E3	ADDRBL	8	AD1	AD0	—	—	—	—	—	—	
H'E4	ADDRCH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E5	ADDRCL	8	AD1	AD0	—	—	—	—	—	—	
H'E6	ADDRDH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E7	ADDRDL	8	AD1	AD0	—	—	—	—	—	—	
H'E8	ADCSR	8	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
H'E9	ADCR	8	TRGE	—	—	—	—	—	—	—	
H'EA	リザーブ領域（アクセス禁止）										
H'EB											
H'EC	ABWCR	8	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バスコントローラ
H'ED	ASTCR	8	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
H'EE	WCR	8	—	—	—	—	WMS1	WMS0	WC1	WC0	
H'EF	WCER	8	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0	

下位アドレス	レジスタ名	データバス幅	ビット名								モジュール名
			ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'F0	リザーブ領域（アクセス禁止）										
H'F1	MDCR	8	—	—	—	—	—	MDS2	MDS1	MDS0	システム制御
H'F2	SYSCR	8	SSBY	STS2	STS1	STS0	UE	NMIEG	—	RAME	
H'F3	BRCR	8	A23E	A22E	A21E	—	—	—	—	BRLE	バスコントローラ
H'F4	ISCR	8	—	—	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC	割込みコントローラ
H'F5	IER	8	—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
H'F6	ISR	8	—	—	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
H'F7	リザーブ領域（アクセス禁止）										
H'F8	IPRA	8	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0	
H'F9	IPRB	8	IPRB7	IPRB6	IPRB5	—	IPRB3	IPRB2	IPRB1	—	
H'FA	リザーブ領域（アクセス禁止）										
H'FB											
H'FC											
H'FD											
H'FE											
H'FF											

【注】 *1 出力トリガの設定によりアドレスが変化します。

*2 TCSR、TCNT、RSTCSR のライトについては「12.2.4 レジスタ書換え時の注意」を参照してください。

*3 FLMCR2 のビット 6～0 は、リザーブビットです。リード／ライト可能です。

*4 FLMCR1、FLMCR2、EBR、RAMCR へのアクセスはバイトアクセスとしてください。

【記号説明】

DMC ：DMA コントローラ

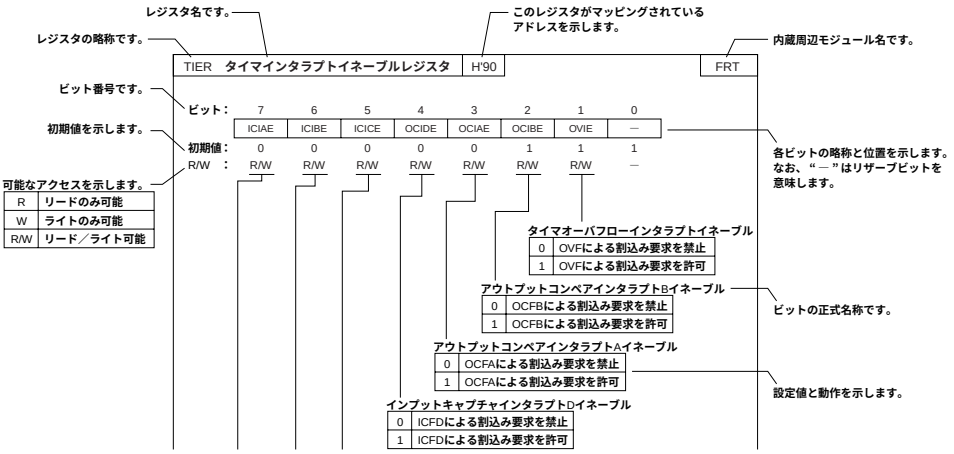
ITU ：16 ビットインテグレーテッドタイマユニット

TPC ：プログラマブルタイミングパターンコントローラ

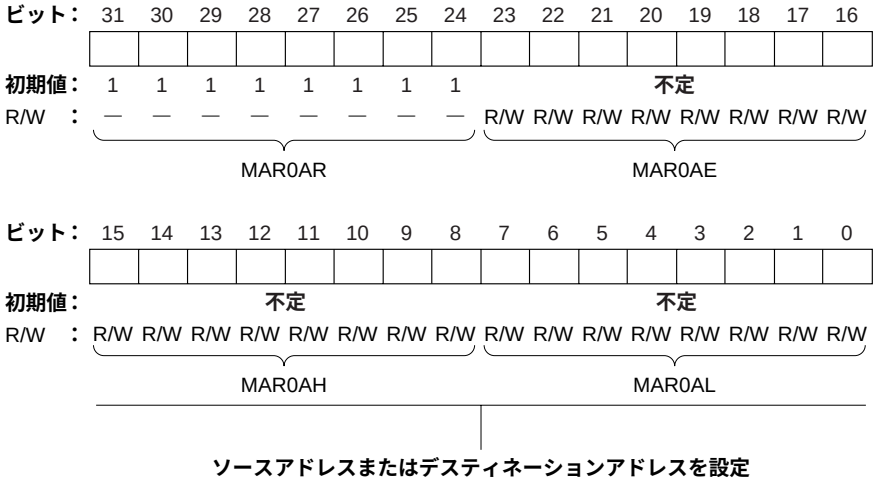
WDT ：ウォッチドッグタイマ

SCI ：シリアルコミュニケーションインターフェース

B.3 機能一覧


レジスタ名です。
レジスタの略称です。
このレジスタがマッピングされている
アドレスを示します。
内蔵周辺モジュール名です。
TIER タイマインタラプトイネーブルレジスタ
H'90
FRT
ビット番号です。
ビット：
7 6 5 4 3 2 1 0
ICIAE ICIBE ICICE OCIDE OCIAE OCIBE OVIE —
初期値を示します。
初期値：
0 0 0 0 0 1 1 1
R/W ：
R/W R/W R/W R/W R/W R/W R/W —
可能なアクセスを示します。
R リードのみ可能
W ライトのみ可能
R/W リード／ライト可能
各ビットの略称と位置を示します。
なお、“ — ”はリザーブビットを
意味します。
タイマオーバフローインタラプトイネーブル
0 OVFによる割込み要求を禁止
1 OVFによる割込み要求を許可
アウトプットコンペアインタラプトBイネーブル
0 OCFBによる割込み要求を禁止
1 OCFBによる割込み要求を許可
ビットの正式名称です。
アウトプットコンペアインタラプトAイネーブル
0 OCFAによる割込み要求を禁止
1 OCFAによる割込み要求を許可
設定値と動作を示します。
インプットキャプチャインタラプトDイネーブル
0 ICFDによる割込み要求を禁止
1 ICFDによる割込み要求を許可

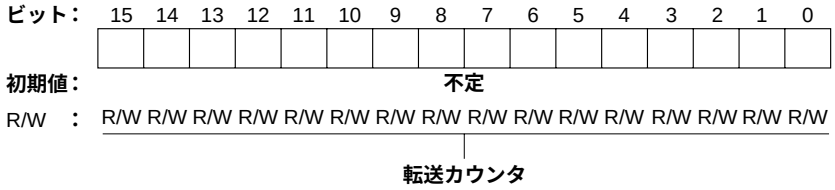
H'20、H'21、H'22、H'23：メモリアドレスレジスタ 0A R、E、H、L　MAR0A R、E、H、L：DMAC0



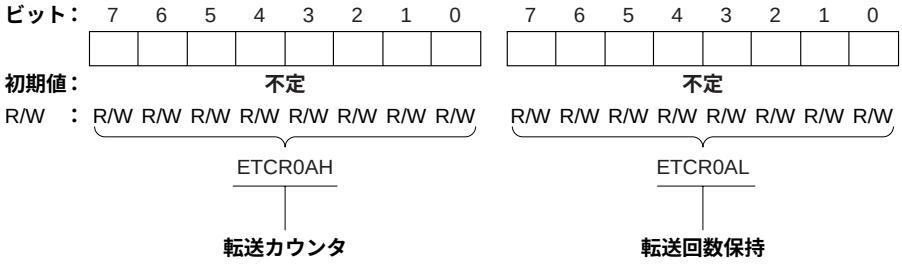
H'24、H'25：転送カウントレジスタ 0A H、L　ETCR0A H、L：DMAC0

■ショートアドレスモード

(1) I/O モードまたはアイドルモード



(2) リピートモード



（次頁に続く）

H'24、H'25：転送カウントレジスタ 0A H、L　ETCR0A H、L：DMAC0

（前頁より続く）

■フルアドレスモード

（1）ノーマルモード

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	不定															
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	転送カウンタ															

（2）ブロック転送モード

ビット：	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
初期値：	不定								不定							
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	ETCR0AH								ETCR0AL							
	ブロックサイズカウンタ								ブロックサイズ保持							

H'26：I/O アドレスレジスタ 0A　IOAR0A：DMAC0

ビット：	7	6	5	4	3	2	1	0
初期値：	不定							
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ショートアドレスモード：ソースアドレスまたはデスティネーションアドレスを設定
フルアドレスモード　　：未使用

H'27：データトランスファコントロールレジスタ 0A　DTCR0A：DMAC0

■ショートアドレスモード

ビット：	7	6	5	4	3	2	1	0
	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファセレクト

ビット2	ビット1	ビット0	データ転送の起動要因
DTS2	DTS1	DTS0	
0	0	0	ITUチャネル0のコンペアマッチ／インプットキャプチャA割込みで起動
		1	ITUチャネル1のコンペアマッチ／インプットキャプチャA割込みで起動
	1	0	ITUチャネル2のコンペアマッチ／インプットキャプチャA割込みで起動
		1	ITUチャネル3のコンペアマッチ／インプットキャプチャA割込みで起動
1	0	0	SCI0の送信データエンプティ割込みで起動
		1	SCI0の受信データフル割込みで起動
	1	0	フルアドレスモード転送を指定
		1	フルアドレスモード転送を指定

データトランスファインタラプトイネーブル

0	DTEビットによる割込み要求を禁止
1	DTEビットによる割込み要求を許可

リピートイネーブル

RPE	DTIE	説　明
0	0	I/Oモードで転送
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

データトランスファインクリメント／デクリメント

0	インクリメント：DTSZ ＝0のとき、転送後MARを＋1 DTSZ ＝1のとき、転送後MARを＋2
1	デクリメント　：DTSZ ＝0のとき、転送後MARを－1 DTSZ ＝1のとき、転送後MARを－2

データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

データトランスファイネーブル

0	データ転送を禁止
1	データ転送を許可

（次頁へ続く）

H'27：データトランスファコントロールレジスタ 0A　DTCR0A：DMAC0

（前頁より続く）

■フルアドレスモード

ビット：	7	6	5	4	3	2	1	0
	DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファセレクト0A

0	**ノーマルモードで動作**
1	**ブロック転送モードで動作**

データトランスファセレクト2A, 1A

いずれも1**にセットしてください**

データトランスファインタラプトイネーブル

0	DTE**ビットによる割込み要求を禁止**
1	DTE**ビットによる割込み要求を許可**

ソースアドレスインクリメント／デクリメント（ビット5**）**
ソースアドレスインクリメント／デクリメントイネーブル（ビット4**）**

ビット5	ビット4	インクリメント／デクリメントイネーブル
SAID	SAIDE	
0	0	MARA**固定**
	1	**インクリメント：**DTSZ =0**のとき、転送後**MARA**を**＋1 DTSZ =1**のとき、転送後**MARA**を**＋2
1	0	MARA**固定**
	1	**デクリメント　：**DTSZ =0**のとき、転送後**MARA**を**－1 DTSZ =1**のとき、転送後**MARA**を**－2

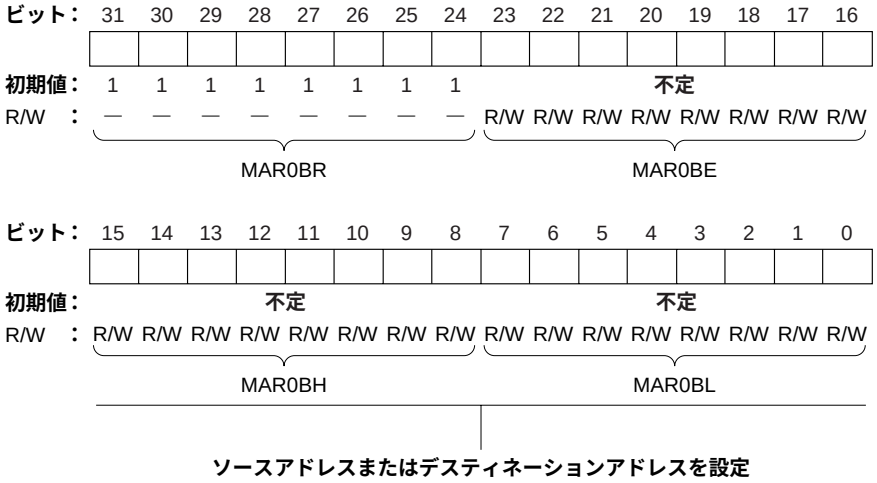
データトランスファサイズ

0	**バイトサイズ転送**
1	**ワードサイズ転送**

データトランスファイネーブル

0	**データ転送を禁止**
1	**データ転送を許可**

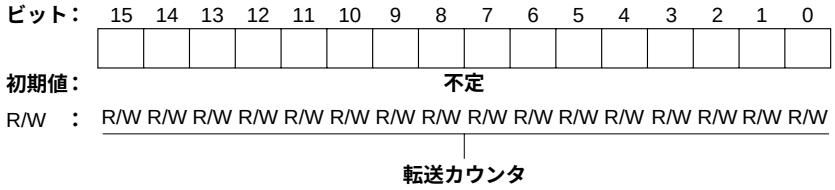
H'28、H'29、H'2A、H'2B：メモリアドレスレジスタ 0B R、E、H、L　MAR0B R、E、H、L：DMAC0



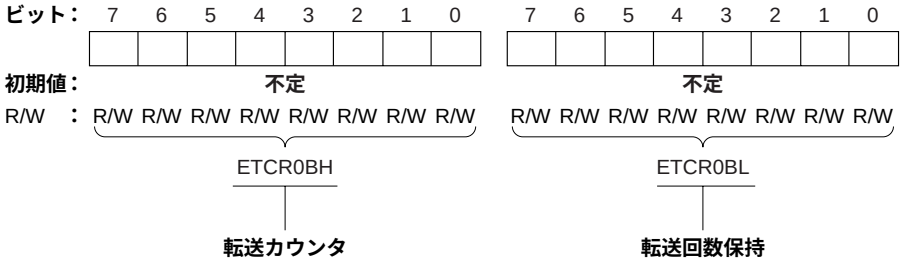
H'2C、H'2D：転送カウントレジスタ 0B H、L　ETCR0B H、L：DMAC0

■ショートアドレスモード

（1）I/O モードまたはアイドルモード



（2）リピートモード



（次頁に続く）

H'2C、H'2D：転送カウントレジスタ 0B H、L　ETCR0B H、L：DMAC0

（前頁より続く）

■フルアドレスモード

（1）ノーマルモード

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	不定															
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	未使用															

（2）ブロック転送モード

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	不定															
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	ブロック転送カウンタ															

H'2E：I/O アドレスレジスタ 0B　IOAR0B：DMAC0

ビット：	7	6	5	4	3	2	1	0
初期値：	不定							
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ショートアドレスモード：ソースアドレスまたはデスティネーションアドレスを設定
フルアドレスモード　　：未使用

H'2F：データトランスファコントロールレジスタ 0B　DTCR0B：DMAC0

■ショートアドレスモード

ビット：	7	6	5	4	3	2	1	0
	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファセレクト

ビット2	ビット1	ビット0	データ転送の起動要因
DTS2	DTS1	DTS0	
0	0	0	ITUチャネル0のコンペアマッチ／インプットキャプチャA割込みで起動
		1	ITUチャネル1のコンペアマッチ／インプットキャプチャA割込みで起動
	1	0	ITUチャネル2のコンペアマッチ／インプットキャプチャA割込みで起動
		1	ITUチャネル3のコンペアマッチ／インプットキャプチャA割込みで起動
1	0	0	SCI0の送信データエンプティ割込みで起動
		1	SCI0の受信データフル割込みで起動
	1	0	$\overline{\text{DREQ}}$端子の立下がりエッジ入力で起動
		1	$\overline{\text{DREQ}}$端子のLowレベル入力で起動

データトランスファインタラプトイネーブル

0	DTEビットによる割込み要求を禁止
1	DTEビットによる割込み要求を許可 DTEビット＝0のとき、CPUに割込みを要求

リピートイネーブル

RPE	DTIE	説　明
0	0	I/Oモードで転送
	1	
1	0	リピートモードで転送
	1	アイドルモードで転送

データトランスファインクリメント／デクリメント

0	インクリメント：DTSZ＝0のとき、転送後MARを＋1 DTSZ＝1のとき、転送後MARを＋2
1	デクリメント　：DTSZ＝0のとき、転送後MARを－1 DTSZ＝1のとき、転送後MARを－2

データトランスファサイズ

0	バイトサイズ転送
1	ワードサイズ転送

データトランスファイネーブル

0	データ転送を禁止
1	データ転送を許可

（次頁へ続く）

H'2F：データトランスファコントロールレジスタ 0B　DTCR0B：DMAC0

（前頁より続く）

■フルアドレスモード

ビット：	7	6	5	4	3	2	1	0
	DTME	—	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

データトランスファセレクト2B〜0B

ビット2	ビット1	ビット0	データ転送の起動要因	
DTS2B	DTS1B	DTS0B	ノーマルモード	ブロック転送モード
0	0	0	オートリクエスト（バーストモード）	ITUチャネル0のコンペアマッチ／インプットキャプチャA割込みで起動
		1	使用できません	ITUチャネル1のコンペアマッチ／インプットキャプチャA割込みで起動
	1	0	オートリクエスト（サイクルスチールモード）	ITUチャネル2のコンペアマッチ／インプットキャプチャA割込みで起動
		1	使用できません	ITUチャネル3のコンペアマッチ／インプットキャプチャA割込みで起動
1	0	0	使用できません	使用できません
		1	使用できません	使用できません
	1	0	$\overline{\text{DREQ}}$端子の立下がりで起動	$\overline{\text{DREQ}}$端子の立下がりで起動
		1	$\overline{\text{DREQ}}$端子のLowレベルで起動	使用できません

トランスファモードセレクト

0	ブロック転送モード時、デスティネーション側をブロックエリアとして転送
1	ブロック転送モード時、ソース側をブロックエリアとして転送

デスティネーションアドレスインクリメント／デクリメント（ビット5）
デスティネーションアドレスインクリメント／デクリメントイネーブル（ビット4）

ビット5	ビット4	インクリメント／デクリメントイネーブル
DAID	DAIDE	
0	0	MARB固定
	1	インクリメント：DTSZ＝0のとき、転送後MARBを＋1 DTSZ＝1のとき、転送後MARBを＋2
1	0	MARB固定
	1	デクリメント　：DTSZ＝0のとき、転送後MARBを－1 DTSZ＝1のとき、転送後MARBを－2

データトランスファマスタイネーブル

0	データ転送を禁止
1	データ転送を許可

H'30、H'31、H'32、H'33：メモリアドレスレジスタ 1A R、E、H、L　MAR1A R、E、H、L：DMAC1

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	1	1	1	1	1	1	1	1	不定							
R/W ：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	MAR1AR								MAR1AE							

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	不定								不定							
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	MAR1AH								MAR1AL							

※機能はDMAC0と同じです。

H'34, H'35：転送カウントレジスタ 1A H、L　ETCR1A H、L：DMAC1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	不定															
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
初期値：	不定								不定							
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	ETCR1AH								ETCR1AL							

※機能はDMAC0と同じです。

H'36：I/O アドレスレジスタ 1A　IOAR1A：DMAC1

ビット：	7	6	5	4	3	2	1	0
初期値：	不定							
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はDMAC0と同じです。

H'37：データトランスファコントロールレジスタ 1A　DTCR1A：DMAC1

■ショートアドレスモード

ビット：	7	6	5	4	3	2	1	0
	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■フルアドレスモード

ビット：	7	6	5	4	3	2	1	0
	DTE	DTSZ	SAID	SAIDE	DTIE	DTS2A	DTS1A	DTS0A
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はDMAC0と同じです。

H'38、H'39、H'3A、H'3B：メモリアドレスレジスタ 1B R、E、H、L　MAR1B R、E、H、L：DMAC1

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	1	1	1	1	1	1	1	1	不定							
R/W ：	—	—	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	MAR1BR								MAR1BE							

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	不定								不定							
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	MAR1BH								MAR1BL							

※機能はDMAC0と同じです。

H'3C、H'3D：転送カウントレジスタ 1B H、L　ETCR1B H、L：DMAC1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	不定															
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0
初期値：	不定								不定							
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	ETCR1BH								ETCR1BL							

※機能はDMAC0と同じです。

H'3E：I/O アドレスレジスタ 1B　IOAR1B：DMAC1

ビット：	7	6	5	4	3	2	1	0
初期値：	不定							
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はDMAC0と同じです。

H'3F：データトランスファコントロールレジスタ 1B　DTCR1B：DMAC1

■ショートアドレスモード

ビット：	7	6	5	4	3	2	1	0
	DTE	DTSZ	DTID	RPE	DTIE	DTS2	DTS1	DTS0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

■フルアドレスモード

ビット：	7	6	5	4	3	2	1	0
	DTME	—	DAID	DAIDE	TMS	DTS2B	DTS1B	DTS0B
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はDMAC0と同じです。

H'40：フラッシュメモリコントロールレジスタ FLMCR：フラッシュメモリ

ビット：	7	6	5	4	3	2	1	0
	VPP	VPPE	—	—	EV	PV	E	P
初期値*：	0	0	0	0	0	0	0	0
R/W ：	R	R/W	—	—	R/W*	R/W*	R/W*	R/W*

プログラムモード

0	プログラムモードを解除（初期値）
1	プログラムモードに遷移

イレースモード

0	イレースモードを解除（初期値）
1	イレースモードに遷移

プログラムベリファイモード

0	プログラムベリファイモードを解除（初期値）
1	プログラムベリファイモードに遷移

イレースベリファイモード

0	イレースベリファイモードを解除（初期値）
1	イレースベリファイモードに遷移

VPPイネーブル

0	VPP端子の12V電源無効（初期値）
1	VPP端子の12V電源有効

プログラム電源

0	〔クリア条件〕VPPに12Vが印加されていないとき（初期値）
1	〔セット条件〕VPPに12Vが印加されているとき

【注】 * モード5、6、7（内蔵フラッシュメモリが有効）のとき初期値はH'00になります。
モード1、2、3、4（内蔵フラッシュメモリが無効）のときは、リードすると常にH'FFが読み出され、ライトも無効となります。

H8/3048F	本レジスタあり
H8/3048F-ONE H8/3048ZTAT H8/3048マスクROM品 H8/3047マスクROM品 H8/3045マスクROM品 H8/3044マスクROM品	本レジスタなし

H'40：フラッシュメモリコントロールレジスタ1　FLMCR1：フラッシュメモリ

ビット：	7	6	5	4	3	2	1	0
	FWE	SWE1	ESU1	PSU1	EV1	PV1	E1	P1
初期値*：	0	0	0	0	0	0	0	0
R/W ：	R	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

プログラムモード1

0	プログラムモードを解除（初期値）
1	プログラムモードに遷移

イレースモード1

0	イレースモードを解除（初期値）
1	イレースモードに遷移

プログラムベリファイモード1

0	プログラムベリファイモードを解除（初期値）
1	プログラムベリファイモードに遷移

イレースベリファイモード1

0	イレースベリファイモードを解除（初期値）
1	イレースベリファイモードに遷移

プログラムセットアップビット1

0	プログラムセットアップ解除（初期値）
1	プログラムセットアップ

イレースセットアップビット1

0	イレースセットアップ解除（初期値）
1	イレースセットアップ

ソフトウェアライトイネーブルビット1

0	書き込み無効（初期値）
1	書き込み有効

フラッシュライトイネーブルビット

0	FWE端子にローレベルが入力されているとき（ハードウェアプロテクト状態）
1	FWE端子にハイレベルが入力されているとき

【注】 * モード5、6、7（内蔵フラッシュメモリが有効）のとき初期値はH'00になります。
モード1、2、3、4（内蔵フラッシュメモリが無効）のときは、リードすると常にH'FFが読み出され、ライトも無効となります。

H8/3048F	本レジスタなし
H8/3048F-ONE	本レジスタあり
H8/3048ZTAT H8/3048マスクROM品 H8/3047マスクROM品 H8/3045マスクROM品 H8/3044マスクROM品	本レジスタなし

H'41：フラッシュメモリコントロールレジスタ 2　FLMCR2：フラッシュメモリ

ビット：	7	6	5	4	3	2	1	0
	FLER	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W ：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリエラー

リザーブビット

0	フラッシュメモリは正常に動作しています。フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）が無効（初期値）
1	フラッシュメモリへの書き込み／消去中にエラーが発生したことを示します。フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）が有効

【注】　ビット6～0は、リザーブビットです。リード／ライト可能です。

H8/3048F	本レジスタなし
H8/3048F-ONE	本レジスタあり
H8/3048ZTAT H8/3048マスクROM品 H8/3047マスクROM品 H8/3045マスクROM品 H8/3044マスクROM品	本レジスタなし

H'42：消去ブロック指定レジスタ 1　EBR1：フラッシュメモリ

ビット：	7	6	5	4	3	2	1	0
	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0
初期値*：	0	0	0	0	0	0	0	0
R/W ：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ラージブロック7～0

0	LB7～LB0ブロックをそれぞれ選択していない（初期値）
1	LB7～LB0ブロックをそれぞれ選択している

【注】 *　モード5、6、7（内蔵ROMが有効）のとき初期値はH'00になります。
モード1、2、3、4（内蔵ROMが無効）のときは、リードすると常にH'FFが読み出され、ライトも無効となります。

H8/3048F	本レジスタあり
H8/3048F-ONE H8/3048ZTAT H8/3048マスクROM品 H8/3047マスクROM品 H8/3045マスクROM品 H8/3044マスクROM品	本レジスタなし

H'42：消去ブロック指定レジスタ　EBR：フラッシュメモリ

ビット：	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値*：	0	0	0	0	0	0	0	0
R/W　：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

消去ブロック指定ビット1

0	消去プロテクト状態
1	消去可能状態

【注】 *　モード5、6、7（内蔵ROMが有効）のとき初期値はH'00になります。
モード1、2、3、4（内蔵ROMが無効）のときは、リードすると常にH'00が読み出され、ライトも無効となります。

H8/3048F	本レジスタなし
H8/3048F-ONE	本レジスタあり
H8/3048ZTAT H8/3048マスクROM品 H8/3047マスクROM品 H8/3045マスクROM品 H8/3044マスクROM品	本レジスタなし

H'43：消去ブロック指定レジスタ 2　EBR2：フラッシュメモリ

ビット：	7	6	5	4	3	2	1	0
	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
初期値*：	0	0	0	0	0	0	0	0
R/W　：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

スモールブロック7〜0

0	SB7〜SB0ブロックをそれぞれ選択していない（初期値）
1	SB7〜SB0ブロックをそれぞれ選択している

【注】 *　モード5、6、7（内蔵ROMが有効）のとき初期値はH'00になります。
モード1、2、3、4（内蔵ROMが無効）のときは、リードすると常にH'FFが読み出され、ライトも無効となります。

H8/3048F	本レジスタあり
H8/3048F-ONE H8/3048ZTAT H8/3048マスクROM品 H8/3047マスクROM品 H8/3045マスクROM品 H8/3044マスクROM品	本レジスタなし

H'47：RAM コントロールレジスタ　RAMCR：フラッシュメモリ

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	RAMS	RAM2	RAM1	—
モード1〜4 初期値:	1	1	1	1	0	0	0	0
モード1〜4 R/W:	—	—	—	—	R	R	R	—
モード5〜7 初期値:	1	1	1	1	0	0	0	0
モード5〜7 R/W:	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

RAMセレクト、RAM2、1

ビット3	ビット2	ビット1	RAMエリア	RAMエミュレーション状態
RAMS	RAM2	RAM1		
0	0/1	0/1	H'FFF000〜H'FFF3FF	エミュレーションなし
1	0	0	H'000000〜H'0003FF	写像RAM
		1	H'000400〜H'0007FF	
	1	0	H'000800〜H'000BFF	
		1	H'000C00〜H'000FFF	

H8/3048F	本レジスタなし
H8/3048F-ONE	本レジスタあり
H8/3048ZTAT H8/3048マスクROM品 H8/3047マスクROM品 H8/3045マスクROM品 H8/3044マスクROM品	本レジスタなし

【注】　ビット7〜4は、リザーブビットです。ライトは無効です。
ライトした場合は、正常動作が保証されません。
ビット0はリザーブビットです。リード／ライト可能です。

H'48：RAM コントロールレジスタ　RAMCR：フラッシュメモリ

ビット：	7	6	5	4	3	2	1	0
	FLER	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値：	0	1	1	1	0	0	0	0
R/W ：	R/W	—	—	—	R/W	R/W	R/W	R/W

RAMセレクト、RAM2〜0

ビット3	ビット2	ビット1	ビット0	RAMエリア
RAMS	RAM2	RAM1	RAM0	
0	1/0	1/0	1/0	H'FFF000〜H'FFF1FF
1	0	0	0	H'01F000〜H'01F1FF
			1	H'01F200〜H'01F3FF
		1	0	H'01F400〜H'01F5FF
			1	H'01F600〜H'01F7FF
	1	0	0	H'01F800〜H'01F9FF
			1	H'01FA00〜H'01FBFF
		1	0	H'01FC00〜H'01FDFF
			1	H'01FE00〜H'01FFFF

フラッシュメモリエラー

0	フラッシュメモリへの書込み／消去プロテクト（エラープロテクト）が無効（初期値）
1	フラッシュメモリへの書込み／消去プロテクト（エラープロテクト）が有効

H8/3048F	本レジスタあり
H8/3048F-ONE H8/3048ZTAT H8/3048マスクROM品 H8/3047マスクROM品 H8/3045マスクROM品 H8/3044マスクROM品	本レジスタなし

H'5C　D/A スタンバイコントロールレジスタ　DASTCR：システム制御

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	DASTE
初期値：	1	1	1	1	1	1	1	0
R/W　：	—	—	—	—	—	—	—	R/W

D/Aスタンバイイネーブル

0	ソフトウェアスタンバイモードでのD/A出力を禁止（初期値）
1	ソフトウェアスタンバイモードでのD/A出力を許可

H'5D：分周比コントロールレジスタ　DIVCR：システム制御

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DIV1	DIV0
初期値：	1	1	1	1	1	1	0	0
R/W　：	—	—	—	—	—	—	R/W	R/W

分周比1、0

ビット1	ビット0	分周比
DIV1	DIV0	
0	0	1/1（初期値）
	1	1/2
1	0	1/4
	1	1/8

H'5E：モジュールスタンバイコントロールレジスタ　MSTCR：システム制御

ビット：	7	6	5	4	3	2	1	0
	PSTOP	—	MSTOP5	MSTOP4	MSTOP3	MSTOP2	MSTOP1	MSTOP0
初期値：	0	1	0	0	0	0	0	0
R/W ：	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W

モジュールスタンバイ0

0	A/D**変換器は通常動作（初期値）**
1	A/D**変換器はスタンバイ状態**

モジュールスタンバイ1

0	**リフレッシュコントローラは通常動作（初期値）**
1	**リフレッシュコントローラはスタンバイ状態**

モジュールスタンバイ2

0	DMAC**は通常動作（初期値）**
1	DMAC**はスタンバイ状態**

モジュールスタンバイ3

0	SCI1**は通常動作（初期値）**
1	SCI1**はスタンバイ状態**

モジュールスタンバイ4

0	SCI0**は通常動作（初期値）**
1	SCI0**はスタンバイ状態**

モジュールスタンバイ5

0	ITU**は通常動作（初期値）**
1	ITU**はスタンバイ状態**

φクロックストップ

0	**φクロック出力を許可（初期値）**
1	**φクロック出力を禁止**

H'5F：チップセレクトコントロールレジスタ　CSCR：システム制御

ビット：	7	6	5	4	3	2	1	0
	CS7E	CS6E	CS5E	CS4E	—	—	—	—
初期値：	0	0	0	0	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	—	—	—	—

チップセレクト7～4**イネーブル**

ビットn CSnE	説　　明
0	**チップセレクト信号（**CSn**）の出力を禁止（初期値）**
1	**チップセレクト信号（**CSn**）の出力を許可**

n＝7～4

H'60：タイマスタートレジスタ　TSTR：ITU（共通）

ビット：	7	6	5	4	3	2	1	0
	—	—	—	STR4	STR3	STR2	STR1	STR0
初期値：	1	1	1	0	0	0	0	0
R/W ：	—	—	—	R/W	R/W	R/W	R/W	R/W

カウンタスタート0

0	TCNT0**のカウント動作は停止**
1	TCNT0**はカウント動作**

カウンタスタート1

0	TCNT1**のカウント動作は停止**
1	TCNT1**はカウント動作**

カウンタスタート2

0	TCNT2**のカウント動作は停止**
1	TCNT2**はカウント動作**

カウンタスタート3

0	TCNT3**のカウント動作は停止**
1	TCNT3**はカウント動作**

カウンタスタート4

0	TCNT4**のカウント動作は停止**
1	TCNT4**はカウント動作**

H'61：タイマシンクロレジスタ　TSNC：ITU（共通）

ビット：	7	6	5	4	3	2	1	0
	—	—	—	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値：	1	1	1	0	0	0	0	0
R/W ：	—	—	—	R/W	R/W	R/W	R/W	R/W

タイマ同期0

0	TCNT0は独立動作
1	TCNT0は同期動作

タイマ同期1

0	TCNT1は独立動作
1	TCNT1は同期動作

タイマ同期2

0	TCNT2は独立動作
1	TCNT2は同期動作

タイマ同期3

0	TCNT3は独立動作
1	TCNT3は同期動作

タイマ同期4

0	TCNT4は独立動作
1	TCNT4は同期動作

H'62：タイマモードレジスタ　TMDR：ITU（共通）

ビット：	7	6	5	4	3	2	1	0
	—	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0
初期値：	1	0	0	0	0	0	0	0
R/W ：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWMモード0

0	チャネル0は通常動作
1	チャネル0はPWMモード

PWMモード1

0	チャネル1は通常動作
1	チャネル1はPWMモード

PWMモード2

0	チャネル2は通常動作
1	チャネル2はPWMモード

PWMモード3

0	チャネル3は通常動作
1	チャネル3はPWMモード

PWMモード4

0	チャネル4は通常動作
1	チャネル4はPWMモード

フラグディレクション

0	TSR2のOVFフラグは、TCNT2がオーバーフローまたはアンダフローしたときに1にセット
1	TSR2のOVFフラグは、TCNT2がオーバーフローしたときに1にセット

位相計数モード

0	チャネル2は通常動作
1	チャネル2は位相計数モード

H'63：タイマファンクションコントロールレジスタ　TFCR：ITU（共通）

ビット：	7	6	5	4	3	2	1	0
	—	—	CMD1	CMD0	BFB4	BFA4	BFB3	BFA3
初期値：	1	1	0	0	0	0	0	0
R/W ：	—	—	R/W	R/W	R/W	R/W	R/W	R/W

バッファ動作A3

0	GRA3**は通常動作**
1	GRA3**と**BRA3**はバッファ動作**

バッファ動作B3

0	GRB3**は通常動作**
1	GRB3**と**BRB3**はバッファ動作**

バッファ動作A4

0	GRA4**は通常動作**
1	GRA4**と**BRA4**はバッファ動作**

バッファ動作B4

0	GRB4**は通常動作**
1	GRB4**と**BRB4**はバッファ動作**

コンビネーションモード1、0

ビット5	**ビット**4	**チャネル**3、4**の動作モードの指定**
CMD1	CMD0	
0	0	**チャネル**3、4**は通常動作**
	1	
1	0	**チャネル**3、4**を組み合わせ、相補**PWM**モードで動作**
	1	**チャネル**3、4**を組み合わせ、リセット同期**PWM**モードで動作**

H'64：タイマコントロールレジスタ 0　TCR0：ITU0

ビット：	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値：	1	0	0	0	0	0	0	0
R/W　：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケーラ2〜0

ビット2	ビット1	ビット0	TCNTのカウントクロック
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック：φ
		1	内部クロック：φ/2
	1	0	内部クロック：φ/4
		1	内部クロック：φ/8
1	0	0	外部クロックA ：TCLKA端子入力でカウント
		1	外部クロックB ：TCLKB端子入力でカウント
	1	0	外部クロックC ：TCLKC端子入力でカウント
		1	外部クロックD ：TCLKD端子入力でカウント

クロックエッジ1、0

ビット4	ビット3	外部クロックの検出エッジ
CKEG1	CKEG0	
0	0	立上がりエッジでカウント
	1	立下がりエッジでカウント
1	—	立上がり／立下がりの両エッジでカウント

カウンタクリア1、0

ビット6	ビット5	TCNTのクリアソース
CCLR1	CCLR0	
0	0	TCNTのクリア禁止
	1	GRAのコンペアマッチ／インプットキャプチャでTCNTをクリア
1	0	GRBのコンペアマッチ／インプットキャプチャでTCNTをクリア
	1	同期クリア。同期動作中の他のタイマのカウンタクリアに同期してTCNTをクリア

H'65：タイマ I/O コントロールレジスタ　TIOR0：ITU0

ビット：	7	6	5	4	3	2	1	0
	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
初期値：	1	0	0	0	1	0	0	0
R/W ：	—	R/W	R/W	R/W	—	R/W	R/W	R/W

I/Oコントロール A2～0

ビット2	ビット1	ビット0	GRAの機能の選択	
IOA2	IOA1	IOA0		
0	0	0	GRAはアウトプットコンペアレジスタ	コンペアマッチによる端子出力禁止
		1		GRAのコンペアマッチで0出力
	1	0		GRAのコンペアマッチで1出力
		1		GRAのコンペアマッチでトグル出力
1	0	0	GRAはインプットキャプチャレジスタ	立上がりエッジでGRAへインプットキャプチャ
		1		立下がりエッジでGRAへインプットキャプチャ
	1	0		立上がり／立下がり両エッジでGRAへインプットキャプチャ
		1		

I/Oコントロール B2～0

ビット6	ビット5	ビット4	GRBの機能の選択	
IOB2	IOB1	IOB0		
0	0	0	GRBはアウトプットコンペアレジスタ	コンペアマッチによる端子出力禁止
		1		GRBのコンペアマッチで0出力
	1	0		GRBのコンペアマッチで1出力
		1		GRBのコンペアマッチでトグル出力
1	0	0	GRBはインプットキャプチャレジスタ	立上がりエッジでGRBへインプットキャプチャ
		1		立下がりエッジでGRBへインプットキャプチャ
	1	0		立上がり／立下がり両エッジでGRBへインプットキャプチャ
		1		

H'66：タイマインタラプトイネーブルレジスタ 0　TIER0：ITU0

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVIE	IMIEB	IMIEA
初期値：	1	1	1	1	1	0	0	0
R/W ：	—	—	—	—	—	R/W	R/W	R/W

インプットキャプチャ／コンペアマッチインタラプトイネーブルA

0	IMFA**フラグによる割込み（**IMIA**）要求を禁止**
1	IMFA**フラグによる割込み（**IMIA**）要求を許可**

インプットキャプチャ／コンペアマッチインタラプトイネーブルB

0	IMFB**フラグによる割込み（**IMIB**）要求を禁止**
1	IMFB**フラグによる割込み（**IMIB**）要求を許可**

オーバフローインタラプトイネーブル

0	OVF**フラグによる割込み（**OVI**）要求を禁止**
1	OVF**フラグによる割込み（**OVI**）要求を許可**

H'67：タイマステータスレジスタ 0　TSR0：ITU0

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値：	1	1	1	1	1	0	0	0
R/W ：	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

インプットキャプチャ／コンペアマッチフラグA

0	〔クリア条件〕 IMFA＝1の状態で、IMFAフラグをリードした後、 IMFAフラグに0をライトしたとき
1	〔セット条件〕 (1)GRAがアウトプットコンペアレジスタとして機能 している場合、TCNT＝GRAになったとき (2)GRAがインプットキャプチャレジスタとして機能 している場合、インプットキャプチャ信号により TCNTの値がGRAに転送されたとき

インプットキャプチャ／コンペアマッチフラグB

0	〔クリア条件〕 IMFB＝1の状態で、IMFBフラグをリードした後、 IMFBフラグに0をライトしたとき
1	〔セット条件〕 (1)GRBがアウトプットコンペアレジスタとして機能 している場合、TCNT＝GRBになったとき (2)GRBがインプットキャプチャレジスタとして機能 している場合、インプットキャプチャ信号により TCNTの値がGRBに転送されたとき

オーバフローフラグ

0	〔クリア条件〕 OVF＝1の状態で、OVFフラグをリードした後、 OVFフラグに0をライトしたとき
1	〔セット条件〕 TCNTの値がオーバフロー（H'FFFF→H'0000）または、 アンダフロー（H'0000→H'FFFF）したとき

【注】＊　フラグクリアのための0ライトのみ可能です。

H'68、H'69：タイマカウンタ 0 H、L　TCNT0 H、L：ITU0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アップカウンタ

H'6A、H'6B：ジェネラルレジスタ A0 H、L　GRA0 H、L ：ITU0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アウトプットコンペア／インプットキャプチャ兼用レジスタ

H'6C、H'6D：ジェネラルレジスタ B0 H、L　GRB0 H、L：ITU0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アウトプットコンペア／インプットキャプチャ兼用レジスタ

H'6E：タイマコントロールレジスタ 1　TCR1：ITU1

ビット：	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値：	1	0	0	0	0	0	0	0
R/W ：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU0と同じです。

H'6F：タイマ I/O コントロールレジスタ 1　TIOR1：ITU1

ビット：	7	6	5	4	3	2	1	0
	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
初期値：	1	0	0	0	1	0	0	0
R/W ：	—	R/W	R/W	R/W	—	R/W	R/W	R/W

※機能はITU0と同じです。

H'70：タイマインタラプトイネーブルレジスタ 1　TIER1：ITU1

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVIE	IMIEB	IMIEA
初期値：	1	1	1	1	1	0	0	0
R/W ：	—	—	—	—	—	R/W	R/W	R/W

※機能はITU0と同じです。

H'71：タイマステータスレジスタ 1　TSR1：ITU1

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値：	1	1	1	1	1	0	0	0
R/W ：	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

※機能はITU0と同じです。

【注】＊　フラグクリアのための0ライトのみ可能です。

H'72、H'73：タイマカウンタ 1 H、L　TCNT1 H、L：ITU1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU0と同じです。

H'74、H'75：ジェネラルレジスタ A1 H、L　GRA1 H、L：ITU1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU0と同じです。

H'76、H'77：ジェネラルレジスタ B1 H、L　GRB1 H、L：ITU1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU0と同じです。

H'78：タイマコントロールレジスタ 2　TCR2：ITU2

ビット：	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値：	1	0	0	0	0	0	0	0
R/W　：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU0と同じです。

【注】　チャネル2を位相計数モードに設定したとき、TPSC2～TPSC0ビットによる
カウントクロックの選択は無効となります。

H'79：タイマ I/O コントロールレジスタ 2　TIOR2：ITU2

ビット：	7	6	5	4	3	2	1	0
	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
初期値：	1	0	0	0	1	0	0	0
R/W　：	—	R/W	R/W	R/W	—	R/W	R/W	R/W

※機能はITU0と同じです。

H'7A：タイマインタラプトイネーブルレジスタ 2　TIER2：ITU2

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVIE	IMIEB	IMIEA
初期値：	1	1	1	1	1	0	0	0
R/W　：	—	—	—	—	—	R/W	R/W	R/W

※機能はITU0と同じです。

H'7B：タイマステータスレジスタ 2　TSR2：ITU2

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値：	1	1	1	1	1	0	0	0
R/W　：	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

※機能はITU0と同じです

オーバフローフラグ

0	〔クリア条件〕 OVF＝1の状態で、OVFフラグをリードした後、 OVFフラグに0をライトしたとき
1	〔セット条件〕 TCNTの値がオーバフロー（H'FFFF→H'0000）、または アンダフロー（H'0000→H'FFFF）したとき

【注】＊　フラグクリアのための0ライトのみ可能です。

H'7C、H'7D：タイマカウンタ 2 H、L　TCNT2 H、L：ITU2

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

位相計数モード時：アップ／ダウンカウンタ
その他のモード時：アップカウンタ

H'7E、H'7F：ジェネラルレジスタ A2 H、L　GRA2 H、L　：ITU2

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU0と同じです。

H'80、H'81：ジェネラルレジスタ B2 H、L　GRB2 H、L ：ITU2

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU0と同じです。

H'82：タイマコントロールレジスタ 3　TCR3：ITU3

ビット：	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値：	1	0	0	0	0	0	0	0
R/W ：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU0と同じです。

H'83：タイマ I/O コントロールレジスタ 3　TIOR3：ITU3

ビット：	7	6	5	4	3	2	1	0
	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
初期値：	1	0	0	0	1	0	0	0
R/W ：	—	R/W	R/W	R/W	—	R/W	R/W	R/W

※機能はITU0と同じです。

H'84：タイマインタラプトイネーブルレジスタ 3　TIER3：ITU3

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVIE	IMIEB	IMIEA
初期値：	1	1	1	1	1	0	0	0
R/W ：	—	—	—	—	—	R/W	R/W	R/W

※機能はITU0と同じです。

H'85：タイマステータスレジスタ 3　TSR3：ITU3

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値：	1	1	1	1	1	0	0	0
R/W　：	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

※機能はITU0と同じです。

オーバフローフラグ

0	〔クリア条件〕 OVF＝1の状態で、OVFをリードした後、OVFに1をライトしたとき
1	〔セット条件〕 TCNTの値がオーバフロー（H'FFFF→H'0000）または、アンダフロー（H'0000→H'FFFF）したとき

【注】＊　フラグクリアのための0ライトのみ可能です。

H'86、H'87：タイマカウンタ 3 H、L　TCNT3 H、L：ITU3

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

相補PWMモード時：アップ／ダウンカウンタ
その他のモード時　：アップカウンタ

H'88、H'89：ジェネラルレジスタ A3 H、L　GRA3 H、L　：ITU3

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アウトプットコンペア／インプットキャプチャ兼用レジスタ（バッファ動作可能）

H'8A、H'8B：ジェネラルレジスタ B3 H、L　GRB3 H、L：ITU3

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アウトプットコンペア／インプットキャプチャ兼用レジスタ（バッファ動作可能）

H'8C、H'8D：バッファレジスタ A3 H、L　BRA3 H、L：ITU3

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

バッファ動作時にGRAと組み合わせて使用

H'8E、H'8F：バッファレジスタ B3 H、L　BRB3 H、L：ITU3

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

バッファ動作時にGRBと組み合わせて使用

H'90：タイマアウトプットマスタイネーブルレジスタ　TOER：ITU（共通）

ビット：	7	6	5	4	3	2	1	0
	—	—	EXB4	EXA4	EB3	EB4	EA4	EA3
初期値：	1	1	1	1	1	1	1	1
R/W ：	—	—	R/W	R/W	R/W	R/W	R/W	R/W

マスタイネーブルTIOCA3

0	TIOR3、TMDR、TFCR**の設定にかかわらず、**TIOCA3**端子は出力禁止**
1	TIOR3、TMDR、TFCR**の設定に従い、**TIOCA3**端子は出力許可**

マスタイネーブルTIOCA4

0	TIOR4、TMDR、TFCR**の設定にかかわらず、**TIOCA4**端子は出力禁止**
1	TIOR4、TMDR、TFCR**の設定に従い、**TIOCA4**端子は出力許可**

マスタイネーブルTIOCB4

0	TIOR4、TFCR**の設定にかかわらず、**TIOCB4**端子は出力禁止**
1	TIOR4、TFCR**の設定に従い、**TIOCB4**端子は出力許可**

マスタイネーブルTIOCB3

0	TIOR3、TFCR**の設定にかかわらず、**TIOCB3**端子は出力禁止**
1	TIOR3、TFCR**の設定に従い、**TIOCB3**端子は出力許可**

マスタイネーブルTOCXA4

0	TFCR**の設定にかかわらず、**TOCXA4**端子は出力禁止**
1	TFCR**の設定に従い、**TOCXA4**端子は出力許可**

マスタイネーブルTOCXB4

0	TFCR**の設定にかかわらず、**TOCXB4**端子は出力禁止**
1	TFCR**の設定に従い、**TOCXB4**端子は出力許可**

H'91：タイマアウトプットコントロールレジスタ　TOCR：ITU（共通）

ビット：	7	6	5	4	3	2	1	0
	—	—	—	XTGD	—	—	OLS4	OLS3
初期値：	1	1	1	1	1	1	1	1
R/W ：	—	—	—	R/W	—	—	R/W	R/W

出力レベルセレクト3

0	TIOCB3、TOCXA4、TOCXB4端子は反転出力
1	TIOCB3、TOCXA4、TOCXB4端子は直接出力

出力レベルセレクト4

0	TIOCA3、TIOCA4、TIOCB4端子は反転出力
1	TIOCA3、TIOCA4、TIOCB4端子は直接出力

外部トリガディスエーブル

0	リセット同期PWMモードまたは相補PWMモード時、チャネル1のインプットキャプチャA信号を外部トリガとして使用*
1	外部トリガを禁止

【注】＊　外部トリガ発生時、TOERのビット5〜0が0にクリアされ、ITU出力が禁止されます。

H'92：タイマコントロールレジスタ 4　TCR4：ITU4

ビット：	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値：	1	0	0	0	0	0	0	0
R/W ：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU0と同じです。

H'93：タイマ I/O コントロールレジスタ 4　TIOR4：ITU4

ビット：	7	6	5	4	3	2	1	0
	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
初期値：	1	0	0	0	1	0	0	0
R/W ：	—	R/W	R/W	R/W	—	R/W	R/W	R/W

※機能はITU0と同じです。

H'94：タイマインタラプトイネーブルレジスタ 4　TIER4：ITU4

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVIE	IMIEB	IMIEA
初期値：	1	1	1	1	1	0	0	0
R/W　：	—	—	—	—	—	R/W	R/W	R/W

※機能はITU0と同じです。

H'95：タイマステータスレジスタ 4　TSR4：ITU4

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値：	1	1	1	1	1	0	0	0
R/W　：	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

※機能はITU0と同じです。

【注】＊　フラグクリアのための0ライトのみ可能です。

H'96、H'97：タイマカウンタ 4 H、L　TCNT4 H、L：ITU4

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU3と同じです。

H'98、H'99：ジェネラルレジスタ A4 H、L　GRA4 H、L：ITU4

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU3と同じです。

H'9A、H'9B：ジェネラルレジスタ B4 H、L　GRB4 H、L：ITU4

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU3と同じです。

H'9C、H'9D：バッファレジスタ A4 H、L　BRA4 H、L：ITU4

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU3と同じです。

H'9E、H'9F：バッファレジスタ B4 H、L　BRB4 H、L：ITU4

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU3と同じです。

H'A0：TPC 出力モードレジスタ　TPMR：TPC

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	G3NOV	G2NOV	G1NOV	G0NOV
初期値：	1	1	1	1	0	0	0	0
R/W ：	—	—	—	—	R/W	R/W	R/W	R/W

グループ0ノンオーバラップ

0	TPC出力グループ0は通常動作 選択されたITUのコンペアマッチAで出力値を更新
1	TPC出力グループ0は、選択されたITUのコンペアマッチA、Bによりノンオーバラップ動作

グループ1ノンオーバラップ

0	TPC出力グループ1は通常動作 選択されたITUのコンペアマッチAで出力値を更新
1	TPC出力グループ1は、選択されたITUのコンペアマッチA、Bによりノンオーバラップ動作

グループ2ノンオーバラップ

0	TPC出力グループ2は通常動作 選択されたITUのコンペアマッチAで出力値を更新
1	TPC出力グループ2は、選択されたITUのコンペアマッチA、Bによりノンオーバラップ動作

グループ3ノンオーバラップ

0	TPC出力グループ3は通常動作 選択されたITUのコンペアマッチAで出力値を更新
1	TPC出力グループ3は、選択されたITUのコンペアマッチA、Bによりノンオーバラップ動作

H'A1：TPC 出力コントロールレジスタ　TPCR：TPC

ビット：	7	6	5	4	3	2	1	0
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値：	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

グループ0コンペアマッチセレクト1、0

ビット1	ビット0	出力トリガとなるITUのチャネル選択
G0CMS1	G0CMS0	
0	0	TPC出力グループ0（TP3～TP0端子）の出力トリガはITUチャネル0のコンペアマッチ
	1	TPC出力グループ0（TP3～TP0端子）の出力トリガはITUチャネル1のコンペアマッチ
1	0	TPC出力グループ0（TP3～TP0端子）の出力トリガはITUチャネル2のコンペアマッチ
	1	TPC出力グループ0（TP3～TP0端子）の出力トリガはITUチャネル3のコンペアマッチ

グループ1コンペアマッチセレクト1、0

ビット3	ビット2	出力トリガとなるITUのチャネル選択
G1CMS1	G1CMS0	
0	0	TPC出力グループ1（TP7～TP4端子）の出力トリガはITUチャネル0のコンペアマッチ
	1	TPC出力グループ1（TP7～TP4端子）の出力トリガはITUチャネル1のコンペアマッチ
1	0	TPC出力グループ1（TP7～TP4端子）の出力トリガはITUチャネル2のコンペアマッチ
	1	TPC出力グループ1（TP7～TP4端子）の出力トリガはITUチャネル3のコンペアマッチ

グループ2コンペアマッチセレクト1、0

ビット5	ビット4	出力トリガとなるITUのチャネル選択
G2CMS1	G2CMS0	
0	0	TPC出力グループ2（TP11～TP8端子）の出力トリガはITUチャネル0のコンペアマッチ
	1	TPC出力グループ2（TP11～TP8端子）の出力トリガはITUチャネル1のコンペアマッチ
1	0	TPC出力グループ2（TP11～TP8端子）の出力トリガはITUチャネル2のコンペアマッチ
	1	TPC出力グループ2（TP11～TP8端子）の出力トリガはITUチャネル3のコンペアマッチ

グループ3コンペアマッチセレクト1、0

ビット7	ビット6	出力トリガとなるITUのチャネル選択
G3CMS1	G3CMS0	
0	0	TPC出力グループ3（TP15～TP12端子）の出力トリガはITUチャネル0のコンペアマッチ
	1	TPC出力グループ3（TP15～TP12端子）の出力トリガはITUチャネル1のコンペアマッチ
1	0	TPC出力グループ3（TP15～TP12端子）の出力トリガはITUチャネル2のコンペアマッチ
	1	TPC出力グループ3（TP15～TP12端子）の出力トリガはITUチャネル3のコンペアマッチ

H'A2：ネクストデータイネーブルレジスタ B　NDERB：TPC

ビット：	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル15～8

ビット7～0 NDER15 ～NDER8	説　　明
0	TPC出力TP_{15}～TP_8を禁止 （NDR15～NDR8からPB_7～PB_0への転送禁止）
1	TPC出力TP_{15}～TP_8を許可 （NDR15～NDR8からPB_7～PB_0への転送許可）

H'A3：ネクストデータイネーブルレジスタ A　NDERA：TPC

ビット：	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル7～0

ビット7～0 NDER7 ～NDER0	説　　明
0	TPC出力TP_7～TP_0を禁止 （NDR7～NDR0からPA_7～PA_0への転送禁止）
1	TPC出力TP_7～TP_0を許可 （NDR7～NDR0からPA_7～PA_0への転送許可）

H'A4/H'A6：ネクストデータレジスタ B　NDRB：TPC

■TPC 出力グループ 2、3 の出力トリガが同一の場合

（1）アドレス：H'FFA4

ビット：	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TPC出力グループ3の次の
出力データを格納

TPC出力グループ2の次の
出力データを格納

（2）アドレス：H'FFA6

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1
R/W ：	—	—	—	—	—	—	—	—

■TPC 出力グループ 2、3 の出力トリガが異なる場合

（1）アドレス：H'FFA4

ビット：	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	—	—	—	—
初期値：	0	0	0	0	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	—	—	—	—

TPC出力グループ3の次の
出力データを格納

（2）アドレス：H'FFA6

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	NDR11	NDR10	NDR9	NDR8
初期値：	1	1	1	1	0	0	0	0
R/W ：	—	—	—	—	R/W	R/W	R/W	R/W

TPC出力グループ2の次の
出力データを格納

H'A5/H'A7：ネクストデータレジスタ A　NDRA：TPC

■TPC 出力グループ 0、1 の出力トリガが同一の場合

（1）アドレス：H'FFA5

ビット：	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TPC出力グループ1の次の出力データを格納

TPC出力グループ0の次の出力データを格納

（2）アドレス：H'FFA7

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1
R/W ：	—	—	—	—	—	—	—	—

■TPC 出力グループ 0、1 の出力トリガが異なる場合

（1）アドレス：H'FFA5

ビット：	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	—	—	—	—
初期値：	0	0	0	0	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	—	—	—	—

TPC出力グループ1の次の出力データを格納

（2）アドレス：H'FFA7

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	NDR3	NDR2	NDR1	NDR0
初期値：	1	1	1	1	0	0	0	0
R/W ：	—	—	—	—	R/W	R/W	R/W	R/W

TPC出力グループ0の次の出力データを格納

H'A8：タイマコントロール／ステータスレジスタ　TCSR：WDT

ビット：	7	6	5	4	3	2	1	0
	OVF	WT/$\overline{\text{IT}}$	TME	—	—	CKS2	CKS1	CKS0
初期値：	0	0	0	1	1	0	0	0
R/W ：	R/(W)*	R/W	R/W	—	—	R/W	R/W	R/W

クロックセレクト2〜0

0	0	0	φ/2
		1	φ/32
	1	0	φ/64
		1	φ/128
1	0	0	φ/256
		1	φ/512
	1	0	φ/2048
		1	φ/4096

タイマイネーブル

0	**タイマディスエーブル** ・TCNTをH'00にイニシャライズし、カウントアップを停止
1	**タイマイネーブル** ・TCNTはカウントアップ開始 ・CPUへの割込み要求を許可

タイマモードセレクト

0	インターバルタイマを選択 （インターバルタイマ割込み要求）
1	ウォッチドッグタイマを選択 （リセット信号を発生）

オーバフローフラグ

0	〔クリア条件〕 OVF＝1の状態でOVFフラグをリードした後、OVFフラグに0をライトしたとき
1	〔セット条件〕 TCNTがH'FF→H'00に変化したとき

【注】＊　フラグをクリアするための0ライトのみ可能です。

H'A9 リード時、H'A8 ライト時：タイマカウンタ　TCNT：WDT

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

カウント値

H'AB リード時、H'AA ライト時：
リセットコントロール／ステータスレジスタ　RSTCSR：WDT

ビット：	7	6	5	4	3	2	1	0
	WRST	RSTOE	—	—	—	—	—	—
初期値：	0	0	1	1	1	1	1	1
R/W ：	R/(W)*	R/W	—	—	—	—	—	—

リセット出力イネーブル

0	リセット信号の外部出力を禁止
1	リセット信号の外部出力を許可

ウォッチドッグタイマリセット

0	〔クリア条件〕 (1) $\overline{\text{RES}}$端子によるリセット信号 (2) WRST＝1の状態で、WRSTフラグをリード後0をライトしたとき
1	〔セット条件〕 TCNTがオーバフローし、リセット信号が発生したとき

【注】＊　ビット7は、フラグをクリアする0ライトのみ可能です。

H8/3048F	本レジスタあり
H8/3048F-ONE	本レジスタなし
H8/3048ZTAT H8/3048マスクROM品 H8/3047マスクROM品 H8/3045マスクROM品 H8/3044マスクROM品	本レジスタあり

H'AB リード時、H'AA ライト時：
リセットコントロール／ステータスレジスタ　RSTCSR：WDT

ビット：	7	6	5	4	3	2	1	0
	WRST	—	—	—	—	—	—	—
初期値：	0	0	1	1	1	1	1	1
R/W ：	R/(W)*	—*	—	—	—	—	—	—

ウォッチドッグタイマリセット

0	〔クリア条件〕 (1) $\overline{\text{RES}}$端子によるリセット信号 (2) WRST＝1の状態で、WRSTフラグをリード後0をライトしたとき
1	〔セット条件〕 TCNTがオーバフローし、リセット信号が発生したとき

【注】＊　ビット7は、フラグをクリアする0ライトのみ可能です。
ビット6は、1セット禁止です。ライトするときは必ず0をライトしてください。

H8/3048F	本レジスタなし
H8/3048F-ONE	本レジスタあり
H8/3048ZTAT H8/3048マスクROM品 H8/3047マスクROM品 H8/3045マスクROM品 H8/3044マスクROM品	本レジスタなし

H'AC：リフレッシュコントロールレジスタ　RFSHCR
：リフレッシュコントローラ

ビット：	7	6	5	4	3	2	1	0
	SRFMD	PSRAME	DRAME	CAS/$\overline{\text{WE}}$	M9/$\overline{\text{M8}}$	RFSHE	—	RCYCE
初期値：	0	0	0	0	0	0	1	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W

リフレッシュサイクルイネーブル

0	リフレッシュサイクルを禁止
1	エリア3に対するリフレッシュサイクルを許可

リフレッシュ端子イネーブル

0	$\overline{\text{RFSH}}$端子のリフレッシュ信号出力を禁止
1	$\overline{\text{RFSH}}$端子のリフレッシュ信号出力を許可

アドレスマルチプレクスモードセレクト

0	8ビットカラムモード
1	9ビットカラムモード

ストローブモードセレクト

0	2$\overline{\text{WE}}$方式を選択
1	2$\overline{\text{CAS}}$方式を選択

PSRAMイネーブル、DRAMイネーブル

ビット6 PSRAME	ビット5 DRAME	RAMの接続
0	0	インターバルタイマとして使用可能（DRAM、PSRAMの直接接続不可能）
	1	DRAMの直接接続が可能
1	0	PSRAMの直接接続が可能
	1	使用禁止

セルフリフレッシュモード

0	ソフトウェアスタンバイモード時に、DRAMまたはPSRAMのセルフリフレッシュを禁止
1	ソフトウェアスタンバイモード時に、DRAMまたはPSRAMのセルフリフレッシュが可能

H'AD：リフレッシュタイマコントロール／ステータスレジスタ
RTMCSR：リフレッシュコントローラ

ビット：	7	6	5	4	3	2	1	0
	CMF	CMIE	CKS2	CKS1	CKS0	—	—	—
初期値：	0	0	0	0	0	1	1	1
R/W ：	R/(W)*	R/W	R/W	R/W	R/W	—	—	—

クロックセレクト2〜0

ビット5	ビット4	ビット3	カウントクロック
CKS2	CKS1	CKS0	
0	0	0	クロック入力禁止
		1	φ/2
	1	0	φ/8
		1	φ/32
1	0	0	φ/128
		1	φ/512
	1	0	φ/2048
		1	φ/4096

コンペアマッチインタラプトイネーブル

0	CMF**フラグによる割込み（**CMI**）要求を禁止**
1	CMF**フラグによる割込み（**CMI**）要求を許可**

コンペアマッチフラグ

0	**〔クリア条件〕** CMF＝1**の状態で、**CMF**フラグをリードした後、** CMF**フラグに**0**をライトしたとき**
1	**〔セット条件〕** RTCNT＝RTCOR**になったとき**

【注】＊　**フラグをクリアするための**0**ライトのみ可能です。**

H'AE：リフレッシュタイマカウンタ RTCNT：リフレッシュコントローラ

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

カウント値

H'AF：リフレッシュタイムコンスタントレジスタ RTCOR ：リフレッシュコントローラ

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RTCNTとのコンペアマッチ周期を設定

H'B0：シリアルモードレジスタ　SMR：SCI0

ビット：	7	6	5	4	3	2	1	0
	C/$\overline{A}$ / GM	CHR	PE	O/$\overline{E}$	STOP	MP	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト1、0

ビット1	ビット0	クロックの選択
CKS1	CKS0	
0	0	φクロック
	1	φ/4クロック
1	0	φ/16クロック
	1	φ/64クロック

マルチプロセッサモード

0	マルチプロセッサ機能を禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可

キャラクタレングス

0	8ビットデータ
1	7ビットデータ

コミュニケーションモード（シリアルコミュニケーションインタフェース時）

0	調歩同期式モード
1	クロック同期式モード

GSMモード（スマートカードインタフェース時）

0	通常のスマートカードインタフェースモードの動作
1	GSMモードのスマートカードインタフェースモードの動作

H'B1：ビットレートレジスタ　BRR：SCI0

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信／受信のビットレートを設定

H'B2：シリアルコントロールレジスタ　SCR：SCI0

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル1、0

ビット1	ビット0	クロックの選択、出力の許可	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック／SCK端子は入出力ポート
		クロック同期式モード	内部クロック／SCK端子は同期クロック出力
	1	調歩同期式モード	内部クロック／SCK端子はクロック出力
		クロック同期式モード	内部クロック／SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック／SCK端子はクロック入力
		クロック同期式モード	外部クロック／SCK端子は同期クロック入力
	1	調歩同期式モード	外部クロック／SCK端子はクロック入力
		クロック同期式モード	外部クロック／SCK端子は同期クロック入力

トランスミットエンドインタラプトイネーブル

0	送信終了割込み（TEI）要求を禁止
1	送信終了割込み（TEI）要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割込みを禁止（通常の受信動作を行う）
1	マルチプロセッサ割込みを許可

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル

0	受信データフル割込み（RXI）要求、受信エラー割込み（ERI）要求を禁止
1	受信データフル割込み（RXI）要求、受信エラー割込み（ERI）要求を許可

トランスミットインタラプトイネーブル

0	送信データエンプティ割込み（TXI）要求を禁止
1	送信データエンプティ割込み（TXI）要求を許可

H'B3：トランスミットデータレジスタ　TDR：SCI0

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信データを格納

H'B4：シリアルステータスレジスタ　SSR：SCI0

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER/ERS	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W ：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセッサビットトランスファ

0	マルチプロセッサビットが0のデータを送信
1	マルチプロセッサビットが1のデータを送信

マルチプロセッサビット

0	マルチプロセッサビットが0のデータを受信
1	マルチプロセッサビットが1のデータを受信

トランスミットエンド

0	〔クリア条件〕 1. TDRE＝1の状態をリードした後、0をライトしたとき 2. DMACがTDRへデータをライトしたとき
1	〔セット条件〕 1. リセット、またはスタンバイモード時 2. SCRのTEビットが0のとき、かつFER/ERSビットが0のとき 3. 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE＝1のとき

パリティエラー

0	〔クリア条件〕 1. リセット、またはスタンバイモード時 2. PER＝1の状態をリードした後、0をライトしたとき
1	〔セット条件〕 パリティエラーが発生したとき（受信したデータのパリティがSMRのO/$\overline{E}$ビットで設定したパリティと一致しなかったとき）

フレーミングエラー（SCI0のとき）

0	〔クリア条件〕 1. リセット、またはスタンバイモード時 2. FER＝1の状態をリードした後、0をライトしたとき
1	〔セット条件〕 フレーミングエラーが発生したとき（ストップビットが0の場合）

エラーシグナルステータス（スマートカードインタフェースのとき）

0	〔クリア条件〕 1. リセット、またはスタンバイモード時 2. ERS＝1の状態をリードした後、0をライトしたとき
1	〔セット条件〕 エラーシグナルLowを受信したとき

オーバランエラー

0	〔クリア条件〕 1. リセット、またはスタンバイモード時 2. ORER＝1の状態をリードした後、0をライトしたとき
1	〔セット条件〕 オーバランエラーが発生したとき（RDRF＝1の状態で次のデータが受信完了したとき）

レシーブデータレジスタフル

0	〔クリア条件〕 1. リセット、またはスタンバイモード時 2. RDRF＝1の状態をリードした後、0をライトしたとき 3. DMACでRDRのデータをリードしたとき
1	〔セット条件〕 データが正常に受信され、RSRからRDRへデータが転送されたとき

トランスミットデータレジスタエンプティ

0	〔クリア条件〕 1. TDRE＝1の状態をリードした後、0をライトしたとき 2. DMACでTDRのデータをライトしたとき
1	〔セット条件〕 1. リセット、またはスタンバイモード時 2. SCRのTEビットが0のとき 3. TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】＊　フラグをクリアするための0ライトのみ可能です。

H'B5：レシーブデータレジスタ　RDR：SCI0

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R	R	R	R	R	R	R	R

シリアル受信データを格納

H'B6：スマートカードモードレジスタ　SCMR：SCI0

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	SDIR	SINV	—	SMIF
初期値：	1	1	1	1	0	0	1	0
R/W ：	—	—	—	—	R/W	R/W	—	R/W

スマートカードインタフェースモードセレクト

0	スマートカードインタフェース機能を禁止（初期値）
1	スマートカードインタフェース機能を許可

スマートカードデータインバート

0	TDRの内容をそのまま送信します。（初期値） 受信したデータをそのままRDRに格納します。
1	TDRの内容を反転してデータを送信します。 受信したデータを反転してRDRに格納します。

スマートカードデータトランスファディレクション

0	TDRの内容をLSBファーストとして送信します。（初期値） 受信したデータをLSBファーストとしてRDRに格納します。
1	TDRの内容をMSBファーストとして送信します。 受信したデータをMSBファーストとしてRDRに格納します。

H'B8：シリアルモードレジスタ　SMR：SCI1

ビット：	7	6	5	4	3	2	1	0
	C/$\overline{A}$	CHR	PE	O/$\overline{E}$	STOP	MP	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はSCI0と同じです。

H'B9：ビットレートレジスタ　BRR：SCI1

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はSCI0と同じです。

H'BA：シリアルコントロールレジスタ　SCR：SCI1

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はSCI0と同じです。

H'BB：トランスミットデータレジスタ　TDR：SCI1

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はSCI0と同じです。

H'BC：シリアルステータスレジスタ　SSR：SCI1

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W　：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

※機能はSCI0と同じです。

【注】＊　フラグをクリアするための0ライトのみ可能です。

H'BD：レシーブデータレジスタ　RDR：SCI1

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R	R	R	R	R	R	R	R

※機能はSCI0と同じです。

H'C0：ポート 1 データディレクションレジスタ　P1DDR：ポート 1

	ビット：	7	6	5	4	3	2	1	0
		$P1_7DDR$	$P1_6DDR$	$P1_5DDR$	$P1_4DDR$	$P1_3DDR$	$P1_2DDR$	$P1_1DDR$	$P1_0DDR$
モード1～4	初期値：	1	1	1	1	1	1	1	1
	R/W ：	—	—	—	—	—	—	—	—
モード5～7	初期値：	0	0	0	0	0	0	0	0
	R/W ：	W	W	W	W	W	W	W	W

ポート1入出力選択

0	入力ポート
1	出力ポート

H'C1：ポート 2 データディレクションレジスタ　P2DDR：ポート 2

	ビット：	7	6	5	4	3	2	1	0
		$P2_7DDR$	$P2_6DDR$	$P2_5DDR$	$P2_4DDR$	$P2_3DDR$	$P2_2DDR$	$P2_1DDR$	$P2_0DDR$
モード1～4	初期値：	1	1	1	1	1	1	1	1
	R/W ：	—	—	—	—	—	—	—	—
モード5～7	初期値：	0	0	0	0	0	0	0	0
	R/W ：	W	W	W	W	W	W	W	W

ポート2入出力選択

0	入力ポート
1	出力ポート

H'C2：ポート 1 データレジスタ　P1DR：ポート 1

ビット：	7	6	5	4	3	2	1	0
	$P1_7$	$P1_6$	$P1_5$	$P1_4$	$P1_3$	$P1_2$	$P1_1$	$P1_0$
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート1の各端子のデータを格納

H'C3：ポート 2 データレジスタ　P2DR：ポート 2

ビット：	7	6	5	4	3	2	1	0
	$P2_7$	$P2_6$	$P2_5$	$P2_4$	$P2_3$	$P2_2$	$P2_1$	$P2_0$
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2の各端子のデータを格納

H'C4：ポート 3 データディレクションレジスタ　P3DDR：ポート 3

ビット：	7	6	5	4	3	2	1	0
	$P3_7$DDR	$P3_6$DDR	$P3_5$DDR	$P3_4$DDR	$P3_3$DDR	$P3_2$DDR	$P3_1$DDR	$P3_0$DDR
初期値：	0	0	0	0	0	0	0	0
R/W ：	W	W	W	W	W	W	W	W

ポート3入出力選択

0	入力ポート
1	出力ポート

H'C5：ポート 4 データディレクションレジスタ　P4DDR：ポート 4

ビット：	7	6	5	4	3	2	1	0
	$P4_7$DDR	$P4_6$DDR	$P4_5$DDR	$P4_4$DDR	$P4_3$DDR	$P4_2$DDR	$P4_1$DDR	$P4_0$DDR
初期値：	0	0	0	0	0	0	0	0
R/W ：	W	W	W	W	W	W	W	W

ポート4入出力選択

0	入力ポート
1	出力ポート

H'C6：ポート 3 データレジスタ　P3DR：ポート 3

ビット：	7	6	5	4	3	2	1	0
	$P3_7$	$P3_6$	$P3_5$	$P3_4$	$P3_3$	$P3_2$	$P3_1$	$P3_0$
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート3の各端子のデータを格納

H'C7：ポート 4 データレジスタ　P4DR：ポート 4

ビット：	7	6	5	4	3	2	1	0
	$P4_7$	$P4_6$	$P4_5$	$P4_4$	$P4_3$	$P4_2$	$P4_1$	$P4_0$
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4の各端子のデータを格納

H'C8：ポート 5 データディレクションレジスタ　P5DDR：ポート 5

	ビット：	7	6	5	4	3	2	1	0
		—	—	—	—	$P5_3DDR$	$P5_2DDR$	$P5_1DDR$	$P5_0DDR$
モード1～4	初期値：	1	1	1	1	1	1	1	1
	R/W ：	—	—	—	—	—	—	—	—
モード5～7	初期値：	1	1	1	1	0	0	0	0
	R/W ：	—	—	—	—	W	W	W	W

ポート5入出力選択

0	入力ポート
1	出力ポート

H'C9：ポート 6 データディレクションレジスタ　P6DDR：ポート 6

ビット：	7	6	5	4	3	2	1	0
	—	$P6_6DDR$	$P6_5DDR$	$P6_4DDR$	$P6_3DDR$	$P6_2DDR$	$P6_1DDR$	$P6_0DDR$
初期値：	1	0	0	0	0	0	0	0
R/W ：	—	W	W	W	W	W	W	W

ポート6入出力選択

0	入力ポート
1	出力ポート

H'CA：ポート 5 データレジスタ　P5DR：ポート 5

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	$P5_3$	$P5_2$	$P5_1$	$P5_0$
初期値：	1	1	1	1	0	0	0	0
R/W ：	—	—	—	—	R/W	R/W	R/W	R/W

ポート5の各端子のデータを格納

H'CB：ポート 6 データレジスタ　P6DR：ポート 6

ビット：	7	6	5	4	3	2	1	0
	—	$P6_6$	$P6_5$	$P6_4$	$P6_3$	$P6_2$	$P6_1$	$P6_0$
初期値：	1	0	0	0	0	0	0	0
R/W ：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート6の各端子のデータを格納

H'CD：ポート 8 データディレクションレジスタ　P8DDR：ポート 8

	ビット：	7	6	5	4	3	2	1	0
		—	—	—	$P8_4DDR$	$P8_3DDR$	$P8_2DDR$	$P8_1DDR$	$P8_0DDR$
モード1～4	初期値：	1	1	1	1	0	0	0	0
	R/W ：	—	—	—	W	W	W	W	W
モード5～7	初期値：	1	1	1	0	0	0	0	0
	R/W ：	—	—	—	W	W	W	W	W

ポート8入出力選択

0	入力ポート
1	出力ポート

ポート8入出力選択

0	入力ポート
1	$\overline{CS}$出力端子

H'CE：ポート 7 データレジスタ　P7DR：ポート 7

ビット：	7	6	5	4	3	2	1	0
	$P7_7$	$P7_6$	$P7_5$	$P7_4$	$P7_3$	$P7_2$	$P7_1$	$P7_0$
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W ：	R	R	R	R	R	R	R	R

ポート7の各端子の状態を読出す

【注】＊　$P7_7$～$P7_0$端子により決定されます。

H'CF：ポート 8 データレジスタ　P8DR：ポート 8

ビット：	7	6	5	4	3	2	1	0
	—	—	—	$P8_4$	$P8_3$	$P8_2$	$P8_1$	$P8_0$
初期値：	1	1	1	0	0	0	0	0
R/W ：	—	—	—	R/W	R/W	R/W	R/W	R/W

ポート8の各端子のデータを格納

H'D0：ポート 9 データディレクションレジスタ　P9DDR：ポート 9

ビット：	7	6	5	4	3	2	1	0
	—	—	$P9_5$DDR	$P9_4$DDR	$P9_3$DDR	$P9_2$DDR	$P9_1$DDR	$P9_0$DDR
初期値：	1	1	0	0	0	0	0	0
R/W ：	—	—	W	W	W	W	W	W

ポート9入出力選択

0	入力ポート
1	出力ポート

H'D1：ポート A データディレクションレジスタ　PADDR：ポート A

	ビット：	7	6	5	4	3	2	1	0
		PA_7DDR	PA_6DDR	PA_5DDR	PA_4DDR	PA_3DDR	PA_2DDR	PA_1DDR	PA_0DDR
モード3,4,6	初期値：	1	0	0	0	0	0	0	0
	R/W ：	—	W	W	W	W	W	W	W
モード1,2,5,7	初期値：	0	0	0	0	0	0	0	0
	R/W ：	W	W	W	W	W	W	W	W

ポートA入出力選択

0	入力ポート
1	出力ポート

H'D2：ポート 9 データレジスタ　P9DR：ポート 9

ビット：	7	6	5	4	3	2	1	0
	—	—	$P9_5$	$P9_4$	$P9_3$	$P9_2$	$P9_1$	$P9_0$
初期値：	1	1	0	0	0	0	0	0
R/W ：	—	—	R/W	R/W	R/W	R/W	R/W	R/W

ポート9の各端子のデータを格納

H'D3：ポート A データレジスタ　PADR：ポート A

ビット：	7	6	5	4	3	2	1	0
	PA_7	PA_6	PA_5	PA_4	PA_3	PA_2	PA_1	PA_0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートAの各端子のデータを格納

H'D4：ポート B データディレクションレジスタ　PBDDR：ポート B

ビット：	7	6	5	4	3	2	1	0
	PB_7DDR	PB_6DDR	PB_5DDR	PB_4DDR	PB_3DDR	PB_2DDR	PB_1DDR	PB_0DDR
初期値：	0	0	0	0	0	0	0	0
R/W ：	W	W	W	W	W	W	W	W

ポートB入出力選択

0	入力ポート
1	出力ポート

H'D6：ポート B データレジスタ　PBDR：ポート B

ビット：	7	6	5	4	3	2	1	0
	PB_7	PB_6	PB_5	PB_4	PB_3	PB_2	PB_1	PB_0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートBの各端子のデータを格納

H'D8：ポート 2 入力プルアップ MOS コントロールレジスタ　P2PCR：ポート 2

ビット：	7	6	5	4	3	2	1	0
	$P2_7$PCR	$P2_6$PCR	$P2_5$PCR	$P2_4$PCR	$P2_3$PCR	$P2_2$PCR	$P2_1$PCR	$P2_0$PCR
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2入力プルアップMOSコントロール7～0

0	入力プルアップMOSはOFF
1	入力プルアップMOSはON

※P2DDRを0に指定したとき（入力ポートに指定）

H'DA：ポート 4 入力プルアップ MOS コントロールレジスタ　P4PCR：ポート 4

ビット：	7	6	5	4	3	2	1	0
	$P4_7PCR$	$P4_6PCR$	$P4_5PCR$	$P4_4PCR$	$P4_3PCR$	$P4_2PCR$	$P4_1PCR$	$P4_0PCR$
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4入力プルアップMOSコントロール7〜0

0	入力プルアップMOSはOFF
1	入力プルアップMOSはON

※P4DDRを0に指定したとき（入力ポートに指定）

H'DB：ポート 5 入力プルアップ MOS コントロールレジスタ　P5PCR：ポート 5

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	$P5_3PCR$	$P5_2PCR$	$P5_1PCR$	$P5_0PCR$
初期値：	1	1	1	1	0	0	0	0
R/W ：	—	—	—	—	R/W	R/W	R/W	R/W

ポート5入力プルアップMOSコントロール3〜0

0	入力プルアップMOSはOFF
1	入力プルアップMOSはON

※P5DDRを0に指定したとき（入力ポートに指定）

H'DC：D/A データレジスタ 0　DADR0：D/A

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A変換データを格納

H'DD：D/A データレジスタ 1　DADR1：D/A

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A変換データを格納

H'DE：D/A コントロールレジスタ　DACR：D/A

ビット：	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	—	—	—	—	—
初期値：	0	0	0	1	1	1	1	1
R/W ：	R/W	R/W	R/W	—	—	—	—	—

D/Aイネーブル（DAE）

ビット7	ビット6	ビット5	説　明
DAOE1	DAOE0	DAE	
0	0	—	チャネル0、1のD/A変換を禁止
0	1	0	チャネル0のD/A変換を許可 チャネル1のD/A変換を禁止
0	1	1	チャネル0、1のD/A変換を許可
1	0	0	チャネル0のD/A変換を禁止 チャネル1のD/A変換を許可
1	0	1	チャネル0、1のD/A変換を許可
1	1	—	チャネル0、1のD/A変換を許可

D/Aアウトプットイネーブル0

0	アナログ出力DA_0を禁止
1	チャネル0のD/A変換を許可 アナログ出力DA_0を許可

D/Aアウトプットイネーブル1

0	アナログ出力DA_1を禁止
1	チャネル1のD/A変換を許可 アナログ出力DA_1を許可

H'E0、H'E1：A/D データレジスタ A H、L　ADDRA H、L：A/D

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W ：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	ADDRAH								ADDRAL							

A/D変換データ
A/D変換結果の10ビットデータを格納

H'E2、H'E3：A/D データレジスタ B H、L　ADDRB H、L：A/D

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W ：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	ADDRBH								ADDRBL							

A/D変換データ
A/D変換結果の10ビットデータを格納

H'E4、H'E5：A/D データレジスタ C H、L　ADDRC H、L：A/D

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W ：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	ADDRCH								ADDRCL							

A/D変換データ
A/D変換結果の10ビットデータを格納

H'E6、H'E7：A/D データレジスタ D H、L　ADDRD H、L：A/D

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W ：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	ADDRDH								ADDRDL							

A/D変換データ
A/D変換結果の10ビットデータを格納

H'E8：A/D コントロール/ ステータスレジスタ　ADCSR：A/D

ビット：	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャネルセレクト

グループ選択	チャネル選択		説　明	
CH2	CH1	CH0	単一モード	スキャンモード
0	0	0	AN_0	AN_0
		1	AN_1	AN_0、AN_1
	1	0	AN_2	AN_0〜AN_2
		1	AN_3	AN_0〜AN_3
1	0	0	AN_4	AN_4
		1	AN_5	AN_4、AN_5
	1	0	AN_6	AN_4〜AN_6
		1	AN_7	AN_4〜AN_7

クロックセレクト

0	変換時間＝266ステート（max）
1	変換時間＝134ステート（max）

スキャンモード

0	単一モード
1	スキャンモード

A/Dスタート

0	A/D変換停止
1	(1) 単一モード： A/D変換を開始し変換が終了すると、自動的に0にクリア (2) スキャンモード： A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって0にクリアされるまで、選択されたチャネルを順次連続変換

A/Dインタラプトイネーブル

0	A/D変換終了による割込み要求を禁止
1	A/D変換終了による割込み要求を許可

A/Dエンドフラグ

0	〔クリア条件〕 ADF＝1の状態でADFフラグをリードした後、ADFフラグに0をライトしたとき
1	〔セット条件〕 (1) 単一モード： A/D変換が終了したとき (2) スキャンモード： 設定されたすべてのチャネルのA/D変換が終了したとき

【注】＊　フラグをクリアするための0ライトのみ可能です。

H'E9：A/D コントロールレジスタ　ADCR：A/D

ビット：	7	6	5	4	3	2	1	0
	TRGE	—	—	—	—	—	—	—
初期値：	0	1	1	1	1	1	1	1
R/W ：	R/W	—	—	—	—	—	—	—

トリガイネーブル

0	外部トリガ入力によるA/D変換の開始を禁止
1	外部トリガ端子（$\overline{\text{ADTRG}}$）の立下がりでA/D変換を開始

H8/3048F	本レジスタあり
H8/3048F-ONE	本レジスタなし
H8/3048ZTAT H8/3048マスクROM品 H8/3047マスクROM品 H8/3045マスクROM品 H8/3044マスクROM品	本レジスタあり

H'E9：A/D コントロールレジスタ　ADCR：A/D

ビット：	7	6	5	4	3	2	1	0
	TRGE	—	—	—	—	—	—	—
初期値：	0	1	1	1	1	1	1	0
R/W ：	R/W	—	—	—	—	—	—	—*

トリガイネーブル

0	外部トリガ入力によるA/D変換の開始を禁止
1	外部トリガ端子（$\overline{\text{ADTRG}}$）の立下がりでA/D変換を開始

【注】＊　ビット0は、1セット禁止です。ライトするときは必ず0をライトしてください。

H8/3048F	本レジスタなし
H8/3048F-ONE	本レジスタあり
H8/3048ZTAT H8/3048マスクROM品 H8/3047マスクROM品 H8/3045マスクROM品 H8/3044マスクROM品	本レジスタなし

H'EC：バス幅コントロールレジスタ　ABWCR：バスコントローラ

	ビット：	7	6	5	4	3	2	1	0
		ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
モード1,3,5,6	初期値：	1	1	1	1	1	1	1	1
モード2,4,7	初期値：	0	0	0	0	0	0	0	0
	R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7～0バス幅コントロール

ビット7～0	アクセス空間の指定
ABW7～ABW0	
0	エリア7～0を16ビットアクセス空間に設定
1	エリア7～0を8ビットアクセス空間に設定

H'ED：アクセスステートコントロールレジスタ　ASTCR：バスコントローラ

ビット：	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値：	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7～0アクセスステートコントロール

ビット7～0	アクセスステート数の指定
AST7～AST0	
0	エリア7～0を2ステートアクセス空間に設定
1	エリア7～0を3ステートアクセス空間に設定

H'EE：ウェイトコントロールレジスタ　WCR：バスコントローラ

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	WMS1	WMS0	WC1	WC0
初期値：	1	1	1	1	0	0	1	1
R/W ：	—	—	—	—	R/W	R/W	R/W	R/W

ウェイトカウント1、0

ビット1	ビット0	ウェイトステート数の指定
WC1	WC0	
0	0	WSCによるウェイトを禁止
	1	1ステート挿入
1	0	2ステート挿入
	1	3ステート挿入

ウェイトモードセレクト1、0

ビット3	ビット2	ウェイトモードの指定
WMS1	WMS0	
0	0	プログラマブルウェイトモード
	1	WSCによるウェイトを禁止
1	0	端子ウェイトモード1
	1	端子オートウェイトモード

H'EF：ウェイトステートコントローライネーブルレジスタ　WCER：バスコントローラ

ビット：	7	6	5	4	3	2	1	0
	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0
初期値：	1	1	1	1	1	1	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ウェイトステートコントローライネーブル7〜0

0	WSCの動作を禁止（端子ウェイトモード0）
1	WSCの動作を許可

H'F1：モードコントロールレジスタ　MDCR：システム制御

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	MDS2	MDS1	MDS0
初期値：	1	1	0	0	0	—*	—*	—*
R/W　：	—	—	—	—	—	R	R	R

モードセレクト2〜0

ビット2	ビット1	ビット0	動作モード
MD_2	MD_1	MD_0	
0	0	0	—
		1	モード1
	1	0	モード2
		1	モード3
1	0	0	モード4
		1	モード5
	1	0	モード6
		1	モード7

【注】＊　モード端子（MD_2〜MD_0）の状態により決定されます。

H'F2：システムコントロールレジスタ　SYSCR：システム制御

ビット：	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG	—	RAME
初期値：	0	0	0	0	1	0	1	1
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W

RAMイネーブル

0	内蔵RAM無効
1	内蔵RAM有効

NMIエッジセレクト

0	NMI入力の立下がりエッジで割込み要求を発生
1	NMI入力の立上がりエッジで割込み要求を発生

ユーザビットイネーブル

0	CCRのビット6（UI）を割込みマスクビットとして使用
1	CCRのビット6（UI）をユーザビットとして使用

スタンバイタイマセレクト2〜0

ビット6	ビット5	ビット4	スタンバイタイマの指定
STS2	STS1	STS0	
0	0	0	待機時間＝　8192ステート
		1	待機時間＝　16384ステート
	1	0	待機時間＝　32768ステート
		1	待機時間＝　65536ステート
1	0	0	待機時間＝131072ステート
		1	待機時間＝　1024ステート
	1	ー	使用禁止

ソフトウェアスタンバイ

0	SLEEP命令実行後、スリープモードに遷移
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

H'F3：バスリリースコントロールレジスタ　BRCR：バスコントローラ

	ビット：	7	6	5	4	3	2	1	0
		A23E	A22E	A21E	—	—	—	—	BRLE
モード1,2,5,7	初期値：	1	1	1	1	1	1	1	0
	R/W ：	—	—	—	—	—	—	—	R/W
モード3,4,6	初期値：	1	1	1	1	1	1	1	0
	R/W ：	R/W	R/W	R/W	—	—	—	—	R/W

アドレス23〜21イネーブル

0	アドレス出力
1	上記以外の入出力端子

バスリリースイネーブル

0	バス権の外部に対する解放を禁止
1	バス権の外部に対する解放を許可

H'F4：IRQ センスコントロールレジスタ　ISCR：割込みコントローラ

ビット：	7	6	5	4	3	2	1	0
	—	—	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ5〜IRQ0センスコントロール

0	$\overline{\text{IRQ}}_5$〜$\overline{\text{IRQ}}_0$入力のLowレベルで割込み要求を発生
1	$\overline{\text{IRQ}}_5$〜$\overline{\text{IRQ}}_0$入力の立下がりエッジで割込み要求を発生

H'F5：IRQ イネーブルレジスタ　IER：割込みコントローラ

ビット：	7	6	5	4	3	2	1	0
	—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値：	0	0	0	0	0	0	0	0
R/W ：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ5〜IRQ0イネーブル

0	IRQ5〜IRQ0割込みを禁止
1	IRQ5〜IRQ0割込みを許可

H'F6：IRQ ステータスレジスタ　ISR：割込みコントローラ

ビット：	7	6	5	4	3	2	1	0
	—	—	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値：	0	0	0	0	0	0	0	0
R/W ：	—	—	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

IRQ5〜IRQ0フラグ

ビット5〜0 IRQ5F〜IRQ0F	セット／クリア条件
0	〔クリア条件〕 (1) IRQnF＝1の状態でIRQnFをリードした後、IRQnFに0をライトしたとき (2) IRQnSC＝0、$\overline{\text{IRQ}}$n入力がHighレベルの状態で割込み例外処理を実行したとき (3) IRQnSC＝1の状態でIRQn割込み例外処理を実行したとき
1	〔セット条件〕 (1) IRQnSC＝0の状態で$\overline{\text{IRQ}}$n入力がLowレベルになったとき (2) IRQnSC＝1の状態で$\overline{\text{IRQ}}$n入力に立下がりエッジが発生したとき

（n＝5〜0）

【注】＊　フラグをクリアするための0ライトのみ可能です。

H'F8：インタラプトプライオリティレジスタ A　IPRA：割込みコントローラ

ビット：	7	6	5	4	3	2	1	0
	IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0
初期値：	0	0	0	0	0	0	0	0
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プライオリティレベルA7～A0

0	プライオリティレベル0（非優先）
1	プライオリティレベル1（優先）

●割込み要因と各ビットの対応

	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IPRA		IPRA7	IPRA6	IPRA5	IPRA4	IPRA3	IPRA2	IPRA1	IPRA0
	割込み要　因	IRQ0	IRQ1	IRQ2、IRQ3	IRQ4、IRQ5	WDT、リフレッシュコントローラ	ITU チャネル0	ITU チャネル1	ITU チャネル2

H'F9：インタラプトプライオリティレジスタ B　IPRB：割込みコントローラ

ビット：	7	6	5	4	3	2	1	0
	IPRB7	IPRB6	IPRB5	—	IPRB3	IPRB2	IPRB1	—
初期値：	0	0	0	0	0	0	0	0
R/W　：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プライオリティレベルB7～B5、B3～B1

0	プライオリティレベル0（非優先）
1	プライオリティレベル1（優先）

●割込み要因と各ビットの対応

	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IPRB		IPRB7	IPRB6	IPRB5	—	IPRB3	IPRB2	IPRB1	—
	割込み要　因	ITU チャネル3	ITU チャネル4	DMAC	—	SCI チャネル0	SCI チャネル1	A/D 変換器	—

C. I/O ポートブロック図

C.1 ポート 1 ブロック図

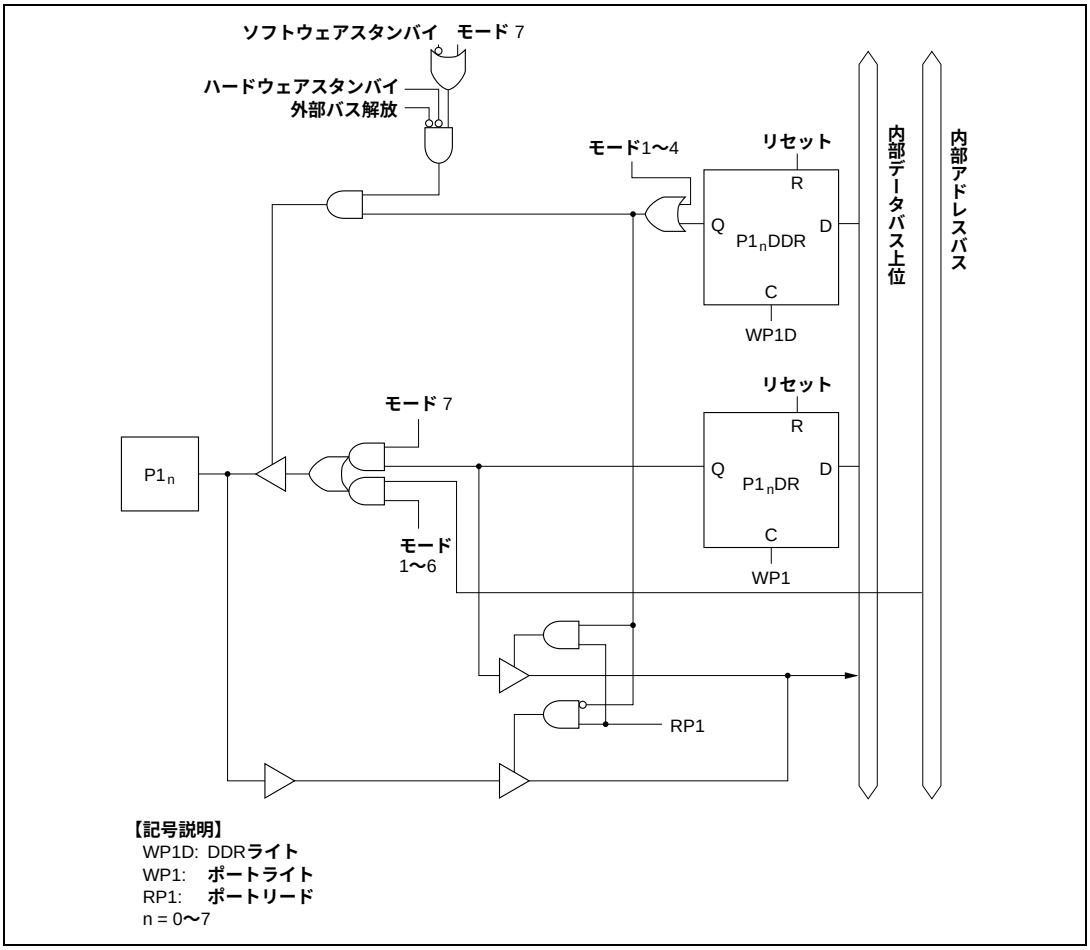


図 C.1 ポート 1 ブロック図

C.2　ポート 2 ブロック図

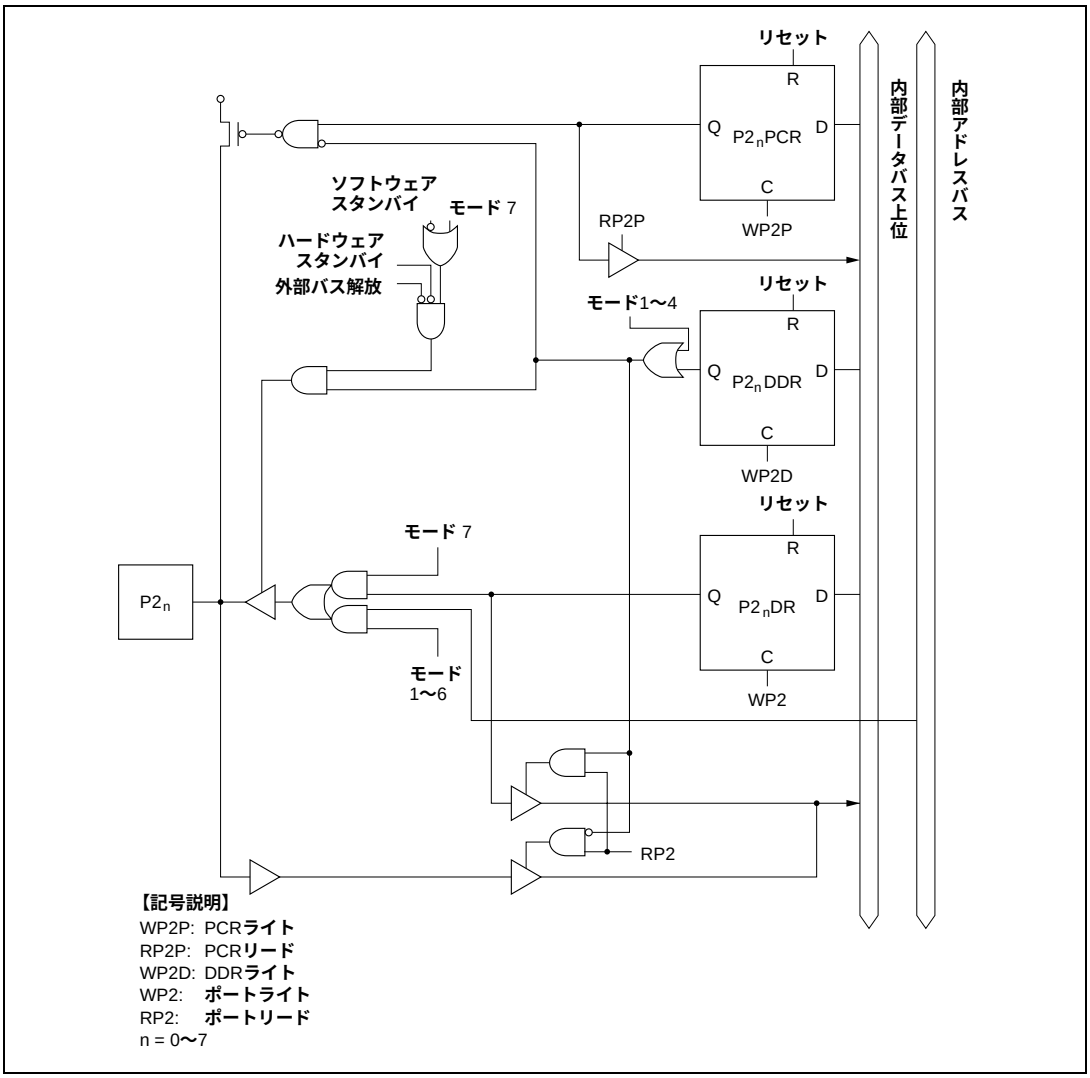


図 C.2　ポート 2 ブロック図

C.3 ポート 3 ブロック図

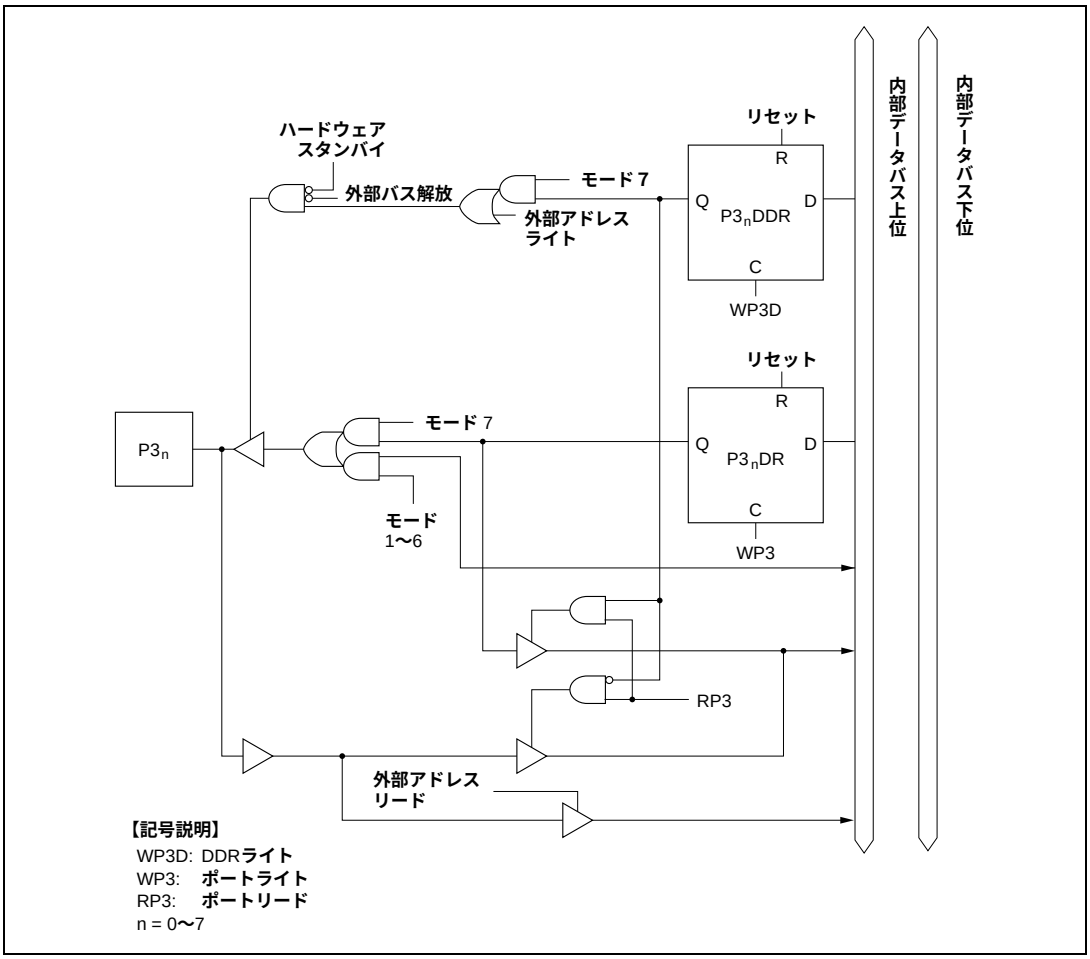


図 C.3 ポート 3 ブロック図

C.4　ポート 4 ブロック図

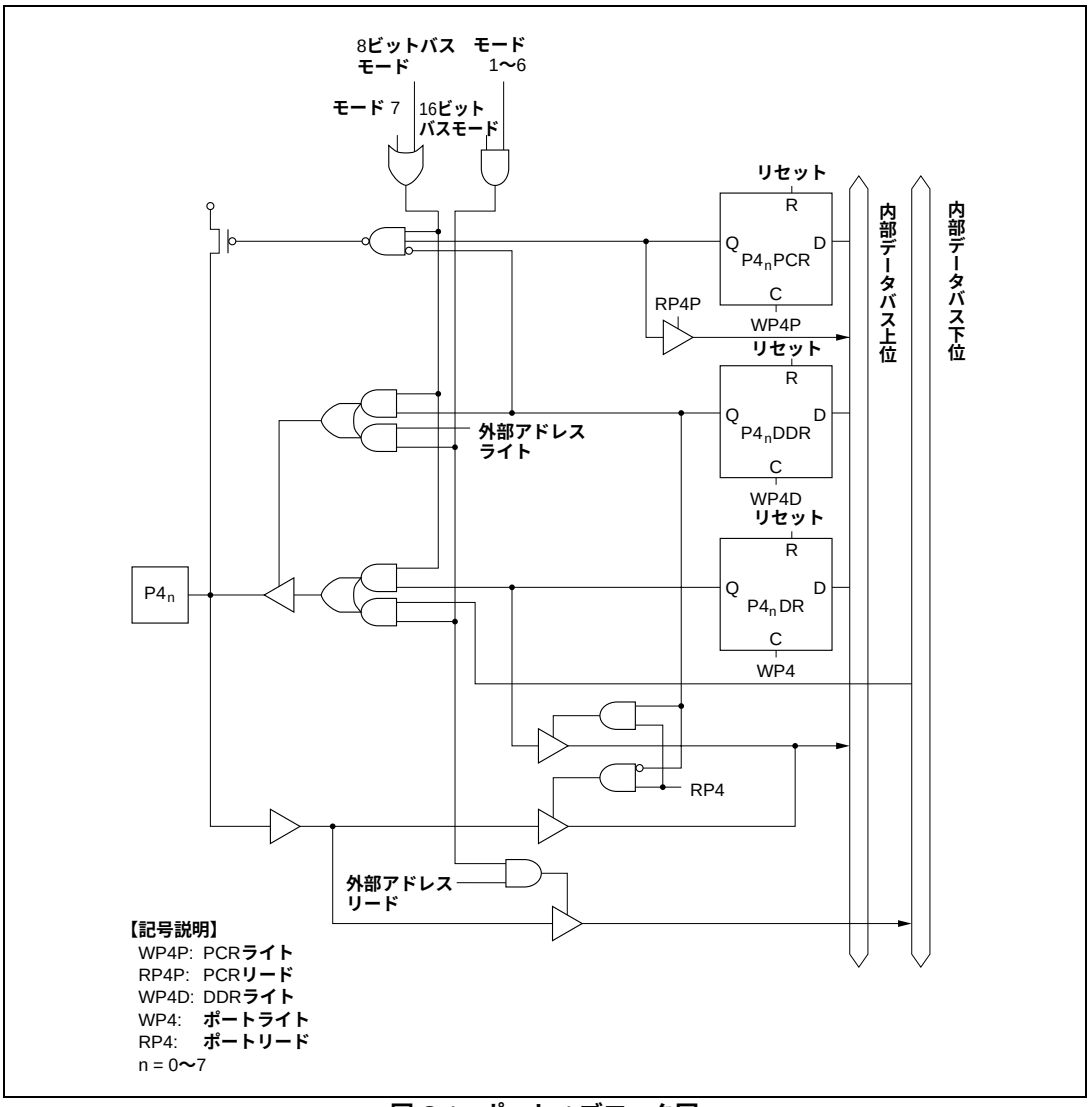


図 C.4　ポート 4 ブロック図

C.5　ポート 5 ブロック図

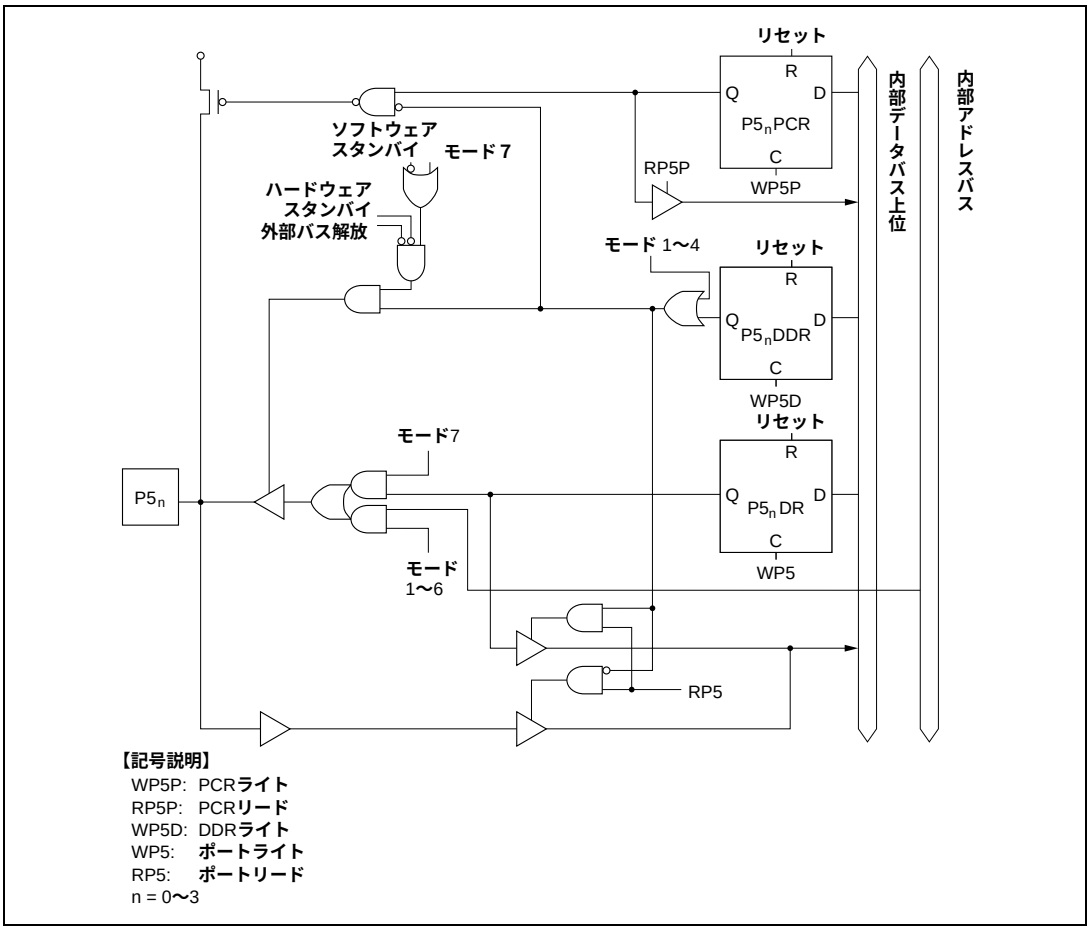


図 C.5　ポート 5 ブロック図

C.6　ポート 6 ブロック図

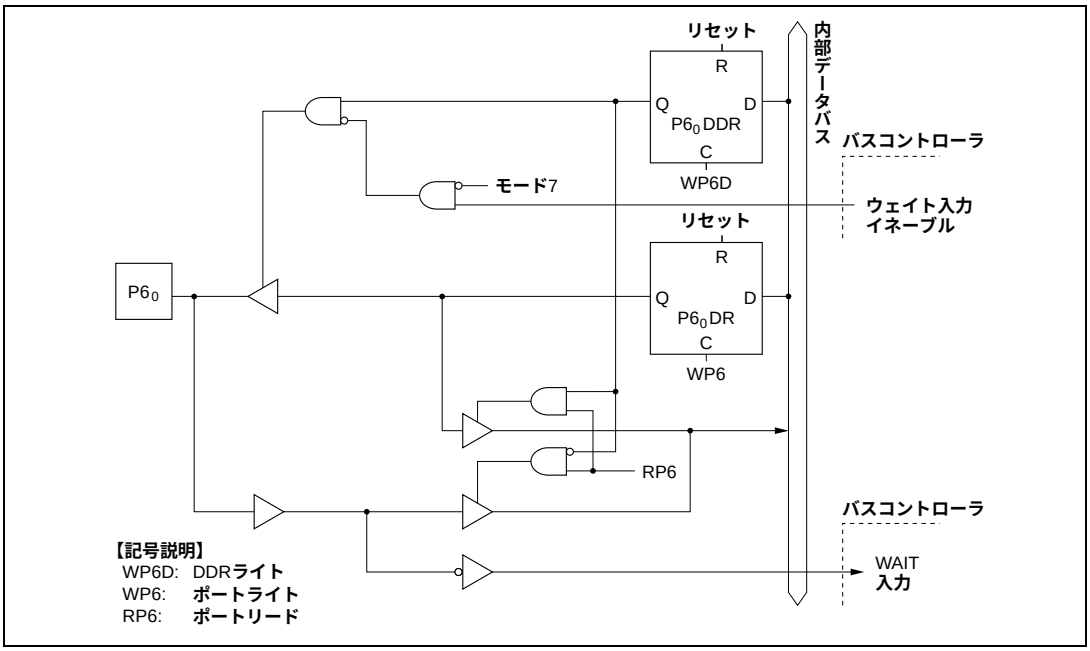


図 C.6（a）　ポート 6 ブロック図（$P6_0$端子）

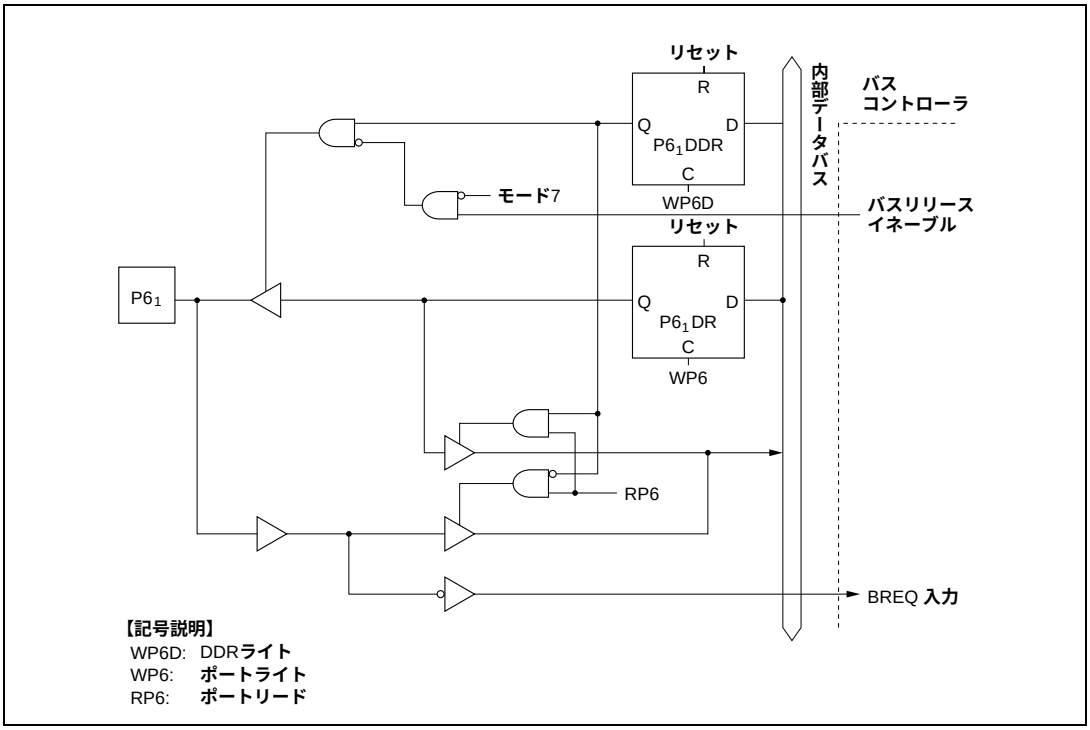


図 C.6（b） **ポート** 6 **ブロック図**（$P6_1$ **端子**）

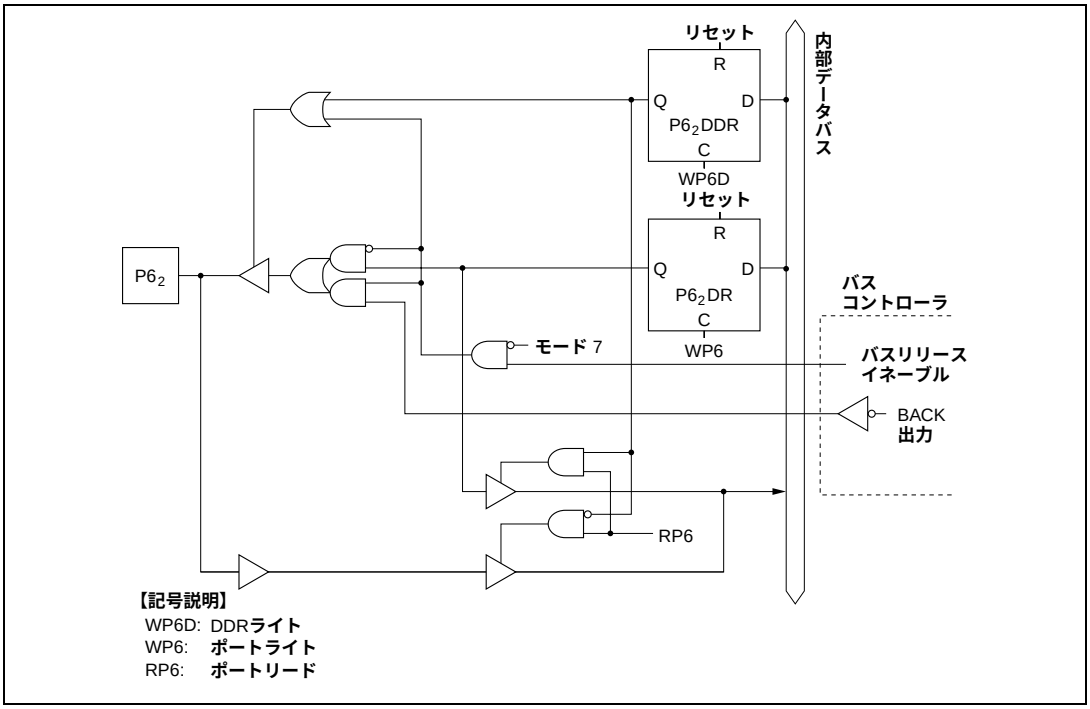


図 C.6（c） **ポート** 6 **ブロック図**（$P6_2$**端子**）

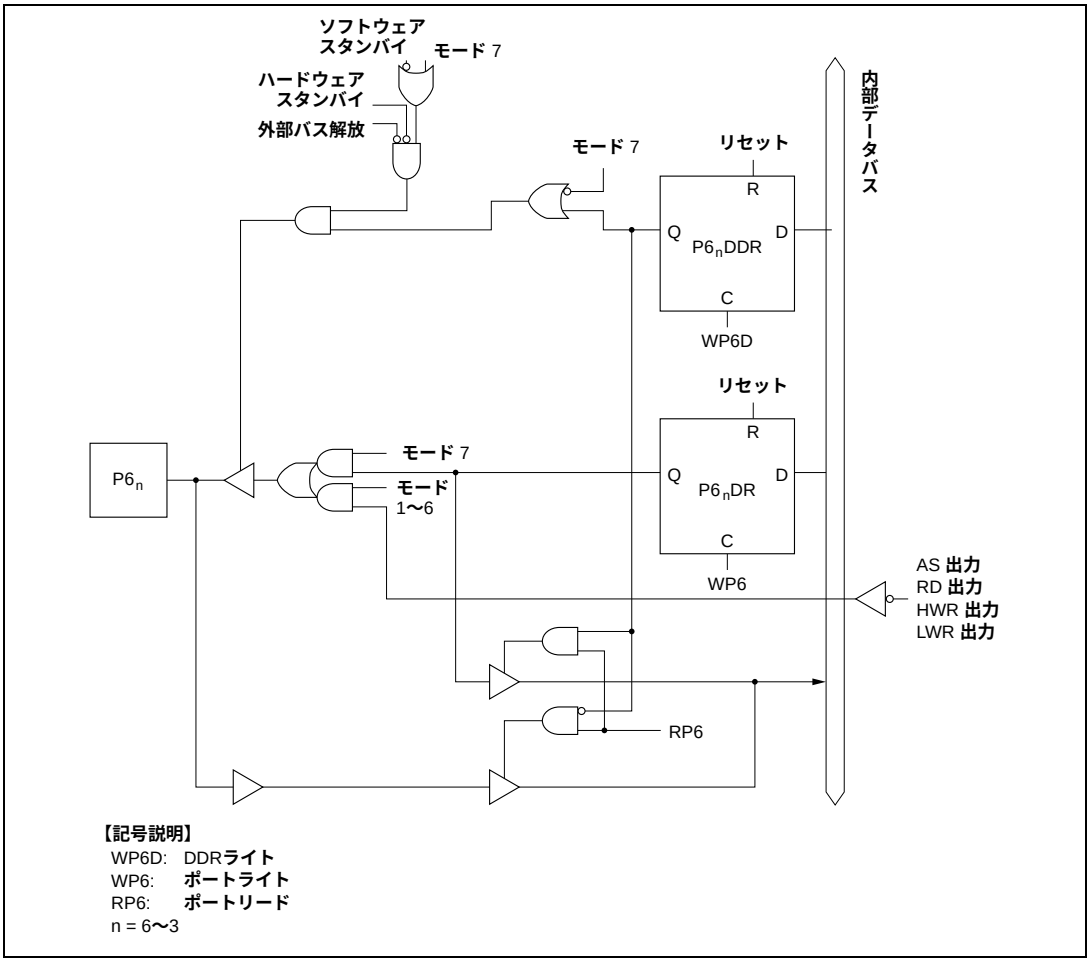
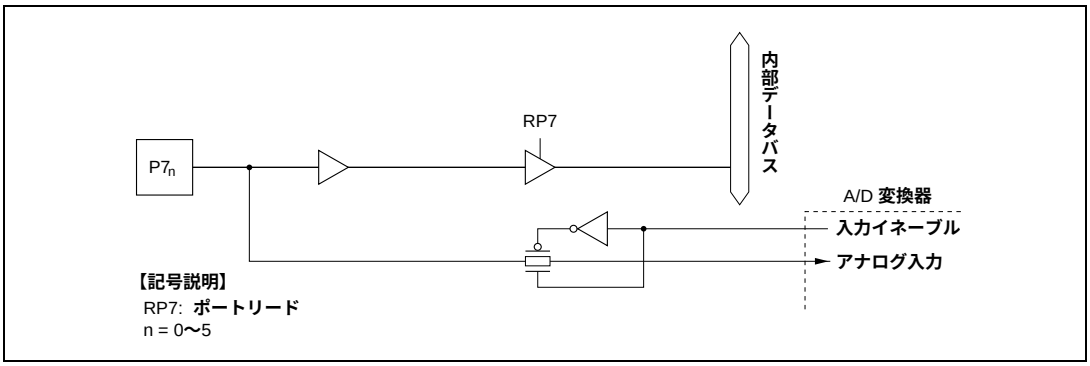
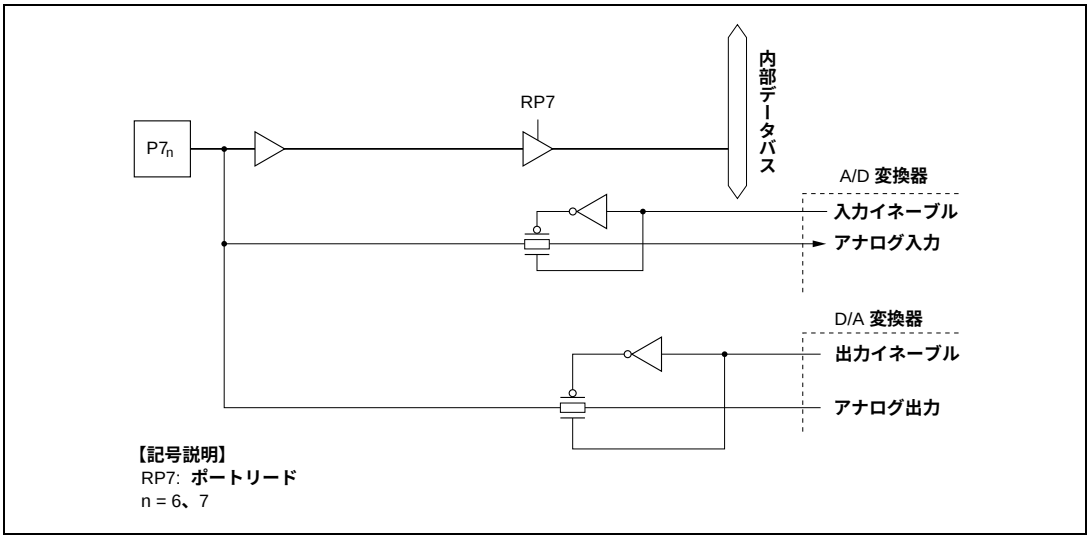


図 C.6（d） ポート 6 ブロック図（$P6_6$〜$P6_3$端子）

C.7　ポート 7 ブロック図



C.7（a）　ポート 7 ブロック図（$P7_0$〜$P7_5$端子）



C.7（b）　ポート 7 ブロック図（$P7_6$〜$P7_7$端子）

C.8 ポート 8 ブロック図

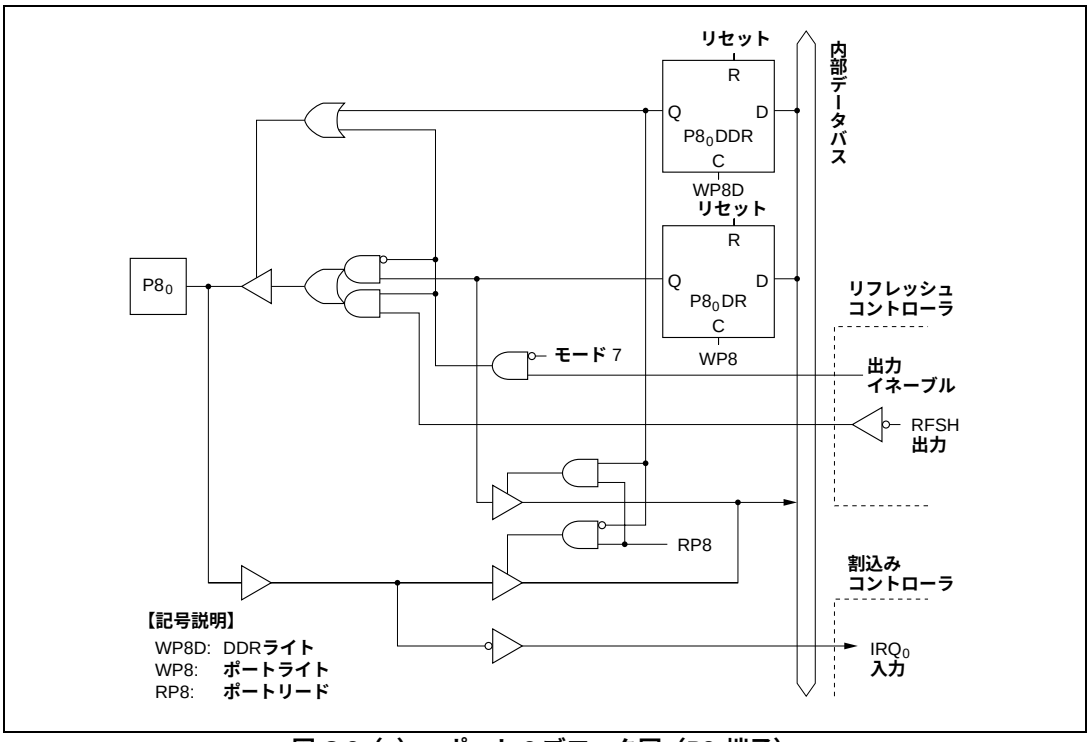


図 C.8（a） ポート 8 ブロック図（$P8_0$ 端子）

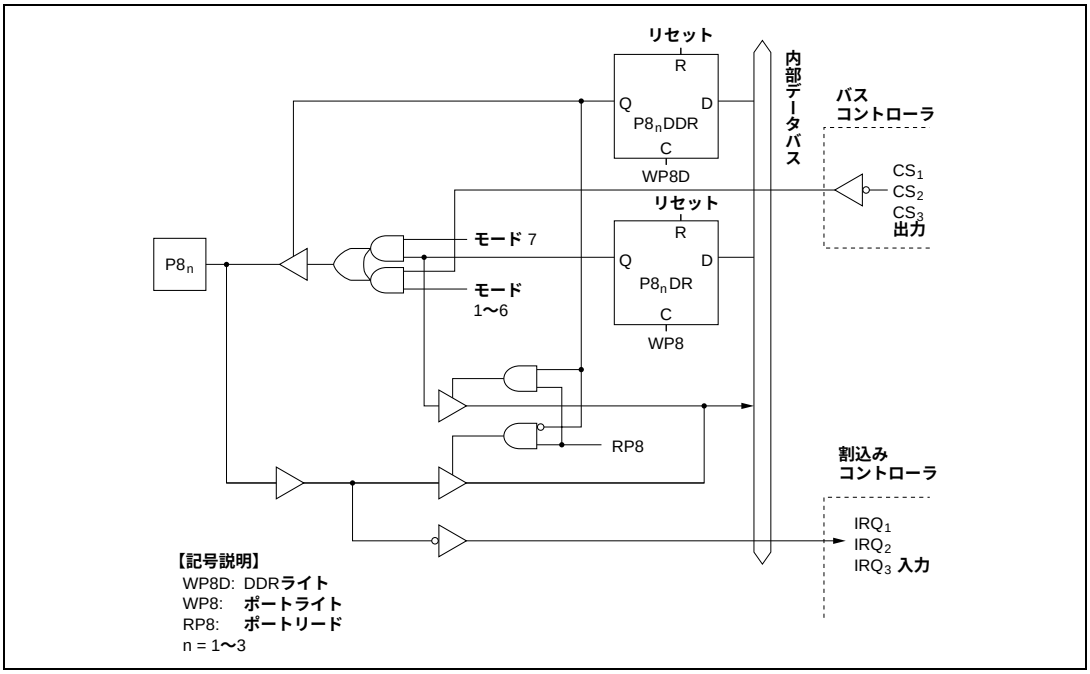


図 C.8（b） **ポート** 8 **ブロック図**（$P8_1$、$P8_2$、$P8_3$ **端子**）

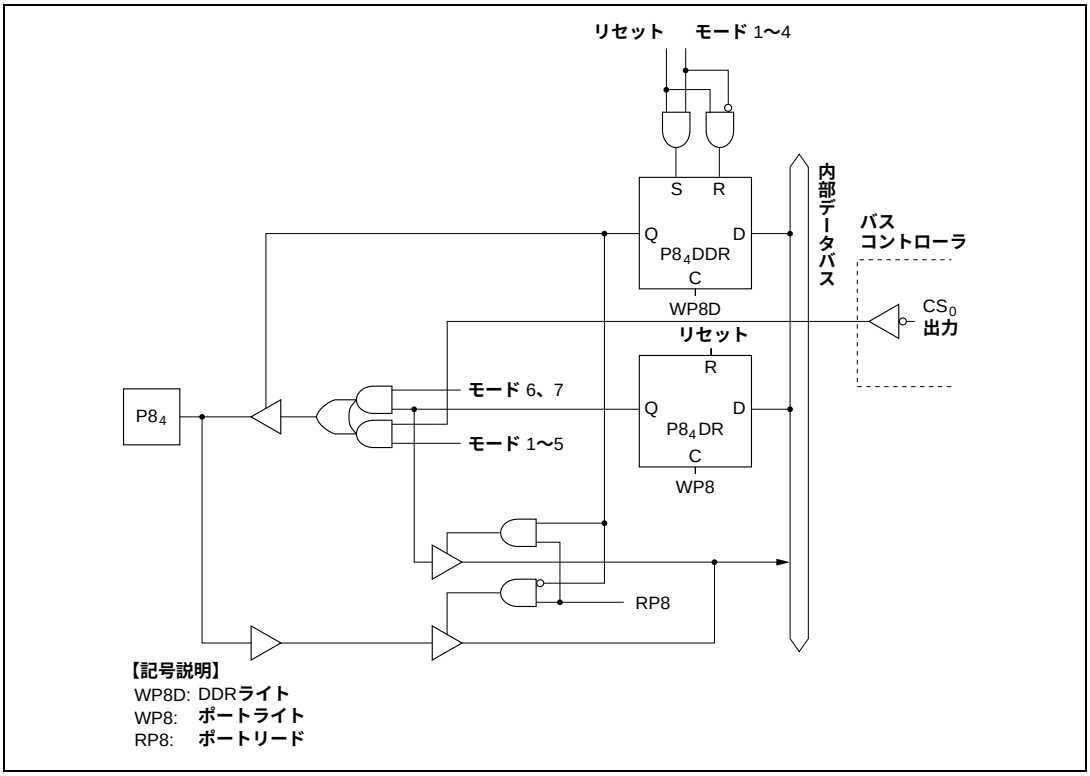


図 C.8（c） **ポート** 8 **ブロック図**（$P8_4$ **端子**）

C.9　ポート 9 ブロック図

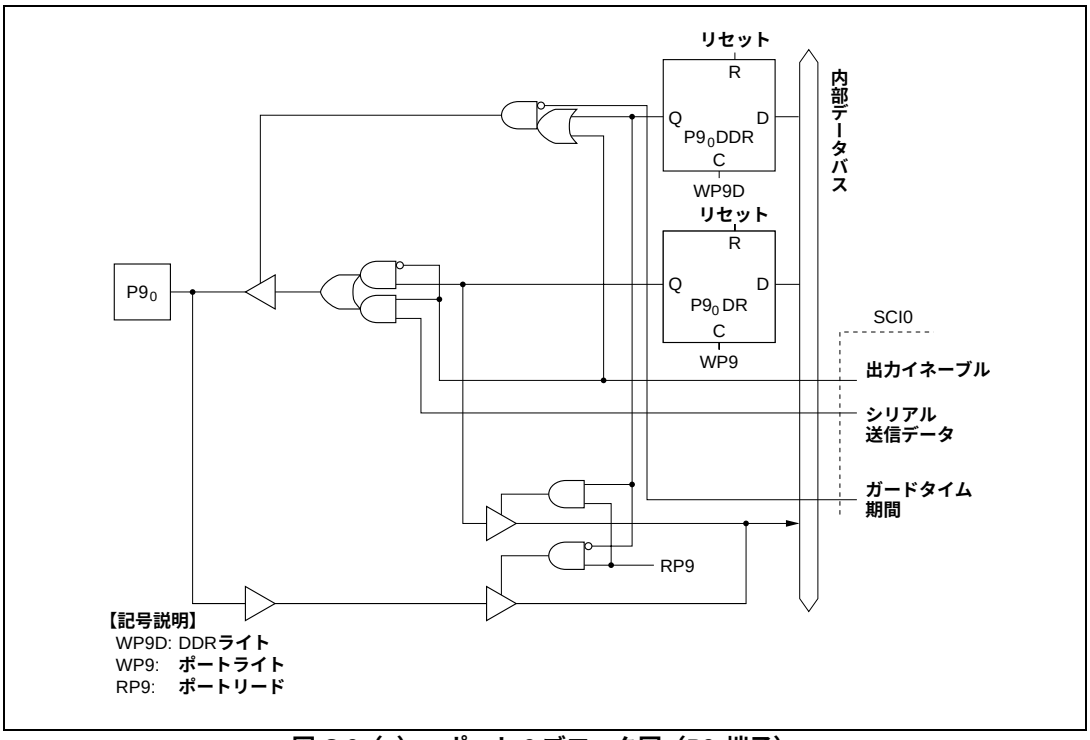


図 C.9（a）　ポート 9 ブロック図（P9$_0$端子）

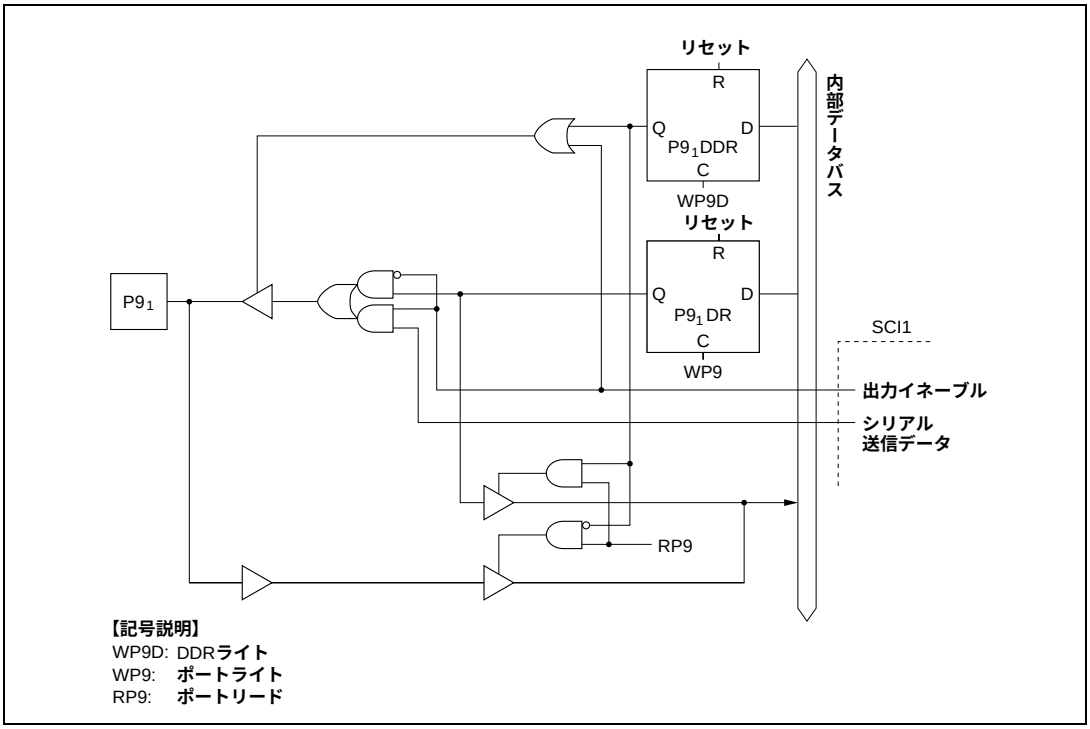


図 C.9（b） **ポート** 9 **ブロック図**（$P9_1$ **端子**）

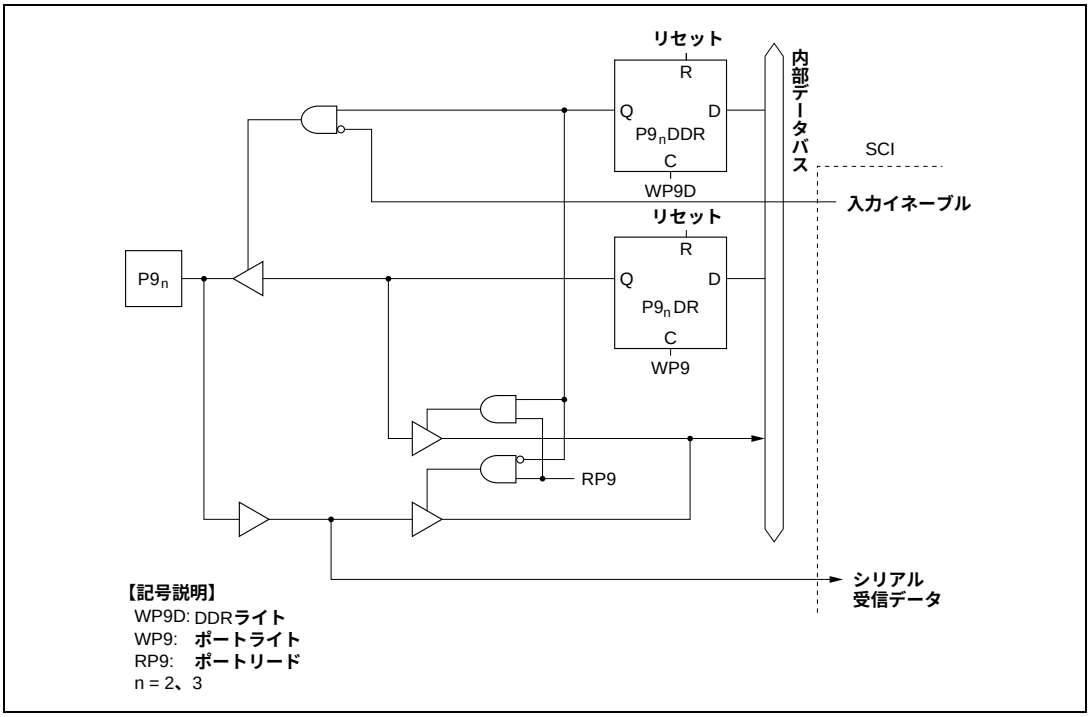


図 C.9（c） **ポート** 9 **ブロック図**（$P9_2$、$P9_3$ **端子**）

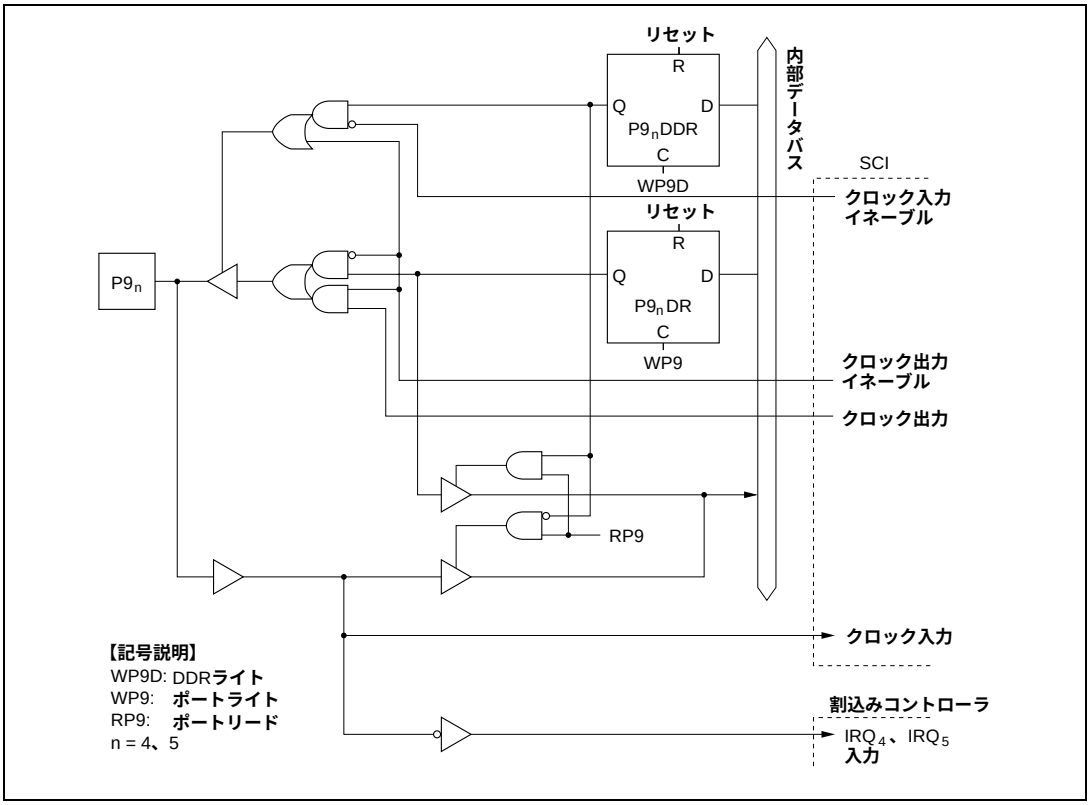


図 C.9（d） **ポート** 9 **ブロック図**（$P9_4$、$P9_5$ **端子**）

C.10　ポート A ブロック図

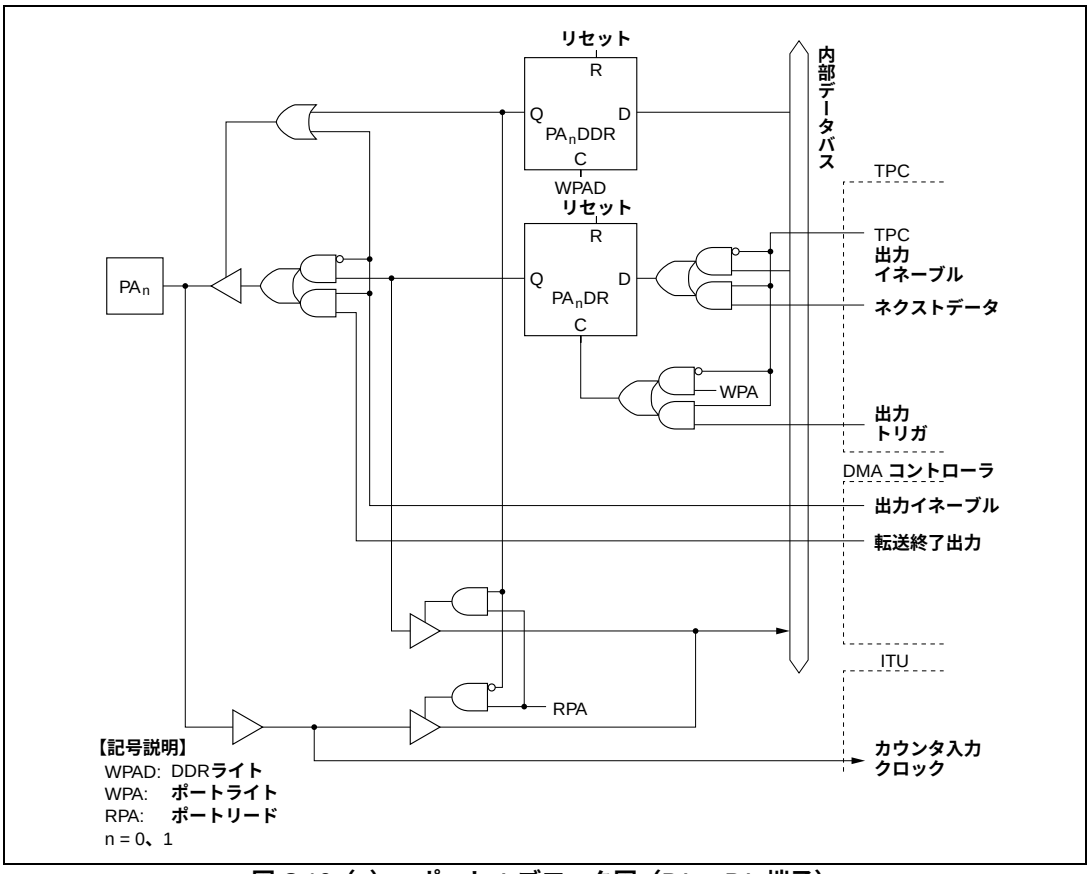


図 C.10（a）　ポート A ブロック図（PA_0、PA_1 端子）

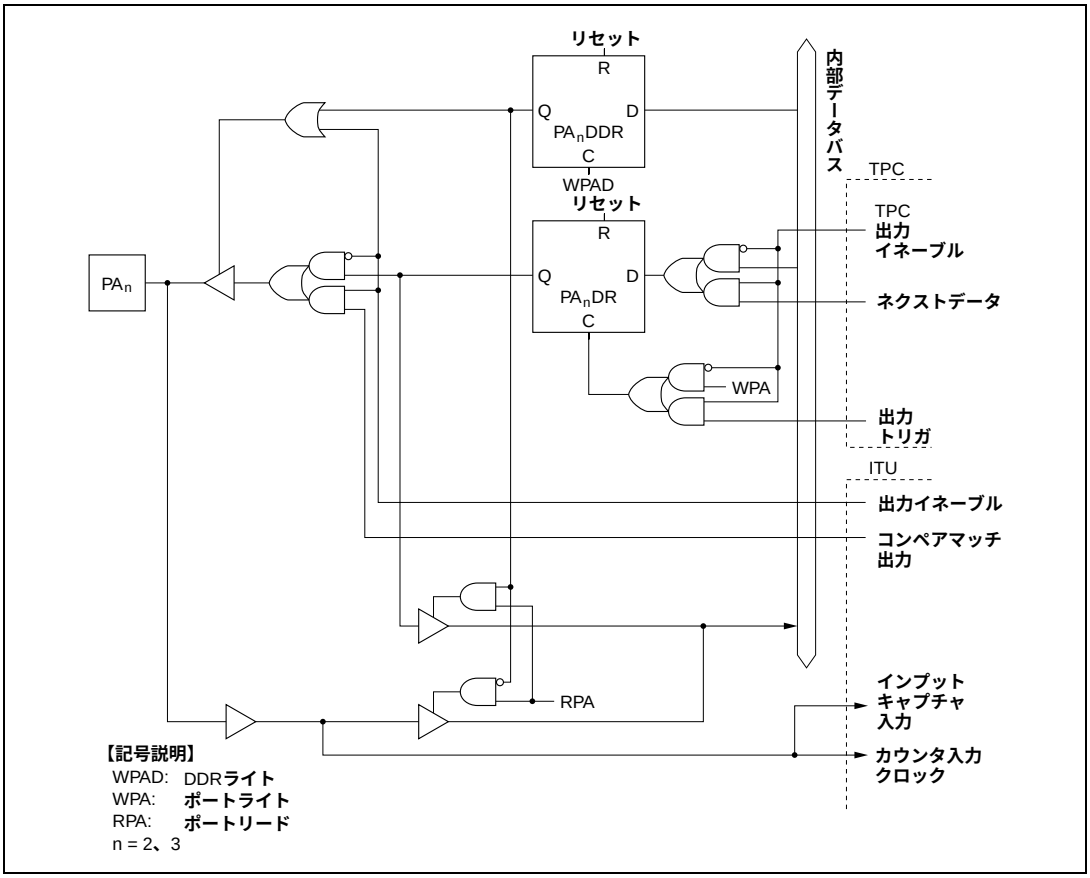


図 C.10（b） ポート A ブロック図（PA_2、PA_3端子）

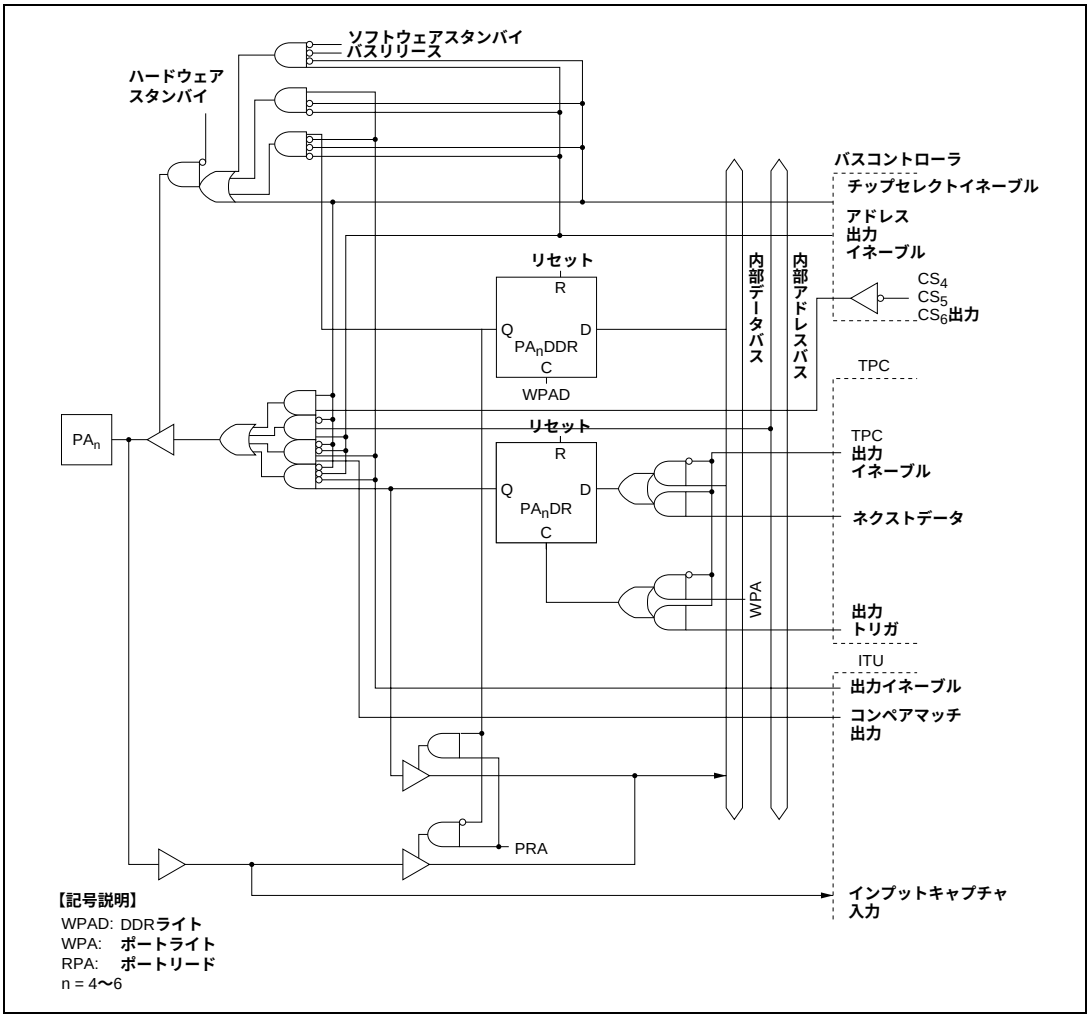


図 C.10（c） ポート A ブロック図（PA_4〜PA_6端子）

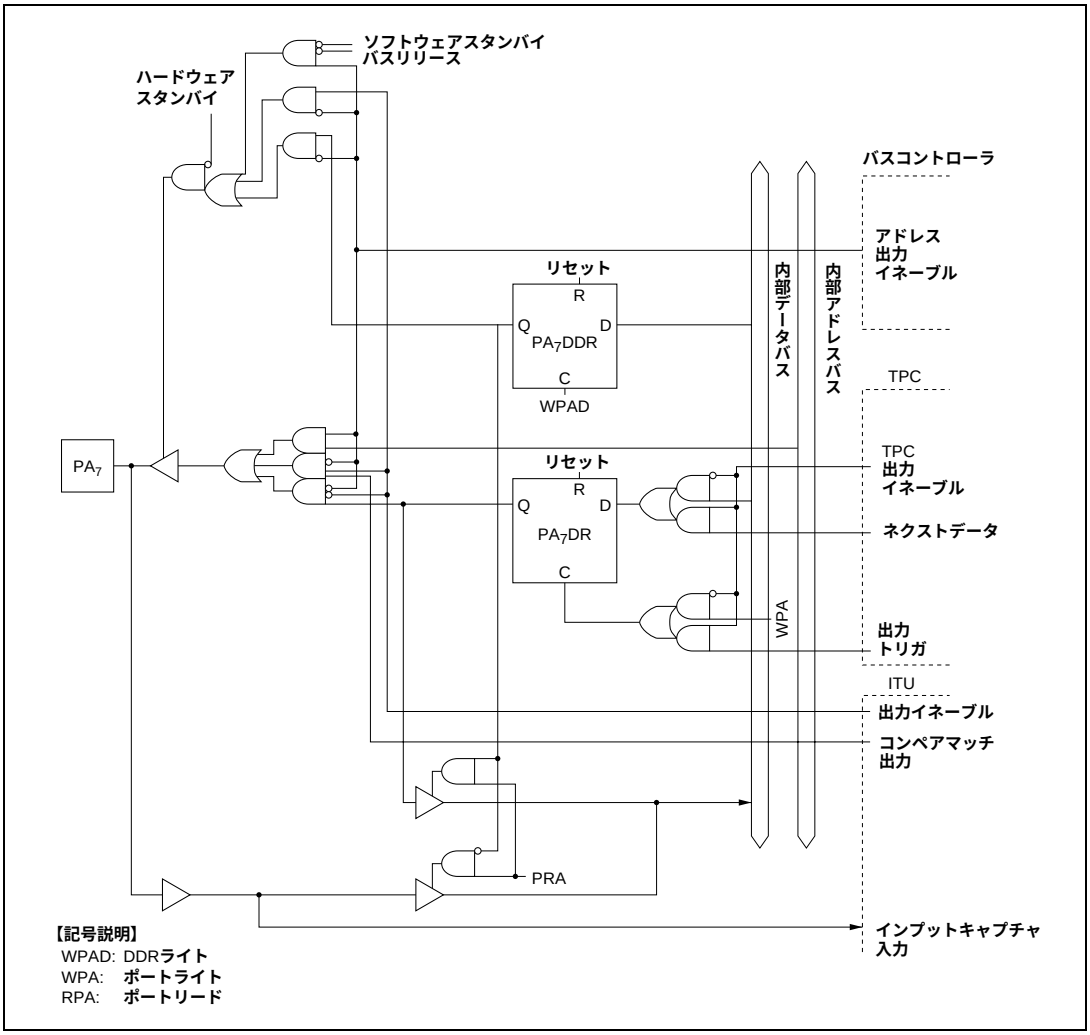


図 C.10（d） **ポート** A **ブロック図**（PA_7**端子**）

C.11　ポート B ブロック図

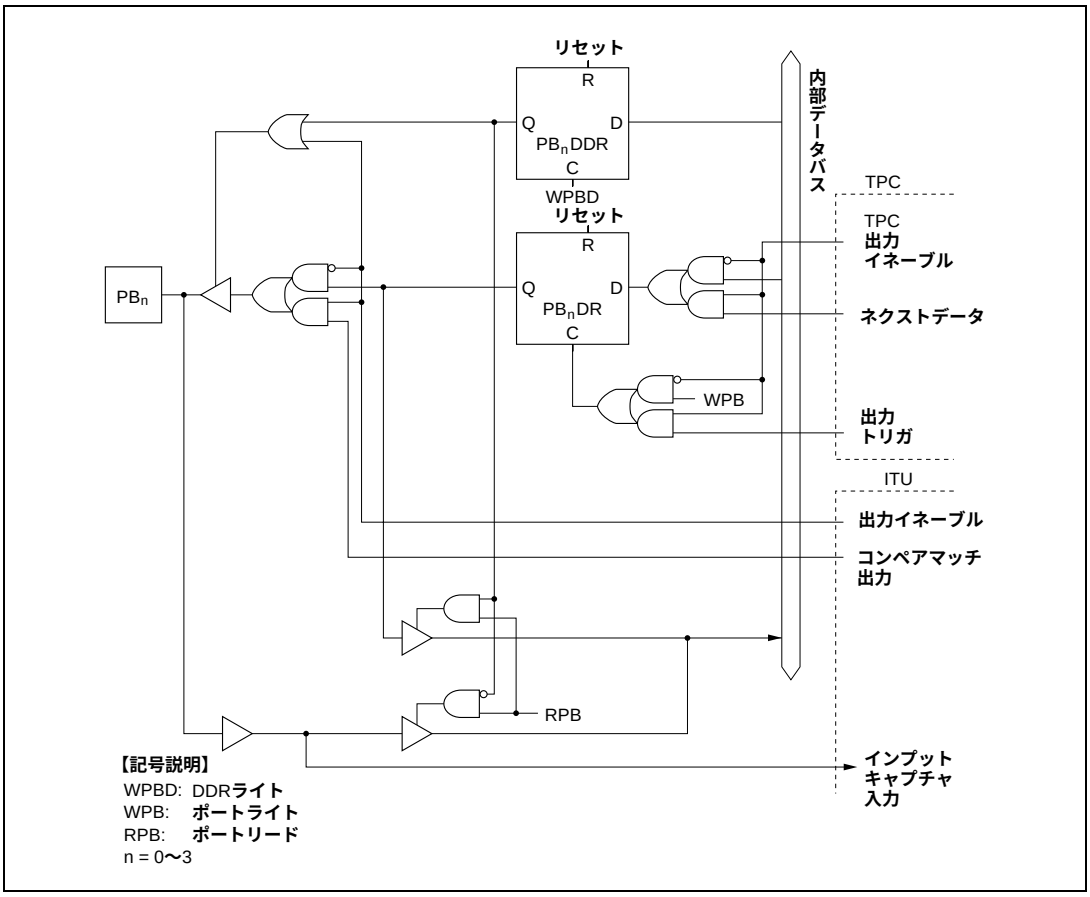


図 C.11（a）　ポート B ブロック図（PB_0〜PB_3端子）

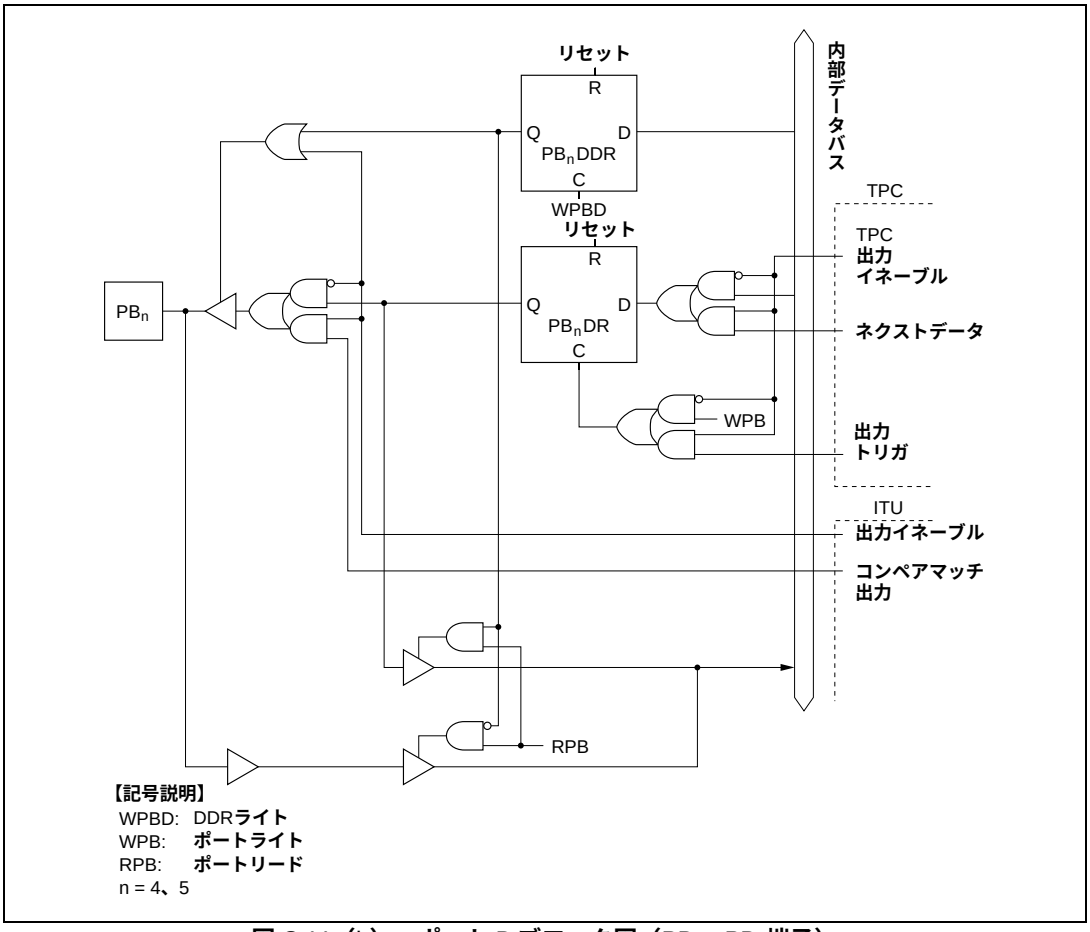


図 C.11（b） ポート B ブロック図（PB_4、PB_5端子）

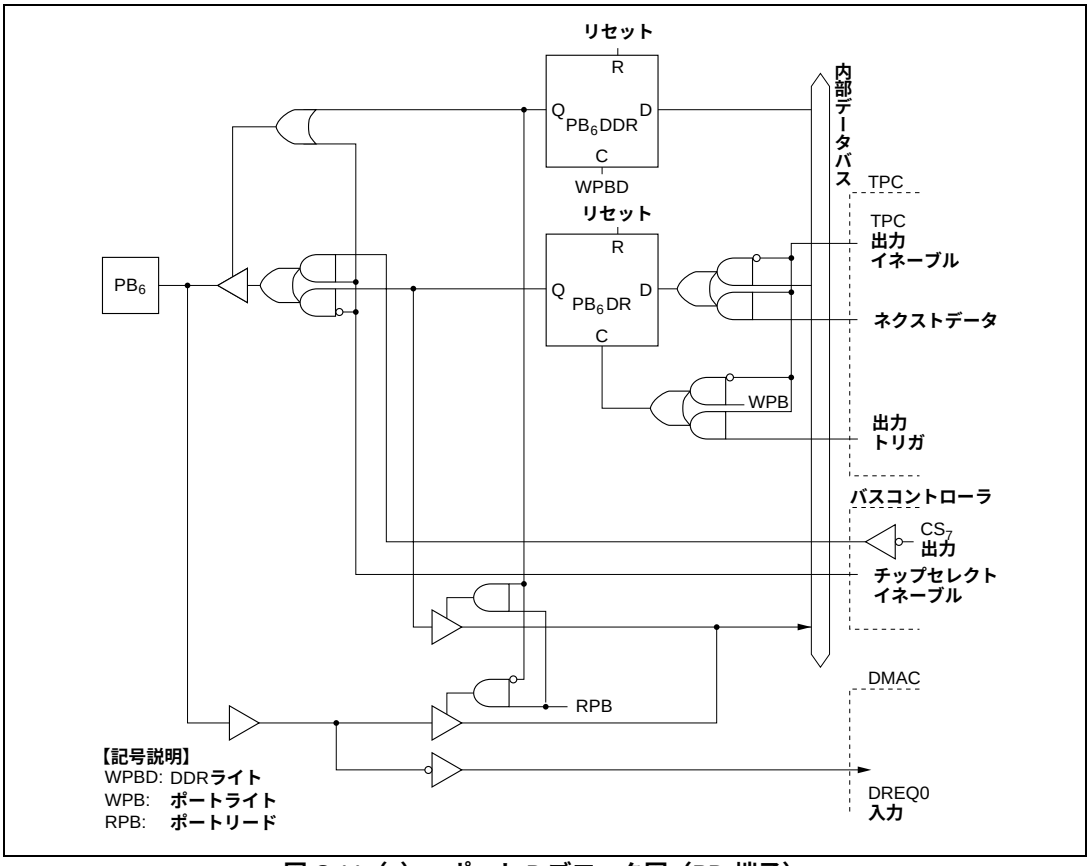


図 C.11（c） ポート B ブロック図（PB_6端子）

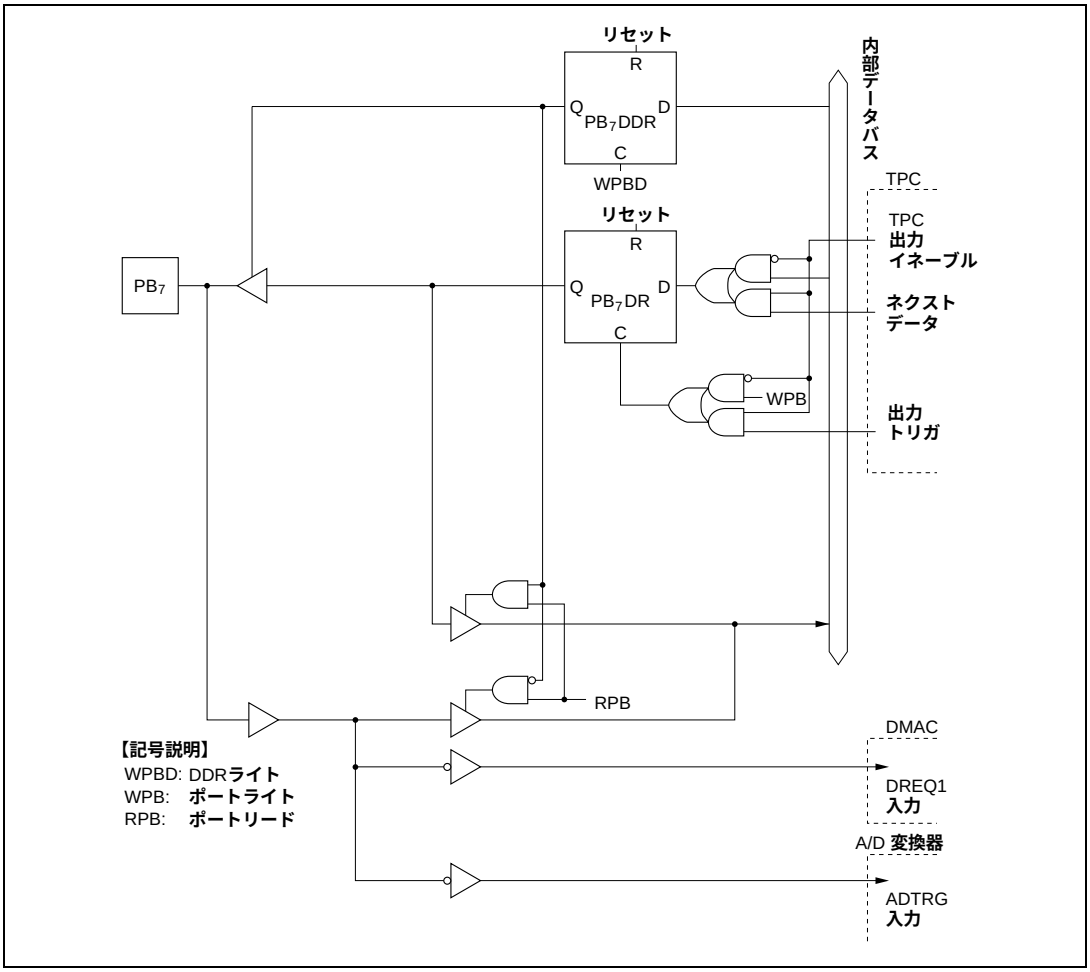


図 C.11（d） ポート B ブロック図（PB_7端子）

D. 端子状態

D.1 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

ポート名 端子名	モード		リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権解放状態	プログラム 実行状態 スリープモード
φ	−		クロック 出力	T	H	クロック出力	クロック出力
RESO*2	−		T*2	T	T	T	RESO
$P1_7$〜$P1_0$	1〜4		L	T	T	T	A_7〜A_0
	5、6		T	T	keep	T	[DDR=0] 入力ポート
					T	T	[DDR=1] A_7〜A_0
	7		T	T	keep	−	入出力ポート
$P2_7$〜$P2_0$	1〜4		L	T	T	T	A_{15}〜A_8
	5、6		T	T	keep	T	[DDR=0] 入力ポート
					T	T	[DDR=1] A_{15}〜A_8
	7		T	T	keep	−	入出力ポート
$P3_7$〜$P3_0$	1〜6		T	T	T	T	D_{15}〜D_8
	7		T	T	keep	−	入出力ポート
$P4_7$〜$P4_0$	1〜6	8 ビットバス	T	T	keep	keep	入出力ポート
		16 ビットバス	T	T	T	T	D_7〜D_0
	7		T	T	keep	−	入出力ポート
$P5_3$〜$P5_0$	1〜4		L	T	T	T	A_{19}〜A_{16}
	5、6		T	T	keep	T	[DDR=0] 入力ポート
					T	T	[DDR=1] A_{19}〜A_{16}
	7		T	T	keep	−	入出力ポート
$P6_0$	1〜6		T	T	keep	keep	入出力ポート WAIT
	7		T	T	keep	−	入出力ポート
$P6_1$	1〜6		T	T	[BRLE=0] keep [BRLE=1] T	T	入出力ポート BREQ
	7		T	T	keep	−	入出力ポート

ポート名 端子名	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権解放状態	プログラム 実行状態 スリープモード
$P6_2$	1～6	T	T	[BRLE=0] keep [BRLE=1] H	L	[BRLE=0] 入出力ポート [BRLE=1] BACK
	7	T	T	keep	－	入出力ポート
$P6_6$～$P6_3$	1～6	H*[3]	T	T	T	AS、RD、HWR、 LWR
	7	T	T	keep	－	入出力ポート
$P7_7$～$P7_0$	1～7	T	T	T	T*[1]	入力ポート
$P8_0$	1～6	T	T	[RFSHE=0] keep [RFSHE=1] RFSH	[RFSHE=0] keep [RFSHE=1] H	[RFSHE=0] 入出力ポート [RFSHE=1] RFSH
	7	T	T	keep	－	入出力ポート
$P8_3$～$P8_1$	1～6	T	T	[DDR=0] T [DDR=1] H	[DDR=0] keep [DDR=1] H	[DDR=0] 入力ポート [DDR=1] CS_3 ～CS_1
	7	T	T	keep	－	入出力ポート
$P8_4$	1～6	L	T	[DDR=0] T [DDR=1] L	[DDR=0] keep [DDR=1] H	[DDR=0] 入力ポート [DDR=1] CS_0
	7	T	T	keep	－	入出力ポート
$P9_5$～$P9_0$	1～7	T	T	keep	keep*[1]	入出力ポート
PA_3～PA_0	1～7	T	T	keep	keep*[1]	入出力ポート
PA_6～PA_4	3、4、6	T*[4]	T	[CS 出力時] H [アドレス出力時] T [上記以外] keep	[CS 出力時] H [アドレス出力時] T [上記以外] keep	[CS 出力時] CS_6～CS_4 [アドレス出力時] A_{23}～A_{21} [上記以外] 入出力ポート
	1、2、5、7	T*[4]	T	keep	keep*[1]	入出力ポート

ポート名 端子名	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイモード	バス権解放状態	プログラム 実行状態スリープ モード
PA_7	3、4、6	L*4	T	T	T	A_{20}
	1、2、5、7	T*4	T	keep	keep*1	入出力ポート
PB_7、 PB_5〜PB_0	1〜7	T	T	keep	keep*1	入出力ポート
PB_6	3、4、6	T	T	[CS 出力時] H [上記以外] keep	[CS 出力時] H [上記以外] keep	[CS 出力時] CS_7 [上記以外] 入出力ポート
	1、2、5、7	T	T	keep	keep*1	入出力ポート

【記号説明】

H　　：High レベル
L　　：Low レベル
T　　：ハイインピーダンス
keep　：入力ポートはハイインピーダンス、出力ポートは保持
DDR　：データディレクションレジスタ

【注】 *1　モード 7 ではバス解放状態は存在しません。
*2　WDT のオーバフローによるリセット時にのみ Low レベルを出力します。
この RESO 出力機能は、マスク ROM 版、ZTAT 版およびフラッシュメモリ（二電源方式）版専用です。
*3　電源投入時は、発振安定時間までは、H または T となります。
*4　電源投入時は、発振安定時間までは、H、L、T のいずれかになります。

D.2　リセット時の端子状態

(1)　T1 ステートでのリセット

外部メモリアクセス中の T1 ステートで、RES 端子が Low レベルになったときのタイミングを図 D.1 に示します。

RES 端子が Low レベルになると同時に各ポートはイニシャライズされ入力ポートになります。

また、AS、RD、HWR、LWR が High レベル、データバスはハイインピーダンスになります。

アドレスバスは RES 端子が Low レベルをサンプリング（φの立下がりでサンプリング）してから、0.5 ステート後にイニシャライズされアドレスバスは Low レベル出力となります。

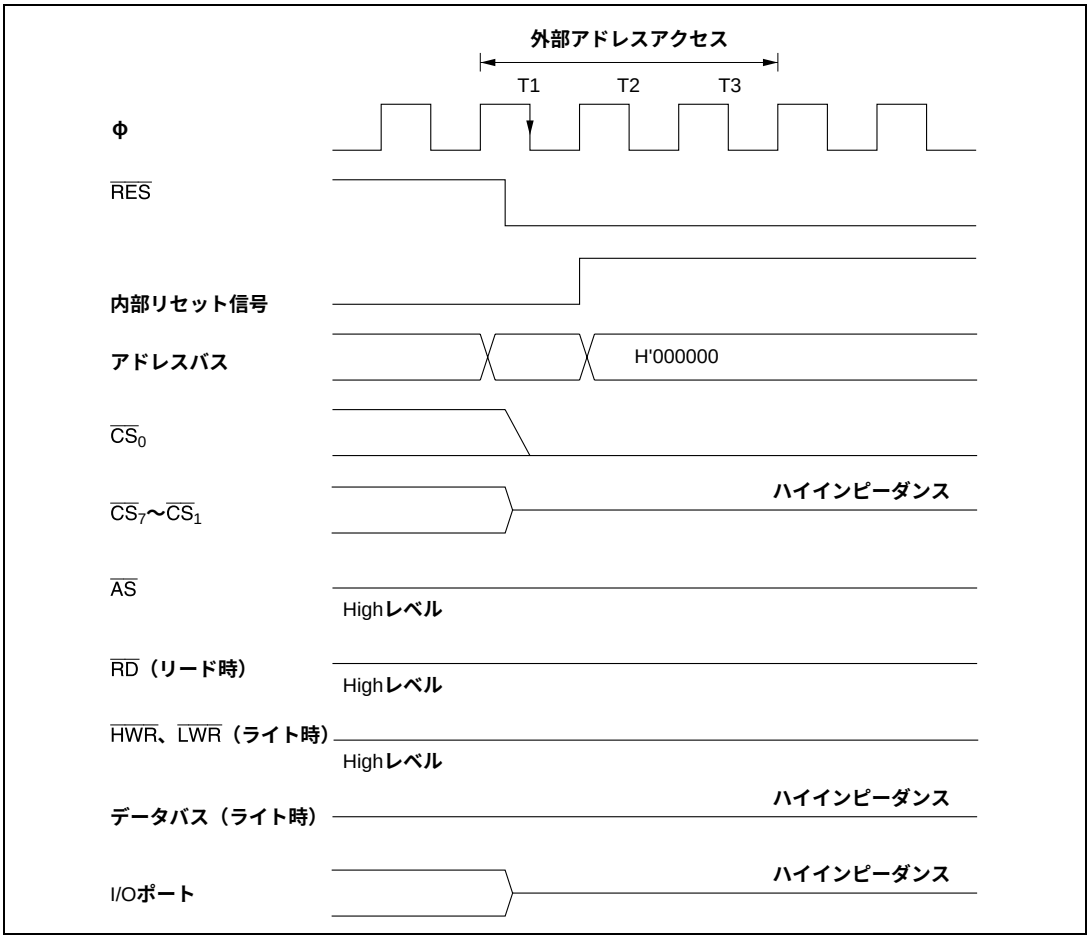


図 D.1　メモリアクセス中のリセット（T1 ステートでのリセット）

(2) T2 ステートでのリセット

外部メモリアクセス中の T2 ステートで、RES 端子が Low レベルになったときのタイミングを図 D.2 に示します。

RES 端子が Low レベルになると同時に各ポートはイニシャライズされ入力ポートになります。

また、AS、RD、HWR、LWR が High レベルになると、データバスはハイインピーダンスになります。

アドレスバスは RES 端子が Low レベルをサンプリングしてから、0.5 ステート後にイニシャライズされアドレスバスは Low レベルとなります。

T_w サイクルでのリセットについても同様です。

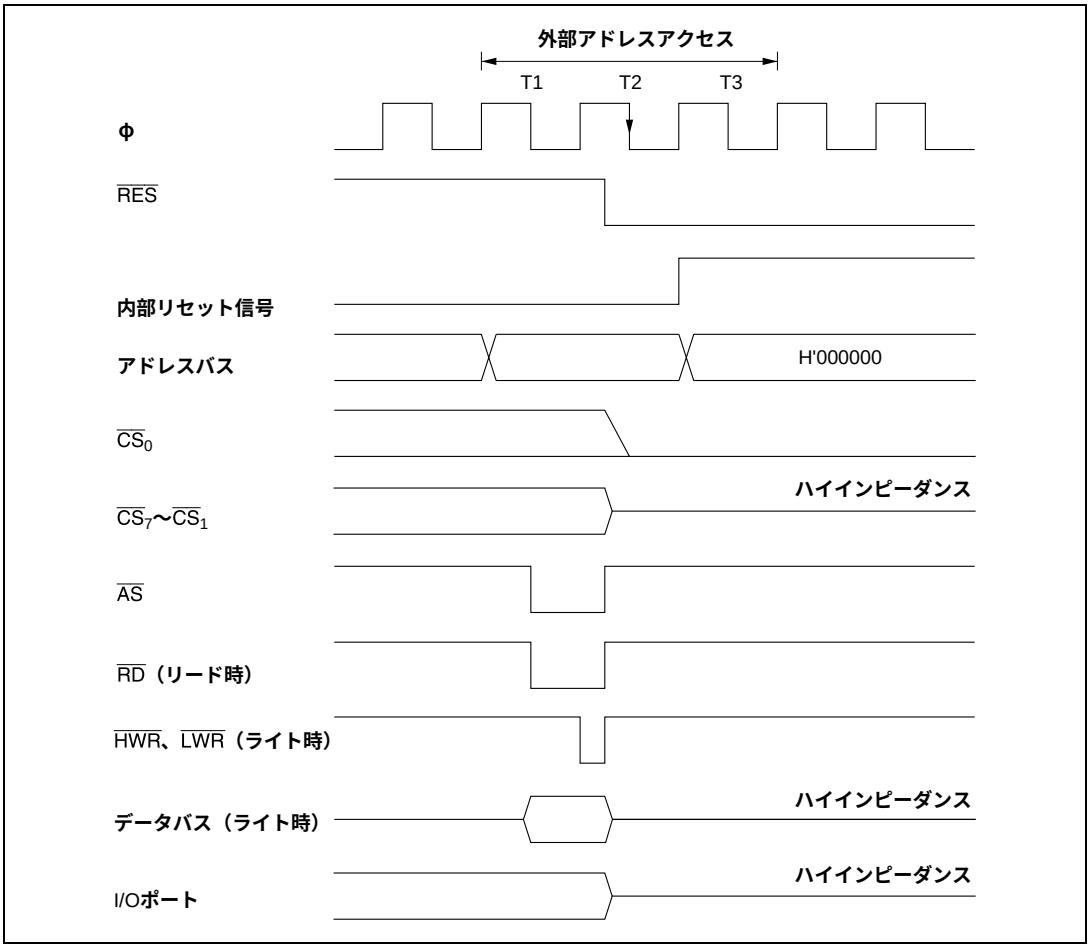


図 D.2 メモリアクセス中のリセット（T2 ステートでのリセット）

(3) T3 ステートでのリセット

外部 3 ステート空間アクセス中の T3 ステートで、RES 端子が Low レベルになったときのタイミングを**図** D.3 に示します。

RES 端子が Low レベルになると同時に各ポートはイニシャライズされ入力ポートになります。また、AS、RD、HWR、LWR が High レベル、データバスはハイインピーダンスになります。

アドレスバスは T3 ステート中保持されます。

2 ステートアクセス空間の T2 ステートでのリセットについても同様です。

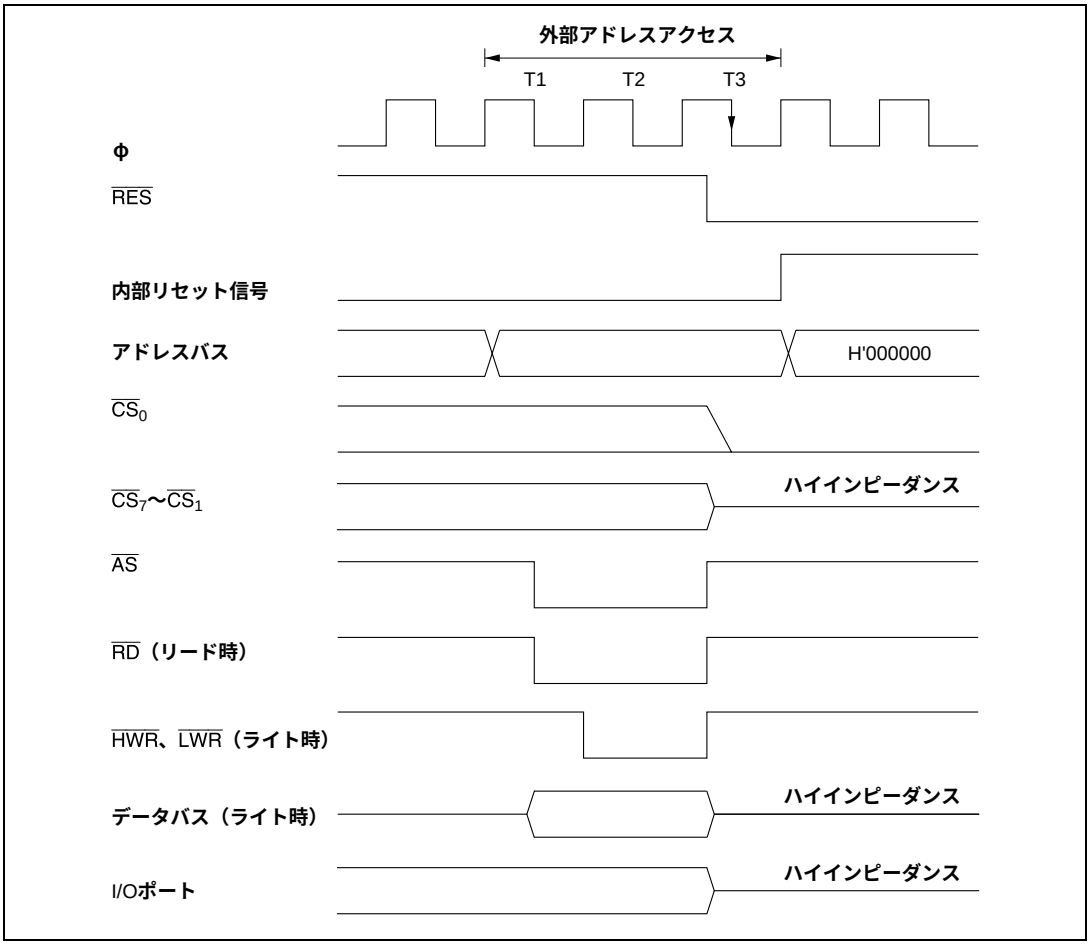


図 D.3 **メモリアクセス中のリセット（**T3 **ステートでのリセット）**

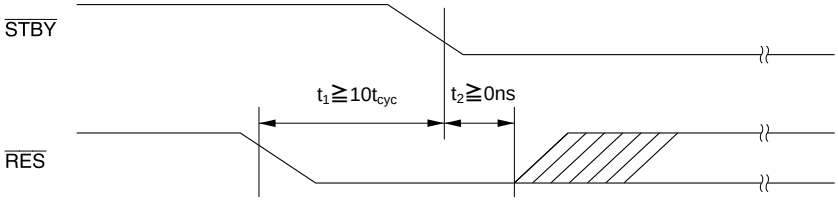
E. ハードウェアスタンバイモード遷移／復帰時のタイミングについて

E.1 ハードウェアスタンバイモードの遷移タイミング

(1) SYSCR の RAME ビットを 1 にセットした状態で RAM の内容を保持する場合

下記に示すように STBY 信号の立下がりに対し、10 システムクロック前に RES 信号を Low としてください。

また、RES 信号の立下がりは、STBY 信号の立下がりに対し、min 0ns です。

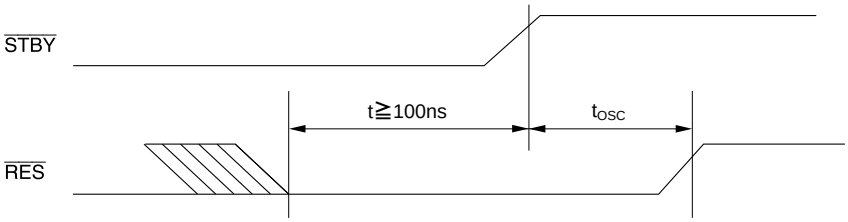


(2) SYSCR の RAME ビットを 0 にクリアした状態または RAM の内容を保持しない場合

（1）のように RES 信号を Low にする必要はありません。

E.2 ハードウェアスタンバイモードからの復帰タイミング

STBY 信号の立上がりに対し、約 100ns 前に RES 信号を Low としてください。



F. ROM 発注手順

F.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2 組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では**図** F.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 F.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

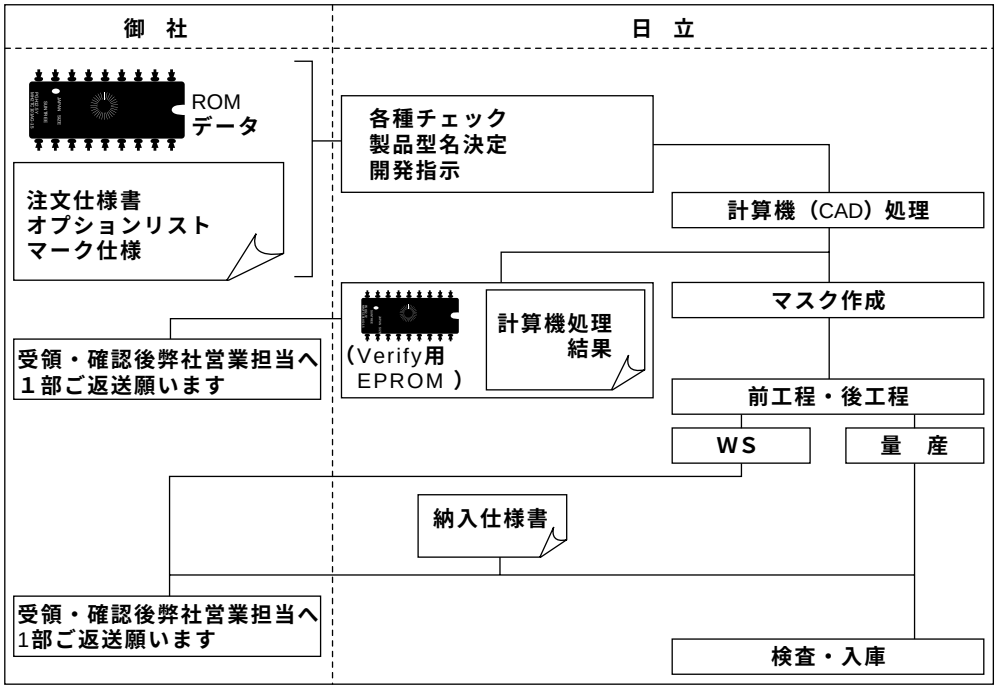


図 F.1　ROM **書き換え品開発の流れ**

表 F.1　ROM **発注時に必要な提出物**

発注媒体	EPROM **または** ZTAT®**マイコン**
提出物	ROM **データ**
	注文仕様書
	オプションリスト*1
	マーク仕様例*2

【注】 *1　**製品シリーズにより必要ないものがあります。また、内容も異なります。**

*2　**特別仕様の場合には、提出してください。**

F.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項にしたがって、EPROM または ZTAT®マイコンで提出してください。なお、EPROM または ZTAT®マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

（1） EPROMにROMデータを書き込む際は、事前にデータを充分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
（2） 発注用EPROMにおいて、ROMデータの未使用（NOT USED）領域またはリザーブ領域には、必ずH'FFを書き込んでください。
（3） 提出していただくEPROMには遮光ラベルを貼り、御社の品番等を記入してください。
（4） EPROMに書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに充分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容のEPROMを2組以上提出してください。

G. 型名一覧

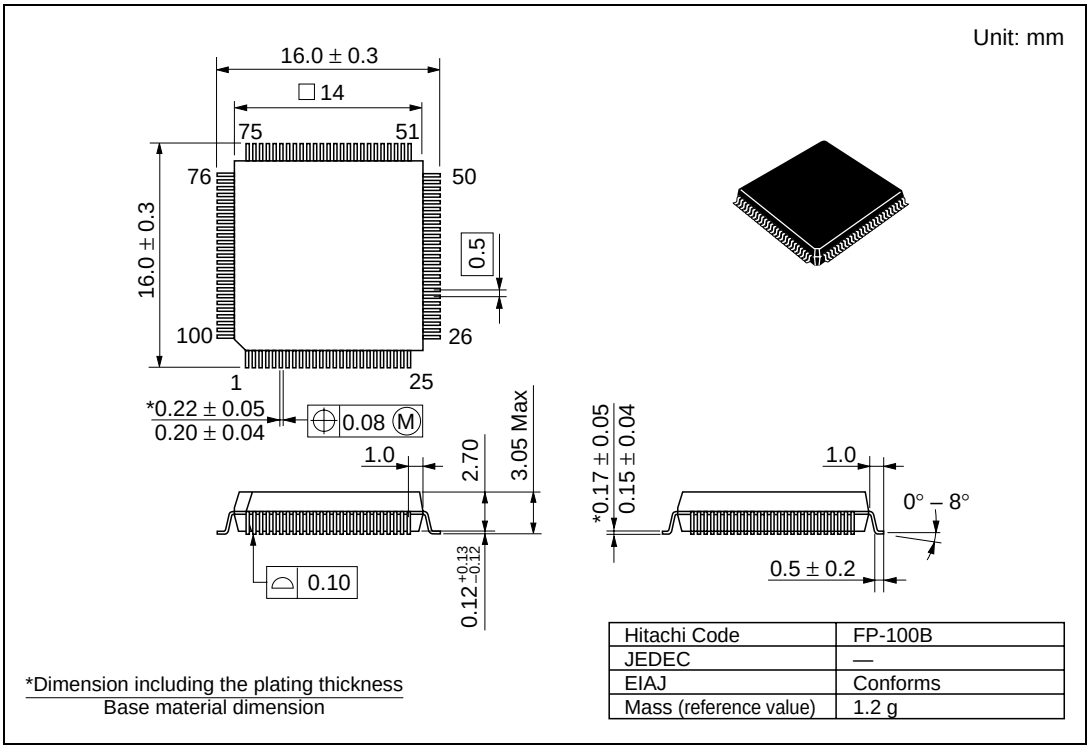
表 G.1 H8/3048 シリーズ型名一覧

製品分類			製品型名	マーク型名	パッケージ（日立パッケージコード）
製品タイプ	ROM タイプ	電源仕様			
H8/3048 F-ONE	フラッシュメモリ版（単一電源方式）	5V 版	HD64F3048BTF	HD64F3048BTF	100 ピン TQFP（TFP-100B）
			HD64F3048BF	HD64F3048BF	100 ピン QFP（FP-100B）
		3V 版	FD64F3048BVTF	HD64F3048BVTF	100 ピン TQFP（TFP-100B）
			HD64F3048BVF	HD64F3048BVF	100 ピン QFP（FP-100B）
H8/3048 F	フラッシュメモリ版（二電源方式）	5V 版	HD64F3048TF	HD64F3048TF	100 ピン TQFP（TFP-100B）
			HD64F3048F	HD64F3048F	100 ピン QFP（FP-100B）
		3V 版	HD64F3048VTF	HD64F3048VTF	100 ピン TQFP（TFP-100B）
			HD64F3048VF	HD64F3048VF	100 ピン QFP（FP-100B）
H8/3048 ZTAT	PROM 版	5V 版	HD6473048TF	HD6473048TF	100 ピン TQFP（TFP-100B）
			HD6473048F	HD6473048F	100 ピン QFP（FP-100B）
		3V 版	HD6473048VTF	HD6473048VTF	100 ピン TQFP（TFP-100B）
			HD6473048VF	HD6473048VF	100 ピン QFP（FP-100B）
H8/3048	マスク ROM 版	5V 版	HD6433048TF	HD6433048 (***) TF	100 ピン TQFP（TFP-100B）
			HD6433048F	HD6433048 (***) F	100 ピン QFP（FP-100B）
		3V 版	HD6433048VTF	HD6433048 (***) VTF	100 ピン TQFP（TFP-100B）
			HD6433048VF	HD6433048 (***) VF	100 ピン QFP（FP-100B）
H8/3047	マスク ROM 版	5V 版	HD6433047TF	HD6433047 (***) TF	100 ピン TQFP（TFP-100B）
			HD6433047F	HD6433047 (***) F	100 ピン QFP（FP-100B）
		3V 版	HD6433047VTF	HD6433047 (***) VTF	100 ピン TQFP（TFP-100B）
			HD6433047VF	HD6433047 (***) VF	100 ピン QFP（FP-100B）
H8/3045	マスク ROM 版	5V 版	HD6433045TF	HD6433045 (***) TF	100 ピン TQFP（TFP-100B）
			HD6433045F	HD6433045 (***) F	100 ピン QFP（FP-100B）
		3V 版	HD6433045VTF	HD6433045 (***) VTF	100 ピン TQFP（TFP-100B）
			HD6433045VF	HD6433045 (***) VF	100 ピン QFP（FP-100B）
H8/3044	マスク ROM 版	5V 版	HD6433044TF	HD6433044 (***) TF	100 ピン TQFP（TFP-100B）
			HD6433044F	HD6433044 (***) F	100 ピン QFP（FP-100B）
		3V 版	HD6433044VTF	HD6433044 (***) VTF	100 ピン TQFP（TFP-100B）
			HD6433044VF	HD6433044 (***) VF	100 ピン QFP（FP-100B）

【注】 マスク ROM 版の（***）は ROM コードです。

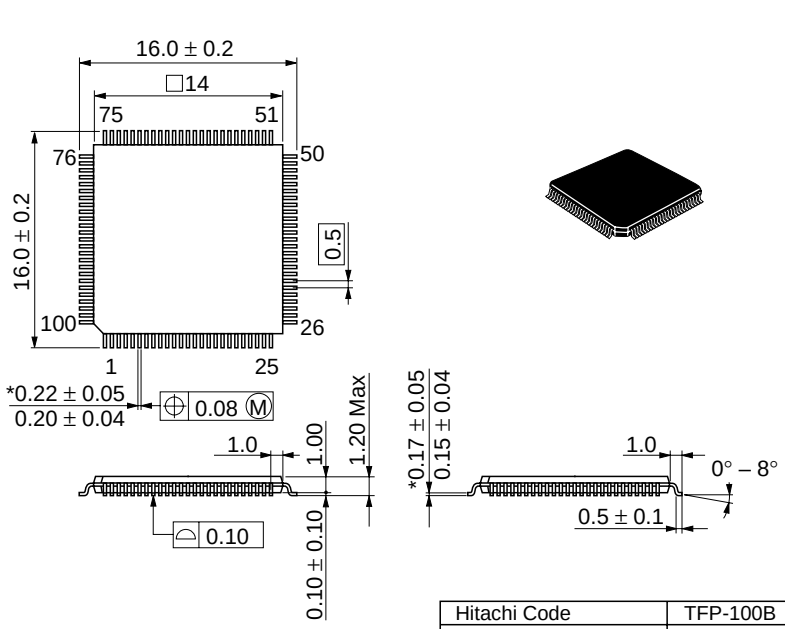
H. 外形寸法図

本 LSI の外形寸法図 FP-100B を**図** H.1、TFP-100B を**図** H.2 に示します。



Hitachi Code	FP-100B
JEDEC	—
EIAJ	Conforms
Mass (reference value)	1.2 g

図 H.1 **外形寸法図**（FP-100B）



Hitachi Code	TFP-100B
JEDEC	—
EIAJ	Conforms
Mass (reference value)	0.5 g

*Dimension including the plating thickness / Base material dimension

図 H.2　**外形寸法図**（TFP-100B）

H8/3048シリーズ、H8/3048F-ZTAT™（H8/3048F、H8/3048F-ONE）
ハードウェアマニュアル

発行年月　平成 6年 3月　第1版
　　平成12年12月　第7版
発　　行　株式会社　日立製作所
　　半導体グループ電子統括営業本部
編　　集　株式会社　日立小平セミコン
　　技術ドキュメントグループ
©株式会社　日立製作所　1994