

***2***

***0***

***2***

***1***

**数字电路与逻辑设计**

**课程实验报告**

**多功能电子钟**

|  |  |
| --- | --- |
| 姓 名： | 廖翔 |
| 学 号： | U201915116 |
| 班 级： | CS1906 |
| 专 业： | 计算机科学与技术 |
| 完成日期： | 2021.5.31 |

实验五：多功能电子钟系统设计

1. 实验名称

多功能电子钟系统设计。

2. 实验目的

采用合适的设计方法，对给定的要求进行逻辑电路的设计，并利用工具软件logisim的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证等训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3. 实验所用设备

Logisim-ITA软件1套，微型计算机（笔记本电脑）1台。

4．课时

课内8个课时，课外8个课时。

5．实验内容

设计场景：多功能数字钟是一种用数字显示时、分、秒的计时装置，其基本功能如下：

（1）显示时、分、秒；

（2）可以切换24小时制或12小时制（上午和下午）；

（3）整点报时，整点前10秒开始，整点时结束；

（4）单独对“时、分”计时校准，分钟值校准时不影响小时值；

（5）闹钟，到设定时间提醒10秒。

使用Logisim软件对所设计电子钟电路进行虚拟仿真验证，具体要求如下：

（采用Logisim软件提供的“时钟频率”为8hz的信号源。）

（1）具有校准计数值的六十进制计数器电路

采用实验二所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并进行封装，该计数器封装图如图5.1所示。

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端CPU、一个累减计数脉冲输入端CPD、清零输入信号Clr、一个计数值校准输入控制信号Adj；
2. 封装后的电路输出为八个计数器状态输出值Q1D Q1C Q1B Q1A Q0D Q0C Q0B Q0A（测试时要接两个16进制的数码显示管），进位输出信号；
3. 当Adj=1时，可以通过CPU、CPD，对计数值进行加、减调整来设置当前时间。递减的时候不需要循环累减，回到0即可；递增的时候需要循环累加；
4. 当Adj=0，通过输入脉冲CPU计数器累加计数，每当累计满60产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 计数器的输出为两位8421BCD码；
7. 封装后做出测试电路，测试电路要外接两个16进制的数码显示管，CPU、CPD接按钮。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的六十进制计数器**

**CPD  Clr**

图 5.1 调整计数值的60进制计数器

（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路

采用（1）设计的六十进制计数器和相应元器件，设计一个具有对计数值进行校准的十二进制计数器或二十四进制的计数器，并进行封装，该计数器封装图如图 5.2所示。

**Q1D Q1C Q1B Q1A  Q0D Q0C Q0B Q0A**

**CPU**

**Adj 校准功能的十二进制计数器或二十四进制计数器 Set**

**CPD  Clr**

图 5.2 调整计数值的十二进制或二十四进制计数器

具体要求：

1. 封装后的电路输入：一个累加计数脉冲输入端CPU、一个累减计数脉冲输入端CPD、清零输入信号Clr、一个计数值校准输入控制信号Adj、12小时计时或24小时计时控制信号Set；
2. 封装后的电路输出为八个计数器状态输出值Q1D Q1C Q1B Q1A Q0D Q0C Q0B Q0A（测试电路中要两个16进制的数码显示管），进位输出信号；
3. 当Adj=1时，可以通过CPU、CPD，对计数值进行加、减调整来设置当前时间。递减的时候不需要循环累减，回到0即可；递增的时候需要循环累加；
4. 当Adj=0，通过输入脉冲CPU计数器累加计数，每当累计满12或24（根据Set确定计数制）产生一个进位输出信号；
5. Clr为1时，计数器清零；
6. 当Set=0，12小时计时；当Set=1时，24小时计时；
7. 计数器的输出为两位8421BCD码；
8. 封装后做出测试电路，测试电路要接两个16进制的数码显示管，CPU、CPD接按钮。

（3）显示“上午”、“下午”的电路

设计一个采用“Led点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示如图 5.3所示。封装图如图 5.4所示，测试电路如图 5.5所示。

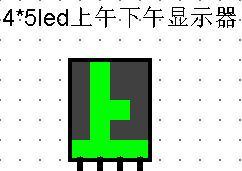
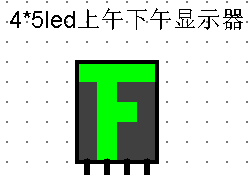
** **

图 5.3 led点阵显示器

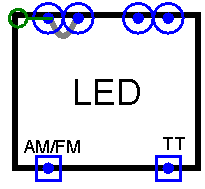
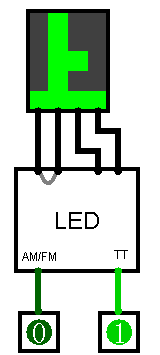
 

图 5.4 led点阵封装图 图 5.5 led点阵测试图

具体要求：

1. 封装后的电路输入为：一个上下午显示控制信号AM/FM、计时控制TT；
2. 封装后的电路输出为4个五位的数据，用以接4\*5Led（4列⨯5行）显示器；
3. AM/FM=0，显示“上”； AM/FM=1，显示“下”；
4. TT=0时，24小时计时，此时“上、下午”显示屏全灭；TT=1时，12小时计时，此时根据具体时间显示“上”或“下”；
5. 封装时Led显示屏不封装在内；
6. 封装后做出测试电路，外接Led显示屏。

（4）电子钟整点报时电路

设计一个10秒的整点报时电路，并进行封装，该电路在整点前10秒（59分50秒）被触发，发出报时信息（用Led灯的亮灭来表示），报时10秒结束。

（5）秒计时脉冲产生电路

按要求以Logisim软件的8hz信号作为电路震荡源，设计一个输出为1hz的脉冲信号电路，并封装，逻辑符号如图 5.6所示，它成为秒计数器的计数脉冲信号。

图 5.6 秒计时脉冲产生电路

**8hz 秒计时脉冲产生电路 1hz**

（6）闹钟（选做）

设计定时起闹（闹钟）电路，并封装。

具体要求：

1. 可设置闹钟起闹时间，具体到小时和分钟，在测试电路中要两个16进制的数码显示管；
2. 在设定的起闹时间，闹钟开始响铃，十秒后结束；
3. 闹铃用Led灯的亮灭表示；
4. 有控制端可以启用或关闭闹钟。

（7）多功能数字钟电路

充分利用（1）~（6）设计的“私”有元件和相应元器件，设计满足多功能电子钟“设计场景”要求的电路，并封装，封装图如图 5.7所示，测试图如图 5.8所示。

1. 输入信号有“Set”、“CPU、CPD”、“Adj0、Adj1”、“Clr”、“8hz信号”；输出信号为“时”、“分”、“秒”对应的6个8421BCD码、“闹钟”和“整点”输出显示信号以及控制“上、下午”显示的信号；
2. “Set”为“小时计数器”输入信号，当Set=1时，计数器为二十四进制计数器，Set=0时为十二进制计数器；十二进制（上午：12，1~11，下午：12，1~11）和二十四进制（0~23）转换时时间需对应；
3. “CPU、CPD”为计数器计数值进行手动加、减调整的输入脉冲信号；
4. “Adj0”为计数器计数值进行校准的输入控制信号，Adj0=0，表示不调整时钟；Adj0=1，表示调整时钟。在调整时钟时，不产生任何进位信息（秒不向分进位，分不向小时进位）；
5. “Adj1”为计数器计数值进行校准的选择输入控制信号，Adj1=0，表示调整小时；Adj1=1，表示调整分钟；
6. “Clr”为计数器的清除信号，同时对小时、分、秒清零；
7. “8hz信号”为电子钟脉冲输入信号；
8. 输出的时间小时、分和秒分别为6个8421BCD码；
9. “Led点阵”显示器分别对应“上、下午”输出信号；
10. 两个“发光二极管（Led灯）”分别对应“闹钟”，“整点”输出信号。
11. 如果选做闹钟，“Alarm”为输入的时间设定提醒值（闹钟值）；
12. 封装后做出测试电路，测试电路中小时、分和秒要接16进制显示器，CPU、CPD接按钮，CP接时钟源，闹钟和定点报时接Led灯，Led显示接Led显示屏，其余接输入引脚。

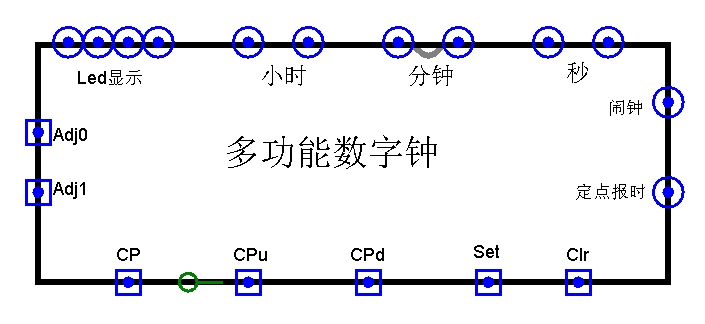


图 5.7电子钟的“输入、输出检查要求”

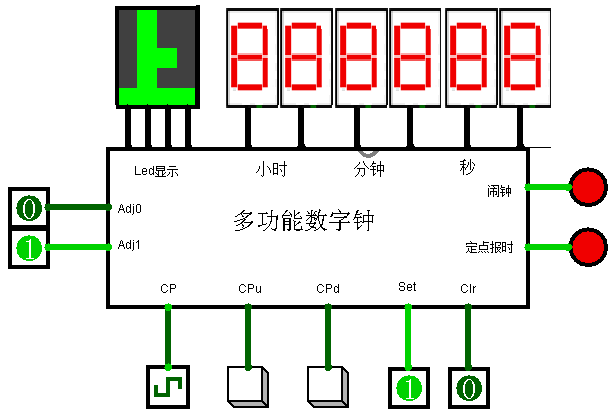


图 5.8电子钟的测试电路

1. 实验方案设计
2. 具有校准计数值的六十进制计数器电路

将两个四位二进制可逆计数器连接，加法时个位满十进1并清零，十位满六进1并清零；减法时个位为0，产生借位，此时如果十位不为0则十位CPD产生一个脉冲，十位减1，个位置9。

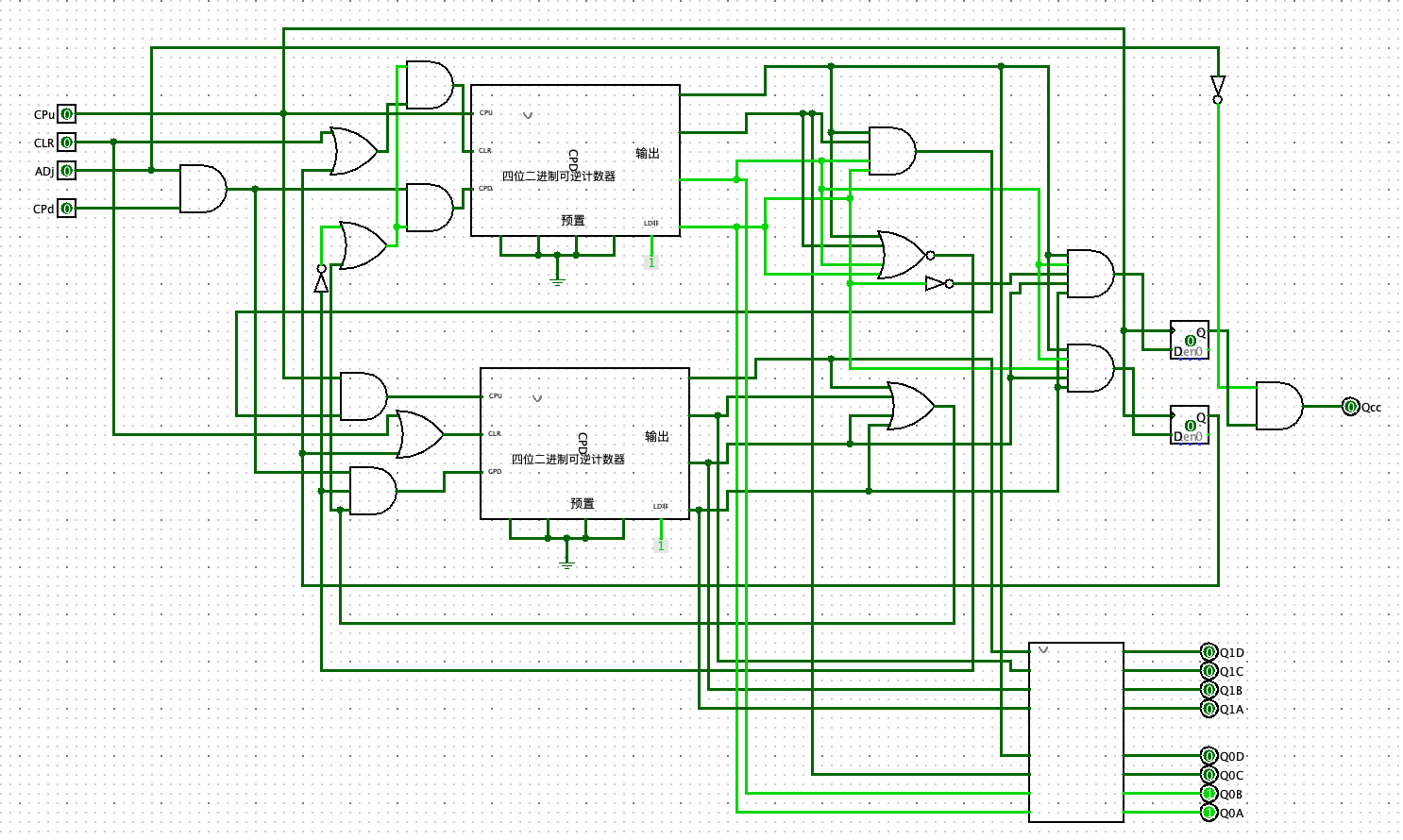


图5.9 六十进制计数器电路

1. 具有校准计数值的十二进制或二十四进制计数器电路

将其中一个六十进制计数器进行改造，因为要进行十二进制和二十四进制的转换，将结果输出前需要根据set判断是否需要转换成24进制，封装后的电路输出为八个计数器状态输出值Q1D Q1C Q1B Q1A Q0D Q0C Q0B Q0A ，当Adj=0，通过输入脉冲CPU计数器累加计数，每当累计满12或24，因为十二进制不能出现零点，所以默认为上午十二点，在满十三，满二十四时清零，需要注意的是，加一，清零和置一的先后顺序。

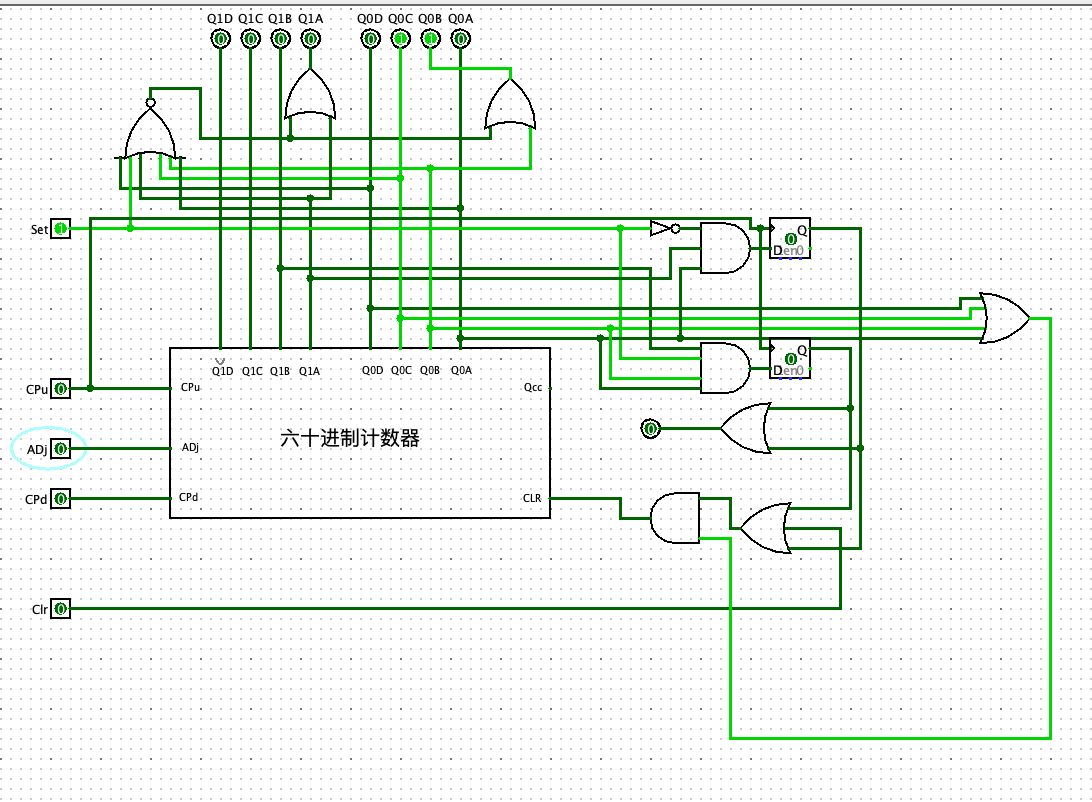


图5.9 具有校准计数值的十二进制或二十四进制计数器电路

1. 显示“上午”，“下午”的电路

TT为1时，上下午显示电路可以显示，否则为0。TT为1，AM/EM为0 时选择上午即0x0207f89;AM/FM为1时显示下午，即0X8103fc8。使用两个多路选择器完成功能，数据位宽为28。

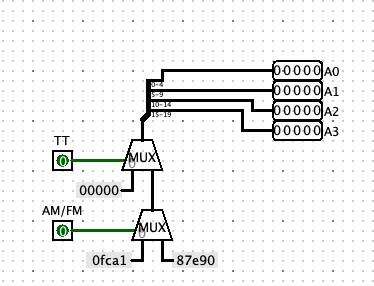


图5.10 显示上下午电路

1. 电子钟整点报时电路

简该电路简单，直接使用两个常量和比较器即可实现整点报时功能，当M=59,S>49时，开始报时。



图5.11 整点报时电路

1. 秒时钟脉冲产生电路

同样十分简单，使用两T触发器即可实现脉冲产生

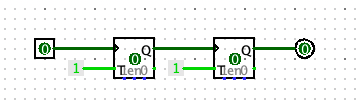


图5.12 秒时针脉冲产生电路

1. 闹钟(选做)

当adj为1时可以设置闹钟定时的时和分。因为闹钟设定的时和分需要用十六进制显示器将其显示出来，所以整个电路需要再加一个时分秒。

根据要求，当时分和电子钟一样时，闹钟开始响，十秒后即当秒变为10时结束。判断用分离器将时分的各个位结合起来，用比较器对其进行比较即可，相等则输出高电平。

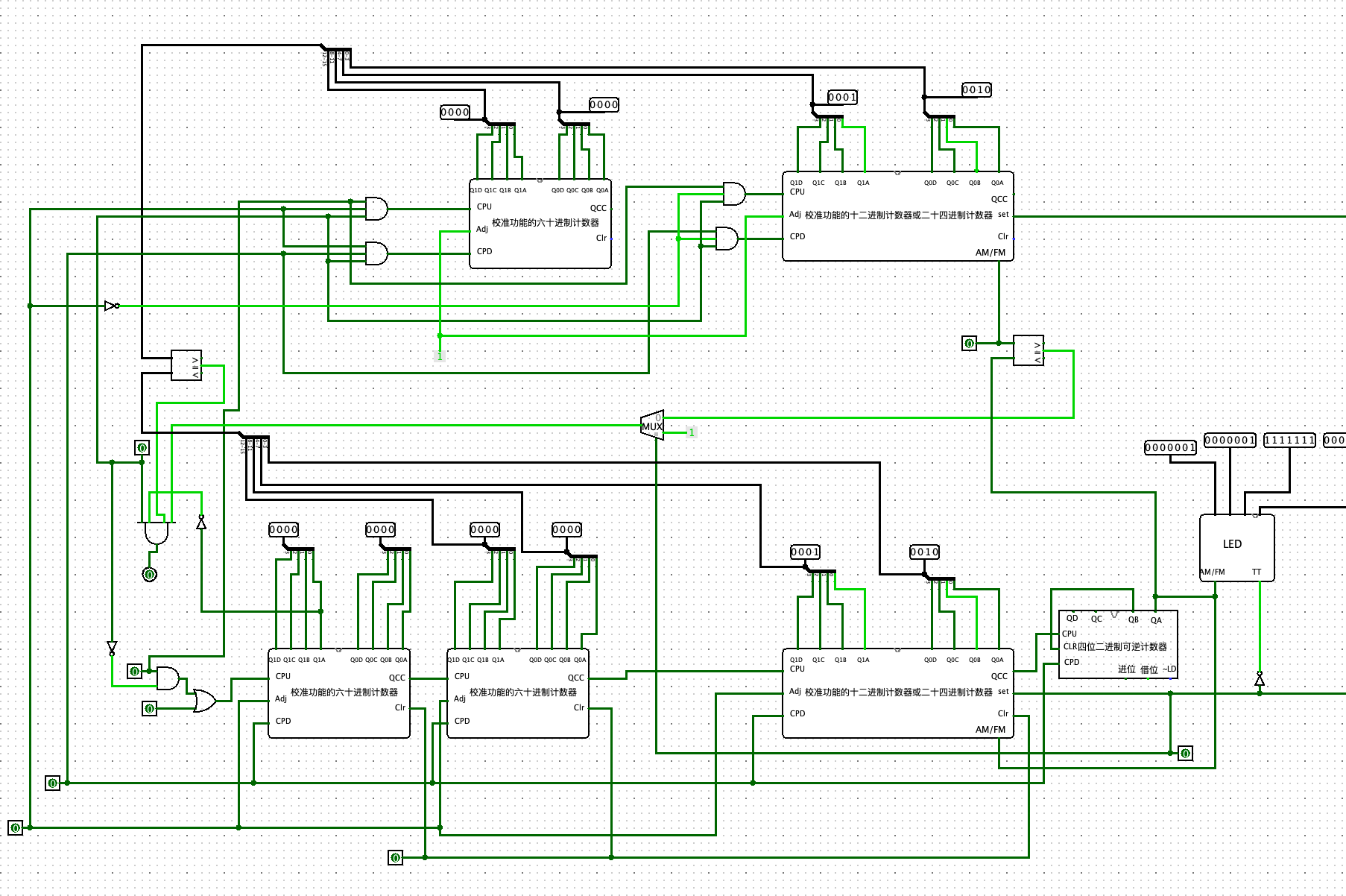


图5.12 闹钟电路

1. 多功能数字钟电路

将（1）-（6）实现的电路进行组装实现所有需要功能

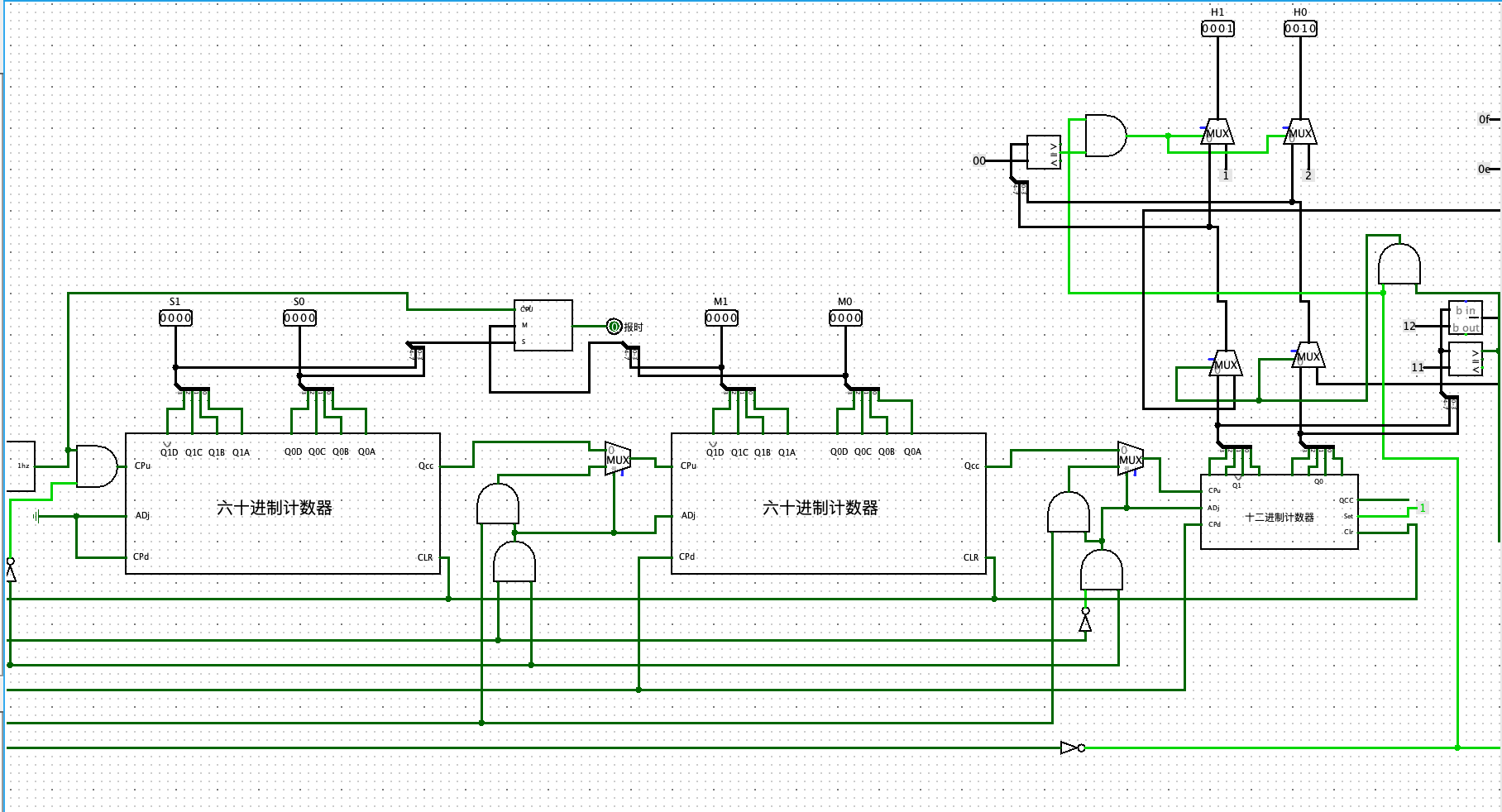


图5.13 多功能数字时钟电路

1. 实验结果记录
2. **具有校准计数值的六十进制计数器电路测试**

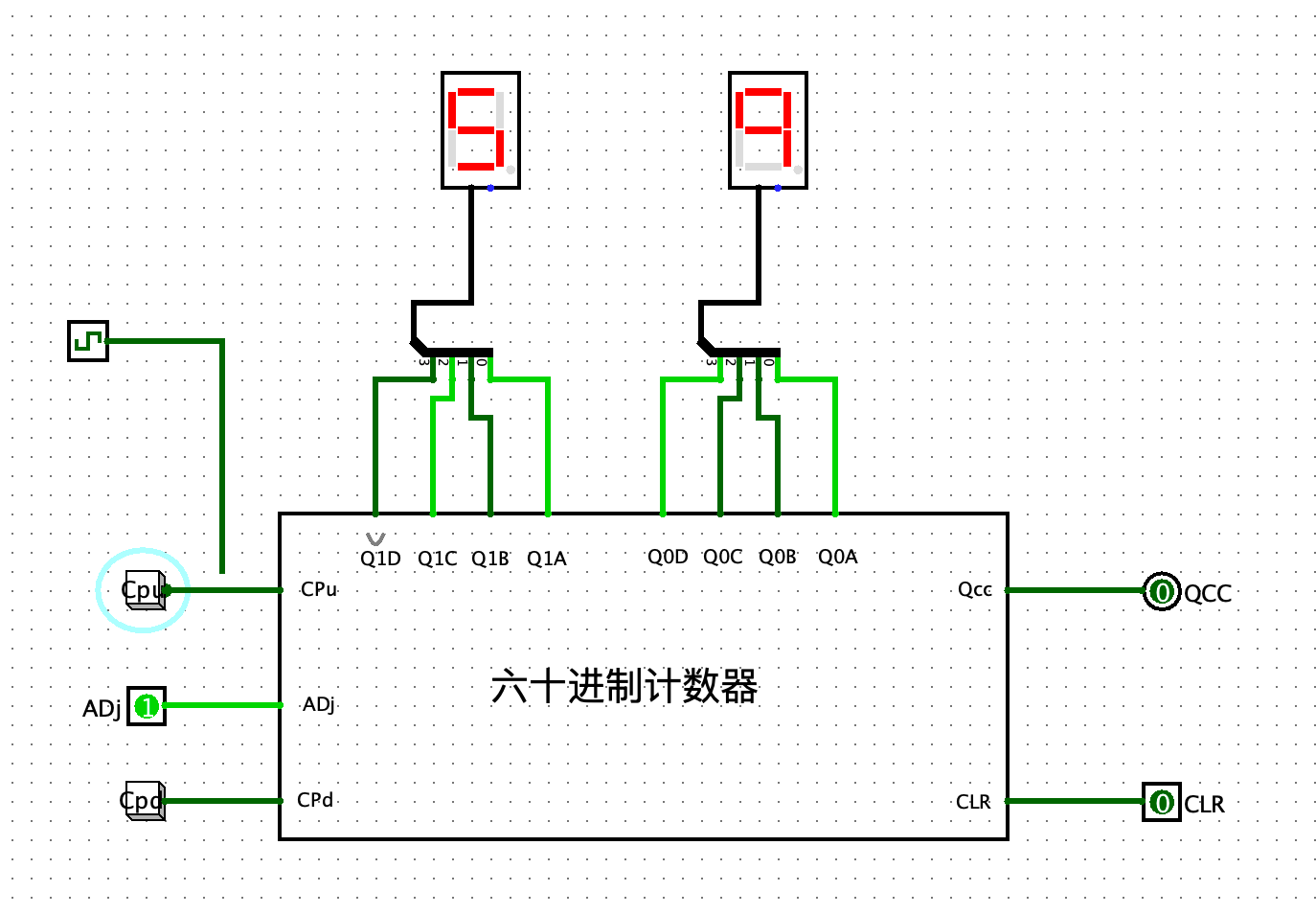


图5.14 六十进制计数器测试电路



图5.15 六十进制计数器测试电路

1. **具有校准计数值的十二进制计数器或二十四进制的计数器电路测试**

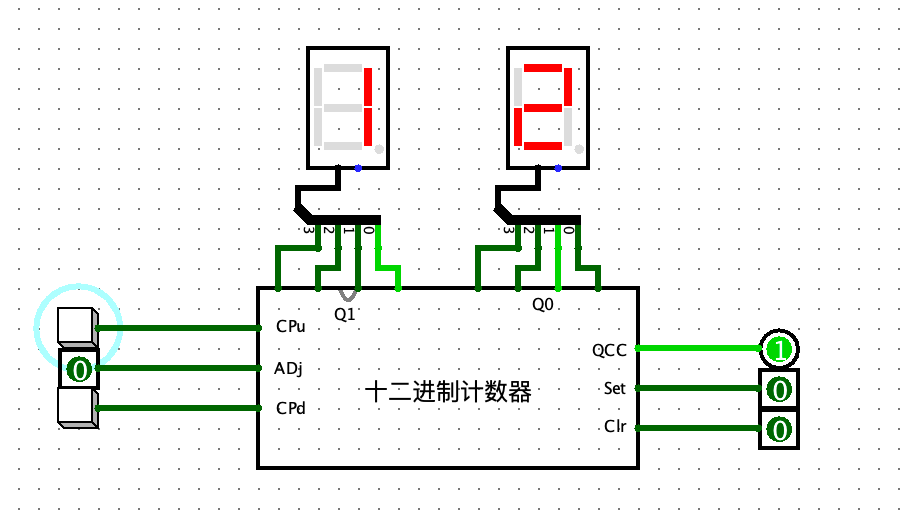


图5.16 十二进制计数器或二十四进制计数器测试电路

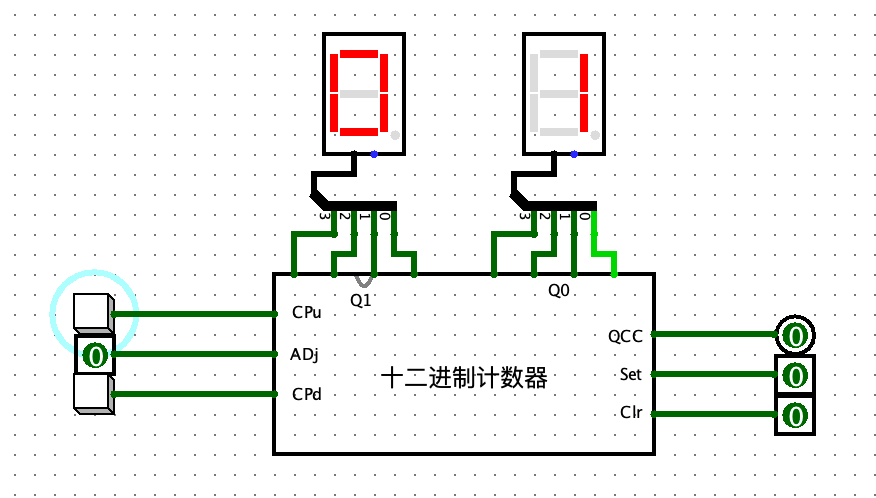


图5.17 十二进制计数器或二十四进制计数器测试电路

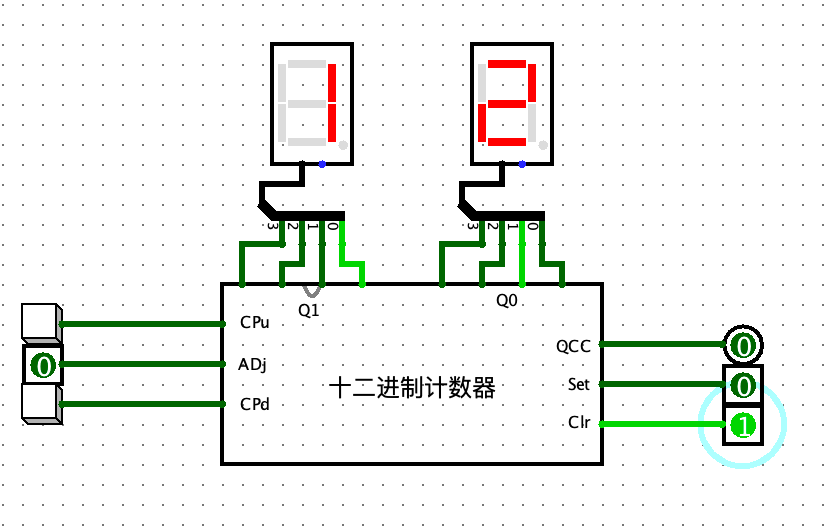


图5.18 十二进制计数器或二十四进制计数器测试电路

1. **显示“上午”、“下午”的电路测试**

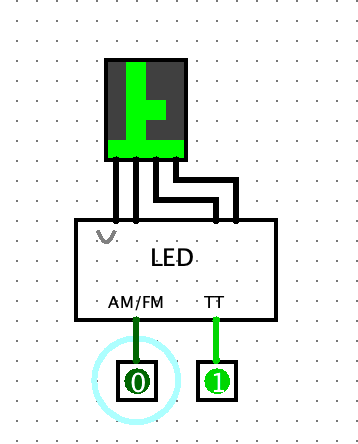


图5.19 上午测试

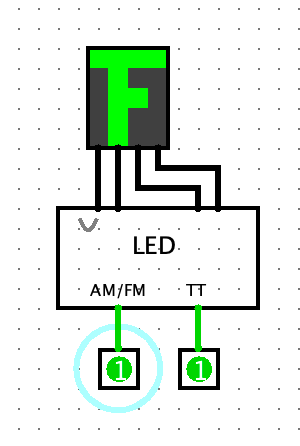


图5.20 下午测试

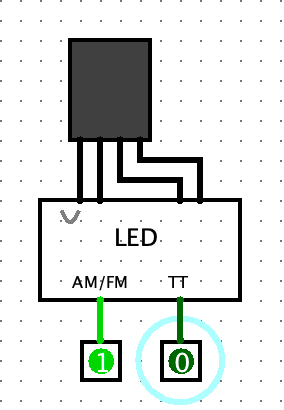


图5.21 不显示测试

1. **电子钟整点报时电路测试**

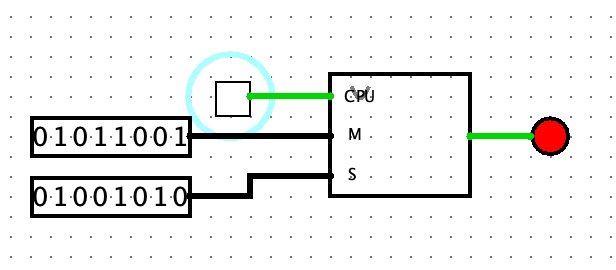


图5.22 整点报时测试

1. **闹钟（选做）测试**

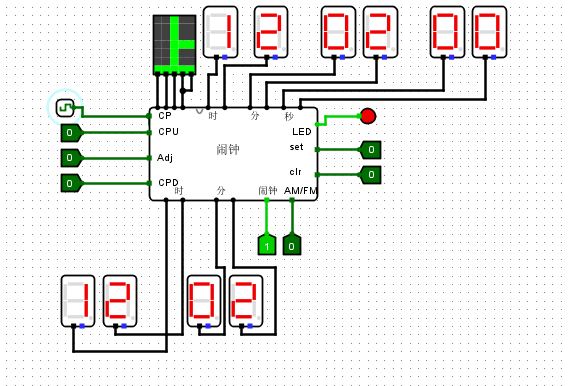
****

图5.23 闹钟测试

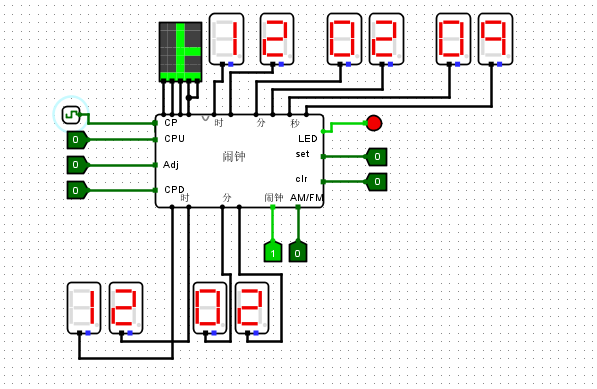
****

图5.24 闹钟测试

****

图5.25 闹钟测试

1. **多功能数字钟电路测试**

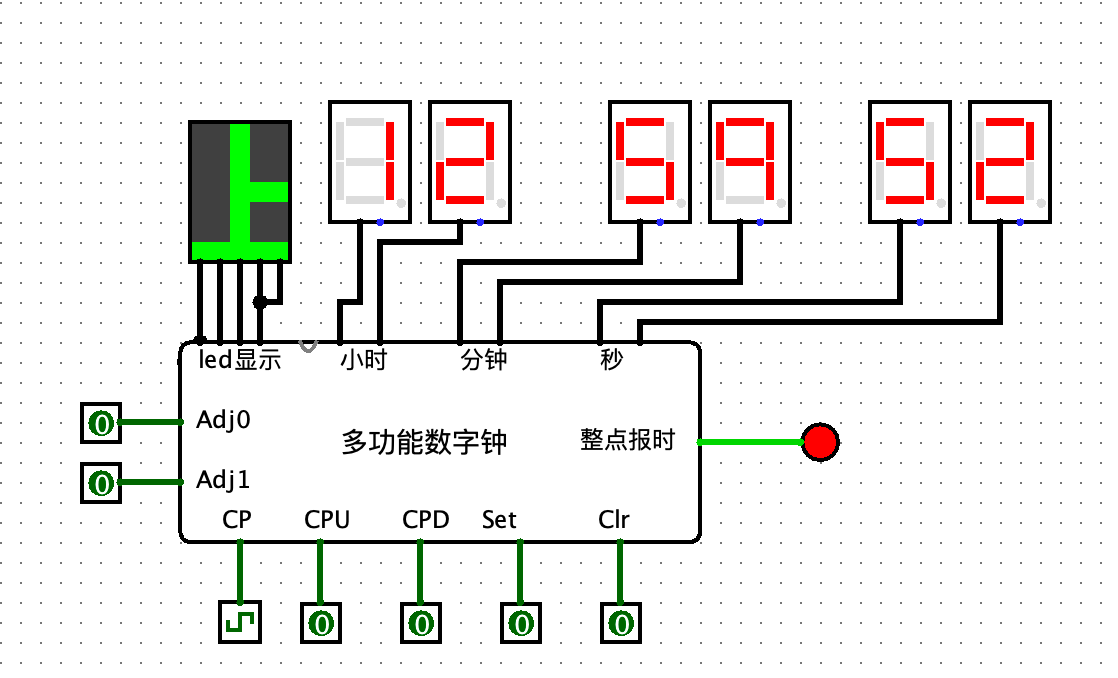


图5.26 多功能数字钟测试

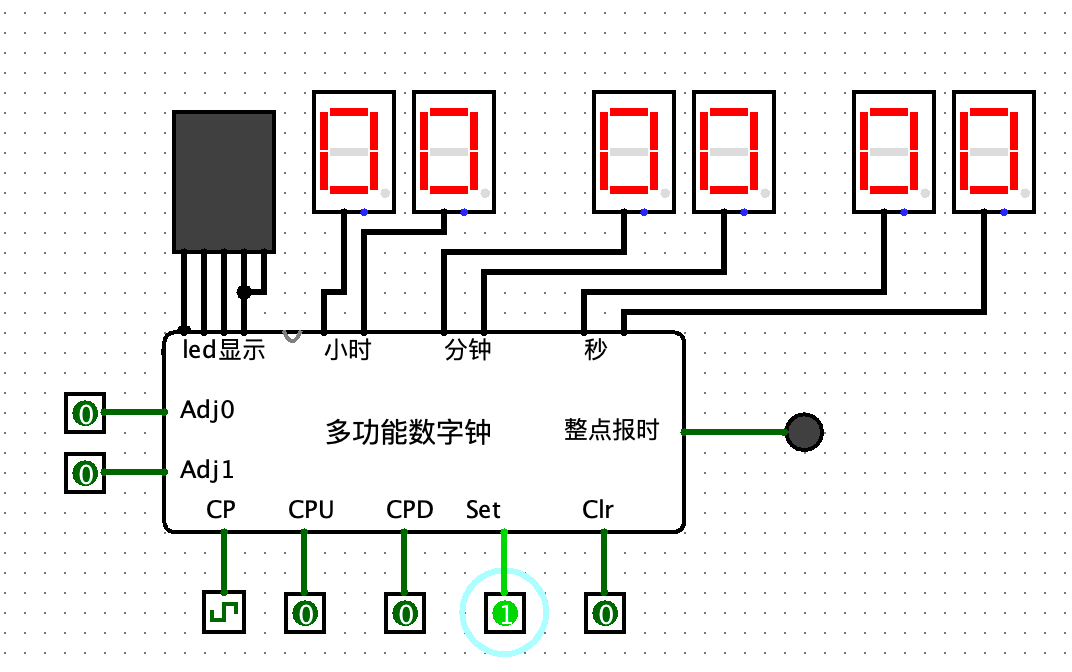


图5.27 多功能数字钟测试

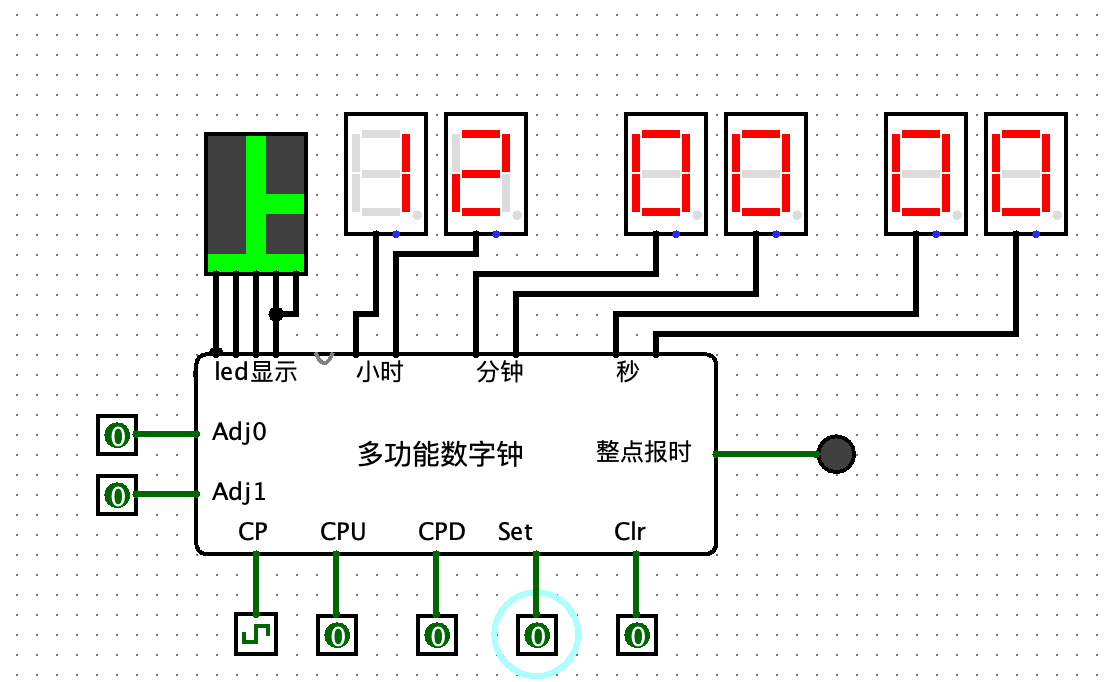


图5.28 多功能数字钟测试

8. 实验后的思考

（1）实验的难点在哪些方面？

首先的难点就在于24小时制的情况下，当显示23过后如何正确显示0，Logisim软件在12转换到1时，并不是加一和清零、置1同时变化，而是先变为13，再变为1，即先加一再清零置1。于是中间产生了一个13，导致功能虽然完成但是比较复杂，十二进制的上下午要在12点的时候变化，这就导致了与十二进制计数器满十三产生的清零信号不同步，需要另外判断进位，而其他两个计数器则一样。

1. 如何解决这些难点？

进行单独的判断，显示23过后则转换为0，在个位的第四位即13的00010011最后一个“1”与其他位相与时加入缓冲器，避免logisim中这一情况的产生。