



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 Программная инженерия

О Т Ч Е Т

по лабораторной работе № 4

Название: Исследование мультиплексоров

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-41Б

(Группа)

(Подпись, дата)

Д. И. Костев

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

А. Ю. Попов

(И.О. Фамилия)

Москва, 2021

Цель работы - изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

Выполнение лабораторной работы

1. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8–1 цифровых сигналов:
 - а) на информационные входы D0 ...D7 мультиплексора подать комбинацию сигналов, заданную преподавателем. Логические уровни 0 и 1 задавать источниками напряжения $U=5\text{ В}$ и 0 В ;
 - б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц .
 - в) снять временную диаграмму сигналов при $EN=1$ и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

Вариант 10 (1,1,0,0,0,1,1,0)

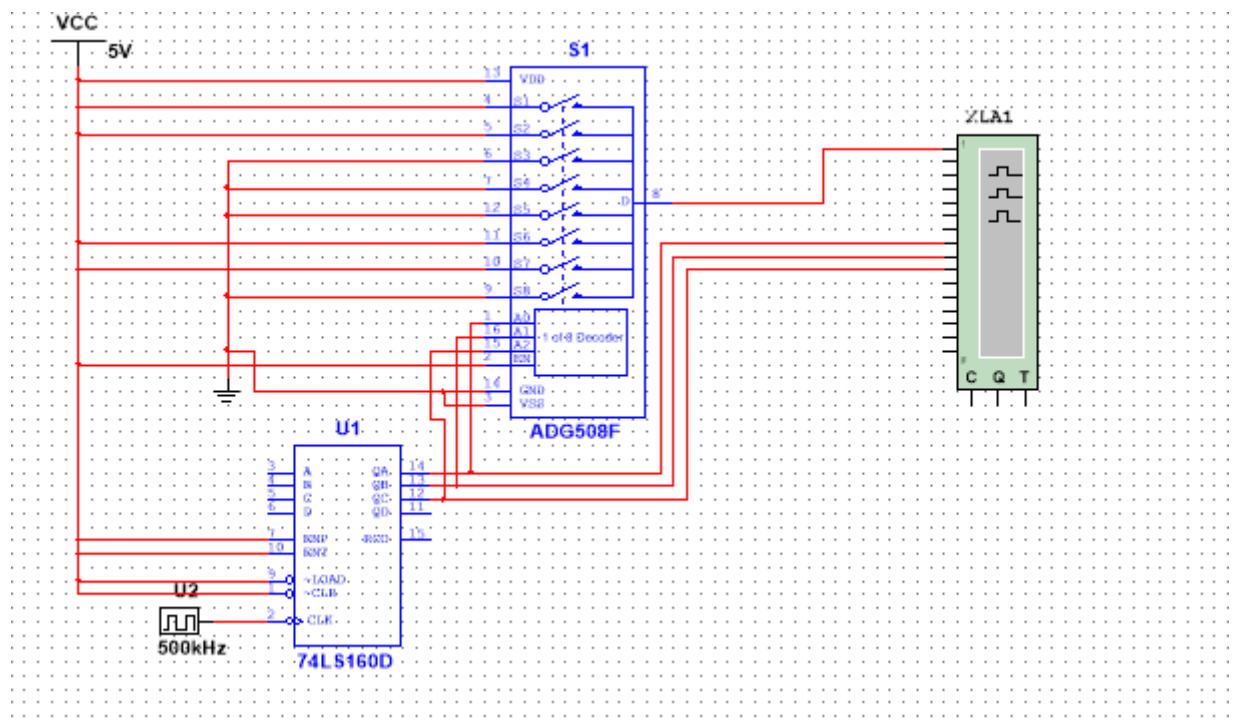


Рис.1 Схема тестирования мультиплексор задания 1.

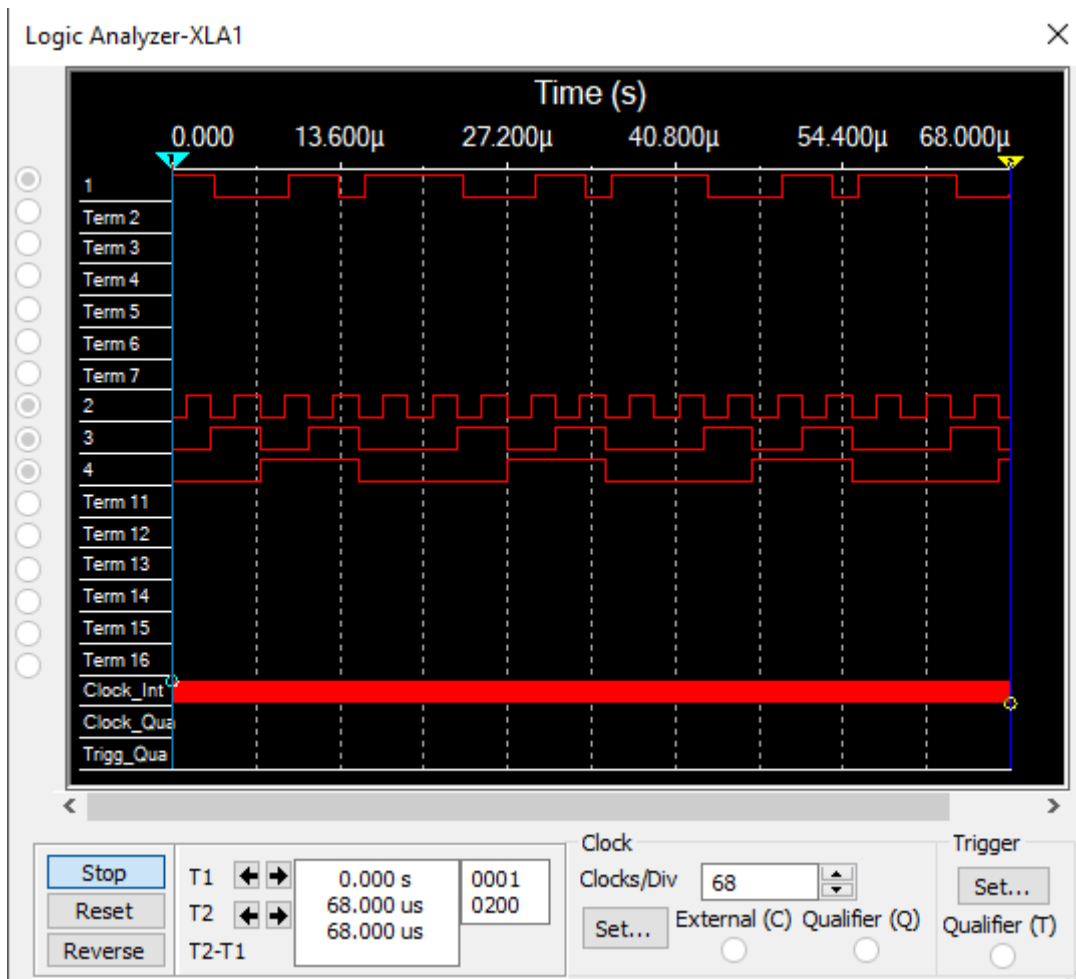


Рис.2 Временная диаграмма мультиплексора первый сигнал выходной остальные входные.

Мультиплексор позволяет получить на выходе один из нескольких информационных сигналов согласно тому, какой код был подан на адресные входы.

2. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8–1 аналоговых сигналов:

а) на информационные входы D0 ...D7 мультиплексора подать дискретные уровни напряжений с источников напряжения :0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;

б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и

осциллографом.

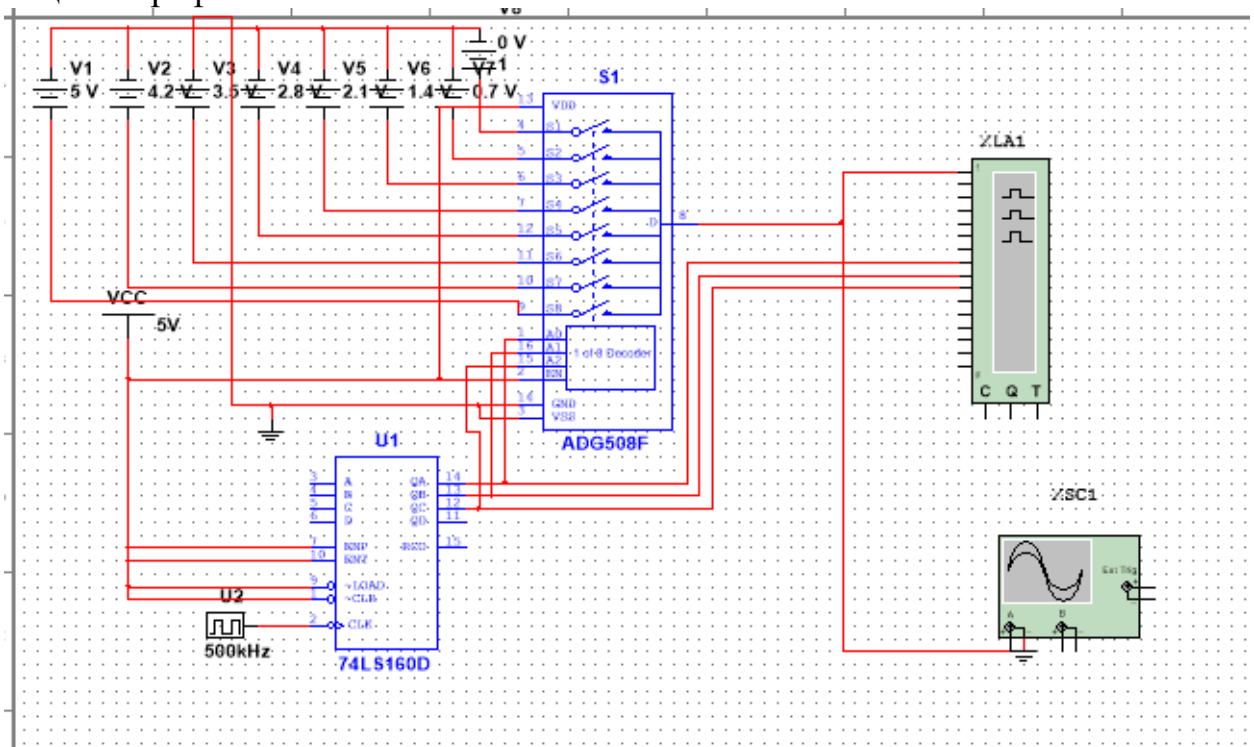


Рис.3 Схема исследования мультиплексора в аналоговом режиме.

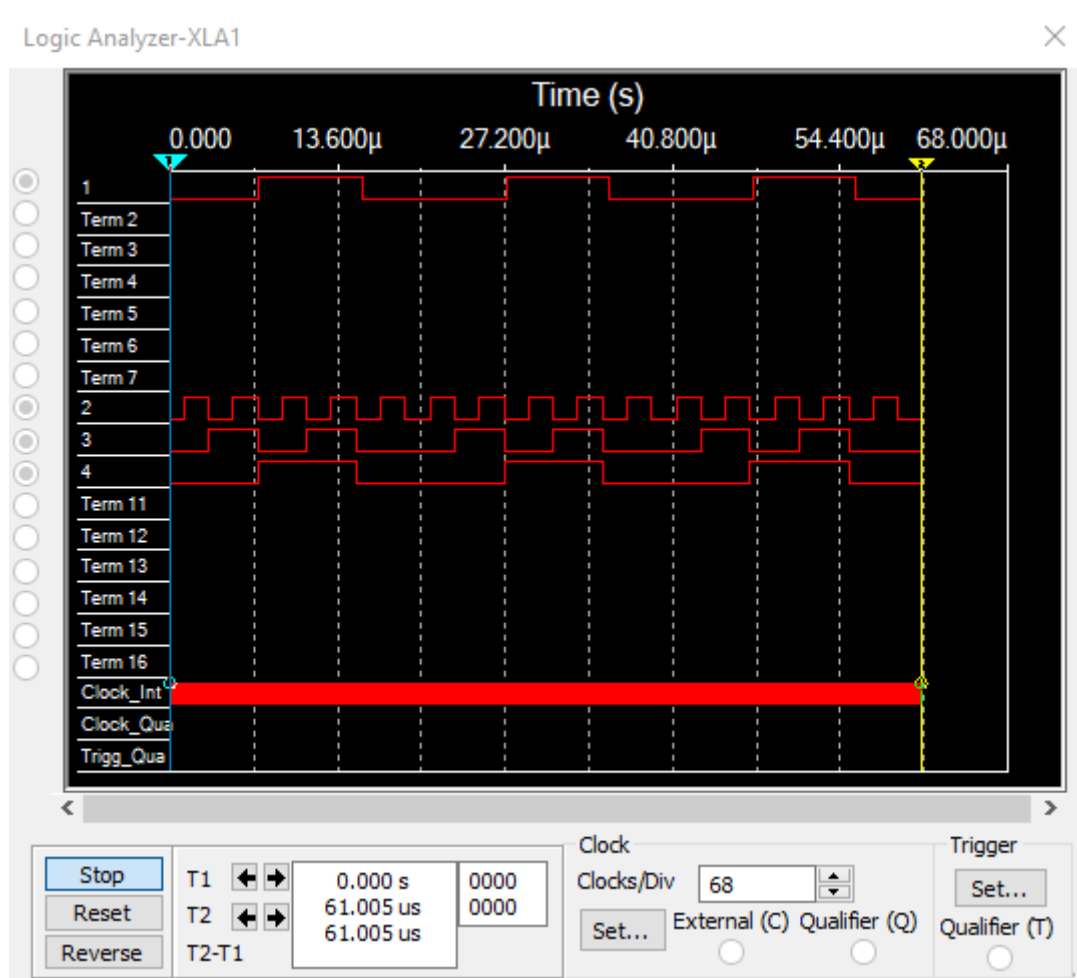


Рис.4 Временная диаграмма мультиплексора первый сигнал выходной остальные входные.

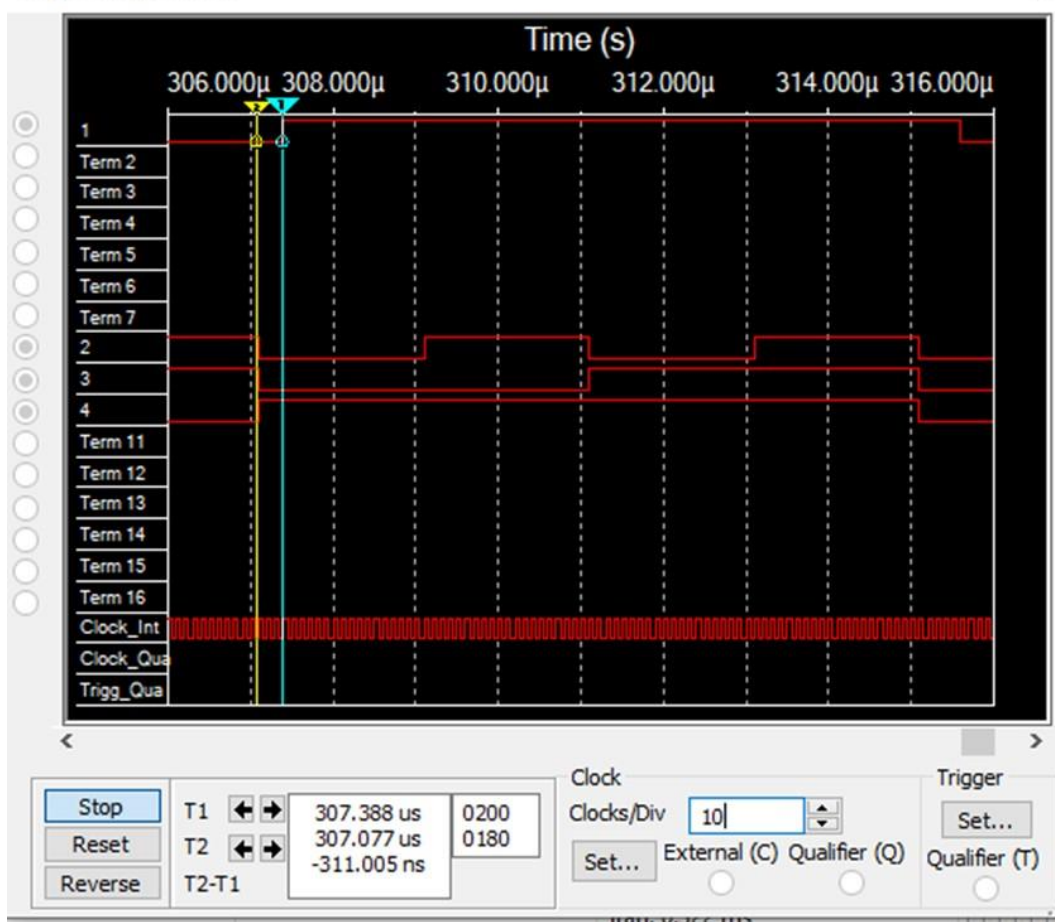


Рис.5 Помехи в мультиплексоре .

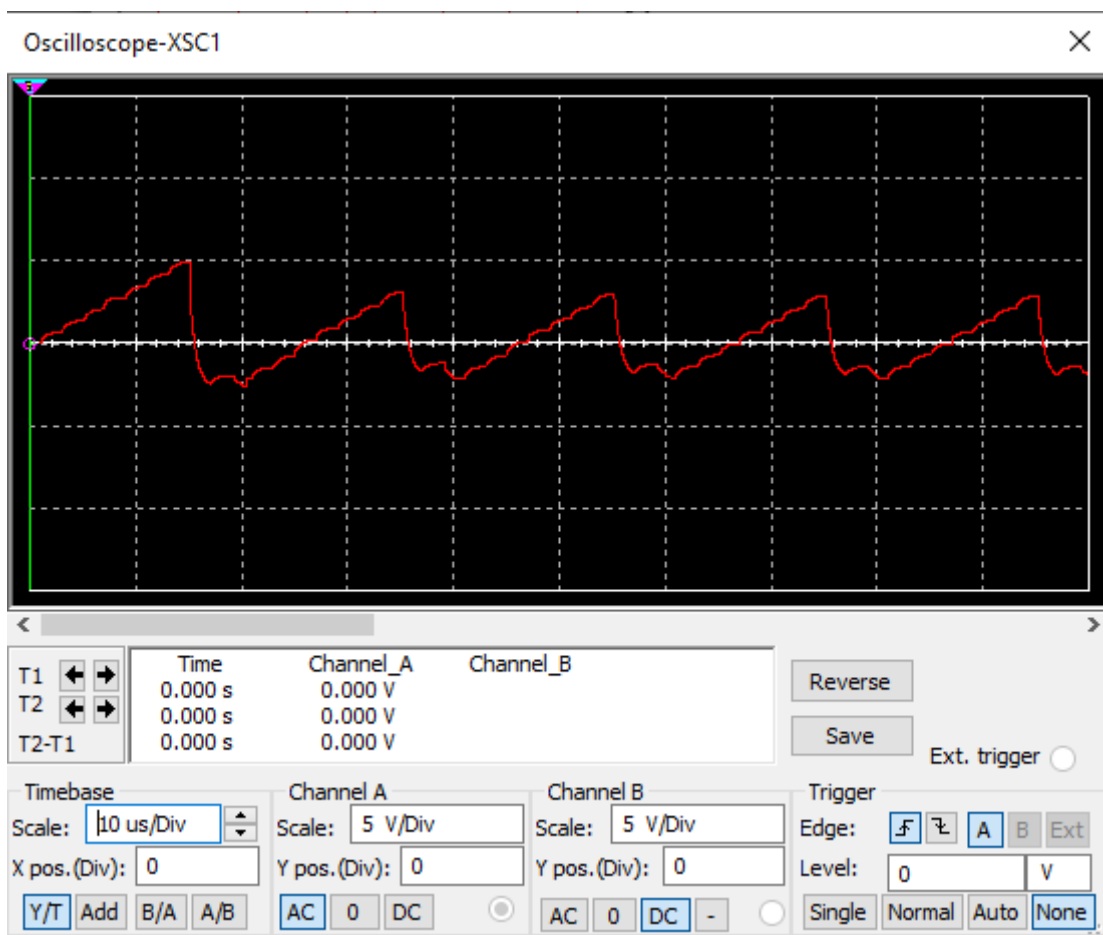


Рис.6 Осциллограмма мультиплексора в аналоговом режиме.

Полученный график не представляет собой идеально ровные ступеньки – наблюдаются помехи.

3. Исследование ИС ADG408 или ADG508 как коммутатора MUX 8–1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных. ФАЛ задается преподавателем из табл. 2.

Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

Вариант 10 (0,1,3,4,7,9,10,11,13)

X1	X2	X3	X4	f	D
0	0	0	0	1	1
0	0	0	1	1	
0	0	1	0	0	X4
0	0	1	1	1	
0	1	0	0	1	-x4
0	1	0	1	0	
0	1	1	0	0	X4

0	1	1	1	1	
1	0	0	0	0	X4
1	0	0	1	1	
1	0	1	0	1	1
1	0	1	1	1	
1	1	0	0	0	X4
1	1	0	1	1	
1	1	1	0	0	0
1	1	1	1	0	

Табл.1 Логическая функция.

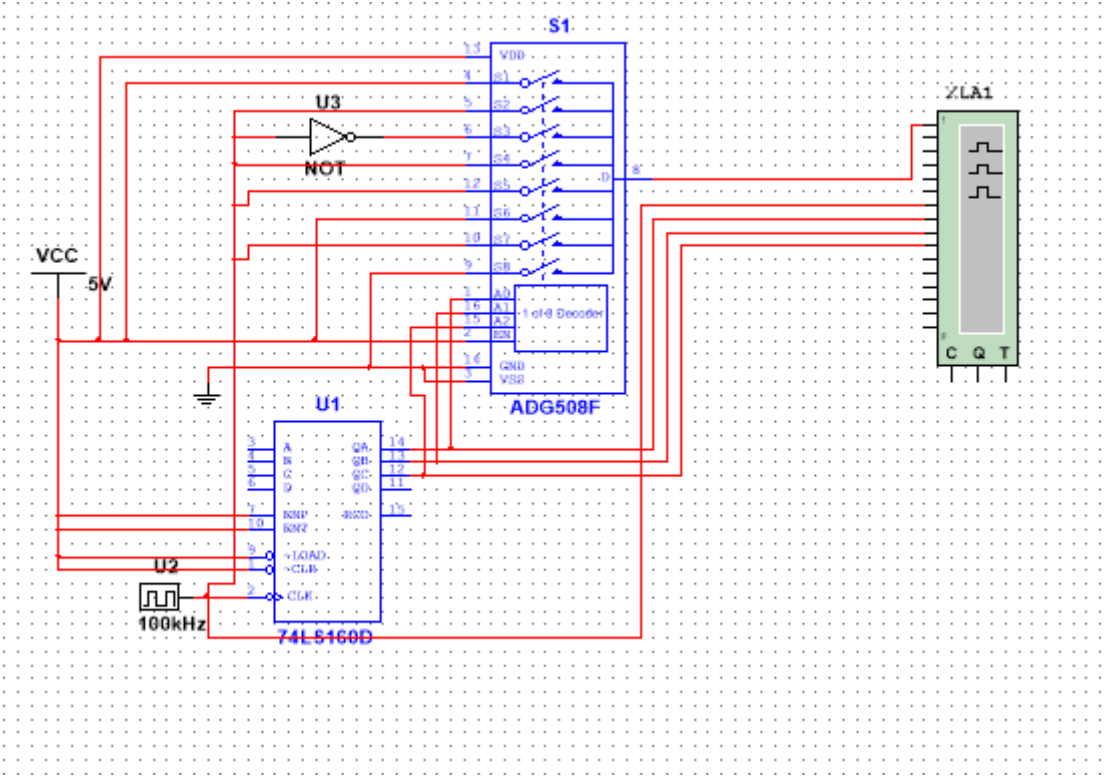


Рис.7 Схема мультиплексора для функции по варианту.

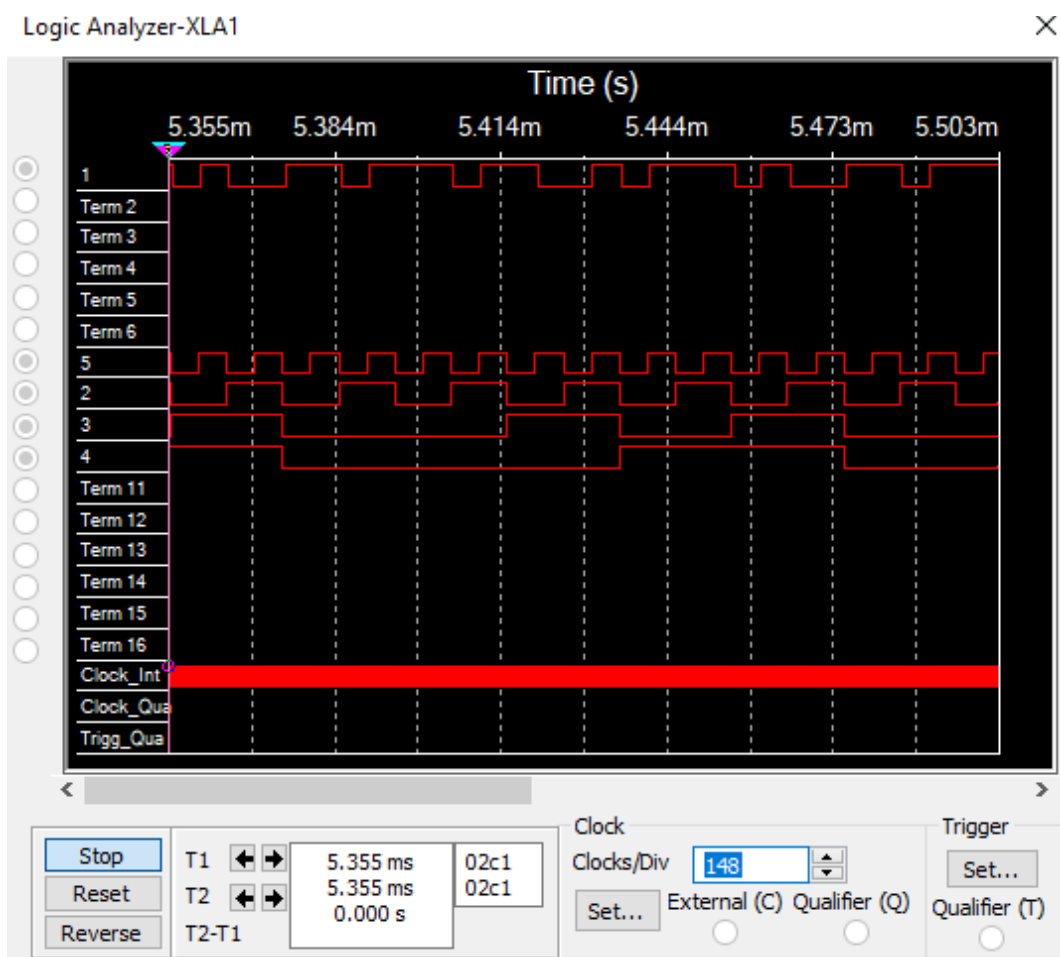


Рис.8 Временная диаграмма мультиплексора выполняющего функцию.

Мультиплексор можно использовать для задания логической функции.

4. Нарращивание мультиплексора.

Построить схему мультиплексора MUX 16–1 на основе простого мультиплексора MUX 4–1 и дешифратора DC 2-4 (рис.2, второй вариант наращивания, см. выше). Исследовать мультиплексора MUX 16–1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 ...D15 – из табл. 2. Провести анализ временной диаграммы сигналов мультиплексора MUX 16–1.

мультиплексора MUX 16–1.

Вариант 10 (0,1,3,4,7,9,10,11,13)

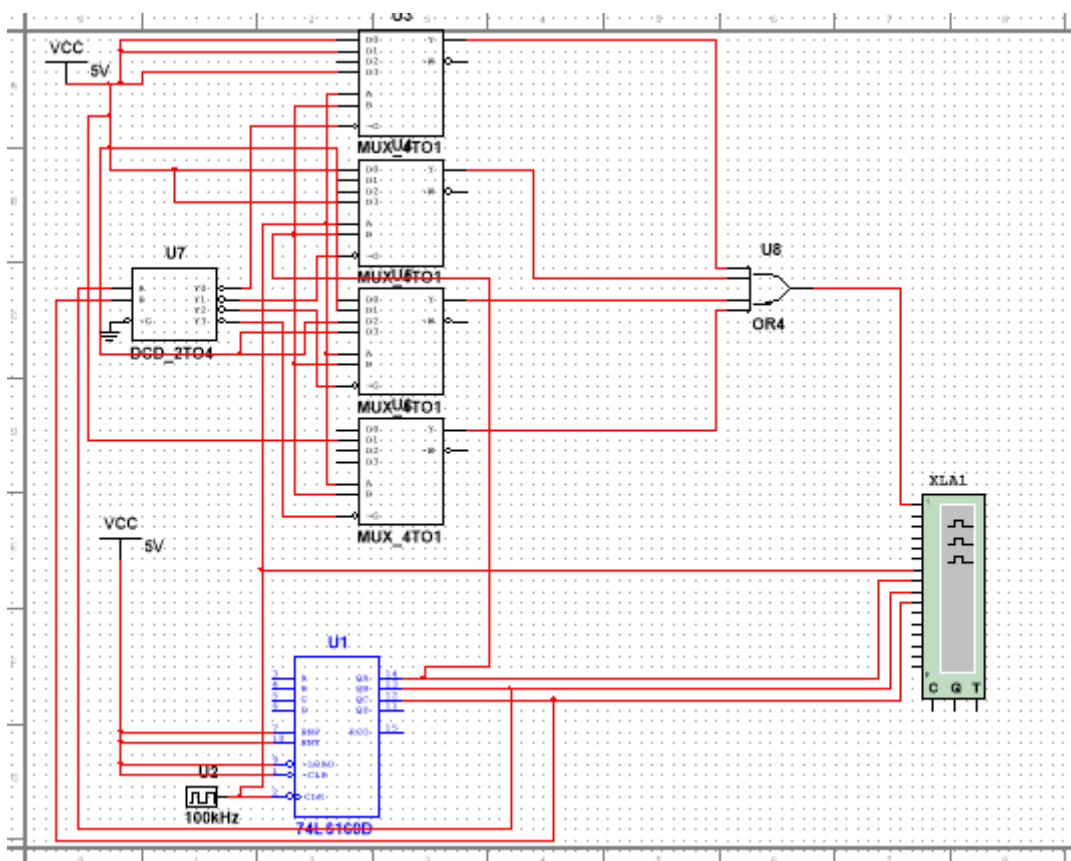


Рис.9 Схема слияния 4-х мультиплексоров 4-1 с помощью дешифратора.

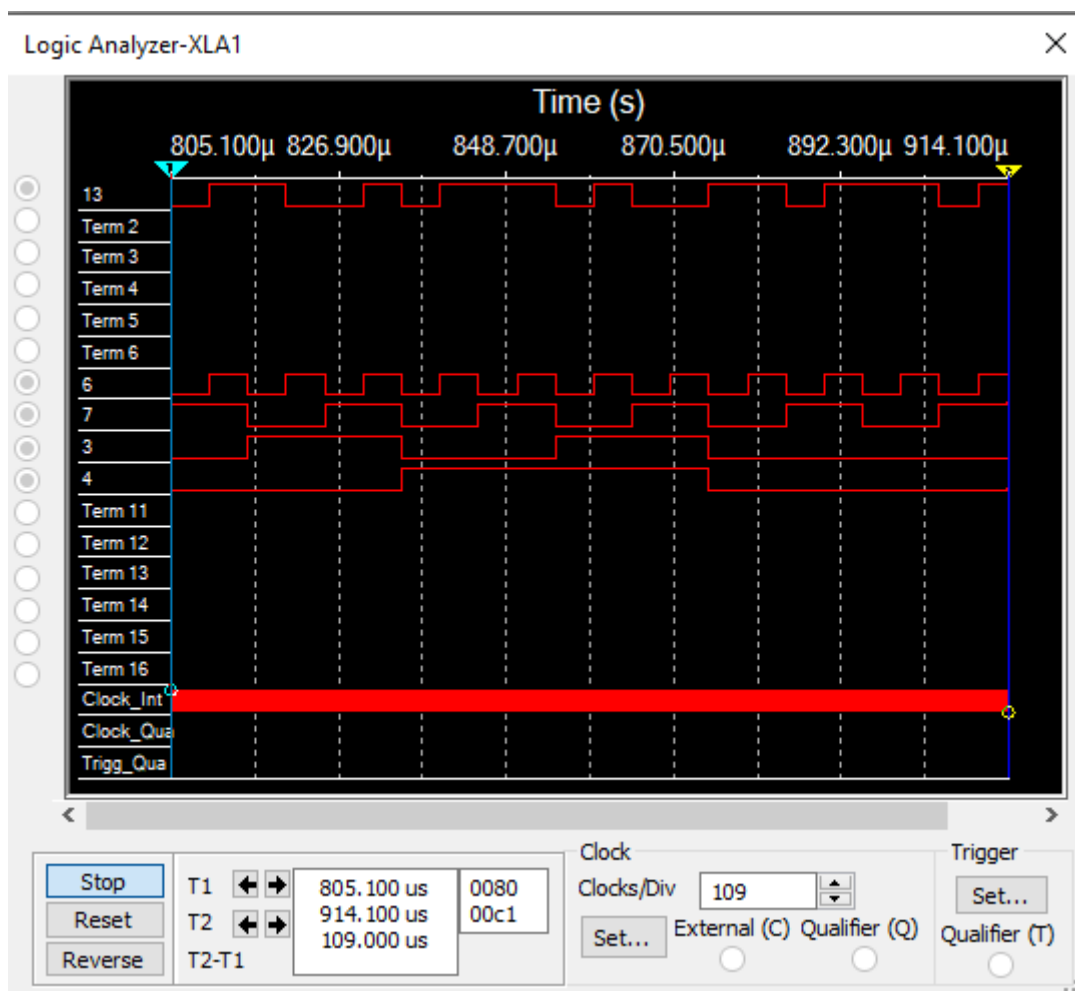


Рис.10 Временная диаграмма полученного триггера.

При наращивании мультиплексора на основе более простых мы можем использовать дешифратор.

Вывод: при выполнении лабораторной работе были изучены принципы построения, практического применения и экспериментального исследования мультиплексоров.

Контрольные вопросы

1. Что такое мультиплексор?

Это функциональный узел, имеющий n адресных входов и $N=2^n$ информационных входов. Он выполняет коммутацию на выход того информационного сигнала, адрес которого установлен на адресных входах. Также мультиплексор переключает сигнал с одной из N входных линий на один выход.

2. Какую логическую функцию выполняет мультиплексор?

$$Y = EN \cdot \sum_{j=0}^{2^n-1} D_j \cdot m_j(A_{n-1}, A_{n-2}, \dots, A_i, \dots, A_0)$$

Где A_j – адресные входы и сигналы, $i=0, 1, \dots, n-1$; D_j – информационные входы и сигналы, $j=0, 1, \dots, 2^n-1$; m_j – конституента единицы, номер которой равен числу, образованному двоичным кодом сигналов на адресных входах; EN – вход и сигнал разрешения (стробирования).

3. Каково назначение и использование входа разрешения?

Вход EN используется для разрешения работы мультиплексора, стробирования и наращивания числа информационных входов.

4. Какие функции может выполнять мультиплексор?

Мультиплексоры применяются при построении коммутаторов-селекторов, постоянных запоминающих устройств ёмкостью в один бит, комбинационных схем, реализующих функции алгебры логики, преобразователей кодов и других узлов.

5. Какие существуют способы наращивания мультиплексоров?

Существует наращивание по пирамидальной схеме соединения мультиплексоров меньшей размерности, а также метод путем выбора мультиплексора группы информационных входов по адресу мультиплексора с помощью дешифратора адреса мультиплексора группы, а затем выбором информационного сигнала мультиплексором группы по адресу информационного сигнала в группе.

6. Поясните методику синтеза формирователя ФАЛ на мультиплексоре?

Реализация ФАЛ n переменных на мультиплексоре с n адресными входами: на адресные входы подаются переменные, на информационные входы – значения ФАЛ на соответствующих наборах переменных. На

выходе будет располагаться значения ФАЛ в соответствии с наборами переменных. В этом случае мультиплексор будет являться ПЗУ. Для реализации ФАЛ $n + 1$ переменными на адресные входы мультиплексора подаются n переменных, на информационных входы $n+1$ -ая переменная (или ее инверсия), константы 0 или 1 (в соответствии со значениями ФАЛ).

7. Почему возникают ложные сигналы на выходе мультиплексора?

Как их устранить?

Такие сигналы возникают из-за гонок выходных сигналов. Чтобы их исключить, мы используем вход EN в качестве стробирующего. Для выделения полезного сигнала на вход EN подается сигнал в интервале времени, свободном от действия ложных сигналов.

