

Рубежный контроль ЭВМ

1. Тайминг памяти

Это временная задержка сигнала при работе динамической оперативной памяти со страничной организацией, в частности, SDRAM. Эти временные задержки также называют таймингами и для краткости записывают в виде трех чисел, по порядку: CAS Latency, RAS to CAS Delay и RAS Precharge Time. От них в значительной степени зависит пропускная способность участка «процессор-память» и задержки чтения данных из памяти и, как следствие, быстродействие системы. Мера таймингов — такт шины памяти. Таким образом, каждая цифра в формуле 2-2-2 означает задержку сигнала для обработки, измеряемая в тактах шины памяти. Если указывается только одна цифра (например, CL2), то подразумевается только первый параметр, то есть CAS Latency.

То есть, простыми словами, тайминг памяти — это задержка во времени при обращении процессора к оперативной памяти.

Иногда формула таймингов для памяти может состоять из четырёх цифр, например 2-2-2-6. Последний параметр называется «DRAM Cycle Time Tras/Trc» и характеризует быстродействие всей микросхемы памяти. Он определяет отношение интервала, в течение которого строка открыта для переноса данных (tRAS — RAS Active time), к периоду, в течение которого завершается полный цикл открытия и обновления ряда (tRC — Row Cycle time), также называемого циклом банка.

2. Диаграмма состояний УА DDR SDRAM

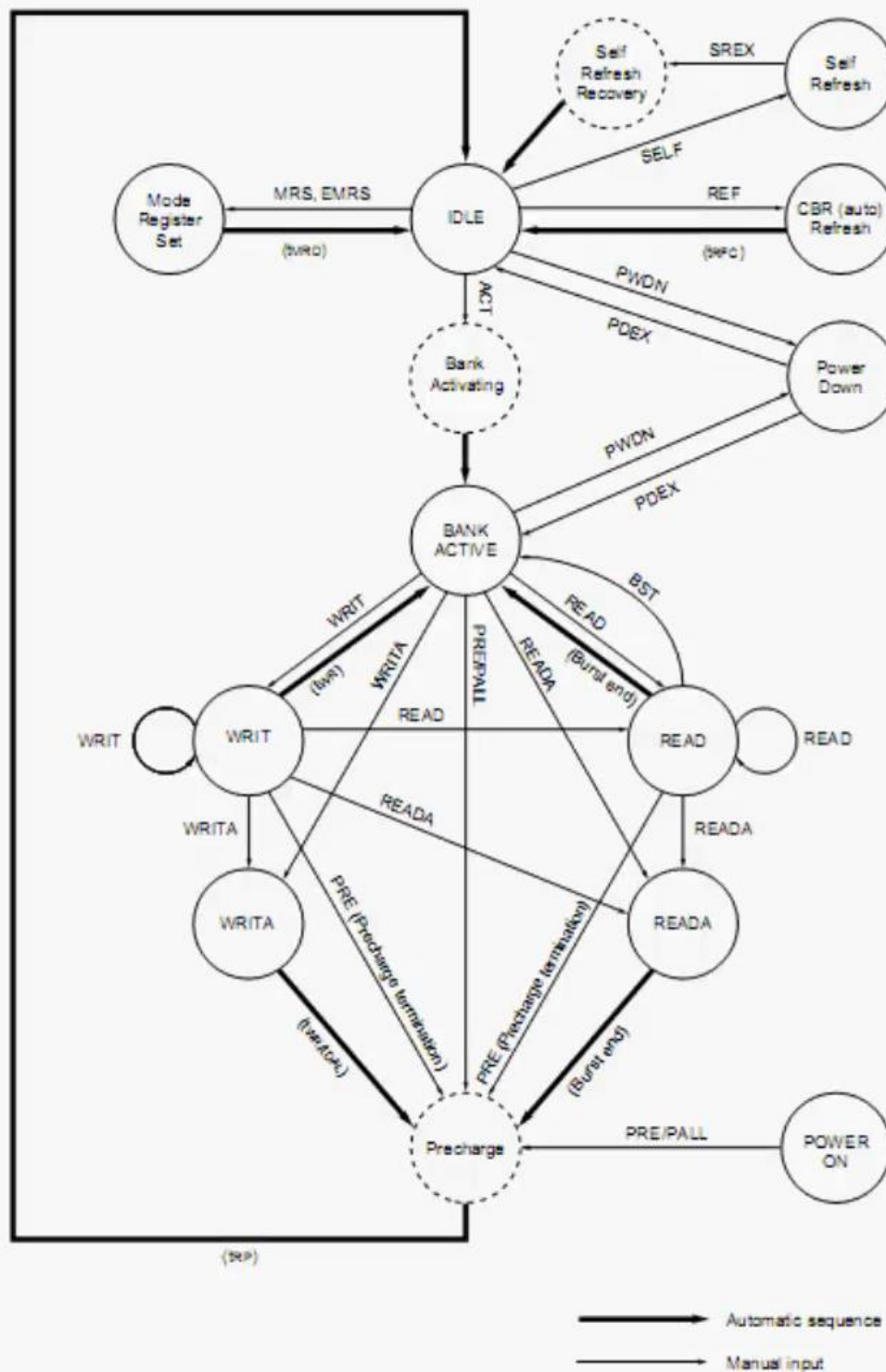
Эта диаграмма переходов между состояниями автомата, который управляет работой банка. Так как банков много, то часть состояний относятся ко всем банкам.

Система работы:

После включения поступает несколько команд, одна из которых PRECHARGE ALL (перезарядить все линии чтения и записи). Далее через внутренний автомат TMP переход в состояние IDLE (состояние готовности к командам). В этом состоянии можно сделать несколько инициализирующих действий:

- 1) Mode Register Set (Перезапись CL, PL и т.д.)
- 2) Power Down (Режим пониженного энергопотребления)
- 3) Bank Active (Активация банка). После неё можно выполнять чтение и запись строк (WRITE, READ, WRITE, READA).
- 4) Self Refresh (Саморегенирация) — команда, запускающая внутренний контроллер, который сам перебирает адреса до тех пор пока мы его не остановим (Self Refresh Recovery). В следующий раз продолжает с того же адреса где было прерывание.
- 5) CBR(auto) Refresh — тот же самый счётчик, требует, чтобы банк был в состоянии PRECHARGE.

Диаграмма состояний УА DDR SDRAM



3. Микросхема динамической памяти

Микросхема динамической памяти состоит из миллионов элементов, каждый из которых хранит всего один бит информации. На физическом уровне элементы памяти объединяются в прямоугольную матрицу, горизонтальные линейки элементов называются строками (ROW), а вертикальные - столбцами (Column).

Динамическая память программируется за счёт регистров управления и регистров программирования. Они в свою очередь влияют на схему управления, которая определяет какие пакеты выдаются и с какой латентностью.

Сама микросхема имеет конвейерную структуру, которая начинается с регистров адреса. Адреса принимаются не целиком, а по отдельности – адреса строки и столбца. Они имеют равные декодеры. Суть в том, что передача всего адреса сразу смысла не имеет, потому что у нас разделены выбор строки и выбор столбца. Сначала выбирается строка и только после этого столбец.

Внутри микросхемы несколько банков. Такая многобанковость позволяет работать сразу в несколько потоков.

