

Arquitectura de Sistemas e Computadores II

1ª Frequência

Departamento de Informática
Universidade de Évora

19 de Outubro de 2017

Indique todos os cálculos efectuados

Perguntas rápidas

1. [1 valor] Um processador pode apresentar melhor desempenho do que outro processador cujo relógio funciona a uma frequência 5 vezes superior?
2. [1 valor] Se a execução de um programa é mais rápida no computador X do que no computador Y , pode-se concluir que a execução de qualquer programa é mais rápida em X do que em Y ?
3. [1 valor] Demora mais tempo a execução de 1000 instruções `lw` na implementação MIPS monociclo ou a execução de 1000 instruções `add`?
4. [1 valor] Quantas instruções podem estar a ser executadas no *pipeline* MIPS em simultâneo, no máximo?

Desempenho

5. Seja A um computador com uma frequência de relógio de 800 MHz. Durante a execução do programa P em A , que demora 4s, são executadas 1000 milhões de instruções.

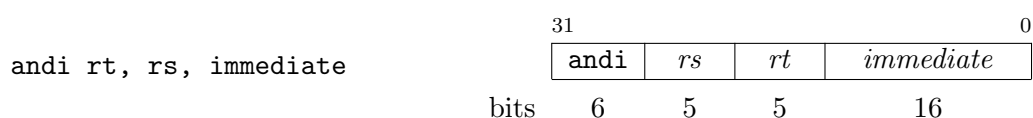
- (a) [2 valores] Qual o CPI de P ?
- (b) [1,5 valores] Se a distribuição das instruções executadas for a apresentada na tabela abaixo, qual o CPI das instruções de salto?

Classe	Aritméticas	Acesso à memória	Saltos
%	30	40	30
CPI	1	5	?

- (c) [1,5 valores] Qual é o *speedup* que se obtém se for possível reduzir o CPI das instruções de acesso à memória em 40%?

Implementação MIPS monociclo

6. [6 valores] Pretende-se que a implementação MIPS monociclo da Figura 1 suporte a execução da instrução `andi` (*and immediate*), que é uma instrução tipo-I com três argumentos:



O efeito desta instrução é colocar, no registo `rt`, o valor do E-lógico *bit a bit* entre o conteúdo do registo `rs` e `immediate`, que é um número sem sinal.

- (a) Quais das unidades funcionais e dos *multiplexers* existentes serão usados na execução desta instrução?

(CONTINUA...)

- (b) Que unidades funcionais (incluindo *multiplexers*) e que sinais de controlo é necessário acrescentar?
- (c) Quais os valores que os vários sinais de controlo deverão ter durante a execução desta instrução?
(Não precisa de indicar o valor de **ALUOp**, basta dizer qual será a operação efectuada pela ALU durante a execução desta instrução.)
- (d) Apresente na Figura 1 as alterações à implementação que considerar necessário fazer.

7. Seja $PC = 0040\ 003C_{16}$ o endereço da instrução **beq** cuja codificação binária completa é a seguinte:

bit	31	26	21	16	0
	000100	00101	11000	11111111	11110000

- (a) [2,5 valores] Sejam os seguintes os valores contidos em alguns dos registos do processador, quando a execução da instrução se inicia:

Registo	1	5	6	8	10	12	16	23	24	31
Valor	1	37	413	9931	9	100	310	4193000	37	4194304

Indique os valores que estão presentes, no fim do ciclo em que a instrução executa, nos pontos ①, ②, ③, ④ do circuito da Figura 2.

(Se necessitar do conteúdo de um registo não contemplado na tabela acima, considere que esse registo contém o valor obtido adicionando 1000 ao número do registo.)

- (b) [2,5 valores] Sejam as seguintes as latências das várias componentes do processador:

PC	Memória	Banco registos	ALU	Somadores	Shift left 2	Extensão com sinal	Multiplexers	Controlo	Controlo da ALU
10 ps	300 ps	120 ps	220 ps	190 ps	2 ps	3 ps	30 ps	40 ps	15 ps

(Considere que os restantes elementos lógicos têm latência zero.)

Calcule o tempo que demora, desde o início do ciclo de relógio em que a instrução é executada, até que os valores correctos estejam disponíveis nos pontos ①, ②, ③ e ④ do circuito da Figura 2. Explícite *todos* os tempos que considerou, nos cálculos que fez, para chegar aos valores que obteve.

(Sugestão: Inclua esses valores na figura.)

Nome: _____ Número: _____

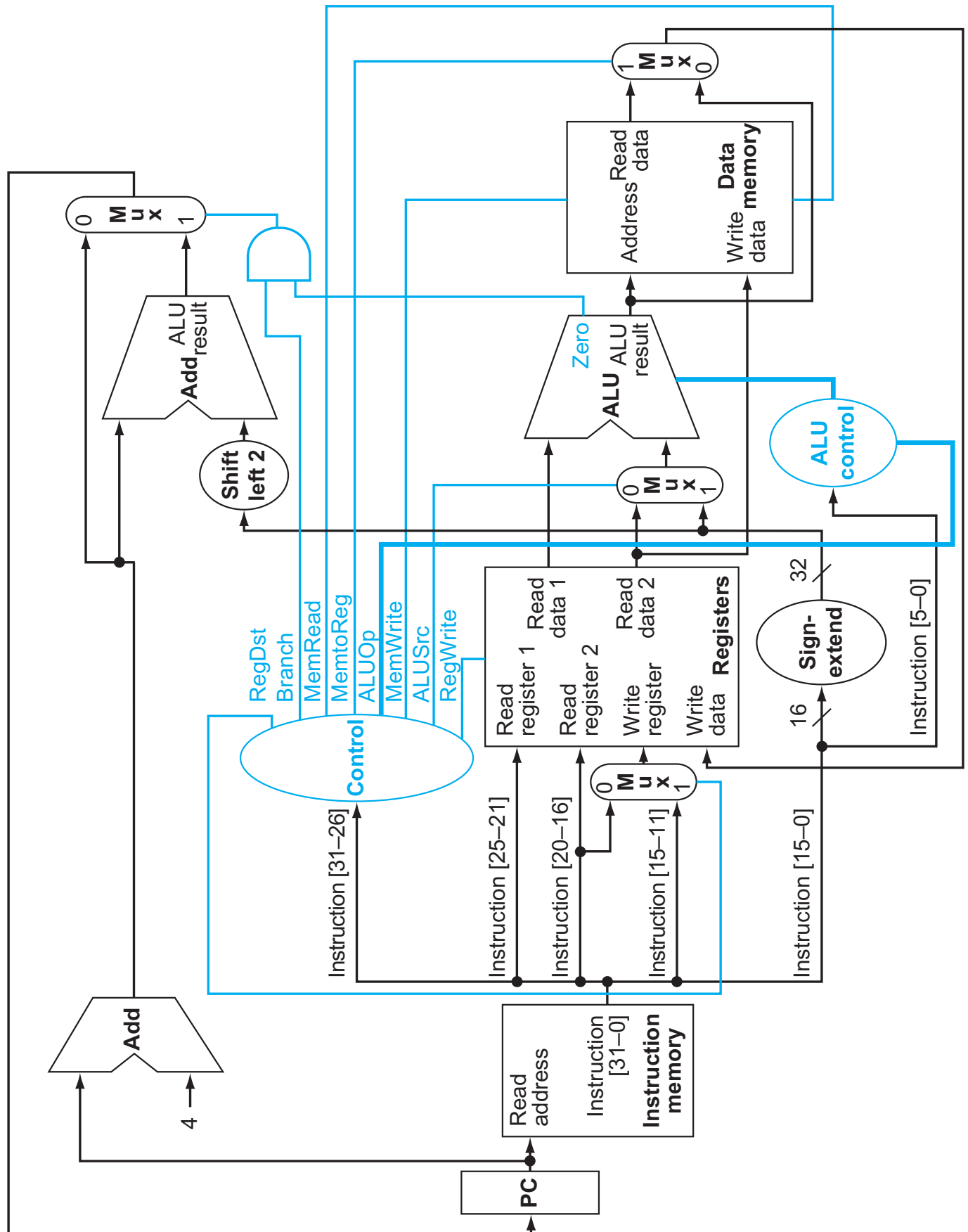


Figura 1: Diagrama de blocos da implementação MIPS monociclo para a **pergunta 6**

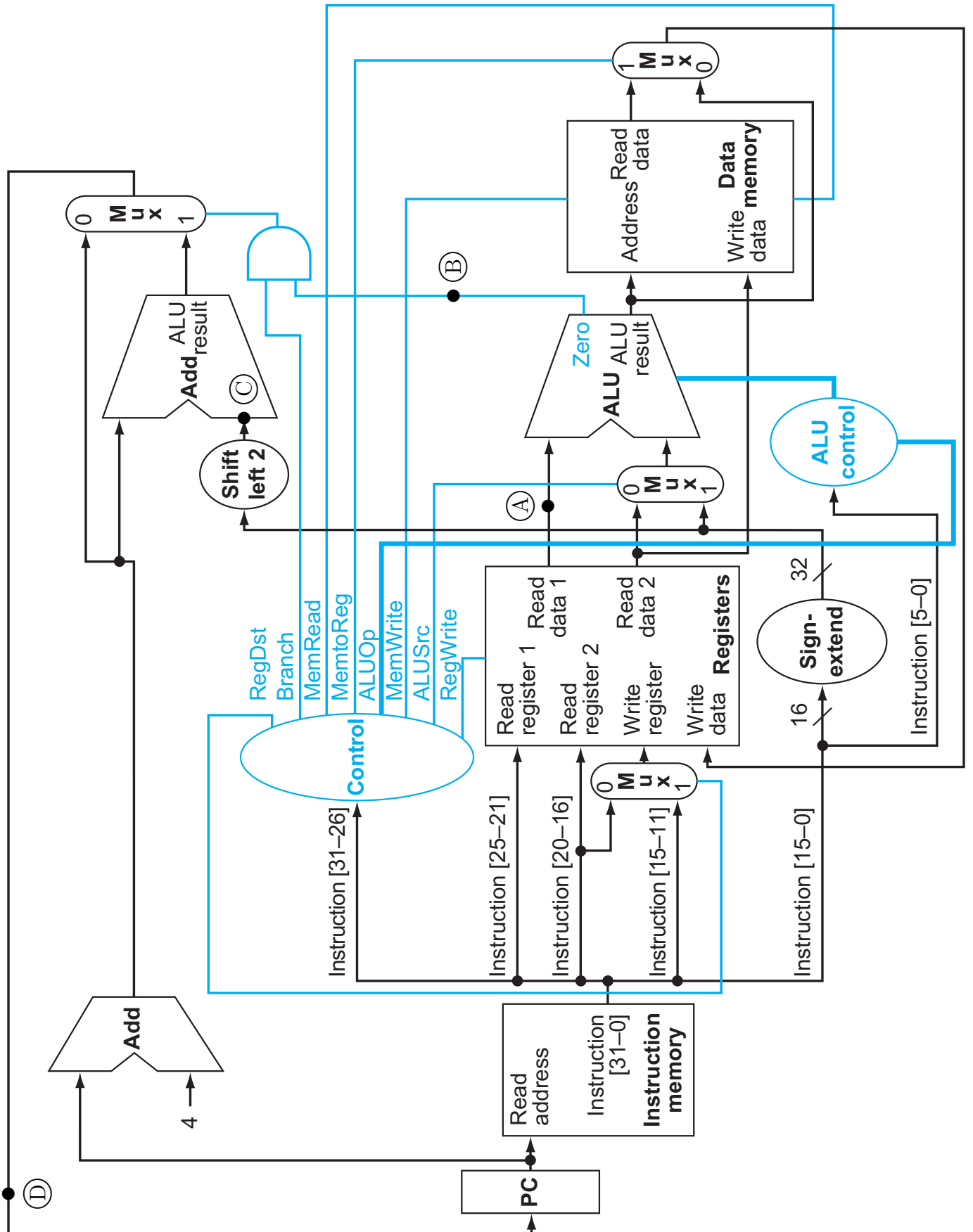


Figura 2: Diagrama de blocos da implementação MIPS monociclo para a **pergunta 7**