

Arquitectura de Sistemas e Computadores II

3ª Frequência e Exame

Departamento de Informática
Universidade de Évora

8 de Janeiro de 2018

- Os símbolos à esquerda de cada pergunta identificam a prova ou provas a que ela pertence:
♣ assinala as perguntas do exame; ◇ assinala as perguntas da 2ª frequência.
- Indique todos os cálculos efectuados

Perguntas rápidas

- ♣ 1. [0,5 valores] O desempenho do processador X ser superior ao do processador Y significa que o relógio de X funciona a uma frequência superior à do relógio de Y ?
- ♣ 2. [0,5 valores] Idealmente, quantas vezes mais rápida seria a execução de um programa num *pipeline* de cinco andares em relação à execução numa implementação monociclo?
- ♣ ◇ 3. [0,5 valores] Em quantas posições pode ser encontrado cada bloco numa cache *8-way set associative* com 256 conjuntos?
- ♣ ◇ 4. [0,5 valores] O que caracteriza a estratégia *write-through* para lidar com as operações de escrita numa cache?
- ◇ 5. [0,5 valores] Se a tradução de uma página virtual para página física não é encontrada no TLB, onde é que ela deve ser procurada a seguir?
- ◇ 6. [0,5 valores] A comunicação entre processos em sistemas de multiprocessamento de memória distribuída é explícita ou implícita?

Desempenho

- ♣ 7. [2 valores] A execução do programa P no computador A , cujo relógio funciona a uma frequência de 1 GHz, demora 2,4 s. Quantas instruções de P são executadas se elas apresentarem a distribuição abaixo?

Classe	Aritméticas	Acesso à memória	Saltos
%	40	40	20
CPI	2	3	2

- ♣ 8. [2 valores] Se um programa corre em 20 segundos e as instruções de acesso à memória são responsáveis por 15 segundos desse tempo, quanto é necessário aumentar a velocidade dos acessos à memória para que o programa corra 2,5 vezes mais depressa?

(CONTINUA...)

Implementação MIPS monociclo

- ♣ 9. [4 valores] Pretende-se que a implementação MIPS monociclo da Figura 1 suporte a execução da instrução *jri* (*jump register indexed*), que é uma instrução tipo-I com dois argumentos:

jri rs, rt	<table><tr><td>jri</td><td>rs</td><td>rt</td><td>0</td></tr><tr><td>bits</td><td>6</td><td>5</td><td>5</td><td>16</td></tr></table>				jri	rs	rt	0	bits	6	5	5	16
	jri	rs	rt	0									
bits	6	5	5	16									

Esta instrução provoca a continuação da execução na instrução cujo endereço é obtido somando os conteúdos dos registos *rs* e *rt*.

- Quais das unidades funcionais e dos *multiplexers* existentes serão usados na execução desta instrução?
- Que unidades funcionais (incluindo *multiplexers*) e que sinais de controlo é necessário acrescentar?
- Quais os valores que os vários sinais de controlo deverão ter durante a execução desta instrução?
(Não precisa de indicar o valor de *ALUOp*, basta dizer qual será a operação executada pela ALU durante a execução desta instrução.)
- Apresente na Figura 1 as alterações à implementação que considerar necessário fazer.

Pipeline MIPS de 5 andares

- ♣ 10. [2 valores] Simule a execução do código seguinte num processador com *forwarding*, com decisão dos saltos condicionais no andar ID, com previsão perfeita do resultado das instruções de salto condicional e sem *delay slots*, assumindo que nenhum dos saltos condicionais é efectuado. Apresente a evolução do estado do *pipeline* durante a execução, indicando todos os atrasos introduzidos e todos os pontos onde foi necessário o *forwarding* de algum valor, identificando claramente entre que andares o *forwarding* foi feito.

```
1.          or  $t0, $0, $a0
2.  ciclo:  lw  $t1, 0($t0)
3.          beq $t1, $a1, fim
4.          lw  $t0, 4($t0)
5.          sw  $t0, 0($a0)
6.          bne $t0, $0, ciclo
7.  fim:    slt $v0, $0, $t0
8.          jr  $ra
```

Quantos ciclos de relógio são necessários para executar o código nas condições acima?

Quantos ciclos de relógio seriam necessários para executar o código se o ciclo (instruções 2 a 6) fosse executado 100 vezes?

Cache

- ♣ 11. [2 valores] Considere que uma palavra tem 64 bits e que os endereços seguintes são acedidos pela ordem indicada:

24 40 36 56 80 24

Simule o funcionamento de uma cache *2-way set associative*, com 8 palavras e blocos de 2 palavras, para a sequência de acessos indicada. Assuma que a cache inicialmente está vazia e, para cada acesso, indique a palavra acedida, o número do bloco a que pertence a palavra, o índice da posição da cache que irá ocupar, o *tag*, se há um *hit* ou um *miss* e, quando aplicável, o número do bloco que será substituído. Apresente o conteúdo final da cache, tão completo quanto possível, e calcule a *miss rate* verificada.

- ◇ **12.** Considere um sistema com uma cache com dois níveis em que, para um programa, que faz 1 milhão de acessos à memória, a cache de segundo nível é acedida 80 mil vezes.
- (a) [2,5 valores] Qual a *miss rate* da cache de primeiro nível e qual deverá ser a *miss rate* da cache de segundo nível para se obter uma *miss rate* global de 2%?
- (b) [2,5 valores] Se o *hit time* da cache de primeiro nível for 4 ciclos, o *hit time* da cache de segundo nível for 25 ciclos, e o tempo de acesso à memória física for 100 ciclos, qual o tempo médio de acesso à memória (em ciclos) na presença e na ausência da cache de segundo nível?

Memória virtual

- ♣ ◇ **13.** Considere um sistema MIPS em que a dimensão das páginas de memória é de 4 KB. Num momento da execução de um programa, a sua tabela de páginas apresenta o conteúdo (parcialmente) mostrado abaixo.

Tabela de páginas

	Dirty	Pág. física
		...
17	1	7
18	0	12
19	1	23
20	0	DISCO
21	0	3
		...

- (a) [2 valores] Assumindo que as páginas virtuais foram acedidas pela ordem 17, 18, 19, 17 e 21, apresente o conteúdo do TLB do sistema (2-way set associative, com 4 blocos de uma tradução e substituição por LRU).
- (b) [2 valores] Calcule o endereço virtual correspondente ao endereço físico 007C40₁₆.

Multiprocessamento

- ♣ ◇ **14.** [2 valores] Num multiprocessador de memória partilhada é executado um programa paralelo, sendo as instruções seguintes executadas no processador indicado:

Processador 1	Processador 2
x = x * 5;	x = x + x;

Liste todas as possíveis sequências de valores que a variável **x** poderá assumir durante a execução deste código se, inicialmente, o valor de **x** for 2.

- ◇ **15.** [2 valores] Num multiprocessador de memória partilhada com dois processadores MIPS, os processadores vão executar as instruções seguintes, pela ordem apresentada:

	Processador 1	Processador 2
1.	ll \$10, 0(\$4)	
2.	addi \$10, \$10, -2	ll \$12, 0(\$4)
3.	sc \$10, 0(\$4)	addi \$12, \$12, 10
4.	lw \$11, 0(\$4)	
5.		sc \$12, 0(\$4)
6.		lw \$13, 0(\$4)

Antes da execução destas instruções, o endereço guardado no registo \$4 é 1000 0000₁₆ nos dois processadores e a palavra nesse endereço tem o valor 200.

Considerando que as instruções na mesma linha são executadas em simultâneo, diga quais os valores nos registos \$10 e \$11 do Processador 1, nos registos \$12 e \$13 do Processador 2, e na posição de memória com endereço 1000 0000₁₆, depois da execução de cada instrução.

Nome: _____ Número: _____

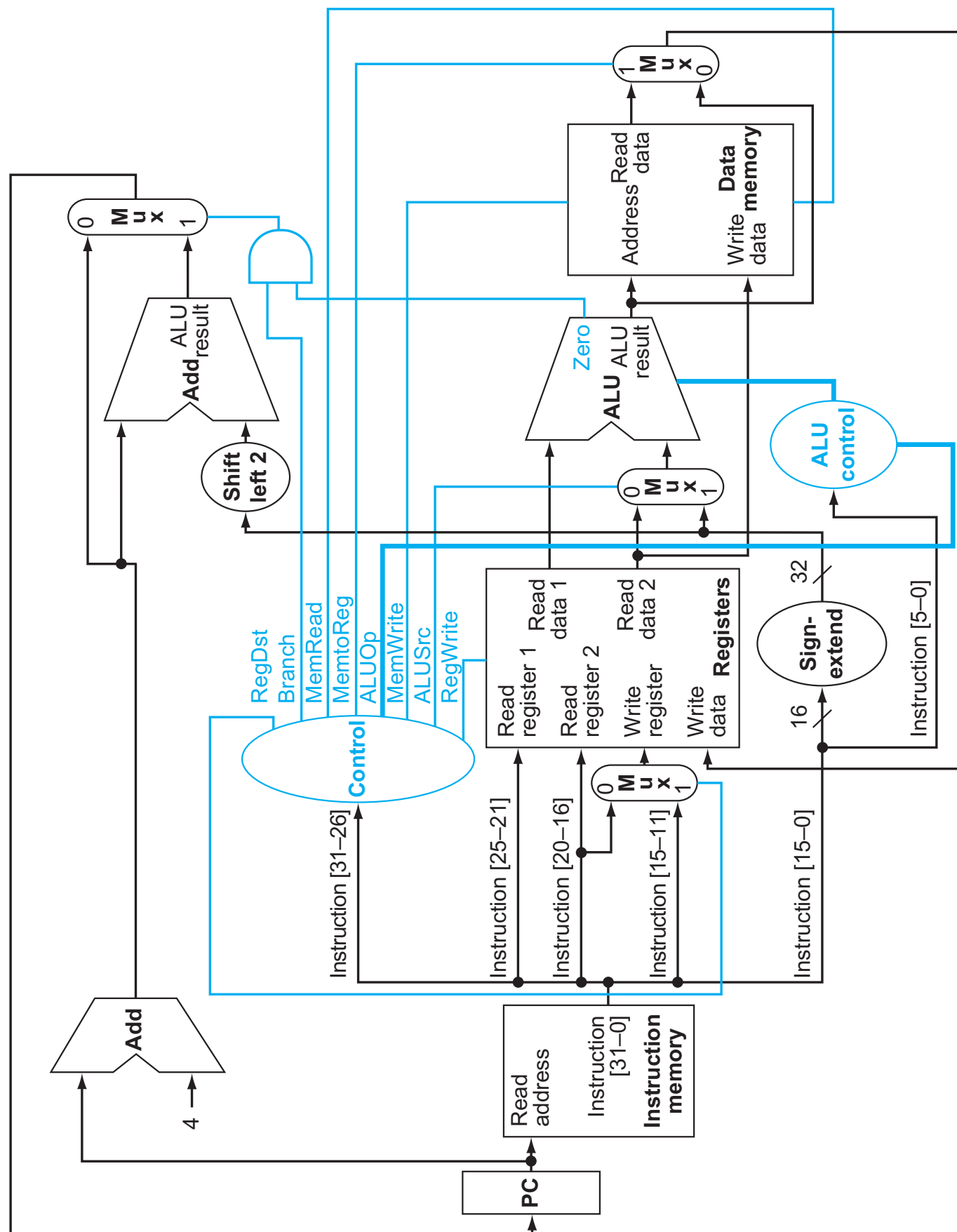


Figura 1: Diagrama de blocos da implementação MIPS monociclo

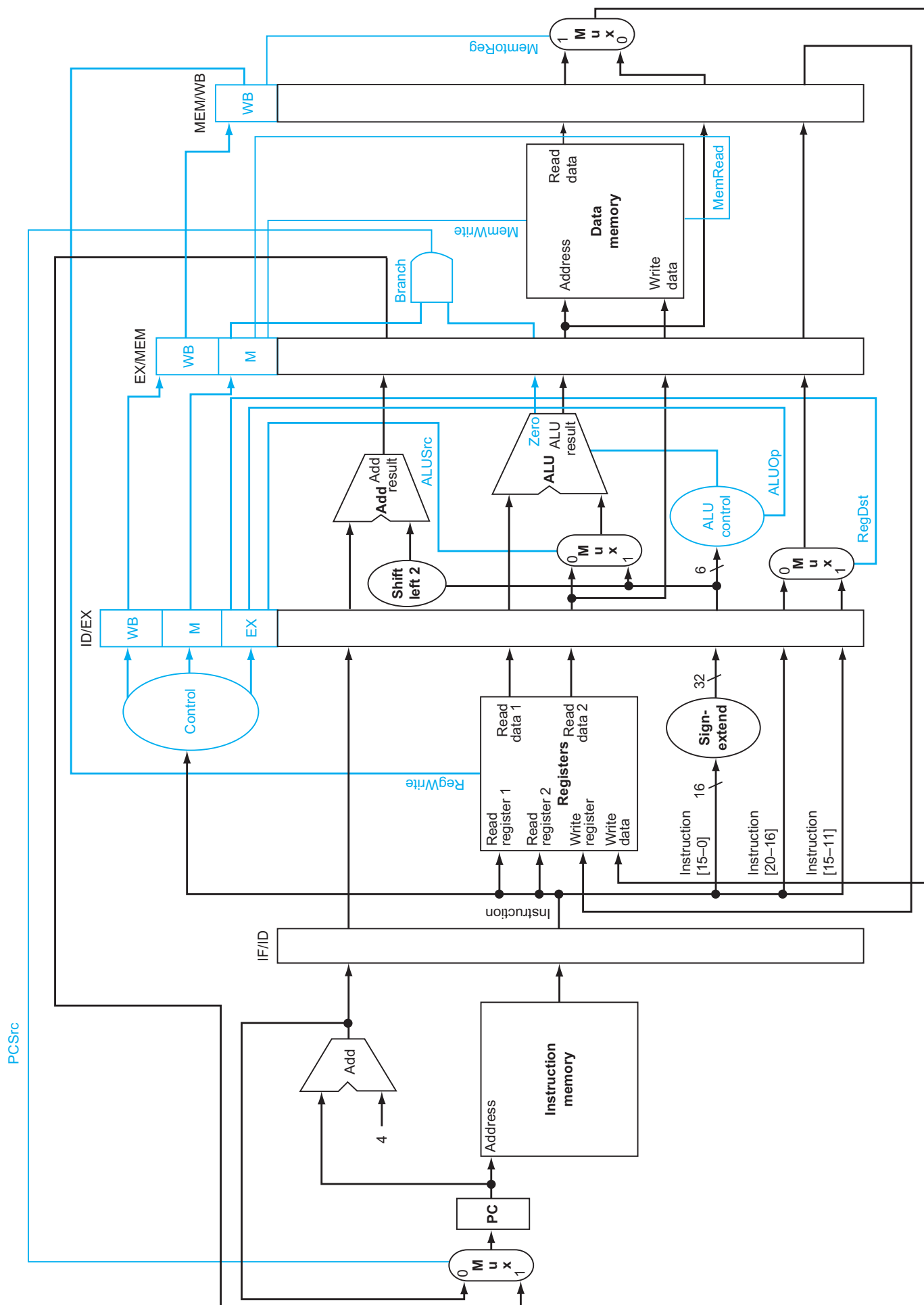


Figura 2: Diagrama de blocos do *pipeline* MIPS