

Въведение във вградените микропроцесорни системи



Лектор: доц. д-р инж. Любомир Богданов
(лаб. 1312, 1361, 1362, Некст Лаб, lbogdanov@tu-sofia.bg)

Ръководители на лаб. и сем. упр.:

гл. ас. инж. Венцеслав Маноев

гл. ас. инж. Николай Тюлиев

гл. ас. инж. Емилия Балканска

гл. ас. инж. Венцеслав Маноев

гл. ас. д-р инж. Борислав Бонев

гл. ас. д-р инж. Стефан Ризанов

гл. ас. инж. Николай Кадиев

Автор: доц. д-р инж. Любомир Богданов



Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042

*„Организационна и технологична инфраструктура за учене през
целия живот и развитие на компетенции“*

Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси“,
съфинансирана от Европейския социален фонд на Европейския съюз

Инвестира във вашето бъдеще!

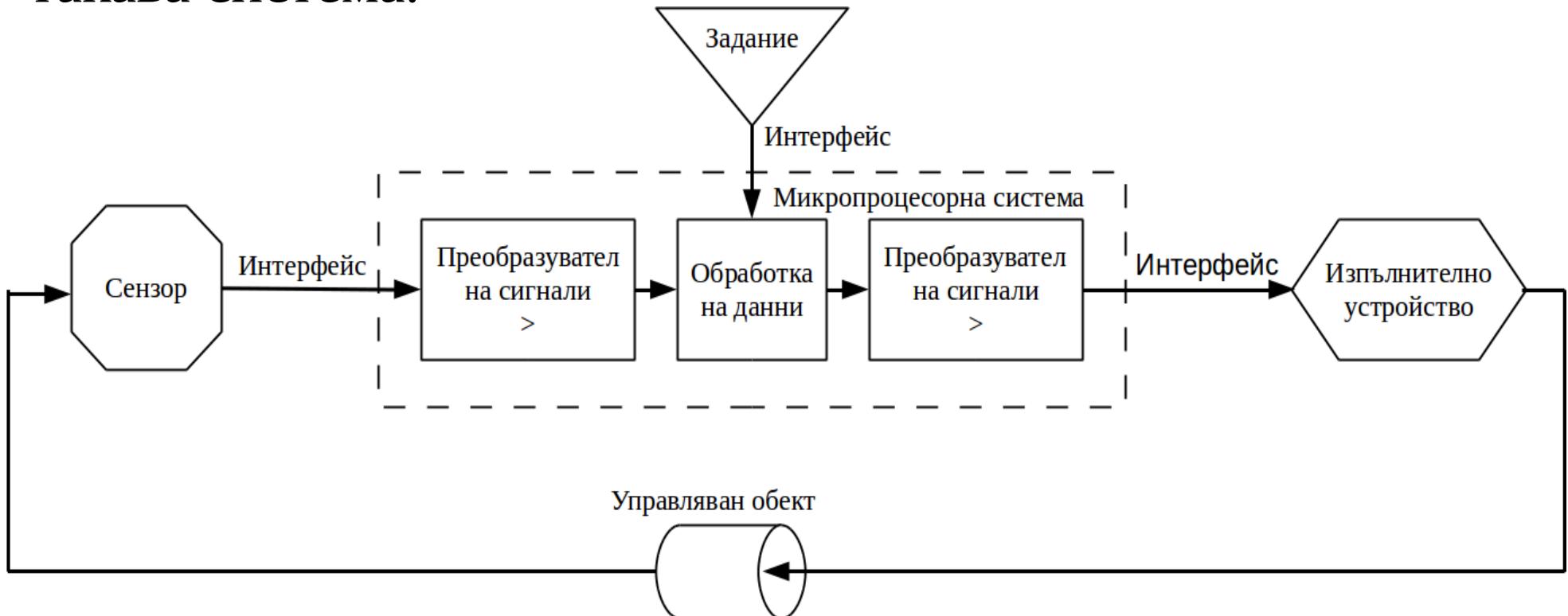


Съдържание

1. Въведение
2. История на микропроцесорите
3. Блокова схема на микропроцесорна система
4. Фон Нойманова и Харвард архитектура
5. RISC и CISC микропроцесори
6. Класификация на процесорните елементи

Въведение

Микропроцесорните системи се използват за управление на различни видове обекти. Посредством интерфейси и изпълнителни устройства те въздействат на тези обекти. Микропроцесорът е главният контролиращ елемент в една такава система.



Въведение

Микропроцесорът може да се използва в различни приложения – той е програмно управляема интегрална схема (ИС), чийто алгоритъм на работа се определя от програмиста.

Интерфейсите, сензорите и изпълнителните устройства може да варират спрямо областта на използване, докато микропроцесорът може да е един и същ.

Въведение

Области на приложение, в които са вградени микропроцесорните системи:

- * индустриална електроника
- * електроника за бита
- * ядрена електроника
- * медицинска електроника
- * автомобилна електроника
- * военна и космическа електроника
- * други

История на микропроцесорите

- * Първият микропроцесор е създаден от фирмата Intel и официално представен на пазара през 1971 [a]. Това е 4-битовият микропроцесор **4004**, който е бил проектиран за калкулатори още през 1969. ИС е съдържала 2300 MOS транзистора и е била с производителност 60 000 операции/секунда.
- * През 1972 Intel пуска на пазара 8-битовия микропроцесор **8008**.

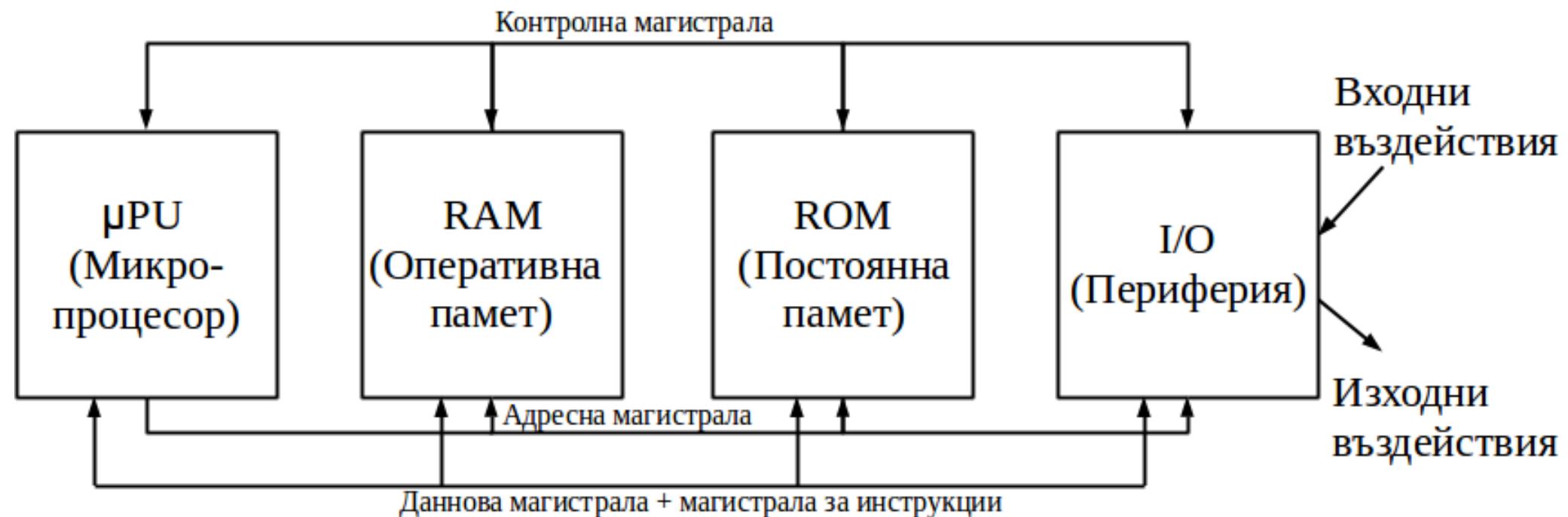
История на микропроцесорите

- * През 1974 Intel пуска на пазара успешния **8080**, който е с 10 пъти по-висока производителност от 8008. Неговата максимална тактова честота е 2 MHz и използва две захранващи напрежения: +12 V и -5V
- * През същата година излиза алтернативата на 8080 – **MC6800** на фирмата Motorola, имащ максимална тактова честота 1 MHz.

История на микропроцесорите

* През 1976 фирмата RCA (Intersil) обявява своя 8-битов **CDP1802**, който е първия в света микропроцесор, използващ статична RAM памет.

Блокова схема на микропроцесорна система



Блокова схема на микропроцесорна система

Всяка една микропроцесорна система съдържа следните блокове:

* поне един **микропроцесор** (μ PU – micro Processing Unit)

Блокова схема на микропроцесорна система

* **оперативна памет** (RAM – Random Access Memory) – това е енергозависима памет, която се използва за временно съхраняване на данни (променливи) по време на изпълнението на програмата. В нея може да се пише и чете от произволни адреси. Най-често в микропроцесорните системи се използват статични RAM памети (SRAM), които не се нуждаят от постоянно опресняване на записаната в тях информация (за разлика от динамичните DRAM).

Блокова схема на микропроцесорна система

В някои приложения е възможно в RAM да се съхраняват инструкции на програмата, а не само данни. Те трябва да бъдат заредени на съответните адреси при началното пускане на системата.

* **постоянна памет** (ROM – Read Only Memory) – това е енерго-независима памет, която се използва за съхранение на управляващата програма (**firmware**). Тази памет може да е реализирана по някоя от технологиите ROM (OTP), PROM, EPROM, EEPROM, Flash, Ferroelectric. От нея може само да се чете. Достъпът до нея, в повечето случаи, е на блокове от данни.

Блокова схема на микропроцесорна система

*** периферни устройства (I/O – Input/Output device) - това са аналогови или цифрови устройства, с помощта на които се осъществява връзка с околния свят (интерфейси, дисплеи, клавиатури, таймери, АЦП, ЦАП, входно-изходни модули за общо предназначение и други)**

Блокова схема на микропроцесорна система

Връзката между отделните блокове се осъществява по минимум 3 магистрали:

* **адресна магистрала** – предава адреса, на който ще се записват/четат данни/инструкции. От разредността на тази магистрала зависи максималният обем памет/периферия, която ще бъде достъпвана. Например, ако микропроцесорът е с 8-битова адресна магистрала, то максималният адрес, на който може да записва е $2^8 - 1 = 255$ (0xFF).

Тази магистрала е еднопосочна – само микропроцесорът задава числени стойности (т.е. адреси) по нея.

Блокова схема на микропроцесорна система

* **магистрала за данни/инструкции** – предава данните/инструкциите, които ще се записват/четат в/от дадено устройство на адреси, указанi същевременно по адресната магистрала. От разредността на тази магистрала зависи максималният размер на променливите, които могат да бъдат прочетени/записани за *един такт*. Например, ако магистралата е 16-битова, то максималната стойност на целочислена променлива ще била $2^{16} - 1 = 65535$. Обменът на данни/инструкции е двупосочен, т.е. информацията по нея се формира както от микропроцесорът, така и от периферията,^{17/65}

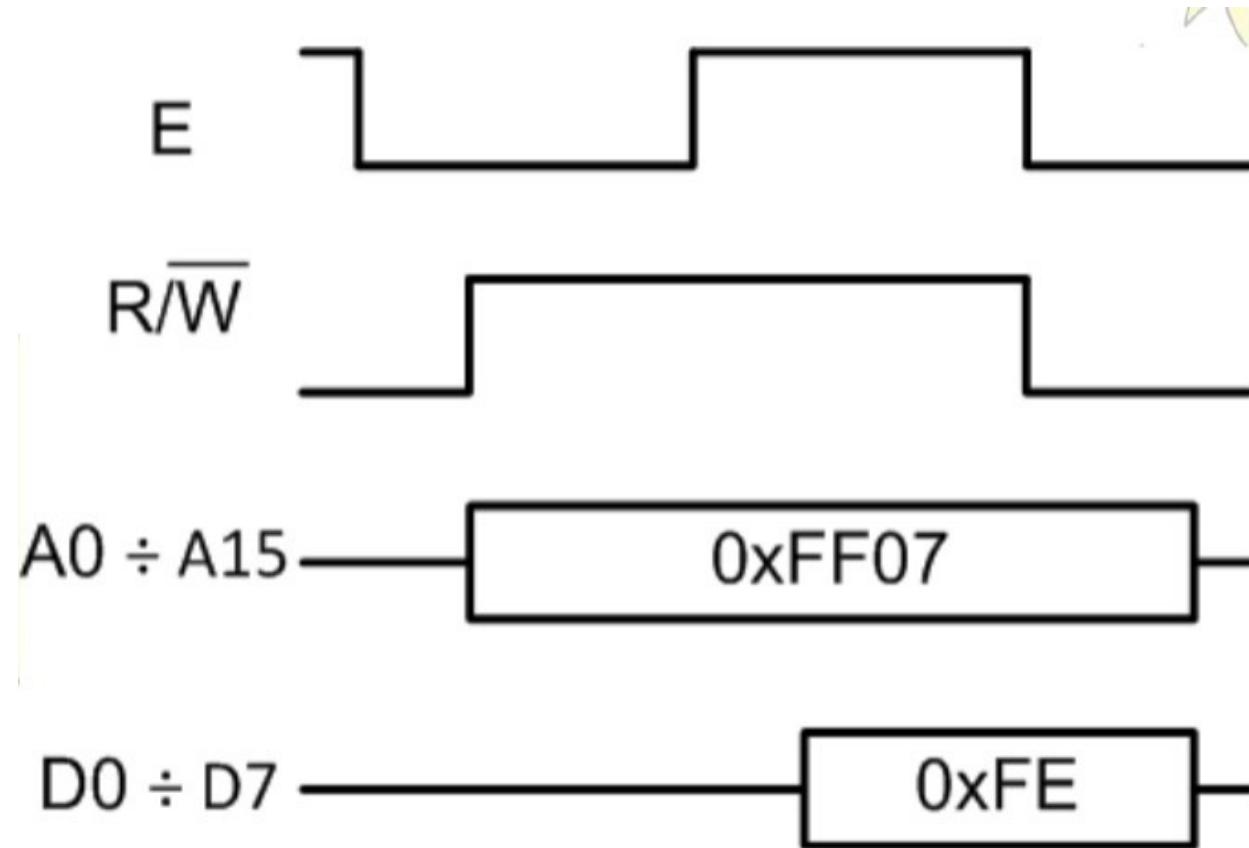
Блокова схема на микропроцесорна система

* **контролна магистрала** – съдържа различни управляващи сигнали вид на операцията – четене или запис (R/W), избор на чип (CS), младша/старша част на данните, синхронизация (handshake), сигнали за прекъсване (interrupt) и др. Тя е двупосочна магистрала, аналогично на данновата.

Блокова схема на микропроцесорна система

На следващият слайд е показан пример за четене на данни от периферно устройство [4]. Отделните сигнали на адресната и данновата шина са представени на една осцилограма с цел опростяване.

Блокова схема на микропроцесорна система



Четене на данни от адрес 0xFF07.
Периферията/паметта съдържа числото 0xFE на
този адрес.

Блокова схема на микропроцесорна система

E и R/W са сигнали от контролната магистрала. A0 ÷ A15 са сигнали от адресната магистрала. D0 ÷ D7 са сигнали от данновата магистрала / магистрала за инструкции.

Докато E сигналът е в ниско ниво, микропроцесорът установява R!/W в единица, за да укаже, че предстои четене. Едновременно с това се изработва адресът, от който ще се чете – в случая установява се числото 0xFF07 на адресната шина. Данновите изводи са конфигурирани като входове. Сигналът E се установява в логическа 1.

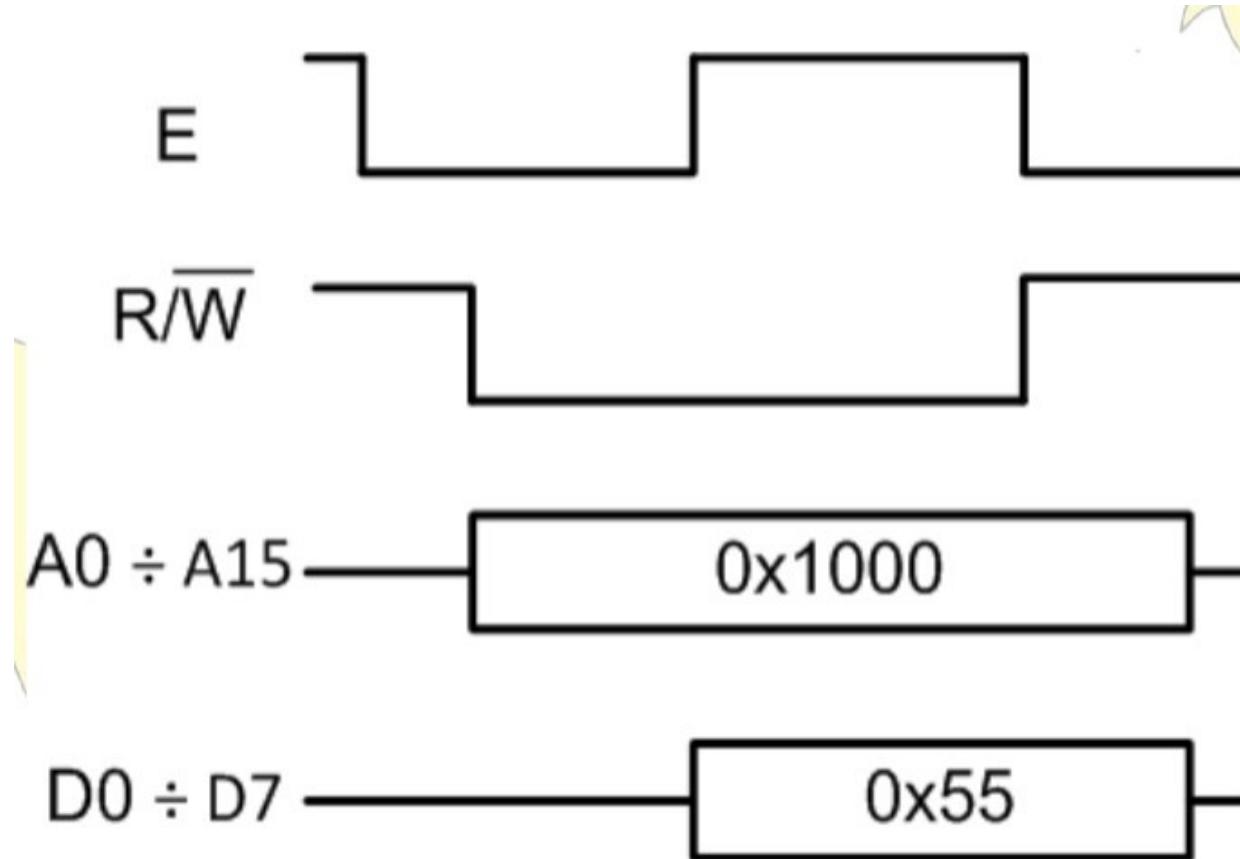
Блокова схема на микропроцесорна система

След това, периферното устройство трябва да изведе данните, които се намират на адрес 0xFF07. В случая това да е числото 0xFE. Когато сигналът E отново премине в логическа 0, цикълът на четене завършва и микропроцесорът вече разполага с числото 0xFE. Това число се записва в регистър от ядрото на микропроцесора.

Блокова схема на микропроцесорна система

На следващият слайд е показан пример за запис на данни в периферно устройство [4]. Отделните сигнали на адресната и данновата шина са представени на една осцилограма с цел опростяване.

Блокова схема на микропроцесорна система



Запис на данни на адрес 0x1000. Микропроцесорът записва числото 0x55 на този адрес.

Блокова схема на микропроцесорна система

Докато Е сигналът е в ниско ниво, микропроцесорът установява R/W в нула, за да укаже, че предстои запис на данни. Едновременно с това се изработва адреса, на който ще се записват те – в случая установява се числото 0x1000 на адресната шина.

Сигналът Е се установява в логическа 1. Сега данновите изводи са конфигурирани като изходи и на тях се формира числото, което ще се записва в периферията – в случая 0x55. Когато сигналът Е отново премине в логическа 0, цикълът на запис завършва и периферното устройство трябва да прочело данните от данновите изводи (D0 ÷ D7).

Фон Нойманова и Харвард архитектура

Архитектурата на един микропроцесор може да се категоризира по много параметри, но най-често се използва броя на магистралите, с които се достъпват паметта и периферията.

Съществуват два вида архитектури:

- * Фон Нойман
- * Харвард

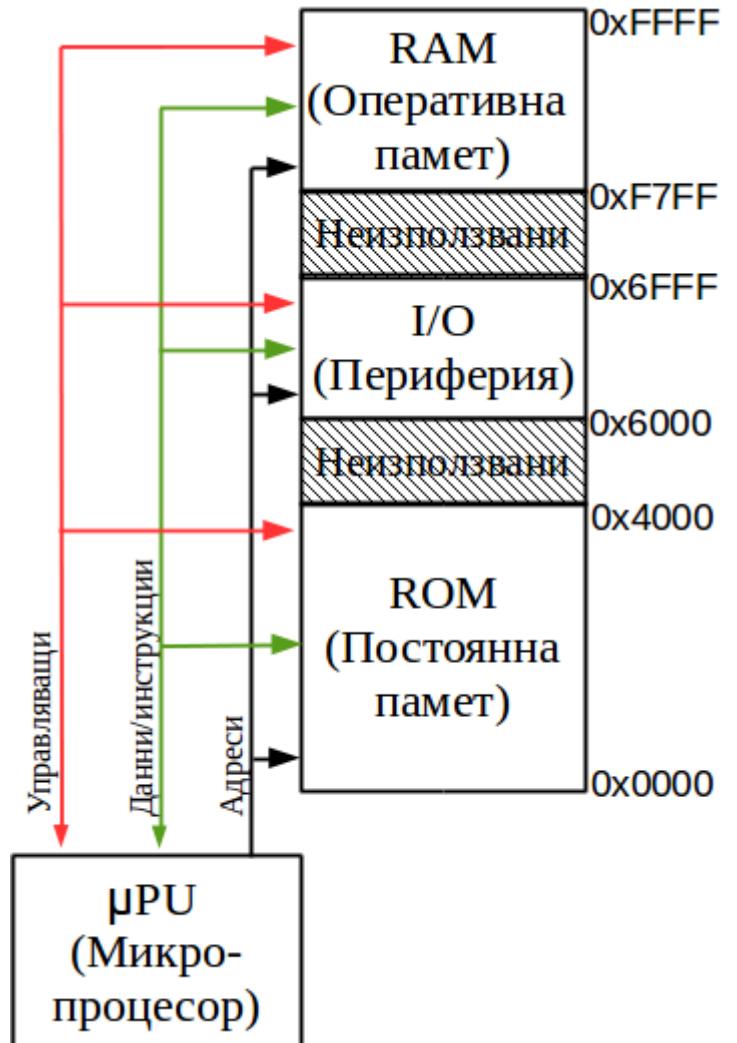
Фон Нойманова и Харвард архитектура

Фон Нойманова архитектура – връзката с програмната памет (най-често ROM) и паметта за данни (най-често RAM) се осъществява с **един набор** от магистрали – адресна магистрала, магистрала за данни/инструкции и управляваща магистрала.

Този вид микропроцесори имат само едно адресно поле, т.е. адресите на паметите и периферията не трябва да се застъпват.

Фон Нойманова и Харвард архитектура

Фон Нойманова архитектура
– пример с 16-битово
адресно поле



Фон Нойманова и Харвард

архитектура

Предимствата на Фон Ноймановата архитектура се крият в простотата на изпълнение от схемотехнична гледна точка – използва се само един набор от магистрали и само един модул за извличане на инструкции/данни.

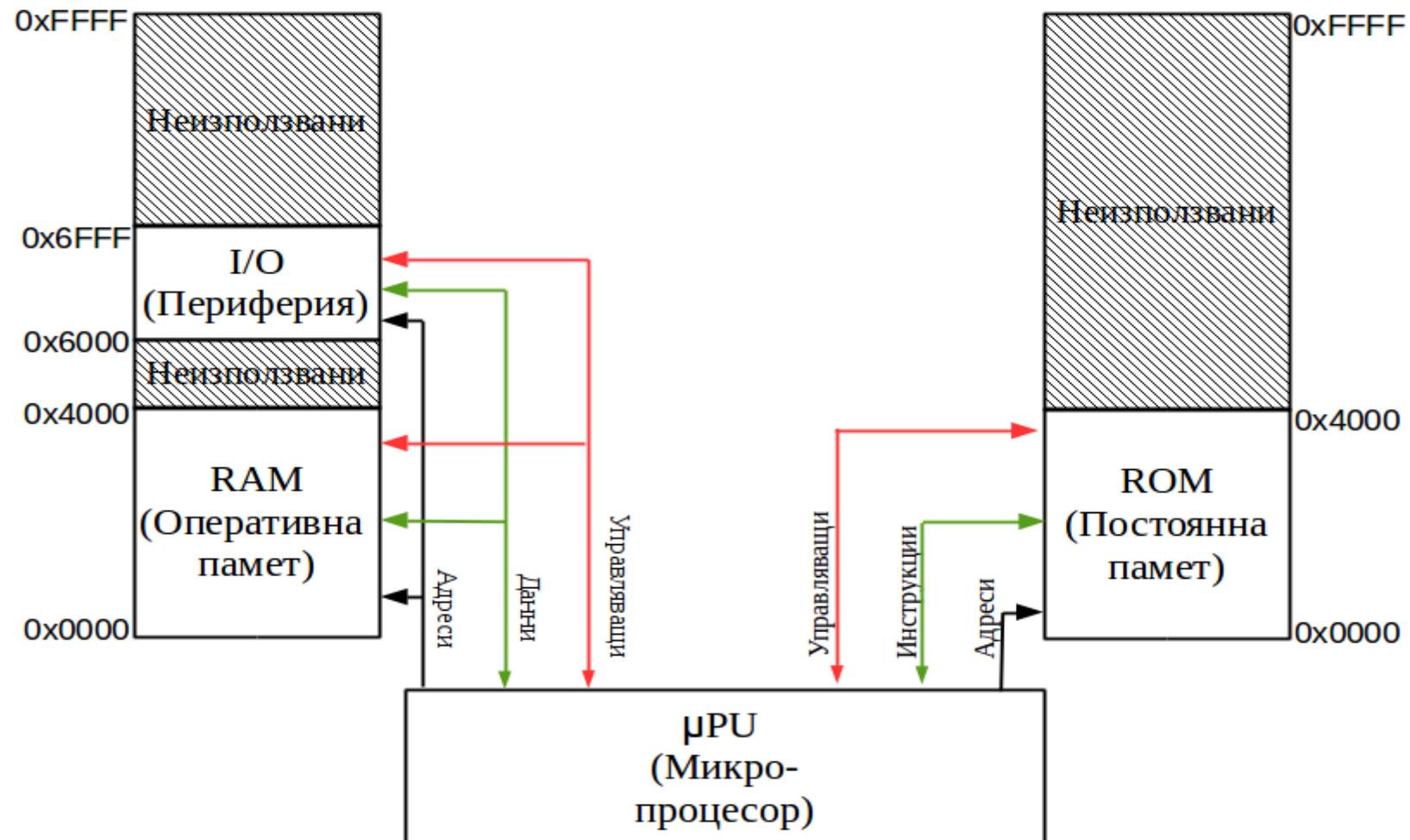
Недостатъците на Фон Ноймановата архитектура се определят от наличието на само едно адресно поле, което означава че инструкции и данни трябва да се адресират последователно във времето (първо инструкцията, после данните), което води до намаляване на производителността (от англ. ез. - bottleneck).

Фон Нойманова и Харвард архитектура

Харвард архитектура - връзката с програмната памет (най-често ROM) и паметта за данни (най-често RAM) се осъществява с **два или повече набора** от магистрали:

- * една адресна магистрала + магистрала за инструкции + управляваща магистрала за програмната памет;
- * една адресна магистрала + магистрала за данни + управляваща магистрала за данновата памет и периферията.

Фон Нойманова и Харвард архитектура



Харвард архитектура – пример с две 16-битови
адресни полета

Фон Нойманова и Харвард архитектура

Предимствата на Харвард архитектурата се крият във възможността да се осъществява четене/запис едновременно на данни от RAM/периферия и инструкции от ROM паметта. Това е възможно благодарение на разделянето на адресните полета (поне две адресни полета). В следствие на това, бързодействието на системата се увеличава, защото извлечането на инструкция става едновременно с извлечане на данните, върху които ще се работи.

Фон Нойманова и Харвард архитектура

Като **недостатък** на Харвард архитектурата може да се посочи усложняването на схемотехниката на чипа, поради наличието на два или повече набора от магистрали и независими модули за извличане на данни/инструкции.

RISC и CISC микропроцесори

В зависимост от сложността на използваните инструкции, които се изпълняват от ядрото, микропроцесорните архитектури се разделят на два вида:

- * CISC микропроцесори
- * RISC микропроцесори

RISC и CISC микропроцесори

CISC (Complex Instruction Set Computer) – микропроцесори, които изпълняват набор от сложни (complex) инструкции. Всяка една от тези инструкции извършва по няколко операции наведнъж (за един или няколко такта).

Този вид инструкции се наричат още *макроинструкции*. Една макроинструкция е съставена от няколко по-прости инструкции, наречени *микроинструкции* (от англ. ез. - microcode).

CISC наборите от инструкции включват от няколко стотин до над хиляда инструкции.

RISC и CISC микропроцесори

Пример за CISC инструкция (Intel Skylake x86) [d]:

rsqrtss xmm, xmm

Изчислява с приближение **реципрочна** стойност на корен **квадратен** от **младшата** 32-битова част, представяща число с плаваща запетая, от даден регистър и **копира** старшата 96-битова част от същия този регистър в приемен регистър.

RISC и CISC микропроцесори

Инструкцията от предишния слайд може да се раздели на няколко микрооперации:

1. Раздели 128-битовия операнд на две
2. Изчисли реципрочна стойност
3. Изчисли корен квадратен
4. Копирай старшите три думи

Инструкцията отнема 4 такта при Skylake процесор (еквивалентна производителност с конвейер).

RISC и CISC микропроцесори

RISC (Reduced Instruction Set Computer) – микропроцесори, които изпълняват набор от прости (атомични) инструкции. Всяка една от тези инструкции извършва само една операция (за един или няколко такта).

Броят на инструкциите в RISC микропроцесорите е по-малък от броя на тези в CISC – от 20 до 200 инструкции.

RISC и CISC микропроцесори

Пример за RISC инструкция (ARM v6-M):

add r2, r1, r3

Взима стойностите от регистри r1 и r3, и изчислява сумата им и записва резултата в регистър r2.

Инструкцията отнема 1 такт (еквивалентна производителност с конвейер).

RISC и CISC микропроцессоры

Границата между CISC и RISC не е строго определена.

CISC процесори включват и RISC инструкции (Intel Skylake):

add eax, 10

(регистр eax = eax +10)

RISC и CISC микропроцесори

RISC микропроцесори включват CISC инструкции (ARM v7-M):

smlald r3, r4, r5, r6

$$r3:r4 = r3:r4 + (r5L \times r6L) + (r5M \times r6M)$$

L – least significant 16-bit

M – most significant 16-bit

(умножи младшата част на r5 с младшата част на r6,
умножи старшата част на r5 със старшата част на r6,
Събери получените числа,
Събери ги с 64-битовото число, представено от два
32-битови регистра – в случая r3, r4,
запиши 64-битовия резултат в r3 и r4)

Класификация на процесорните елементи

Много от задачите в електрониката могат да се реализират по повече от един начин. През погледа на цифровата електроника, най-често използваните схемотехничните варианти са седем:

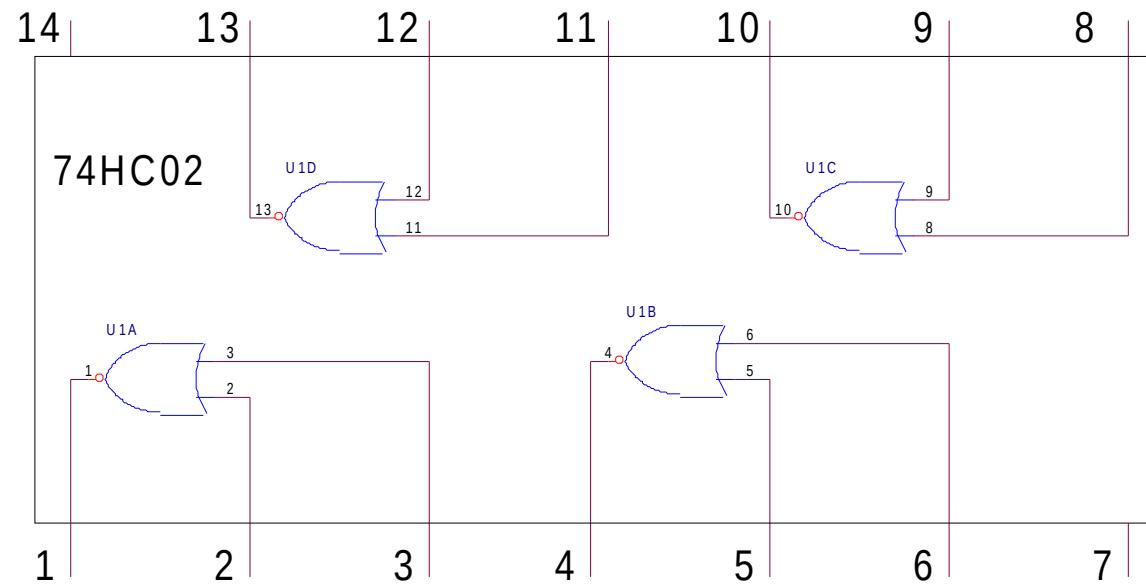
Класификация на процесорните елементи

- *реализация с основни логически елементи (с ИС от фамилията 7400 и 4000);
- *реализация с микропроцесори (μ PU);
- *реализация с програмируеми логически матрици (FPGA);
- *реализация със специализирани интегрални схеми (ASIC);
- *реализация с процесори с много дълга инструкция (VLIW)
- *реализация със сигнални процесори (DSP);
- *реализация с процесори за общо предназначение(GPP);

Класификация на процесорните елементи

За реализацията с основни **логически елементи** може да се използват всички интегрални схеми от серията 7400 и 4000. Във всяка една от тях има интегрирани по няколко цифрови схеми (И, ИЛИ, И-НЕ, тригери, броячи и т.н.). За реализирането на сложни схеми за управление се налага свързването на повече от една такава схема. На следващия слайд е показана вътрешната структура на схемата 74HC02 включваща 4 ИЛИ-НЕ елемента [1]:

Класификация на процесорните елементи



Класификация на процесорните елементи

Предимства:

- * Ако се използват малък брой ИС, то **цената** на такава управляваща схема ще е ниска.
- * Малкият брой елементи определя висока **надеждност** на устройството.

Недостатъци:

- * С такива ИС може да се реализират само **прости схеми**. При реализацията на по-сложни задачи броят на ИС се увеличава многократно, което от своя страна води до **повишаване на цената и консумираната статична мощност** на схемата.
- * Проектирането на устройство с голям брой стандартни ИС е трудоемко и отнема повече **време** в сравнение с останалите реализации.

Класификация на процесорните елементи

Програмируемите логически матрици (FPGA - Field Programmable Gate Arrays) представляват интегрални схеми с голям брой логически елементи, като между тях могат да се създават връзки и така да се реализират сложни цифрови схеми. Конфигурацията на FPGA се програмира от проектанта на устройството.

С FPGA се разработват хардуерни модули със специфично предназначение, най-често като хардуерни ускорители.

Във FPGA може да се реализират дори и няколко (вградени в матрицата) микропроцесора, което прави тези схеми удобни за синтезиране и тест в ранните етапи на проектирането [2].

При синтеза на сложни схеми се използват HDL езици, които позволяват описание на системата на високо ниво.

Класификация на процесорните елементи

Предимства:

- * FPGA дават възможност за проектиране на схеми със **специално** (dedicated) предназначение.
- * FPGA позволяват реализирането на **няколко процесора в един чип**, което улеснява проектирането.

Недостатъци:

- * **Цената и консумираната енергия** е висока.
- * Ефективността на проектираната схема **зависи** от използваните **HDL библиотеки**.
- * Поради голямата си универсалност тези схеми включват в себе си много хардуер, който понякога може да се окаже **излишен** в дадено приложение.

Класификация на процесорните елементи

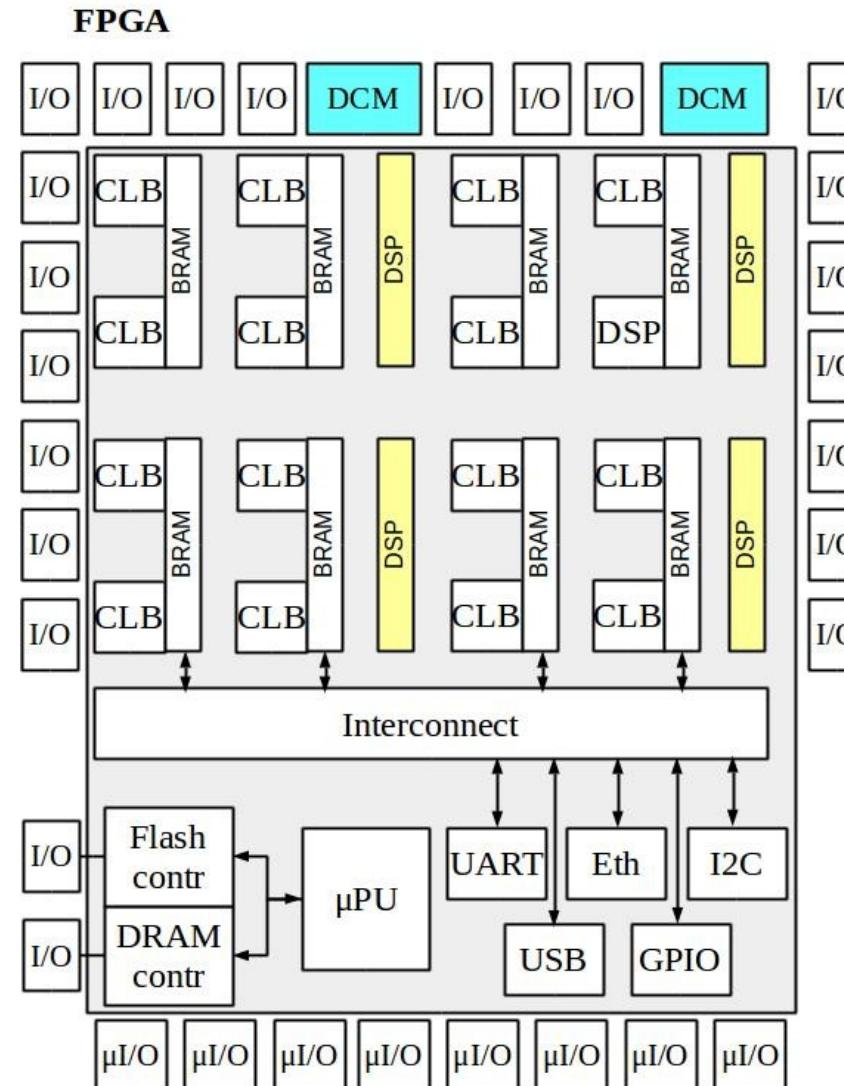
Програмируемата матрица XC7S100 от фамилията Spartan 7 на Xilinx се характеризира със следните параметри:

- * 102 400 логически клетки (всяка клетка = 50 – 60 лог. элемента)
- * 160 DSP клетки
- * 4 320 клетки за памет
- * 400 извода

- * 141 \$ (2021 г.)

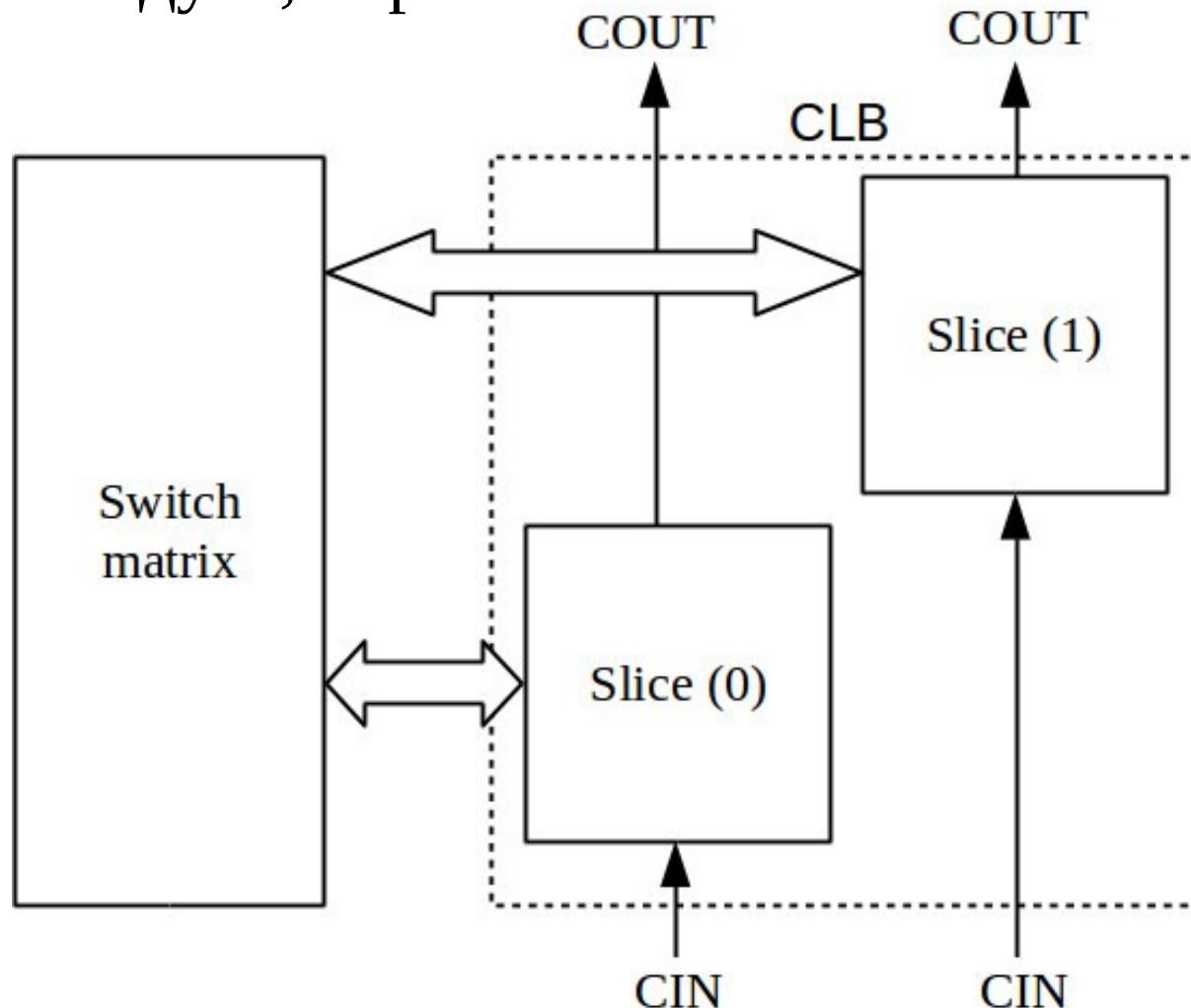
Класификация на процесорните елементи

Обобщена вътрешна структура на FPGA.



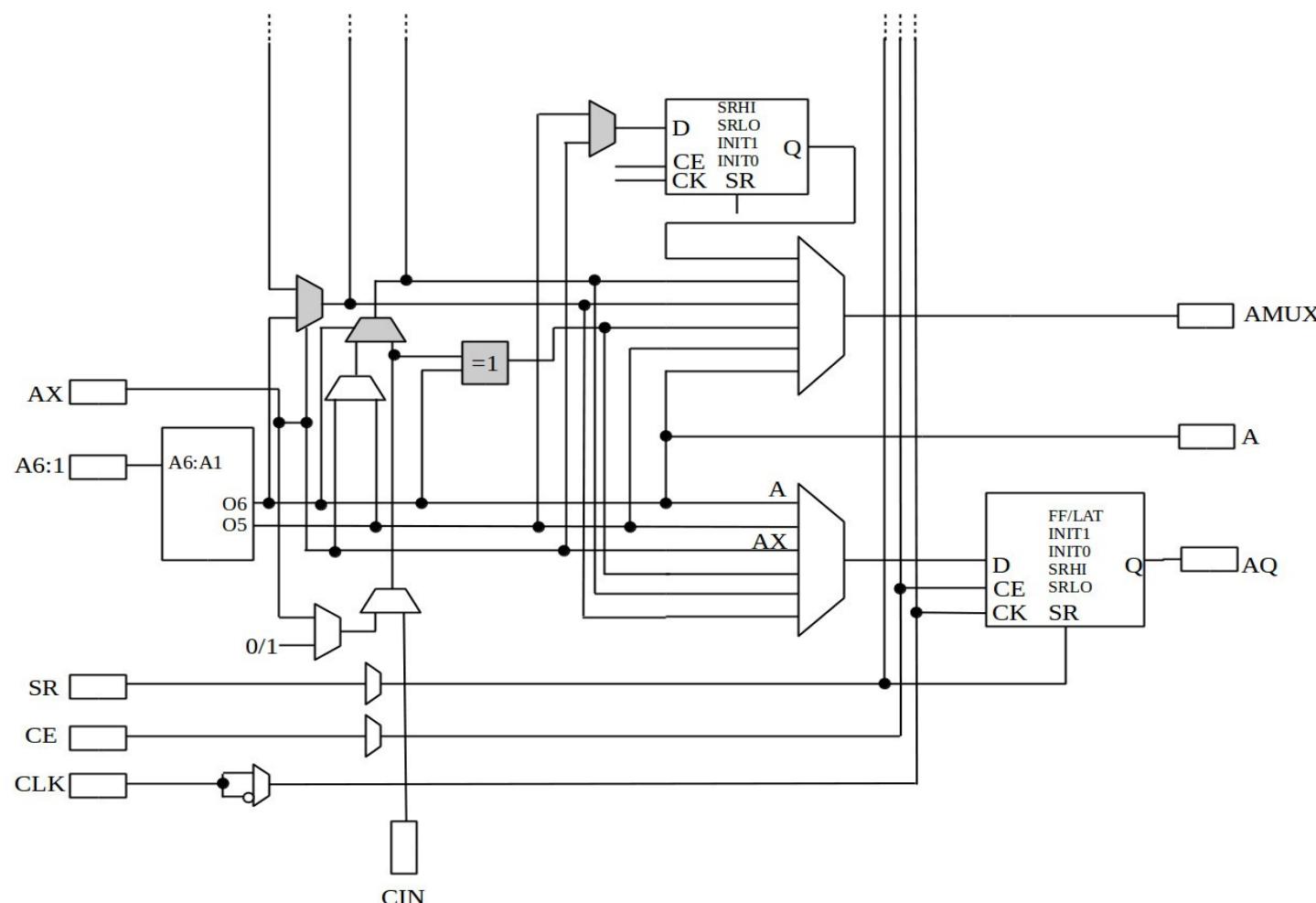
Класификация на процесорните елементи

Всеки конфигурируем логически блок (CLB) съдържа по няколко суб-модула, наречени slice.



Класификация на процесорните елементи

На фигурата е показана принципната схема на $\frac{1}{4}$ от един slice. Съдържа D-тригери, 32-бита памет, мултиплексори, XOR и др.



Класификация на процесорните елементи

- * CLB – основен конфигурируем блок, реализира сложни логически функции
- * DSP – аналогичен на CLB, съдържа умножител и акумулатор за данни
- * BRAM (Block RAM) – реализация на вътрешна RAM/ROM памет, FIFO буфери, буфери за външна DDR RAM и др.
- * DCM (Digital Clock Module) – генераторен блок.
- * I/O (Input/Output) – входно-изходни блокове.

Класификация на процесорните елементи

- * μ I/O (Input/Output) – входно-изходни блокове на вградения микропроцесор.
- * μ PU – вграден микропроцесор.
- * UART, USB, I2C, GPIO, Eth – вградени периферни модули.
- * Някои FPGA имат вградени аналогови схеми, например АЦП при Spartan 7.

Класификация на процесорните елементи

Специализирани интегрални схеми (ASIC - Application Specific Integrated Circuit) – могат да реализират произволна логическа функция. Използват се, когато има сигурен пазар (милиони бройки могат да бъдат продадени).

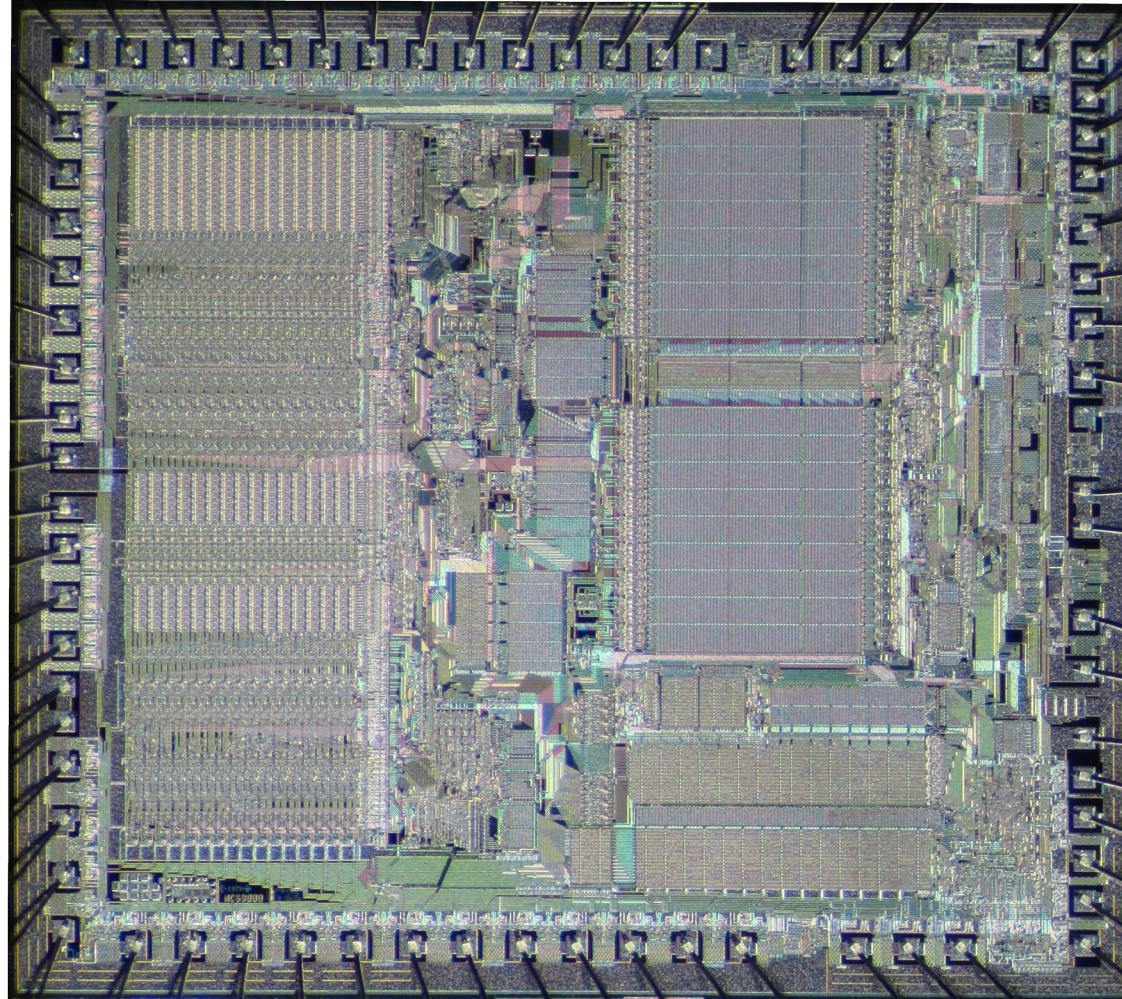
Предимства:

- * най-голямо **бързодействие** за съответното приложение спрямо останалите варианти;
- * **най-енергоефективни**, защото няма излишък на хардуер.

Недостатъци:

- * вътрешната им архитектура е **фиксирана** (по време на производството на чипа) и не може да се променя;
- * изработването и тестването на чиповете струва **милиони долари**.

Класификация на процесорните елементи

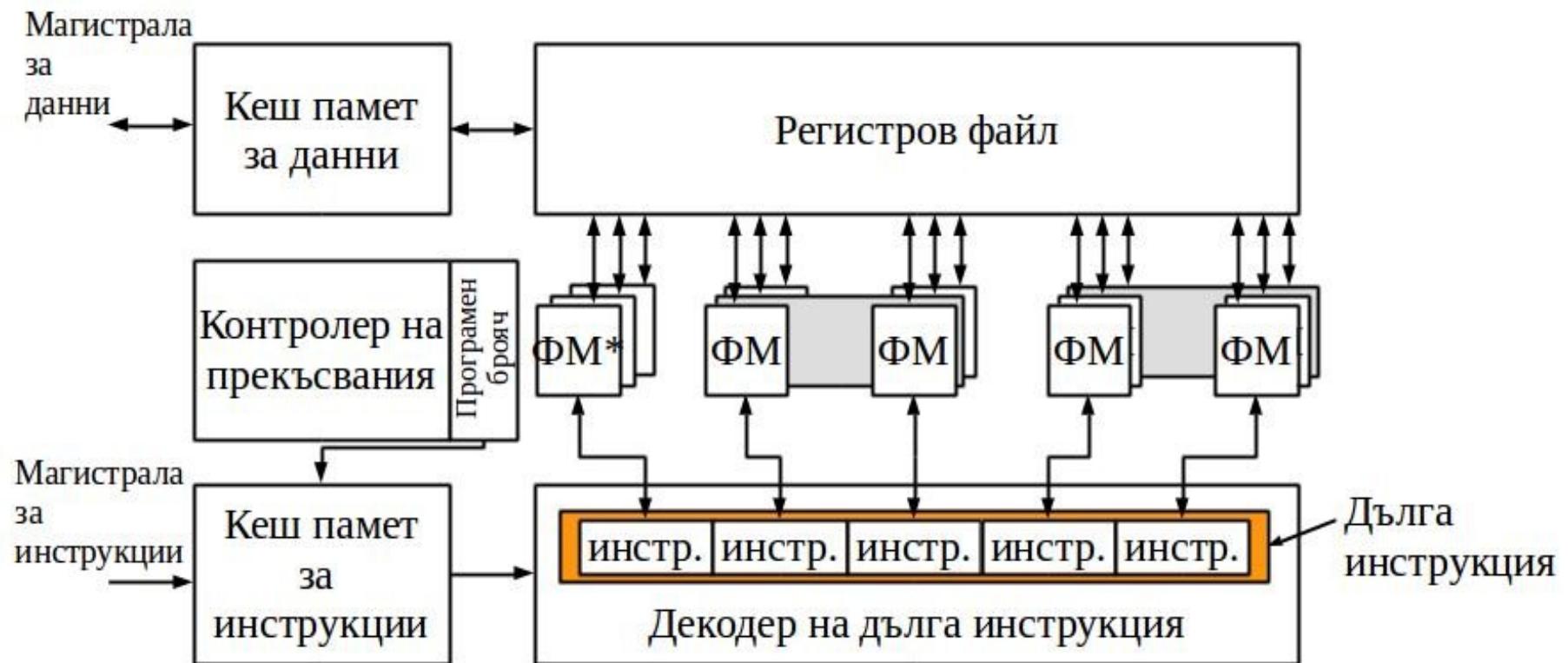


Класификация на процесорните елементи

Процесори с много дълга инструкция (VLIW - Very Long Instruction Word) – съдържат много на брой функционални модули (АЛУ, умножители, модули за числа с плаваща запетая, модули за переход, модули за достъп до паметта и др.), които могат да работят в паралел. За всяка група от функционални единици се генерира една инструкция от компилатора. Няколко инструкции се сливат в една голяма инструкция. **Паралелизмът** в изпълнението на програмата се определя от компилатора по време на компилиацията на програмата.

Класификация на процесорните елементи

Процесори с много дълга инструкция – обобщена блокова схема.



*ФМ – Функционален модул

Класификация на процесорните елементи

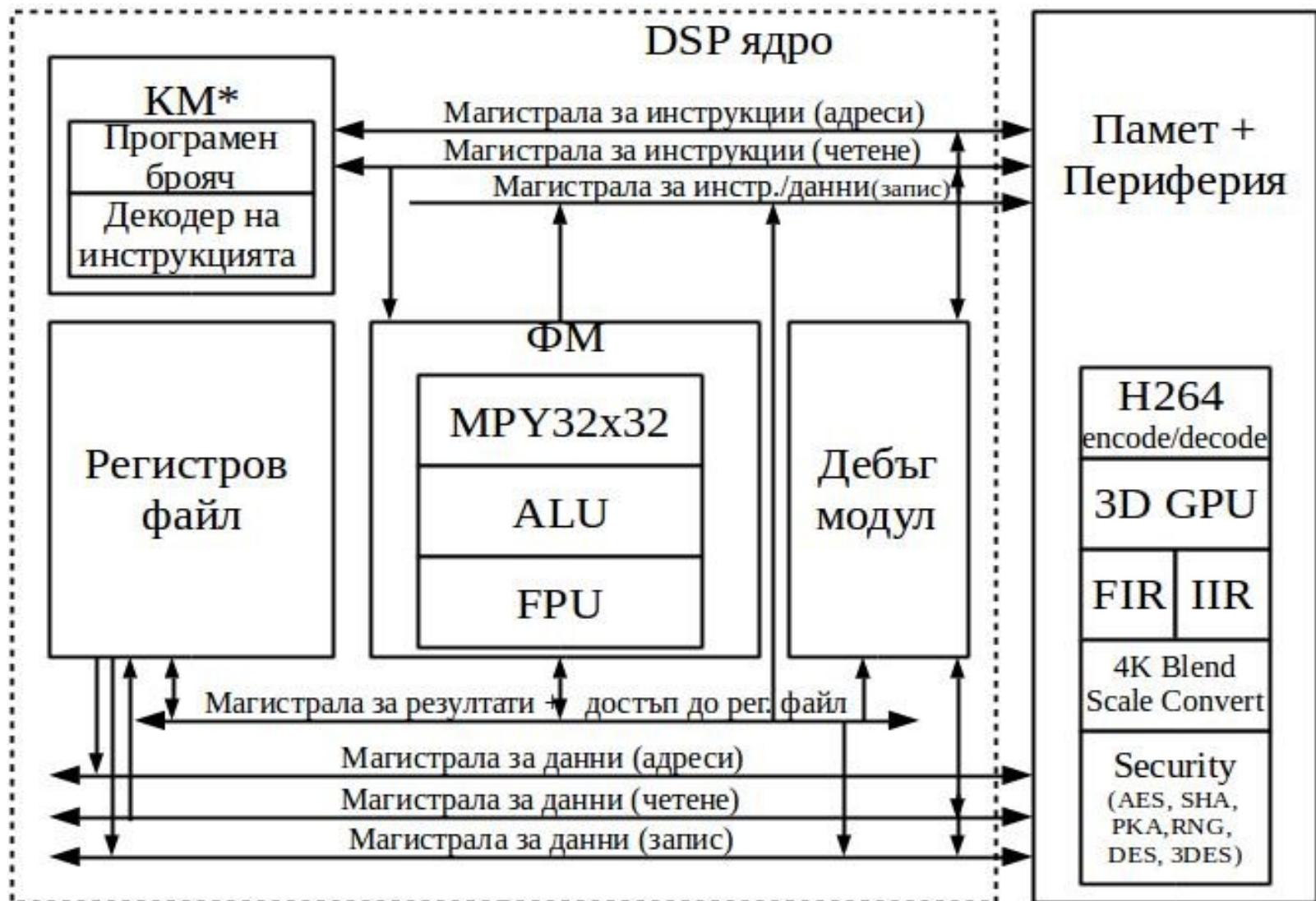
Цифровите сигнални процесори (DSP - Digital Signal Processors) са процесори, предназначени за цифрова обработка на потоци от данни. Подходящи са в приложения с изображения, видео, аудио, анализ на сигнали и контрол в системи с обратна връзка. Реализират се с Харвард архитектура. Съдържат хардуерни ускорители за конкретни изчисления и имат специализирани инструкции.

За да се увеличи обменът на данни, DSP включват по няколко магистрали за инструкции и по няколко за данни.

Класификация на процесорните

елементи

Цифров сигнален процесор – обобщена блокова схема.



*КМ – Контролен модул

Класификация на процесорните елементи

Предимства:

* проектират се основно по един параметър – бързодействие. Това налага използването на кеш памети и повече от едно процесорно ядро с дублирани функционални модули. Работят на висока тактова честота – от порядъка на GHz.

Недостатъци:

* висока цена
* висока консумирана мощност

Класификация на процесорните елементи

Процесорите с общо предназначение (GPP - General Purpose Processor) – използват се в персоналните компютри и сървъри. Обхващат широк спектър от задачи.

- * реализират се с CISC архитектура. Имат стотици инструкции
- * използват кеш памети
- * имат повече от едно процесорно ядро
- * имат дублирани функционални модули
- * работят на висока тактова честота – от порядъка на GHz

Класификация на процесорните елементи

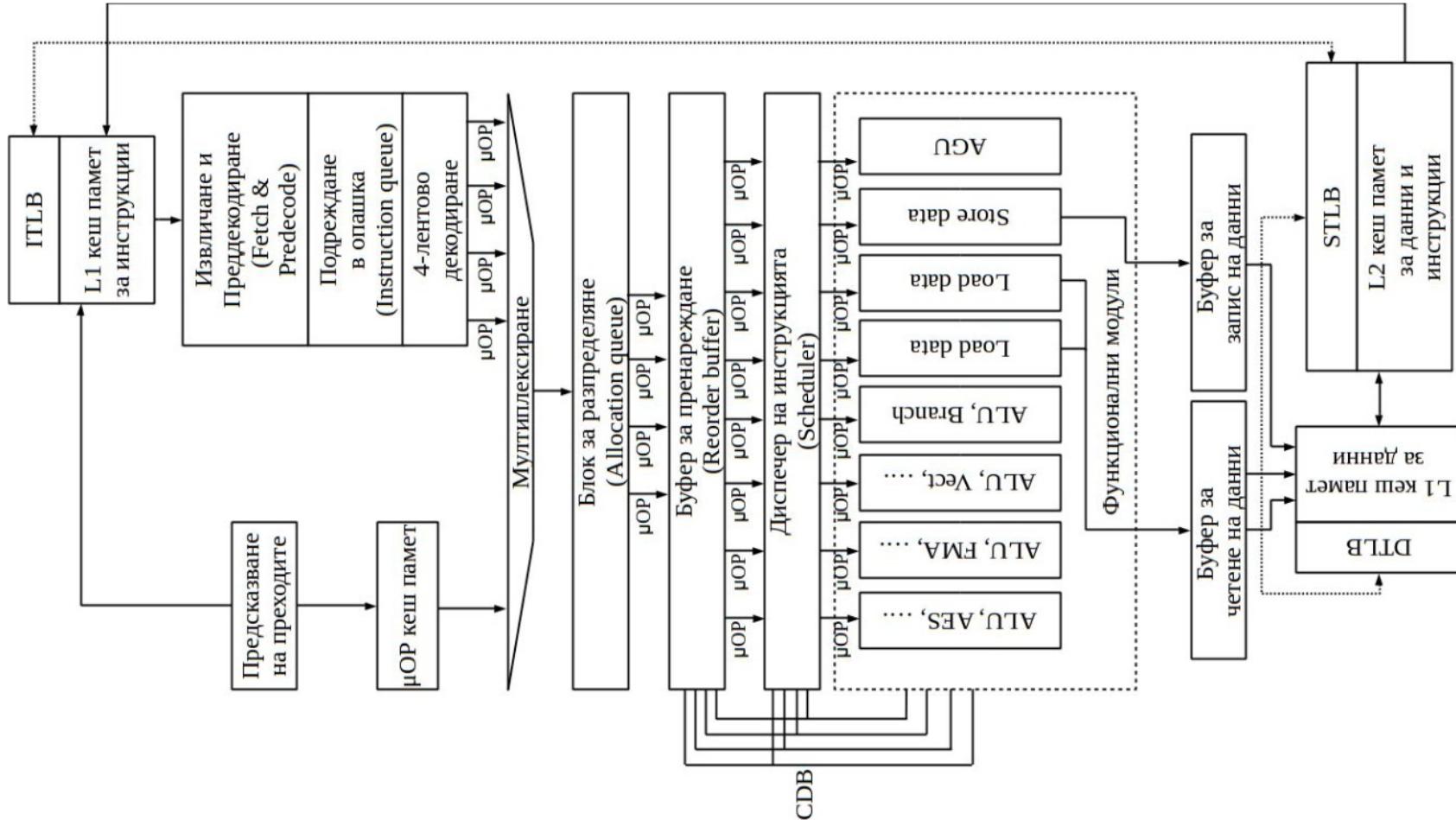
Предимства:

- * голямо бързодействие

Недостатъци:

- * висока цена
- * висока консумирана мощност

Класификация на процесорните елементи



Процесор с общо предназначение Intel Skylake (2015) – обобщена блокова схема на 1 ядро [5].

Литература

- [1] Г. Михов, “Цифрова схемотехника”, ТУ-София, 1999.
- [2] P. Wilson, “Design Recipes for FPGAs”, MPG Books Ltd, 2007.
- [3] K. Hintz, D. Tabak, “Microcontrollers: Architecture, Implementation, and Programming”, McGraw-Hill Inc, 1992.
- [4] Г. Михов, “Настройка и диагностика на микропроцесорни системи”, ТУ-София, 2005.
- [5] M. Lipp, *et al*, “Meltdown: Reading Kernel Memory from User Space”, preprint, 2018.

Външни връзки

- [a]<http://www.intel.com/Assets/PDF/General/20yrs.pdf>
- [b]<http://smithsonianchips.si.edu/ice/cd/STATUS96/Section6.pdf>
- [c]<http://infocenter.arm.com/help/index.jsp?topic=/com.arm.doc.faqs/ka3839.html>
- [d]https://software.intel.com/sites/landingpage/IntrinsicsGuide/#text=_mm_sqrt_ss&expand=4805