Прекъсвания и директен достъп до паметта

Автор: гл. ас. д-р инж. Любомир Богданов

Европейски съюз

ПРОЕКТ BG051PO001--4.3.04-0042
„Организационна и технологична инфраструктура за учене през целия живот и развитие на компетенции”
Проектът се осъществява с финансовата подкрепа на
Оперативна програма „Развитие на човешките ресурси”,
съфинансирана от Европейския социален фонд на Европейския съюз
Инвестира във вашето бъдеще!

ЕСФ България
Европейски социален фонд

Съдържание

Обслужване на прекъсвания

Прекъсване (interrupt) е процес, при който микропроцесорът спира изпълнението на главната програма и започва да изпълнява кода на друга програма, в следствие на хардуерно събитие.

Това събитие може да е **синхронно** или **асинхронно** на изпълнението на главната програма.

С помощта на прекъсванията се премахва нуждата от **постоянна проверка** дали дадено събитие е настъпило (метод "**polling**"), което е **излишно изразходване на изчислителен ресурс**.

Обслужване на прекъсвания

Хендлер на прекъсване (interrupt handler) - допълнителна програма, различна от основната main, която се изпълнява вследствие на прекъсване. Нейната цел е да обслужи прекъсването, т.е. да се извършат дейности в отговор на постъпилото прекъсване.

Вектор на прекъсване (interrupt vector) - адресът от паметта, на който се намира кодът, изпълняван при настъпило прекъсване. От софтуерна гледна точка това е указател към функцията (хендлерът), която се извиква при настъпило събитие.

Обслужване на прекъсвания

Векторна таблица (interrupt vector table) - масив от указатели към функции, който се използва за обслужване прекъсванията. Всеки елемент от този масив е вектор на прекъсване и при настъпване на събитие се извлича един от много хендлери на прекъсване по хардуерен път.

Приоритет на прекъсване (interrupt priority) – при настъпването на две или повече събития се налага приоритизиране на извикването на хендлерите, защото микропроцесорът може да изпълнява само една програма в даден момент. Прекъсването с по-висок приоритет ще се обслужи преди прекъсването с по-нисък приоритет.

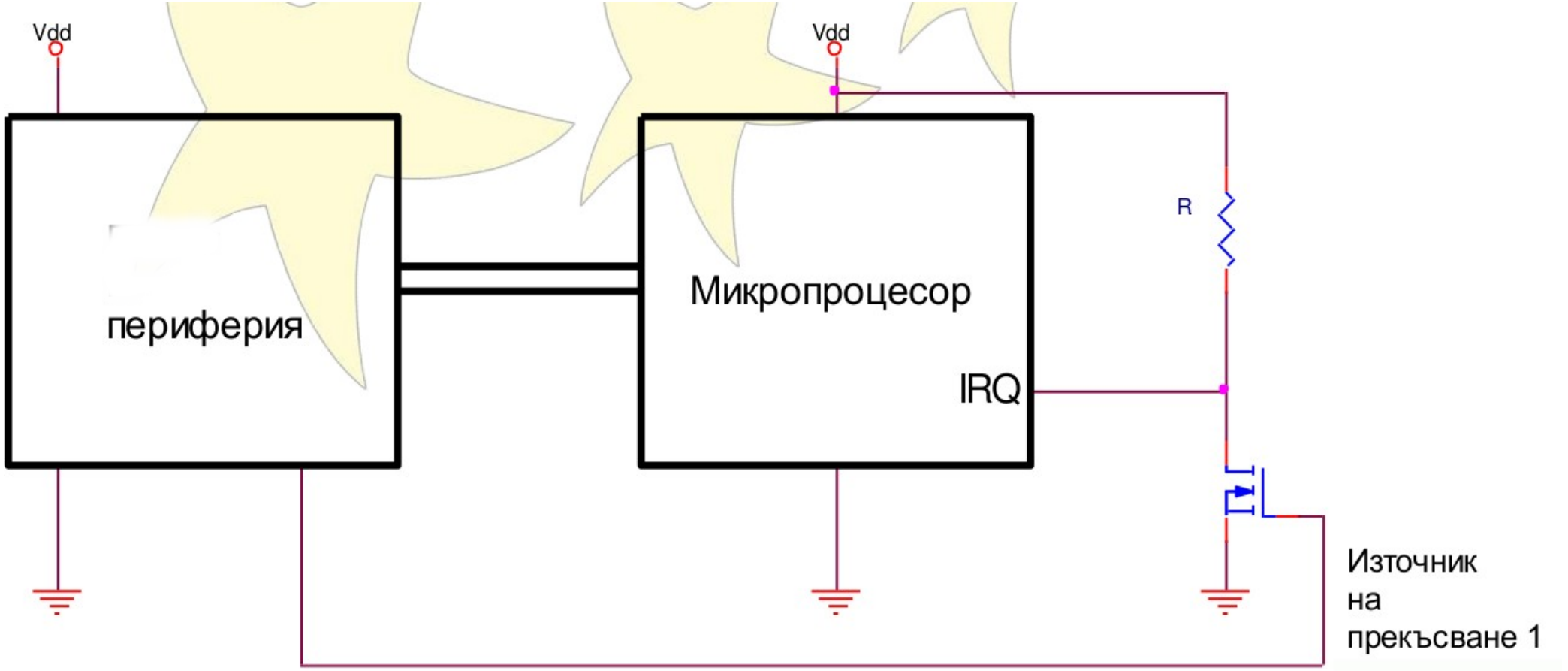
Обслужване на прекъсвания

На фигурата на следващия слайд е демонстриран пример за реализация на прекъсване от един източник. Както се вижда микропроцесорът превключва от изпълнението на главната програма в изпълнение на хендлера на прекъсване. Източник на сигнал IRQ може да е периферно устройство, което след извършване на дадена функция да сигнализира на микропроцесора за събитието чрез прекъсване.

Броят на IRQ входовете се определя от броя на микропроцесорните ядра. В многоядрените системи софтуерът трябва да определи кое прекъсване от кое ядро да се обслужи (в частност – това се прави от операционната система).

Забележка: суперскаларен не означава многоядрен!

Обслужване на прекъсвания

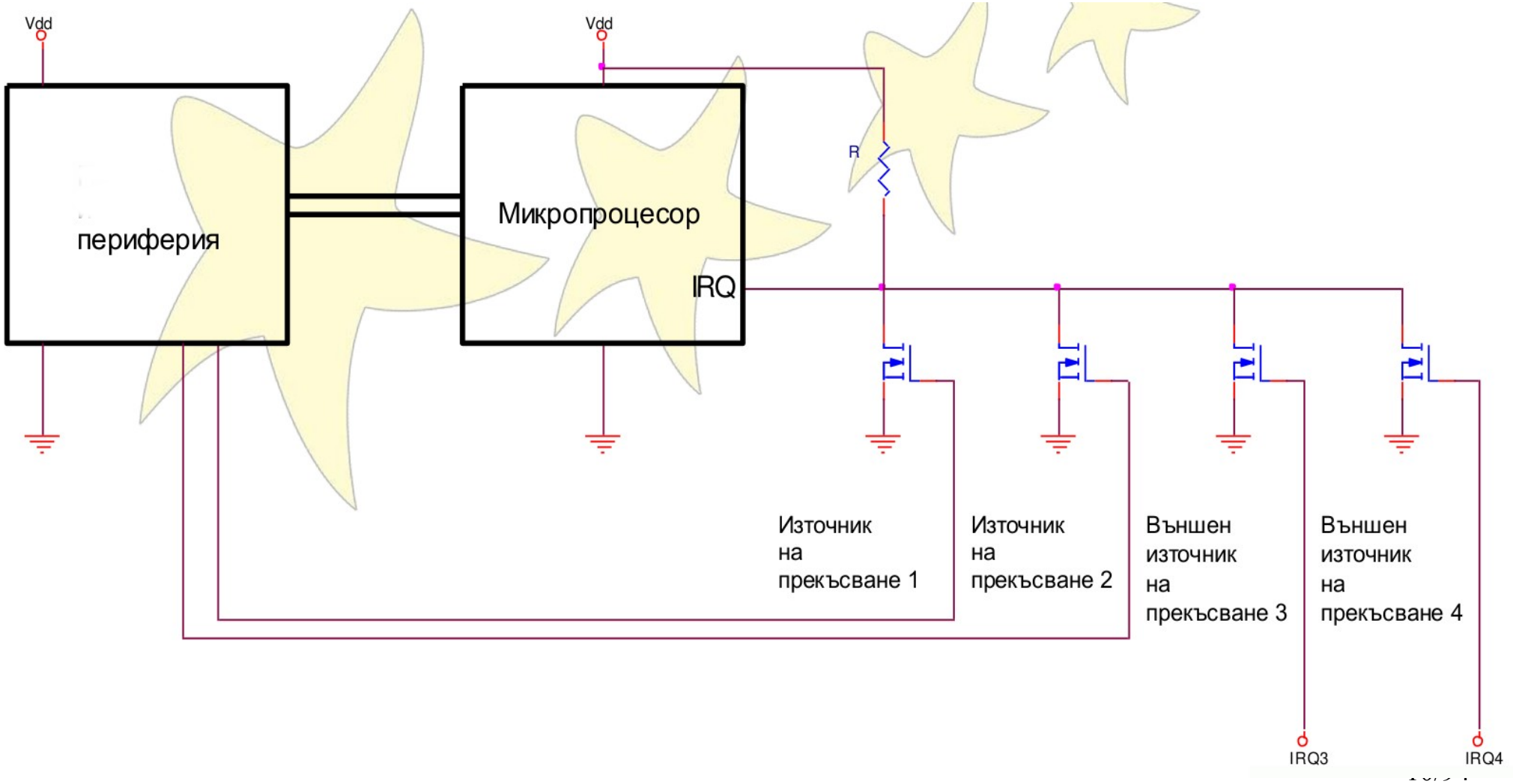


Обслужване на прекъсвания

В практиката по-често срещания вариант е получаване на прекъсване от два или повече източника, както е показано на фигурата. Транзисторите образуват логическата функция **жично ИЛИ**.

В този случай микропроцесорът се нуждае от допълнителен механизъм за **разпознаване на източника**.

Обслужване на прекъсвания



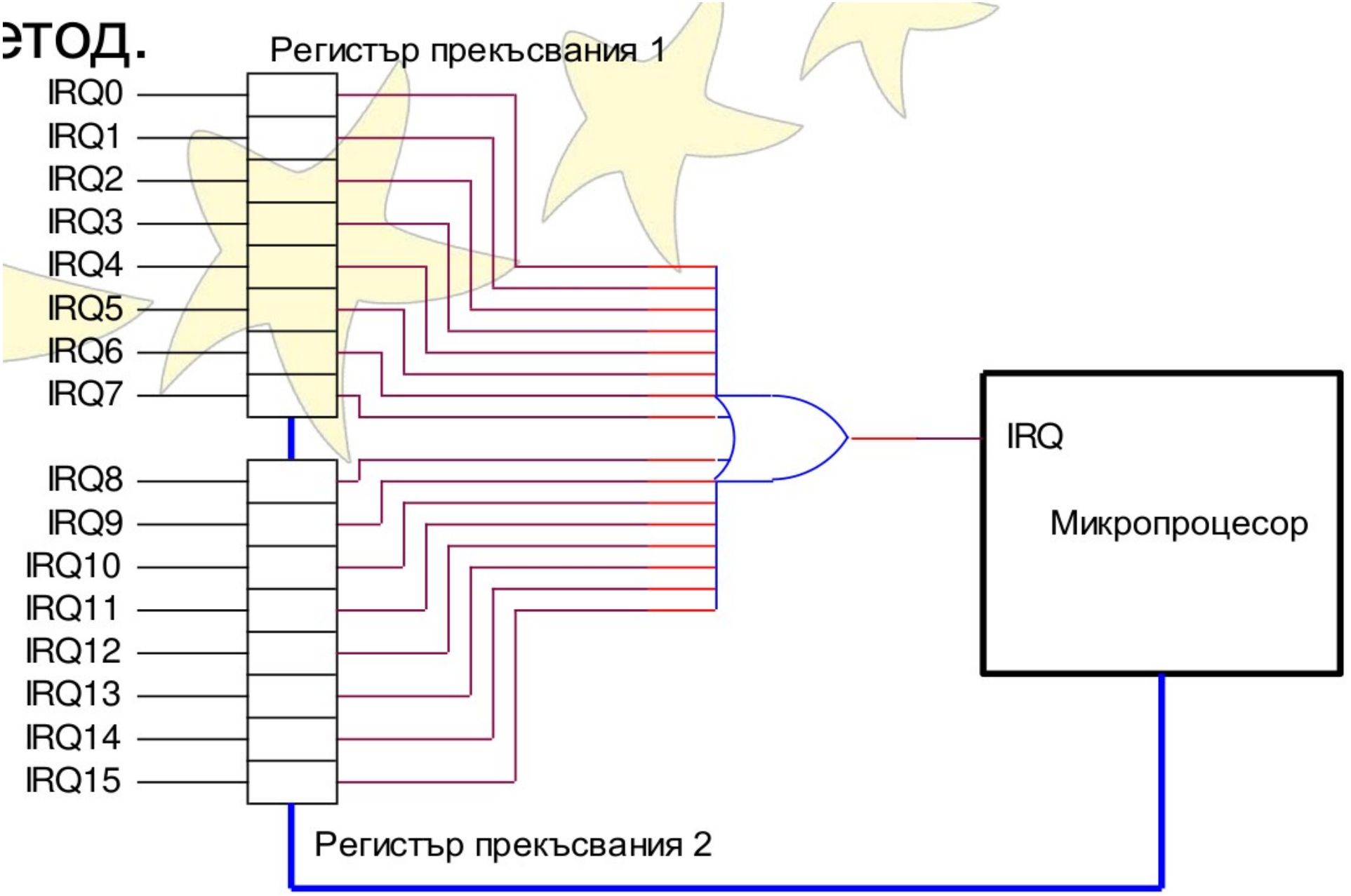
Обслужване на прекъсвания

За да може микропроцесорът да разбере от кой точно източник е получена заявката за прекъсване, **сигналите се буферират в един или няколко регистъра**, които са **част от адресното поле**.

След получаване на сигнал за прекъсване микропроцесорът прочита тези регистри и, знаейки тяхната предишна стойност, определя източника.

На фигурата на следващия слайд е демонстриран този метод.

Обслужване на прекъсвания



Обслужване на прекъсвания

Всеки бит от тези буферни регистри се нарича **флаг на прекъсване**.

Флаговете на прекъсване са винаги активни и отразяват **текущото състояние** на събитията в периферията.

Дали определени събития ще се подадат на входа за прекъсване на μPU зависи от още една група битове, поместени в друг регистър, който служи за разрешаване на прекъсванията.

Обслужване на прекъсвания

Почти винаги е вярно твърдението:
*На всеки флаг за прекъсване съответства един бит за разрешаване на прекъсването. Изключение правят важните прекъсвания, които са винаги разрешени.
(виж по-следващия слайд и немаскируеми прекъсвания)

При обслужване на прекъсването флаговете, които са го предизвикали, **трябва да бъдат нулирани**. В противен случай отново ще се генерира прекъсване и фърмуера ще увисне.

Някои μCU имат периферия, която сама чисти прекъсванията си при прочитане на статус регистъра за прекъсванията.

Обслужване на прекъсвания

При влизане в прекъсване програмата трябва да извърши следните операции:

***трябва да се забранят всички прекъсвания временно;**
*трябва да прочете статус регистъра на прекъсванията, за да разбере точно от кой източник е дошло прекъсването;
*трябва да нулира флага на прекъсването;
*трябва да изпълни действие в отговор на това прекъсване;
***трябва да се разрешат всички прекъсвания отново;**

Първата и последната операция се препоръчват само в критични части от кода, които не трябва да бъдат повлияни от други прекъсвания с по-голям приоритет. Този отрязък от код трябва да е възможно най-кратък или системата ще стане бавнореагираща.

Обслужване на прекъсвания

Пример – обслужване на прекъсвания в TM4C1294, UART модул.

```
void UARTIntHandler(void){
   uint32_t status;
   char ch;

   //Get the interrrupt status.
   status = MAP_UARTIntStatus(UART0_BASE, true);

   //Clear the asserted interrupts.
   MAP_UARTIntClear(UART0_BASE, status);

   //Echo the characters in the receive FIFO.
   while(MAP_UARTCharsAvail(UART0_BASE)){
      ch =MAP_UARTCharGetNonBlocking(UART0_BASE);
      MAP_UARTCharPutNonBlocking(UART0_BASE, ch);
   }
}
```

Обслужване на прекъсвания

Прекъсванията могат да се разделят на два вида според възможността да бъдат контролирани – маскируеми и немаскируеми.

Маскируеми прекъсвания – прекъсвания, които могат да бъдат забранявани. Ако дадено прекъсване е забранено, при появата на сигнал от източника няма да се подаде сигнал към микропроцесора.

Пример – приети данни в преместващия регистър на UART модула.

Пример – преобразуването с АЦП е завършило.

Обслужване на прекъсвания

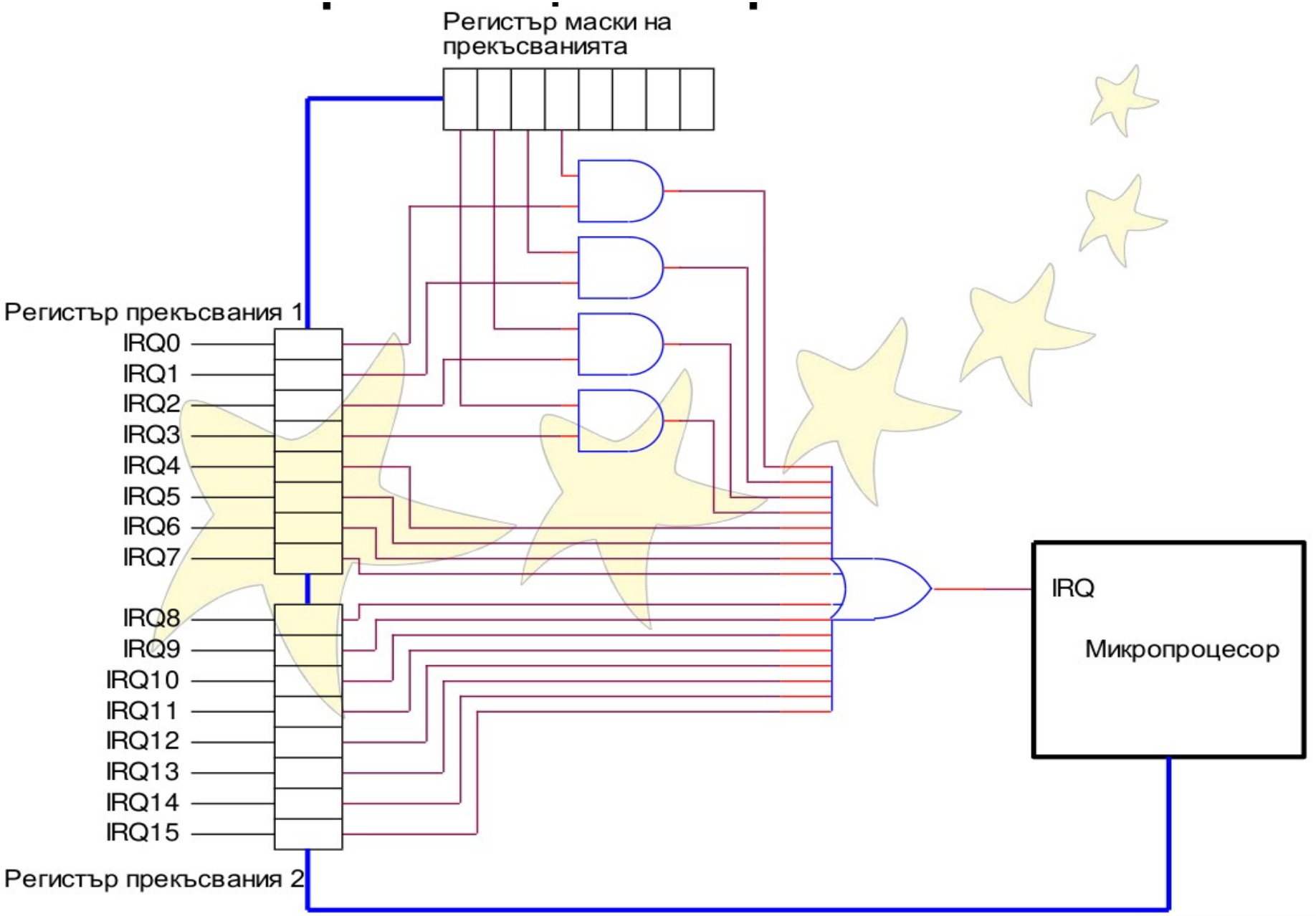
Немаскируеми прекъсвания – прекъсвания, които винаги трябва да се обслужват.

Пример - RESET сигнала – микропроцесорът ще бъде рестартиран винаги при наличието на активно ниво на този сигнал.

Пример - прекъсване при прегряване на чипа.

На следващия слайд е показан пример с 4 маскируеми прекъсвания.

Обслужване на прекъсвания



Обслужване на прекъсвания

Пример – UART модула на MSP430FR6989 има двойката регистри UCAxIFG и UCAxIE, които служат съответно за флагове на прекъсванията и разрешаващи битове на прекъсванията.

Обслужване на прекъсвания

Figure 30-22. UCAxIFG Register

15	14	13	12	11	10	9	8
Reserved							
r-0	r-0	r-0	r-0	r-0	r-0	r-0	r-0
7	6	5	4	3	2	1	0
Reserved				UCTXCPTIFG	UCSTTIFG	UCTXIFG	UCRXIFG
r-0	r-0	r-0	r-0	rw-0	rw-0	rw-1	rw-0

Table 30-18. UCAxIFG Register Description

Bit	Field	Type	Reset	Description
15-4	Reserved	R	0h	Reserved
3	UCTXCPTIFG	RW	0h	Transmit complete interrupt flag. UCTXCPTIFG is set when the entire byte in the internal shift register got shifted out and UCAxTXBUF is empty. 0b = No interrupt pending 1b = Interrupt pending
2	UCSTTIFG	RW	0h	Start bit interrupt flag. UCSTTIFG is set after a Start bit was received 0b = No interrupt pending 1b = Interrupt pending
1	UCTXIFG	RW	1h	Transmit interrupt flag. UCTXIFG is set when UCAxTXBUF empty. 0b = No interrupt pending 1b = Interrupt pending
0	UCRXIFG	RW	0h	Receive interrupt flag. UCRXIFG is set when UCAxRXBUF has received a complete character. 0b = No interrupt pending 1b = Interrupt pending

Обслужване на прекъсвания

eUSCI_Ax Interrupt Enable Register

Figure 30-21. UCAxIE Register

15	14	13	12	11	10	9	8
Reserved							
r-0	r-0	r-0	r-0	r-0	r-0	r-0	r-0
7	6	5	4	3	2	1	0
Reserved				UCTXCPTIE	UCSTTIE	UCTXIE	UCRXIE
r-0	r-0	r-0	r-0	rw-0	rw-0	rw-0	rw-0

Table 30-17. UCAxIE Register Description

Bit	Field	Type	Reset	Description
15-4	Reserved	R	0h	Reserved
3	UCTXCPTIE	RW	0h	Transmit complete interrupt enable 0b = Interrupt disabled 1b = Interrupt enabled
2	UCSTTIE	RW	0h	Start bit interrupt enable 0b = Interrupt disabled 1b = Interrupt enabled
1	UCTXIE	RW	0h	Transmit interrupt enable 0b = Interrupt disabled 1b = Interrupt enabled
0	UCRXIE	RW	0h	Receive interrupt enable 0b = Interrupt disabled 1b = Interrupt enabled

Обслужване на прекъсвания

Прекъсванията могат да се разрешават на различни нива (спрямо главния вход за прекъсване) – глобално, локално и избирателно.

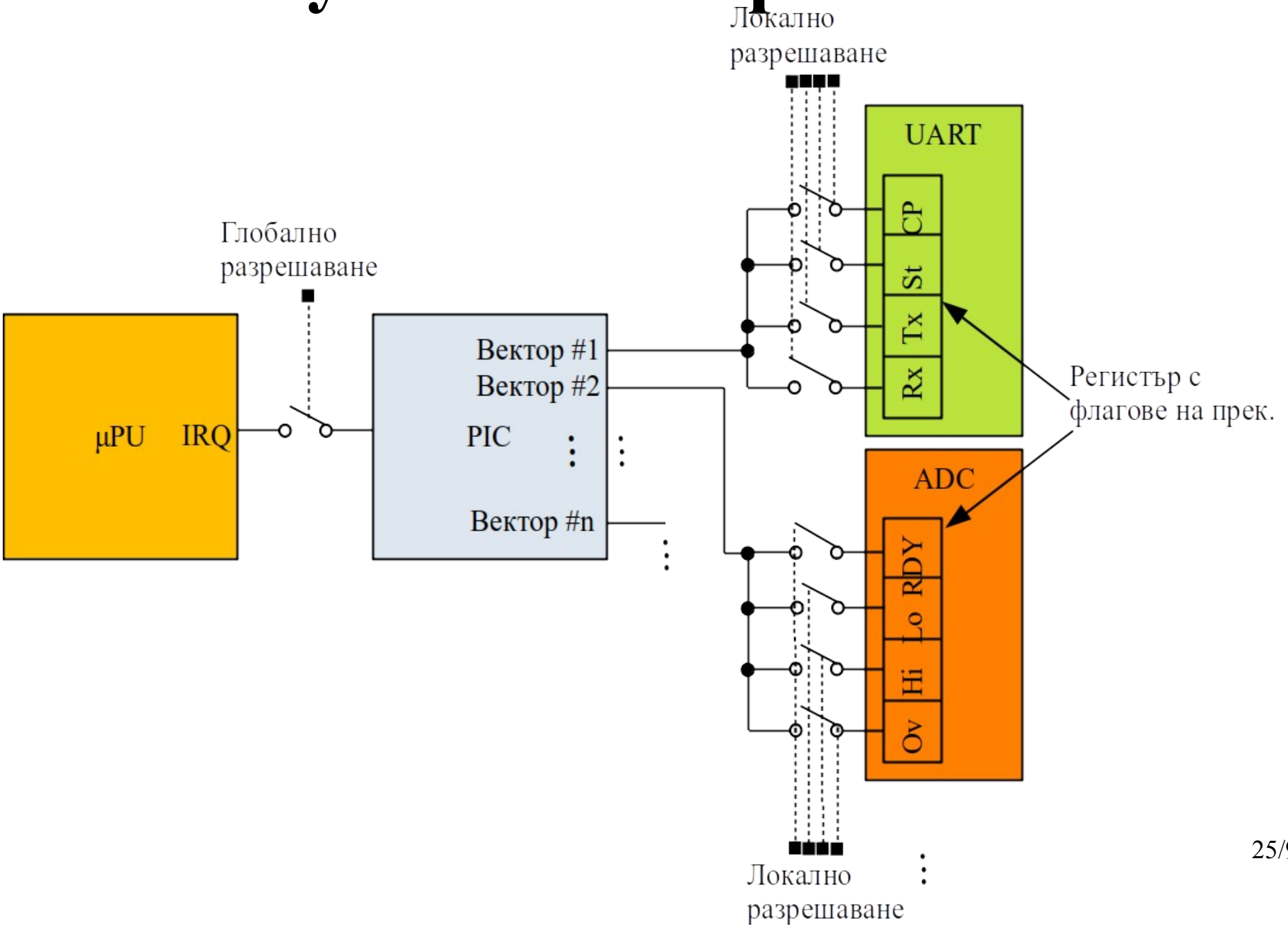
Глобално разрешаване на прекъсванията – входът за прекъсвания на едноядрен μPU се разрешава или забранява. В резултат на това или всички разрешени прекъсвания ще бъдат обслужвани, или нито едно прекъсване няма да бъда обслужено – без значение дали е разрешено или не.

Обслужване на прекъсвания

Локално разрешаване на прекъсванията – флаговете за прекъсванията от един периферен модул се разрешават или забраняват селективно. В резултат на това или тези прекъсвания ще бъдат предадени на глобалния вход за прекъсвания на μPU, или не.

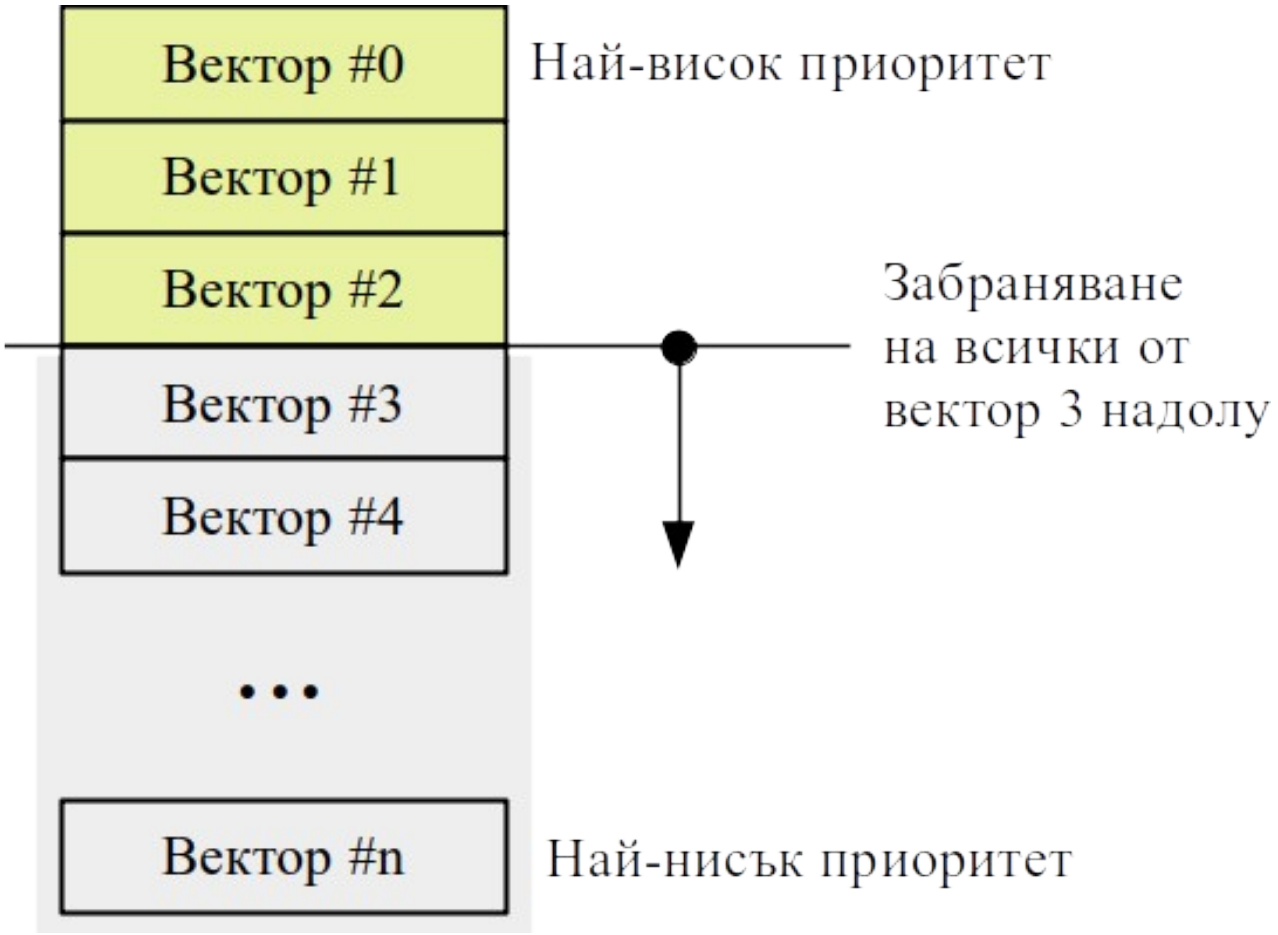
Това означава, че с помощта на локалните прекъсвания временно могат да се забранят дадени функции на системата, докато други останат активни, и обратно.

Обслужване на прекъсвания



Обслужване на прекъсвания

Селективно разрешаване на прекъсванията – всички прекъсвания с приоритет по-нисък от дадена стойност могат да бъдат разрешавани и забранявани.



Обслужване на прекъсвания

Пример – в MSP430 прекъсванията могат да се разрешават локално и глобално.

```
#include <msp430.h>

int main(void){
  WDTCTL = WDTPW | WDTHOLD; // Stop WDT
  P1DIR |= 0x01;                          // P1.0 output
  TA0CCTL0 |= CCIE;                       // CCR0 local interrupt enabled
  TA0CCR0 = 50000;
 TA0CTL = TASSEL_2 | MC_1 | TACLR; //SMCLK, upmode, clear TAR

  __bis_SR_register(GIE); //Enable interrupts globally
  while(1){
       __bis_SR_register(LPM0_bits + GIE); // Enter LPM0,
   }
}

// Timer0 A0 interrupt service routine
void __attribute__ ((interrupt(TIMER0_A0_VECTOR))) timer0_a0_isr (void){
  P1OUT ^= 0x01;   // Toggle P1.0
}
```

Обслужване на прекъсвания

Етапите, през които преминава микропроцесорът при поява на заявка за прекъсване са [1] [2] [3]:
*μPU копира съдържанието на **стековата група** (stack frame) в стека, т.е. някъде около края на SRAM при намаляващ стек, или някъде около началото на SRAM при растящ стек. **Това става хардуерно**, т.е. никъде в кода няма да се видят асемблерни инструкции, които да копират регистри.

Пример – на MSP430 стековата група е съставена от PC, SR.
Пример - ARM Cortex-M стековата група е съставена от PSR, PC, R14, R12, R3, R2, R1, R0.

Обслужване на прекъсвания

За инструкции с числа с плаваща запетая, виж лекцията за FPU.

*паралелно с PUSH-ването на стековата група се **прочита адреса на хендлера** от векторната таблица и се записва в програмния брояч (PC). Това е еквивалентно на влизане в хендлера.
***изпълнява се хендлера** на прекъсването. Добре-написаният фърмуер има много малко код в хендлерите. В хендлерите трябва да се записват флагове, които да сигнализират на main( ) функцията, че събитието се е случило. Обработката на събитието е добре да се случи в main( ).

Времезакъснения (delay) и извеждането на дебъг съобщения (printf) трябва да се избягват в хендлерите.

Обслужване на прекъсвания

Ако в хендлера се използват регистри от ядрото, **които не са част от стековата група**, те трябва да бъдат копирани чрез асемблерни инструкции (PUSH) на стека (SRAM) в началото на хендлера.

*на **излизане от хендлера** се изпълнява една последна специална инструкция, която кара μPU да копира обратно стековата група от SRAM в регистрите на ядрото. Това включва PC, в който се зарежда адреса, до който е било стигнало изпълнението на програмата преди прекъсването. Същото важи и за останалите регистри, които са специфични за всеки μPU (при MSP430 – SR, при ARM Cortex - PSR, R14, R12, R3, R2, R1, R0).

Обслужване на прекъсвания

Инструкцията за излизане от прекъсване при MSP430 е:

reti

Инструкцията за излизане от прекъсване при ARM Cortex е преход (branch) към адрес, записан в специален регистър (link register, lr = r14) :

b r14

Всъщност в r14 има служебен код, който казва на ядрото да възстанови стековата група и да направи преход към стойността на r14, която е PUSH-ната на стека.

Обслужване на прекъсвания

Исторически, цифровата схема, отговорна за съхраняване на векторите на прекъсване, приоритизирането им и максирането им, е била на отделен чип, наречен програмируем контролер на прекъсванията (PIC, **P**rogrammable **I**nterrupt **C**ontroller).

На схемата е показан класическият 8259A, съвместим с 8086, 8088.

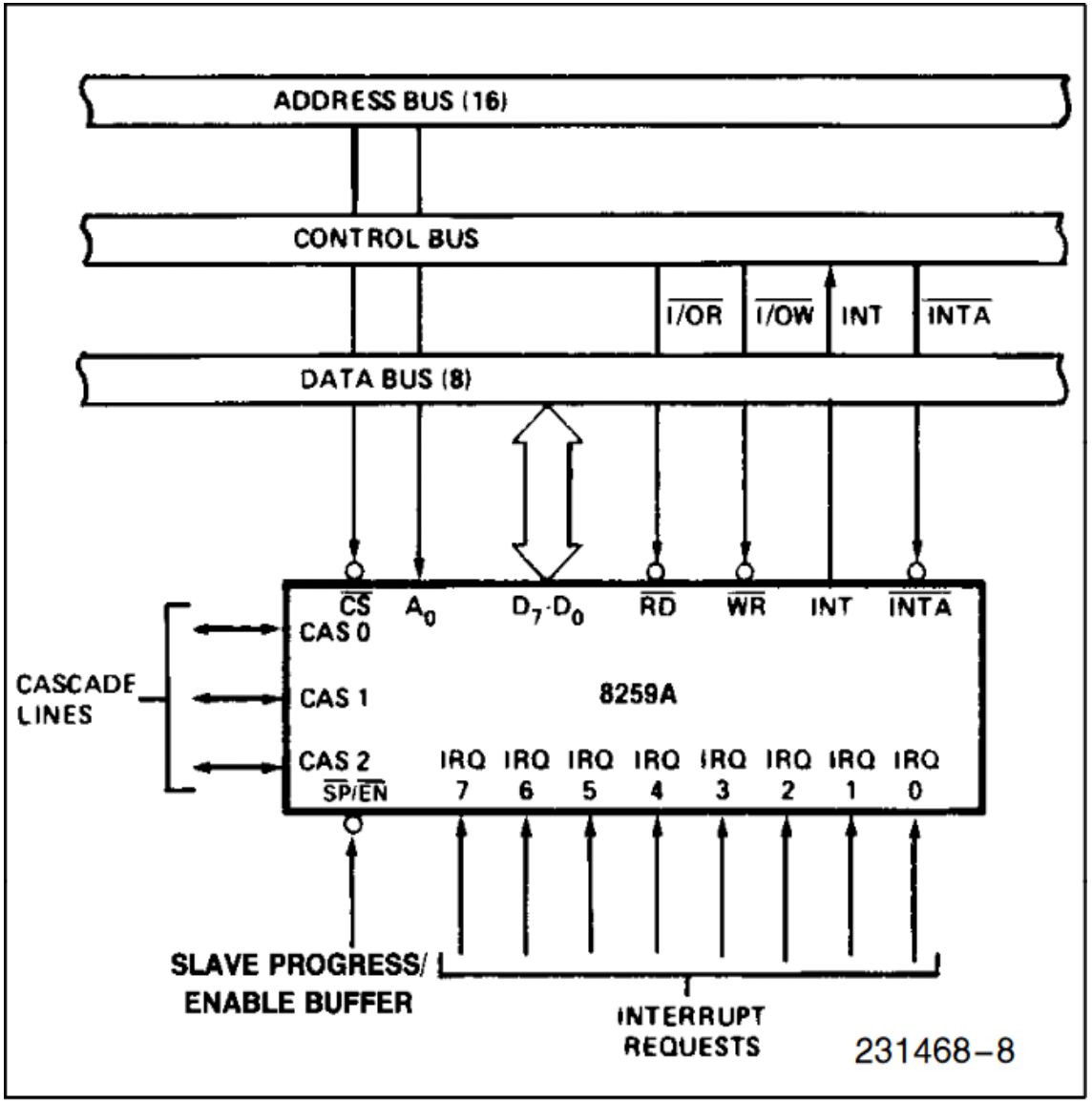


Figure 5. 8259A Interface to Standard System Bus

Обслужване на прекъсвания

В съвременните вградени системи **контролерът на прекъсванията е част от µPU** и се интегрира на чипа.

Източниците на прекъсвания се свързват към входовете на контролера на прекъсванията от **производителя**. Това означава, че приоритетите на прекъсванията са фиксирани от производителя.

ARM Cortex могат да **препрограмират приоритетите** по време на изпълнението на програмата.

При MSP430 всяка периферия има регистър, който указва точно от **кой източник е дошло прекъсването**, което ускорява обслужването му.

Обслужване на прекъсвания

Пример – MSP430, UART модул, IV регистър. Прилича на “малка векторна таблица”, локално в модула.

30.4.12 UCAxIV Register

eUSCI_Ax Interrupt Vector Register

Figure 30-23. UCAxIV Register

15	14	13	12	11	10	9	8
UCIVx							
r0	r0	r0	r0	r0	r0	r0	r0
7	6	5	4	3	2	1	0
UCIVx							
r0	r0	r0	r0	r-(0)	r-(0)	r-(0)	r0

Table 30-19. UCAxIV Register Description

Bit	Field	Type	Reset	Description
15-0	UCIVx	R	0h	eUSCI_A interrupt vector value 00h = No interrupt pending 02h = Interrupt Source: Receive buffer full; Interrupt Flag: UCRXIFG; Interrupt Priority: Highest 04h = Interrupt Source: Transmit buffer empty; Interrupt Flag: UCTXIFG 06h = Interrupt Source: Start bit received; Interrupt Flag: UCSTTIFG 08h = Interrupt Source: Transmit complete; Interrupt Flag: UCTXCPTIFG; Interrupt Priority: Lowest

Обслужване на прекъсвания

```
void __attribute__ ((interrupt(USCI_A0_VECTOR))) USCI_A0_ISR (void){
  switch(UCA0IV)){
  case 0:
       //Vector 0 - no interrupt
      break;
  case 2:
       //Vector 2 - RXIFG
       ...
      break;
  case 4:
       //Vector 4 – TXIFG
       ...
      break;
  default:
      break;
  }
}
```

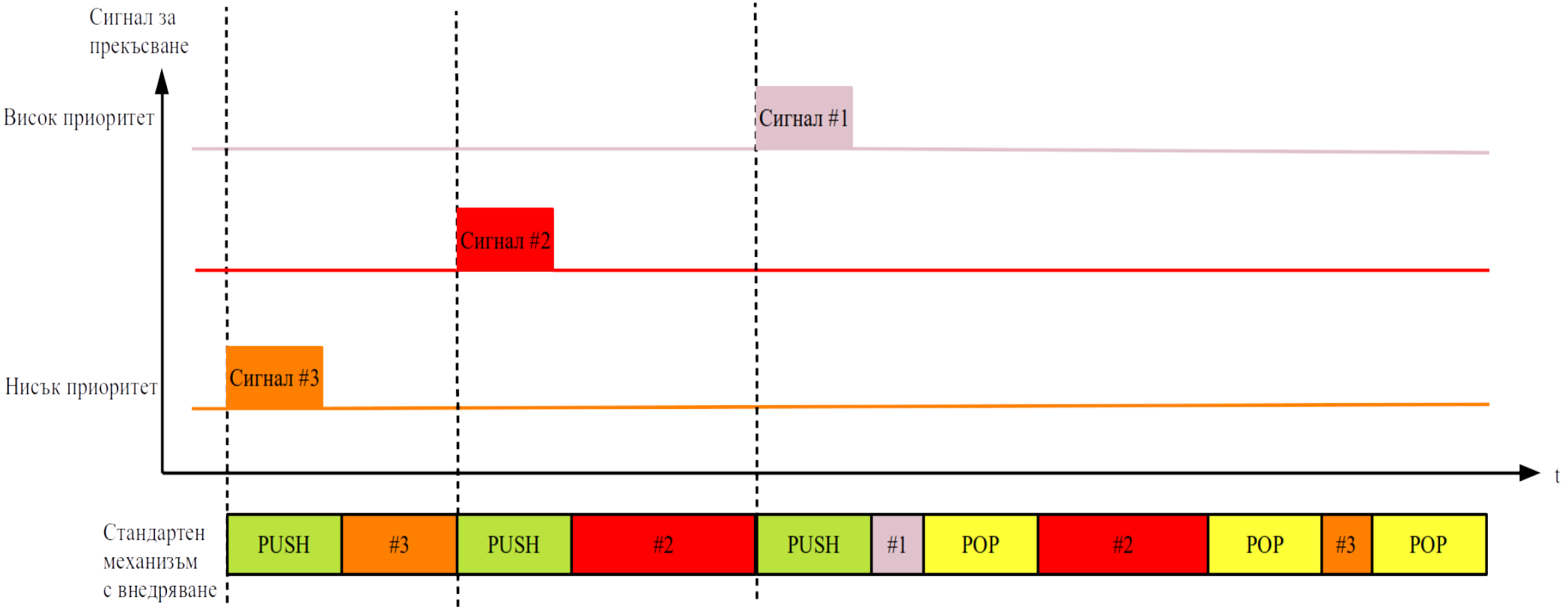
Обслужване на прекъсвания

Прекъсванията изискват специални механизми за обслужване, в случаите когато постъпят два или повече сигнала за прекъсване в един и същ момент.

Внедряване на прекъсванията (interrupt preemption) – изпълнението на хендлера на едно прекъсване може да бъде временно спряно, за да се изпълни хендлера на друго прекъсване. Това може да стане само, ако приоритета на новодошлото прекъсване е по-голям от настоящо-изпълняващото се прекъсване.

Не може да съществуват прекъсвания с един и същ приоритет (освен ако не се въведат суб-приоритети, както е при ARM Cortex).

Обслужване на прекъсвания

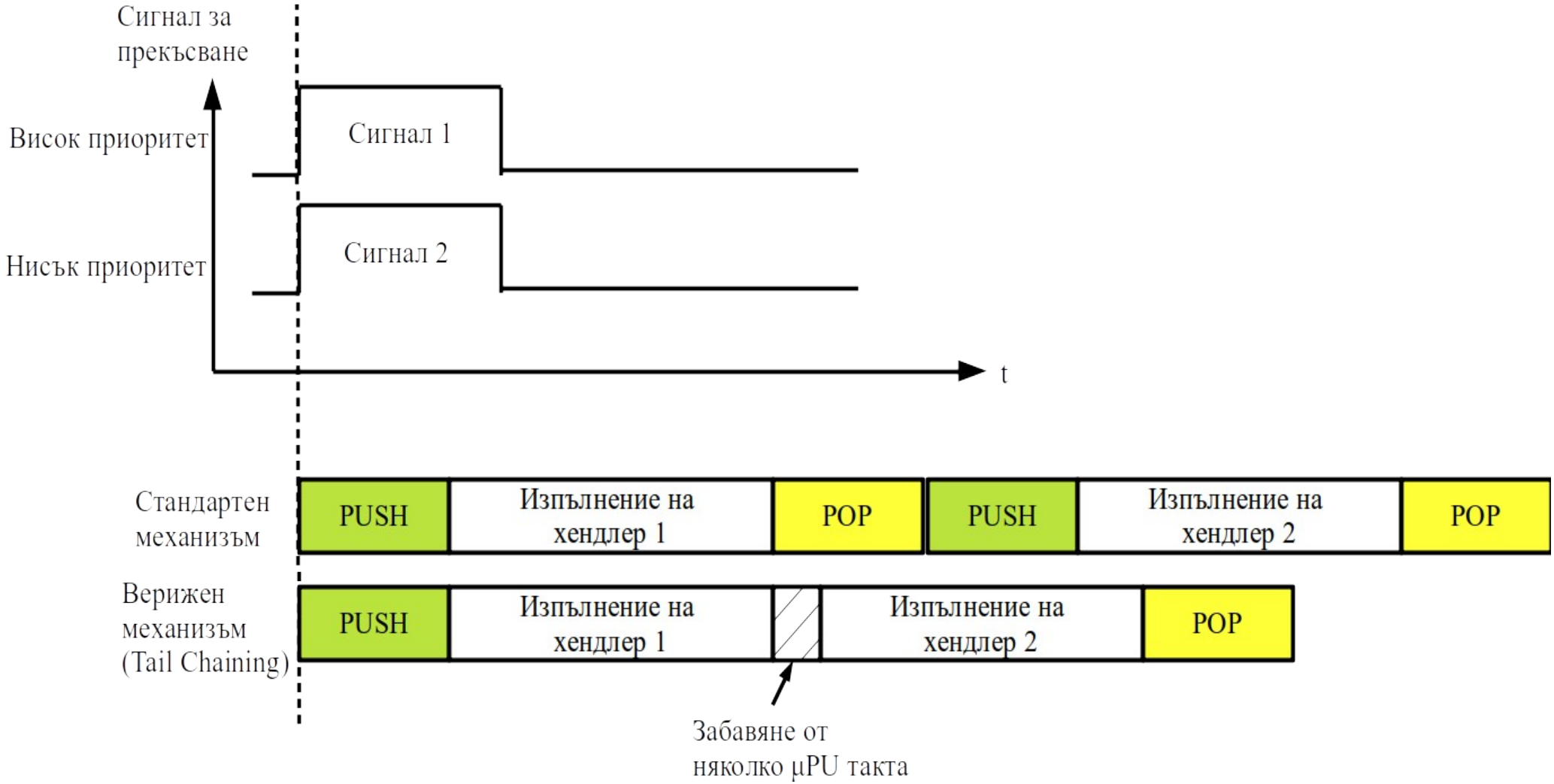


Обслужване на прекъсвания

Верижен механизъм (tail chaining) – при едновременно постъпване на сигнали за прекъсване, преминаването от хендлер 1 в хендлер 2 става без да се записва (PUSH) и възстановява (POP) стека. Резултатът – по-бързо обслужване на прекъсванията спрямо стандартния подход. Методът е демонстриран на следващия слайд[3].

Преминаването от един хендлер в друг не става мигновено, а изисква няколко системни такта, обусловени от вътрешната структура на μPU.

Обслужване на прекъсвания

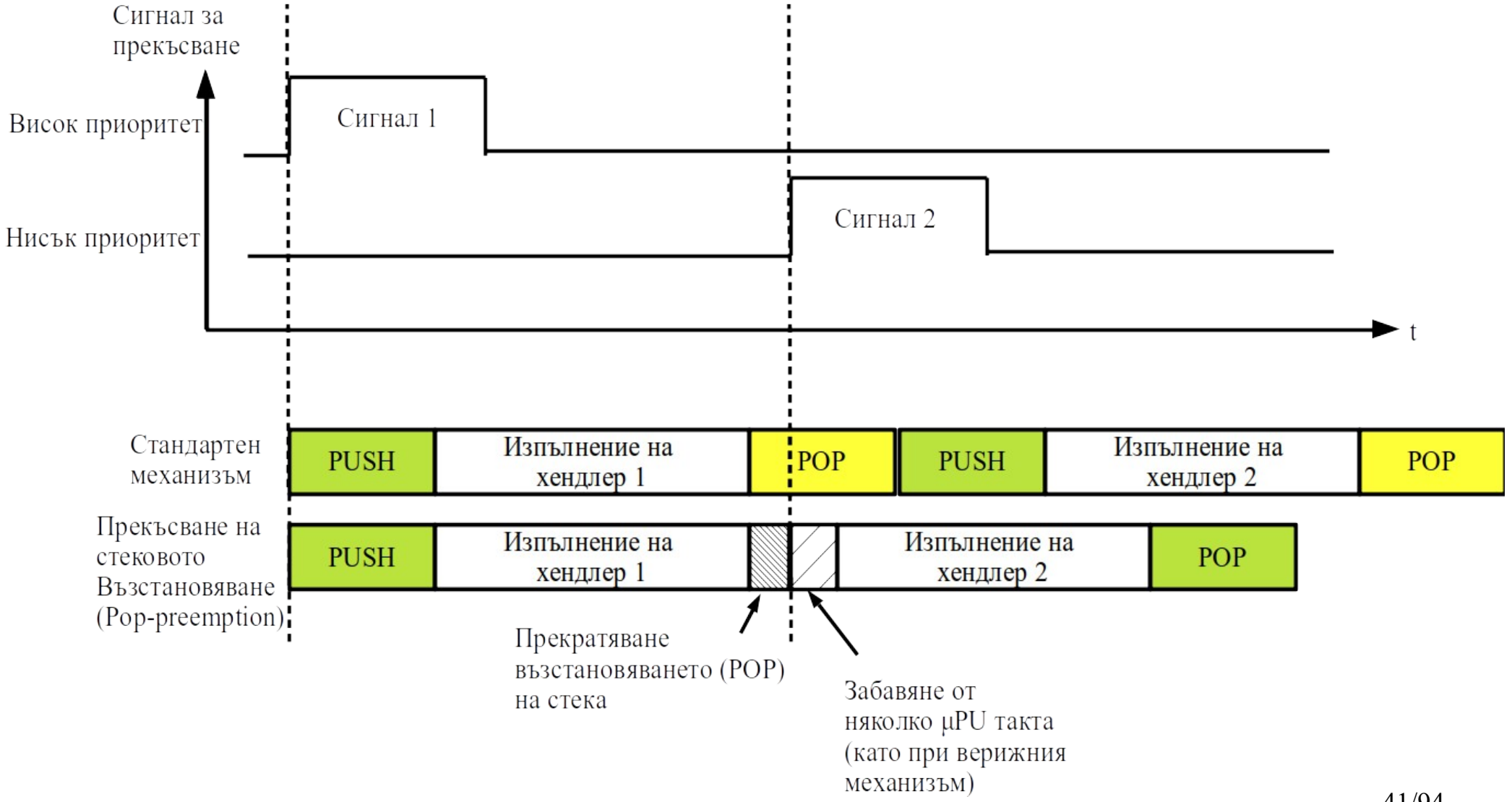


Обслужване на прекъсвания

Прекъсване на стековото възстановяване (pop pre-emption) – при постъпване на сигнал за прекъсване, докато μPU излиза от друго прекъсване, се прекратява възстановяването на стека (POP) и се преминава към изпълняване на следващия хендлер. Методът е демонстриран на следващия слайд.

Прекратяването на процеса по възстановяване на стека не може да стане мигновено и са необходими няколко системни такта за целите на микропроцесорната логика.

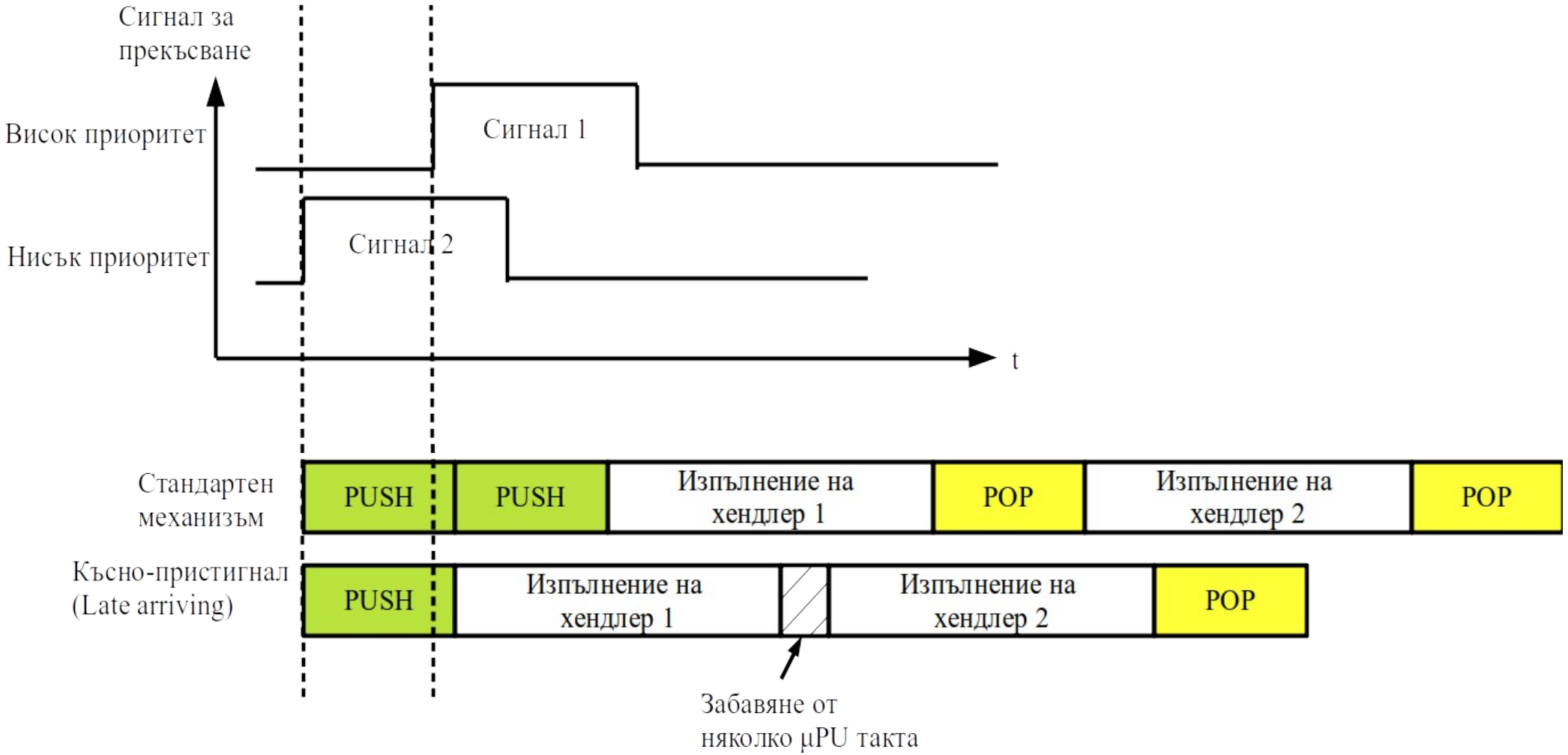
Обслужване на прекъсвания



Обслужване на прекъсвания

Късно-пристигнал (late arriving) – изпълнение на хендлер с висок приоритет във времевия слот на хендлер с нисък приоритет, ако първият е пристигнал по време на PUSH операцията на втория.

Обслужване на прекъсвания



Контролер за директен достъп (DMA)

Контролерът за директен достъп до паметта (**D**irect **M**emory **A**ccess controller - DMA) служи за автоматично прехвърляне на данни от един адрес на друг без намесата на микропроцесора.

Това се прави с цел повишаване производителността на микропроцесорната система. Възможно е също да се понижи консумираната енергия.

Използват се трансфери от периферни модули и/или RAM паметта.

Контролер за директен достъп (DMA)

Съществуват три вида реализации на DMA[4]:
*DMA със спиране на μPU
*DMA с отнемане на цикли (interleaving)
*DMA с паралелни трансфери

DMA със спиране на μPU – DMA е свързан към магистралата/магистралите на μPU. Докато трае директния трансфер, μPU е блокиран и не изпълнява инструкции. Когато приключи трансфера, μPU продължава изпълнението на програмата.

Контролер за директен достъп (DMA)

DMA с отнемане на цикли (interleaving) – DMA е свързан към магистралата/магистралите на μPU. Докато DMA извършва трансфер, μPU е блокиран и не изпълнява инструкции. След даден брой трансфери (определен от програмиста) DMA се блокира и се пуска отново μPU. След няколко такта μPU се блокира отново и се дава времеви прозорец на DMA и т.н.

Така μPU и DMA никога не достъпват системната магистрала/и едновременно. Когато DMA трансфера приключи, μPU продължава да работи на 100 %.

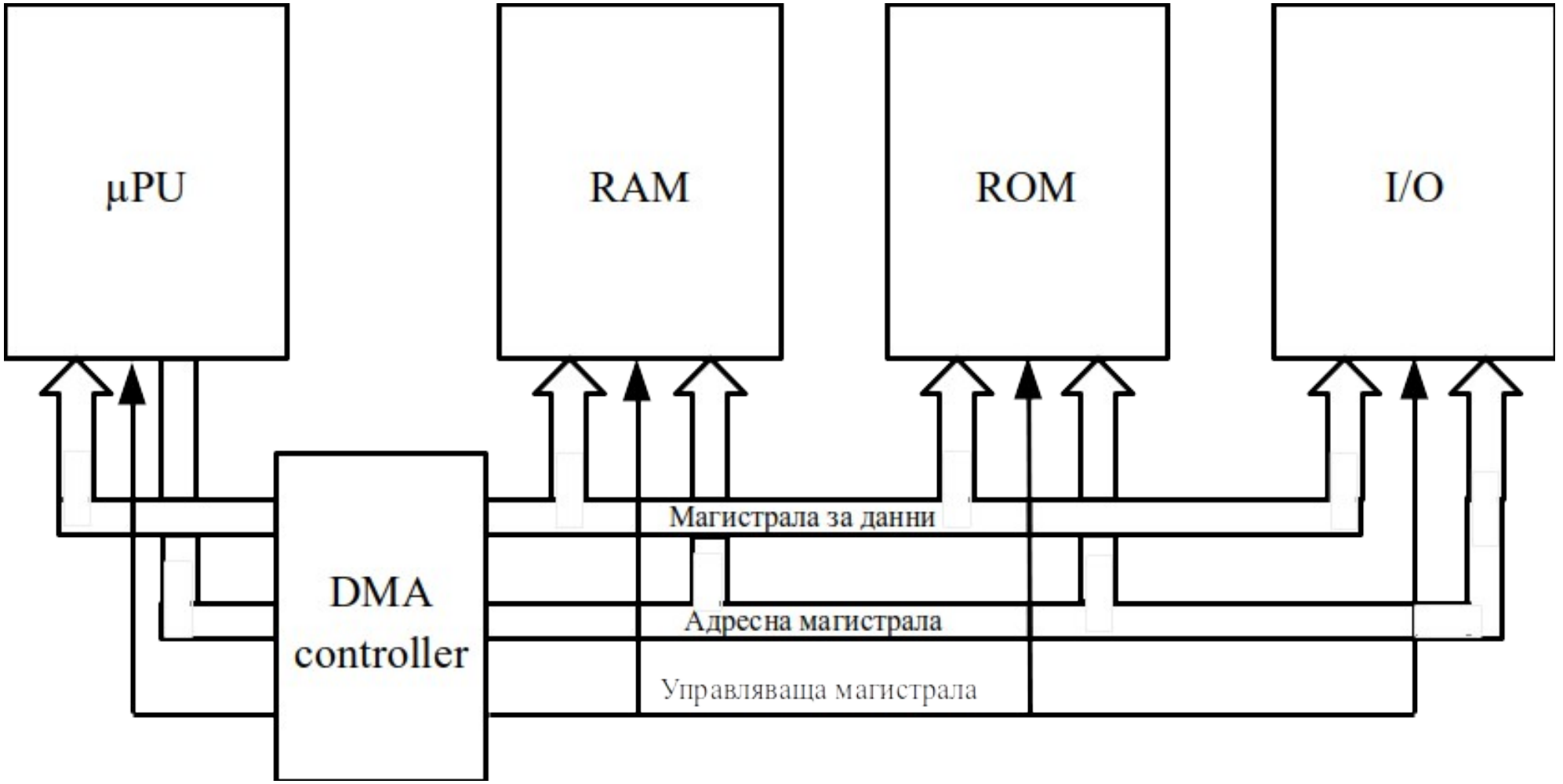
Изброените методи са показани на по-следващия слайд.

Контролер за директен достъп (DMA)

Пример – Intel 8080 може да използва външната DMA ИС 8257 и да работи в режим със спиране. За целта 8080 има сигнал HOLD.

Пример – MSP430 може да работи с вградения си DMA контролер режим със спиране (single & block transfer) или в режим с отнемане на цикли (burst-block mode).

Контролер за директен достъп (DMA)



Контролер за директен достъп (DMA)

Защо ни е DMA, ако трансферите блокират μPU?

Контролер за директен достъп (DMA)

При MSP430 DMA копира данни от кой-да-е адрес към друг адрес за **2 такта** [5]. Броят байтове/думи може да се задава.

Аналогична програма на Асемблер би изглеждала така:

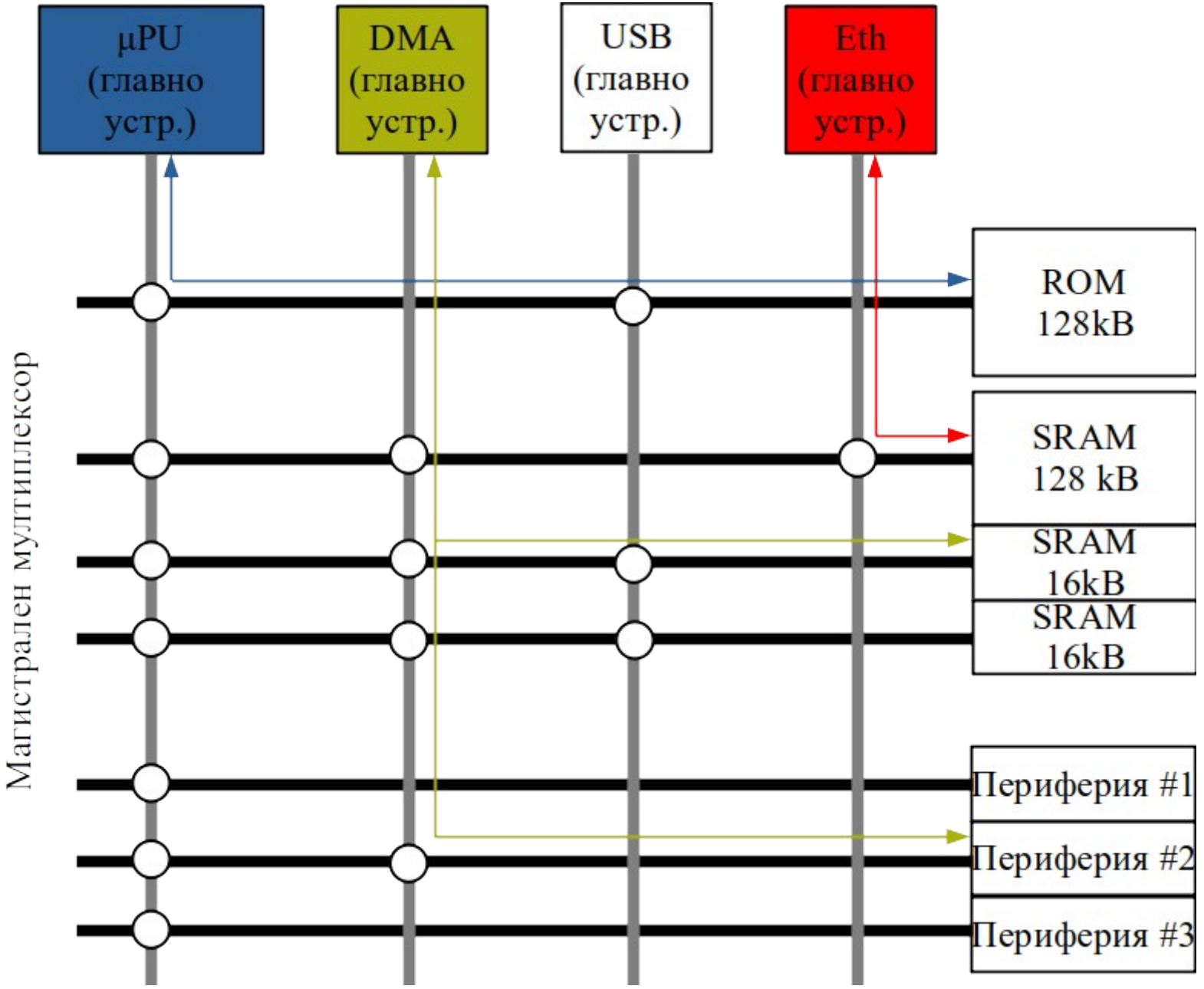
```
        mov.w #0x1c00, r8
        mov.w #0x1c40, r9
        mov.w #0x1c50, r7

copy: mov.w   @r8+, 0(r9)    ;4 такта
       add.w  #2, r9         ;2 такта
       cmp    r7, r9         ;1 такт
       jnz    copy           ;2 такта
```

Контролер за директен достъп (DMA)

Паралелен DMA – DMA е свързан към мултиплексор на магистрали (switch matrix). В системата има няколко магистрали, всяка от които се свързва само с определена периферия. Ако μPU и DMA достъпват периферия по магистрали, които не се застъпват, DMA трансферите са изцяло паралелни [3]. Ако се застъпват – използва се режим с отнемане на цикли.

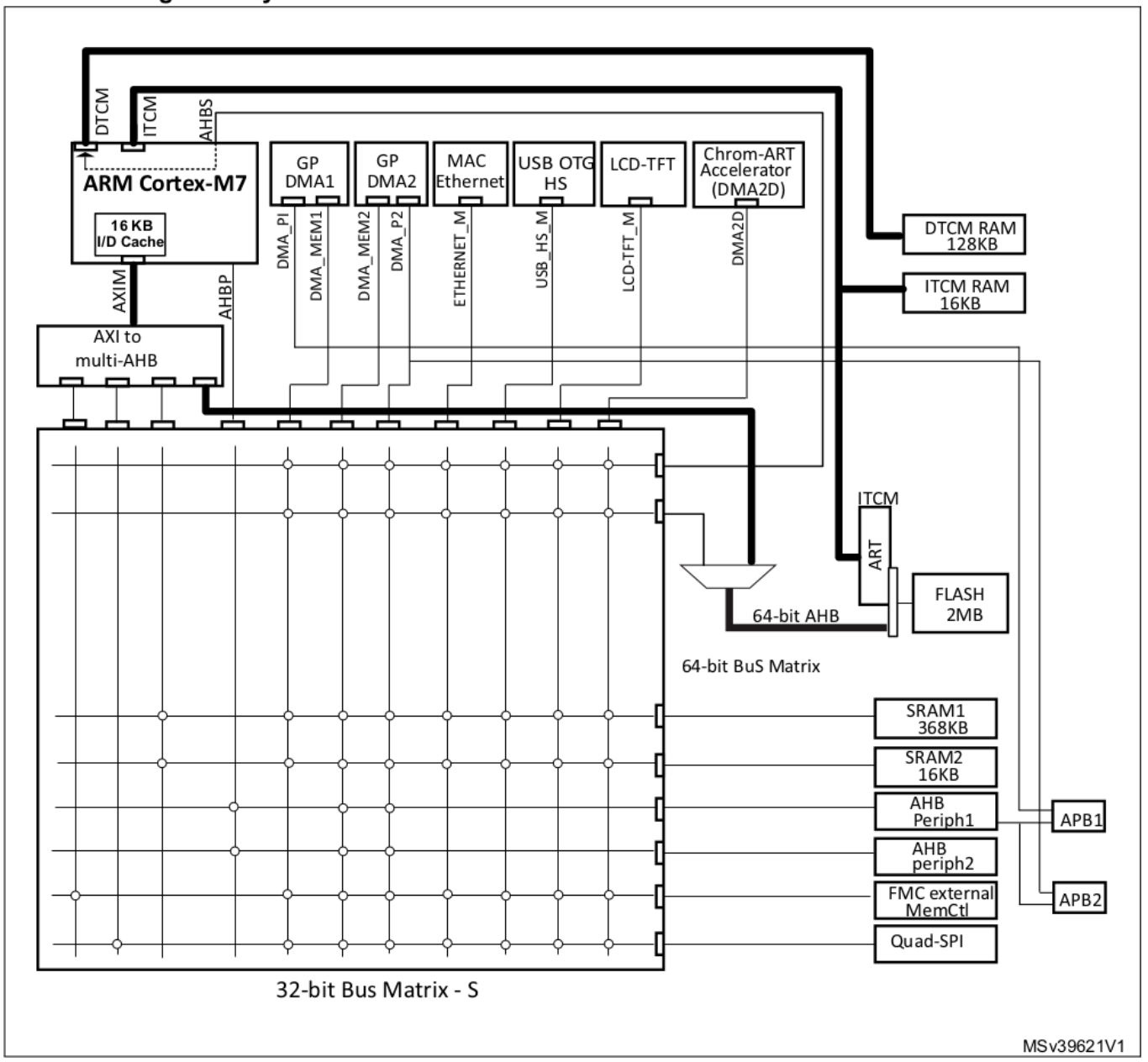
Контролер за директен достъп (DMA)



Контролер за директен достъп (DMA)

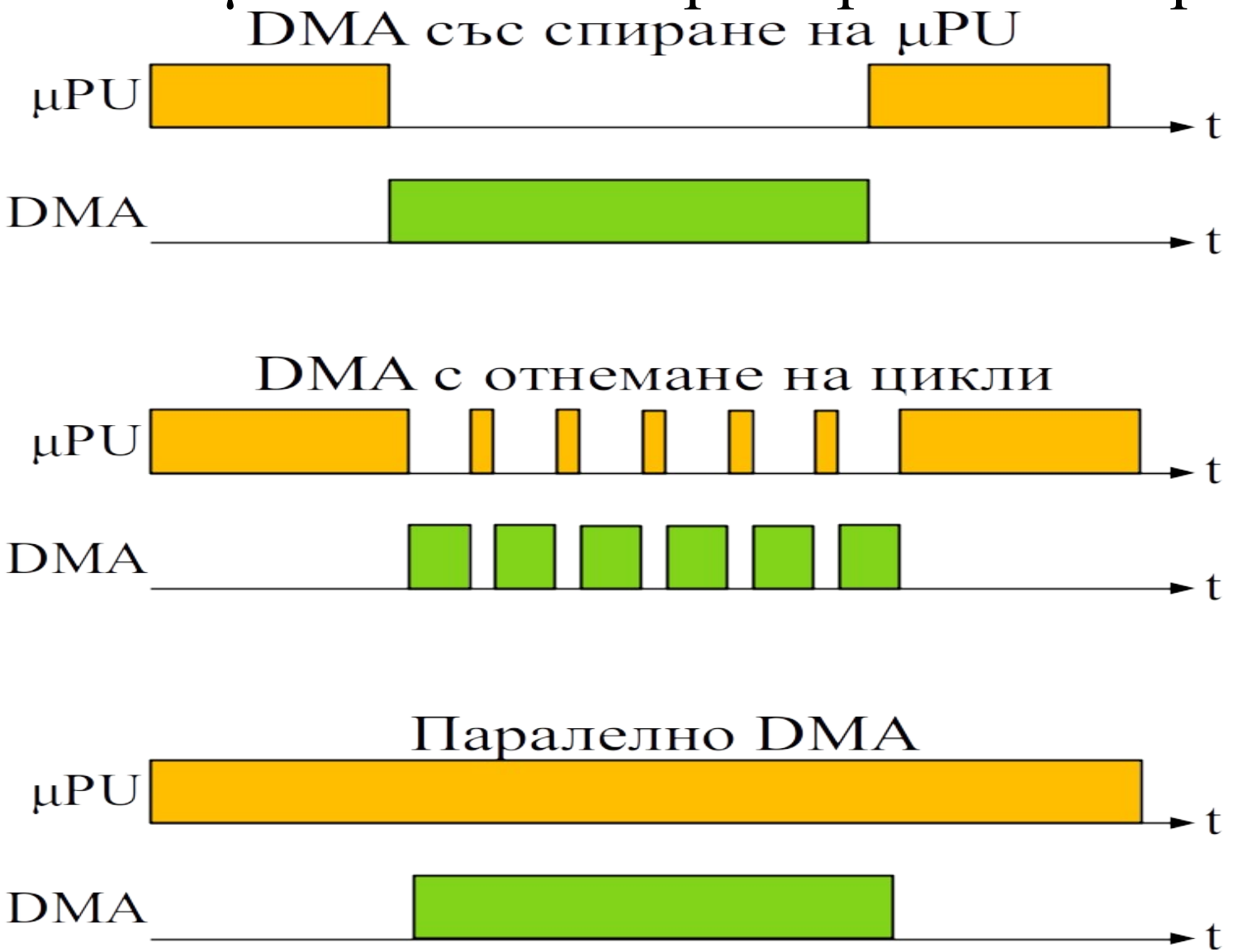
Пример – STM32F769 разполага с магистрален мултиплексор и 8 набора от магистрали.

Figure 1. System architecture for STM32F76xxx and STM32F77xxx devices



Контролер за директен достъп (DMA)

Активност на μPU и DMA в трите режима на работа.



Контролер за директен достъп (DMA)

DMA контролерите може да имат повече от един канал за директно прехвърляне на данни. Всеки канал се реализира с FIFO буфер с поне един регистър.

При първите два режима (със спиране на μPU и отнемане на цикли) наборът от магистрали е един и се налага каналите да поделят достъпа до него помежду си. Те трябва да използват **схема за приоритизиране на трансферите:**

***фиксирано разпределяне** – последователността е предварително известна и не се променя. Каналите с по-висок приоритет са с предимство, но не прекъсват текущи трансфери, дори да са с по-малък приоритет. Чак след завършване на първия трансфер започва втория.

Контролер за директен достъп (DMA)

***разпределяне с инверсия на приоритета –** трансферите с висок приоритет се извършват, след което приоритетът им се свежда до минимум. Това гарантира, че всички канали ще получат време за трансфер.

***софтуерно зададен приоритет –** фърмуерът задава приоритетите при инициализацията на модула. Това става чрез запис на съответните стойности в регистри, специално направени за целта.

При третият режим (DMA с паралелни трансфери) се използват няколко набора от магистрали, които може да прехвърлят данни едновременно и **приоритизиране не се налага**. Ако два или повече канала достъпват един набор от магистрали, може да се използва фиксирано, инверсно или софтуерно приоритизиране.

Контролер за директен достъп (DMA)

Пример – MSP430 има DMA с три канала, използващи фиксирана (preemptive/ roundrobin) или инверсна приоритиза-ция.

FIFO = 1 регистър

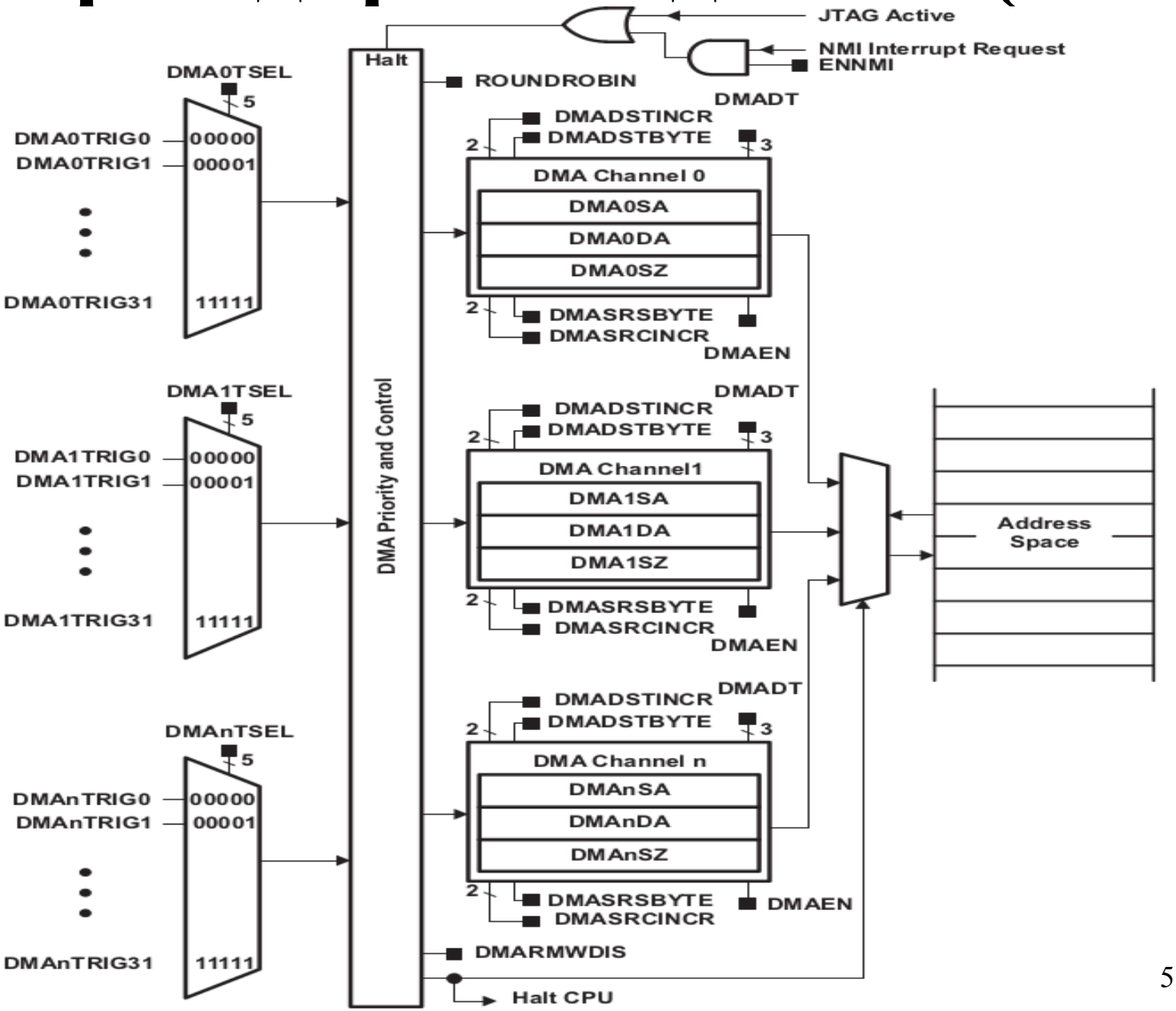
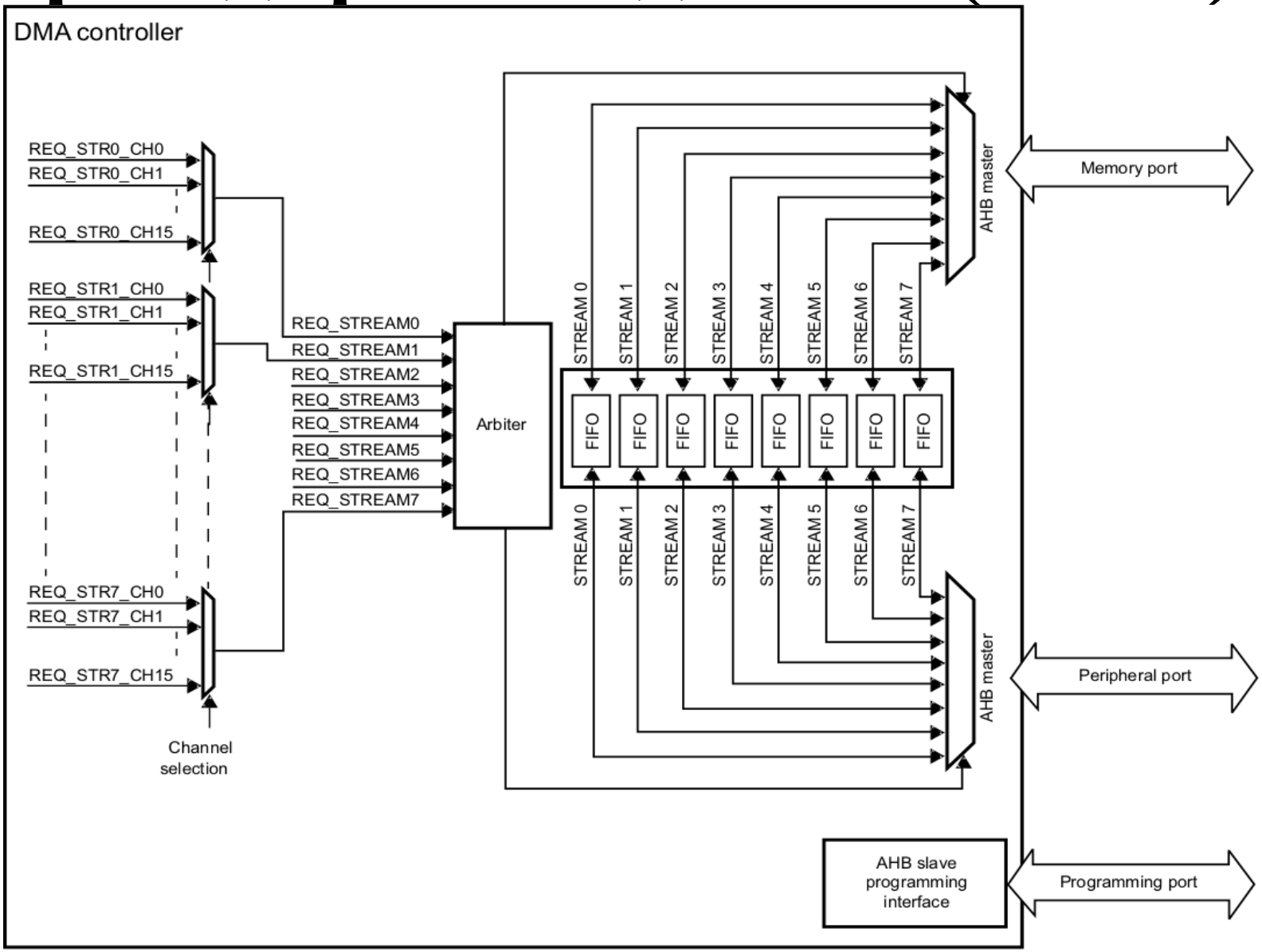


Figure 11-1. DMA Controller Block Diagram

Контролер за директен достъп (DMA)

Пример – STM32 има DMA с осем канала, използващи софтуерна приоритиза-ция с 4 нива.

FIFO = 4 регистъра



Контролер за директен достъп (DMA)

За да се конфигурира DMA контролера, μPU записва съответните стойности в **контролните му регистри**. След това **трансферите се стартират еднократно или периодично**, и в повечето случаи конфигурацията не се применя.

В зависимост от броя на регистрите-източници и регистрите-приемници, има 4 режима на прехвърляне:

Контролер за директен достъп (DMA)

***от фиксиран адрес към фиксиран адрес** – прехвърля се само една дума от един регистър-източник в друг регистър-приемник.

Пример – измерената стойност от АЦП се записва в ЦАП (passthrough).

***от фиксиран адрес към блок от адреси** – прехвърля се повече от една дума от един регистър-източник към няколко последователни регистри-приемници.

Пример – при измерване с АЦП може няколко отчета да се запишат в RAM паметта на последователни адреси (“осцилограма”).

Контролер за директен достъп (DMA)

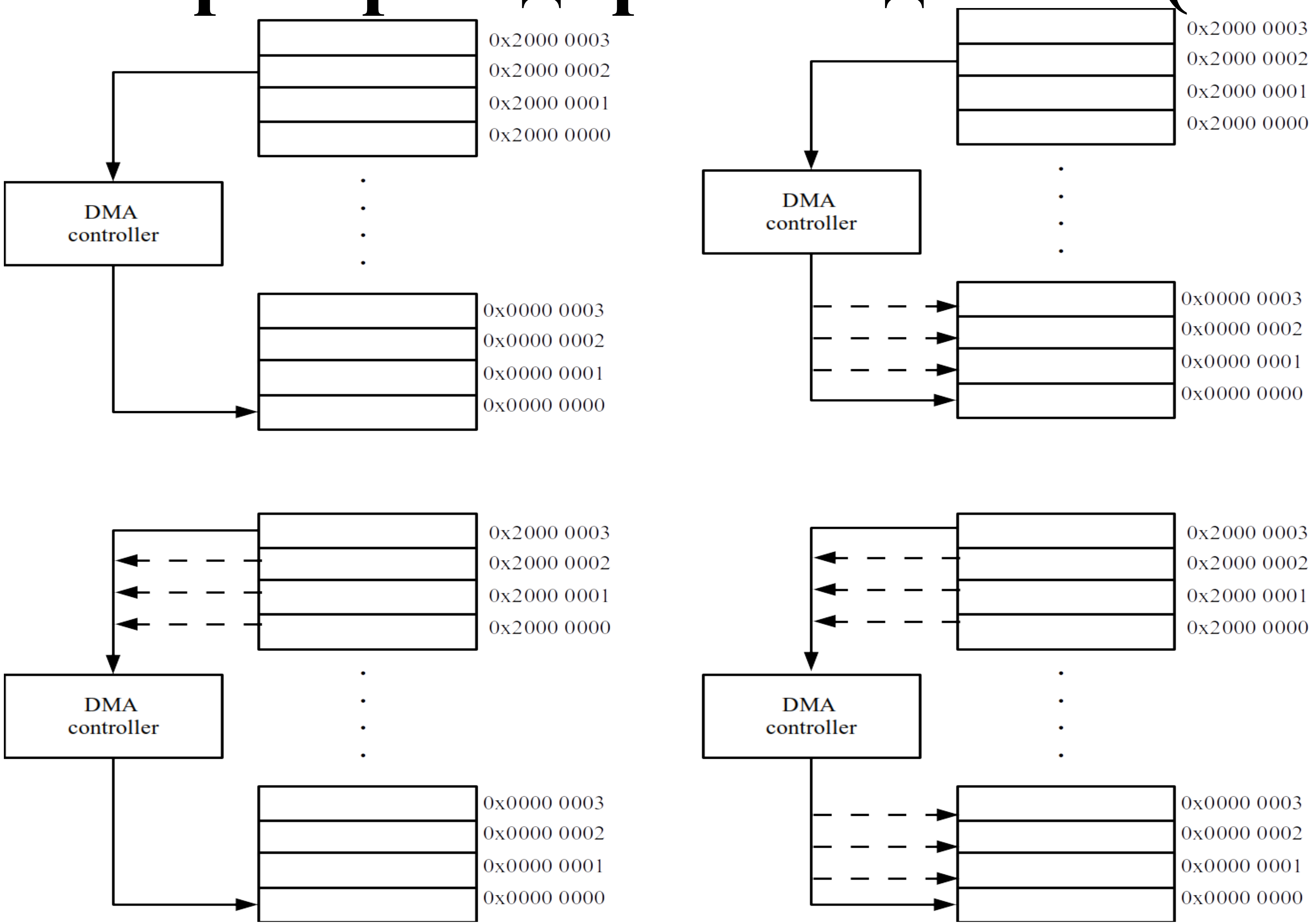
***блок от адреси към фиксиран адрес** – прехвърля се повече от една дума от няколко последователни регистри-източници към един регистър-приемник.

Пример – данните от масив в RAM се записват в регистъра на ЦАП (“аудио изход”, DDS синтез на сигнали).

***блок от адреси към блок от адреси** – прехвърлят се повече от една дума от няколко последователни регистри-източници към няколко последователни регистри-приемници.

Пример – копиране на кръгови буфери от един регион на RAM в друг. Първият регион се използва като работен от някаква периферия (UART, USB, Ethernet), а вторият се използва от софтуера за обработка на данните (двойно буфериране).

Контролер за директен достъп (DMA)



Контролер за директен достъп (DMA)

В зависимост от вида на стартиращия сигнал на трансфера, контролерите могат да работят в следните режими [6]:

***еднократен** (single transfer) – всяка една дума се прехвърля само при постъпване на стартиращ (trigger) сигнал. При достигане на последния адрес от трансфера DMA каналът се забранява.

***кръгово-еднократен** (repeated single transfer) – всяка една дума се прехвърля само при постъпване на стартиращ (trigger) сигнал. При достигане на последния адрес от трансфера DMA каналът се връща в началния адрес и е готов за следващ трансфер.

Контролер за директен достъп (DMA)

***блоков** (block transfer) - при постъпване на един стартиращ (trigger) сигнал се прехвърлят всички думи от първия до последния адрес. При достигане на последния адрес от трансфера DMA канала се забранява.

***кръгово-блоков** (repeated block transfer) - при постъпване на един стартиращ (trigger) сигнал се прехвърлят всички думи от първия до последния адрес. При достигане на последния адрес от трансфера DMA каналът се връща в началния адрес и е готов за следващ трансфер.

Контролер за директен достъп (DMA)

При DMA трансферите **адресите** на източниците и приемниците **може да се променят по три начина**:

*да се инкрементират (+1 за байт, +2 за 16-битови думи, +4 за 32-битови думи)

*да се декрементират (-1 за байт, -2 за 16-битови думи, -4 за 32-битови думи)

*да са постоянни.

Контролер за директен достъп (DMA)

Източниците на стартиращи сигнали в DMA са два вида:

*софтуерни – потребителският фърмуер стартира трансферите чрез запис на бит в контролен регистър

*хардуерни – трансферите се стартират от периферни модули на μCU – напр. аналогов компаратор, АЦП, UART, SPI и др.

Методи за понижаване на E/P

Във вградените системи се използват различни методи за намаляване на консумираната енергия. Най-често реализираните са:

*използване на sleep режими.
*динамично изменение на системната честота.
*динамично изменение захранващото напрежение на μPU.
*динамично включване и изключване на периферните модули на μCU.
*софтуерни методи – оптимизация на код, оптимизация достъпа до паметта, оптимизация на междупроцесната комуникация (при OS), оптимизация на диспечера на операционната системи и др.

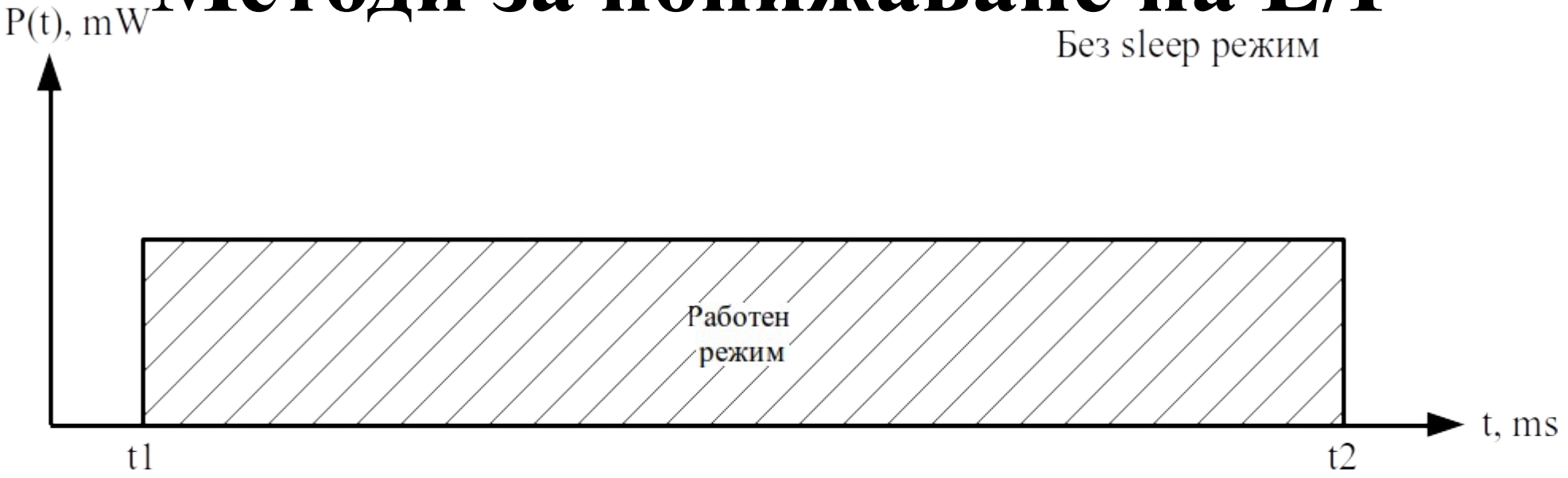
Методи за понижаване на Е/Р

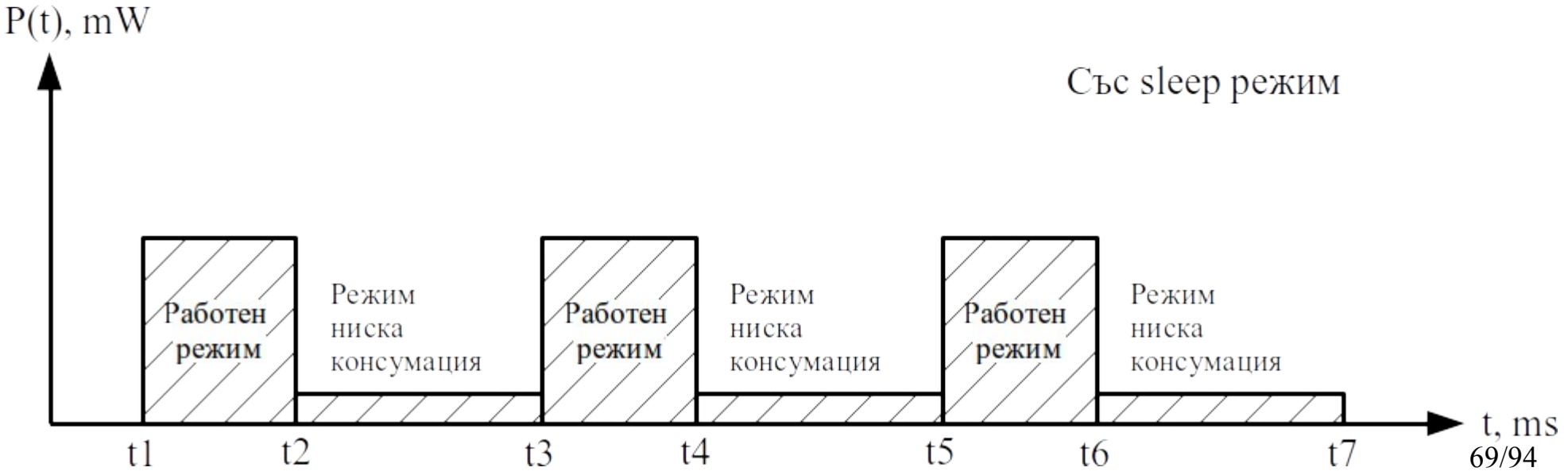
Реализират се специални режими за намаляване на консумацията, наречени sleep режими. Ако приложението го позволява, може μCU да е в нормален режим на работа (run mode), когато трябва да се извършват изчисления и да е в sleep режим през останалото време. В резултат на това **средната стойност** на консумираната енергия ще намалее. Този метод е показан на следващия слайд.

Различните фирми-производители имплементират sleep режимите по различен начин.

Най-често срещаната схема представлява **спиране на тактовата честота на микропроцесора**, докато периферните модули остават активни.

Методи за понижаване на E/P





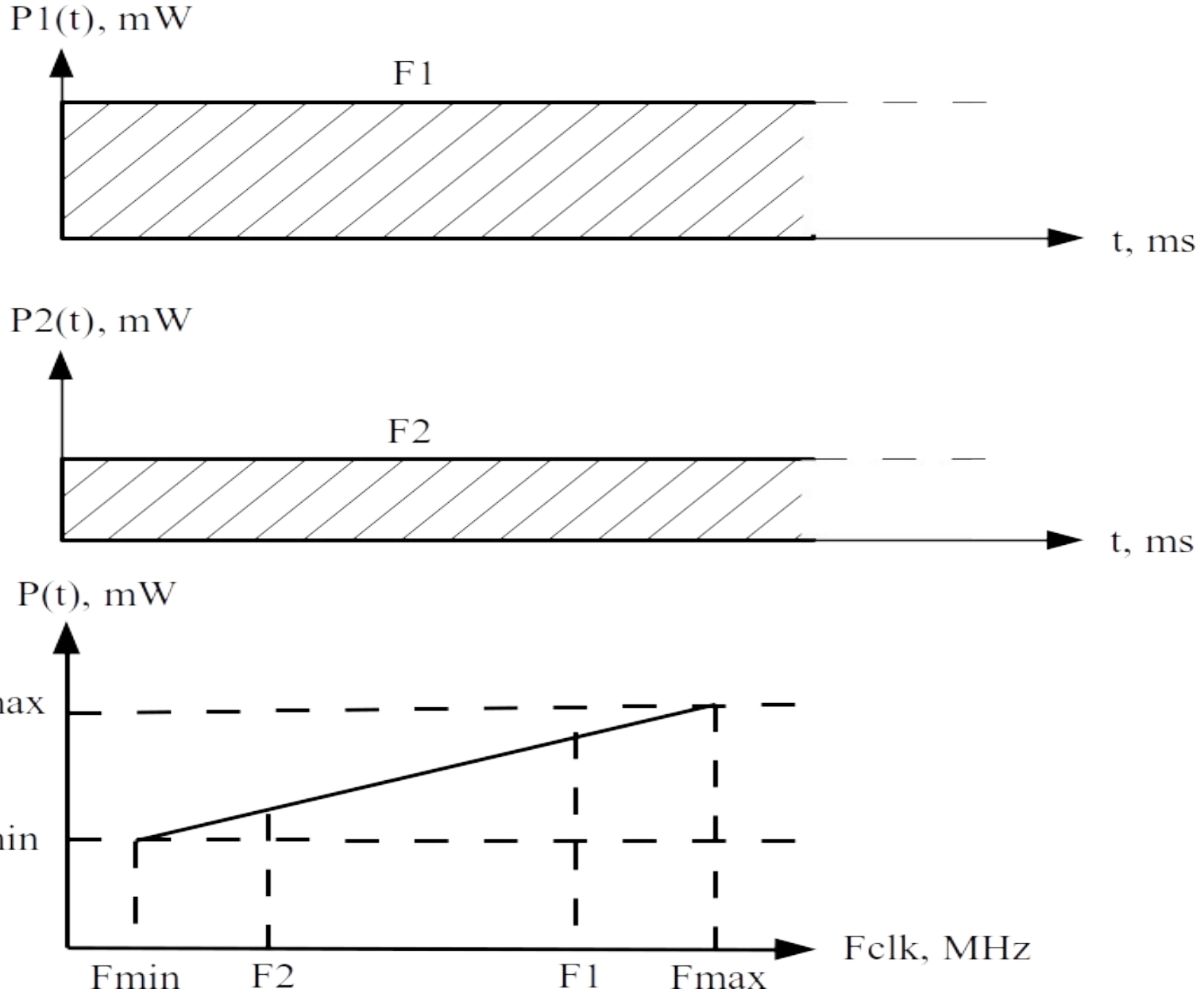
Методи за понижаване на E/P

Изменяне на системната честота (**D**ynamic **F**requency **S**caling, **D**FS) също може да се използва за намаляване на консумацията. При непрекъснато използване на μPU и при линейна зависимост на консумирания ток от честотата (винаги вярно за CMOS технологията) следва, че:

$P_1(f_1) > P_2(f_2)$, ако $f_1 > f_2$

т.е. с увеличаване на честотата ще се увеличи моментната мощност P, а оттам - консумираната енергия. Тази зависимост е показана на следващия слайд.

Методи за понижаване на E/P



Методи за понижаване на E/P

При **прекъснато използване** на μPU и при линейна зависимост на консумирания ток от честотата:

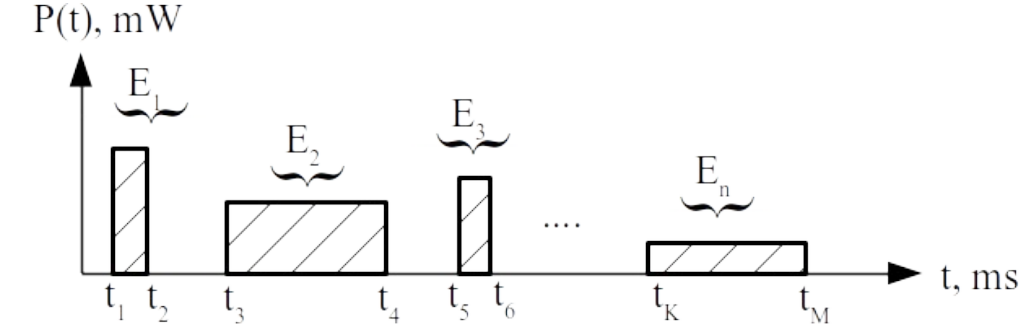
$E_1(f_1) < E_2(f_2)$, ако $f_1 > f_2$

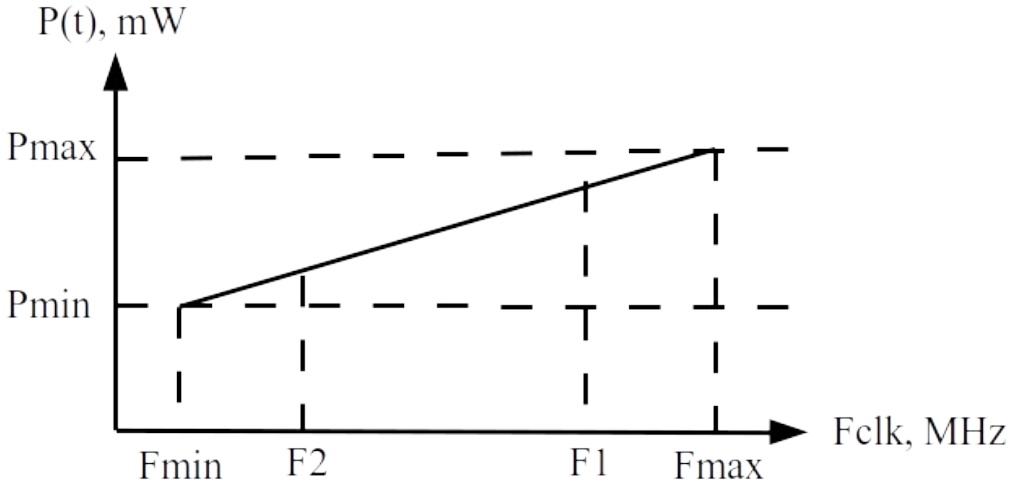
т.е. с увеличаване на честотата ще се намали консумираната енергия. Тази зависимост идва от факта, че **честотата зависи нелинейно от периода** или още времето на един процесорен такт, което от своя страна оказва влияние на енергията. Тя може да се изрази с формулата:

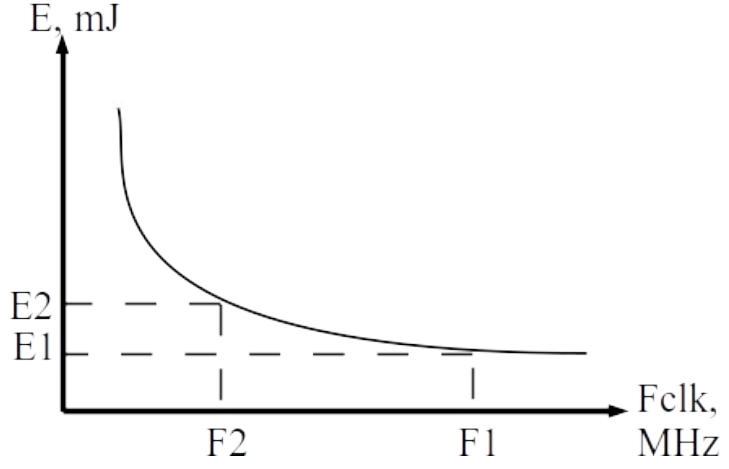
$E = P.t = P(f_{clk}).t = P(f_{clk}).n.T_{clk}$,

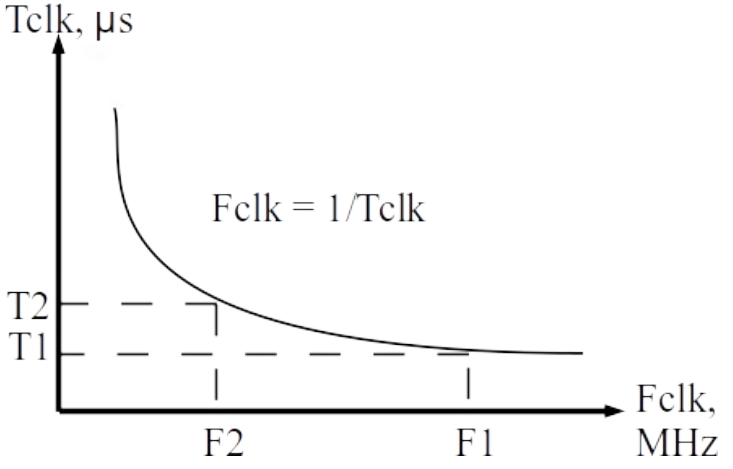
където n е броя на процесорните тактове, които са необходими за изпълнението на дадена част от кода (в частен случай – броя на асемблерните инструкции), $f_{clk} = 1/T_{clk}$ – системната честота. На следващия слайд е показана тази зависимост.

Методи за понижаване на E/P







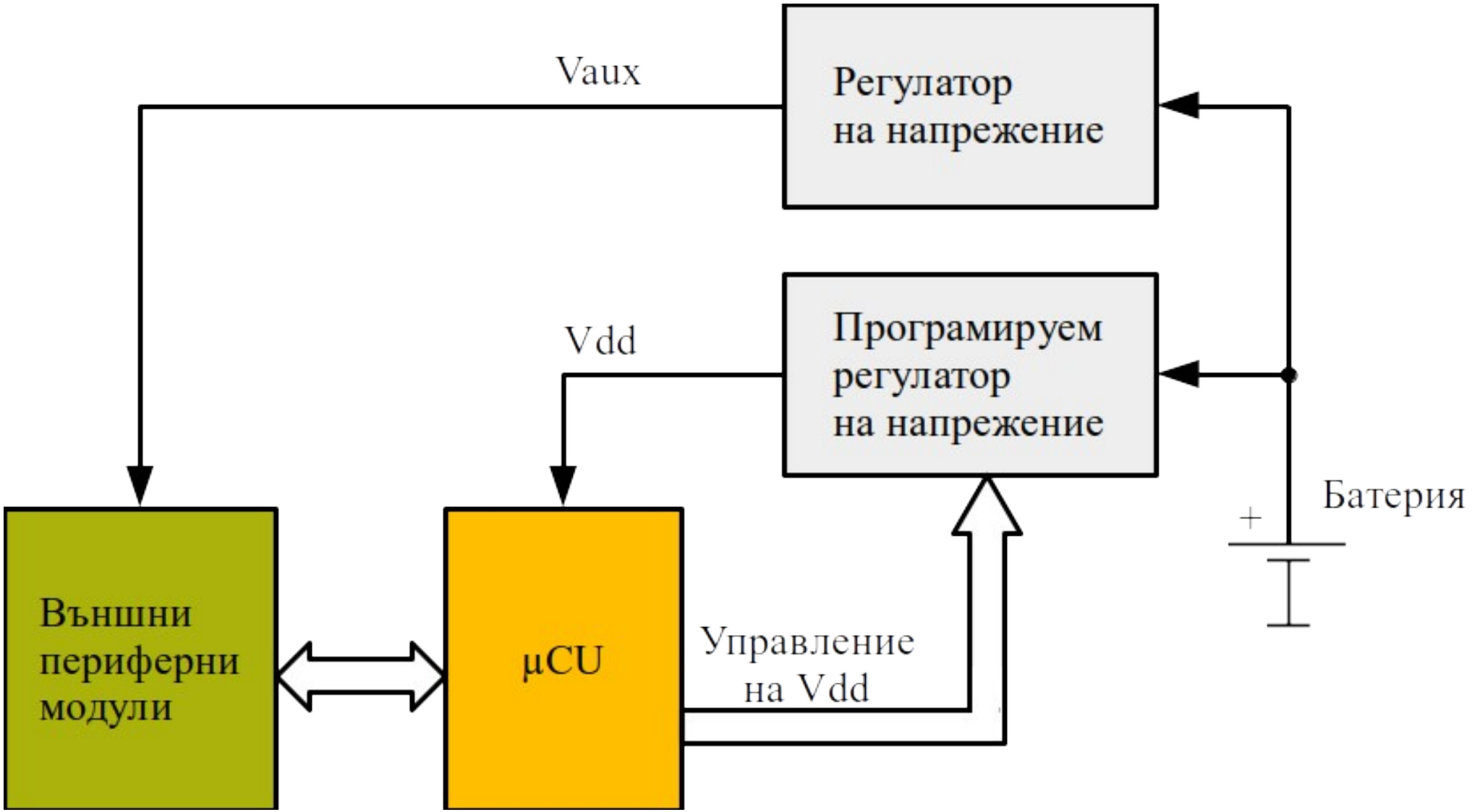


Методи за понижаване на E/P

Съществуват методи за намаляване на консумацията чрез **изменяне на захранващото напрежение** (**D**ynamic **V**oltage **S**caling, DVS). Намаляването на напрежението обаче трябва да се прави до една определена граница, защото **шумоустойчивостта** на логически елементи намалява и **утечните токове** на транзисторите се увеличават (увеличава се статичната мощност).

На следващия слайд е дадена блокова схема на микропроцесорна система с възможност за промяна на захранващото напрежение. Важен елемент тук е програмируемият захранващ блок, който се управлява от микроконтролера. За целта, няколко извода от микроконтролера трябва да се резервират специално за тази функция.

Методи за понижаване на E/P



Методи за понижаване на E/P

Консумацията на мощност в един микроконтролер има две компоненти – **динамична** и **статична**.

Статичната консумация се предизвиква от вътрешни захранващи схеми, опорни източници, утечни токове и др. Тя не зависи от честотата и се приема за константа.

Методи за понижаване на E/P

Динамичната консумация се определя от превключванията на транзисторите, товарните капацитети свързани на изходите на логическите елементи и захранващото напрежение. Може да се изрази с формулата:

$P_{dyn} = Vdd^2 .C_L .f_{clk} .k_{\mu CU}$,

където V_{dd} е захранващото напрежение на чипа, C_L е еквивалентия капацитет, които всеки логически елемент има свързан към изходите си, f_{clk} – тактовата честота на микроконтролера, $k_{\mu CU}$ – константа, зависеща от конкретния микроконтролер.

Важно е да се отбележи, че зависимостта на P_{dyn} от V_{dd} е **квадратична**, т.е. могат да се **получат значителни оптимизации** на P_{dyn} с малка промяна във V_{dd}.

Методи за понижаване на E/P

Динамично включване и изключване на периферните модули на микроконтролера.

Повечето съвременни микроконтролери са реализирани с периферни модули, чието захранване и такт могат да се включват и изключват от микропроцесора (виж фигурата на следващия слайд). Това е направено с цел намаляване на консумиранта мощност. Понеже микроконтролерите са универсални чипове и могат да се използват в много различни приложения, то почти винаги остават модули, които не се използват. Те обаче са реализирани с логически елементи, които имат статична консумация на ток поради изброените причини. За да се оптимизира дизайна, захранващото напрежение на тези модули се изключва чрез електронен ключ, а такта - чрез логически елемент.

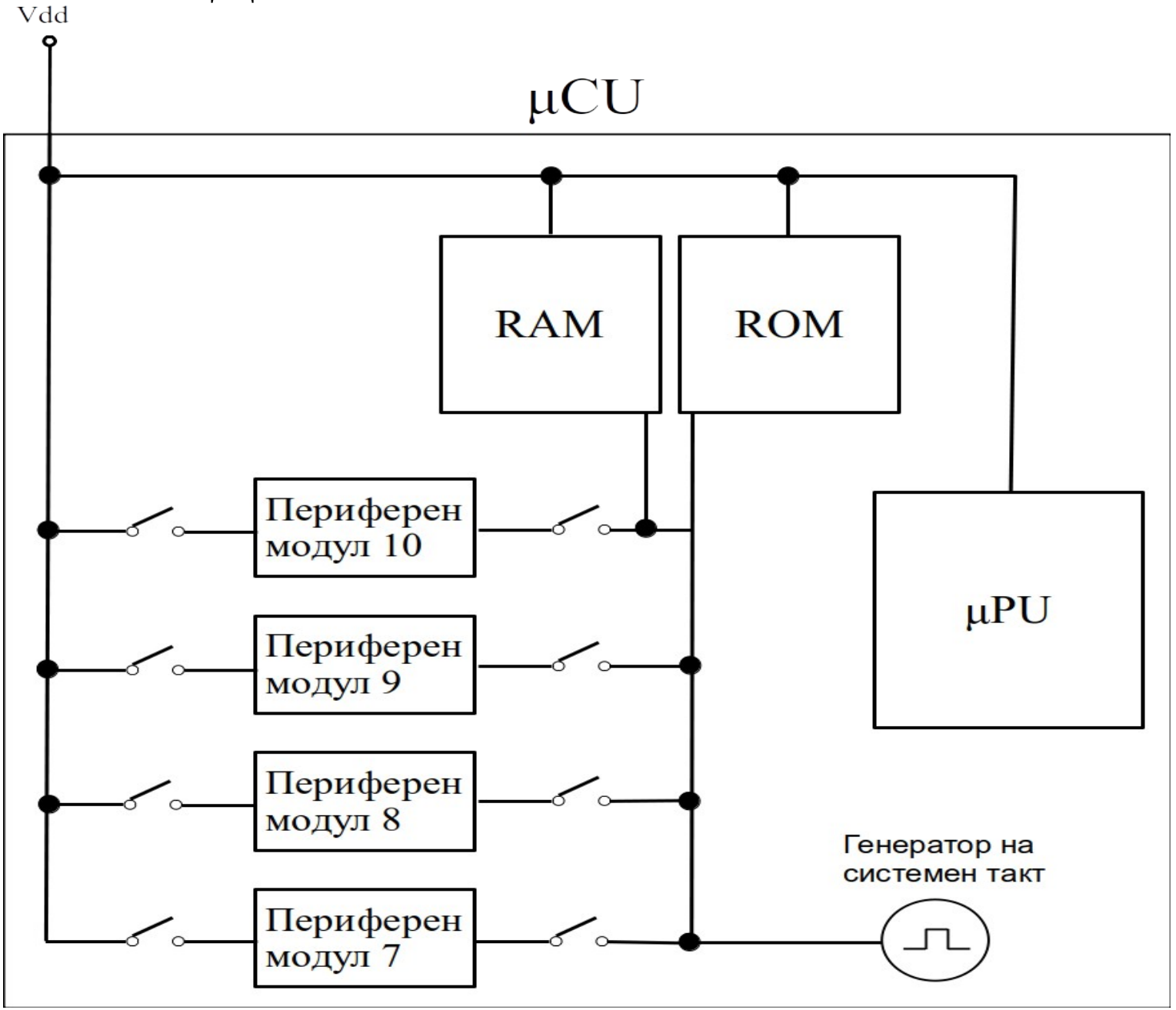
Методи за понижаване на E/P

Понякога даден модул може да се използва, но въпреки това μPU да се **обръща към него малко пъти** на фона на изпълнението на цялата програма.

В такива случай този модул може да се включва само тогава, когато е необходимо. Затова този метод спада към динамичната оптимизация на консумацията.

Недостатък - след всяко включване модулът трябва да се инициализира, което отнема време и забавя програмата.

Методи за понижаване на E/P



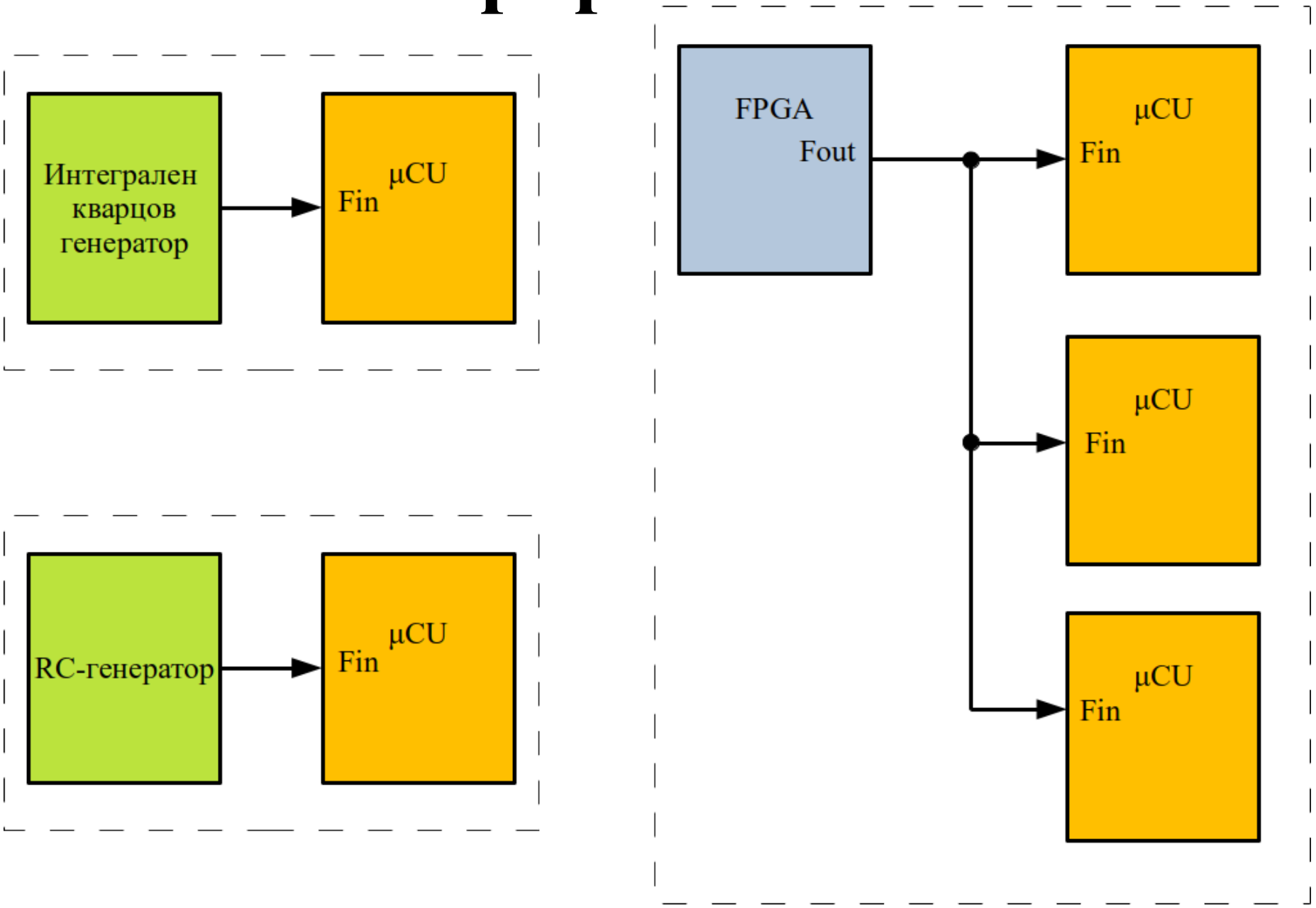
Схеми за генериране на тактов сигнал

Тактовата честота на микроконтролерите може да се задава от **външни** или **вътрешни генератори** на правоъгълни сигнали.

Обикновено μCU имат извод, на който може да се подаде тактов сигнал от **външен източник:**

*аналогов генератор
*кварцово-стабилизиран интегрален генератор
*друга цифрова схема от системата

Схеми за генериране на тактов сигнал



Схеми за генериране на тактов сигнал

По-разпространения вариант в практиката е да се използва **вградения генератор** на μCU.

За да може да се реализират няколко честотни обхвата се налага да се **интегрират по няколко генератора**.

Това изискване произлиза от факта, че използваното усилвателно стъпало е с фиксирана честотна лента, т.е. може да генерира ограничен брой честоти.

Схеми за генериране на тактов сигнал

Вграждат се следните генератори:

***основен генератор** – кварцово-стабилизиран генератор, използван от повечето периферни модули на μCU, както и самия μPU. Кварцовият резонатор се свързва външно. Най-често използваната схема е генератор на Пиърс [7], показан на по-следващия слайд.

Товарните кондензатори C1 и C2 трябва са с малка стойност от **порядъка на няколко десетки пикофарада**.

Те се свързват също външно, защото интегрални кондензатори с такава стойност биха заели много голяма площ.

Изключение правят някои μCU от фамилията MSP430, които имат тези кондензатори вградени.

Схеми за генериране на тактов сигнал

***RC генератор** – използва се за първоначално стартиране на микроконтролера и приложения с ниска консумация. Първите редове код, които трябва да конфигурират микроконтролера, в това число и генераторът на системен такт, се изпълняват именно с помощта на RC-генератора. Този генератор обикновено е с голям толеранс на изходната си честота и с голям температурен дрейф, поради използването на R и C интегрални елементи. Той не е кварцово-стабилизиран генератор. За различните микроконтролери нестабилността на честотата варира от ±1 % до ±50%. Използва се в приложения, където не се изисква стабилна честота. Това спестява външния кварцов резонатор и редуцира цената на устройството. В кода на следващия слайд е дадена част от програма на C. С червено са отбелязани редовете, които се изпълняват с RC генератора, а със зелено – редовете, изпълнявани с основния генератор.

Схеми за генериране на тактов сигнал

```
void ResetISR(void)
{
    unsigned long *pulSrc, *pulDest;
    pulSrc = &_etext;
    for(pulDest = &_data; pulDest < &_edata; )
    {
        *pulDest++ = *pulSrc++;
    }

    __asm("    ldr     r0, =_bss\n"
          "    ldr     r1, =_ebss\n"
          "    mov     r2, #0\n"
          "    .thumb_func\n"
          "zero_loop:\n"
          "        cmp     r0, r1\n"
          "        it      lt\n"
          "        strlt   r2, [r0], #4\n"
          "        blt     zero_loop");

    main();
}

int main(void)
{
    SysCtlClockSet(SYSCTL_SYSDIV_2_5 | SYSCTL_USE_PLL | SYSCTL_XTAL_16MHZ | SYSCTL_OSC_MAIN); //80 MHz
     while(1){
          GPIOPinWrite(GPIO_PORTN_BASE, GPIO_PIN_0, GPIO_PIN_0);
          function_call_one();
          function_call_two();
          GPIOPinWrite(GPIO_PORTN_BASE, GPIO_PIN_0, 0x00);
      }
}
```

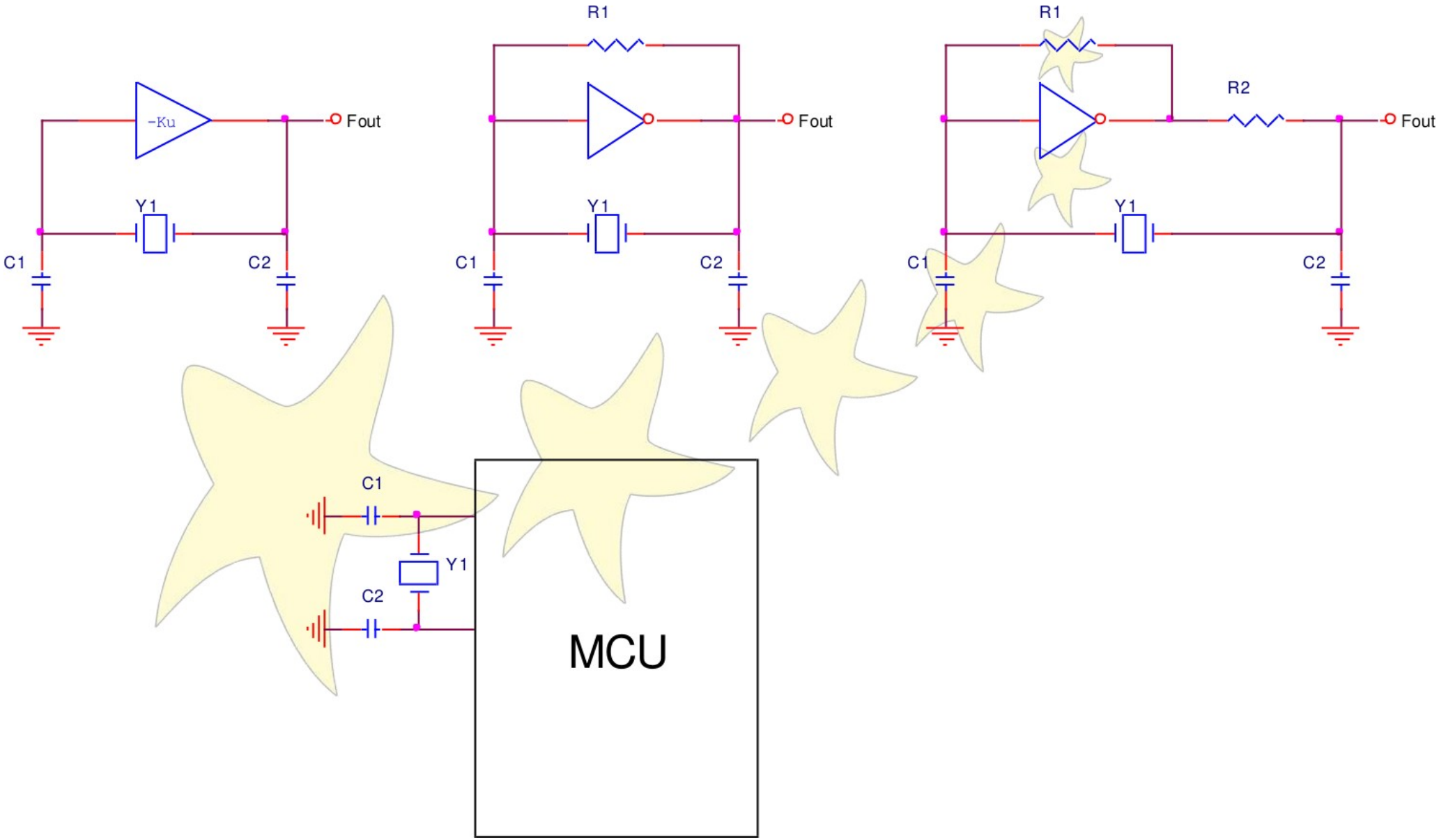
Схеми за генериране на тактов сигнал

Генераторът на Пиърс използва един инвертиращ усилвател **-K**, в обратната връзка на който е свързан кварцовия резонатор Y1 и товарните кондензатори C1 и C2.

В практиката вместо инвертиращ усилвател може да се използва логически елемент инвертор, работещ в линеен режим. За целта от изхода към входа се свързва един резистор с голяма стойност (1 ÷ 10 MΩ [9]). Ако инверторът е с голям входен и малък изходен импеданс, **резисторът R1 ще поддържа еднакъв напрежителен потенциал на входа и на изхода**. Това ще доведе логическия елемент да е нито в логическа нула, нито в логическа единица, т.е. **ще работи в линейна област** на предавателната си характеристика. За допълнително подобряване на генератора може да се свърже резисторът R2, който да изравни изходния импеданс с товарния импеданс, определен от кондензаторите C1, C2 и кварцовия резонатор. R2 се избира със стойност до 2 kΩ [9].

Повечето съвременни микроконтролери се нуждаят само от кондензаторите C1, C2 и кварцовия резонатор Y1.

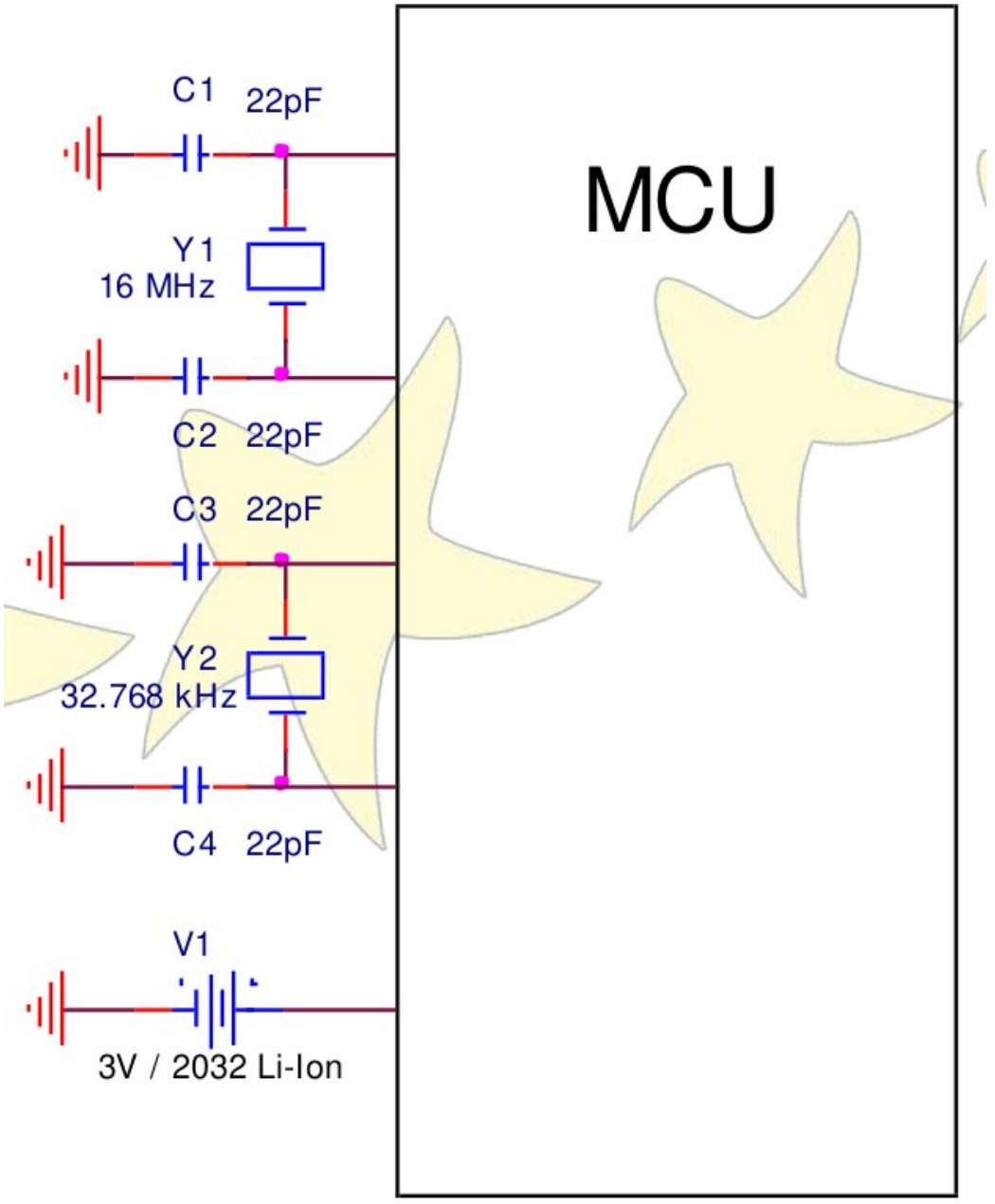
Схеми за генериране на тактов сигнал



Схеми за генериране на тактов сигнал

***генератор за RTC** – използва се от часовниците за реално време (RTC) и необходимостта от него идва от факта, че RTC трябва да работи ежедневно, т.е. би било неефективно от енергийна гледна точка контролерът да работи с основния генератор, само за да поддържа датата и часа. Затова се добавя допълнителен кварцово-стабилизиран генератор, работещ с кварцов резонатор с ниска честота и оптимизиран по отношение на консумацията. Най-често той се захранва от външна 3-волтова батерия, когато контролерът е изключен и от захранващото напрежение на самия контролер, когато е включен. Резонаторът трябва да е с честота, която е кратна на степените на двойката. Най-често това е 32,768 kHz (2^{15} = 32768). На следващия слайд е показан пример с микроконтролер използващ 16-мегахерцов основен кварцов резонатор и един 32,768-килохерцов допълнителен кварцов резонатор за RTC. Вижда се и литиево-йонната батерия от типа 2032.

Схеми за генериране на тактов сигнал

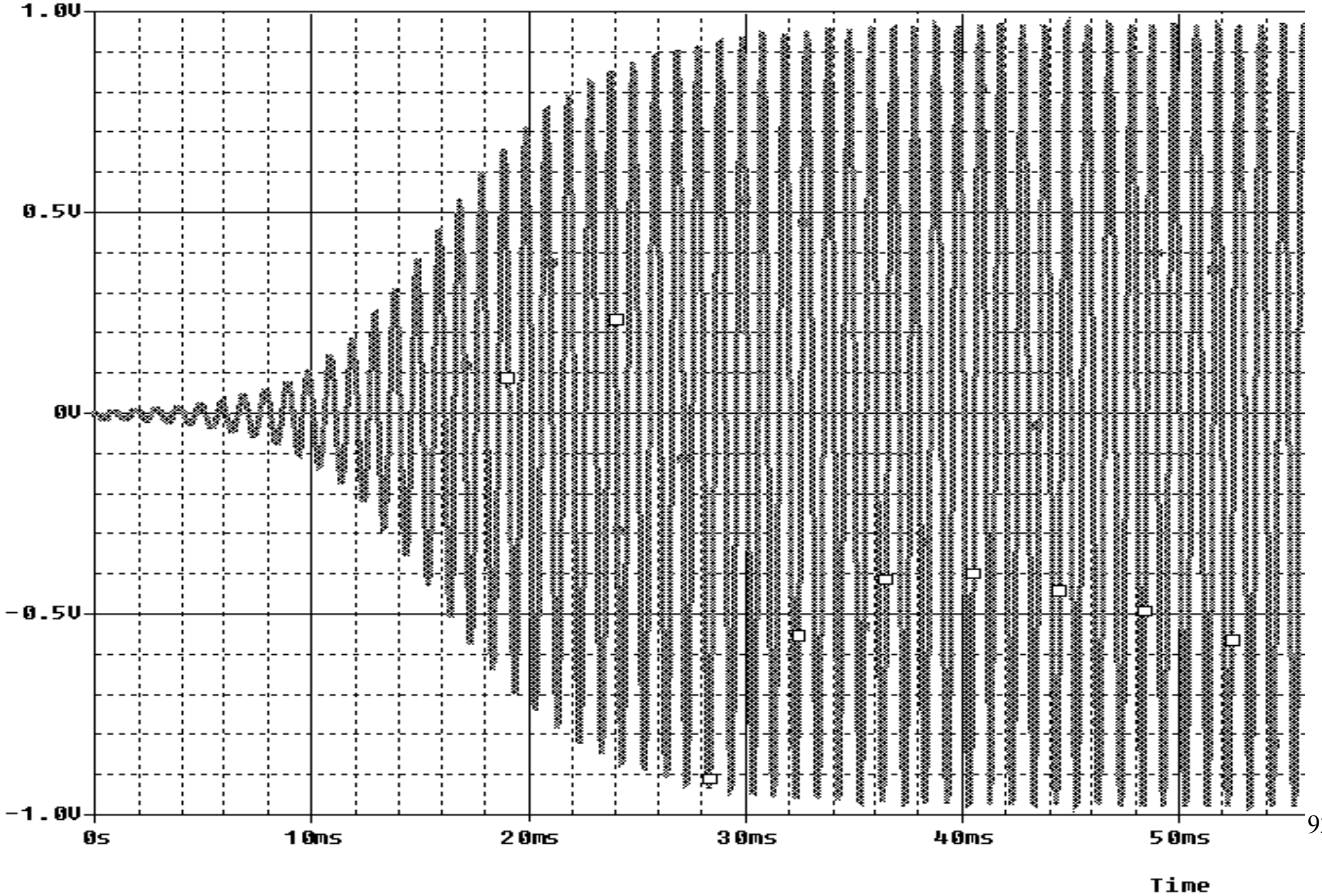


Схеми за генериране на тактов сигнал

Всички генератори се характеризират с време след включването им, през което генерациите не са стабилни (като амплитуда и честота)[8]. Осцилограмата на един примерен генератор е показана на фигурата по-долу. Вижда се, че генерациите са стабилни след 30-тата милисекунда. Това е причината в микроконтролерите да се вграждат **таймери за начално установяване** (**O**scillator **S**tart-up **T**imer), които задържат сигнала за рестарт на μPU в активното му ниво за определен брой тактове. Така се изчаква осцилациите да станат стабилни.

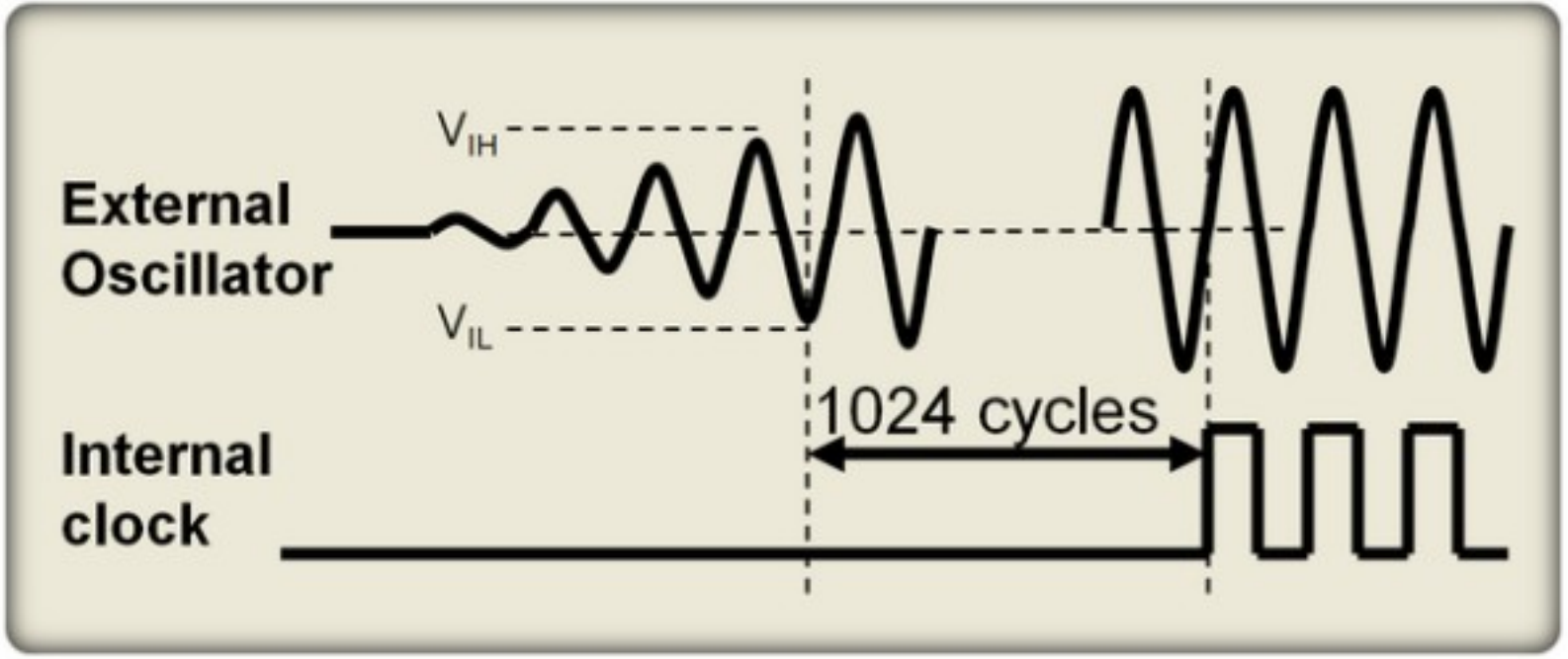
OST броячът започва да брои тактове само когато амплитудата на осцилатора, който се следи, е достатъчно голяма.

Схеми за генериране на тактов сигнал



Схеми за генериране на тактов сигнал

Пример – μCU от фамилията PIC32 имат OST, с 10-битов брояч.



Литература

[1]Pedro Dinis Gaspar, Antonio Santo, Bruno Ribeiro, Humberto Santos, “Device Systems and Operating Modes”, chapter 5, TI & University of Beira Interior (PT), 2009.
[2]Н. Кенаров, “PIC Микроконтролери”, Част 1, Млад Конструктор, Варна, 2003.
[3]M. Trevor, „The Designer’s Guide to the Cortex-M Processor Family – A Tutorial Approach“, Elsevier, 2013.
[4]К. Боянов, В. Кисимов, Л. Бончев, К. Янев, А. Петков, “Сборник приложни схеми с микропроцесори”, Техника, 1981.
[5]Pedro Dinis Gaspar, Antonio Santo, Bruno Ribeiro, Humberto Santos, “Device Systems and Operating Modes”, chapter 11, TI & University of Beira Interior (PT), 2009.
[6] Texas Instruments, MSP430FR57xx Family User's Guide, 2012.
[7] Barco-Silex, “AHB Multi-Channel DMA Controller BA612A”, FactSheet.
[8] Е. Гаджева, Т. Куюмджиев, С. Фархи, М. Христов, А. Попов, “Компютърно моделиране и симулация на електронни и електрически схеми с Cadence Pspice”, ISBN 978-954-90854-8-8, Меридиан 22, 2009.
[9] Михов Г., Цифрова схемотехника, ТУ-София, 1999.