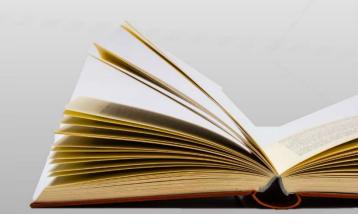


第十四章 触发器和时序逻辑电路



第 14章 触发器和时序逻辑电路

14.1 双稳态触发器

14.3 计数器

时序逻辑电路的特点:

电路的输出状态不仅取决于当时的输入信号,而且与电路原来的状态有关,当输入信号消失后,电路状态仍维持不变。这种具有存贮记忆功能的电路称为时序逻辑电路。

下面介绍双稳态触发器,它是构成时序电路的基本逻辑单元。

- 14.1.1 R-S 触发器
- 14.1.2 主从J-K触发器
- 14.1.3 维持阻塞D 触发器
- 14.1.4 触发器逻辑功能转换



双稳态触发器:

是一种具有记忆功能的逻辑单元电路,它能储存

一位二进制码。

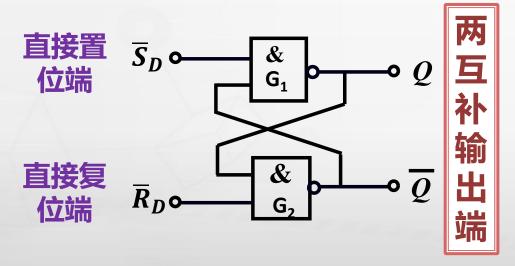
特点:

- 1、有两个稳定状态"0"态和"1"态;
- 2、能根据输入信号将触发器置成"0"或"1"态;
- 3、输入信号消失后,被置成的"0"或"1"态能 保存下来,即具有记忆功能。

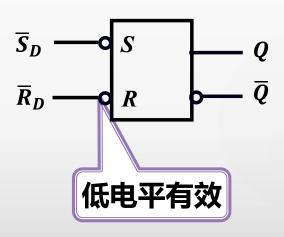


一、基本RS 触发器

1. 逻辑图(电路结构)



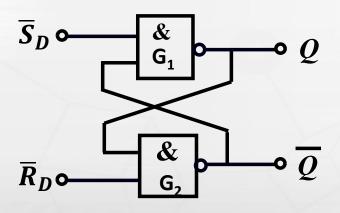
逻辑符号:



两个稳态
$$\left\{egin{aligned} Q=0\,,&\overline{Q}=1 &\text{``0'' \overline{c} (复位状态) $Q=1\,,&\overline{Q}=0 &\text{``1''}$ \overline{c} (置位状态)$$



2. 工作原理



 Q_n : 原来的状态,原态

 Q_{n+1} :新的状态,次态

	输入		输出	功能	
	\overline{S}_D	\overline{R}_D	Q_n	Q_{n+1}	2) HC
跳转	1	0	0 1	0	置 "0"
跳转	0	1	0 1	1 1	置"1"
跳转	1	1	0 1	0 1	保持
跳转	0	0	0	×	禁用

跳转



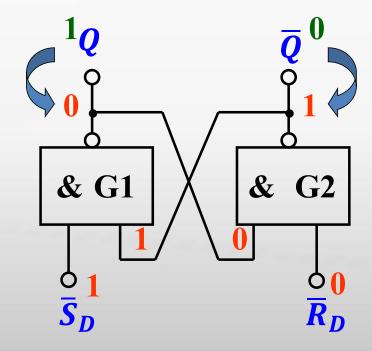
触发器输出与输入的逻辑关系

$$(1)\overline{S}_D=1, \ \overline{R}_D=0$$

设触发器原态为"1"态。



翻转为 "0" 态





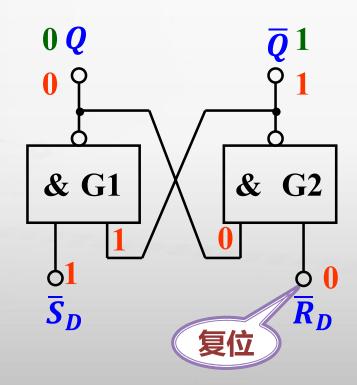
触发器输出与输入的逻辑关系

$$(1)\overline{S}_D=1, \ \overline{R}_D=0$$

设触发器原态 为"0"态



保持 "0" 态不变



结论:不论触发器原来为何种状态, $\overline{S}_D = 1$, $\overline{R}_D = 0$ 时,触发器置"0"或称为复位

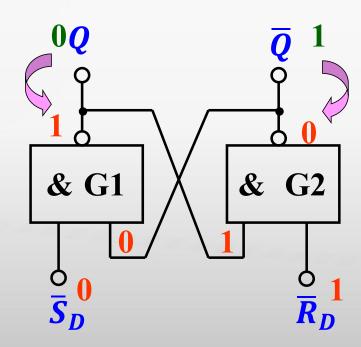


触发器输出与输入的逻辑关系

$$(2)\overline{S}_D=0, \ \overline{R}_D=1$$



翻转为"1"态





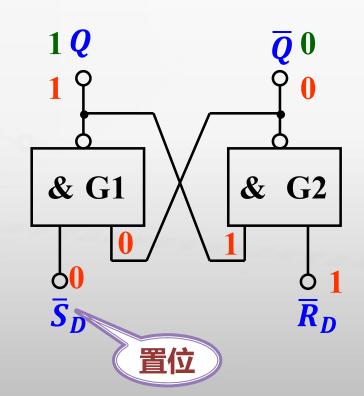
触发器输出与输入的逻辑关系

$$(2)\overline{S}_D=0, \ \overline{R}_D=1$$

设原态为"1"态



保持"1"态不变



结论:不论触发器原来为何种状态, $\overline{S}_D=0$, $\overline{R}_D=1$ 时,触发器置"1"或称为复位



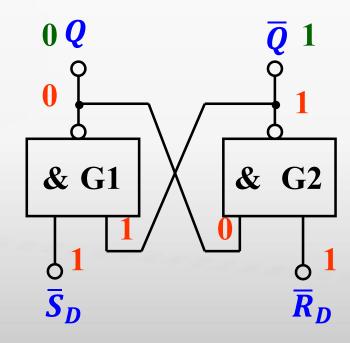
触发器输出与输入的逻辑关系

$$(2)\overline{S}_D=1, \ \overline{R}_D=1$$

设触发器原态为 "0"态



保持为 "0" 态





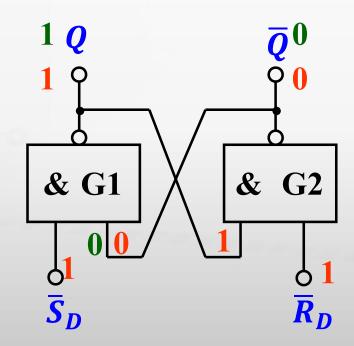
触发器输出与输入的逻辑关系

$$(2)\overline{S}_D=1, \ \overline{R}_D=1$$

设触发器原态为"1"态



保持"1"态不变



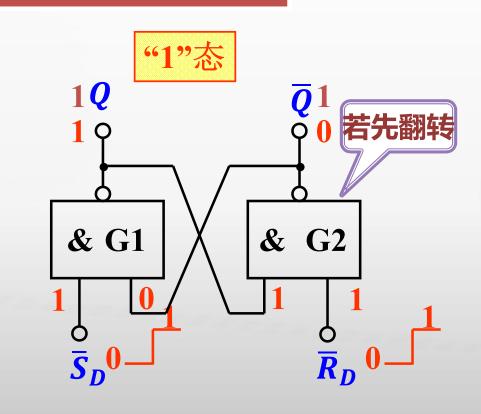
结论: $\overline{S}_D = 1$, $\overline{R}_D = 1$ 时,触发器保持原来的状态,即触发器具有保持、记忆功能。



触发器输出与输入的逻辑关系

$$(2)\overline{S}_D=0, \ \overline{R}_D=0$$

结论: $\overline{S}_D = 0$, $\overline{R}_D = 0$, 同时变为1时, 由于与非门的翻转时间不可能完全相同, 触发器状态可能是"1"态, 也可能是"0"态, 不能根据输入信号确定。

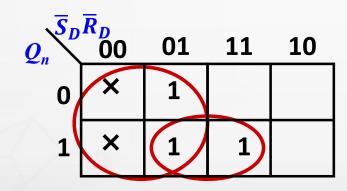


若G₁先翻转,则触发器为"0"态



3. 基本 RS 触发器状态表

\overline{S}_{D}	\overline{R}_D	Q_n	Q_{n+1}
1 1	0	0 1	0
0	1	0	1
1 1	1	0 1	0
0	0	0	×
0	0	1	×

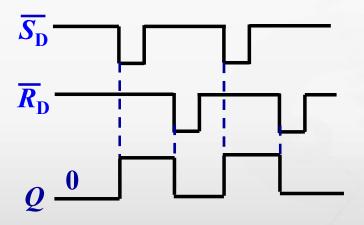


$$\left\{egin{aligned} Q_{n+1} &= S_{\mathrm{D}} + \overline{R_{\mathrm{D}}}Q_{n} \ & S_{\mathrm{D}}R_{\mathrm{D}} &= 0 \end{array}
ight.$$

—— 特性方程

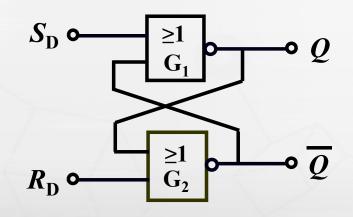
4. 波形图

已知:初态Q=0

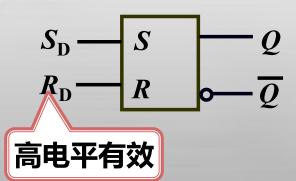




由"或非"门构成的基本 RS 触发器



逻辑符号



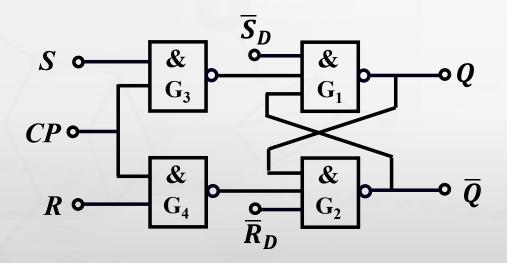
逻辑状态表

S _D	$R_{\rm D}$	Q _n	Q_{n+1}	功能
0	1	0 1	0	置 "0"
1	0	0	1	置"1"
0	0	0 1	0 1	保持
1	1	0	×	禁用



二、可控 RS 触发器

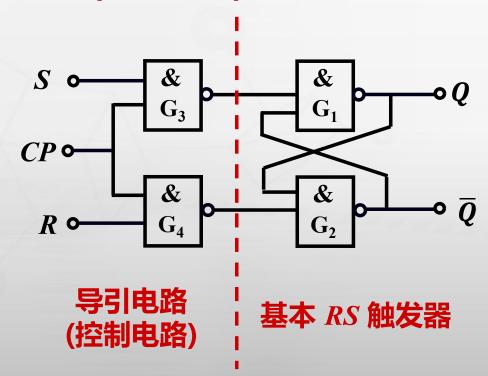
1. 逻辑图(电路结构)





二、可控 RS 触发器

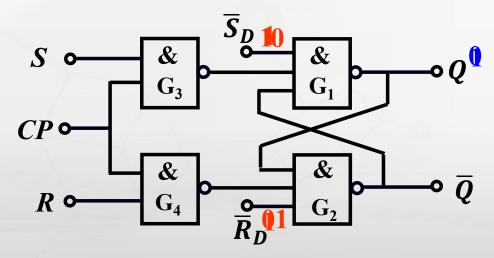
1. 逻辑图(电路结构)





2. 工作原理

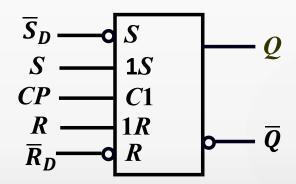
工作过程中应处于高电平, \overline{S}_D 和 \overline{R}_D 作用 对电路工作状态无影响。



\overline{S}_D 和 \overline{R}_D 用于预置触发器的初始状态。

$$\overline{S}_D = 0$$
, $\overline{R}_D = 1$, $Q=1$
 $\overline{S}_D = 1$, $\overline{R}_D = 0$, $Q=0$

逻辑符号



CP: 时钟输入端

S: 置位端

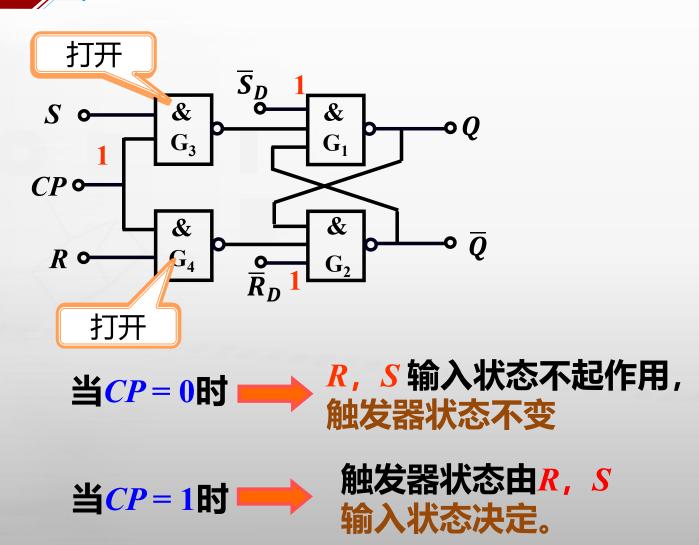
R: 复位端

 \overline{S}_D : 直接置位端

 \bar{R}_D : 直接复位端



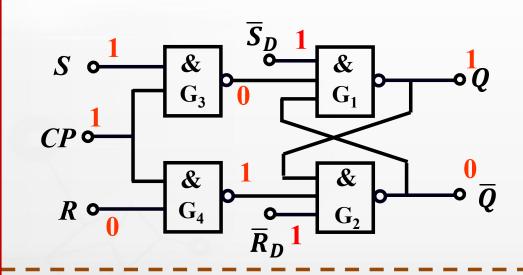
2. 工作原理





触发器输 出与输入的 逻辑关系

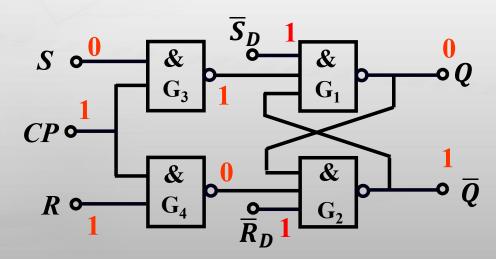
当CP=1时

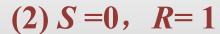






触发器置 "1"





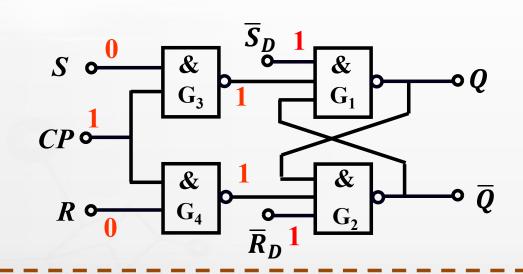


触发器置 "0"

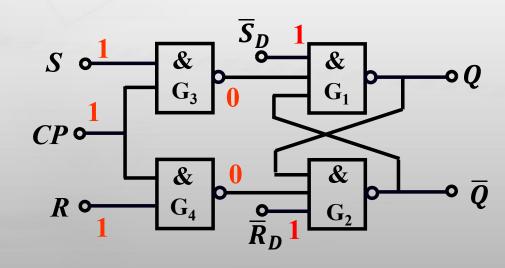


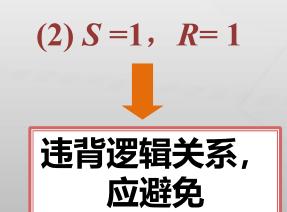
触发器输 出与输入的 逻辑关系

当CP=1时











3. 可控 RS 触发器状态表

CP	S R	Q_n	Q_{n+1}	功能
0	××	0	0 1	保持
	1 0	0 1	1	置"1"
1	0 1	0 1	0	置 "0"
72	0 0	0	0 1	保持
	1 1	0	×	禁用



3. 可控 RS 触发器状态表

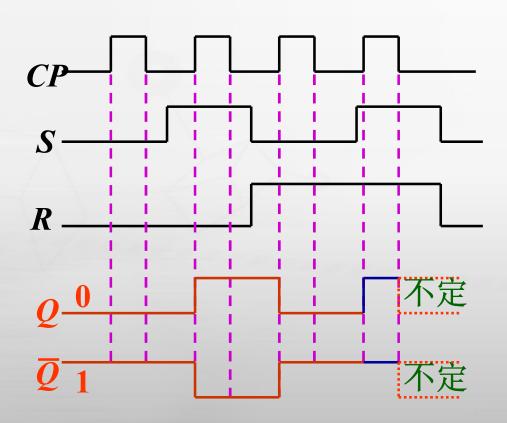
СР	S	R	Q
0	×	×	保持
	1	0	1
	0	1	0
1	0	0	保持
4/4	1	1	禁用

基本RS触发器状态表

\overline{R}_{D}	\overline{S}_{D}	Q
0	1	0
1	0	1
1	1	保持
0	0	禁用



例: 画出可控 R-S 触发器的输出波形



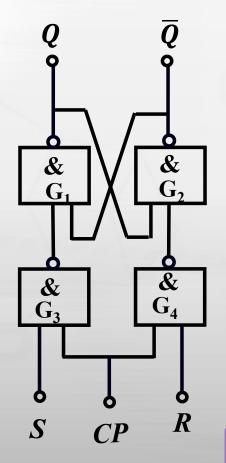
可控 R-S状态表

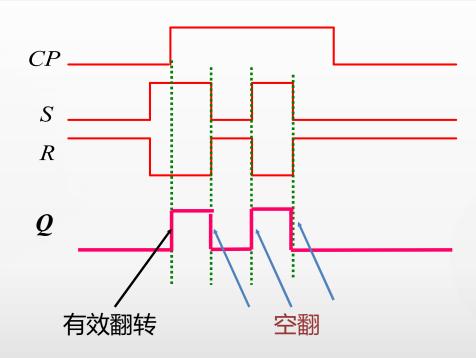
S	R	Q_{n+1}
0	0	$Q_{\rm n}$
0	1	0
1	0	1
1	1	不定

CP高电平时触发 器状态由R、S确定



可控RS触发器存在的问题——空翻





由于在CP=1期间, G_3 、 G_4 门都是开着的,都能接收R、S信号,所以,如果在CP=1期间R、S发生多次变化,则触发器的状态也可能发生多次翻转。

在一个时钟脉冲周期中, 触发器发生多次翻转的现象叫做空翻。

三、主从JK触发器

1.电路结构

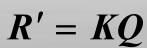
从触发器

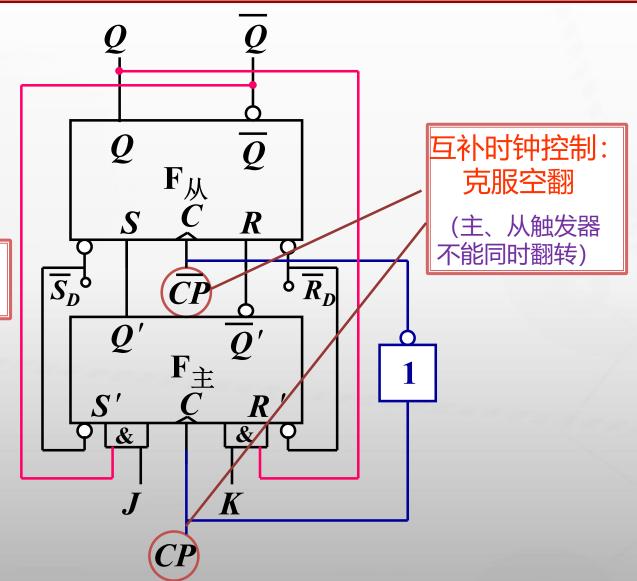
反馈线 克服禁用

主触发器

$$S' = J\overline{Q}$$

$$R' - KQ$$







2. 工作原理

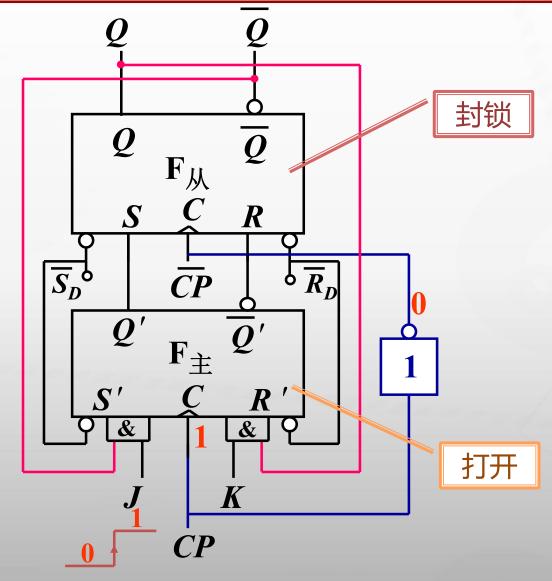


F_从封锁

F_从状态保持不变,即 触发器状态**保持不变**

F_主打开

F_±状态由**J、***K*决定,接收信号并暂存。





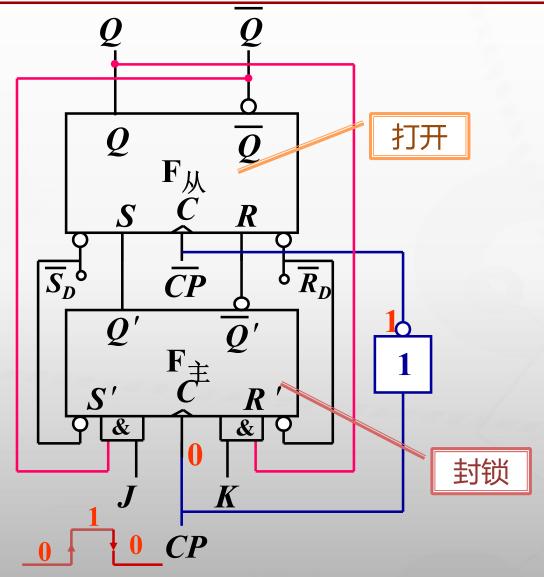
2. 工作原理

$$CP_0$$
 0

F_从打开

F₊封锁

 F_{\pm} 状态保持不变。



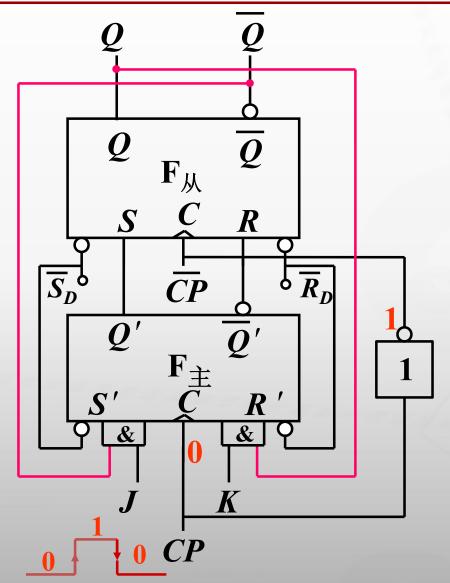


2. 工作原理

CP高电平时触发器接收信号并暂存(即F_±状态由J、K决定, F_从状态保持不变)。

CP下降沿(一)触发器翻转(F_M状态与F_±状态一致)。

*CP*低电平时,F_±封锁*J、K*不起作用。





今に工業失業 HEFEI UNIVERSITY OF TECHNOLOGY

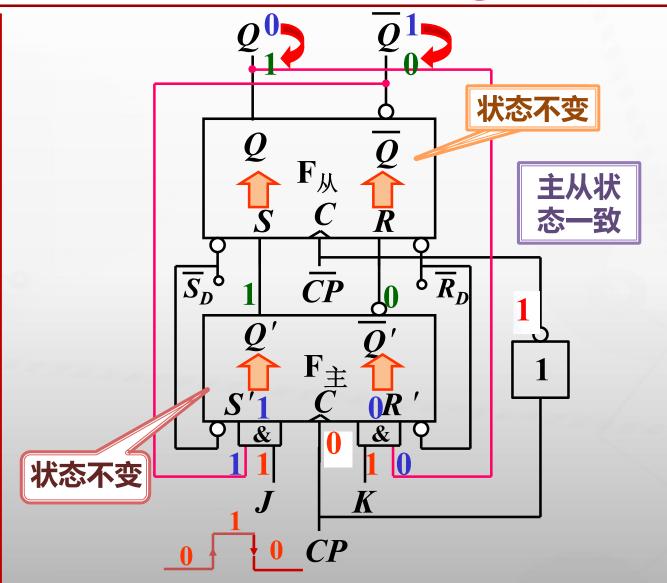
3. JK触发器的逻辑功能

• (1)*J*=1, *K*=1

设触发器原 态为"0"态



翻转为"1"态





3. JK触发器的逻辑功能

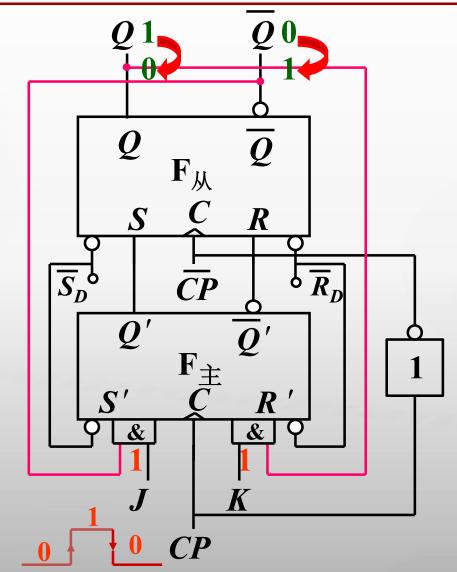
• (1)J=1, K=1

设触发器原态为"1"态



为 "0" 状态

结论: J=1, K=1时,每来一个时钟脉冲,状态翻转一次,即具有**计数**功能。





3. JK触发器的逻辑功能

• (1)J=0, K=1

设触发器原态为"1"态

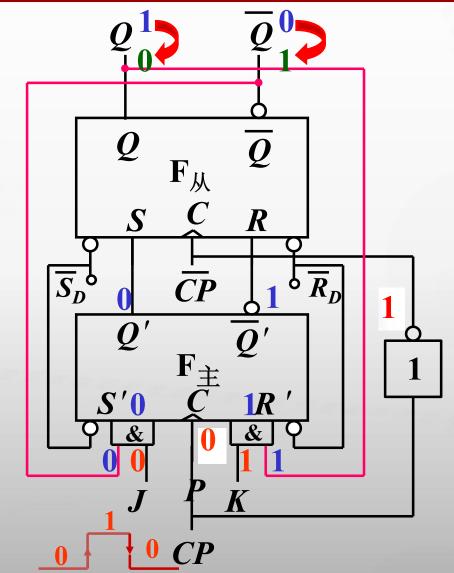


翻转为 "0" 态

设触发器原态为"0"态



为 "0" 态





今他工業失業 HEFEI UNIVERSITY OF TECHNOLOGY

3. JK触发器的逻辑功能

• (1)J=1, K=0

设触发器原态为"0"态

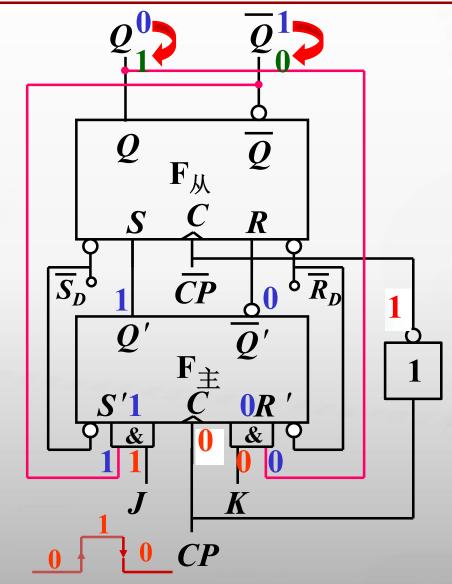


翻转为"1"态

设触发器原态为"1"态



为"1"态





3. JK触发器的逻辑功能

• (1)J=0, K=0

设触发器原态为"0"态

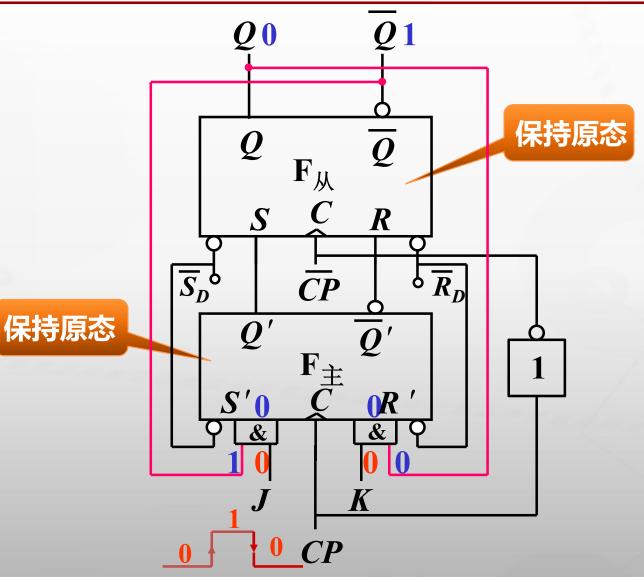


保持原态

设触发器原态为"1"态



|为"1"状态





· 3. JK触发器的逻辑功能

CP高电平时触发器接收信号并暂存(即 F_{\pm} 状态由J、K决定, F_{M} 状态保持不变)。

CP下降沿(□)触发器翻转 (F_从状态与F_±状态一致)。

CP低电平时, F_{+} 封锁J、K不起作用。

特性方程

$$Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$$

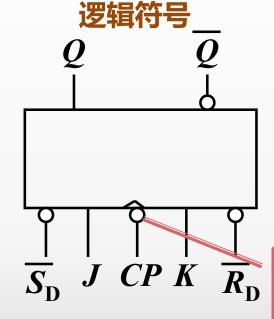
JK触发器状态表

J	K	$Q_{\rm n}$	Q_{n+1}
0	0	0 1	$\begin{bmatrix} 0 \\ 1 \end{bmatrix} Q_{\mathrm{n}}$
0	1	0 1	$\left\{ \begin{array}{c} 0 \\ 0 \end{array} \right\} \left\{ \begin{array}{c} 0 \end{array} \right]$
1	0	0 1	$\left\{ \begin{array}{c} 1 \\ 1 \end{array} \right\}$ 1
1	1	0	$\left\{ egin{array}{c} 1 \\ 0 \end{array} ight\} \overline{\mathcal{Q}}_{\mathrm{n}}$



JK触发器状态表

_			
	Q_{n+1}	K	J
(保持功能)	$Q_{\rm n}$	0	0
(置 "0" 功能)	0	\1	0
(置"1"功能)	1 (0	1
(计数功能)	\overline{Q}_{n}	1	1

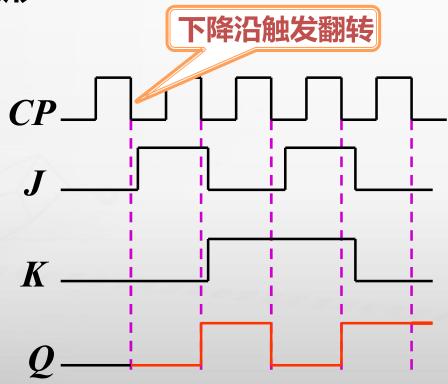


CP下降沿 触发翻转

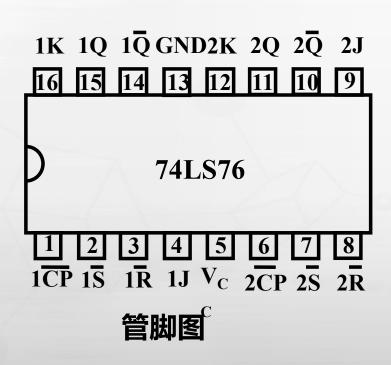
 \bar{S}_D 、 \bar{R}_D 为直接置 1、置 0 端,不受时钟控制,低电平有效,触发器工作时 \bar{S}_D 、 \bar{R}_D 应接高电平。



例: JK 触发器工作波形



常用的JK触发器74LS76芯片



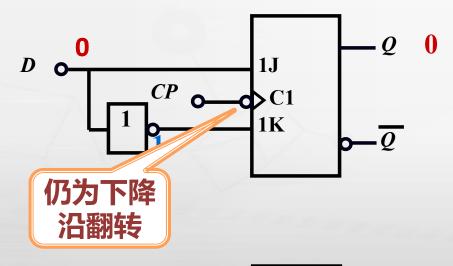
		输入	\		输	出	功能
S	R	CP	J	K	Q	Q	·>3 IIC
0	1	×	×	×	1	0	置位
1	0	×	×	×	0	1	复位
		Ţ	0	0	Q _n	$\overline{\mathbf{Q}_{\mathbf{n}}}$	保持
1	1	了	1	0	1	0	置1
200		Ţ	0	1	0	1	置0
		Ţ	1	1	\overline{Q}_n	Q _n	翻转
0	0	×	×	×	1*	1*	禁止

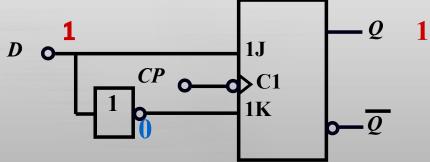
功能表



四、D 触发器

将JK触发器转换为 D 触发器





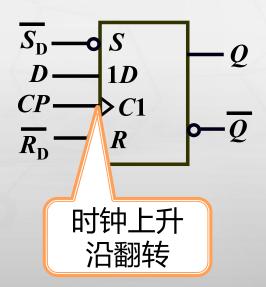
CP	J K	Q_{n+1}
	1 0	1
-,	0 1	0
(下降沿)	0 0	Q_n
	1 1	\overline{Q}_n

CP	D	Q_{n+1}
上升沿还是下	0	0
降沿?	1	1



国内生产的 D 触发器主要是维持阻塞型,是在时钟脉冲的上升沿触发翻转,图形符号如下

上升沿D触发器逻辑符号



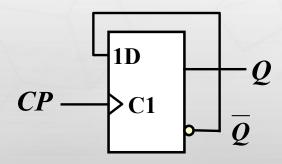
D触发器状态表

СР	D	Q_n	Q_{n+1}	功能
4	0	0 1	$\left\{ \begin{array}{c} 0 \\ 0 \end{array} \right\} \left\{ \begin{array}{c} 0 \end{array} \right\}$	置 "0"
(上升沿)	1	0 1	1 1 }1	置 "1"

特性方程: $Q_{n+1} = D$



也可将 D 触发器转换为 T 触发器,如下图,它的逻辑功能是每来一个时钟脉冲,翻转一次,即 $Q^{n+1} = \overline{Q}^n$,具有**计数功能**。



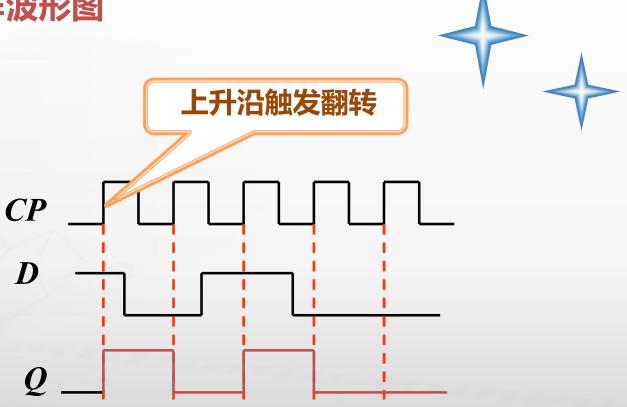
D触发器转换为

T 触发器

T触发器的逻辑状态表

T	Q_n	Q_{n+1}	功能
0	0	$\begin{bmatrix} 0 \\ 1 \end{bmatrix} Q_n$	保持
1	0	$\left\{\begin{array}{c} 1\\ 0\end{array}\right\} \overline{Q}_n$	计数

例: D 触发器工作波形图



小结

可控RS触发器

CP	S R	Q_{n+1}
-	1 0	1
(<i>CP</i> =1)	0 1	0
	0 0	Q_n
	1 1	禁用

JK触发器

CP	J K	Q_{n+1}
(下降沿)	1 0	1
	0 1	0
	0 0	Q_n
	1 1	\overline{Q}_n

D触发器

CP	D	Q_{n+1}
٦	0	0
(上升沿)	1	1

T触发器

T	Q_{n+1}
0	Q_n
1	\overline{Q}_n



计数器是数字电路和计算机中广泛应用的一种逻辑部件,可**累计**输入脉冲的个数,可用于**定时、分频、时序控制**等。

分类:

1、按触发器翻转是否与计数 脉冲同步 同步计数器

异步计数器

2、按计数器的数字增减方式

加法计数器 减法计数器 可逆计数器

3、按计数器中数字的编码方式

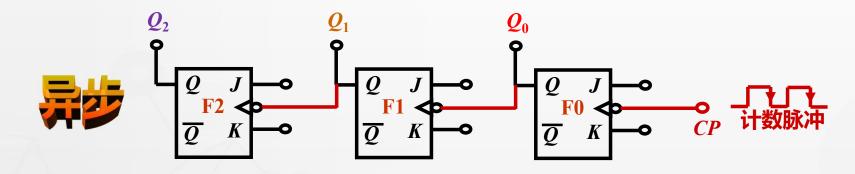
二进制计数器

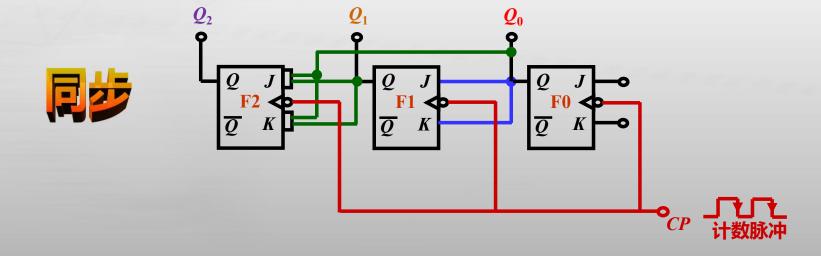
二-十进制计数器

循环码计数器

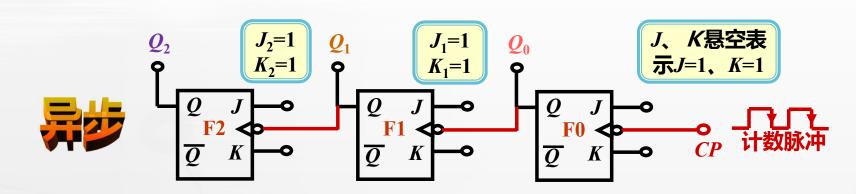


14.3.1 二进制计数器









状态表

计数脉冲	_i	브制 数	女
) XXIII	Q_2	Q_1	Q_0
0			
1			
2			
3			
4			
5			
6			
7			
8			

翻转条件:

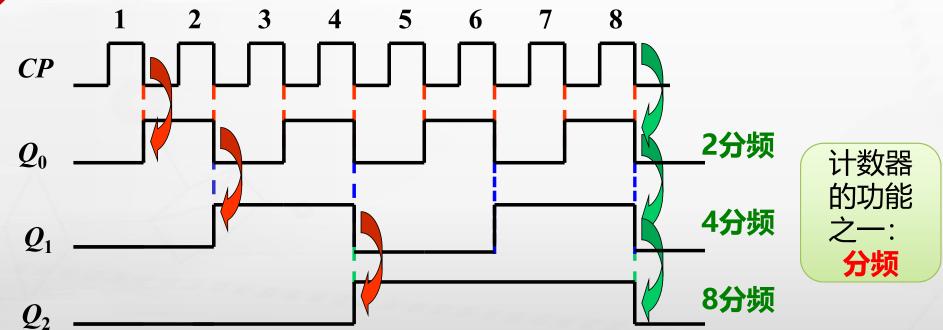




CP	J K	Q_{n+1}
	1 0	1
_	0 1	0
(下降 沿)	0 0	Q_n
	1 1	Q_n



工作波形



每个触发器翻转的时间有先后,与计数脉冲不同步



J_{\bullet}	K端逻辑
	表达式

翻转条件

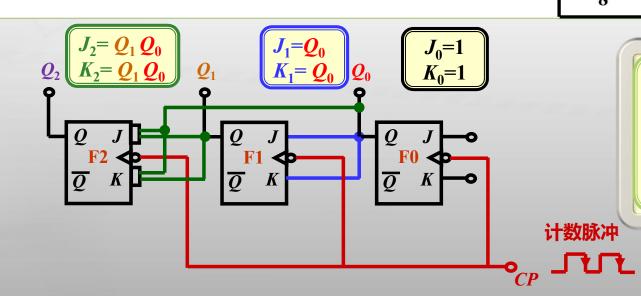
F0	$J_0 = K_0 = 1$	每输入一个 <i>CP</i> , <i>Q</i> ₀ 翻一次
F1	$J_1 = K_1 = Q_0$	当 $Q_0 = 1$ 时,再来 CP , Q_1 会发生翻转
F2	$J_2 = X_2 = Q_1 Q_0$	当 $Q_1 = Q_0 = 1$ 时,再来 CP , Q_2 会发生翻转

_		
CP	J K	Q_{n+1}
	1 0	1
	0 1	0
(下 降 沿)	0 0	Q_n
沿)	1 1	Q_n

计数脉冲	二进制数				
VI SXIMAT	Q_2	Q_1	Q_0		
0	0	0	0		
1					
2					
3					
4					
3 4 5 6					
6					
7					
8					

驱动方程

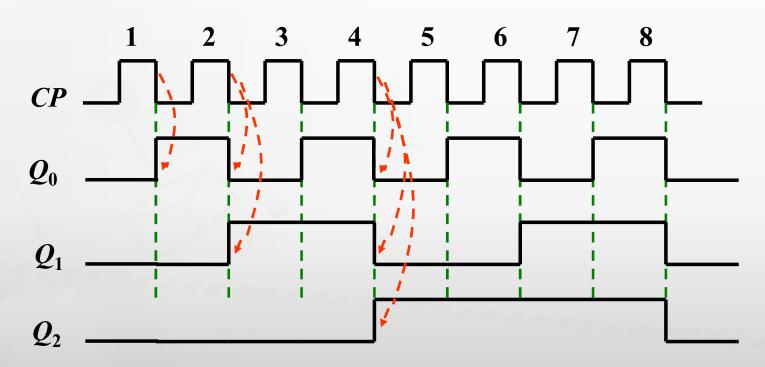




3二 进制 计数 器



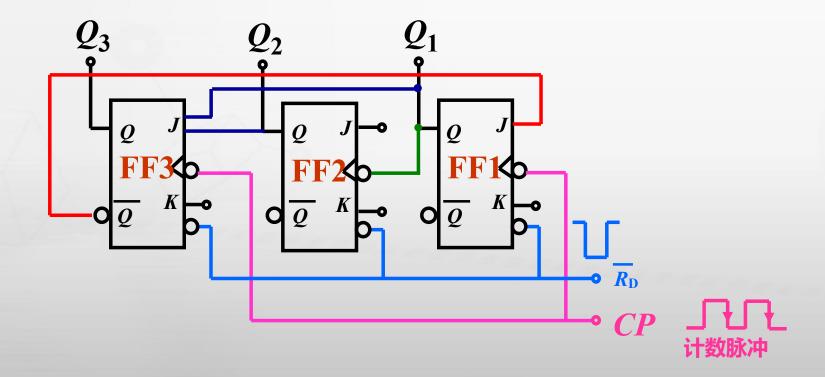
工作波形



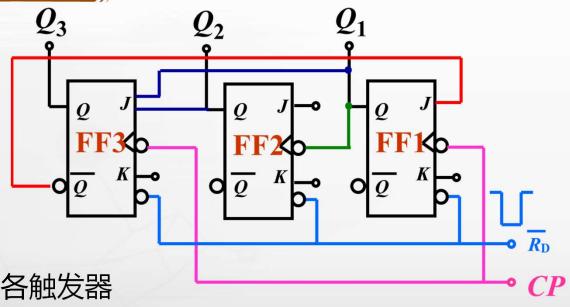
各触发器状态的变换和计数脉冲同步



例: 分析图示逻辑电路的逻辑功能,说明其用处。 设初始状态为 "000"。







异步

各触发器 状态的变换 和计数脉冲 不同步。

解: 1. 写出各触发器

J、K端和CP端的逻辑表达式

驱动方程

$$J_1 = \overline{Q}_3 \qquad K_1 = 1 \quad CP_1 = CP$$

$$I_2 = 1$$
 $K_2 =$

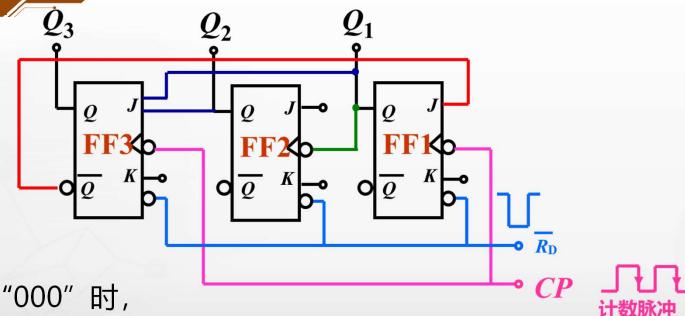
$$J_2 = 1$$
 $K_2 = 1$ $CP_2 = Q_1(1 \rightarrow 0)$

$$J_3 = Q_1 Q_2 \quad K_3 = 1 \quad CP_3 = CP$$

时钟脉冲 方程

计数脉冲





解: 当初始状态为"000"时,

各触发器J、K端和CP端的电平为

$$J_1 = \overline{Q}_3 = 1$$
 $K_1 = 1$ $CP_1 = CP = 0$
 $J_2 = 1$ $K_2 = 1$ $CP_2 = Q_1 = 0$

$$J_3 = Q_1Q_2 = 0$$
 $K_3 = 1$ $CP_3 = CP = 0$



2.列写状态表

$$CP_1 = CP$$

$$CP_2 = Q_1(1 \rightarrow 0)$$

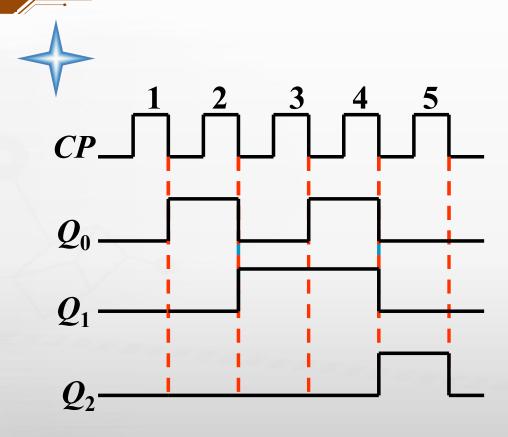
$$CP_3 = CP$$

CP	$J_3=Q_1Q_2$	$K_3 = 1$	$J_2 =$	$K_2 = 1$	$J_1 = \overline{Q}_3$	$K_1=1$	Q_3	Q_2	Q_1
0	0	1	1	1	CP.=		0	0	0
1	0	1	1	1	1	1	0	Û	<u>-1</u>
2	0	1	1	1	1	1	0	1	0
3	1	1	1	1	1	1	0	1	1
4	0	1	1	1	0	1	1	0	0
5	0	1	1	1	1	1	0	0	0

由表可知,经5个脉冲循环一次,为五进制计数器。

由于计数脉冲没有同时加到各位触发器上,所以为异步计数器。





异步五进制计数器工作波形



• 14.3.2 十进制计数器

十进制计数器:

计数规律: "逢十进一"。它是用四位二进制数表示对应的十进制数,所以又称为二-十进制计数器。

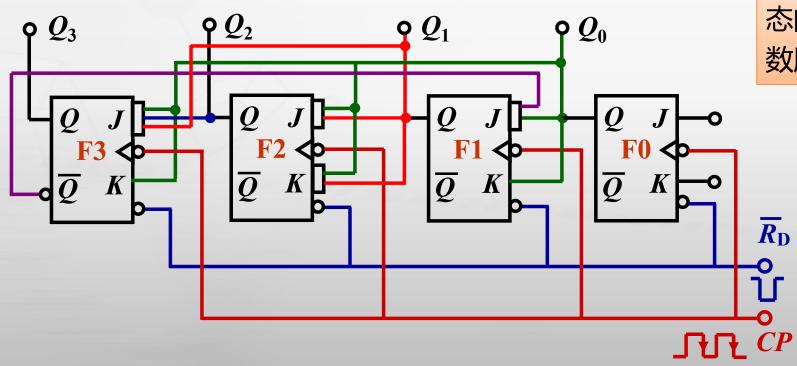
四位二进制可以表示十六种状态,其中任何10种状态都可以表示十进制数的十个状态,方案很多,最常用的是8421编码。

8421编码:四位二进制代码的16中状态中取前10种状态 (0000~1001),表示0~9十个数码,后面六种状态去掉。



1、同步十进制加法计数器

(1) 电路结构



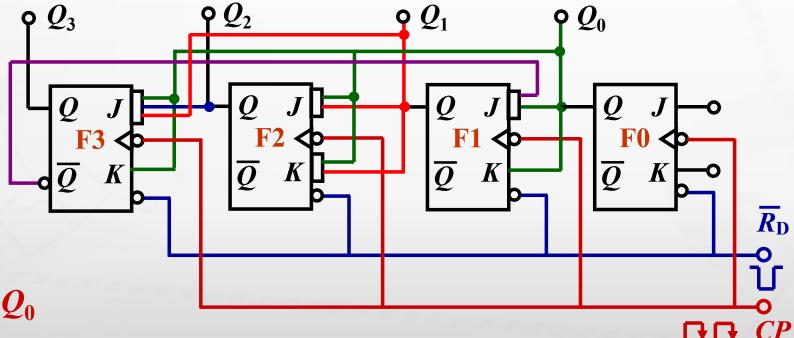
同步

各触发器状 态的变换和计 数脉冲同步。



(2) 输入端逻辑表

达式 (驱动方程)



$$\mathbf{F_0}: J_0 = K_0 = 1$$

$$\mathbf{F}_{1}$$
: $J_{1} = \overline{Q}_{3}Q_{0}$, $K_{1} = Q_{0}$

$$\mathbf{F}_{2}$$
: $J_{2} = K_{2} = Q_{1}Q_{0}$

$$F_3$$
: $J_3 = Q_2 Q_1 Q_0$, $K_3 = Q_0$



(3) 状态表

CP	$J_3 K_3$	$J_2 K_2$	$J_1 K_1$	$J_0 K_0$	$Q_3 Q_2 Q_1 Q_0$
0	0 0	0 0	0 0	1 1	0 0 0 0
1	0 1	0 0	1 1	1 1	0 0 0 1
2	0 1	0 0	0 0	1 1	0 0 1 0
3	0 1	1 1	1 1	1 1	0 0 1 1
4	0 0	0 0	0 0	1 1	0 1 0 0
5	0 1	0 0	1 1	1 1	0 1 0 1
6	0 0	0 0	0 0	1 1	0 1 1 0
7	1 1	1 1	1 1	1 1	0 1 1 1
8	0 0	0 0	0 0	1 1	1 0 0 0
9	0 1	0 0	0 0	1 1	1 0 0 1
10					0 0 0 0

各触发器状 态的变换和计 数脉冲同步。

$$F_0: J_0 = K_0 = 1$$

$$\mathbf{F_1:} \quad J_1 = \overline{Q}_3 Q_0$$

$$K_1 = Q_0$$

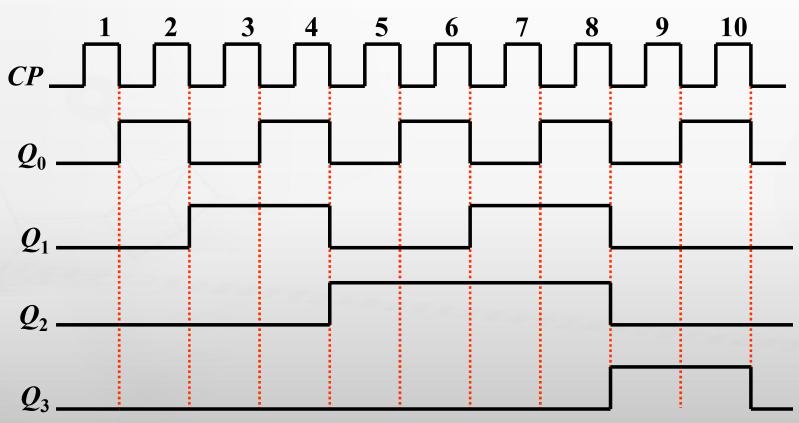
$$F_2$$
: $J_2 = Q_1 Q_0$
 $K_2 = Q_1 Q_0$

F₃:
$$J_3 = Q_2 Q_1 Q_0$$

 $K_3 = Q_0$



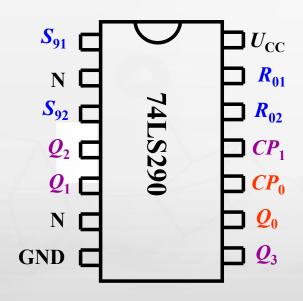
(4) 工作波形





2、异步十进制加法计数器——二-五-十进制计数器 (74LS290)

CT74LS290 功能表

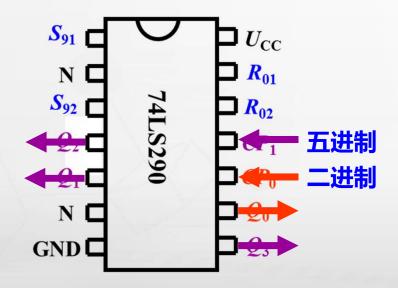


	输入			输出				THAK	
$R_{0(1)}$	$R_{0(2)}$	$S_{9(1)}$	$S_{9(2)}$	Q_3	Q_2	Q_1	Q_0	功能	
1	1	× 0	0 ×	0	0	0	0	清零	
×	×	1	1	1	0	0	1	置9	
×	0	×	0						
0	×	0	×					计数	
0	×	×	0					VI 32X	
×	0	0	×						

- (1) R₀₁、R₀₂: 清零端;
- (2) S₉₁、S₉₂: 置9端;
- (3) *CP*₀、*CP*₁: 计数脉冲输入端;
- (4) Q_0 、 Q_1 、 Q_2 、 Q_3 : 输出端;



74LS290 异步二-五-十进制计数器介绍



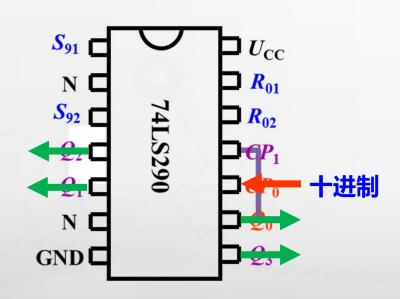
(1) 二进制计数器: 只输入计数脉冲 CP_0 , 由 Q_0 输出;

(2) 五进制计数器: 只输入计数脉冲 CP_1 , 由 $Q_1 \sim Q_3$ 输出;



74LS290 异步二-五-十进制计数器介绍

CT74LS290 功能表



	输入				输出			工业公共
$R_{0(1)}$	$R_{0(2)}$	$S_{9(1)}$	$S_{9(2)}$	Q_3	Q_2	Q_1	Q_0	功能
1	1	× 0	0 ×	0	0	0	0	清零
×	×	1	1	1	0	0	1	置9
×	0	×	0					
0	×	0	×					计数
0	×	×	0					PISX
×	0	0	×					

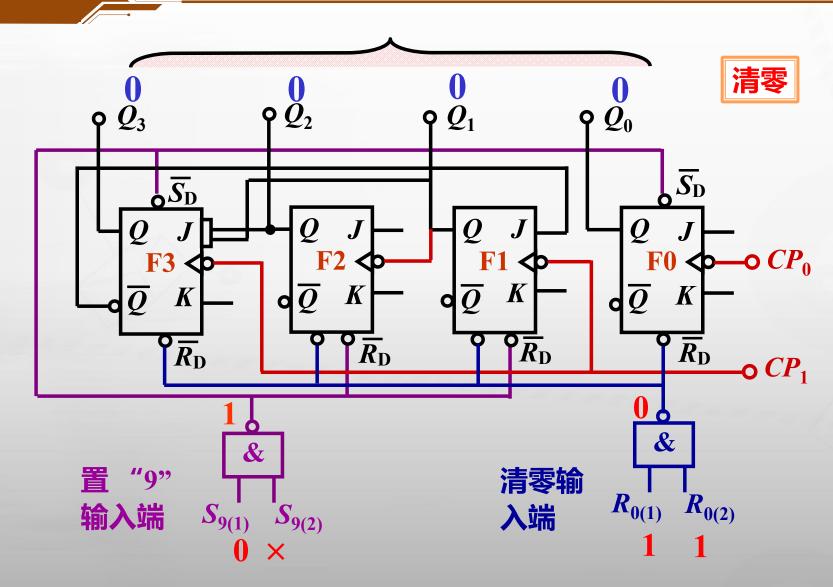
(1) 二进制计数器: 只输入计数脉冲 CP_0 , 由 Q_0 输出;

(2) 五进制计数器: 只输入计数脉冲 CP_1 , 由 $Q_1 \sim Q_3$ 输出;

(3) 十进制计数器:将 Q_0 与 CP_1 相连,输入计数脉冲 CP_0 ,由 $Q_0 \sim Q_3$ 输出

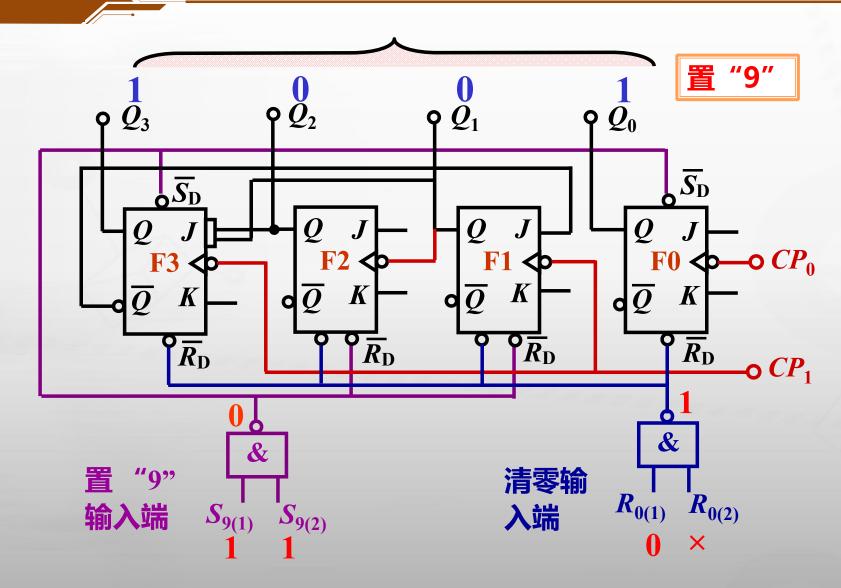


(2) 逻辑功能





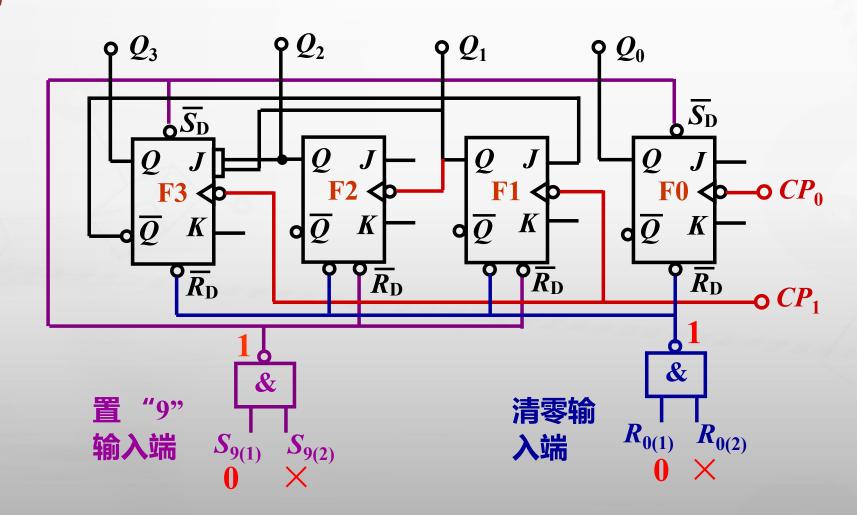
(2) 逻辑功能





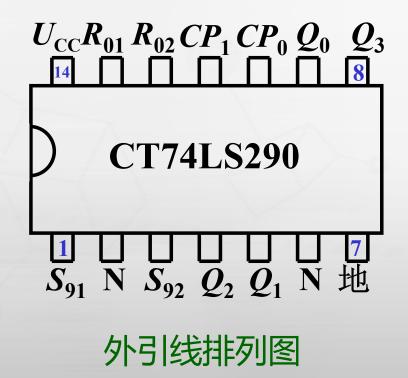
(2) 逻辑功能





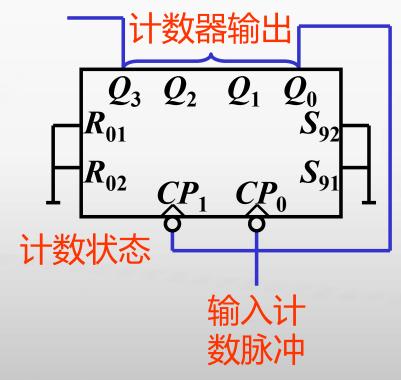


(3) 74LS290的应用



十分频输出

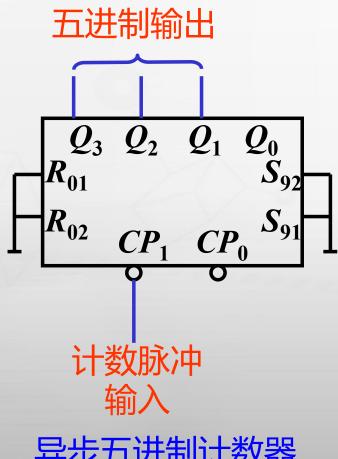
(进位输出)



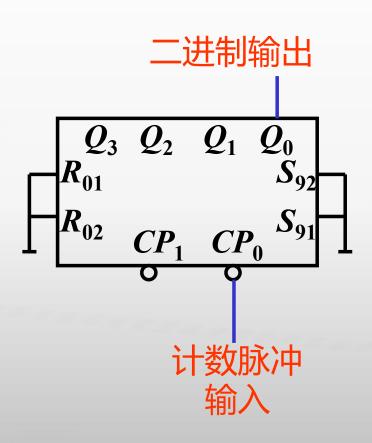
异步十进制计数器



(3) 74LS290的应用

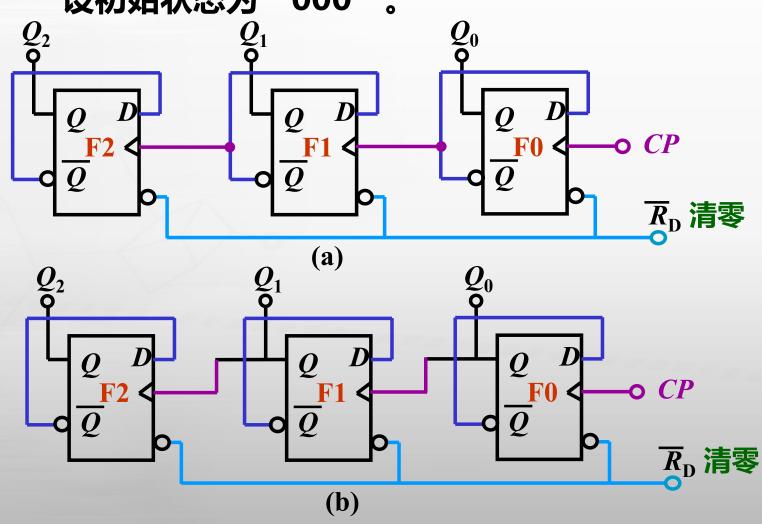


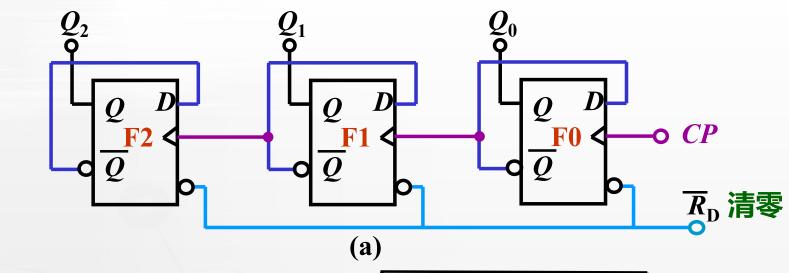
异步五进制计数器

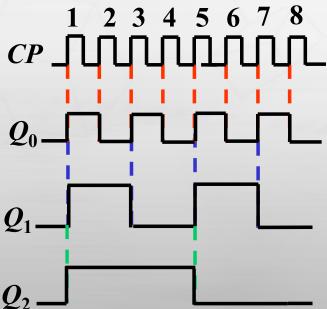


二进制计数器

例1: 分析如图所示两个逻辑电路的逻辑功能。 设初始状态为 "000"。

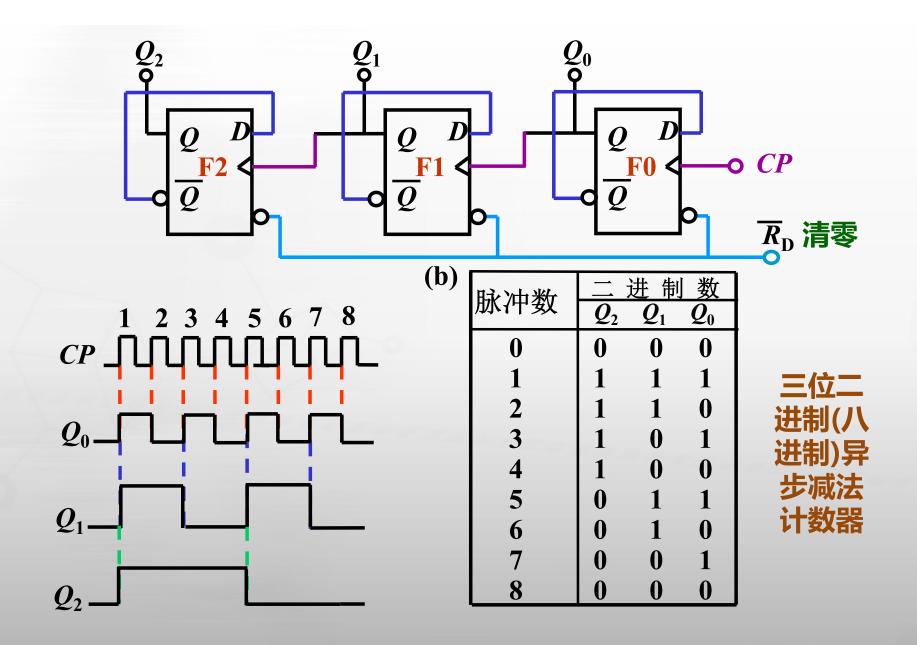






脉冲数		进制	」数
加小甲女人	Q_2	Q_1	Q_0
0	0	0	0
1	0	0	1
2 3 4	0	1	0
3	0	1	1
4	1	0	0
5 6	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0

三位二 进制(八 进制)异 步加法 计数器





如何构成 N进制计数器

反馈置 "0" 法: 当满足一定的条件时,利用计数器的复位端强迫计数器清零, 重新开始新一轮计数。

利用反馈置"0"法可用已有的计数器得出小于原进制的计数器。

例:用一片74LS290可构成十进制计数器,如将十进制计数器适当改接,利用其清零端进行反馈清零,则可得出十以内的任意进制计数器。



用一片74LS290构成十以内的任意进制计数器

例: 六进制计数器

如何 构 N进 制数 器

	脉冲数		二进制	数		十进制数	
<u> </u>	(CP)	Q_3	Q_2	Q_1	Q_0		X
Ī	0	0	0	0	0	0	<u> </u>
	1	0	0	0	1	1	1 4
	2	0	0	1	0	2	し种
	3	0	0	1	1	3	【状
	4	0	1	0	0	4	态
	5	0	1	0	1	5	
	6	0	1	1	0	6	
	7	0	1	1	1	7	
	8	1	0	0	0	8	
	9	1	0	0	1	9	
	10	0	0	0	0	0	



例: 六进制计数器

如何 构成 N进 制数器

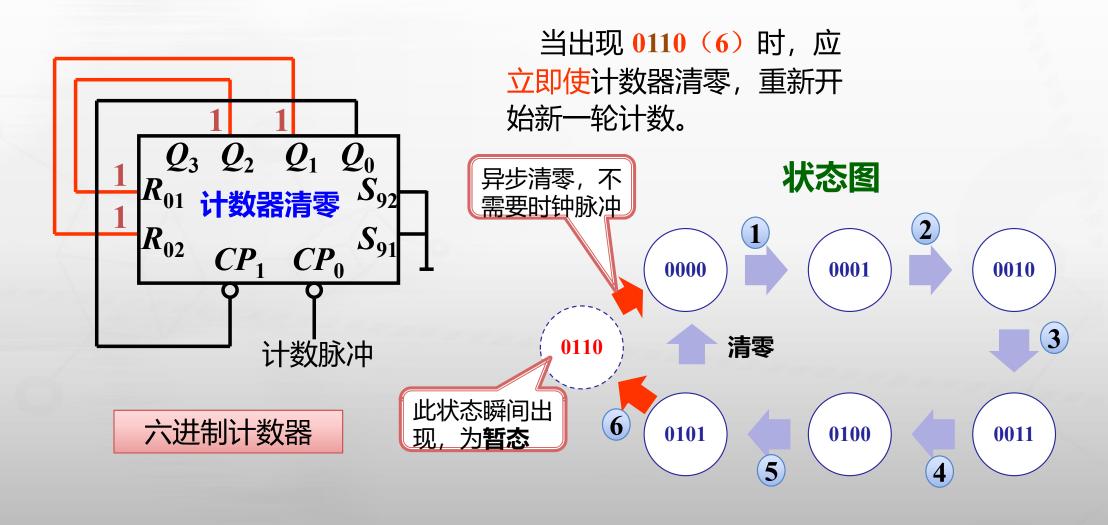
Q_3	Q_2	Q_1	Q_0
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
9	1	1	0
0	1	1/	1
1	0	0	0
1	0	0	1
9	0	0	0

74LS290为异步 清零的计数器

反馈置"0"实现方法:

当状态 0110 (6) 出现时,将 $Q_2=1$, $Q_1=1$ 送到复位端 R_{01} 和 R_{02} ,使计数器立即清零。状态 0110 仅瞬间存在,显示不出,立即回到 00000。

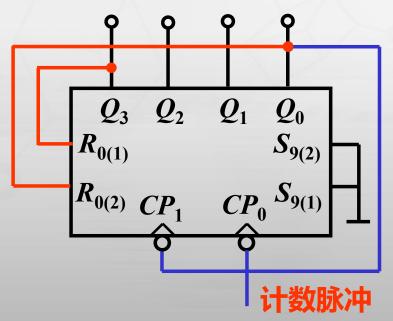






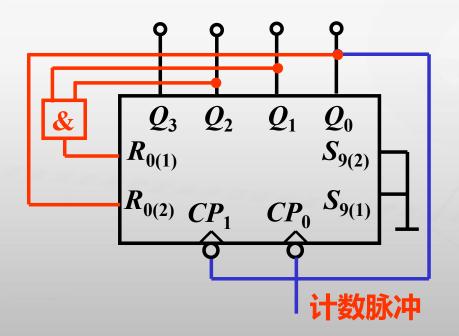
九进制计数器

当状态 1001 (9) 出现时,将 $Q_3=1$, $Q_0=1$ 送到复位 端 $R_{0(1)}$ 和 $R_{0(2)}$, 使计数器 立即清零。



七进制计数器

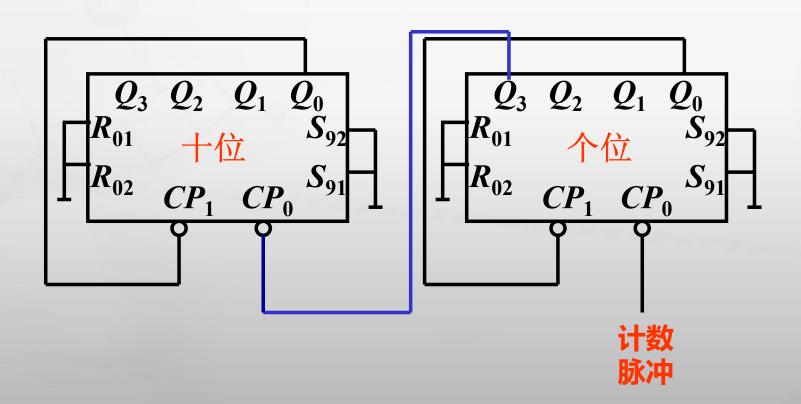
当状态 0111 (7)出现时, 使计数器立即清零。





二片74LS290可构成100进制的计数器

两位十进制计数器 (100进制)





例:采用清零法用两片74LS290构成二十四进制计数器

