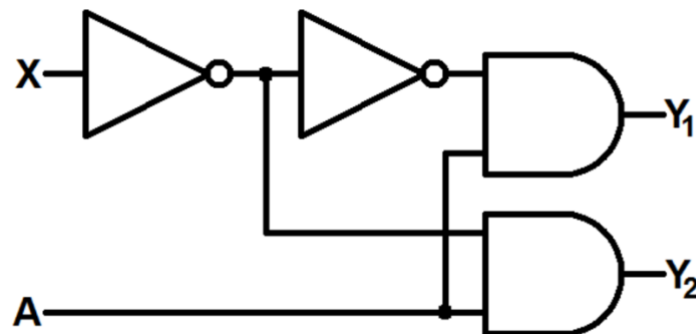


چکیده

هدف از این پروژه پیاده سازی مدار مربوط به یک 1-to-2 Demultiplexer در سطح ترانزیستور به روش های static cmos, pseudo nmos و dynamic logic و مقایسه ی نتایج آن ها می باشد. شمای یک مدار 1-to-2 decoder در شکل ۱ قابل ملاحظه است.



شکل ۱ : شمای 2-to-1 decoder

(الف)

توجه : در تمام شکل موج ها گره ۲ ورودی X، گره ۳ ورودی A، گره ۶ خروجی Y1 و گره ۷ خروجی Y2 می باشد.

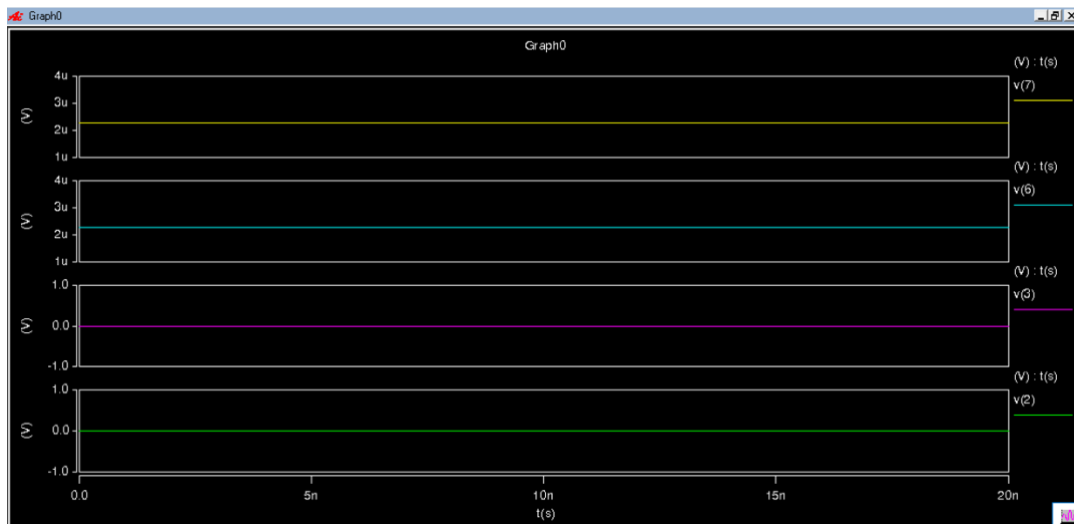
Static Cmos

دیکودر با منطق static cmos در فایل decoder_cmos.sp پیاده سازی شده است. خروجی مدار به ازای ۴ ترکیب ورودی مختلف نیز در شکل های ۲، ۳، ۴، ۵ قابل مشاهده است. خروجی های مربوط به تاخیر ها و تصاویر نیز در پوشه ی cmos_outputs قرار داده شده است. همچنین خروجی های مورد انتظار به ازای هر ورودی در جدول زیر قابل ملاحظه است.

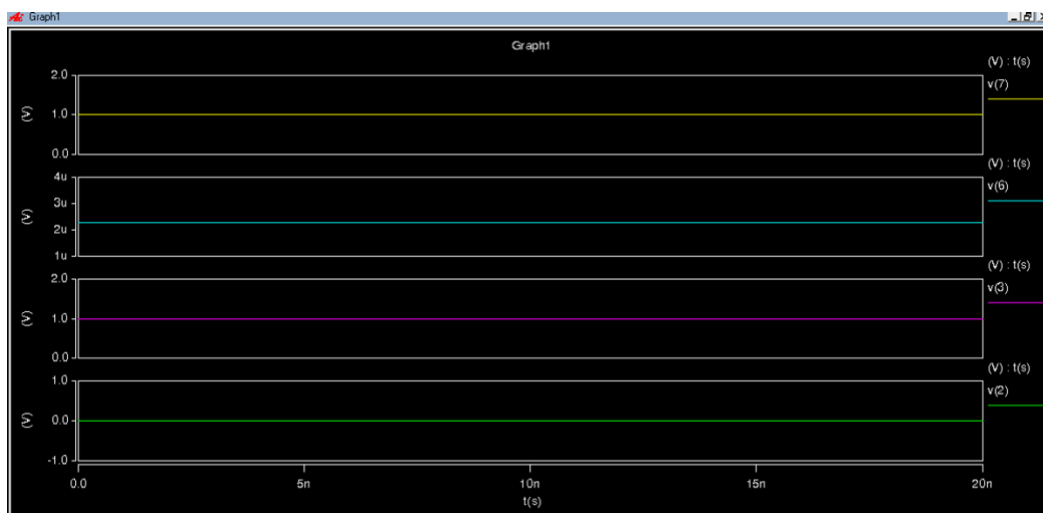
XA	Y1Y2
00	00
01	01
10	00

11

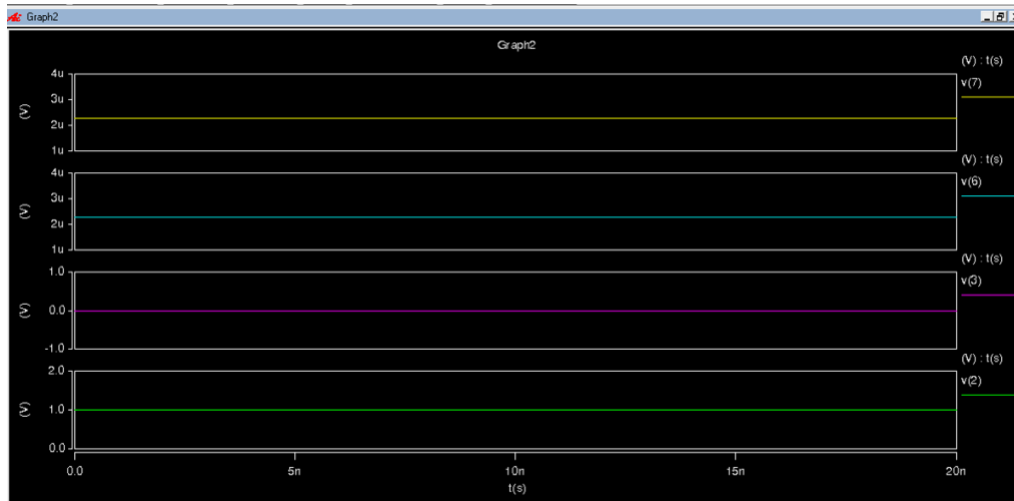
10



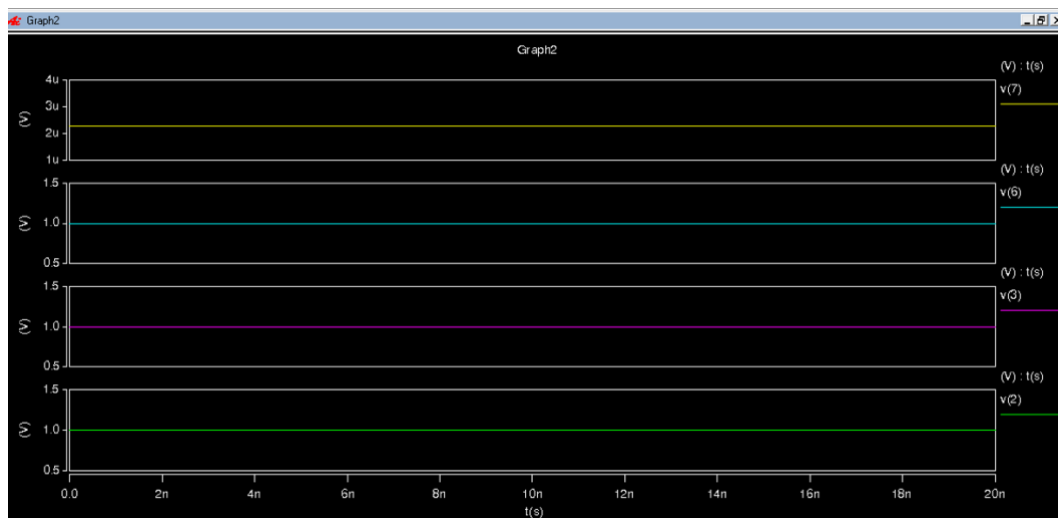
شکل ۲ : خروجی مدار static cmos به ازای $X = 0, A = 0$



شکل ۳ : خروجی مدار static cmos به ازای $X = 0, A = 1$



شکل ۴ : خروجی مدار static cmos به ازای $X = 1, A = 0$

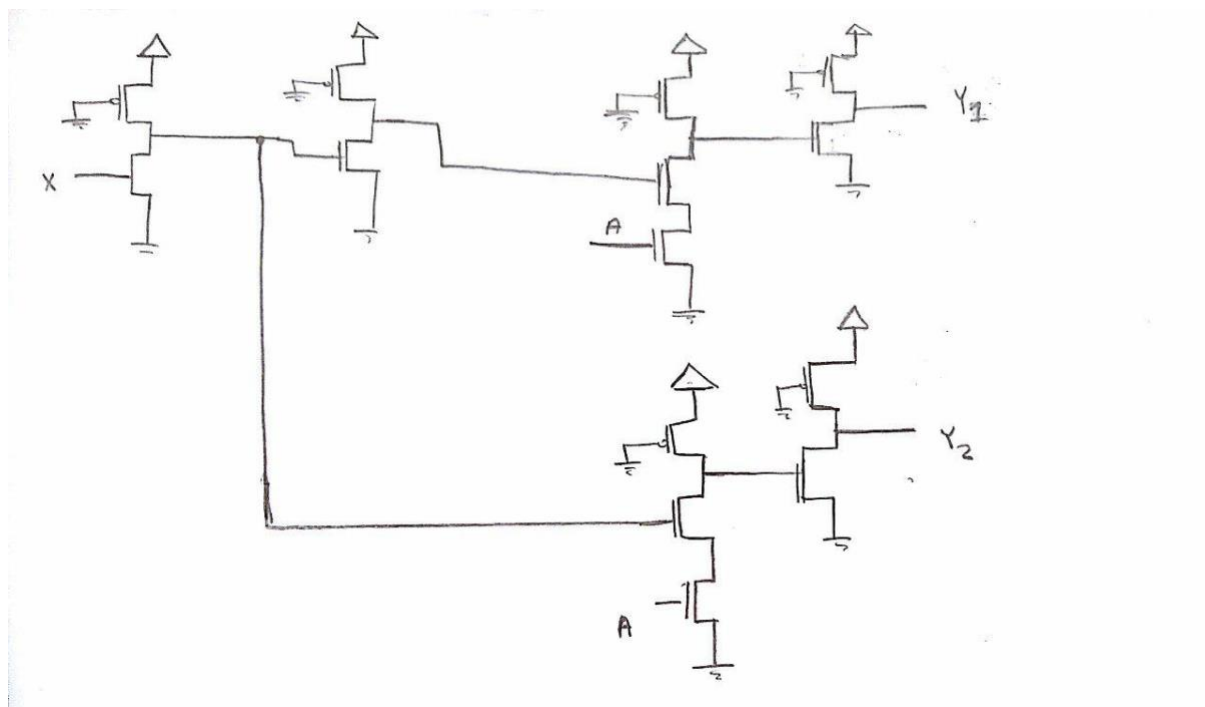


شکل ۵ : خروجی مدار static cmos به ازای $X = 1, A = 1$

دیکودر با منطق pseudo-nmos در فایل decoder_pseudonmos پیاده سازی شده است. خروجی مدار به ازای چهار ترکیب ورودی مختلف نیز در شکل های ۶، ۷، ۸، ۹ قابل مشاهده است.

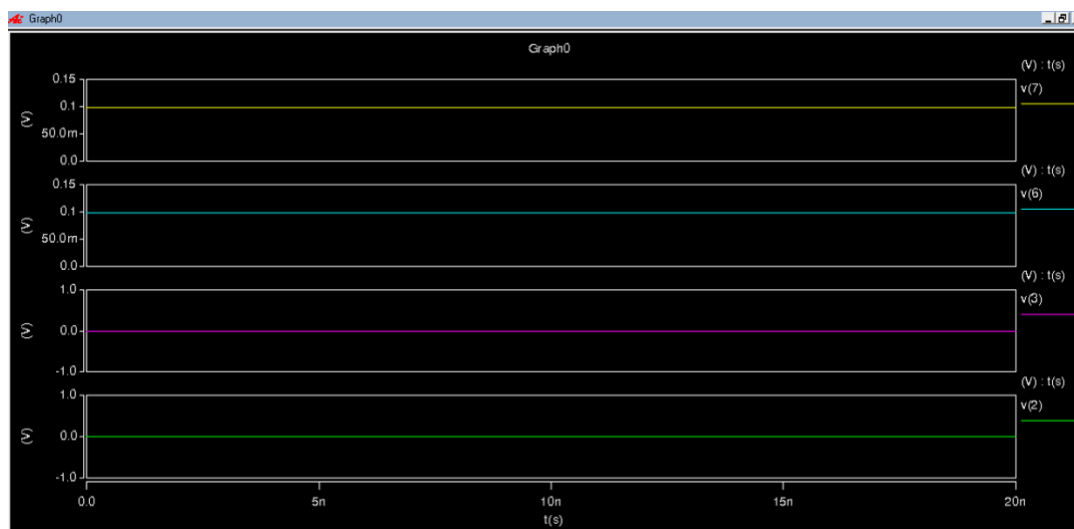
Pseudo-nmos

مدار پیاده سازی pseudo-nmos دیکودر در شکل ۶ قابل مشاهده است. همانطور که دیده می شود در بخش های pull-up یک ترانزیستور pmos قرار داده شده است که gate آن مستقیماً به زمین وصل شده است. همچنین بخش pull-down نیز مانند بخش pull-down منطق static cmos می باشد.

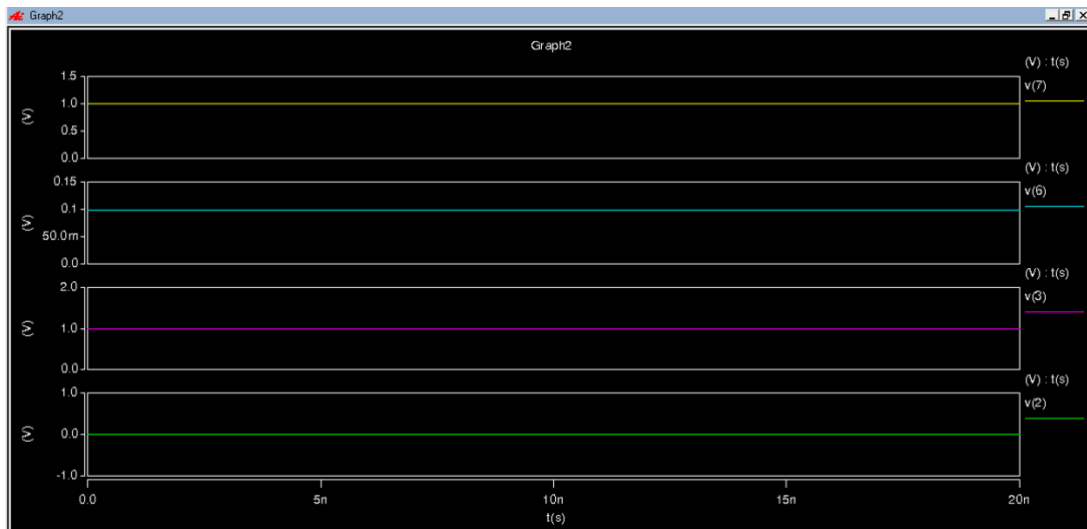


شکل ۶: مدار pseudo-nmos decoder

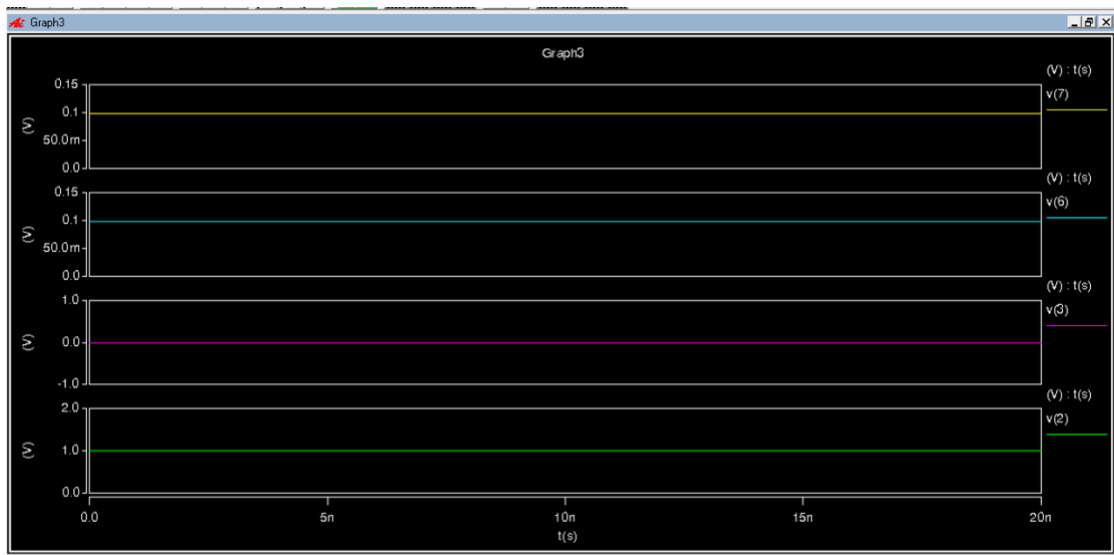
خروجی مدار به ازای چهار ترکیب ورودی های مختلف در شکل های ۷، ۸، ۹، ۱۰ قابل مشاهده است. می دانیم هر چه $(W/L)_p$ کوچکتر باشد، V_{ol} نیز کمتر می شود، در نتیجه در پیاده سازی $(W/L)_p$ برابر با ۱ در نظر گرفته شده است.



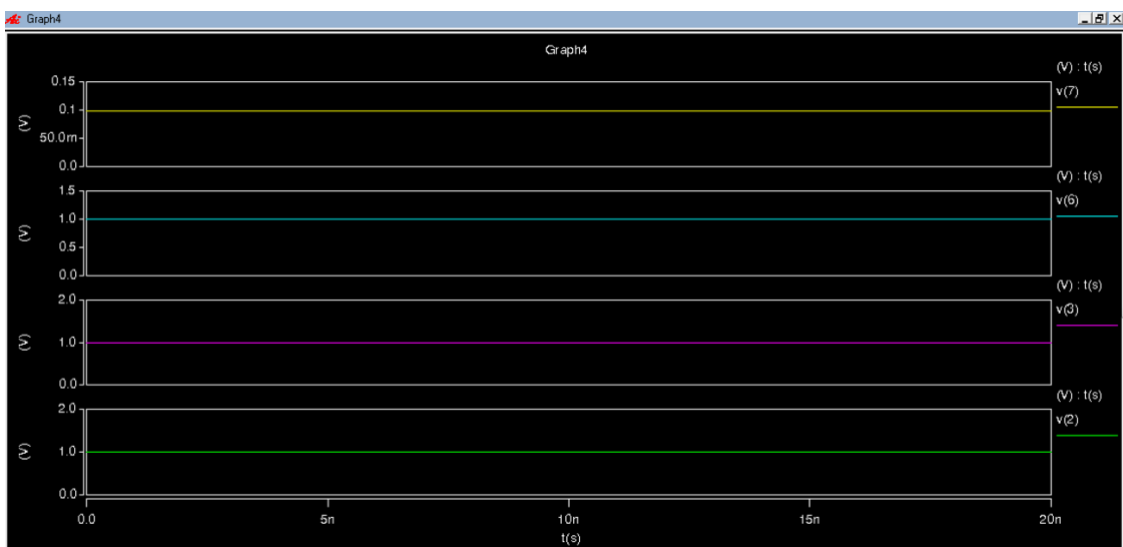
شکل ۷: خروجی مدار pseudo-nmos به ازای $X=0, A=0$



شکل ۸ : خروجی مدار pseudo-nmos به ازای $X=0, A=1$



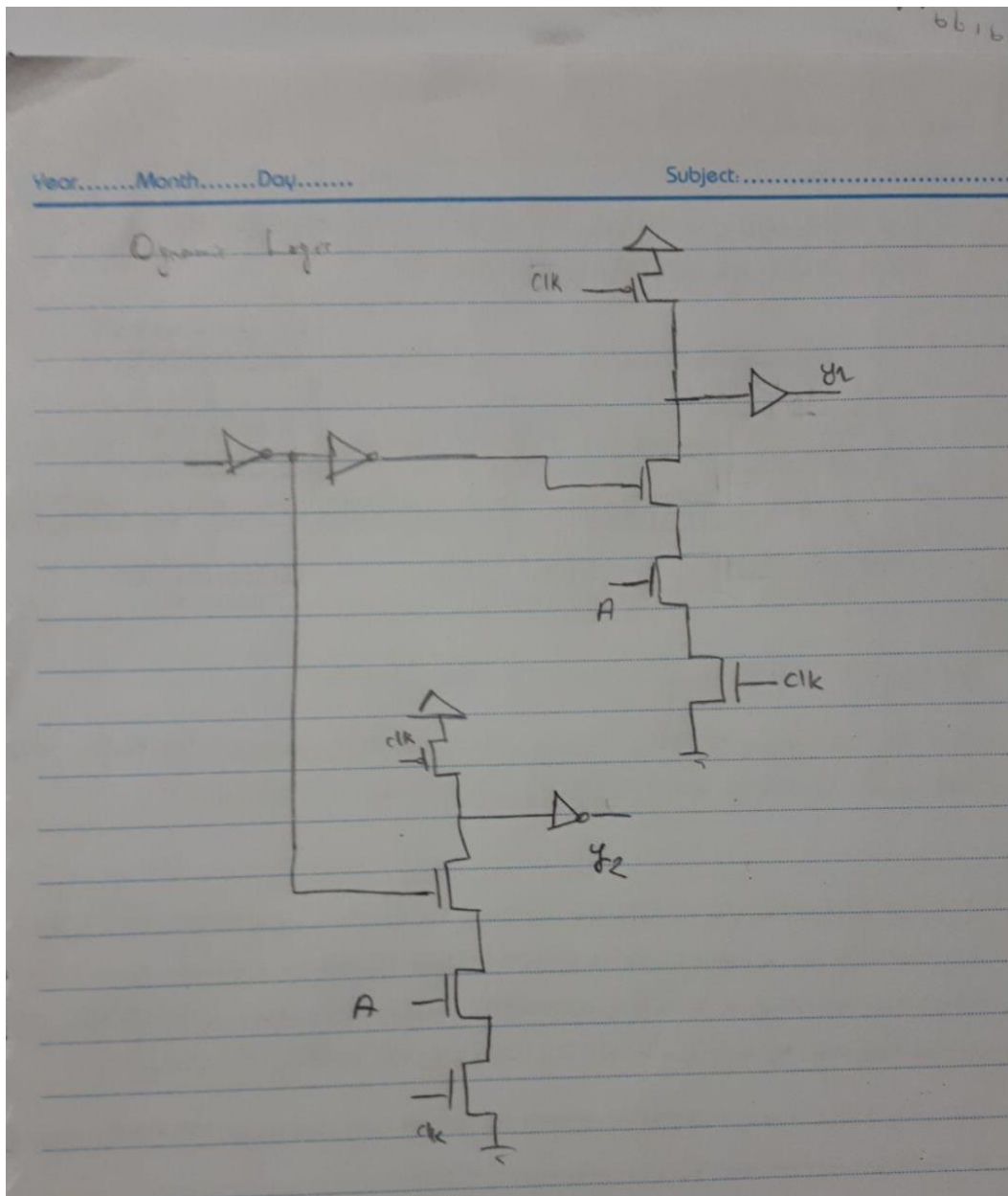
شکل ۹ : خروجی مدار pseudo-nmos به ازای $X=1, A=0$



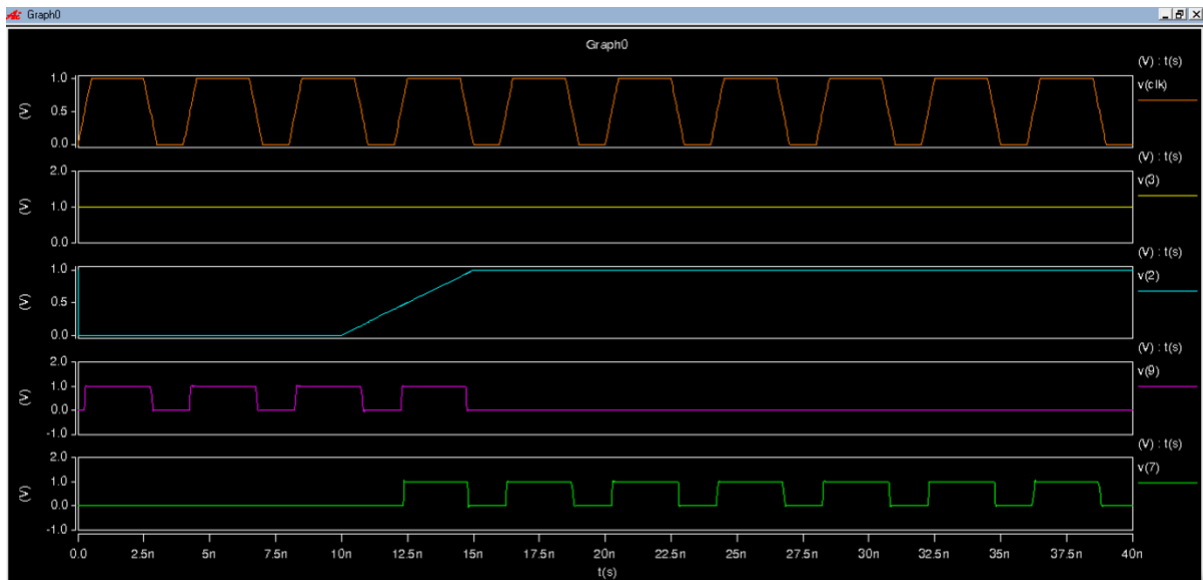
شکل ۱۰ : خروجی مدار pseudo-nmos به ازای $X=1, A=1$

Dynamic Logic

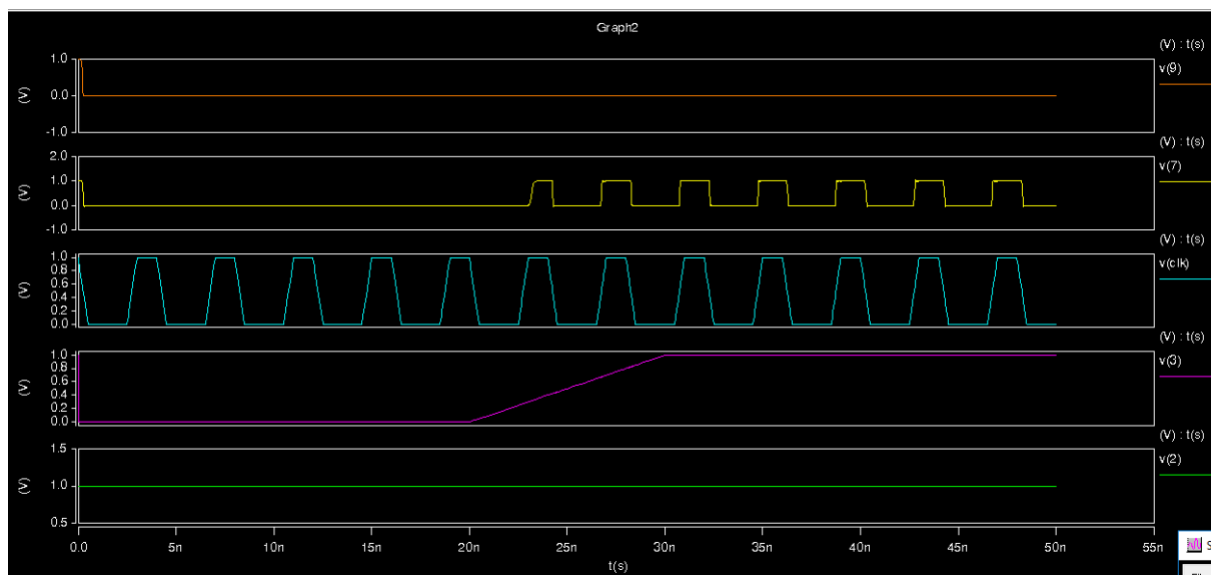
برای پیاده سازی dynamic decoder از منطق دومینو استفاده شده است. شمای مدار در شکل ۱۱ قابل مشاهده است. همانطور که مشاهده می شود دو and به صورت dynamic پیاده سازی شده اند. با توجه به اینکه در domino گیت not نداریم دو گیت not به صورت static قرار داده شده اند. پیاده سازی این بخش در فایل decoder_domino.sp قابل مشاهده است. همچنین تصاویر و خروجی های مربوط به تاخیر ها در پوشه ی Dynamic_outputs قرار داده شده اند.



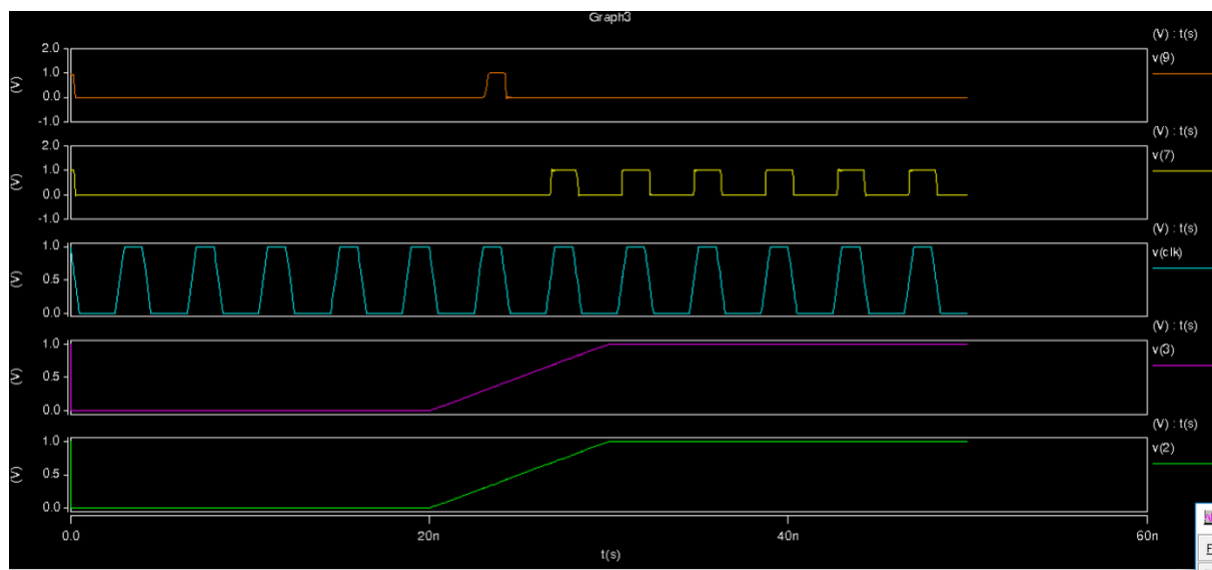
شکل ۱۱ : پیاده سازی دومینو 2-to-1 decoder
 نمونه خروجی های این ساختار به ازای ورودی های مختلف در شکل های زیر قابل مشاهده است.



شکل ۱۲ : خروجی مدار به ازای ترنزیشن ورودی از $X=1, A=1$ به $X=0, A=1$



شکل ۱۳ : خروجی مدار به ازای ورودی از $X=1, A=1$ به $X=1, A=0$



شکل ۱۴ : خروجی به ازای ترنزیشن $X=0, A=0$ به $X=1$ و $Y=1$

(ب)

	Dynamic	Pseudo-NMOS	Static CMOS
t_{phl}			2.6165e -11
t_{plh}			2.5730e-11
power		5.8796e-5	7.893e-7