

北京工业大学计算机学院  
2008~2009学年第一学期《数字逻辑》闭卷试题（A卷）  
考试时间：2009年1月8日 13时30分至15时05分

学号：\_\_\_\_\_ 姓名：\_\_\_\_\_ 成绩：\_\_\_\_\_

题号：	一	二	三	四
得分：				

一、填空题（每空2分，共26分）

1. 完成下列数制转换

$$(44.5)_{10} = (101100.1)_2 \quad (10000111)_2 = (207)_8$$

2. 完成下列代码转换

$$(409)_{10} \rightarrow (0100\ 0000\ 1001)_{8421\text{码}} \rightarrow (0111\ 0011\ 1100)_{\text{余3码}}$$

3. 已知 $[X]_{\text{补}} = 10001101$ ，求

$$[X]_{\text{反}} = 10001100, [X]_{\text{原}} = 11110011。$$

4. 已知某数为 $(1A)_{16}$ ，则对应的2421码表示为 $(0010\ 1100)_{2421}$ 。

$$5. \text{已知 } F = A + \overline{BC} \bullet (\overline{A} + D), \text{ 按规则求得 } F' = \underline{A \bullet (\overline{B + C} + \overline{A} \bullet D)}。$$

$$6. \text{已知信息码为 } (0010110)_2, \text{ 按奇校验约定发送时, 校验位的值是 } \underline{0}。$$

$$7. \text{已知 } F = \sum m^3(0,1,3,5), \text{ 则其反函数 } \overline{F} = \sum m^3(\underline{2,4,6,7})。$$

$$8. \text{在Verilog HDL中, 已知 } A=4'b1001, B=4'b1000, \text{ 则 } A\&\&B= \underline{1'B1}。$$

$$9. \text{在Verilog HDL的always过程中被赋值的变量一定要定义成 } \underline{\text{寄存器}} \text{ 类型。}$$

10. 同步时序电路的基本特征

是 电路具有统一时钟, 输出不仅与当前输入有关, 而且与原来的状态有关。

## 二、简答题（每题5分，共30分）

(1) 某函数F的卡诺图如下，按要求求出最简表达式。

CD \ AB	00 01 11 10			
	00	01	11	10
00	0	0	d	0
01	d	1	1	0
11	1	1	d	0
10	1	1	d	0

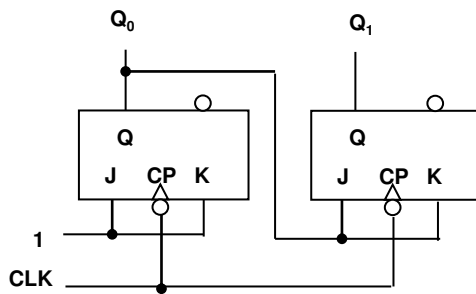
F

$$F_{\text{最简与或式}} = \overline{A}C + BD$$

$$\overline{F}_{\text{最简与或式}} = A\overline{B} + \overline{C}\overline{D}$$

$$F_{\text{最简或与式}} = (\overline{A} + B)(C + D)$$

(2) 写出下列同步时序电路 $Q_1Q_0$ 的状态方程并填写状态表。



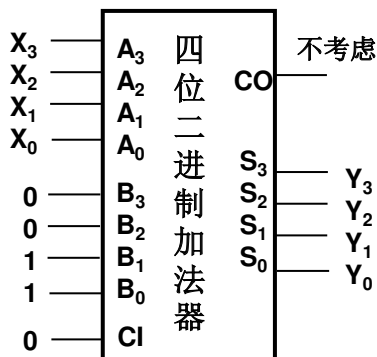
$Q_0(t) \backslash Q_1(t)$	0	1
0	0 1	1 1
1	1 0	0 0

$Q_1Q_0(t+1)$

$$\begin{aligned} Q_1(t+1) &= J_1\overline{Q}_1 + \overline{K}_1Q_1 \\ &= Q_0\overline{Q}_1 + \overline{Q}_0Q_1 \\ &= Q_0 \oplus Q_1 \end{aligned}$$

$$Q_0(t+1) = \overline{Q}_0$$

(3) 分析下列电路，按要求简答。



根据逻辑符号，简述四位二进制加法器的工作原理是：

$$\begin{array}{r} A_3A_2A_1A_0 \\ B_3B_2B_1B_0 \\ + \quad \quad \quad CI \\ \hline CO \ S_3S_2S_1S_0 \end{array}$$

有其他表述

根据电路连接，当输入 $X_3X_2X_1X_0$ 为8421码时，输出 $Y_3Y_2Y_1Y_0$ 的代码为：

余3码

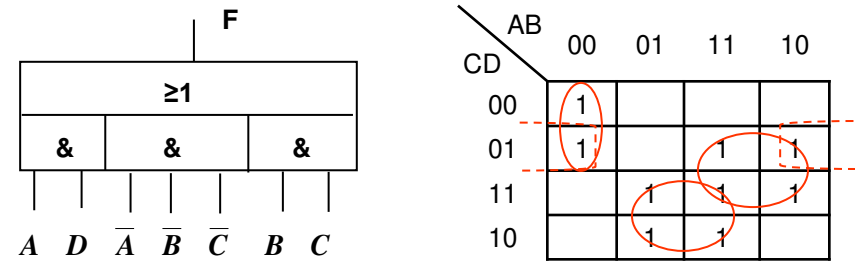
(4) 证明逻辑函数  $F = \overline{A}\overline{C} + A\overline{B}$  与  $G = AB + \overline{A}C$  的关系为互反。

$$\begin{aligned}
 \overline{F} &= (A + C)(\overline{A} + B) \\
 &= A\overline{A} + \overline{A}C + AB + BC \\
 &= \overline{A}C + AB + BC \\
 &= \overline{A}C + AB \\
 &= G
 \end{aligned}$$

证毕

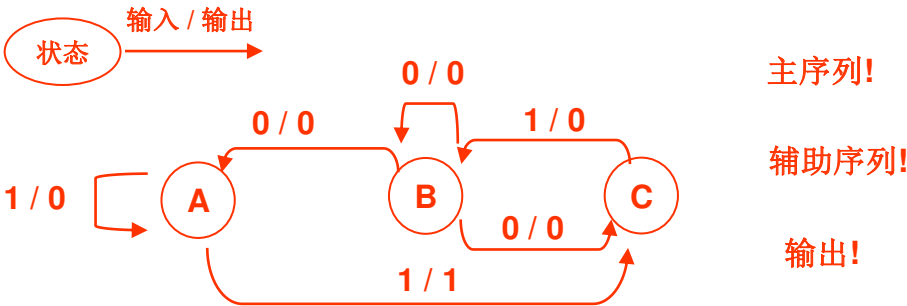
注：可有多种  
证明方法

(5) 用卡诺图法判断下列电路是否存在逻辑险象。



有逻辑险象？ 有。消除险象，应添加的冗余项为  $\overline{B}\overline{C}D$ 。

(6) 画出“011”（不可重）序列检测器的Mealy型原始状态图。



### 三、综合分析应用题（每题6分，共24分）

(1) 用隐含表法化简给定的同步时序电路原始状态表，生成最小状态表。

原始状态表

x S(t)	0	1
A	A / 0	B / 0
B	A / 0	C / 0
C	D / 1	C / 0
D	D / 1	E / 1
E	D / 1	E / 1

S(t+1) / z(t)

B	BC ×			
C	×	×		
D	×	×	×	
E	×	×	×	✓
	A	B	C	D

等效对：(D, E)

最大等效类：{A} {B} {C} {D,E}

↓

↓

↓

↓

新状态：      S0   S1   S2   S3

x S(t)	0	1
S0	S0 / 0	S1 / 0
S1	S0 / 0	S2 / 0
S2	S3 / 1	S2 / 0
S3	S3 / 1	S3 / 1

S(t+1) / z(t)

(2) 分析数据选择器74LS151构成的逻辑电路。列出F(A,B,C)的真值表；写出F的逻辑表达式；说明电路功能。

74LS151

A	—	x <sub>3</sub>
B	—	x <sub>2</sub>
C	—	x <sub>1</sub>
0	○	en
1	—	d <sub>0</sub>
0	—	d <sub>1</sub>
0	—	d <sub>2</sub>
0	—	d <sub>3</sub>
0	—	d <sub>4</sub>
0	—	d <sub>5</sub>
0	—	d <sub>6</sub>
1	—	d <sub>7</sub>

y — F

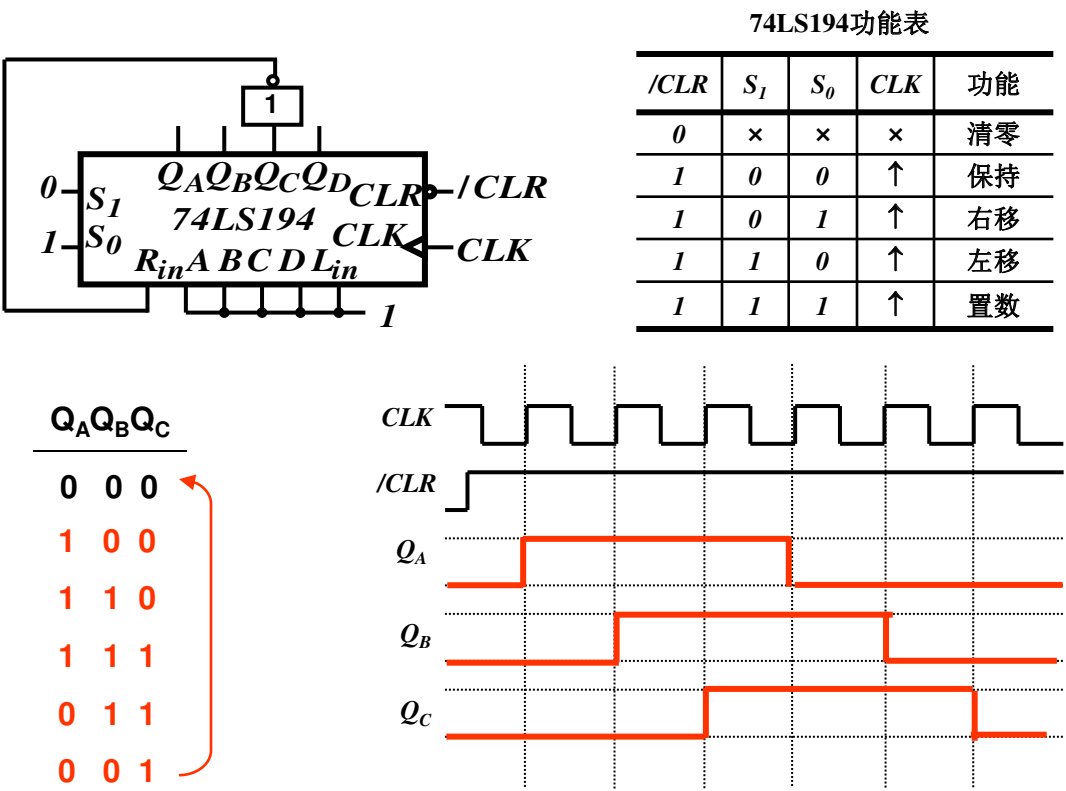
A	B	C	F
0	0	0	1
1	1	1	1
其它			0

$F(A,B,C) = \overline{A}\overline{B}\overline{C} + ABC$

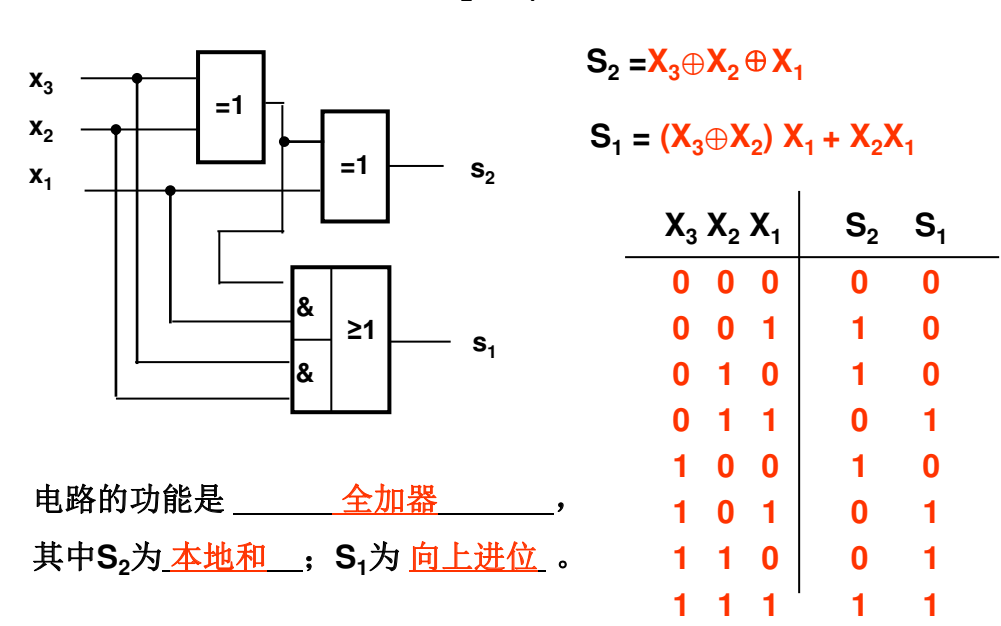
功能： 三变量一致检测电路 。

注：有多种解题方法

(3) 图示电路采用74LS194构成一个三位扭环型移位计数器，写出启动清零后 $Q_AQ_BQ_C$ 的状态转移序列并画出它们的波形图。



(4) 分析输入变量顺序为 $X_3$ 、 $X_2$ 、 $X_1$ 的组合电路。要求写出输出表达式、列真值表、说明电路的综合功能（ $S_2$ 、 $S_1$ ）是全减器还是全加器。



#### 四、设计题（共20分）

1. 已知  $F(A, B, C) = \sum m(0, 1, 3, 5, 7)$ ，请用Verilog HDL建模。（5分）

```
module my_1 ( a, b, c, f );
    input a, b, c ;
    output f ;
    reg f ;
    always @ ( a or b or c )
        case ( {a,b,c} )
            3'b010: f=0;
            3'b100: f=0;
            3'b110: f=0;
            default : f=1;
        endcase
endmodule
```

有其他方法

2. 用Verilog HDL描述一个满足下列要求的计数器。（10分）

- （1）下降沿（0 ~ 47）<sub>10</sub> 加1计数；
- （2）电路具有一个低有效的异步清零端；
- （3）电路具有一个高有效的计数使能端；
- （4）电路具有一个高有效的循环进位（RCO）输出端。

```
module my_2 ( clk, en, reset, data, rco );
    input clk, en, reset ;
    output rco ;
    output [6:1] data ;
    reg [6:1] data ;
    always @ ( negedge clk or negedge reset )
        if ( !reset )    data<=0 ;                // 异步清零
        else if (en==1)
            if (data==47) data<=0 ;                // 模控制
            else data<=data+1 ;                    // 计数
            else data<=data ;                        // 使能无效，保持
    assign rco=((data==47) && (en==1)) ? 1 : 0 ;    // 循环进位
endmodule
```

有其他方法

3. 某数字系统中需要四个低有效且互斥的使能信号/C0、/C1、/C2、/C3，它们产生的条件是：在时钟CLK的控制下，当进行读操作（R=1）且A[7:0] = ( 30 )<sub>16</sub>时，仅/C0有效；当进行读操作（R=1）且A[7:0] = ( 34 )<sub>16</sub>时，仅/C1有效；当进行写操作（W=1）且A[7:0] = ( 38 )<sub>16</sub>时，仅/C2有效；当进行写操作（W=1）且A[7:0] = ( 3C )<sub>16</sub>时，仅/C3有效。请根据题意将功能表补充完整并采用Verilog HDL建模。（5分）

输入										输出				
CLK	R	W	A7	A6	A5	A4	A3	A2	A1	A0	/C0	/C1	/C2	/C3
↑	1	0	0	0	1	1	0	0	0	0	0	1	1	1
↑	1	0	0	0	1	1	0	1	0	0	1	0	1	1
↑	0	1	0	0	1	1	1	0	0	0	1	1	0	1
↑	0	1	0	0	1	1	1	1	0	0	1	1	1	0
↑	其它										1	1	1	1

```

module my_3 ( clk, r, w, a, cs );
    input clk, r, w ;
    input [7:0] a ;
    output [3:0] cs ;
    reg [3:0] cs ;
    always @ ( posedge clk )
        if ( r==1 && w==0 )
            case ( a )
                8'h30 : cs <= 4'b1110 ;
                8'h34 : cs <= 4'b1101 ;
                default : cs <= 4'b1111 ;
            endcase
        else if ( r==0 && w==1 )
            case ( a )
                8'h38 : cs <= 4'b1011 ;
                8'h3c : cs <= 4'b0111 ;
                default : cs <= 4'b1111 ;
            endcase
        else cs <=4'b1111 ;
endmodule

```

有其他方法

草稿页