

《数字逻辑》第1~4章自测题

一. 数制转换

$$(88.125)_{10} = ()_2 = ()_8 = ()_{16}$$

二. 代码转换

$$(138)_{10} \rightarrow \left\{ \begin{array}{l} () \text{ 8421码} \\ () \text{ 余3码} \\ () \text{ 2421码} \\ () \text{ 格雷BCD码} \end{array} \right.$$

三. 真值、原码、反码、补码

(1) 已知真值 $x = -0.11001$; 求8位的 $[x]_{\text{原}}$ 、 $[x]_{\text{反}}$ 、 $[x]_{\text{补}}$ 。

(2) 已知 $[x]_{\text{补}} = 10011001$, 求 $[x]_{\text{原}}$ 、 $[x]_{\text{反}}$ 及真值。

四. 填表

信息码	奇校验时, 校验位	偶校验时, 校验位
1100110		
0101100		

五. 逻辑代数中的反演规则和对偶规则

已知函数 $F = A \bullet \overline{B} + \overline{D} + (AC + BD) \bullet E$

利用反演规则求 \overline{F} , 利用对偶规则求 F' 。

六. 逻辑代数的公理、定理

(1) 证明逻辑函数 $F = \overline{AC} + \overline{AB}$ 与 $G = AB + \overline{AC}$ 的关系为互反。

(2) 已知 $A \oplus B = C$, 证明 $A \oplus C = B$ 。

七. 逻辑函数的性质

(1) 已知 $F = \overline{A}B + \overline{A}\overline{B}C$ 求 $F = \sum m^3(\quad) = \prod M^3(\quad)$
 $\overline{F} = \sum m^3(\quad) = \prod M^3(\quad)$

(2) 已知函数的变量顺序为A、B、C、D，试写出 m_4 、 m_6 、 M_7 和 M_{15} 。

(3) 下列函数在什么输入组合取值时， $F=0$ 。

$$F(A,B,C) = \sum m(0,2,3,7)$$

八. 逻辑函数的化简

(1) 已知 $F(A,B,C,D) = \overline{\overline{B} + \overline{C}} + \overline{A}(BC + \overline{D}) + AB$

作函数的卡诺图，求 $F = \sum m^4(\quad) = \prod M^4(\quad)$ 和 F 的最简与或式、最简或式。

$$F(A,B,C,D) = \overline{B}C + \overline{A}BC + \overline{A}\overline{D} + AB$$

(2) 某函数F的卡诺图如下，求其最简与或式和最简或式。

AB \ CD					
		00	01	11	10
00		0	1	d	0
01		d	1	1	0
11		1	1	d	0
10		1	1	0	0


F

(3) 已知 $F(A,B,C) = \sum m(0,3,5) + \sum d(7)$
 $G(A,B,C) = \prod M(1,3) \bullet \prod d(0)$

求 $F \oplus G$ 的最简与或式。

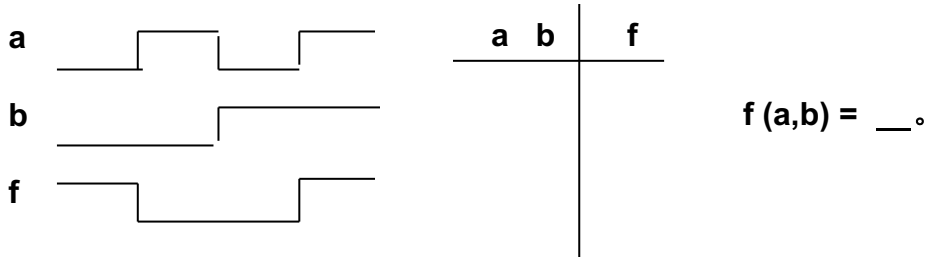
九、Verilog HDL基础知识

1. Verilog HDL的模块由模块声明、端口定义、数据类型说明和 逻辑功能定义 四部分构成。
2. 在Verilog HDL的always过程块中的被赋值变量一定要定义成 寄存器 (reg) 类型。
3. 在Verilog HDL中，wire型信号的特征是 没有状态保持能力。
4. 在Verilog HDL中，reg型信号的特征是 具有记忆功能。
5. 在Verilog HDL中，always过程的敏感事件列表分为 电平敏感 型和 边沿敏感 型。
6. 在Verilog HDL中，采用always过程描述组合电路时，应采用 电平 型敏感事件列表和 阻塞 型过程赋值语句。
7. 在Verilog HDL中，采用always过程描述同步时序电路时，应采用 边沿 型敏感事件列表和 非阻塞 型过程赋值语句。
8. 在Verilog HDL中，已知 $A=4'b1011$ 、 $B=4'h3$ ，则 $A \& B$ 的结果是 1'B1； $A \& B$ 的结果是 4'b0011； $\sim A$ 的结果是 1'B1； $\sim B$ 的结果是 4'b1100。
9. 改正下列Verilog HDL模块中的语法错误。

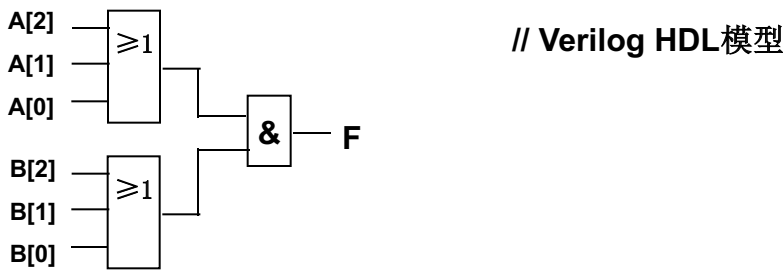
```
module 0721_ch ( a, b, c, f ); 
input a, b, c ;
output f ;
always @ ( a, b, c)
    w1<=a b;
    w2<=c | d;
    f = w1 | w2 ;
endmodule
```

十、组合电路的分析

1. 根据组合电路输入a、b和组合电路输出 f 的波形，列真值表并写出 f (a,b)的逻辑表达式。



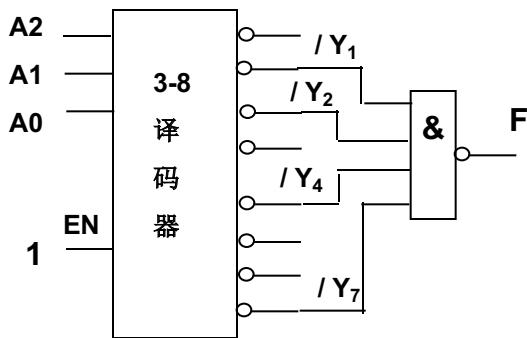
2. 分析图示电路的逻辑功能，采用Verilog HDL建模。



逻辑功能： ____。

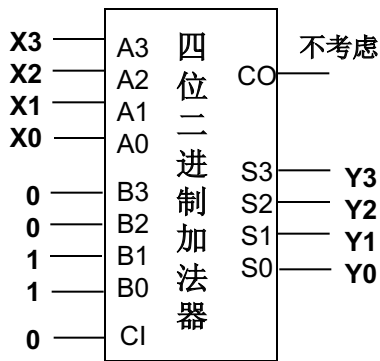
3. 用代数法分析 $F(A,B,C) = AB + \overline{A}C$ 所对应的电路是否存在险象，若存在，写出应添加的冗余项。

4. 下列电路由一个3—8译码器（高有效使能，输入变量顺序A₂、A₁、A₀，低有效输出）和逻辑门组成，分析F实现的逻辑功能。



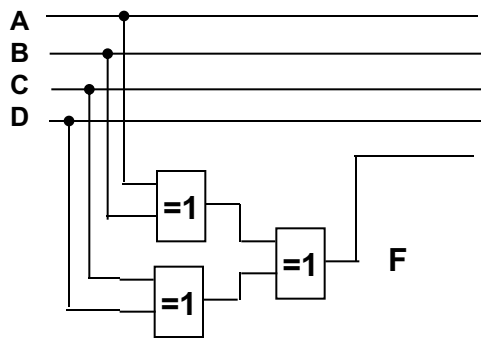
F(A₂,A₁,A₀)的逻辑表达式

5. 当输入为8421码（不考虑伪码）时，分析下列电路实现的逻辑功能。

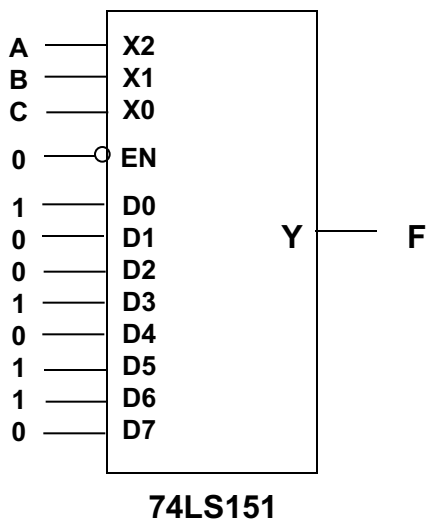


6. 分析电路，写出函数F的逻辑表达式，作函数F的卡诺图，如果将A、B、C、D作为信息码，F作为校验位，试问电路满足哪种校验约定。

$$F = A \oplus B \oplus C \oplus D$$



7. 分析下列采用8选1数据选择器所实现的F(A,B,C)的逻辑功能。



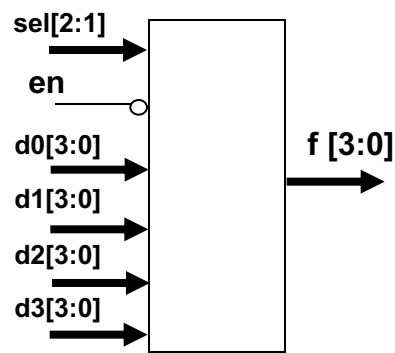
十一、组合电路的设计

1. 采用**Verilog HDL**描述一个代码转换电路，电路的输入为余3码，电路的输出为8421码。当电路的输入出现伪码时，拒绝转换且电路输出为4'b1111。

2. 建立一个**Verilog HDL**模型，该电路有A、B、C三个输入信号，一个高有效使能控制端EN和两个输出端F1、F2。当使能有效时，实现下列功能；否则，输出均为0。

- (1) 三个信号中没有1时，F1=1，否则F1=0；
- (2) 三个信号中有奇数个1时，F2=1，否则F2=0。

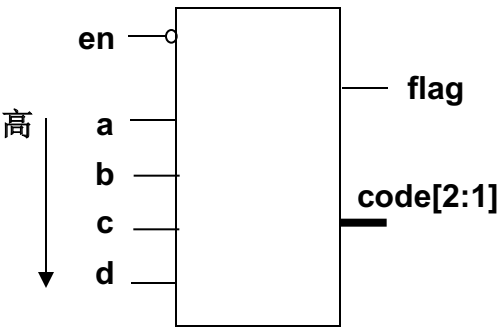
3. 采用Verilog HDL描述一个具有低有效使能端四位4选1电路。



逻辑框图

4. 采用Verilog HDL描述一个低有效使能、低有效输出的3—8译码器。

5. 用Verilog HDL描述一个低有效使能且具有输出有效标志的4-2优先编码器。



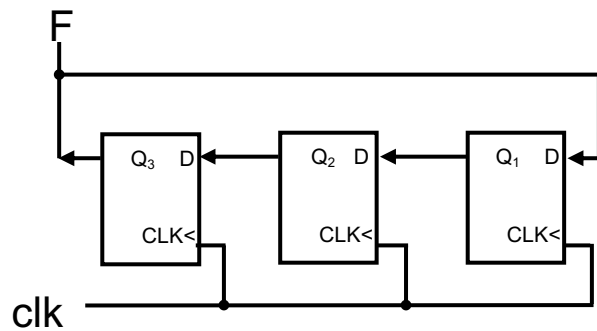
框图

6. 已知 $F(A, B, C) = \sum m(0, 1, 2, 6)$ ，请用Verilog HDL建模。

1、已知某同步时序电路的状态/输出表如表所示，画出它的状态转换图。

S \ X	0	1	Z
	A	B	0
B	C	D	0
C	D	B	0
D	B	A	1

2、画出电路初态 $Q_3Q_2Q_1=010$ 时，在clk作用下，F的输出波形。



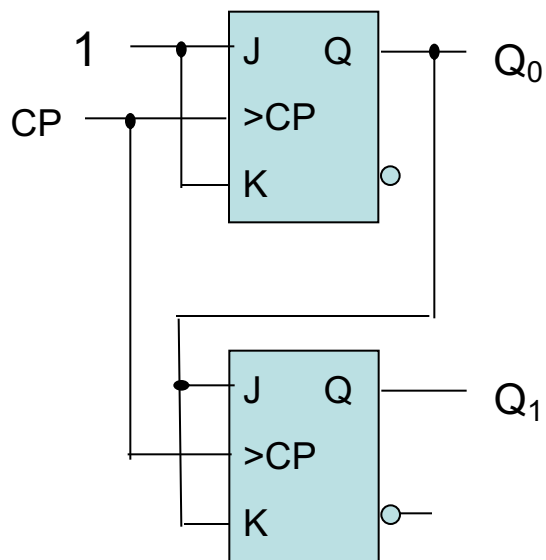
Q2

Q1

F(Q3)

3、用Verilog HDL描述一个左移循环一个“0”的4位环形计数器。要求先画出能自启动的状态图，再进行描述。

4、设题图中触发器的初态 $Q_1Q_0=00$ ，画出在CP作用下 Q_0 、 Q_1 的时序波形。



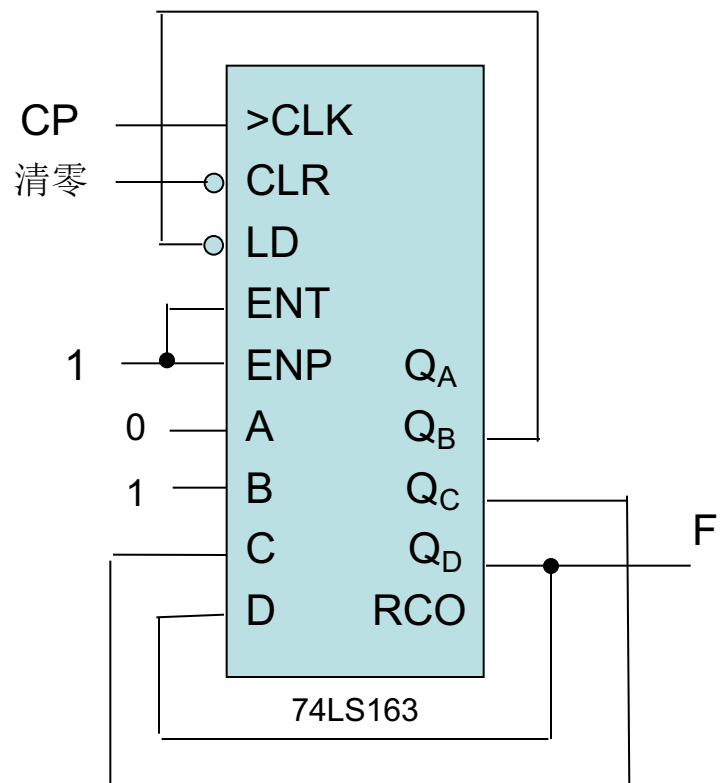
5、采用Verilog HDL建模，描述一个4位可逆计数器，当up=1时加1计数；当up=0时减1计数。并具有循环进位（借位）输出。

思考：0~9模10可逆计数器，如何描述？

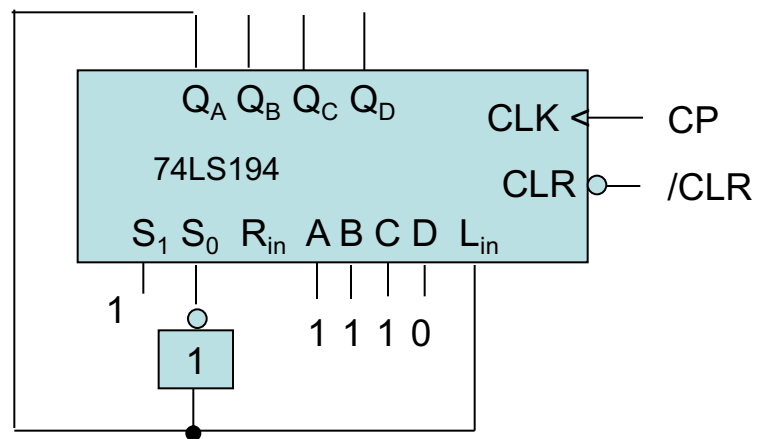
6、用Verilog HDL描述一个满足下列要求的计数器。

- (1) 上降沿 $(0\sim 47)_{10}$ 加1计数；
- (2) 电路具有一个低有效的异步清零端；
- (3) 电路具有一个高有效的计数使能端；
- (4) 电路具有一个高有效的循环进位（RCO）输出端。

7、分析题图所示电路的逻辑功能，并画出F的波形图。



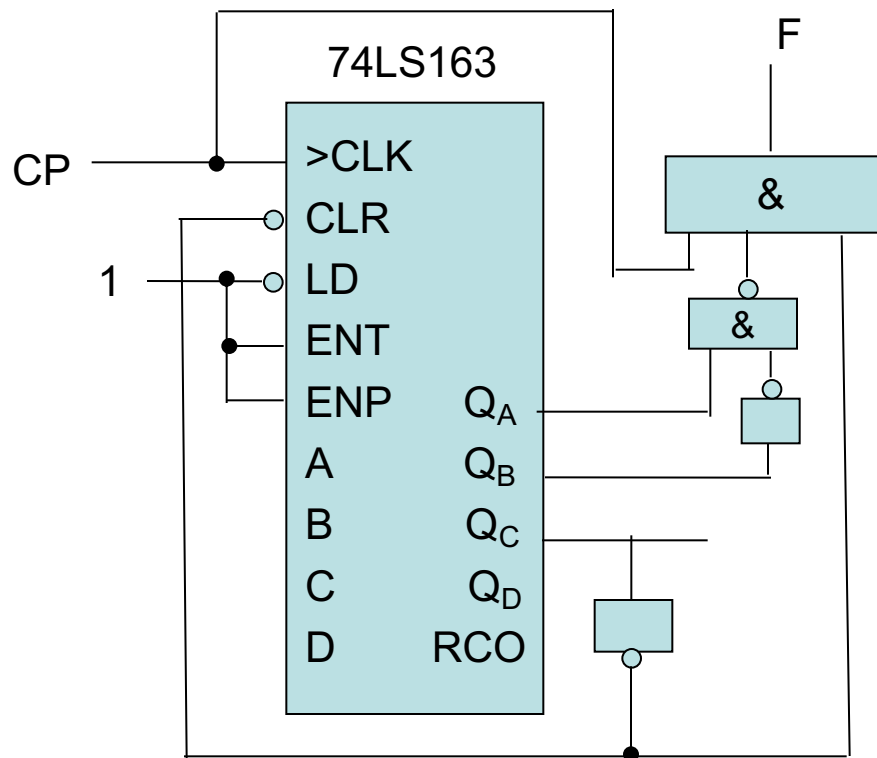
8、分析图示电路，写出启动清零后电路的状态转换序列、说明功能、建立Verilog HDL模型。



9、用Verilog HDL描述一个8位并行输入——串行输出结构的左移移位寄存器电路。

首先建立模型，再描述。

10、分析题图所示电路的功能，画F的波形图。



1、 建立Mealy型0101序列（不可重）检测器的原始状态图和原始状态表。

2 建立Mealy型1010序列（可重）检测器的原始状态图和原始状态表。

4 建立Moore型0010序列检测器的原始状态图和原始状态表。