

## 《数字逻辑》总复习练习题

### 一、填空题（每空2分）

1.  $(88.125)_{10} = ( )_2 = ( )_8 = ( )_{16}$

$(1000001.1)_2 = ( )_{10} \quad (377)_8 = ( )_{16}$

2. 已知  $[x]_{\text{补}} = 10110011$ ，求

$[x]_{\text{原}} = \quad$ ， $[x]_{\text{反}} = \quad$ ，真值  $x = \quad$ 。

3. 已知  $[x]_{\text{补}} = 10000000$ ，则真值  $x = \quad$ 。

4. 已知真值  $x = -10010$ ，求8位字长时，

$[-x]_{\text{原}} = \quad$ 、 $[-x]_{\text{反}} = \quad$ 、 $[-x]_{\text{补}} = \quad$ 。

5. 已知  $[X]_{\text{原}} = 10111100$ ，则  $[X]_{\text{补}} = \quad$ ；

已知真值  $Y = -0101010$ ，则8位字长时， $[Y]_{\text{反}} = \quad$ 。

6. 完成下列代码转换

$$(0010\ 1011\ 1110)_{2421} \longrightarrow \left\{ \begin{array}{l} ( \quad )_{10} \\ ( \quad )_{8421} \\ ( \quad )_{\text{余3码}} \end{array} \right.$$

7. 完成下列代码转换

$$(0010\ 0000\ 1001)_{8421\text{码}} \rightarrow ( \quad )_{\text{余3码}} \rightarrow ( \quad )_{10}$$

8. 若  $A_1 \oplus A_2 \oplus \cdots \oplus A_n = \overline{A_1 \odot A_2 \odot \cdots \odot A_n}$ , 则变量个数必为\_\_\_\_\_个。

9. 若  $A_1 \oplus A_2 \oplus \cdots \oplus A_n = A_1 \odot A_2 \odot \cdots \odot A_n$ , 则变量个数必为\_\_\_\_\_个。

10. 已知  $F(A, B) = \overline{A}\overline{B} + \overline{A}B$ , 则它的或与式为  $(\overline{A} + \overline{B})(A + B)$ 。

11. 当采用奇校验时, 若校验位是1, 则信息码中应有\_\_\_\_\_个1。

12. 当发送信息码  $(1010110)_2$  且校验位为1 时, 说明符合\_\_\_\_\_校验约定。

13. 已知  $F(A,B,C)=(A \oplus B) \bullet C$  , 则  $F = \prod M^3(0, 1, 2, 4, 6, 7)$  。

14. 已知  $F = A + \overline{BC} + D \oplus \overline{BD}$

运用规则, 求  $F' =$  \_\_\_\_\_,

$\overline{F} =$  \_\_\_\_\_。

15. 已知  $F'(A,B,C) = A\overline{B} + \overline{A+C}$

则  $\overline{F}(A,B,C) =$  \_\_\_\_\_

16. 已知  $F = \overline{B + A \bullet \overline{C}} + (\overline{A} \bullet D)$  , 按规则求得  $F' =$  \_\_\_\_\_。

17. 已知  $F = \sum m^3(0,1,4,5)$ , 则

$$\begin{aligned} F &= \prod M^3( & ) \\ \overline{F} &= \sum m^3( & ) \\ \overline{F} &= \prod M^3( & ) \end{aligned}$$

18. “电路的稳态输出仅与当前的输入有关”是 组合 电路的特征。
19. “具有统一时钟，电路的状态输出不仅与当前的输入有关，还与上一个状态有关”是 时序 电路的特征。
20. 描述时序电路时，Verilog HDL的always应使用 边沿 敏感列表。
21. 描述组合电路时，Verilog HDL的always应使用 电平 敏感列表。
22. 在Verilog HDL中，assign赋值语句只能对 连线 类型变量赋值。
23. Verilog HDL的reg类型变量只能在 always 过程块 赋值。
24. 在8'd32、5'b2中，符合Verilog HDL数值定义规则的是 8'd32       。
25. 在and和\_add中，能在Verilog HDL中用作标识符的是 \_add       。
26. 模块是Verilog HDL基本设计单元，由模块声明、端口说明、数据类型说明和 逻辑功能定义 四部分构成。

27. 组合电路的特征是电路的稳态输出仅于该时刻的输入，与原来的状态无关。

28. 时序电路的特征是电路的输出不仅于该时刻的输入有关，还与原来状态有关。

29. 在Verilog HDL中，已知  $A=4'b1100$ ， $B=4'b1011$ ，则  $A\&B=$  \_\_\_\_\_；

$A\&\&B=$  \_\_\_\_\_；  $A^B=$  \_\_\_\_\_；  $^B=$  \_\_\_\_\_。

30. 在Verilog HDL的always过程块中的被赋值变量一定要定义成寄存器类型。

31. 在Verilog HDL中，always过程的敏感事件列表分为电平型和边沿型。

32. 下列Verilog HDL模块中有语法错误，请写出完整的正确描述。

```
module 0721_ch ( a, b, c, d, f );
```

```
input a, b, c ,d;
```

```
output f ;
```

```
reg w1, w2, f;
```

```
always @ ( a, b, c,d)
```

```
begin w1=a &b;
```

```
w2=c | d;
```

```
f = w1 | w2 ; end
```

```
endmodule
```

## 二. 简答题（每题5分）

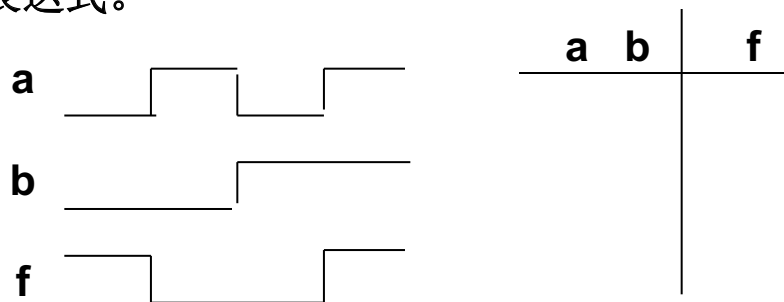
1. 已知 $F(a,b,c) = \prod M(1,2,4,5)$ ,  $G(a,b,c) = \sum m(0,3,6,7)$

则  $F \cdot G = \sum m^3( \quad )$

$F + G = \prod M^3( \quad )$

$F \oplus G = \underline{\hspace{2cm}}$ 。

2. 根据组合电路输入a、b和组合电路输出f的波形，列真值表并写出f(a,b)的逻辑表达式。



3. 画出“0110”（不可重）序列检测器的Mealy型原始状态图。

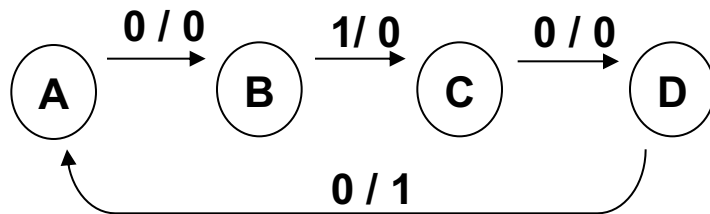
5. 根据给定的**Moore**型状态表画出状态图。

X \ S(t)	0	1	Z
A	C	B	0
B	C	D	0
C	D	B	0
D	B	A	1

S(t+1)

6. 将下列**Mealy**型序列检测器的原始状态图补充完整。

输入/ 输出



检测序列为\_\_\_\_\_。

7. 填写下列逻辑函数的卡诺图并求最简与或式和最简或与式。

$$F(A, B, C, D) = \sum m(0, 2, 5, 7, 10, 15) + \sum d(4, 6, 8, 13)$$

AB CD	00	01	11	10
00				
01				
11				
10				

8. 利用卡诺图判断下列逻辑函数对应的电路是否存在逻辑险象。

$$F(A, B, C, D) = \overline{B}\overline{D} + ABC + \overline{B}\overline{C}$$

AB CD	00	01	11	10
00				
01				
11				
10				

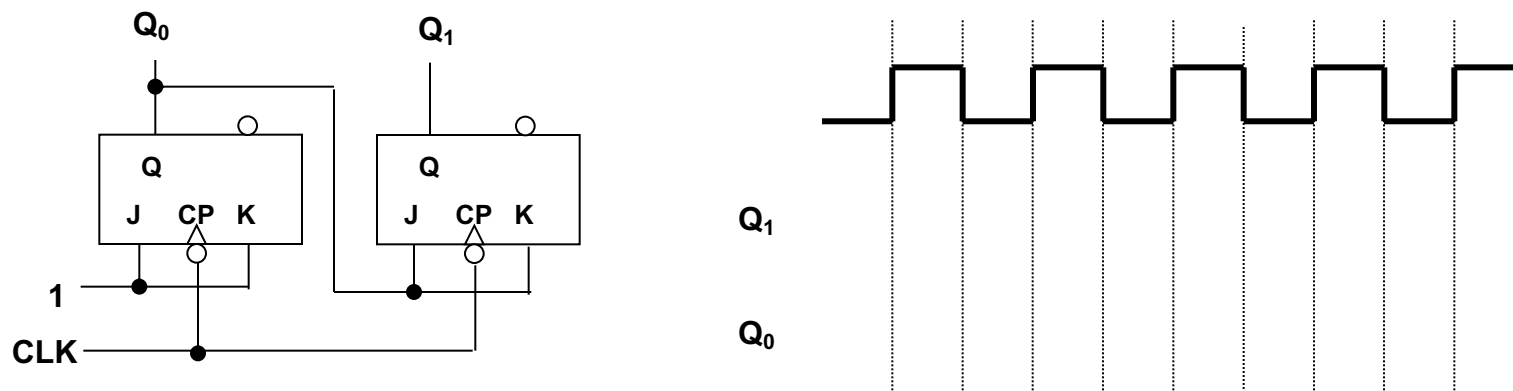
是否存在逻辑险象：\_\_\_\_\_。

若存在逻辑险象，应添加的冗余

项为\_\_\_\_\_。

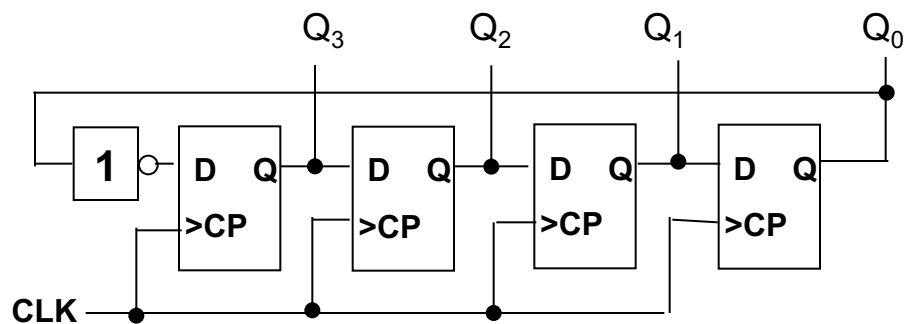


9. 画出下列同步时序电路 $Q_1Q_0$ 初态为00时的波形图并说明电路功能。



电路实现的逻辑功能为\_\_\_\_\_。

10. 填写下列同步时序电路的状态转换表。



$Q_3 \sim Q_0(t)$	$Q_3 \sim Q_0(t+1)$
0 0 0 0	

11. 用隐含表法化简给定的同步时序电路原始状态表，生成最小状态表。

原始状态表

		<b>x</b>	
		<b>0</b>	<b>1</b>
<b>S(t)</b>	<b>A</b>	<i>A / 0</i>	<i>B / 0</i>
	<b>B</b>	<i>A / 0</i>	<i>C / 0</i>
	<b>C</b>	<i>D / 1</i>	<i>C / 0</i>
	<b>D</b>	<i>D / 1</i>	<i>E / 1</i>
	<b>E</b>	<i>D / 1</i>	<i>E / 1</i>
		<b>S(t+1) / z(t)</b>	

12. 已知某组合电路的输出表达式为  $F(a,b,c) = \overline{a \bullet b} + b \oplus c$ ，用Verilog HDL的数据流描述方式建模。

13. 已知逻辑函数F、G的卡诺图，填写Y=F⊕G的卡诺图，并求Y的最简与非式。

AB \ C		00	01	11	10
C	0	1	1	d	d
	1	0	1	1	0

**F**

AB \ C		00	01	11	10
C	0				
	1				

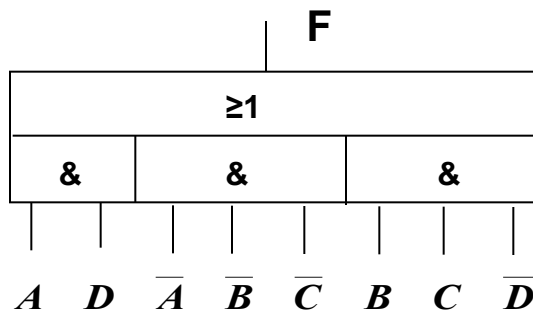
**Y=F⊕G**

AB \ C		00	01	11	10
C	0	1	0	1	0
	1	1	d	1	0

**G**

**Y**最简与非式=

14. 用卡诺图法判断下列电路是否存在逻辑险象。

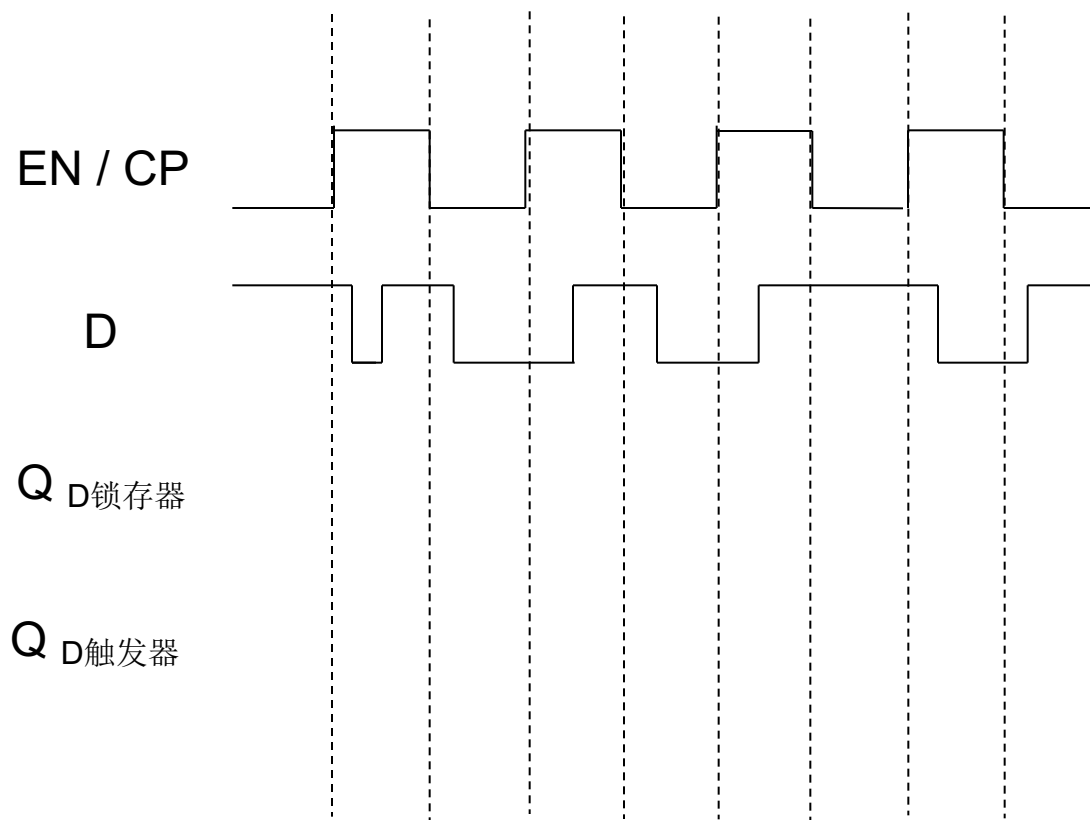


AB \ CD		00	01	11	10
CD	00				
	01				
	11				
	10				

有逻辑险象？

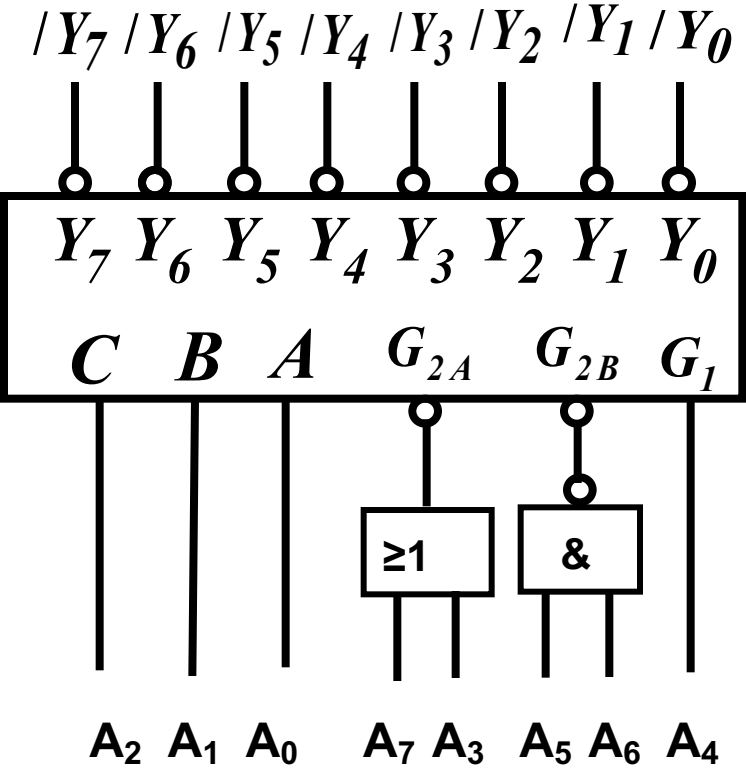
\_\_\_\_\_。

15. 根据给定的波形，画出高有效使能D锁存器和上升沿D触发器初态均为0时的输出波形。



16. 画出具有循环进位的余3码加1计数器的Moore型状态图。

17. 由74LS138译码器及逻辑门构成的组合逻辑电路如下，其中输入信号A7~A0为地址变量。试填写表格。



	$A_7A_6A_5A_4A_3A_2A_1A_0$	16进制
$/Y_0$ 有效时		
$/Y_1$ 有效时		
$/Y_4$ 有效时		
$/Y_6$ 有效时		
$/Y_7$ 有效时		

18. 某函数  $F(A,B,C,D)$  的卡诺图如下，按要求求出最简表达式。

AB \ CD		00	01	11	10
CD	00	d	0	1	d
	01	0	0	1	0
	11	0	1	d	1
	10	d	1	1	1

**F**

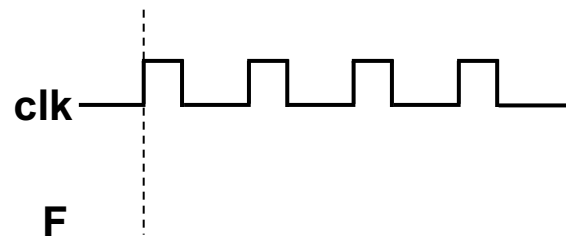
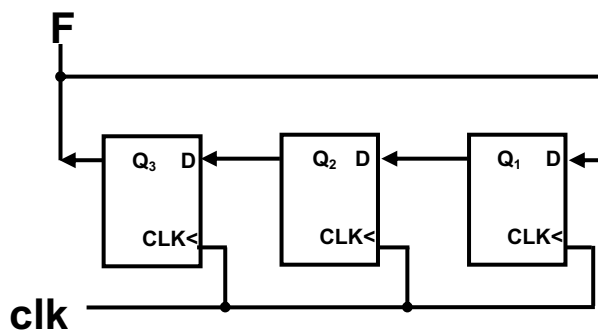
$F$  最简与或式 =

$F$  最简与非式 =

$\overline{F}$  最简与或式 =

$F$  最简或与式 =

19. 画出电路初态  $Q_3Q_2Q_1=010$  时，在  $clk$  作用下， $F$  的输出波形。



20. 理解功能表述，填写各功能表。

输入变量	逻辑功能及对应的电路输出变量			
A B C	三变量一致 F1	双“1”检测 F2	奇检验 F3	格雷码 G2 G1 G0
0 0 0				
0 0 1				
0 1 0				
0 1 1				
1 0 0				
1 0 1				
1 1 0				
1 1 1				

21. 某同步时序的状态方程如下，分别画出用上升沿D触发器、下降沿JK触发器实现的逻辑图。

$$Q_{3(t+1)} = Q_2 Q_1 \oplus Q_3$$

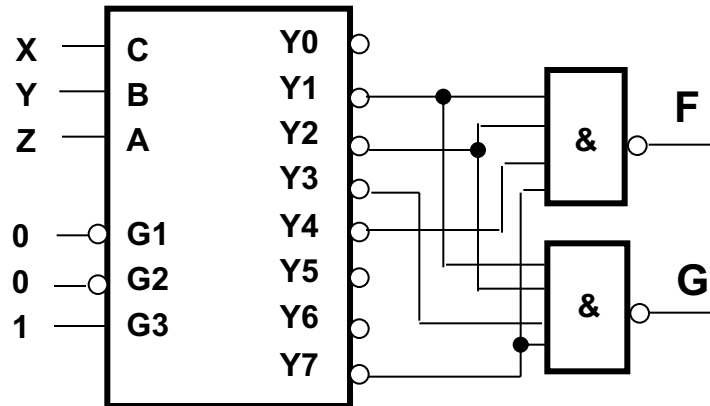
$$Q_{2(t+1)} = Q_2 \oplus Q_1$$

$$Q_{1(t+1)} = \overline{Q_1}$$

### 三、综合分析题（每题6分）

1. 分析74LS138译码器和逻辑门构成的逻辑电路的功能。

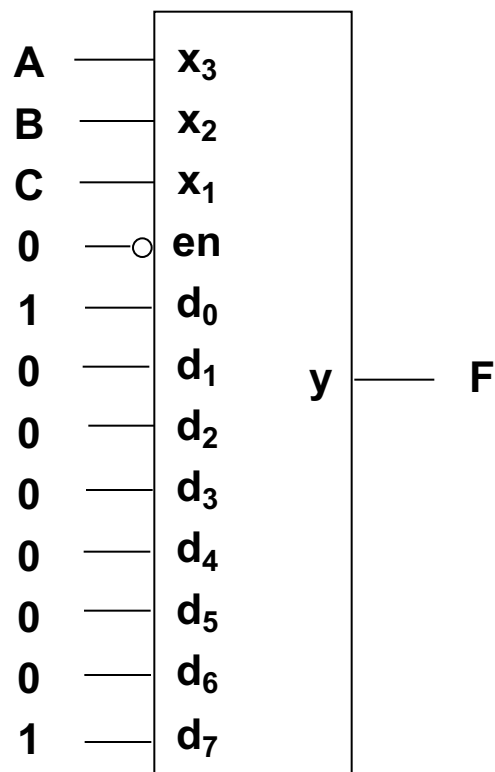
- (1) 写出  $F(X,Y,Z)$  和  $G(X,Y,Z)$  的逻辑表达式；
- (2) 给出真值表；
- (3) 分析电路功能。



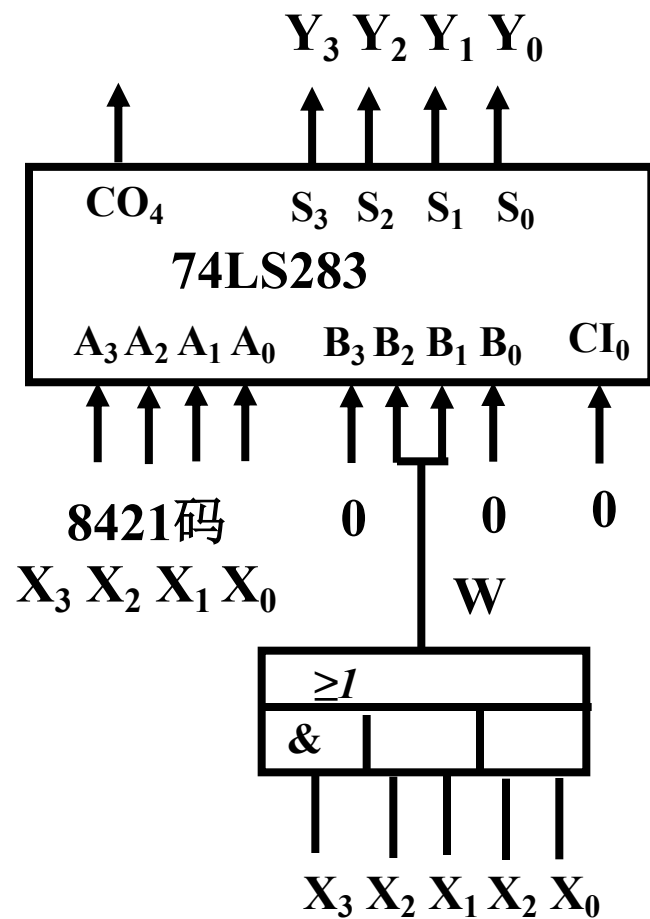


## 2. 分析数据选择器74LS151构成的逻辑电路功能。

- (1) 写出逻辑表达式；
- (2) 说明电路功能；
- (3) 用Verilog HDL描述电路功能。

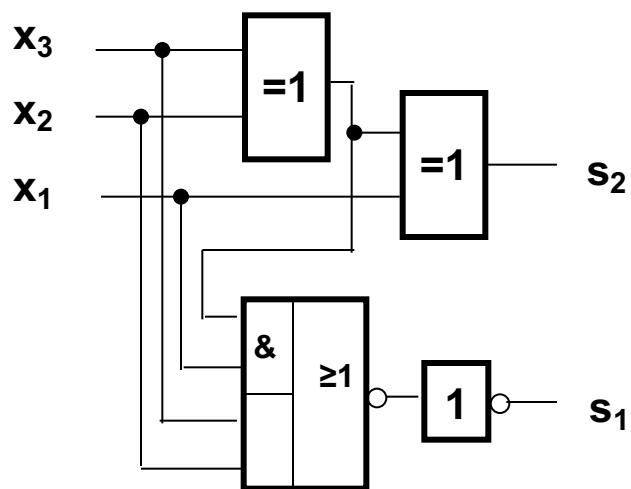


3. 分析图示电路实现的逻辑功能，并建立实现该功能的Verilog HDL模型。



#### 4. 分析给定组合电路。

- (1) 写出输出表达式；
- (2) 列真值表并说明电路的综合功能；
- (3) 建Verilog HDL模型。



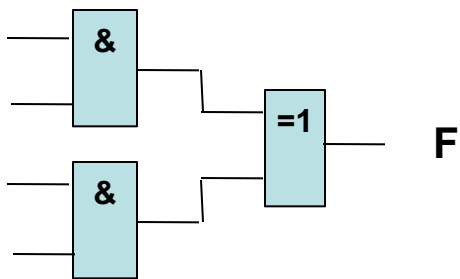
5. 某同步时序的状态方程如下，分析电路功能，画初态 $Q_3Q_2Q_1=100$ 时的波形图。

$$Q_{3(t+1)} = Q_2Q_1 \oplus Q_3$$

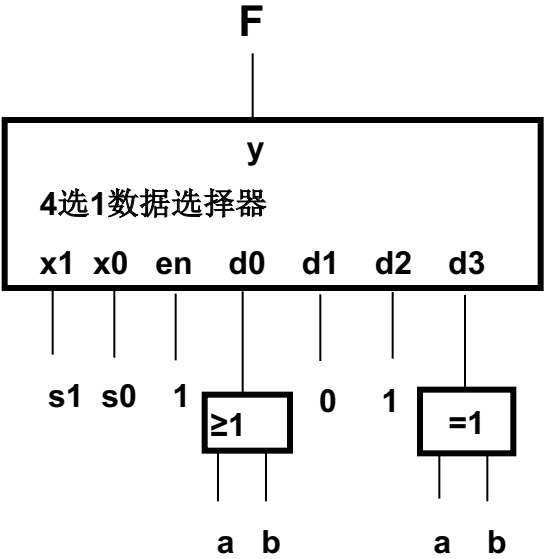
$$Q_{2(t+1)} = Q_2 \oplus Q_1$$

$$Q_{1(t+1)} = \overline{Q_1}$$

6. 确定如下电路的输入变量，使输出功能为 $F(A,B,C,D)=\sum m(6, 7, 12, 13)$ 。

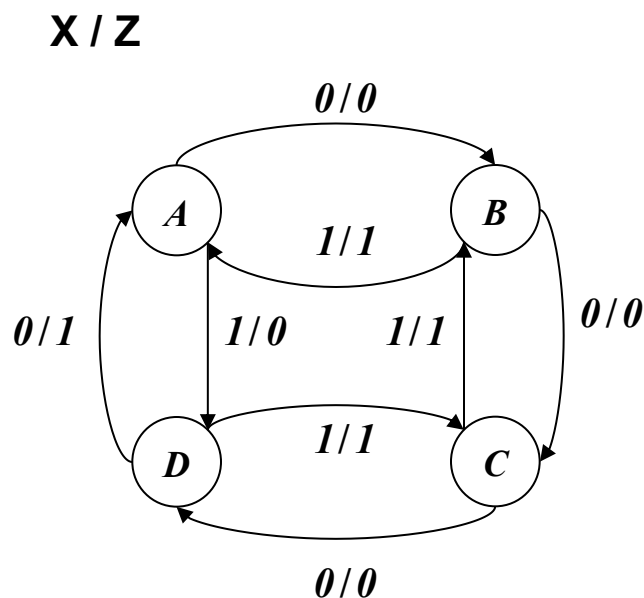


7. 分析电路，填写表格，建Verilog HDL模型。



s1	s0	F

8. 状态图如 (a) 所示, 请将次态/输出填在 (b) 表中。若状态分配方案为:  $A$ 、 $B$ 、 $C$ 、 $D$  分别对应  $Q_1Q_0$  的取值  $00$ 、 $01$ 、 $10$ 、 $11$ , 请将分配后的编码填在 (c) 表中。当  $X=0$  时, 它的功能是\_\_\_\_\_, 当  $X=1$  时, 它的功能是\_\_\_\_\_。



(a)

$Y_{(t)} \backslash X$	0	1
A		
B		
C		
D		

$Y_{(t+1)} / Z_{(t)}$

(b)

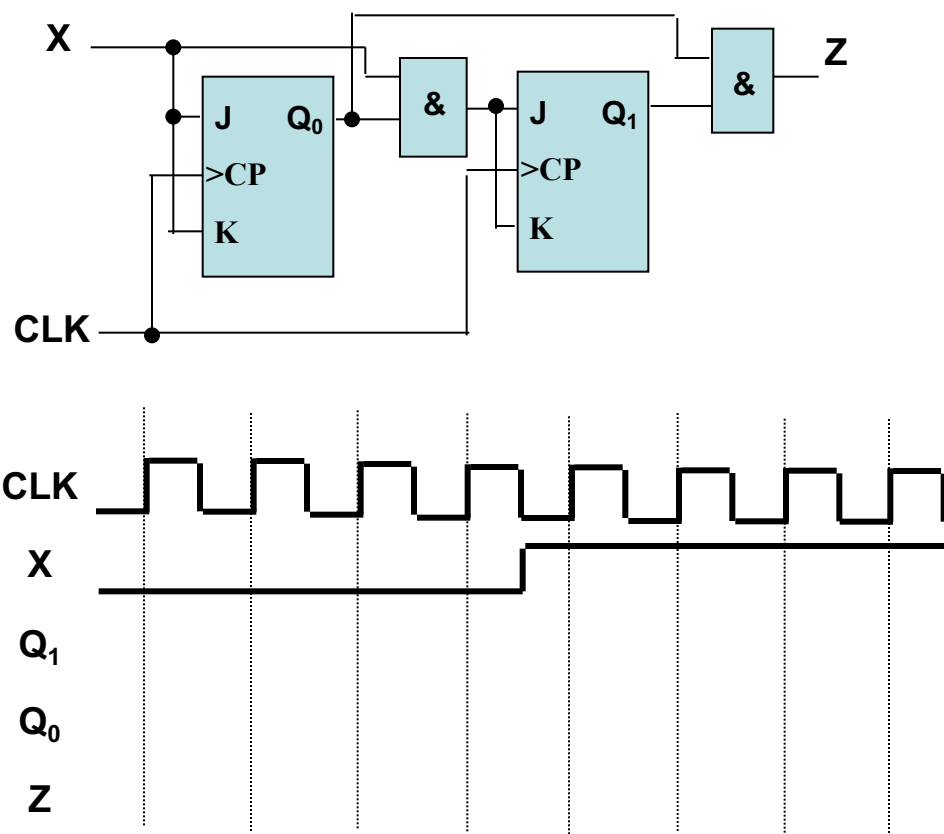
$Q_1Q_0 \backslash X$	0	1
00		
01		
11		
10		

$Q_{1(t+1)}Q_{0(t+1)} / Z_{(t)}$

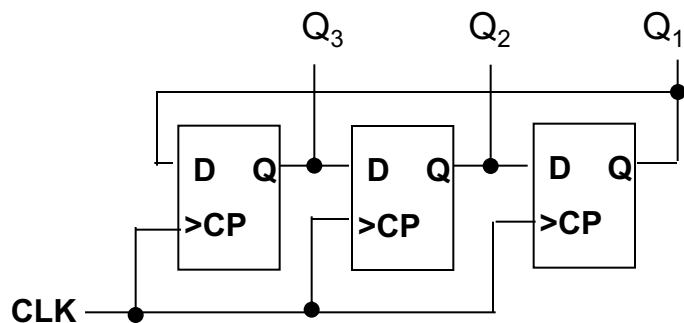
(c)

**9. 分析图示同步时序电路。（10分）**

- (1) 写出激励方程和输出方程;
- (2) 作激励 / 状态转换表;
- (3) 画初态 $Q_1Q_0=00$ 时, 输入 $x$ 为00001111时,  $Q_1$ 、 $Q_0$ 、 $Z$ 的波形图。
- (4) 说明电路功能。

[illegible]

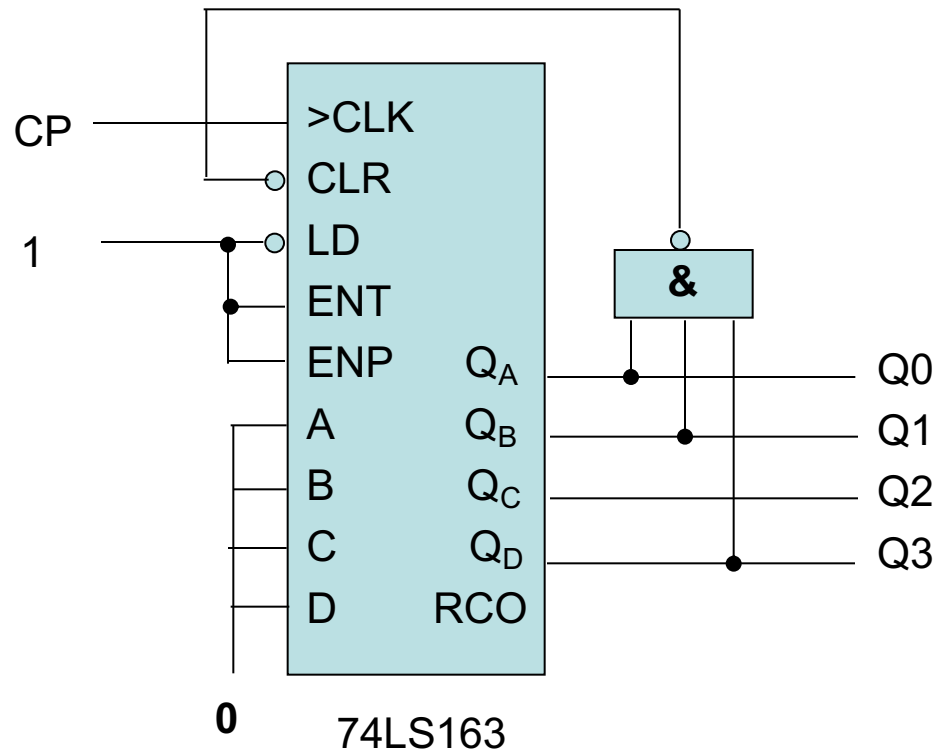
10. 画出图示同步时序电路初态 $Q_3Q_2Q_1=001$ 时的状态转换图，分析自启动特性。建立可自启动的Verilog HDL模型。



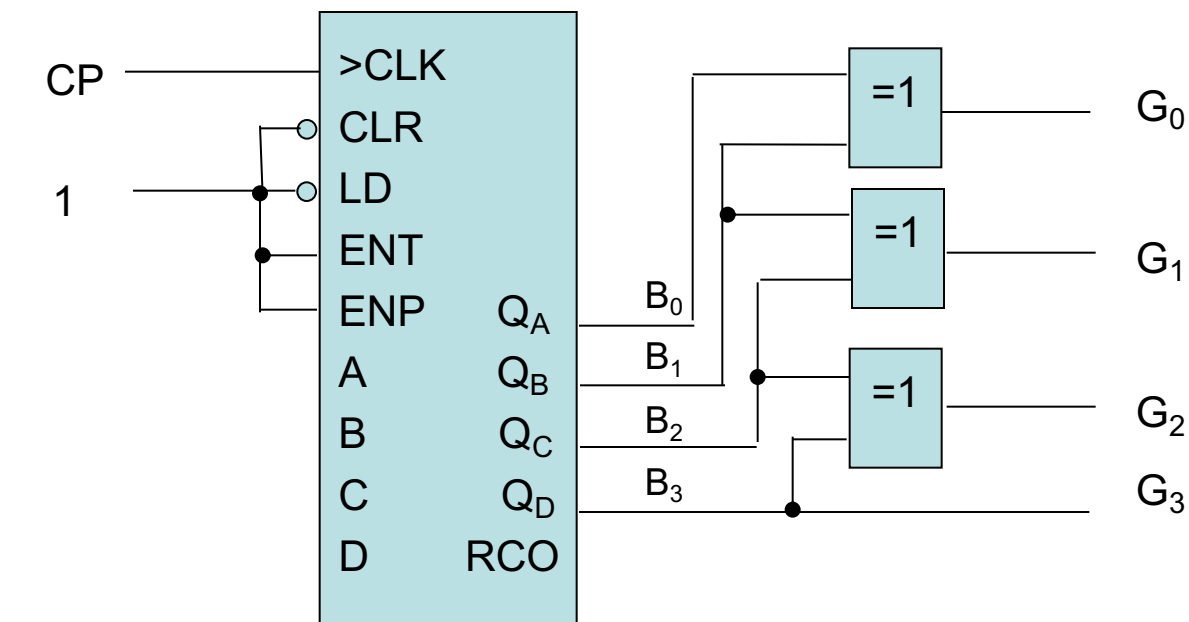


# 11. 分析74LS163构成的电路功能。

- (1) 画出上电清0后，电路的状态转换序列；
- (2) 说明电路功能。



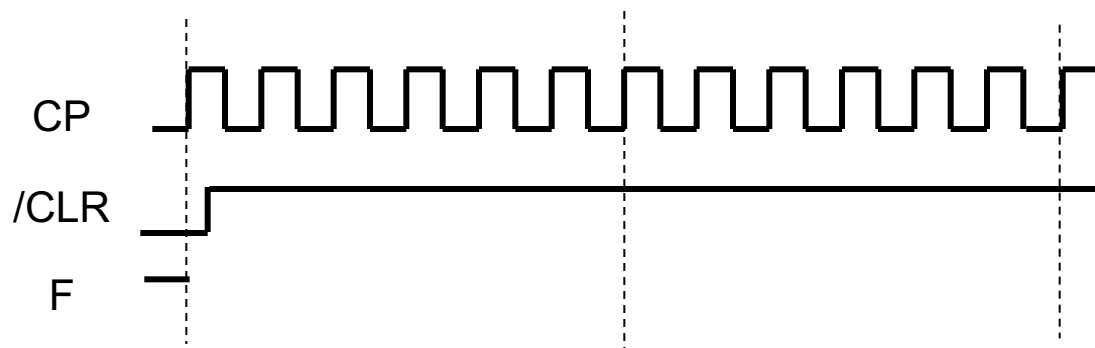
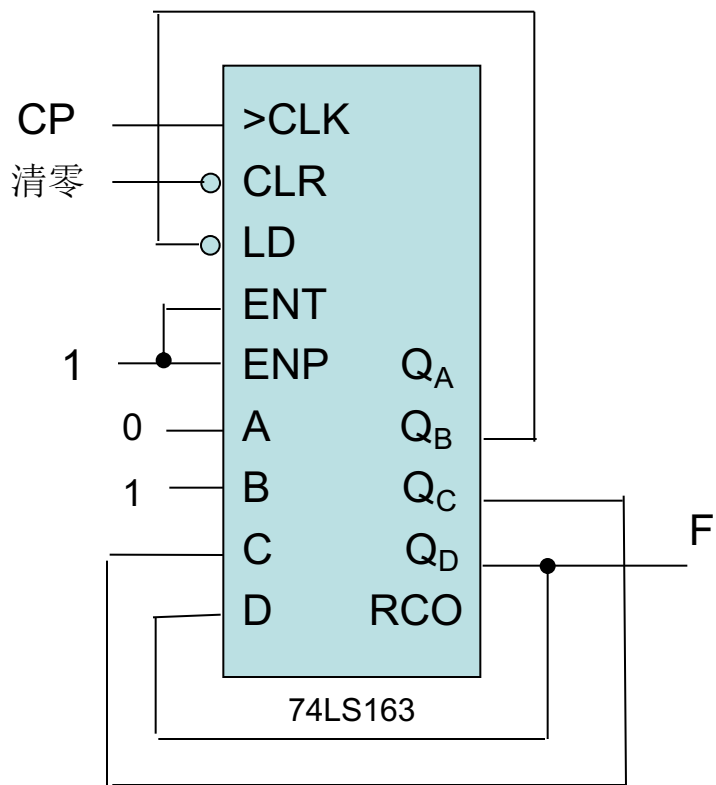
**12. 分析启动清零后 $B_3B_2B_1B_0$ 的状态转换序列，列表分析电路功能。**



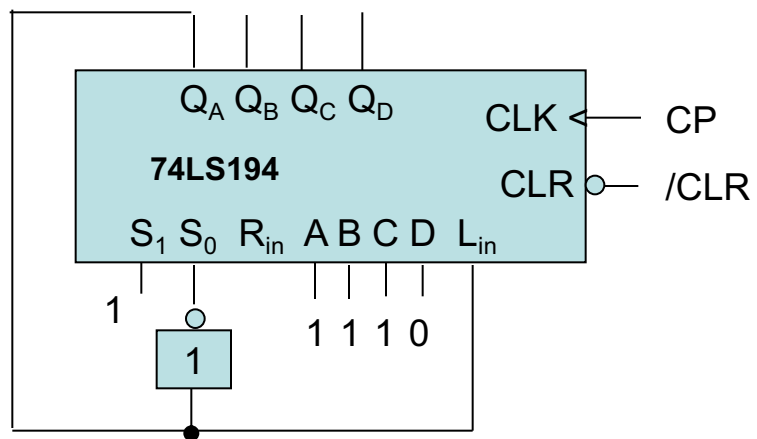
# 74LS163

[illegible]

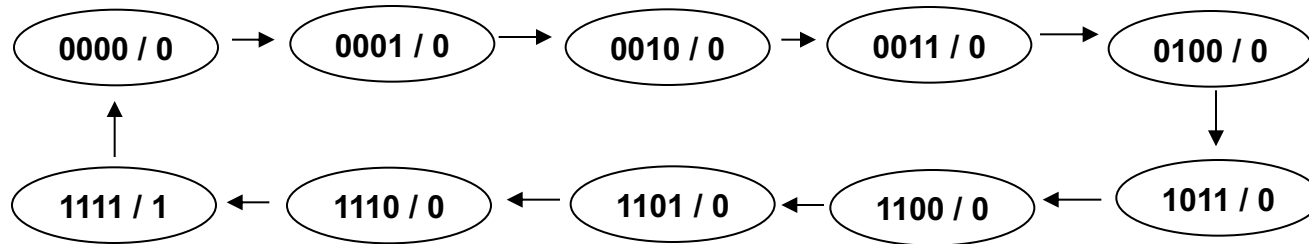
13. 分析图示电路的逻辑功能，并画出F的波形图。



14. 分析图示电路，写出启动清零后电路的状态转换序列、说明功能、建立Verilog HDL模型。

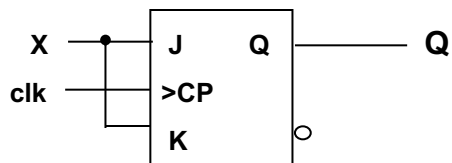


**15. 根据状态图建立状态转换表，说明电路功能并建立Verilog HDL模型。**

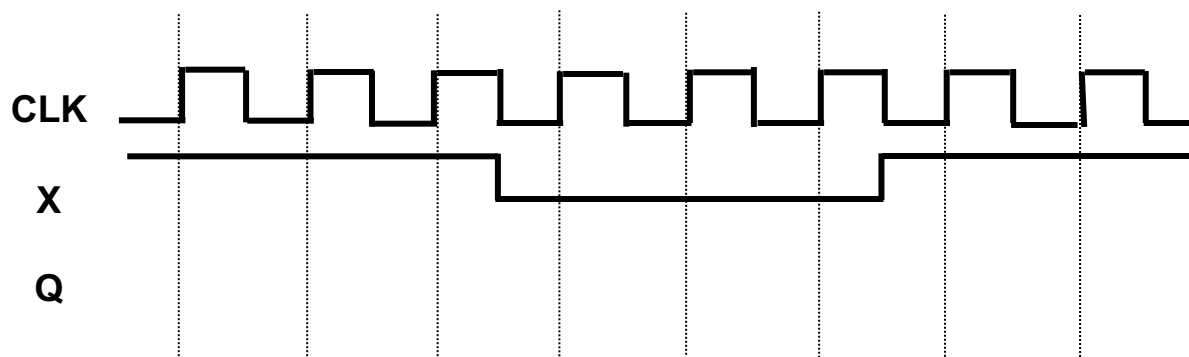


$Q_3 \sim Q_0(t)$	$Q_3 \sim Q_0(t+1)$	Z

16. 写出电路的状态方程，画出电路初态为0时，输出Q的波形图。

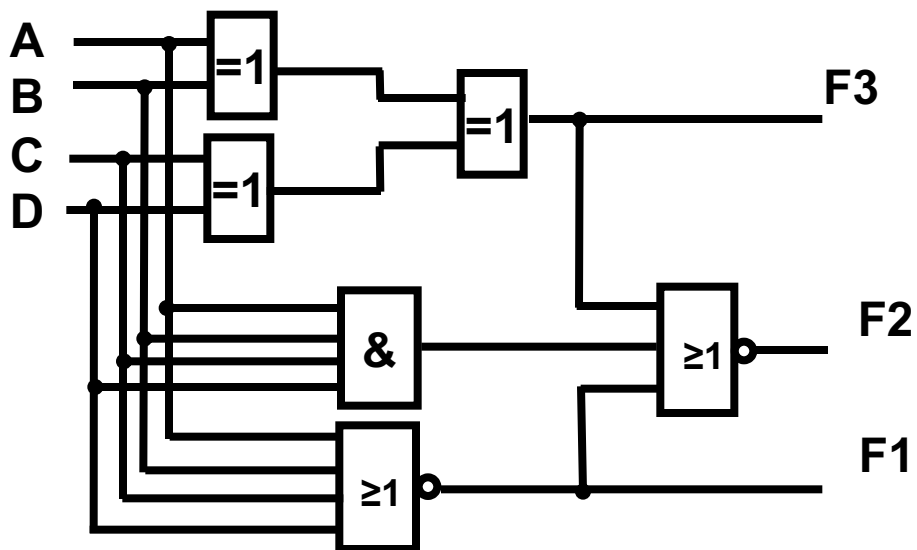


$$Q_{(t+1)} =$$



#### 四、设计题

1. 根据给定电路，建立其Verilog HDL门及描述模型。（10分）



2. 用Verilog HDL描述满足下列要求的3—8译码器：（10分）

- （1）一个低有效使能端；
- （2）译码输出高有效。

3. 用**Verilog HDL**描述一个高有效使能的**8**位四选一。要求先画出模块框图，再进行描述。（8分）

4. 用**Verilog HDL**描述一个代码转换电路，要求如下：（8分）

（1）电路输入为**8421**码，电路输出为**2421**码；

（2）电路具有一个高有效使能端；

（3）电路有一个输出标志，当使能无效或输入伪码时，该标志为**1**；否则为**0**。

5. 用**Verilog HDL**描述一个**8**位数据并行传输时，符合奇校验约定的校验位发生器。（5分）



6. 用Verilog HDL描述一个具有低有效异步置位、异步清零的上升沿JK触发器。（6分）

7. 用Verilog HDL描述一个具有高有效同步置位、同步清零的下升沿D触发器。（5分）

8. 用Verilog HDL描述一个满足下列要求的计数器。（10分）

- （1）下降沿（0~99）<sub>10</sub> 加1计数；
- （2）电路具有一个低有效的异步清零端；
- （3）电路具有一个高有效的计数使能端；
- （4）电路具有一个高有效的循环进位（RCO）输出端。

9. 用Verilog HDL描述一个余3码可逆计数器。当 $x=0$ 时，加1计数；当 $x=1$ 时，减1计数。（8分）

10. 用Verilog HDL描述一个左移循环一个“0”的4位环形计数器。要求先画出能自启动的状态图，再进行描述。（10分）

11. 用Verilog HDL描述一个4位右移扭环形计数器。要求先画出能自启动的状态图，再进行描述。（10分）

**12. 画出“011”序列检测器的原始状态图，再用Verilog HDL建模。（10分）**

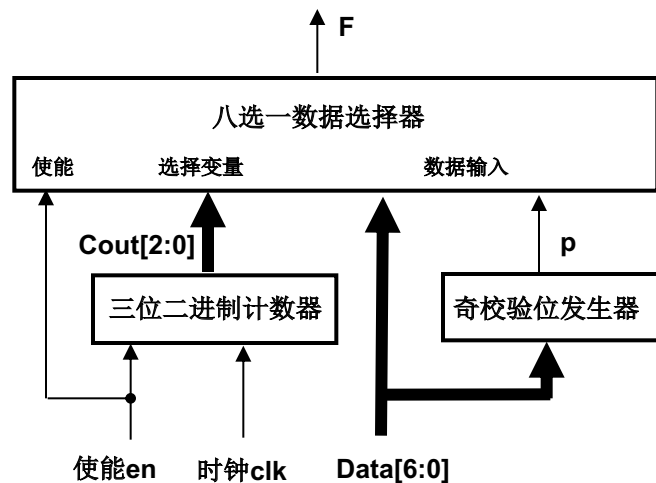
**13. 建立8421码转换成余3码的真值表，写出4个表达式，建立Verilog HDL数据流模型。（10分）**

**14. 用Verilog HDL描述一个4—2优先权编码器。（8分）**

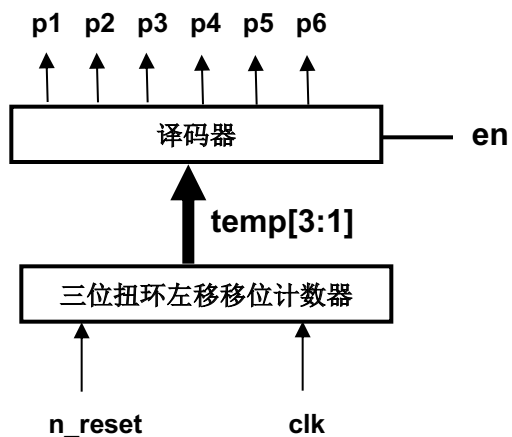
**（1）** 电路具有一个低有效使能端；

**（2）** 电路具有一个编码输出有效标志。

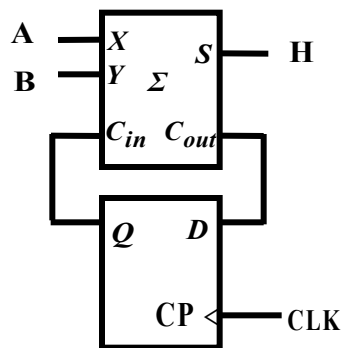
15. 采用Verilog HDL为下列电路建立模型。



16. 图为基于移位计数器的节拍发生器的总体设计，请用Verilog HDL建模。



17. 图为全加器和触发器构成的时序电路，用Verilog HDL建模。



18. 用Verilog HDL描述一个逻辑运算器，其功能为：当使能信号有效时，在控制信号的作用下，能实现8位数据A和8位数据B的按位与、按位或、按位异或、逻辑与、逻辑或、8位数据A的按位非、8位数据A的归约异或、8位数据B的归约与等八种逻辑运算；当使能信号无效时，输出为高阻状态。

19. 某数字系统需要根据高有效的使能信号（**en**）和地址输入信号（**A[7: 0]**）产生三个高有效的设备选通信号（**CS1**、**CS2**、**CS3**），功能表如下，请用**Verilog HDL**描述这个设备选通信号发生器。

EN	A[7:0]	CS1	CS2	CS3
0	X X X X X X X X	0	0	0
1	1 0 0 0 0 1 0 0	1	0	0
1	1 0 0 0 0 1 0 1	0	1	0
1	1 0 0 0 0 1 1 0	0	0	1
1	其它	0	0	0

20. 用**Verilog HDL**描述如功能表所示的多功能计数器。其中：**x**、**y**为计数方式选择控制信号，**Q<sub>1</sub>Q<sub>0</sub>**为计数器的输出。

XY Q <sub>1</sub> Q <sub>0</sub>	00	01	10	11
00	01	11	11	00
01	10	00	10	01
10	11	01	01	10
11	00	10	00	11

**Q<sub>1</sub>Q<sub>0</sub>(t+1)**