

北京工业大学计算机学院
2009~2010学年第一学期《数字逻辑》闭卷试题（A卷）
考试时间：2009年 月 日 时 分至 时 分

学号：_____ 姓名：_____ 成绩：_____

题号：	一	二	三	四
得分：				

一、填空题（每空2分，共26分）

1. 完成下列数制转换

$$(129.5)_{10} = (1000001.1)_2 \quad (1FFF)_{16} = (17777)_8$$

2. 完成下列代码转换

$$(270)_{10} \rightarrow (0010\ 0111\ 0000)_{8421\text{码}} \rightarrow (0101\ 1010\ 0011)_{\text{余3码}}$$

3. 已知 $[X]_{\text{原}} = 10001101$ ，则 $[X]_{\text{反}} = 11110010$ ；

$$\text{已知真值 } Y = -0100110, \text{ 则8位字长时, } [Y]_{\text{补}} = 11011010。$$

4. 已知某数为 $(0010\ 1100)_{2421}$ ，则对应的 $(1A)_{16}$ 。

$$5. \text{ 已知 } F = A + \overline{BC} \bullet (\overline{A} + D), \text{ 按规则求得 } F' = A \bullet \overline{B} + \overline{C} + \overline{AD}。$$

6. 已知奇偶校验码中的信息码为 $(1010110)_2$ 、校验位为1，则约定的校验方式为奇校验。

$$7. \text{ 已知 } F = \sum m^3(4,6,7), \text{ 则 } F = \prod M^3(0,1,2,3,5)。$$

$$8. \text{ 在Verilog HDL中, 已知 } A=4'b1011, B=4'b0101, \text{ 则 } A\&B=4'b0001。$$

$$9. \text{ 在Verilog HDL中, 持续赋值语句assign只能对 } \underline{\text{连线型(wire)}} \text{ 变量赋值。}$$

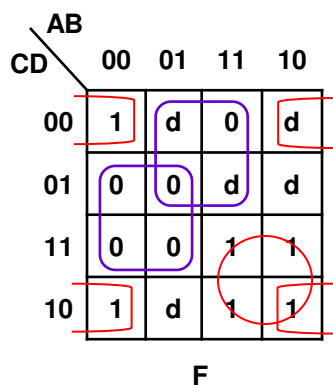
10. 时序电路和组合电路有着本质的区别，同步时序电路的基本特征

是：(1)同步时序电路在同一时钟控制下同步改变状态。

(2)时序电路在任何时刻产生的稳态输出不仅取决于该时刻电路的输入，而且与过去的输入所产生的电路状态有关。

二、简答题（每题5分，共30分）

1. 某函数 $F(A,B,C,D)$ 的卡诺图如下，按要求求出最简表达式。

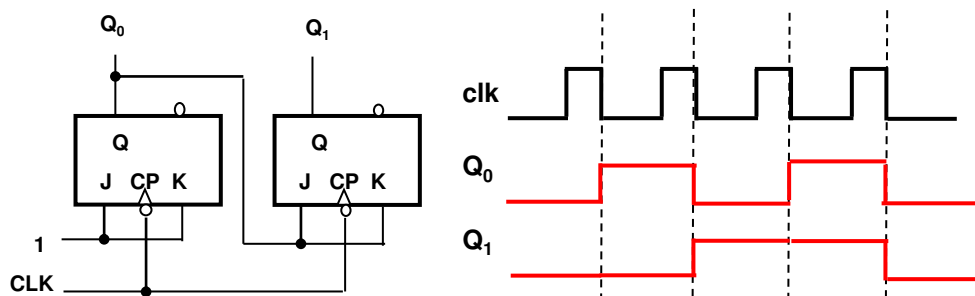


$$F_{\text{最简与或式}} = AC + \overline{B}\overline{D}$$

$$\overline{F}_{\text{最简与或式}} = \overline{A}D + \overline{B}C$$

$$F_{\text{最简或与式}} = (A + \overline{D})(\overline{B} + C)$$

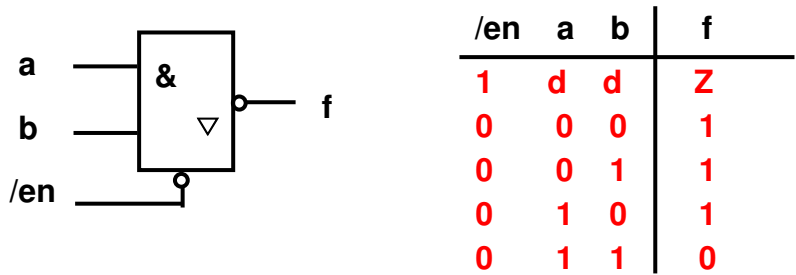
2. 画出图示同步时序电路初态 $Q_1Q_0=00$ 后的时序波形。



3. 将描述 $F = \overline{AB} + (B \oplus C)$ 的 Verilog HDL 模块补充完整。

```
module exam_3(A,B,C,F);
    input   A,B,C;
    output  F;
    wire w1,w2 ;
    assign w1 = ~(A&B) ;
    assign w2 = B^C ;
    assign F = w1 | w2 ;
endmodule
```

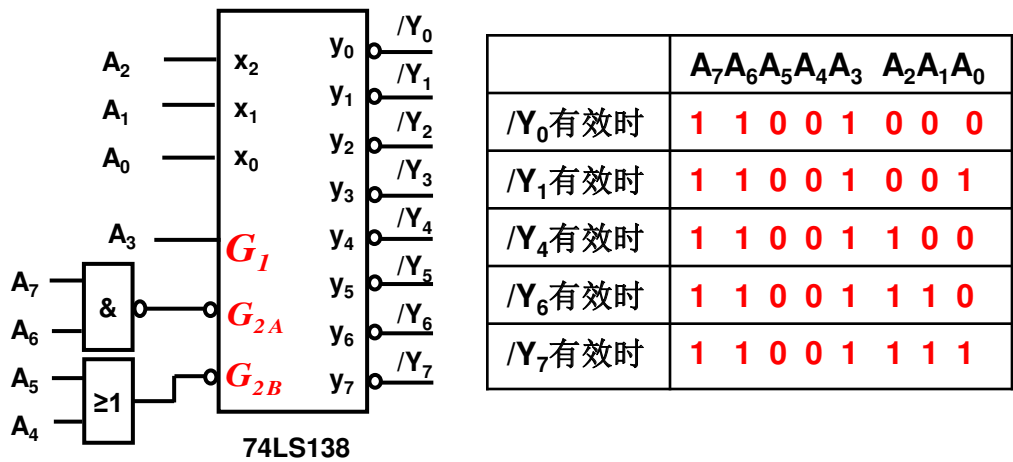
4. (a) 建立图示逻辑门的功能表。



(b) 已知 $F_{\text{最简与或式}} = \overline{AD} + BCD$

若克服险象，需增加的冗余项为 ABC。

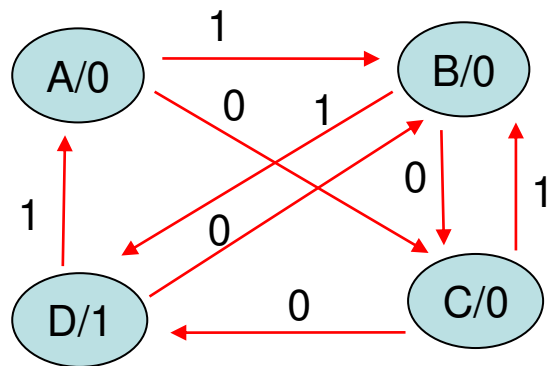
5. 由74LS138译码器及逻辑门构成的组合逻辑电路如下，其中输入信号 $A_7 \sim A_0$ 为地址变量。试填写表格。



6. 根据给定的Moore型状态表画出状态图。

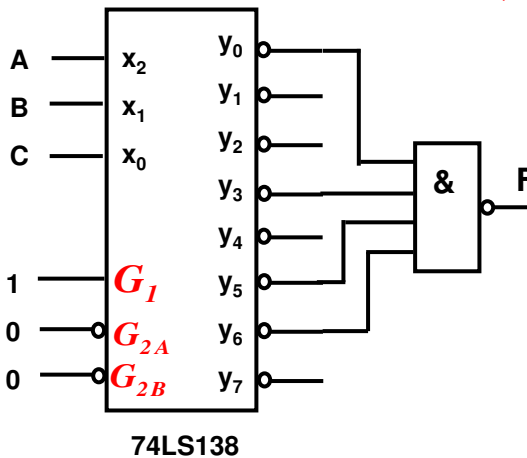
X \ S(t)	X			Z
	0	1		
A	C	B		0
B	C	D		0
C	D	B		0
D	B	A		1

S(t+1)



三、综合分析应用题（每题6分，共24分）

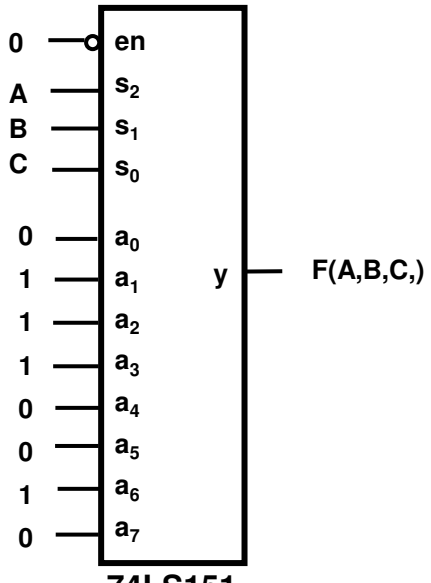
1. 分析由译码器74LS138和逻辑门构成的电路，写出函数 $F(A,B,C)$ 的表达式；列真值表；说明电路功能。

$$F(A,B,C) = \overline{A}\overline{B}\overline{C} + \overline{A}BC + A\overline{B}C + ABC$$


A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

电路功能:奇校验位发生器。

2. 分析图示电路，写出 $F(A,B,C)$ 逻辑表达式，填写卡诺图，求最简无险象与或式。

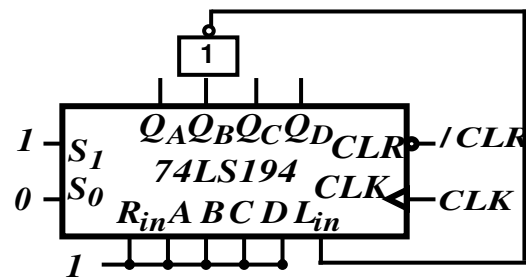
$$F(A,B,C) = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$


		AB			
		00	01	11	10
C	0	0	1	1	0
	1	1	1	0	0

F

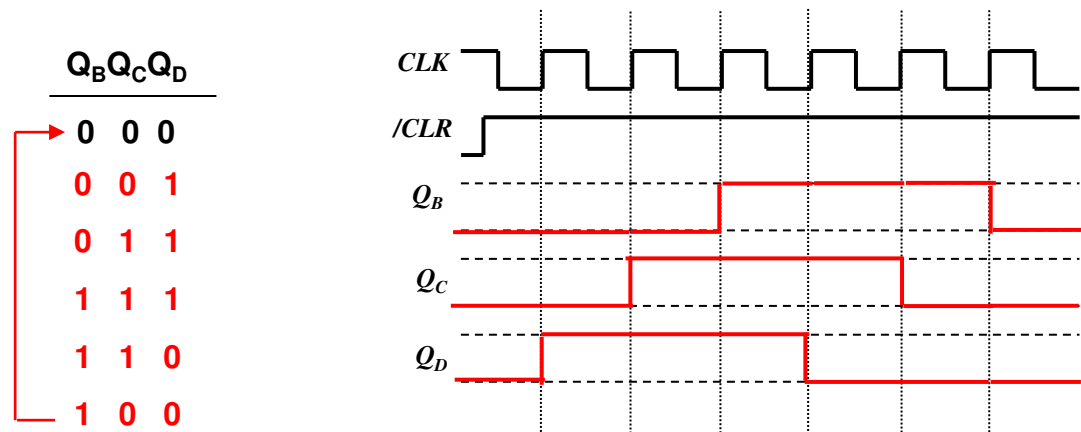
$F_{\text{最简无险象与或式}} = \overline{A}C + B\overline{C} + \overline{A}B$

3. 图示电路采用74LS194构成一个三位扭环型移位计数器，写出启动清零后 $Q_BQ_CQ_D$ 的状态转移序列并画出它们的波形图。

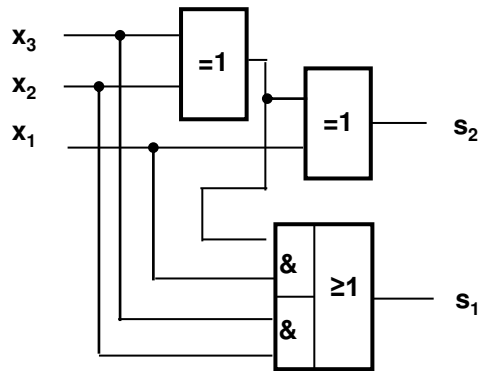


74LS194功能表

$/CLR$	S_1	S_0	CLK	功能
0	x	x	x	清零
1	0	0	↑	保持
1	0	1	↑	右移
1	1	0	↑	左移
1	1	1	↑	置数



4. 分析输入变量顺序为 X_3 、 X_2 、 X_1 的组合电路。要求写出输出表达式、列真值表、说明电路的综合功能（ S_2 、 S_1 ）。



$$S_2 = X_3 \oplus X_2 \oplus X_1$$

$$S_1 = (X_3 \oplus X_2) \cdot X_1 + X_3 \cdot X_2$$

X_3	X_2	X_1	S_2	S_1
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

电路的功能是 全加器，
其中 S_2 为 和； S_1 为 进位。

四、设计题（共20分）

1. 某组合电路的逻辑功能如下表所示，其中en为使能信号；sel[1:0]为选择信号；d[15:0]为数据输入；f[3:0]为电路输出。请用Verilog HDL建立该电路的模型。（5分）

en	sel[1:0]		f[3:0]
1	x	x	z z z z
0	0	0	d[3:0]
0	0	1	d[7:4]
0	1	0	d[11:8]
0	1	1	d[15:12]

```
module selet_16_4 (en,sel,d,f);
input en;
input [1:0] sel;
input [15:0] d ;
output [3:0] f ;
reg [3:0] f;
always @(en or sel or d)
begin
If (!en)
case (sel)
2'b00:f=d[3:0];
2'b01:f=d[7:4];
2'b10:f=d[11:8];
2'b11:f=d[15:12];
Default: f=4'bzzzz;
endcase
else f=4'bzzzz;
end
endmodule
```

2. 用Verilog HDL描述一个满足下列要求的计数器。（10分）

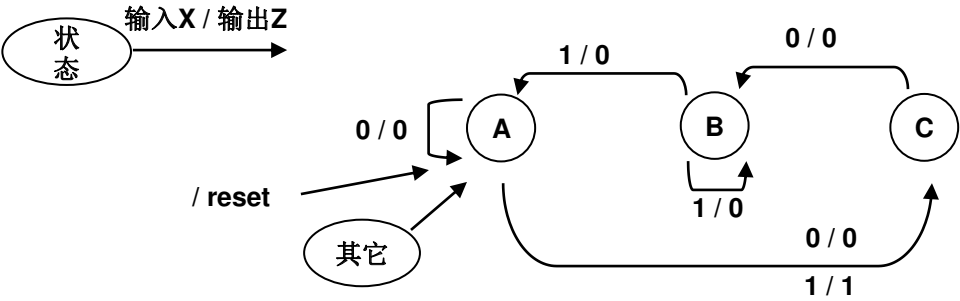
- （1）下降沿“三位格雷码” 加1计数；
- （2）电路具有一个低有效的异步清零端；
- （3）电路具有一个高有效的计数使能端；
- （4）电路具有一个高有效的循环进位（RCO）输出端。

```
module gray_3 (clk, en, reset, q, rco) ;  
    input clk ,en,reset;  
    output [3:1] q ;  
    output rco ;  
    reg [3:1] q ;  
    always @(negedge clk or negedge reset)  
    begin  
        if (!reset) q<=3'b000;  
        else if (en==1)  
            case (q)  
                3'b000 : q<=3'b001 ;  
                3'b001 : q<=3'b011 ;  
                3'b011 : q<=3'b010 ;  
                3'b010 : q<=3'b110 ;  
                3'b110 : q<=3'b111 ;  
                3'b0111 : q<=3'b101 ;  
                3'b101: q<=3'b100 ;  
                3'b100 : q<=3'b000 ;  
                default:  q<=q ;  
            endcase  
        else q<=q;  
    end  
    assign rco=(en&(q==3'b100)) ? 1 : 0 ;  
endmodule
```

3. 图为“101”（不可重）序列检测器的状态图，请用Verilog HDL建模。（5分）

提示：时钟有效沿为上升沿；异步复位信号 /reset 低有效。

可用 parameter A=2'b00, B=2'b01, C=2'b10; 进行状态编码。



X \ S	0	1
A	A / 0	B / 0
B	C / 0	B / 0
C	A / 0	A / 1

```
module T4-3(clk, reset, z, x) ;
    parameter A=2'b00, B=2'b01, C=2'b10;
    input clk, reset, x ;
    output z ;
    reg z ;
    reg [2:1] now, next ;
    always @ (posedge clk or negedge reset)
        if (!reset) next<=A ;
        else now <= next ;
    always @ (now or x )
        case (now)
            A : if (x==0) begin next=A; z=0; end
                else begin next=B; z=0; end
            B : if (x==0) begin next=C; z=0; end
                else begin next=B; z=0; end
            C : if (x==0) begin next=A; z=0; end
                else begin next=A; z=1; end
        endcase
endmodule
```