

一、选择题（每小题 1 分，共 10 分。）

- 逻辑函数 $F = A\bar{B} + \bar{B}DEG + \bar{A}\bar{B} + B$ 的最简式为 ()。
A. $F = \bar{B}$ B. $F=B$ C. $F=0$ D. $F=1$
- 逻辑函数 $F(ABC) = A \odot C$ 的最小项标准式为 ()。
A. $F = \sum(0, 3)$ B. $F = \bar{A}C + A\bar{C}$ C. $F = m_0 + m_2 + m_5 + m_7$ D. $F = \sum(0, 1, 6, 7)$
- 八进制数 $(573.4)_8$ 的十六进制数是 ()。
A. $(17C.4)_{16}$ B. $(16B.4)_{16}$ C. $(17B.8)_{16}$ D. $(17B.5)_{16}$
- 在下列电路中，不是组合逻辑电路的是 ()。
A. 编码器 B. 锁存器 C. 全加器 D. 比较器
- 八路数据分配器，其数据输入端有 () 个。
A. 1 B. 2 C. 3 D. 8
- n 个触发器构成的扭环计数器中，无效状态有 () 个。
A. n B. $2n$ C. 2^{n-1} D. $2^n - 2n$
- 构成数字系统必不可少的逻辑执行部件为 ()。
A. 控制器 B. 计数器 C. 基本子系统 D. 逻辑门
- 电路如图 1 所示，其中完成 $Q^{n+1} = \overline{Q^n} + A$ 电路是 ()。

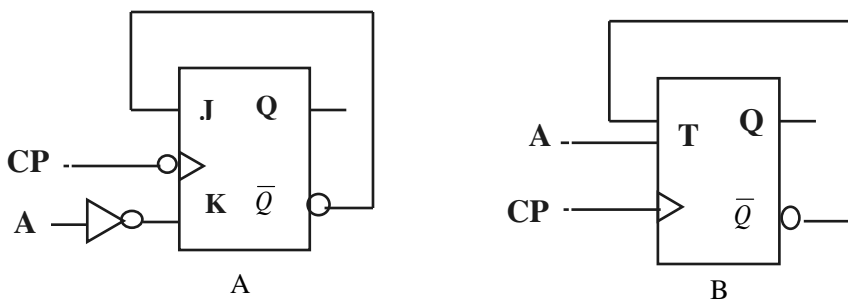


图 1

- 使用 256×4 位 EPROM 芯片构成 $2K \times 32$ 位存储器，共需 EPROM 芯片 () 片。

A. 64

B. 32

C. 48

D. 16

10. 在 ispLSI1032 中, 巨块是 ()。

- A. 逻辑宏单元 B. 输出布线 C. 时钟设置网络 D. GLB 及其对应的 ORP, IOC 等的总称

二、填空题 (每小题 2 分, 共 20 分)

1. 用卡诺图判断函数 $F = AB + BC + AC$ 和 $G = \overline{A}\overline{B} + \overline{B}\overline{C} + \overline{A}\overline{C}$ 之间的逻辑关系是

_____。

2. 一个逻辑函数如果有 n 个变量, 则有_____个最小项。任何一个逻辑函数可以化成一组_____之和表达式。

3. 在 ABEL_HDL 语言中, 等式 $A = D \$ (B = C)$ 的两个结果分别是_____和_____。

4. 奇偶校验可以检测出_____ (几) 位错。若有一个七位二进制数为 1000110, 其监督码元 (奇偶校验位) 是_____时为偶校验。

5. 一个由 3:8 译码器构成的逻辑电路如图 2 所示, 函数 F 的最小项表达式为

_____。

6. 某移位寄存器的时钟脉冲频率为 100KHz, 欲将存放在该寄存器中的数左移 16 位, 完成

该操作需要_____ μS 。

7. 用计数器产生 110010 序列, 至少需要_____个触发器。

8. 控制器的控制过程可以用_____图表示出来, 它能和实现它的_____很好地对应起来。

9. $1M \times 4$ 位的 RAM 芯片, 其地址线是_____条; 数据线是_____条。

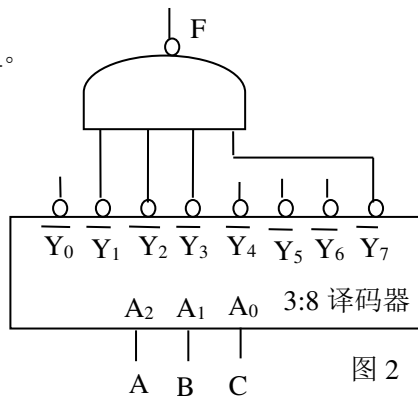


图 2

10. 从编程功能来讲 GAL 的与阵列_____ ;或阵列_____。

三、简答题（每小题 5 分，共 10 分）

1. 描述米里型和摩尔型时序电路的定义。
2. 比较定序型控制器和计数型控制器的特点。

四、简单分析题（每小题 5 分，共 10 分）

1. 分析图 3 所示逻辑电路的功能。

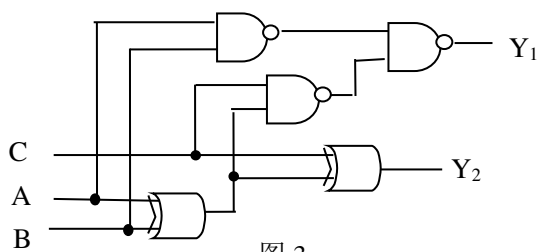


图 3

2、分析由 74LS90 异步计数器构成的电路图 4，写出电路采用什么编码？为模几计数器？
功能表如下：

R ₀₁	R ₀₂	R ₉₁	R ₉₂	CP ₁	CP ₂	Q _D	Q _C	Q _B	Q _A	说明
1	1	0	x	x	x	0	0	0	0	异步置 0
1	1	x	0	x	x	0	0	0	0	异步置 0
0	x	1	1	x	x	1	0	0	1	异步置 9
x	0	1	1	x	x	1	0	0	1	异步置 9
x	0	x	0	↓	0	二进制计数				由 Q _A 输出
x	0	0	x	0	↓	五进制计数				由 Q _D Q _C Q _B 输出
0	x	x	0	↓	Q _A	8421 码十进制计数				Q _D Q _C Q _B Q _A 输出
0	x	0	x	Q _D	↓	5421 码十进制计数				Q _A Q _D Q _C Q _B 输出

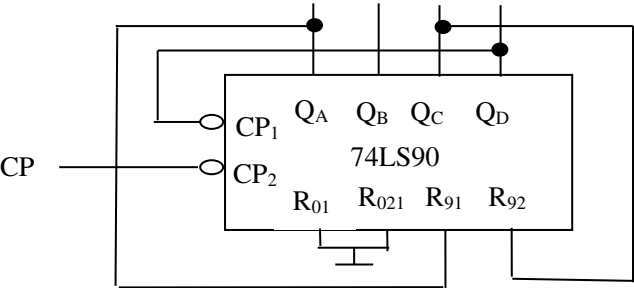


图 4

五、组合电路设计（10 分）

设 A、B、C 为保密锁的 3 个按键，当 A 键单独按下时，锁既不打开也不报警；只有当 A、B、C 或者 A、B 或者 A、C 分别同时按下时，锁才能被打开，当不符合上述组合状态时，将发出报警信息，请设计此保密锁的逻辑电路。

- ① 列真值表。
- ② 求最简逻辑表达式。（卡诺图）
- ③ 画出用与非门实现的电路图。

六、时序电路设计（12分）

某计数器的输出波形如图 5 所示。

- ① 试确定该计数器的计数循环中有几个状态？
- ② 列出状态转移真值表、画出状态转移图。
- ③ 若使用 D 触发器，写出激励方程表达式。
- ④ 画出计数器电路图。

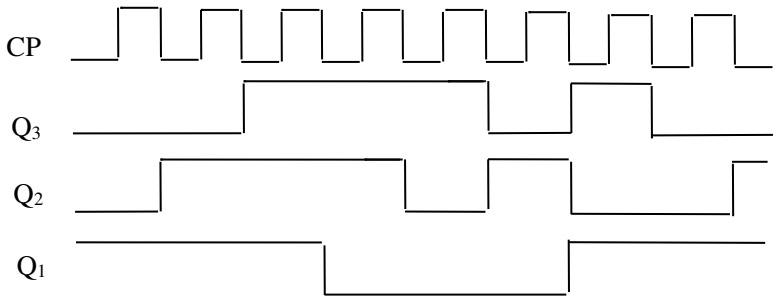


图 5

七、硬件描述语言设计（14 分）

一位十进制计数器七段数字显示系统如图 6 所示。计数器是 8421BCD 码同步计数器，其输出 $Q_3 \sim Q_0$ 作为七段译码器的输入，译码器的输出送到七段发光二极管显示器，它能显示 0, 1, 2, …… 9 十个字符。采用 ABEL-HDL 语言设计一位十进制计数器和七段译码器，写出完整的设计源程序。

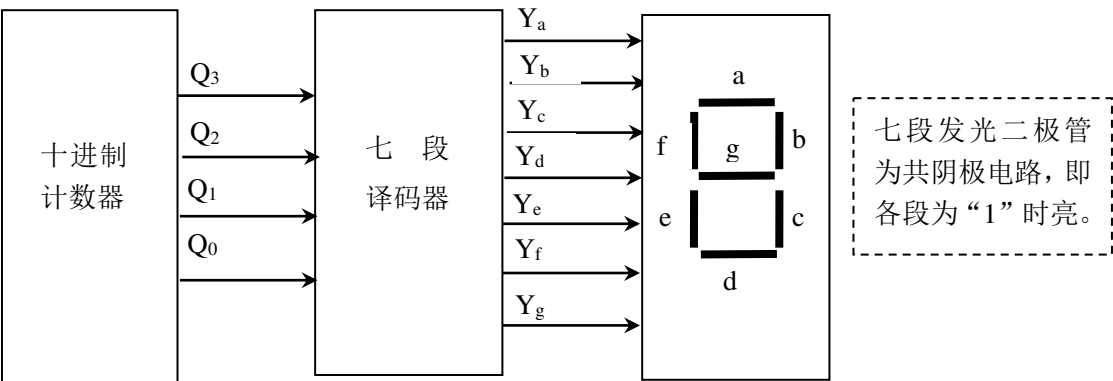


图 6

8421BCD 七段显示译码真值表											
Q ₃	Q ₂	Q ₁	Q ₀	a	b	c	d	e	f	g	显示
0	0	0	0	1	1	1	1	1	1	0	0
0	0	0	1	0	1	1	0	0	0	0	1
0	0	1	0	1	1	0	1	1	0	1	2
0	0	1	1	1	1	1	1	0	0	1	3
0	1	0	0	0	1	1	0	0	1	1	4
0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	0	1	1	1	1	1	6
0	1	1	1	1	1	1	0	0	0	0	7
1	0	0	0	1	1	1	1	1	1	1	8
1	0	0	1	1	1	1	1	0	1	1	9

八、小型控制器设计（14 分）

有一个数字比较系统，它能连续对两个八位二进制数据进行比较，操作过程如下：先将两个数存入寄存器 A 和寄存器 B，然后进行比较，最后将大数移入寄存器 B 中。其方框图如图 7 所示。其中 Y 为输入数据，LDA 和 LDB 为打入控制信号，COMP 是三态门使能控制信号，X 是比较器输出信号。假设状态发生变化在 T_1 节拍时间，打入寄存器操作发生在 T_2 节拍时间，状态周期 $T = T_1 + T_2$ 。

- ① 画出 ASM 流程图。
- ② 列出状态转移真值表
- ③ 设计多路选择器型控制器电路。

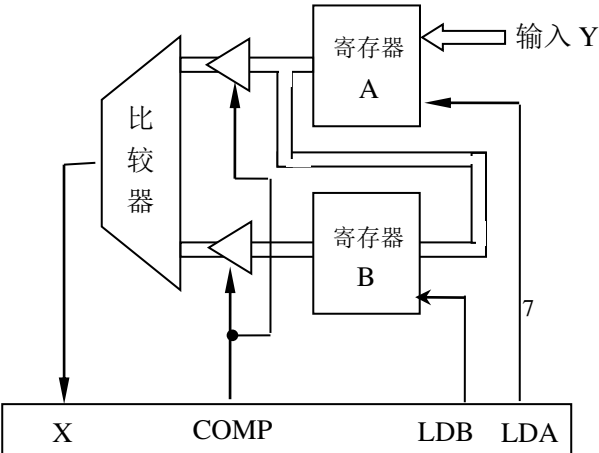


图 7

试题标准答案

一、选择题（每小题 1 分，共 10 分）

1. D
2. C
3. C
4. B
5. A
6. D
7. C
8. A
9. A
10. D

二、填空题（每小题 2 分，共 20 分）

1. $F = \overline{G}$
2. 2^n , 最小项
3. $A = \overline{D}$, $A=D$
4. 1 位(奇数位), 1
- 5.

$$F = \sum(1,2,3,7)$$

6. 160
7. 3
8. ASM 图, 硬件
9. 20, 4
10. 可编程, 固定

三、简答题

- 1、(5 分, 每个概念各占 2.5 分)

同步时序逻辑电路按其输入与输出的关系不同, 可分为米里型和摩尔型两类。在输出表达式中包含输入变量和状态变量时, 称之为米里型时序逻辑电路。在输出表达式中只包含状态变量时, 称之为摩尔型时序逻辑电路。

- 2、(5 分, 每个概念各占 2 分, 特点 1 分)

将所要求的控制状态按一定原则进行编码分配, 从而设计的状态计数型的

控制器称之为计数器型控制器。这种方法的优点是对于控制状态数较多时，为了节省触发器数目，采用编码方式组成状态。对 n 个触发器进行编码最多可代表 2^n 个状态，也就是可以构成 2^n 个状态编码。缺点是算法流程图中的微小变化，都要重新逐一计算生成次态激励函数。

定序型控制器需要较多数量的触发器，其基本思想是一对应一法，即触发器的数目代表了状态数，并依赖最新的代码实现状态转换。这种方法的优点是设计简单，不需要状态译码。

四、简单分析题（每小题 5 分，共 10 分）

1. ①真值表（2 分）

A	B	C	Y2	Y1
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

②表达式（2 分）

$$Y_1 = AB + (A \oplus B)C$$

$$Y_2 = A \oplus B \oplus C$$

③该电路为全加器（1 分）

2. ①5421 码（2 分），②当 $Q_A Q_D Q_C Q_B = 1010(7)$ 时置 9。从 9 到 0 需要一个时钟脉冲，即

(0) → (1) → (2) → (3) → (4) → (5) → (6) → (7) (9) → (0)
 因此为模 8 计数器（3 分）

五、组合电路设计（10分）①真值表（3分）

A	B	C	F	G
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	0	1
1	0	0	0	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	0

②表达式（3分）

$F = AB + AC$

$G = \overline{A}B + \overline{A}C$

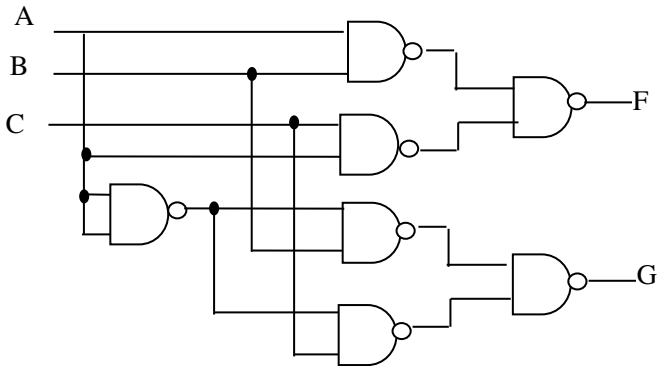
AB \ C	00	01	11	10
0	0	0	1	0
1	0	0	1	1

AB \ C	00	01	11	10
0	0	1	0	0
1	1	1	0	0

③画电路图（4分）

$F = \overline{\overline{A}B} \cdot \overline{\overline{A}C}$

$G = \overline{\overline{A}B} \cdot \overline{\overline{A}C}$



六、时序电路设计（12分）

- ① 该计数器的计数循环中 7 个状态。（2分）
- ② 列出状态转移真值表、画出状态转移图。（4分）
- ③ ①→③→⑦→⑥→④→②→⑤

↑

Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	1	0	1	1
0	1	1	1	1	1
1	1	1	1	1	0
1	1	0	1	0	0
1	0	0	0	1	0
0	1	0	1	0	1
1	0	1	0	0	1
0	0	0			

③ 若使用 D 触发器，写出激励方程表达式。（3 分）

Q_2^{n+1}

Q_2Q_1 Q_0	00	01	11	10
0	X	1	1	0
1	0	1	1	0

$D_2=Q_1$

Q_1^{n+1}

Q_2Q_1 Q_0	00	01	11	10
0	X	0	0	1
1	1	1	1	0

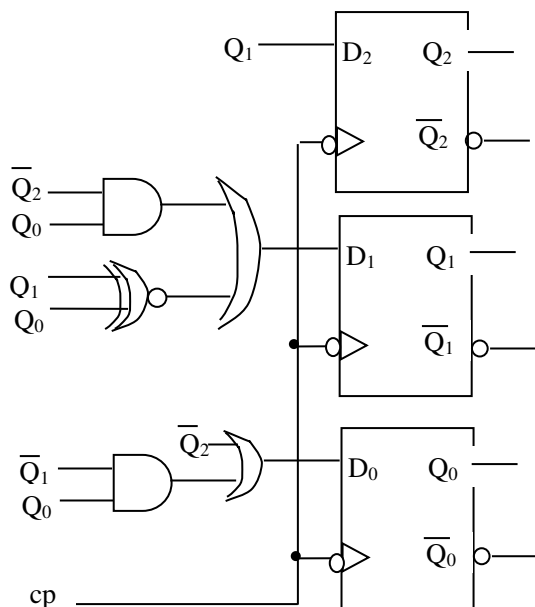
$$D_1 = \overline{Q_2}Q_0 + Q_1Q_0 + \overline{Q_1}\overline{Q_0}$$

Q_0^{n+1}

Q_2Q_1 Q_0	00	01	11	10
0	X	1	0	0
1	1	1	0	1

$$D_0 = \overline{Q_2} + \overline{Q_1}Q_0$$

④ 画出计数器电路图。（3 分）



七、硬件描述语言设计（14 分）

①程序结构（3 分）

②

```
MODULE 8421BCD_LED
```

```
TITLE 'output 8421bcd code and 7 LED code'
```

Declarations (2 分)

```
Q0,Q1,Q2,Q3 node istype 'reg';
```

```
clk pin ;
```

```
a,b,c,d,e,f,g pin ;
```

```
Q=[Q0..Q3];
```

Equations (4 分)

```
Q:=(Q+1)&!(Q==9);
```

```
Q:=0&(Q==9);
```

```
Q.clk=clk;
```

TRUTH_TABLE (5 分)

```
(([Q3, Q2, Q1, Q0]->[a, b, c, d, e, f, g ])
```

```
[0,0,0,0] ->[1,1,1,1,1,0];
```

```
[0,0,0,1] ->[0,1,1,0,0,0];
```

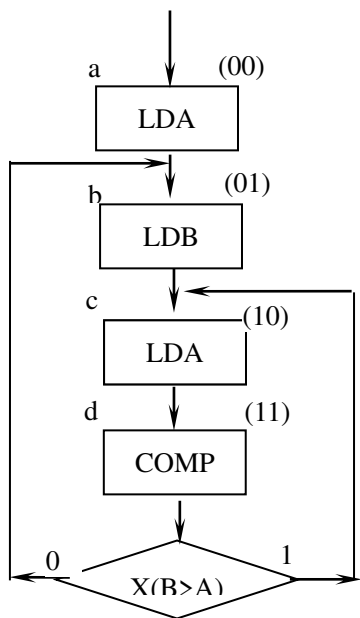
```
[0,0,1,0] ->[1,1,0,1,1,0];
```

[0,0,1,1] ->[1,1,1,1,0,0,1];
 [0,1,0,0] ->[0,1,1,0,0,1,1];
 [0,1,0,1] ->[1,0,1,1,0,1,1];
 [0,1,1,0] ->[1,0,1,1,1,1,1];
 [0,1,1,1] ->[1,1,1,1,0,0,0];
 [1,0,0,0] ->[1,1,1,1,1,1,1];
 [1,0,0,1] ->[1,1,1,0,0,1,1];

END

八、小型控制器设计（14 分）

① ASM 流程图（3 分）



② 列出状态转移真值表（4 分）

现态		次态			转移条件
	编码		Q_2^{n+1}	Q_1^{n+1}	
a	0	b	0	1	
b	1	c	1	0	
c	2	d	1	1	
d	3	c	1	0	X
		b	0	1	\overline{X}

③ 设计多路选择器型控制器电路。(7 分)

