

填空题:

晶体管有源区、沟道区、漏区统称有源区，有源区以外统称为场区

MOS 晶体管加衬底偏压，其 V_T 将发生变化，这种效应叫体效应

1. 集成电路的加工过程 三个：制作某种材料的薄膜薄层，在各种薄膜材料上形成需图形，掺杂改变材料电阻率或杂质类型。

MOS 晶体管分为n 沟道 MOS 型晶体管、p 沟道 MOS 型晶体管两类

2. MOS 晶体管的工作原理：利用栅极与衬底之间的电场，在半导体表面形成反形层使源、漏之间形成导电沟道。G: 栅 S: 源 D: 漏

3. 用 CMOS 电路设计静态数字逻辑电路，如果设计与非逻辑下拉支路应该是串联，如果设计或非逻辑下拉支路应该是并联。

4. MOS 存储器主要分为两类：ROM和RAM。

5. CMOS 集成电路是利用NMOS和PMOS的互补性来改善电路性能的，因此叫做 CMOS 集成电路。在 P 型衬底上用N 阱工艺制作CMOS集成电路。

6. 等比例缩小理论包括恒定电场等比例缩小定律、恒定电压等比例缩小定律、准恒定电场等比例缩小定律。

CE 恒定电场定律：器件所有尺寸（横向、纵向）都缩小 k 倍，衬底掺杂浓度增大 k 倍，电源电压下降 k 倍。

CV 恒定电压定律：器件所有尺寸（横向、纵向）都缩小 k 倍，电源电压保持不变；衬底掺杂浓度增大 k 平方倍。

QCE 准恒定电场定律（所有几何尺寸都缩小 k 倍，电源电压减小 α/k 倍，其中： $1 < \alpha < k$ ，衬底掺杂浓度增大 αk 倍）

7. 1947 年巴丁、肖克莱、布拉顿发明了半导体晶体管，并因此获得了 1956 年的诺贝尔物理学奖，1958 年美国德州仪器公司的基尔比发明了第一块集成电路，并获得 2000 年诺贝尔物理学奖。

8. 静态 CMOS 逻辑电路中，一般 PMOS 管的衬底接电源电压，NMOS 管的衬底接地电压；NMOS 下拉网络的构成规律是：NMOS 管串联实现与操作；NMOS 管并联实现或操作；PMOS 上拉网络则是按对偶原则构成，即 PMOS 管串联实现或操作；PMOS 管并联实现与操作。

9. 集成电路中非易失存储器包括三种，即：不可擦除 ROM、EPROM、 E^2 PROM。

10. 集成电路产业按照职能划分为设计、制造、封装三业。

11. CMOS 逻辑电路的功耗由三部分组成：动态功耗 P_d 、开关过程中的短路功耗 P_{SC} 、静态功耗 P_s 。

12. 时序电路的输出不仅与当前的输入有关，还与系统原来的状态有关。

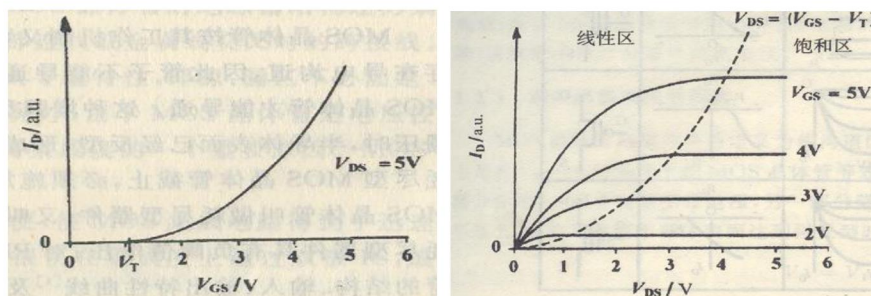
13. 集成电路的设计方法可分为三种，即：基于 PLD 的设计方法、半定制设计方法、定制设计方法。

14. 富 NMOS 电路与富 NMOS 电路不能直接级联，但可采取富 NMOS 与富 PMOS交替级联的方式，或用静态反相器隔离（多米诺电路）

特性曲线:

MOS 管的转移特性曲线 V_T ：开启电压，当 $V_{GS} > V_T$ 时，方有电流

MOS 管的 I-V 特性曲线（输出特性曲线）



判断题:

1. N 阱 CMOS 工艺是指在 N 阱中加工 NMOS 的工艺。(✗)
2. 非易失存储器就是只能写入，不能擦除的存储器。(✗)
3. 用二极管在电路中防止静电损伤就是利用二极管的正向导电性能。(✓)
4. DRAM 在存储的过程中需要刷新以保持所存储的值。(✓)
5. MOS 晶体管与 BJT 晶体管一样，有三个电极。(✗)
6. 为保证沟道长度相同的 PMOS 管和 NMOS 等效导电因子相同，PMOS 管的沟道宽度一般比 NMOS 管的大。(✗)
7. 集成电路是以平面工艺为基础，经过多层加工形成的。(✓)
10. 用于模拟集成电路设计的 SPICE 模型中的“SPICE”是 Simulation Program with Integrated Circuit Emphasis 的缩写。(✓)
12. ESD 保护的定义为：为防止静电释放导致 CMOS 集成电路失效所采取的保护措施。(✓)
静电释放对 CMOS 集成电路的损伤不仅会引起 MOS 器件栅击穿，还可能诱发电路内部的门锁效应
13. 电压升高，G、S 会导通吗？(✗) D、S 导通

阈值电压:

$$V_{GS} = V_{FB} + 2\phi_F + V_{ox}$$

$$= V_{FB} + 2\phi_F - \frac{Q_{Bm}}{C_{ox}}$$

功函数：把一个电子从固体内部刚刚移到此物体表面所需的能量。

阈值电压—使沟道区源端半导体表面达到强反型时所需要的“栅压”。外加栅压有三部分：一为平带电压 V_{FB} ；二为栅氧化层上的电压降 V_{ox} ；三为降在半导体表面的耗尽层上的电压 ϕ_s 。

影响：不同栅电极材料与硅衬底间的功函数差不同

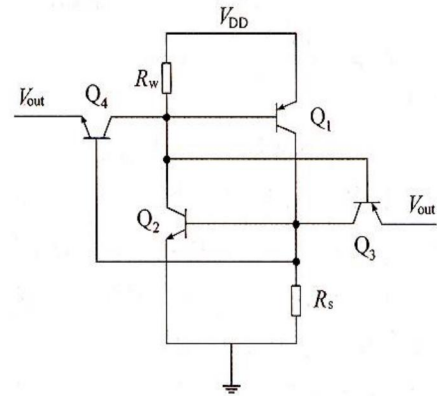
栅氧化层质量，减少氧化层中电荷。

衬底掺杂浓度大小会影响阈值电压

简答题：

1. 请画图并解释 N 阱 CMOS 结构中的闩锁效应。

在 n 阱 CMOS 中 PMOS 管的源、漏区通过 n 阱到衬底形成了寄生的纵向 PNP 晶体管，而 NMOS 的源、漏区与 P 型衬底和 n 阱形成寄生的横向 NPN 晶体管。PNP 晶体管的集电极和 NPN 晶体管的基极通过衬底连接，同时 NPN 晶体管的集电极通过阱和 PNP 晶体管的基极相连，从而构成交叉耦合形成的正反馈回路，一旦其中有一个晶体管导通，电流将在两支晶体管之间循环放大，使电流不断加大，最终导致电源和地之间形成极大的电流，并使电源和地之间锁定在一个很低的电压，这就是闩锁效应



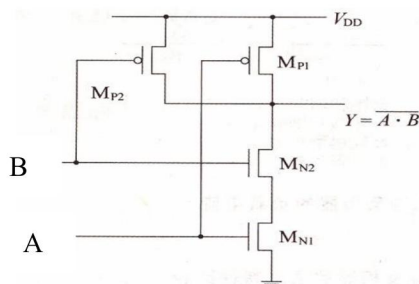
如果外界噪声和无他干扰使 V_{out} 高于 V_{DD} 和低于 0，则引起寄生双极晶体管 Q_3 或 Q_4 导通，而 Q_3 或 Q_4 导通又为 Q_1 、 Q_2 提供可基极电流，并通过 R_w 或 R_s 是 Q_1 或 Q_2 的发射结正偏。大导致 Q_1 、 Q_2 导通。由于 Q_1 、 Q_2 交叉耦合形成正反馈电路，一旦其中一个晶体管导通，电流将会在 Q_1 、 Q_2 之间循环放大。若 Q_1 、 Q_2 的电流增益乘积大于 1，将使电流和地之间形成极大电流，并使电源和地之间锁定在一个很低的电压，这就是闩锁效应。

- (1) 电压信号过冲或其他原因，使寄生双极管的发射极正偏；(2) 回路电压大于临界触发电压 V_c ；
(3) 回路电流超过维持电流 I_h ；**根本原因**：纵向寄生 npn 管与横向寄生 pnp 管的电流增益乘积大于 1，形成正反馈，即： $\beta_1 \beta_2 > 1$

预防：

减小寄生电阻 R_w 和 R_s ，降低寄生双极晶体管的电流增益，衬底加反向偏压---有负面影响，加保护环，采用外延衬底，采用 SOI CMOS 技术

2. 假设有两个逻辑信号 A、B，在某状态下 A 的上升沿先于 B 的上升沿到达图 1 所示电路，为了使电路得到最好的瞬态特性，请在图 1 中标注出 A、B 接入方法，并解释其原因。



答：将先到达的逻辑信号 A 接于靠近地线的 NMOS 管 M_{N1} 的栅极上，将有利于使先到达的信号 A 对串联支路的中间结点寄生电容放电，其原因是只有中间结点的电容放电后，才能使输出结点寄生电容放电，这样有利于提高电路的响应速度。

四、综合（10X2）

1) 画出实现逻辑功能的电路（动态特征《看书》）

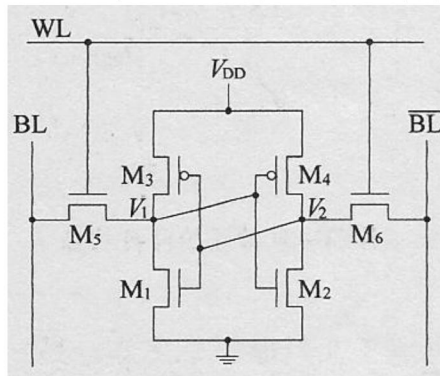
综合题第一题在 266 页，267 页。图 4.5-2 是富 PMOS 的动态电路图，图 4.5-3 是富 NMOS 的动态电路图

2) CMOS 传输门（CPL/DPL）看书

3. 概括版图设计规则的三种尺寸限制。

- 1) 各层图形的最小尺寸即最小线宽
- 2) 同一层次图形之间的最小间距
- 3) 不同层次图形之间的对准容差或套刻间距

1. 请给出六管 SRAM 单元电路图，并说明读写操作过程。

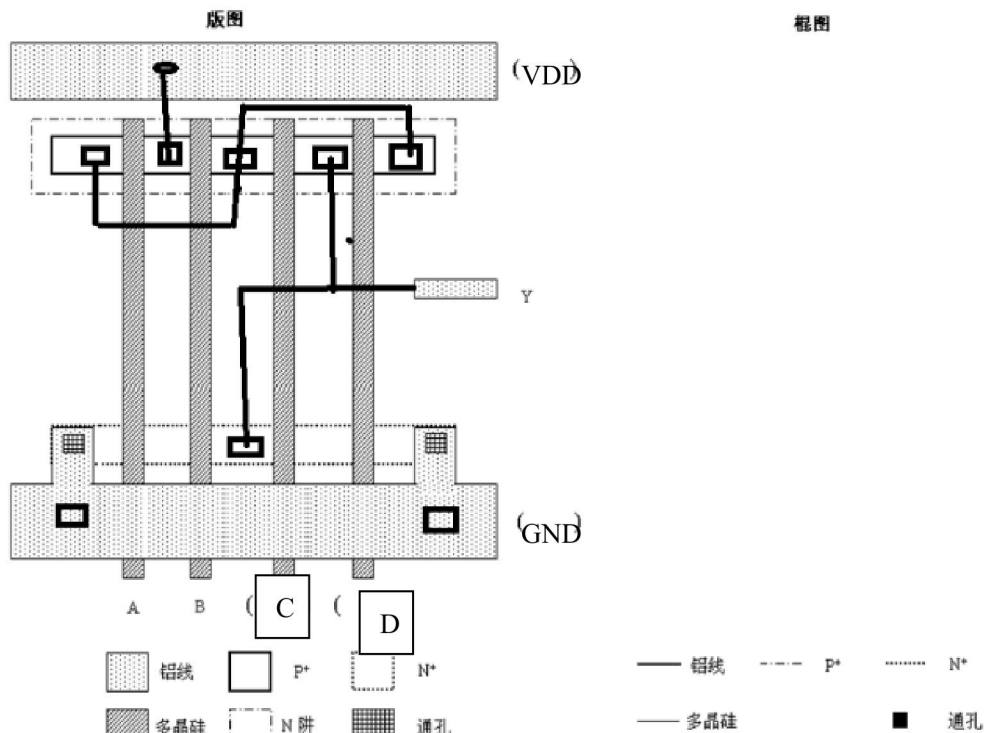


写操作：某单元写入信息时，该单元的字线为高电平，使门管 M_5 和 M_6 导通。若写入“1”则 $V_{BL}=V_{DD}$ ， $V_{(BL)'}=0$ ，使 V_1 充电到高电平， V_2 充电到低电平，写入信息。

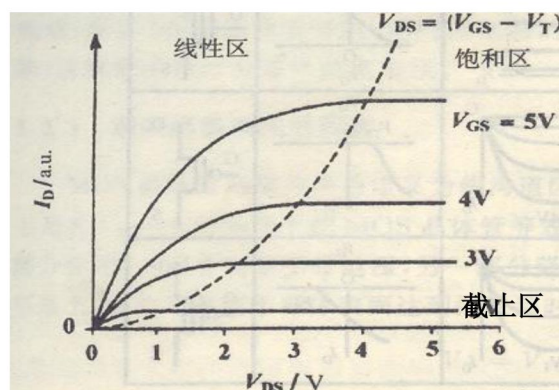
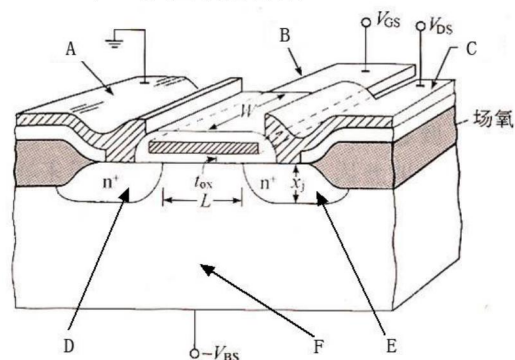
读操作时，位线 $BL, (BL)'$ 都预充电到高电平 V_{DD} ，同时通过行译码器使该单元字线为高电平。若读“1”， $V_1=V_{OH}$ ， $V_2=0$ ，使 M_1 截止，位线 BL 不能放电， M_2 和 M_6 导通，对位线 $(BL)'$ 放电。若读“0”，则对位线 $(BL)'$ 保持高电平，而 BL 通过 M_5 和 M_6 放电

综合题：

2. 请在图 3 中补画实现 $Y = \overline{AB} + CD$ 逻辑功能的、采用 N 阱工艺的 CMOS 电路的棍图和相应的版图。



3. 图 1 为 NMOS 管的三维图，请写出图中字母 A 至 F 所对应部位的中文名称，并简述 NMOS 晶体管的工作原理，画出 NMOS 管的输出特性曲线、标出三个工作区域，说明三个工作区域的界限。



A: 源极, B: 栅极, C: 漏极, D: 源区, E: 漏区, F: p 型硅衬底。
线性区 $V_{DS} < (V_{GS} - V_T)$
饱和区 $V_{DS} > (V_{GS} - V_T)$

N 沟 MOS 晶体管工作原理: V_{GS} 增加时, 吸引到 P 衬底表面层的电子就增多, 当 V_{GS} 达到某一数值时, 这些电子在栅极附近的 P 衬底表面便形成一个 N 型薄层, 且与两个 N^+ 区相连通, 在漏—源极间形成 N 型导电沟道, 其导电类型与 P 衬底相反, 称为反型层。 V_{GS} 越大, 作用于半导体表面的电场就越强, 吸引到 P 衬底表面的电子就越多, 导电沟道越厚, 沟道电阻越小。

截止区 $V_{GS} < V_T$

- 1 请用 verilog 语言设计一个二分频电路, 分频输出与原始时钟比较, 相等输出 1, 不相等输出 0。

```
module half_clk(reset, clk_in, clk_out, equal);
    input clk_in, reset;
    output clk_out, equal;
    reg clk_out;
    always @(posedge clk_in)
    begin
        if(!reset) clk_out=0;
        else      clk_out=~clk_out;
    end
    assign equal=(clk_in==clk_out)?1:0;
endmodule
```

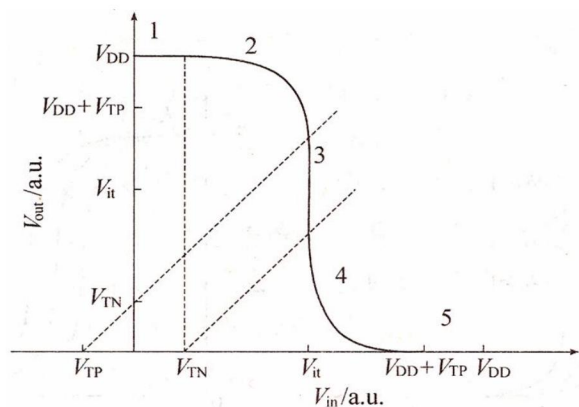
比较器

```
module compare(equal, a, b);
    input a, b;
    output equal;
```

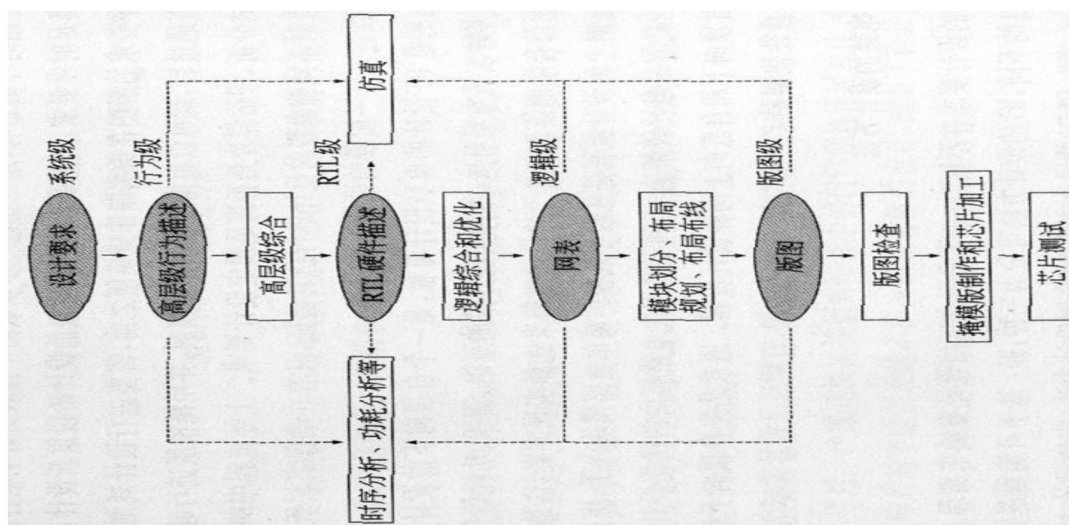
assign equal=(a==b)?1:0; //a 等 b, equal 输出 1; a 不等 b 时, equal 输出为 0//

3. 请画出 CMOS 反相器的直流电压传输特性曲线, 标出 5 个工作区域, 并写出两管在相应区域的工作状态。(5 分)

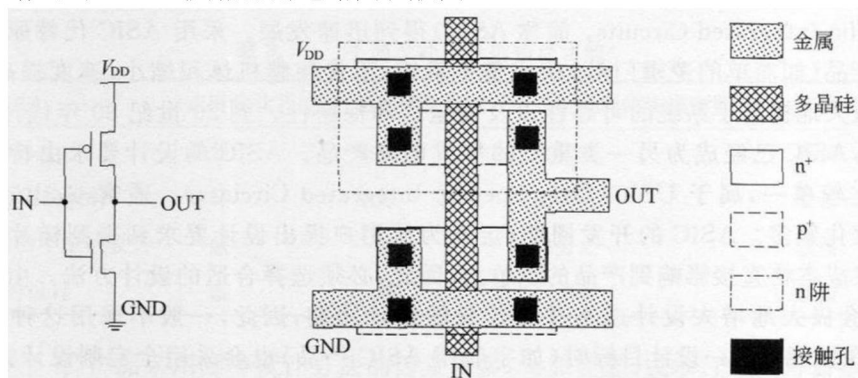
- 1: $0 \leq V_{in} \leq V_{out}$
NMOS 截止, PMOS 线性。输出高电平区
- 2: $V_{TN} < V_{in} < V_{out} + V_{TP}$
NMOS 饱和, PMOS 线性。转变区
- 3: $V_{out} + V_{TP} \leq V_{in} \leq V_{out} + V_{TN}$
NMOS 饱和, PMOS 饱和。转变区
- 4: $V_{out} + V_{TN} < V_{in} < V_{DD} + V_{TP}$
NMOS 线性, PMOS 饱和。转变区
- 5: $V_{DD} \geq V_{in} \geq V_{DD} + V_{TP}$
NMOS 线性, PMOS 截止。输出低电平区



请简述集成电路的设计流程



请画出 CMOS 反相器的电路图和版图



二、名词解释

1) 短沟道效应: MOS 晶体管沟道越短, 源漏区 PN 结耗尽层电荷在总的沟道耗尽层电荷中占得比例越大, 使实际由栅亚控制的耗尽层电荷减少, 造成阈值电压随沟道长度减小而下降。

2) MOS 晶体管 阈值电压: 沟道区源端半导体表面达到强反型所需要的栅压, 假定源和衬底共同接地。

亚阈值电流: 在理想的电流-电压特性中, 当 $V_{gs} \leq V_T$ 时, $I_D = 0$ 。而实际情况是, 当 $V_g < V_t$ 时, MOS

晶体管表面处于弱反型状态, 此时 I_d 很小, 但不为 0, 此电流成为亚阈值电流。

瞬态特性: 当加在 MOS 晶体管各端点的电压随时间变化时, 会引起 MOS 晶体管内部电荷相应变化, 从而表现出电容特性。

3) 传输门阵列逻辑: 用传输门串、并联可以构成一个比较规则的电路形式, 这种电路形式叫传输门阵列。

5) 定制版图设计: 在已预先设计好的单元的基础上完成单元的布局和单元之间的互连。

第四章

逻辑表达式-----画电路图

版图、二输入与非门、或非门

三、问答题

(三) 说明 CMOS 反相器输入上升时间, 下降时间定义

(1) 上升时间 (t_r): 输出从 $0.1V_{dd}$ 上升到 $0.9V_{ds}$ 所需时间

(2) 下降时间 (t_f): 输出从 $0.9V_{dd}$ 下降到 $0.1V_{dd}$ 所需时间

(四) 简述 CMOS 逻辑电路传输延时时间定义

(1) 输入延迟时间: 从输入信号上升边的 50% 到输出信号下降边的 50% 所经历的延迟时间。

(2) 输出延迟时间: 从输入信号下降边的 50% 到输出信号上升边的 50% 所经过的延迟时间。

(五) 体效应如何影响逻辑晶体管阈值电压

(1) 在电路工作时, 加较大负 V_{bs} , 使源区--沟道漏区相对衬底之间 PN 结反偏, 从而使耗尽层层宽、表面耗尽层电荷增加, 因此表面达强反型时所需栅压也增大, 即使 V_t 增加。

(2) 相反器件截止时, 加小的正向衬底偏压, 使 V_t 减小。