

北京工业大学计算机学院  
2008~2009学年第一学期《数字逻辑》闭卷试题（A卷）  
考试时间：2009年1月8日 13时30分至15时05分

学号：\_\_\_\_\_ 姓名：\_\_\_\_\_ 成绩：\_\_\_\_\_

题号：	一	二	三	四
得分：				

一、填空题（每空2分，共26分）

1. 完成下列数制转换

$$(44.5)_{10} = ( \quad )_2 \quad (1000111)_2 = ( \quad )_8$$

2. 完成下列代码转换

$$(409)_{10} \rightarrow ( \quad )_{8421\text{码}} \rightarrow ( \quad )_{\text{余3码}}$$

3. 已知 $[X]_{\text{补}} = 10001101$ ，求

$$[X]_{\text{反}} = \underline{\hspace{2cm}}, [X]_{\text{原}} = \underline{\hspace{2cm}}。$$

4. 已知某数为 $(1A)_{16}$ ，则对应的2421码表示为 $( \quad )_{2421}$ 。

5. 已知  $F = A + \overline{BC} \bullet (\overline{A} + D)$ ，按规则求得  $F' = \underline{\hspace{2cm}}。$

6. 已知信息码为 $(0010110)_2$ ，按奇校验约定发送时，校验位的值是\_\_\_\_\_。

7. 已知  $F = \sum m^3(0,1,3,5)$ ，则其反函数  $\overline{F} = \sum m^3( \quad )。$

8. 在Verilog HDL中，已知  $A=4'b1001$ ， $B=4'b1000$ ，则  $A\&\&B= \underline{\hspace{2cm}}。$

9. 在Verilog HDL的always过程中被赋值的变量一定要定义成 \_\_\_\_\_ 类型。

10. 同步时序电路的基本特征

是 \_\_\_\_\_。

## 二、简答题（每题5分，共30分）

(1) 某函数F的卡诺图如下，按要求求出最简表达式。

CD \ AB	AB			
	00	01	11	10
00	0	0	d	0
01	d	1	1	0
11	1	1	d	0
10	1	1	d	0

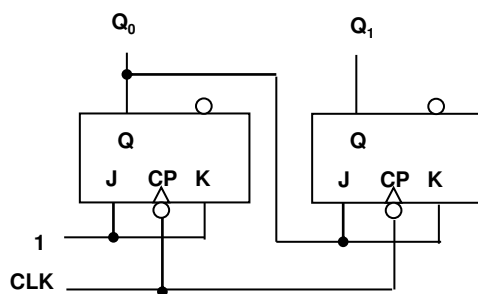
F

$F_{\text{最简与或式}} =$

$\bar{F}_{\text{最简与或式}} =$

$F_{\text{最简或与式}} =$

(2) 写出下列同步时序电路 $Q_1Q_0$ 的状态方程并填写状态表。



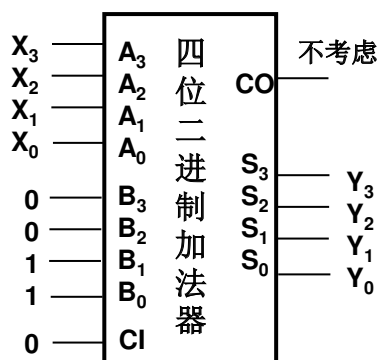
$Q_0(t)$ \ $Q_1(t)$	0	1
0		
1		

$Q_1 Q_0(t+1)$

$Q_1(t+1) =$

$Q_0(t+1) =$

(3) 分析下列电路，按要求简答。



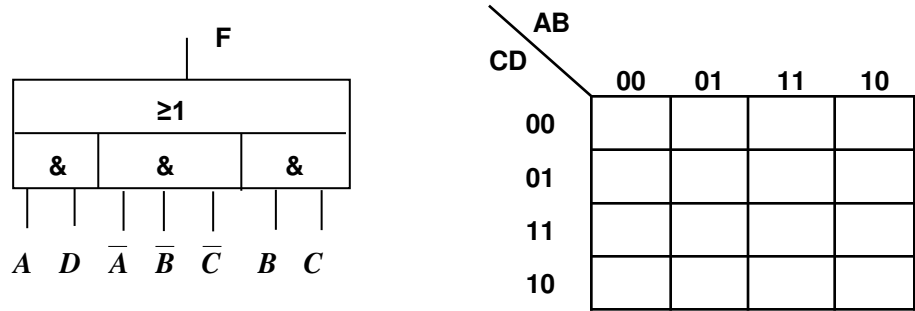
根据逻辑符号，简述四位二进制加法器的工作原理：

根据电路连接，当输入 $X_3X_2X_1X_0$ 为8421码时，输出 $Y_3Y_2Y_1Y_0$ 的代码为：

\_\_\_\_\_。

(4) 证明逻辑函数  $F = \overline{A}\overline{C} + A\overline{B}$  与  $G = AB + \overline{A}C$  的关系为互反。

(5) 用卡诺图法判断下列电路是否存在逻辑险象。



有逻辑险象? \_\_\_\_。 消除险象，应添加的冗余项为\_\_\_\_\_。

(6) 画出 “011” (不可重) 序列检测器的Mealy型原始状态图。

### 三、综合分析应用题（每题6分，共24分）

（1）用隐含表法化简给定的同步时序电路原始状态表，生成最小状态表。

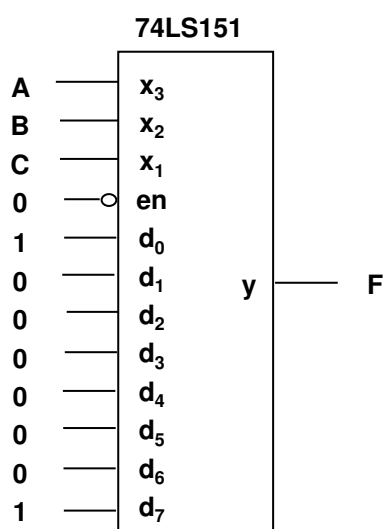
原始状态表

$\swarrow$ $x$	$0$	$1$
$S(t)$		
$A$	$A/0$	$B/0$
$B$	$A/0$	$C/0$
$C$	$D/1$	$C/0$
$D$	$D/1$	$E/1$
$E$	$D/1$	$E/1$

$S(t+1) / z(t)$

$B$				
$C$				
$D$				
$E$				
	$A$	$B$	$C$	$D$

（2）分析数据选择器74LS151构成的逻辑电路。列出 $F(A,B,C)$ 的真值表；写出 $F$ 的逻辑表达式；说明电路功能。

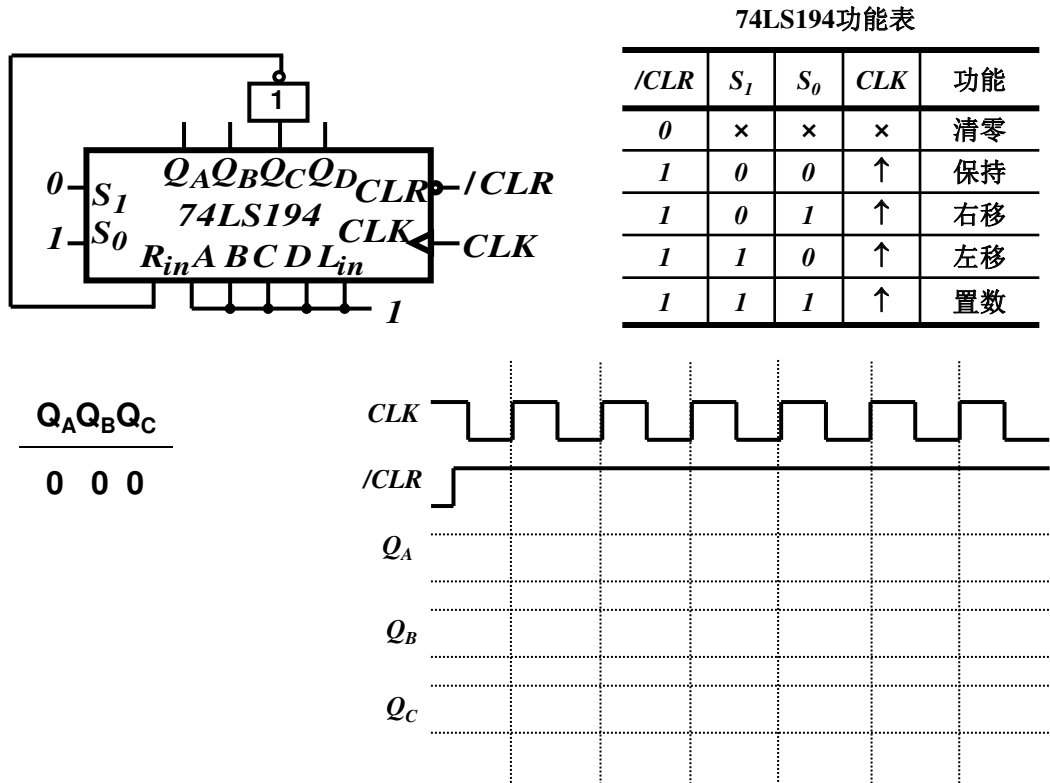


A	B	C	F

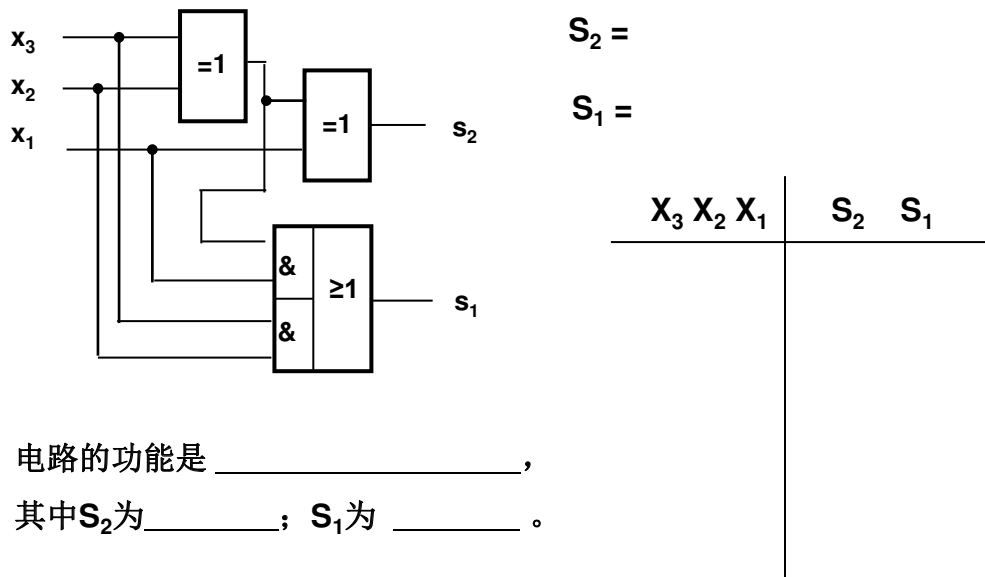
$F(A,B,C) =$

功能：\_\_\_\_\_。

(3) 图示电路采用74LS194构成一个三位扭环型移位计数器，写出启动清零后 $Q_AQ_BQ_C$ 的状态转移序列并画出它们的波形图。



(4) 分析输入变量顺序为 $X_3$ 、 $X_2$ 、 $X_1$ 的组合电路。要求写出输出表达式、列真值表、说明电路的综合功能（ $S_2$ 、 $S_1$ ）是全减器还是全加器。



#### 四、设计题（共20分）

1. 已知  $F(A, B, C) = \sum m(0, 1, 3, 5, 7)$ ，请用Verilog HDL建模。（5分）

2. 用Verilog HDL描述一个满足下列要求的计数器。（10分）

- （1）下降沿  $(0 \sim 47)_{10}$  加1计数；
- （2）电路具有一个低有效的异步清零端；
- （3）电路具有一个高有效的计数使能端；
- （4）电路具有一个高有效的循环进位（RCO）输出端。

3. 某数字系统中需要四个低有效且互斥的使能信号/C0、/C1、/C2、/C3，它们产生的条件是：在时钟CLK的控制下，当进行读操作（R=1）且A[7:0] = ( 30 )<sub>16</sub>时，仅/C0有效；当进行读操作（R=1）且A[7:0] = ( 34 )<sub>16</sub>时，仅/C1有效；当进行写操作（W=1）且A[7:0] = ( 38 )<sub>16</sub>时，仅/C2有效；当进行写操作（W=1）且A[7:0] = ( 3C )<sub>16</sub>时，仅/C3有效。请根据题意将功能表补充完整并采用Verilog HDL建模。（5分）

输入										输出					
CLK	R	W	A7	A6	A5	A4	A3	A2	A1	A0	/C0	/C1	/C2	/C3	
↑	1	0	0	0	1	1	0	0	0	0					
↑	1	0													
↑	0	1	0	0	1	1	1	0	0	0					
↑	0	1													
↑	其它										1	1	1	1	

草稿页