



Министерство науки и высшего образования Российской  
Федерации  
Федеральное государственное бюджетное образовательное  
учреждение  
высшего образования  
«Московский государственный технический университет  
имени Н.Э. Баумана  
(национальный исследовательский университет)»  
(МГТУ им. Н.Э. Баумана)

---

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ  
КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)  
НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.01 Информатика и вычислительная техника**

**Отчет**  
**по лабораторной работе № 2**

**Название:** Дешифраторы

**Дисциплина:** АрхЭВМ

Студент гр. ИУ7-43Б

\_\_\_\_\_  
(Подпись, дата)

А.А. Дьяченко

(И.О. Фамилия)

Преподаватель

\_\_\_\_\_  
(Подпись, дата)

А.Ю. Попов

(И.О. Фамилия)

2023 год

**Цель работы:** изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

**1. Исследование линейного двухвходового дешифратора с инверсными выходами:**

а) собрать линейный стробируемый дешифратор на элементах ЗИ-НЕ; наборы входных адресных сигналов  $A_0$   $A_1$  задать в выходов  $Q_0$   $Q_1$  четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;

б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при  $EN=1$ );

в) подать на вход счетчика сигнала генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

г) определить амплитуду помех, вызванных гонками, на выходах дешифратора;

д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);

е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

1. Линейный двухвходовый дешифратор с инверсными выходами

Пункт (а):

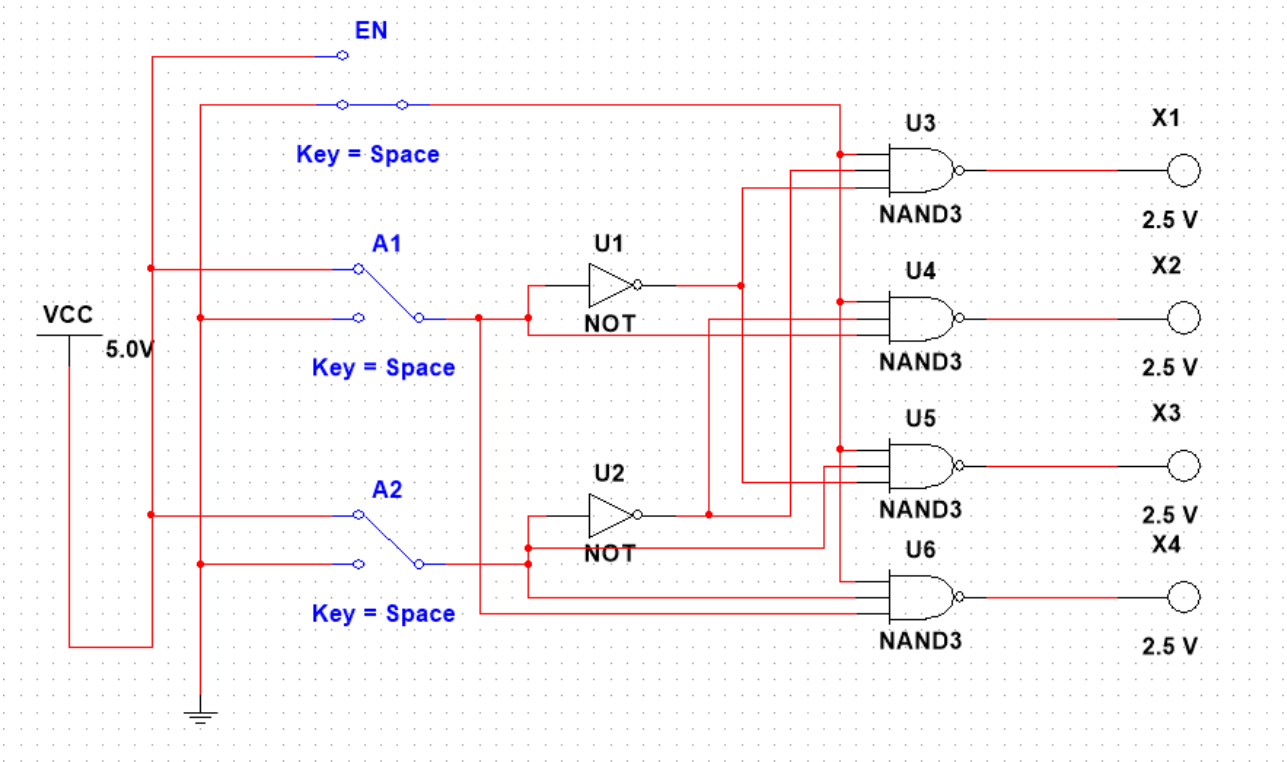


Рис.1 Схема линейного двухвходового дешифратора на элементах 3И-НЕ.

Пункт (б), Таблица 1:

Таблица переходов двухвходового дешифратора на элементах И-НЕ

Е	A1	A2	X1	X2	X3	X4
0	*	*	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

Пункт (б):

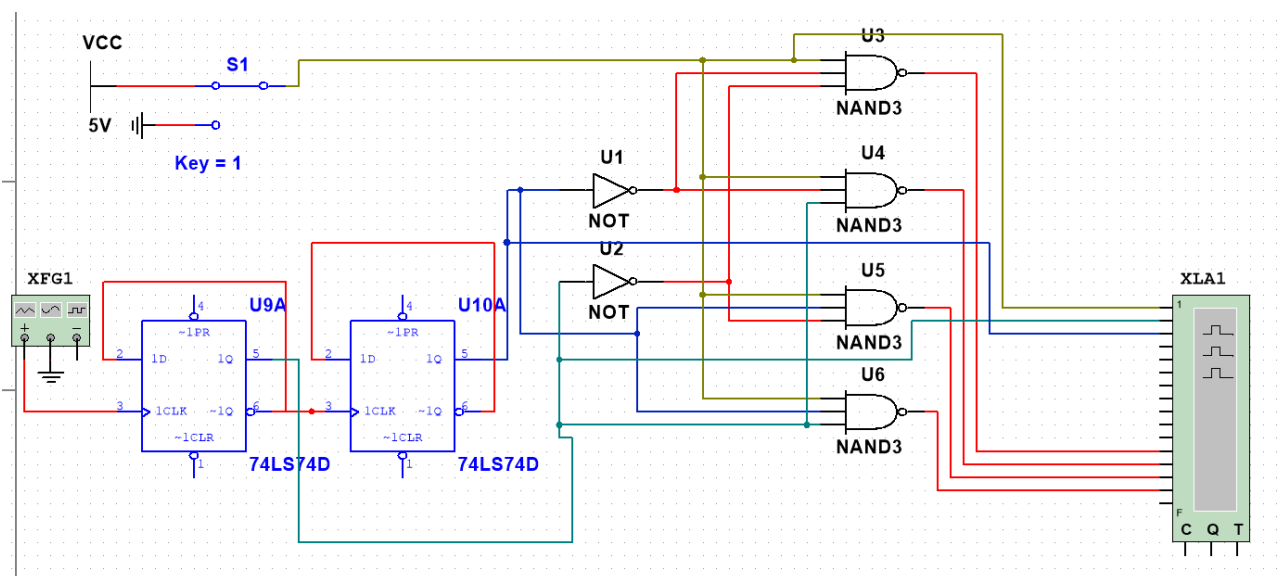


Рис.2 Схема линейного двухвходового дешифратора на элементах ЗИ-НЕ с генератором

Пункт (в):

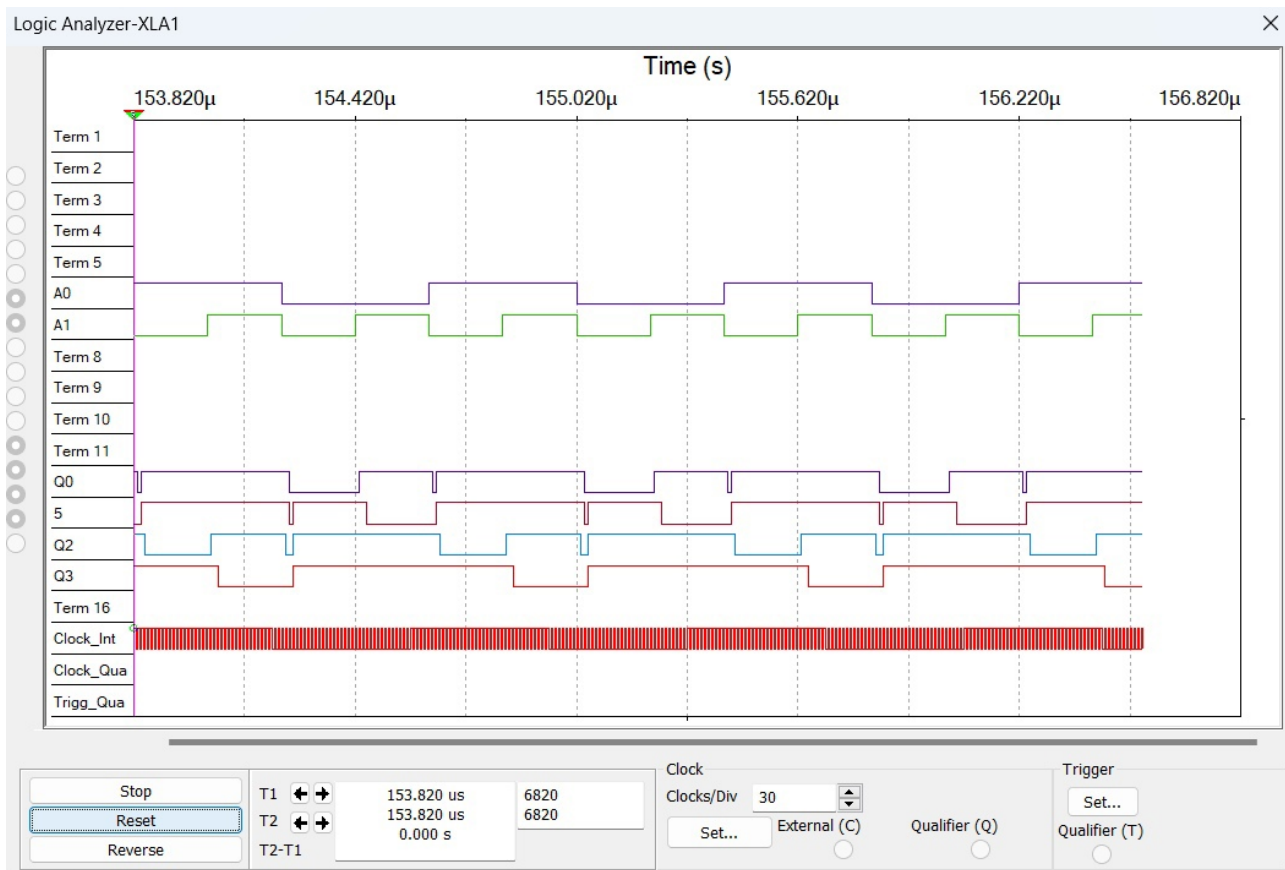


Рис.3 Временные диаграммы

Пункт (г):

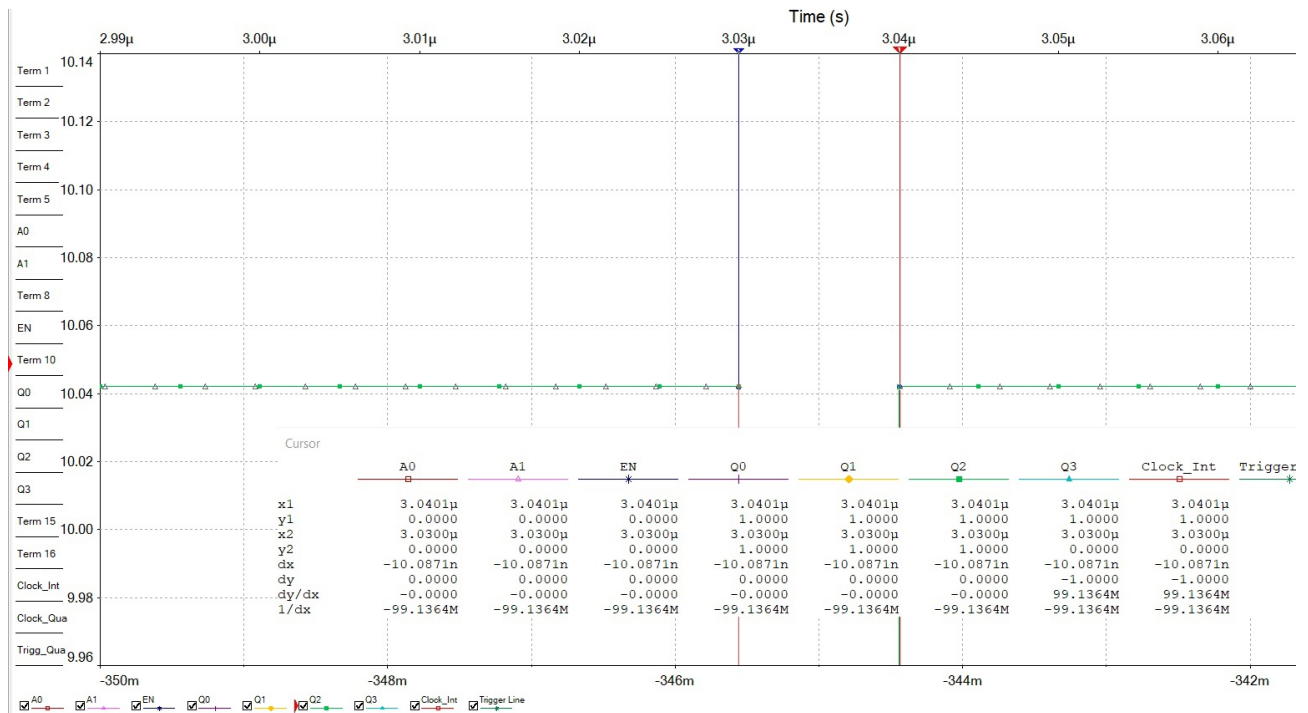


Рис.4 Время задержки

Из данного измерения видно, что длительность помех равна  $1 \cdot 10^{-8} \text{s}$

Пункт (д):

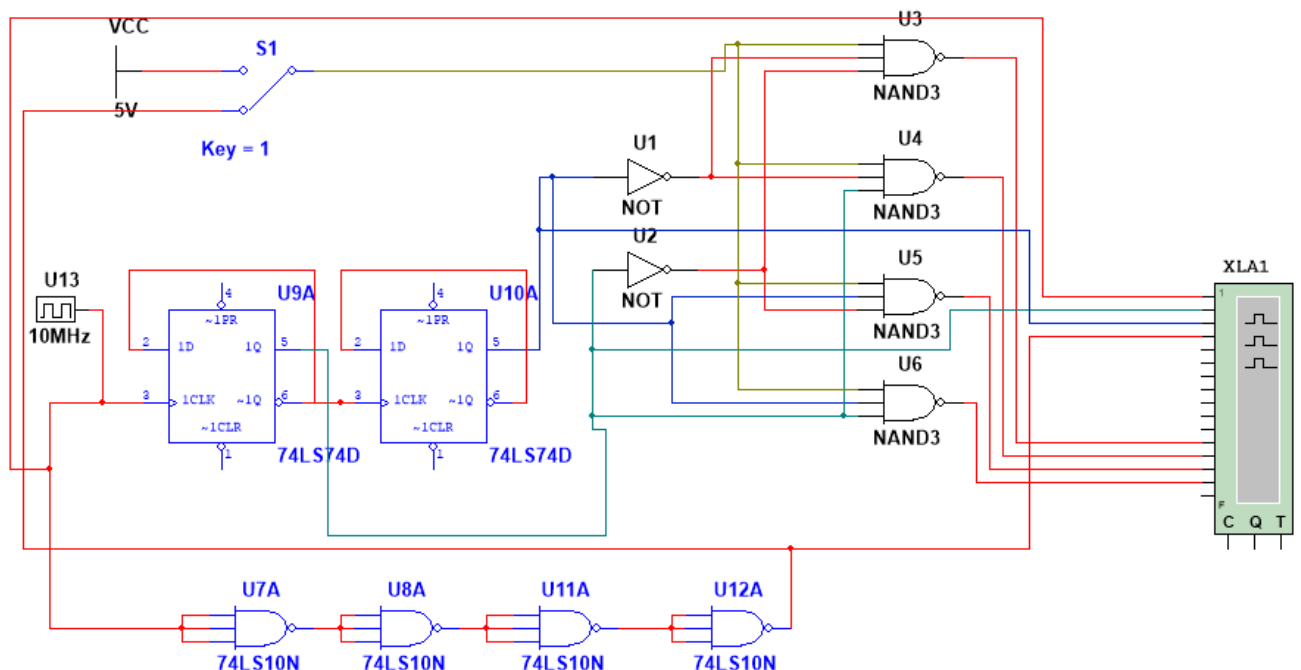


Рис.5 Схема линейного двухвходового дешифратор, где стробирующий сигнал - инверсный сигнал генератора



Рис.6 Временные диаграммы

Пункт (е):

Время задержки должно быть больше, чем суммарная задержка всех элементов в цепи от входа до выхода дешифратора. (задержка NOT + разница самого быстрого и самого медленного из 3И-НЕ)

Время задержки, необходимое для исключения помех на выходах дешифратора равно половине длительности помех. То есть равна  $\sim 0.05 \cdot 10^{-9}$  s.

Для того, чтобы проверить это, необходимо построить схему, необходимо настроить элементы NOT следующим образом (рис. 7)

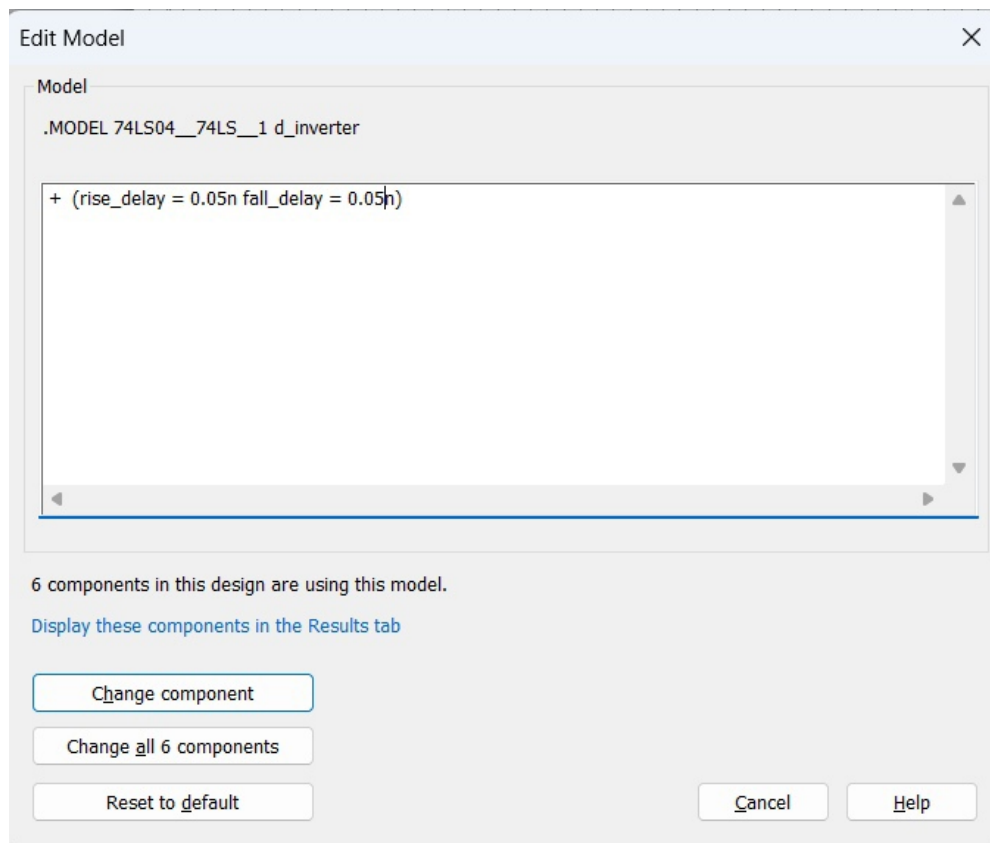


Рис.7

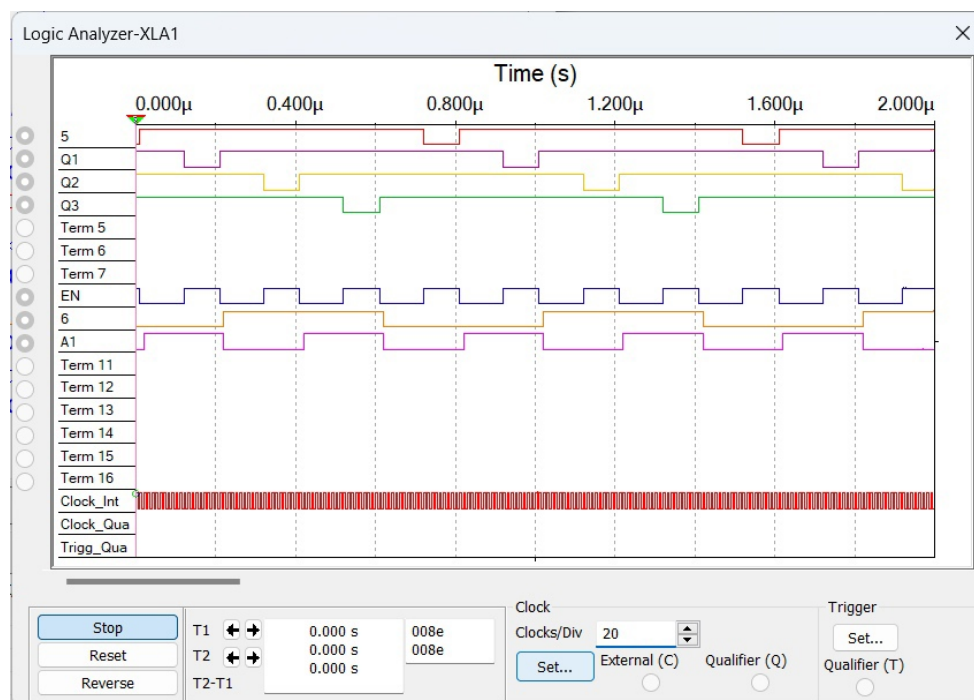


Рис.8 Временная диаграмма

Как видно из данной диаграммы (рис. 8), помехи не возникли.

## 2. Исследование дешифраторов ИС К155ИД4 (74LS155):

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q0 и Q1 выходов счетчика, а на стробирующие входы E3 и E4 – импульсы генератора, задержанные линией задержки;

б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

в) собрать схему трехвходового дешифратора на основе дешифратора К155ИД4, задавая входные сигналы А0 А1 А2 с выходов Q0 Q1 Q2 счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

### Дешифратор ИС К155ИД4 (74LS155):

Пункт (а):

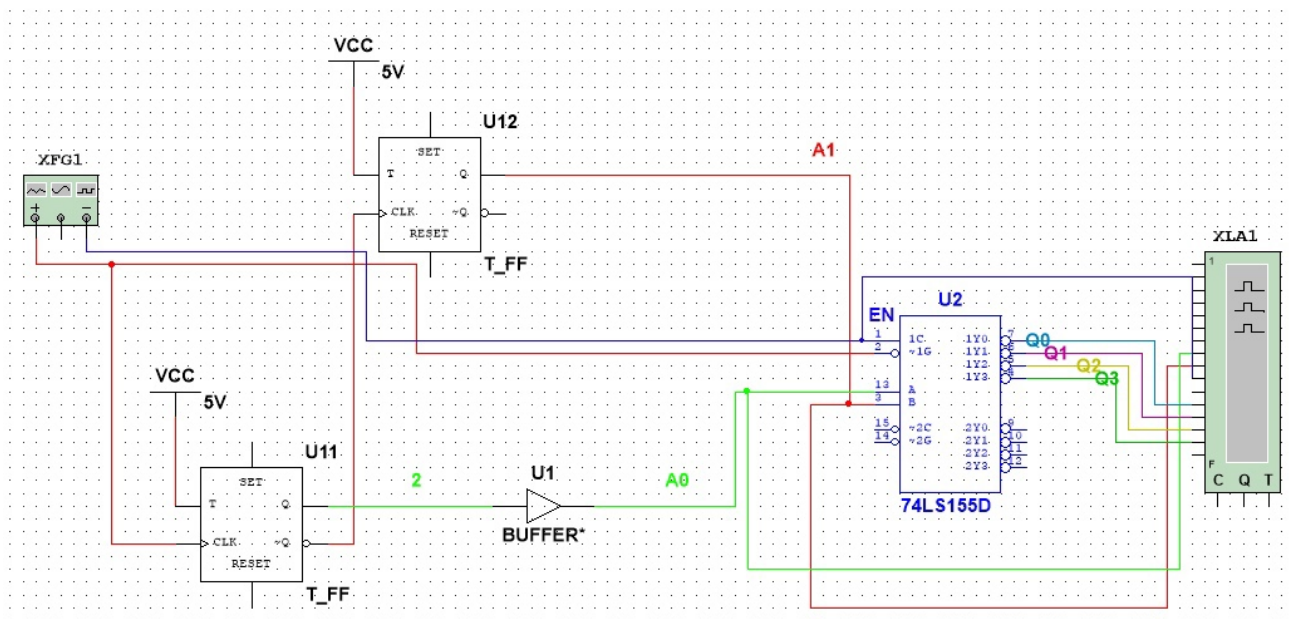


Рис.9 Схема двухвходового дешифратора 74LS155D





Рис.10 Временные диаграммы для двухвходового дешифратора 74LS155D

Пункт (б): определим время задержки

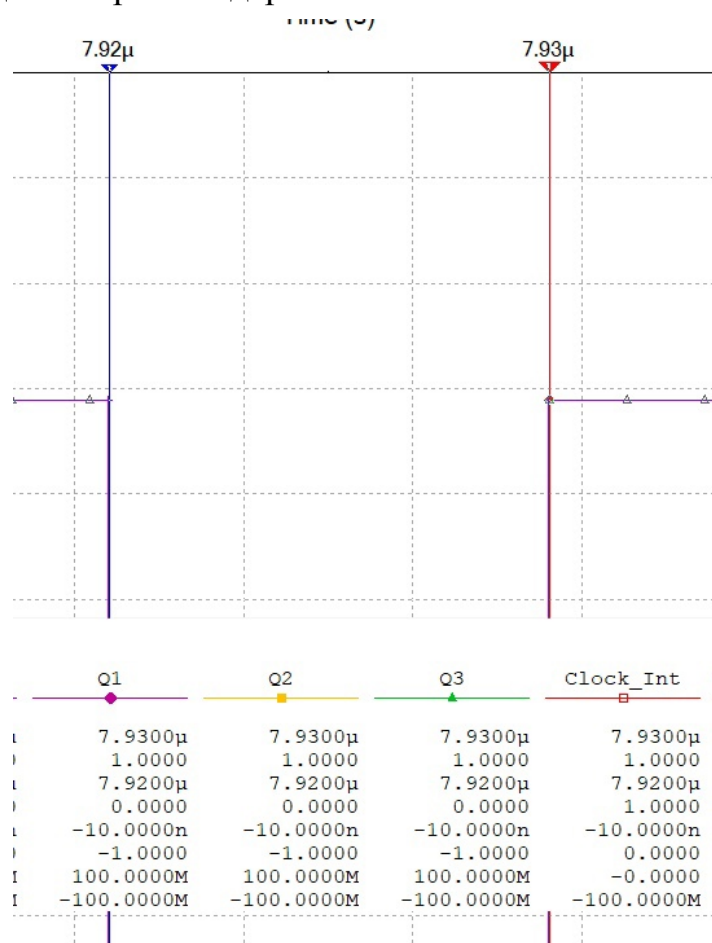


Рис. 11

Длительность помехи равно  $0,1 \text{ ns}$  . Отсюда можно сделать вывод, что время задержки равно  $\sim 0,05 \text{ ns}$ . Избавимся от гонки также как в задание 1 пункт (е)



Рис. 12

Пункт (в):

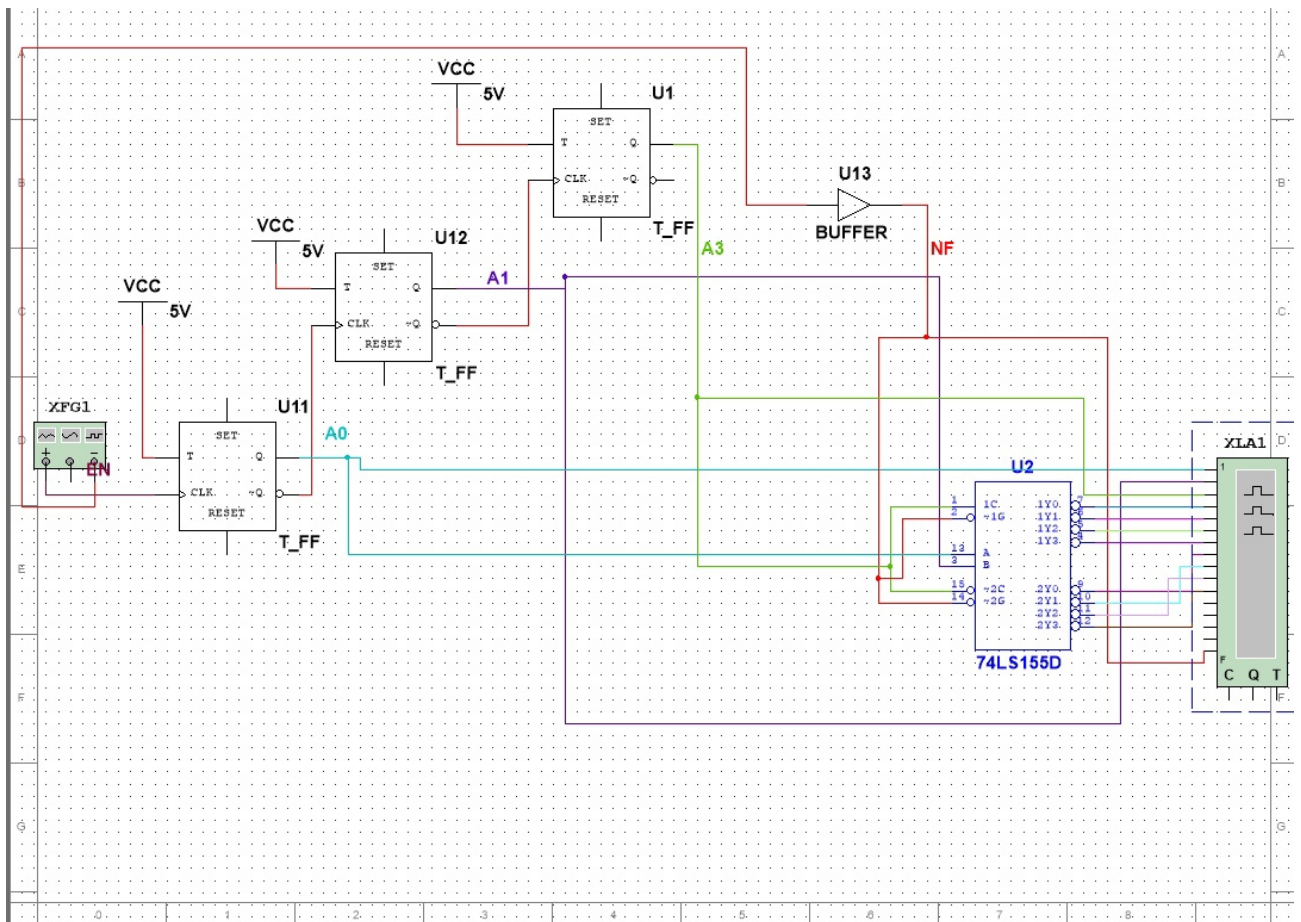


Рис.13 Схема трехвходового дешифратора 74LS155D

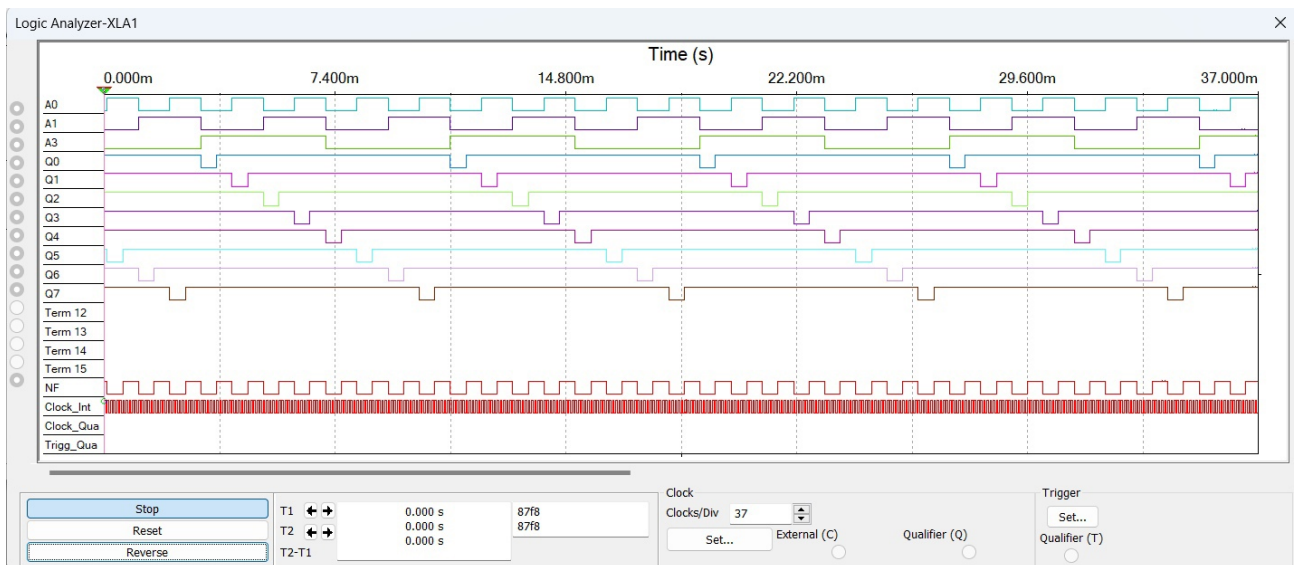


Рис.14 Временные диаграммы для трехвходового дешифратора 74LS155D

Таблица переходов для трехвходового дешифратора 74LS155D

Таблица 2

A1	A2	A3	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7
0	0	0	1	1	1	1	0	1	1	1
0	0	1	0	1	1	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1
0	1	1	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1
1	1	0	1	1	1	1	1	1	1	0
1	1	1	1	1	1	0	1	1	1	1

### 3. Исследование дешифраторов ИС КР531ИД14 (74LS139)

74LS139 содержит два дешифратора DC 2-4 (U1A и U1B) с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции  $\text{not}(E_{H1} * E_{H2})$ , ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наб. входных сигналов – 1.

## Исследование дешифраторов ИС КР531ИД14 (74LS139)

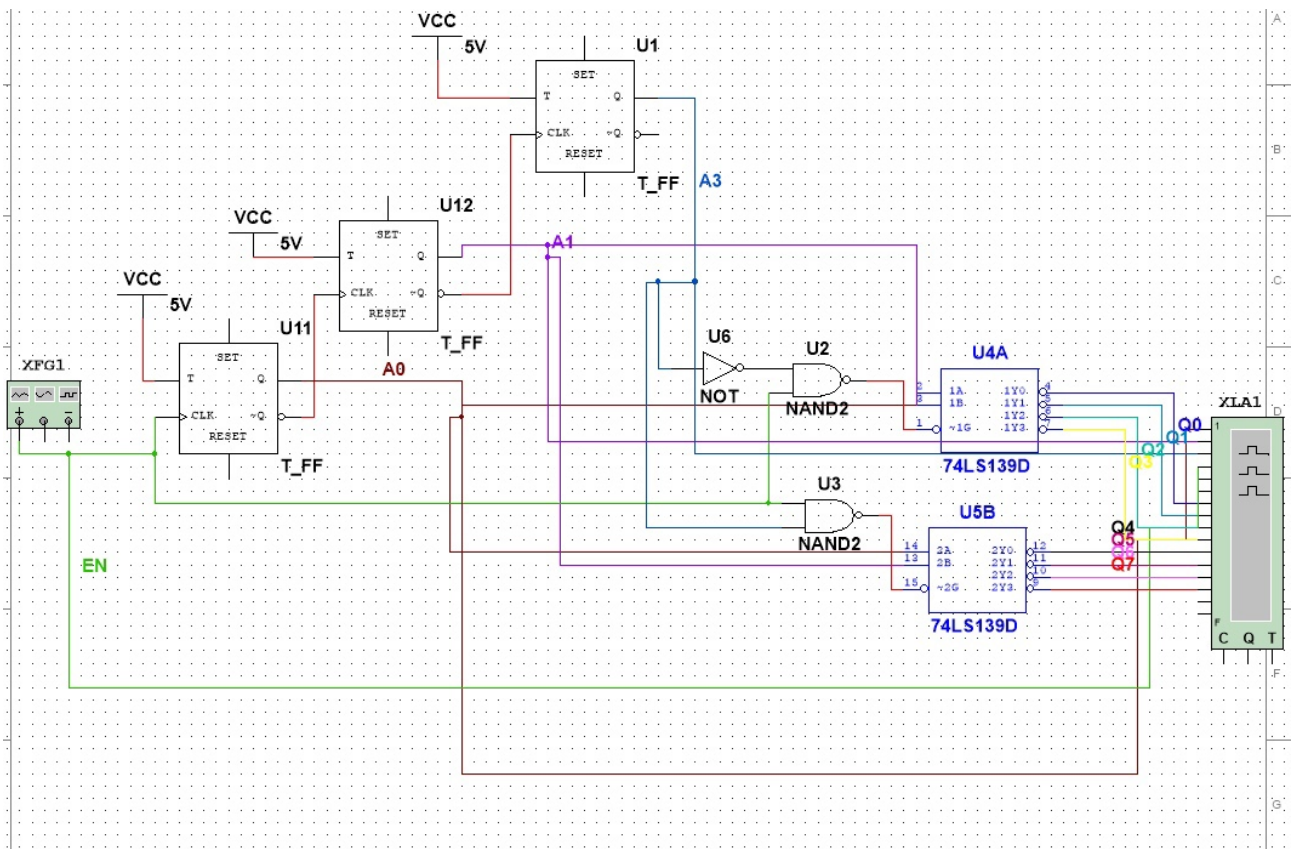


Рис.15 Схема дешифраторов 74LS139D

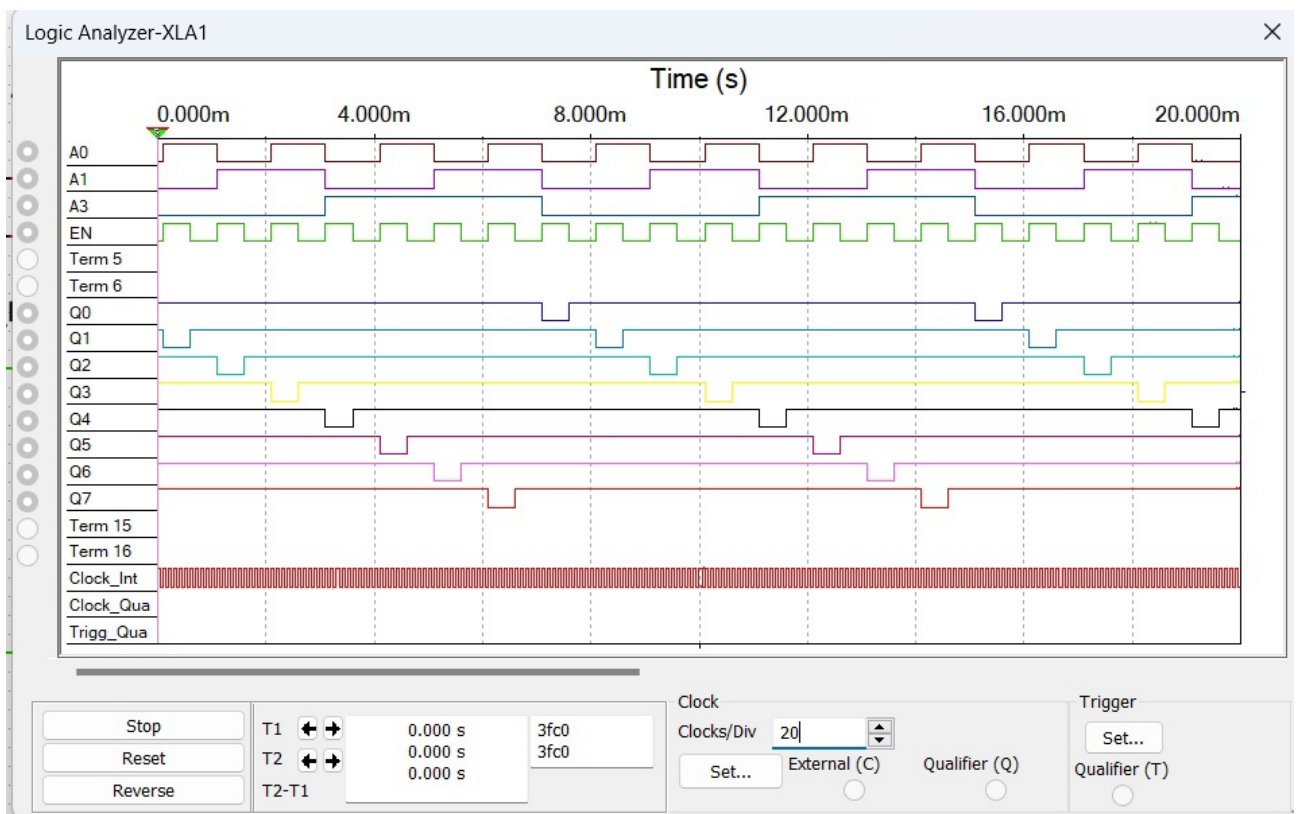


Рис.16 Временные диаграммы для дешифраторов 74LS139D

#### 4. Исследовать работоспособность дешифраторов ИС 533ИД7

а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q0 Q1 Q2 с выходов счетчика, а на входы разрешения E1, E2, E3 – сигналы лог. 1, 0, 0 соответственно;

б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q0, Q1, Q2, Q3, Q4 с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора, задержанные линией задержки макета

#### Исследование работоспособности дешифраторов ИС 533ИД7

Пункт(а)

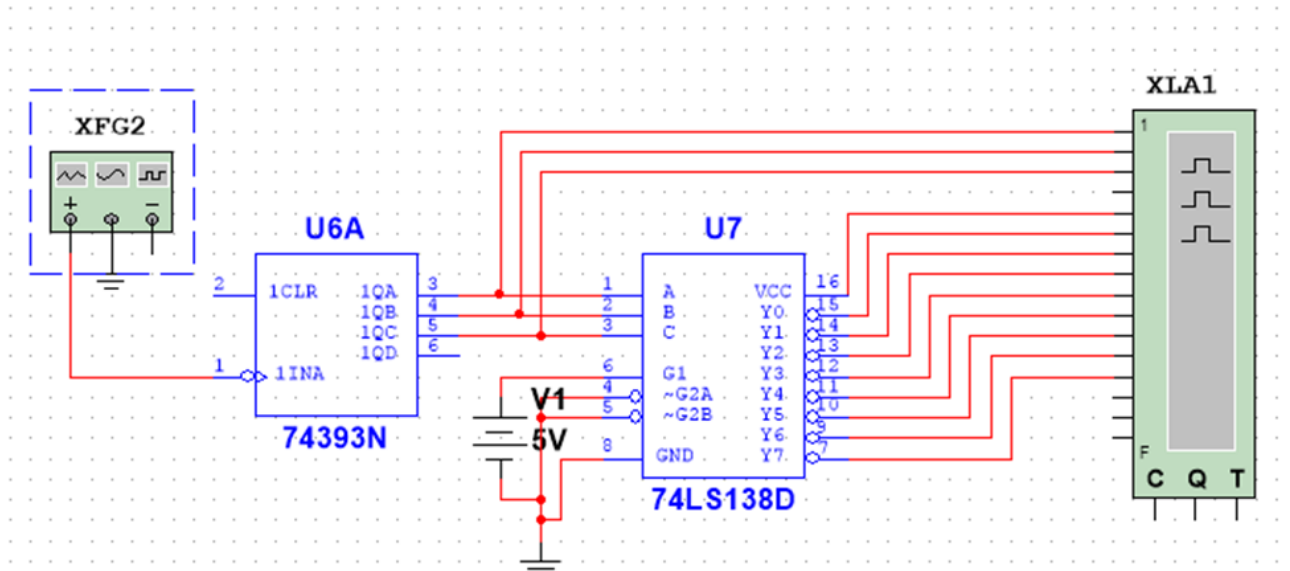


Рис.17 Схема нестробируемого дешифратора DC 3-8 ИС 533ИД7



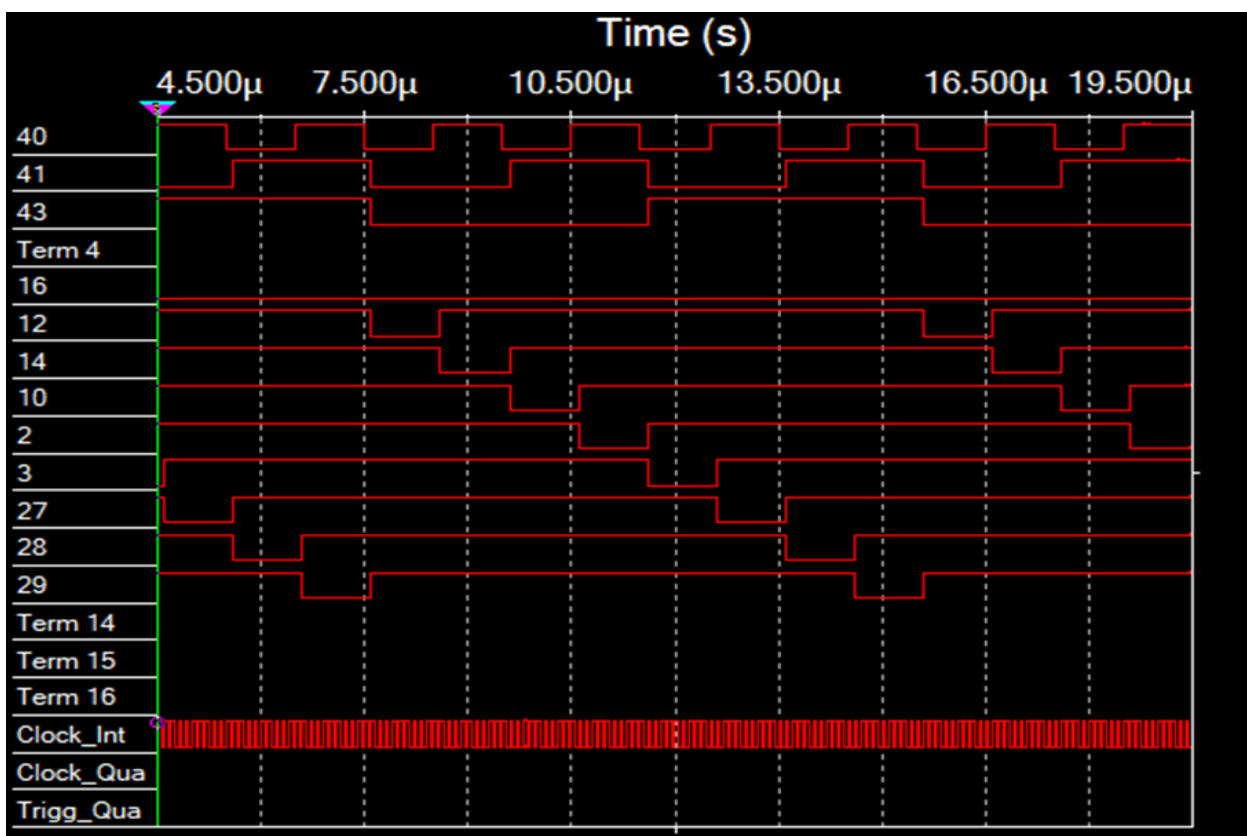


Рис.18 Временные диаграммы для дешифратора ДС 3-8 ИС 533ИД7

Пункт(б)

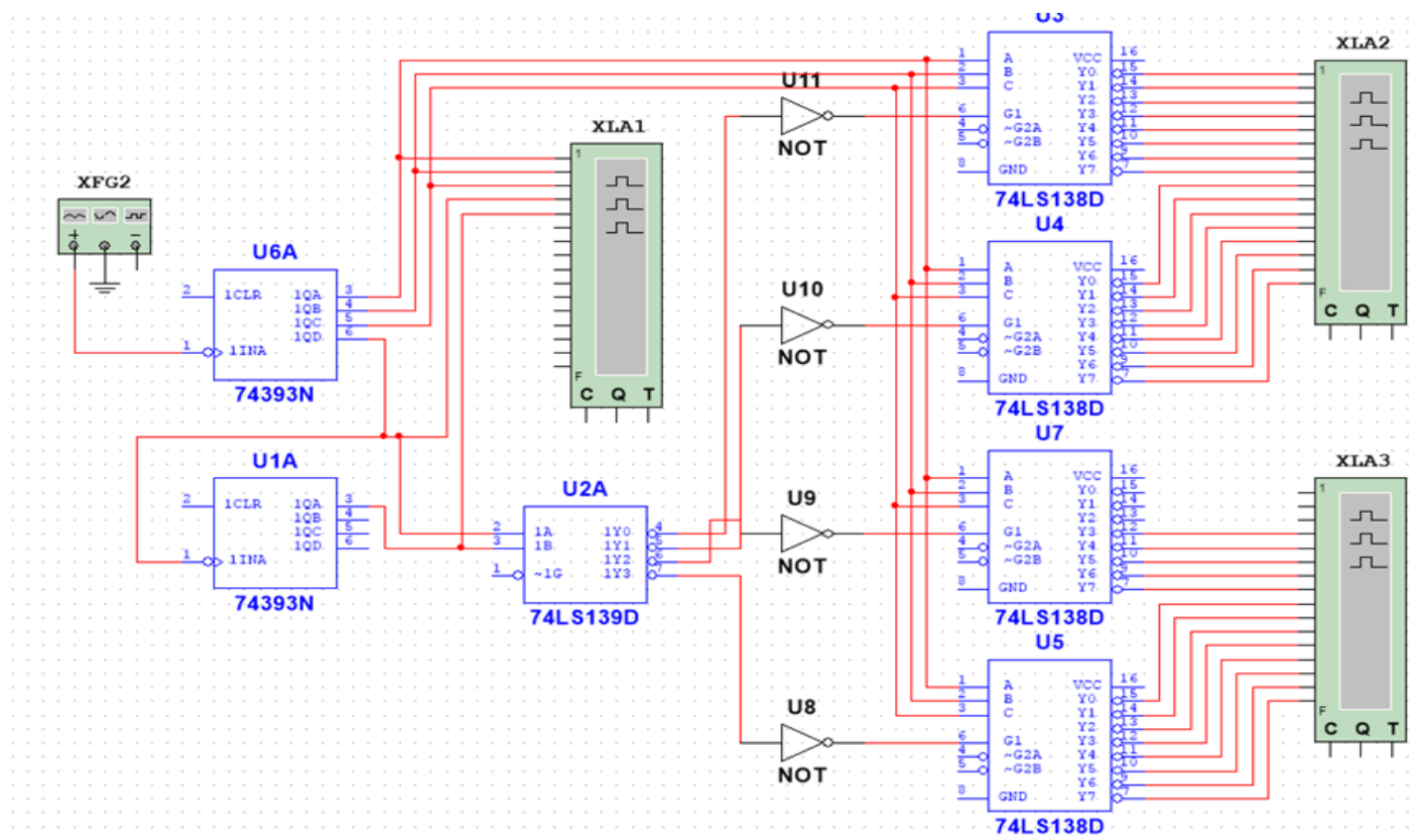
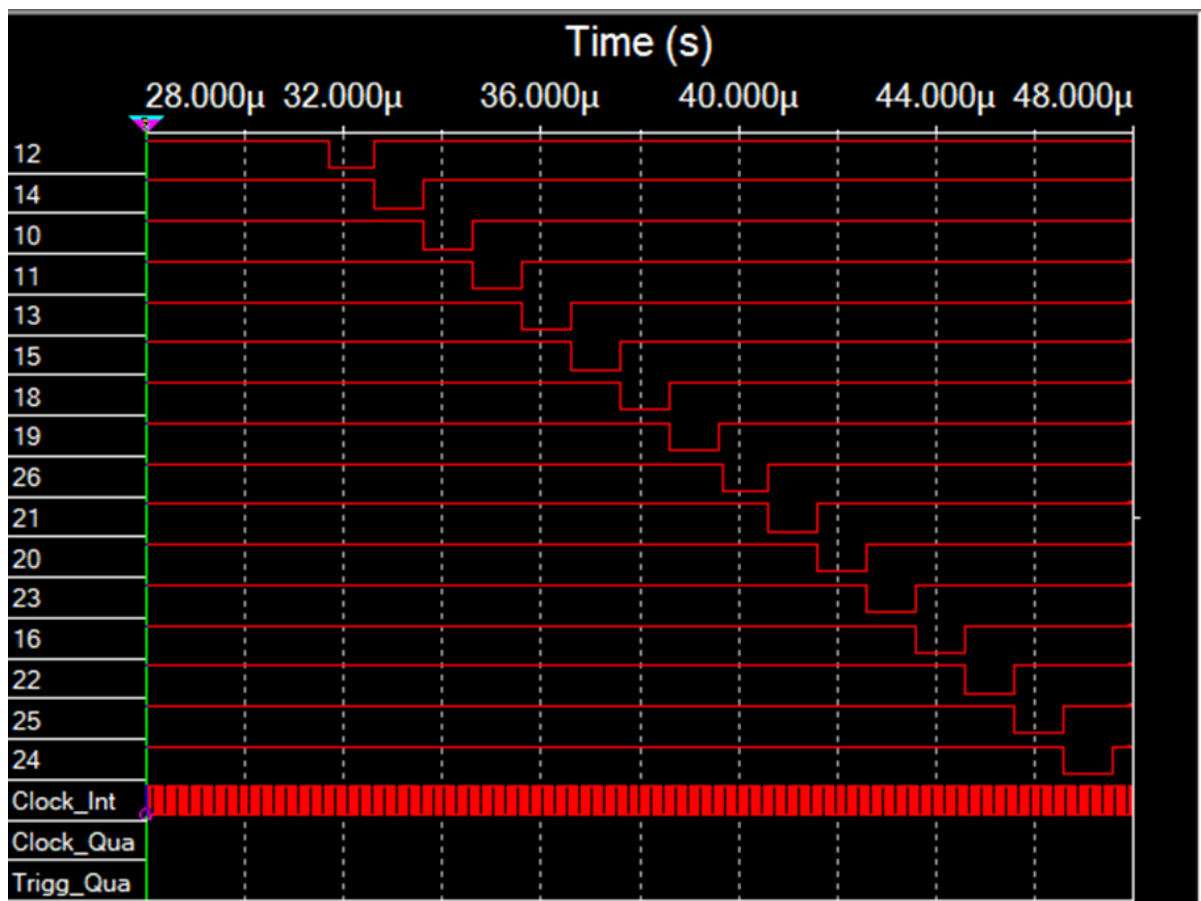
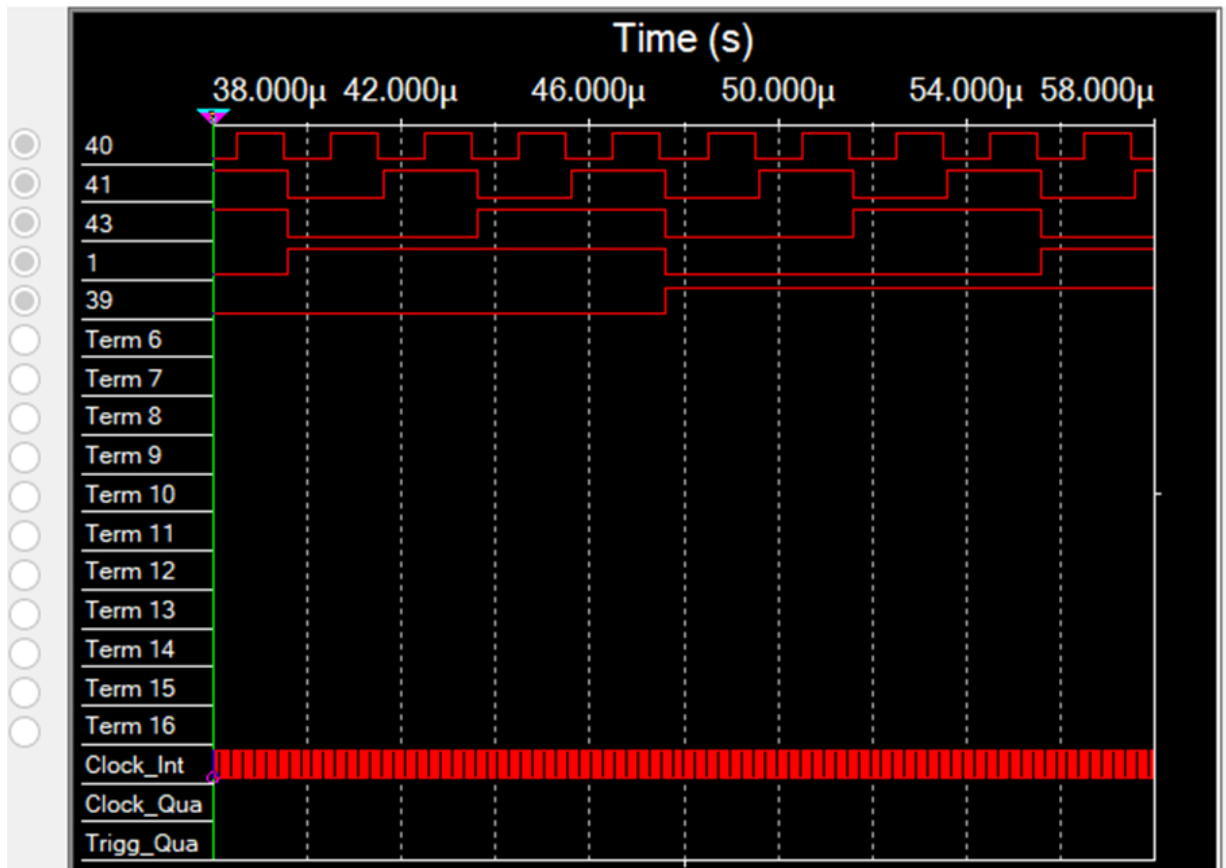


Рис.19 Схема дешифратора ДС 5-32



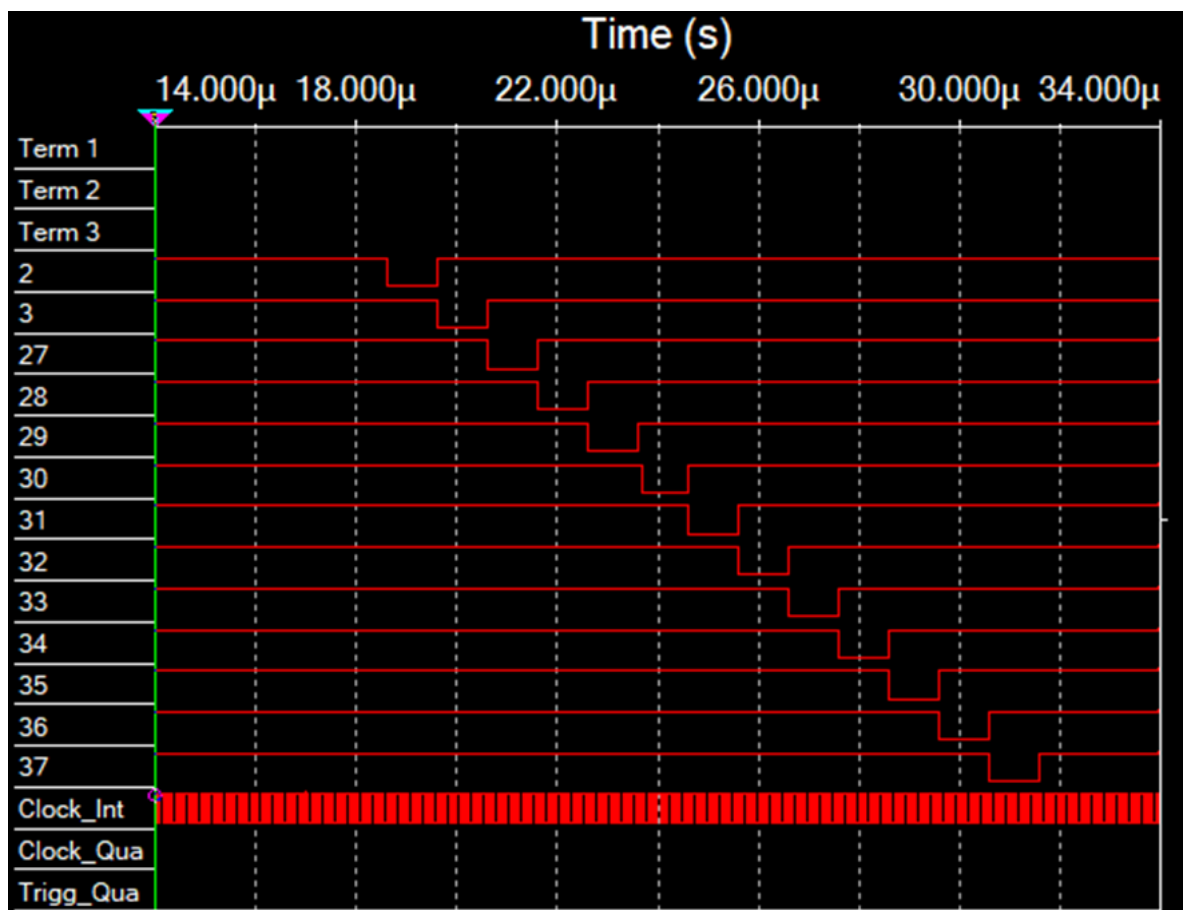


Рис.20-22 Временные диаграммы для дешифратора DC 5-32

Вывод:

Были рассмотрены основные принципы и методы создания дешифраторов, произведено создание и изготовление прототипов дешифраторов, а также проведено практическое исследование их работы.



## Контрольные вопросы

### 1. Что называется дешифратором?

Дешифратор – комбинационный узел с  $n$  входами и  $N$  выходами, преобразующий каждый набор двоичных сигналов в активный сигнал на выходе, соответствующий этому набору.

### 2. Какой дешифратор называется полным (неполным)?

В дешифраторе с  $n$  входами и  $N$  выходами  $N \leq 2^n$ . Дешифратор, имеющий  $2^n$  выходов, называется полным, при меньшем числе выходов – неполным

### 3. Определите закон функционирования дешифратора аналитически и таблично

Функционирование дешифратора  $DC\ n - N$  определяется таблицей истинности:

Входы							Выходы					
$EN$	$A_{n-1}$	$A_{n-2}$	$A_{n-3}$	...	$A_1$	$A_0$	$F_0$	$F_1$	$F_2$	...	$F_{N-2}$	$F_{N-1}$
0	x	x	x	...	x	x	0	0	0	...	0	0
1	0	0	0	...	0	0	1	0	0	...	0	0
1	0	0	0	...	0	1	0	1	0	...	0	0
1	0	0	0	...	1	0	0	0	1	...	0	0
.	.	.	.	...	.	.	.	.	.	...	.	.
.	.	.	.	...	.	.	.	.	.	...	.	.
.	.	.	.	...	.	.	.	.	.	...	.	.
1	1	1	1	...	1	0	0	0	0	...	1	0
1	1	1	1	...	0	1	0	0	0	...	0	1

Аналитически описать дешифратор можно совокупностью логических функций в СДНФ:

$$F_0 = EN \cdot \bar{A}_{n-1} \cdot \bar{A}_{n-2} \cdot \dots \cdot \bar{A}_i \cdot \bar{A}_1 \cdot \bar{A}_0,$$

$$F_1 = EN \cdot \bar{A}_{n-1} \cdot \bar{A}_{n-2} \cdot \dots \cdot \bar{A}_i \cdot \bar{A}_1 \cdot A_0,$$

$$F_2 = EN \cdot \bar{A}_{n-1} \cdot \bar{A}_{n-2} \cdot \dots \cdot \bar{A}_i \cdot A_1 \cdot \bar{A}_0,$$

.....

$$F_{N-2} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_i \cdot A_1 \cdot \bar{A}_0,$$

$$F_{N-1} = EN \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_i \cdot A_1 \cdot A_0,$$

### 4. Поясните основные способы построения дешифраторов.

Линейный дешифратор строится в соответствии с системой, представленной в предыдущем вопросе, и представляет собой  $2n$  конъюнкторов или логических элементов ИЛИ-НЕ с  $n$ - входами каждый при отсутствии стробирования и с  $n + 1$  входами - при его наличии. Пирамидальный дешифратор строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную.. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкции, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки, приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование(выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе.

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Пусть для построения сложного дешифратора  $DC\ n - N$  используются простые дешифраторы  $DC\ n_1 - N_1$ , причем  $n_1 \ll n$ , следовательно и  $N_1 \ll N$ .

- 1) Число каскадов равно  $= n/n_1$ . Если  $K$  – целое число, то во всех каскадах используются полные дешифраторы  $DC\ n_1 - N_1$ . Если правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор  $DC\ n_1 - N_1$ .
- 2) Количество простых дешифраторов  $DC\ n_1 - N_1$  в выходном каскаде равно  $N/N_1$ , в предвыходном –  $N/N_1^2$ , в предпредвыходном –  $N/N_1^3$  и т.д.; во входном каскаде –  $N/N_1$ . Если  $N/N_1$  – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.

- 3) В выходном каскаде дешифрируются  $n_1$  младших разрядов адреса сложного дешифратора, в предвыходном – следующие  $n_1$  младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому  $n_1$  младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие  $n_1$  младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.
- 4) Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т.д.