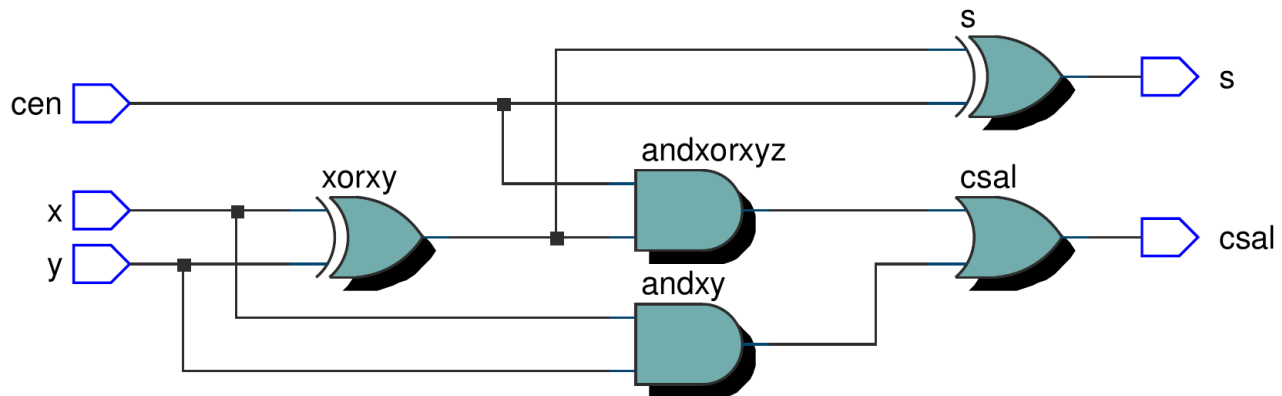


1.



2.

Vectores entrada	000	001	010	011	100	101	110	111
Retardo (ns)	30	40	30	40	30	40	30	30

- Justificación:**

- Si *cen* es 1, *andxorxyz* tiene que esperar a que *xorxy* saque su resultado para poder continuar (camino crítico de *xorxy* (15ns) → *andxorxyz* (10ns) → *csal* (15ns)) en cambio, si *cen* es 0, la puerta AND de *andxorxyz* puede sacar un 0 sin necesidad de espera.
- Si *x* e *y* son 1, *andxy* puede dar su resultado a la OR de *csal*, haciendo que esta pueda sacar su resultado sin tener que esperar a *andxorxyz*.
- Wave y list de xyz(0, 1, 1) en la última página.*

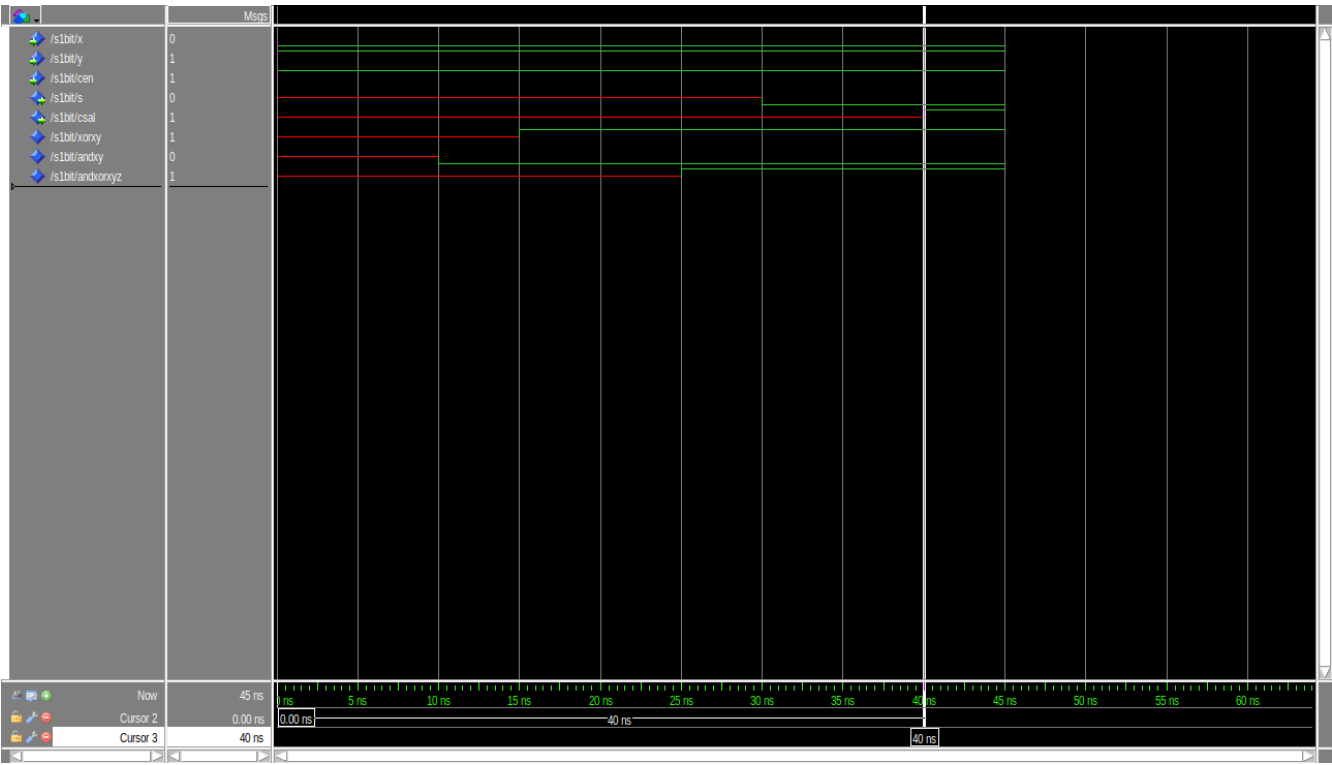
3.

E0	E1	Ret1 (ns)
100	000	30
011	001	40
110 (a)	010	30
001 (b)	011	40
110	100	30
001	101	40
100	110	30
110	111	30

Annex

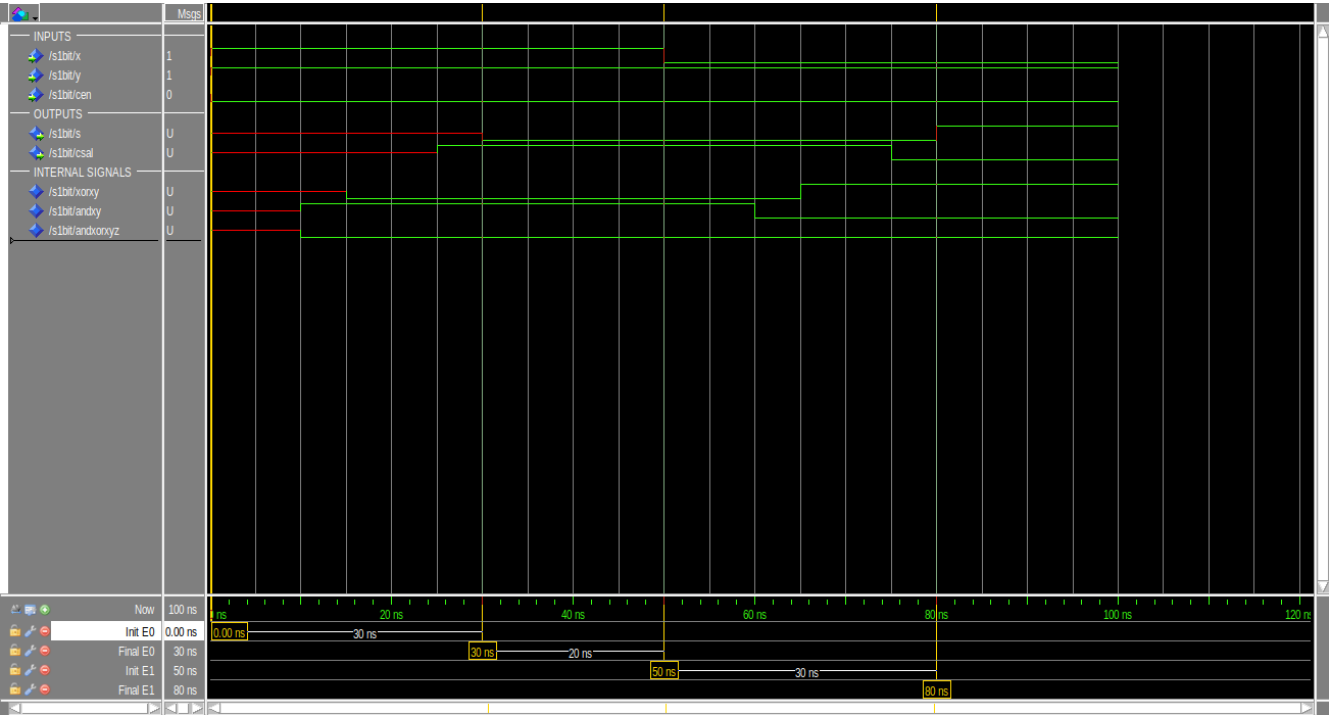
2. (wave y list)

ps	/slbit/x	/slbit/xorxy			
	/slbit/y	/slbit/andxy			
	/slbit/cen	/slbit/andxorxyz			
	/slbit/s				
	/slbit/csal				
0	0	1	1	U	U
10000	0	1	1	U	U
15000	0	1	1	U	U
25000	0	1	1	U	U
30000	0	1	1	0	U
40000	0	1	1	0	1



3. (wave de casos a y b)

Cas A:



Cas B:

