



---

# 实验一

---

191098328 计算机科学与技术系 张世茂

191098328@smail.nju.edu.cn



2021-10-15

# 目录

1. 3 输入多数表决器	2
1.1 实验操作流程	2
1.2 实验结果	2
1.3 实验错误与原因分析	4
2. CMOS 晶体管构建两输入或门	4
2.1 实验操作流程	4
2.2 实验结果	5
2.3 实验错误与原因分析	6
3. 2 选 1 多路选择器&4 选 1 多路选择器	7
3.1 实验操作流程	7
3.2 实验结果	8
3.3 实验错误与原因分析	12
4. 4 位二进制奇偶校验电路	12
4.1 实验操作流程	12
4.2 实验结果	12
4.3 实验错误与原因分析	14
5. 思考题	14
6. 实验总结	16

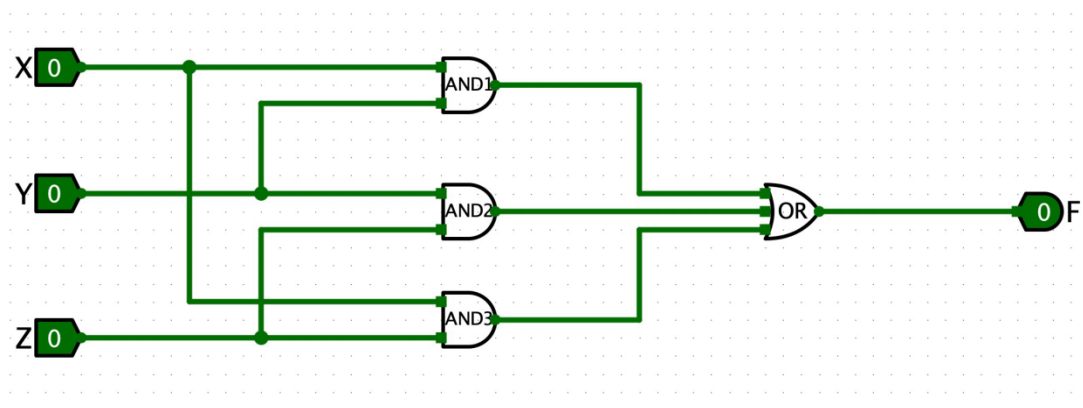
## 1. 3 输入多数表决器

### 1.1 实验操作流程

设计三输入多路表决器时，首先先要明确该部件要实现的预期效果，即当三个输入端不少于两个为 1 时，最终的输出为 1，反之则置为 0。可以列出其真值表。

XYZ	F
000	0
001	0
010	0
011	1
100	0
101	1
110	1
111	1

由此可以比较容易地得出 3 输入表决器的实现原理，利用其与或表达式可以构建出逻辑电路。



在实现电路后，对电路进行进一步的仿真检验。

### 1.2 实验结果

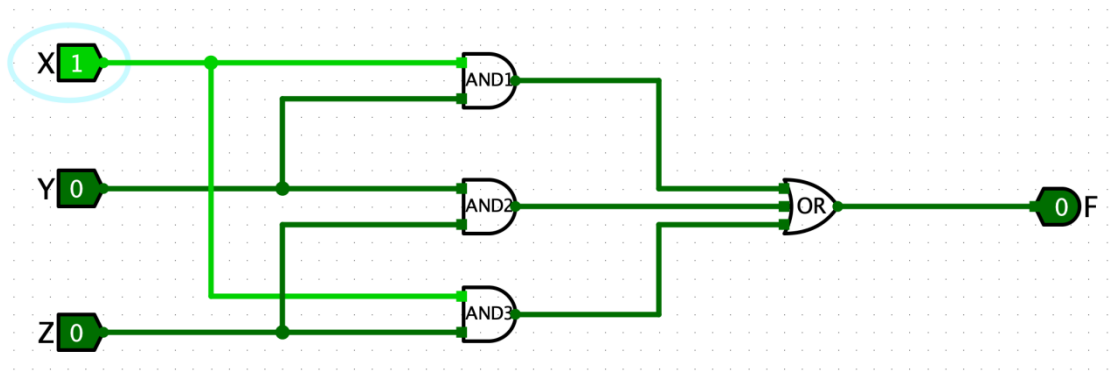
首先通过 Logisim 提供的功能生成所实现电路的真值表，观察是否有误。

得到如下的真值表：

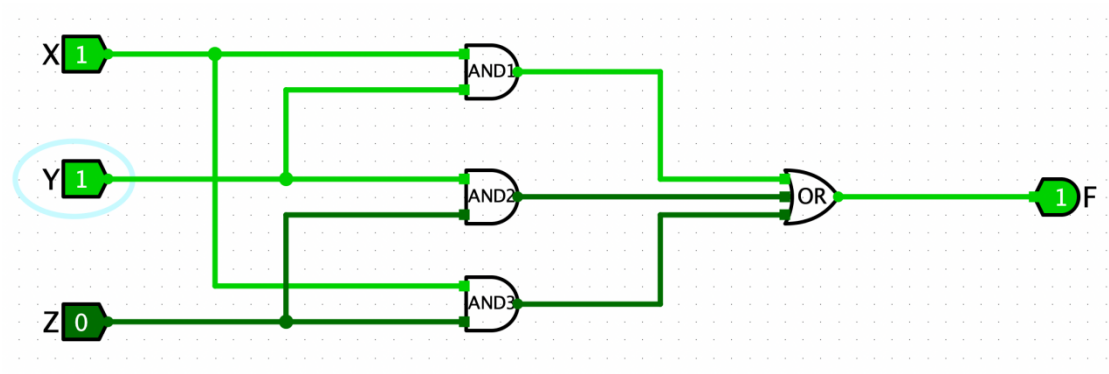
X	Y	Z	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

可以看到，在不少于两个输入端为 1 的情况下，输出端的值为 1，反之则为 0，符合对三输入多数表决器的功能预期。

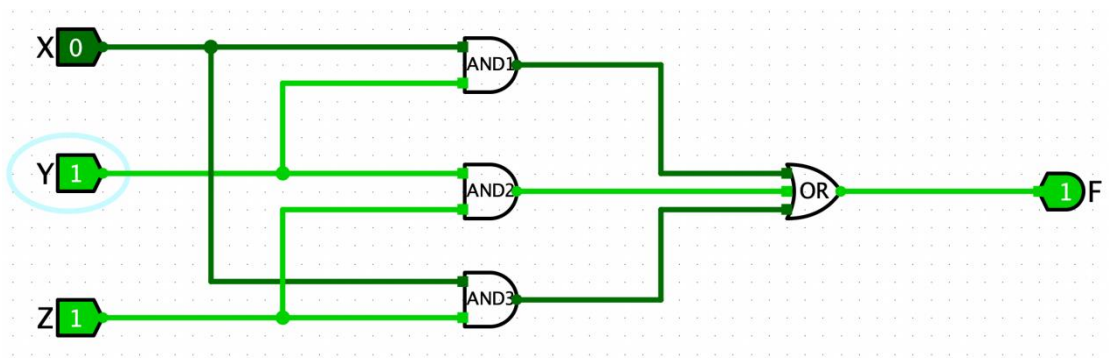
然后选取具有特征性的输入对电路进行仿真检验。



在一个输入端为 1 时，输出端为 0。

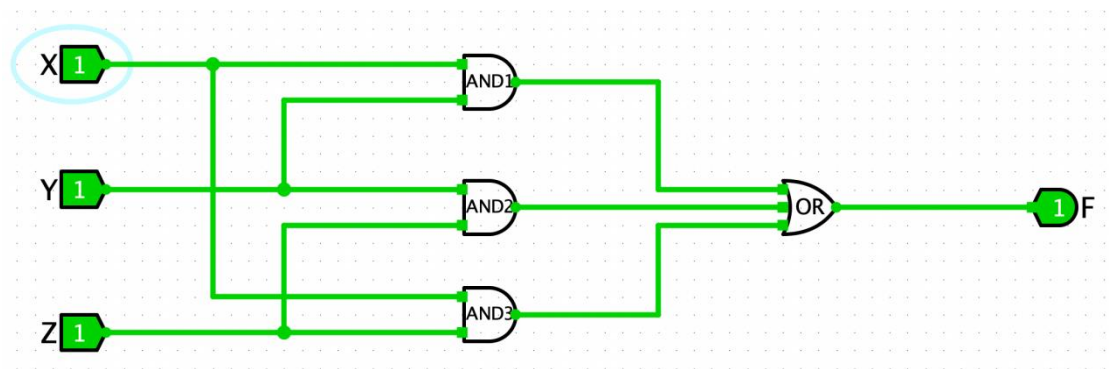


在两个输入端被置为 1 时，输出端为 1。



换两个输入端，仍然如此，输出端为 1。

然后将三个输入端置为 1 时，输出端为 1。



### 1.3 实验错误与原因分析

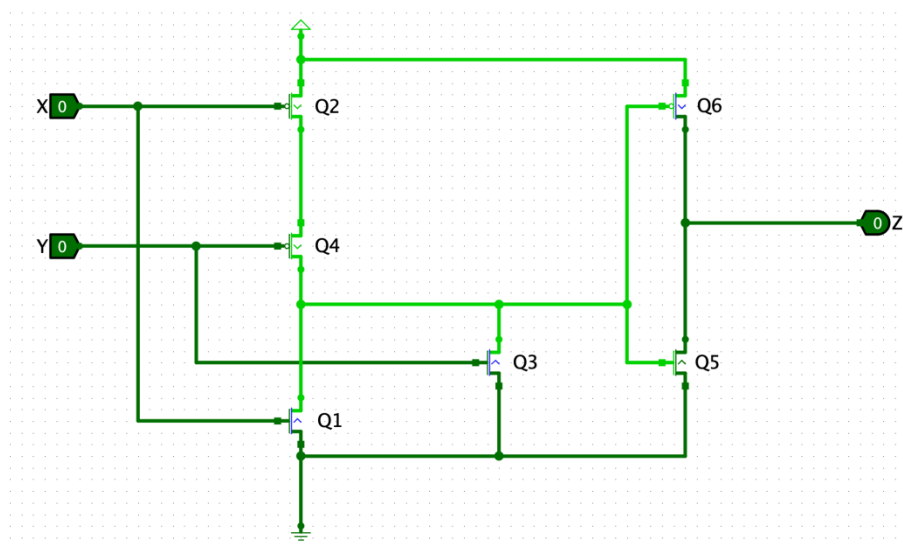
该实验通过逻辑表达式可以快速通过与门和或门构建出电路图，因此在该实验过程中没有出现什么问题。

## 2. CMOS 晶体管构建两输入或门

### 2.1 实验操作流程

通过 CMOS 晶体管构造 2 输入或门，需要设置两个输入端和一个输出端。同时根据电路原理图，还需要 3 对 CMOS 晶体管 and 一对电源和接地线。

实验的电路原理如下图所示：



当 X、Y 都为低电位时，Q2、Q4 导通，则 Q6 断开，Q5 导通，此时 Z 为低电位。当 X、Y 中存在有高电位时，Q6 导通，Q5 断开，则 Z 被置为高电位。根据 PMOS 晶体管和 NMOS 晶体管导通的特点可以构造出上面的原理图。

实现电路后，对电路进行进一步的观察和检验。

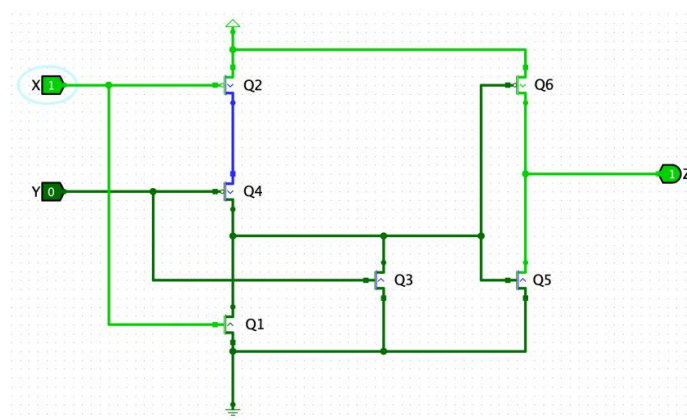
## 2.2 实验结果

通过 Logisim 生成该电路的真值表如下：

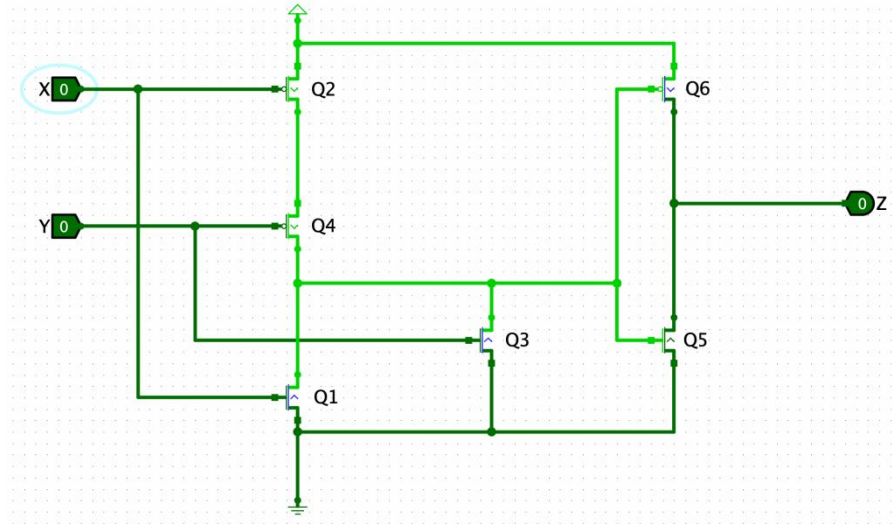
X	Y	Z
0	0	0
0	1	1
1	0	1
1	1	1

其结果与  $X+Y$  相同。

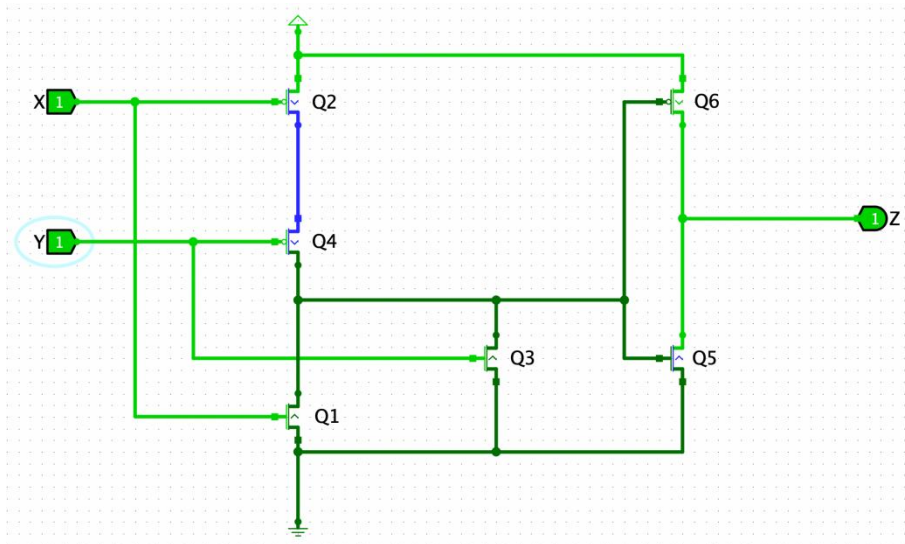
接着选取输入对电路进行仿真检验。



可以看到  $1+0$  的输出结果为 1。



0+0 的输出结果为 0。



1+1 的仿真检验输出结果为 1。

通过上述的仿真检验，可以在一定程度上判定所实现电路的正确性。

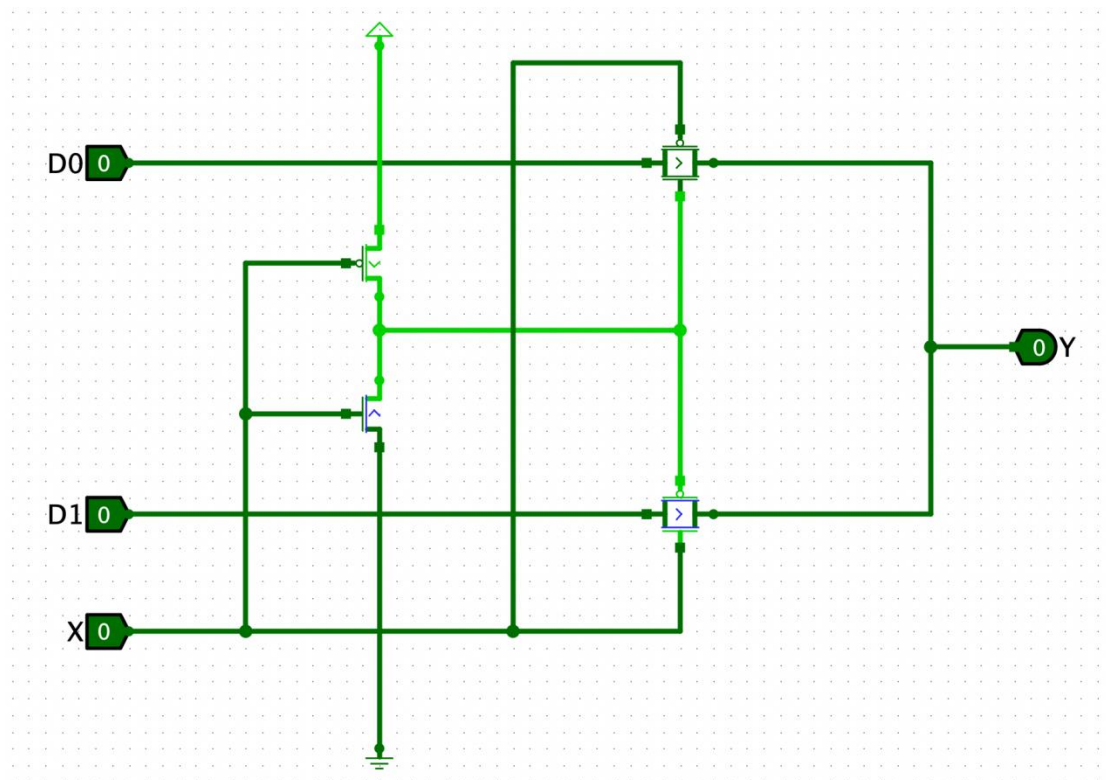
## 2.3 实验错误与原因分析

在实验过程中最初设置好晶体管和连线后发现电路无法按照预想的结果工作，最后发现是 Logisim 中可以对所选的晶体管设置方向，只有方向正确才可以正常导通。由于是初期学习使用 Logisim，因此对许多软件特性还不够了解，需要在后续实验中进一步熟悉软件的使用。

### 3. 2 选 1 多路选择器 & 4 选 1 多路选择器

#### 3.1 实验操作流程

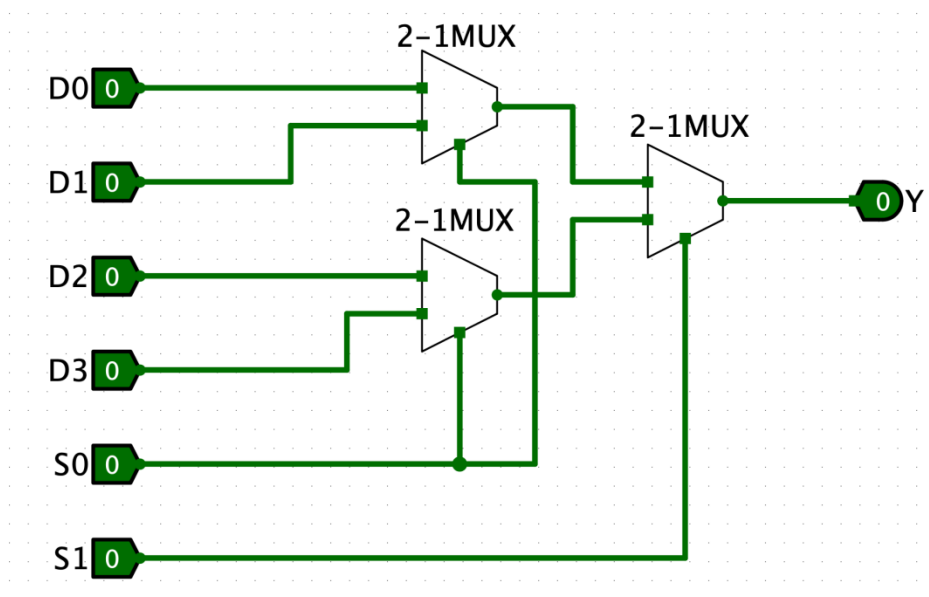
首先是通过晶体管和传输门构造一个 2 选 1 多路选择器电路，具体实现的电路原理图如下：



可以看到，当 X 为低电位时，上面的 PMOS 晶体管导通，上方的传输门导通，其他的晶体管断开，此时输出端 Y 输出的结果与 D0 相同。当 X 为高电位时，下方的 NMOS 晶体管导通，下方的传输门导通，其他的晶体管断开，此时输出端 Y 输出的结果与 D1 相同。

然后依据实现好的 2 选 1 多路选择器作为子电路，实现 4 选 1 多路选择器，具体的电路原理图如下，采取两层分步的方式进行选择。





同时可在封装编辑模式下对子电路的形状进行编辑，图中将其形状改为了梯形，并把引脚位置进行了调整。

可以看到，该电路首先将最低位符合条件的数挑选出来，然后再将次低位符合条件的数挑选出来得到最终的结果。

将器件合理摆放并连线，电路实现完成后对电路进行进一步的观察与检验。

## 3.2 实验结果

通过 Logisim 自动生成的 2 选 1 多路选择器真值表如下：

D0	D1	X	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

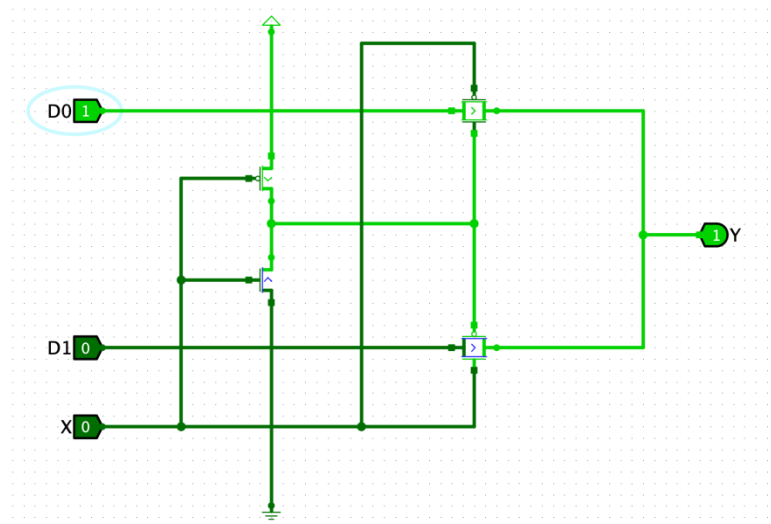
通过 Logisim 自动生成的 4 选 1 多路选择器真值表如下：

D0	D1	D2	D3	S0	S1	Y
0	0	0	0	0	0	0
0	0	0	0	0	1	0
0	0	0	0	1	0	0
0	0	0	0	1	1	0
0	0	0	1	0	0	0
0	0	0	1	0	1	0
0	0	0	1	1	0	0
0	0	0	1	1	1	1
0	0	1	0	0	0	0
0	0	1	0	0	1	1
0	0	1	0	1	0	0
0	0	1	0	1	1	0
0	0	1	1	0	0	0
0	0	1	1	0	1	1
0	0	1	1	1	0	0
0	0	1	1	1	1	1
0	1	0	0	0	0	0
0	1	0	0	0	1	0
0	1	0	0	1	0	1
0	1	0	0	1	1	1
0	1	0	1	0	0	0
0	1	0	1	0	1	0
0	1	0	1	1	0	1
0	1	0	1	1	1	1
0	1	1	0	0	0	0
0	1	1	0	0	1	1
0	1	1	0	1	0	0
0	1	1	0	1	1	1
0	1	1	1	0	0	0
0	1	1	1	0	1	1
0	1	1	1	1	0	0
0	1	1	1	1	1	1
1	0	0	0	0	0	0
1	0	0	0	0	1	0
1	0	0	0	1	0	0
1	0	0	0	1	1	0
1	0	0	1	0	0	0
1	0	0	1	0	1	0
1	0	0	1	1	0	0
1	0	0	1	1	1	0
1	0	1	0	0	0	0
1	0	1	0	0	1	0
1	0	1	0	1	0	0
1	0	1	0	1	1	0
1	0	1	1	0	0	0
1	0	1	1	0	1	0
1	0	1	1	1	0	0
1	0	1	1	1	1	0
1	1	0	0	0	0	0
1	1	0	0	0	1	0
1	1	0	0	1	0	0
1	1	0	0	1	1	0
1	1	0	1	0	0	0
1	1	0	1	0	1	0
1	1	0	1	1	0	0
1	1	0	1	1	1	0
1	1	1	0	0	0	0
1	1	1	0	0	1	0
1	1	1	0	1	0	0
1	1	1	0	1	1	0
1	1	1	1	0	0	0
1	1	1	1	0	1	0
1	1	1	1	1	0	0
1	1	1	1	1	1	0

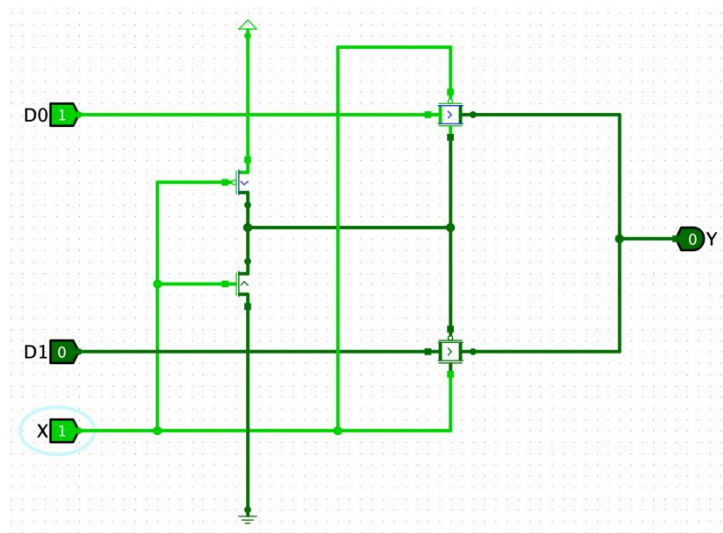
1	0	0	1	1	1	1
1	0	1	0	0	0	1
1	0	1	0	0	1	1
1	0	1	0	1	0	0
1	0	1	0	1	1	0
1	0	1	1	0	0	1
1	0	1	1	0	1	1
1	0	1	1	1	0	0
1	0	1	1	1	1	1
1	1	0	0	0	0	0
1	1	0	0	0	1	0
1	1	0	0	1	0	0
1	1	0	0	1	1	0
1	1	0	1	0	0	0
1	1	0	1	0	1	0
1	1	0	1	1	0	0
1	1	0	1	1	1	0
1	1	1	0	0	0	0
1	1	1	0	0	1	0
1	1	1	0	1	0	0
1	1	1	0	1	1	0
1	1	1	1	0	0	0
1	1	1	1	0	1	0
1	1	1	1	1	0	0
1	1	1	1	1	1	0
1	1	1	1	1	1	1

真值表结果与预期相符。

然后挑取合适的输入样例对所实现的电路进行检验。



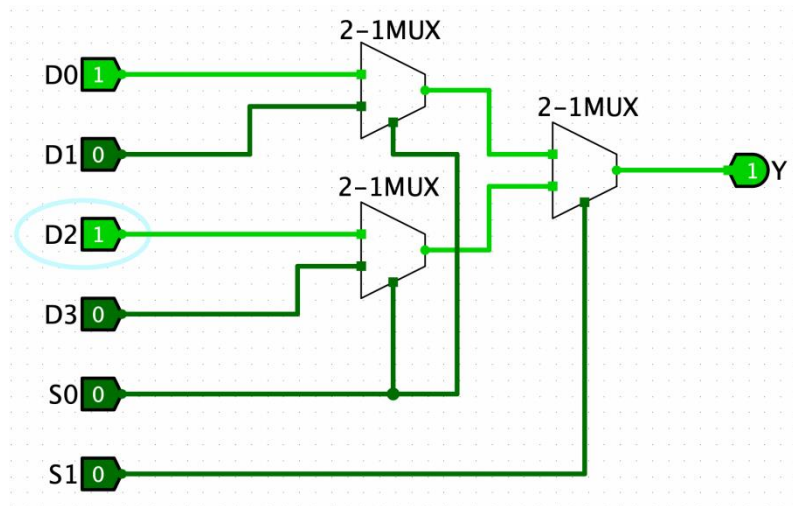
选择端置 0 且 D0 与 D1 不同时，输出端 Y 输出结果与 D0 相同。



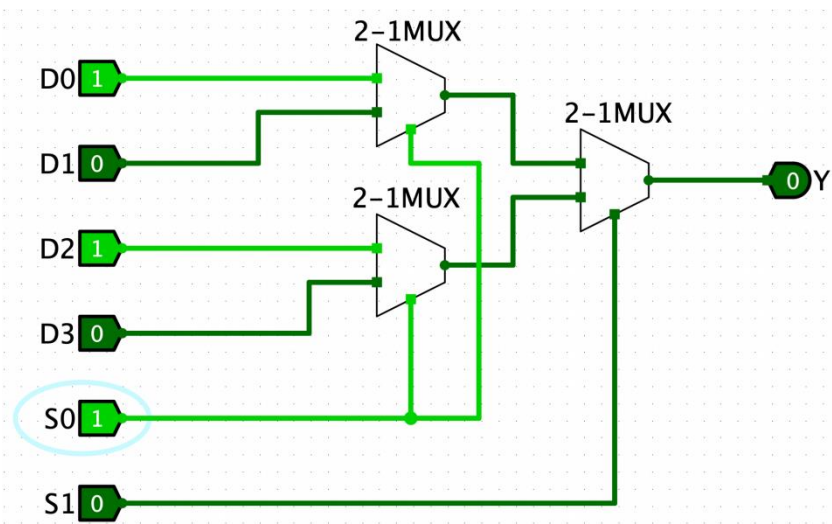
选择端置 1 且 D0 与 D1 不同时，输出端 Y 输出结果与 D1 相同。

仿真检验的结果同样符合 2 选 1 多路选择器的功能要求，可以初步验证电路的实现正确性。

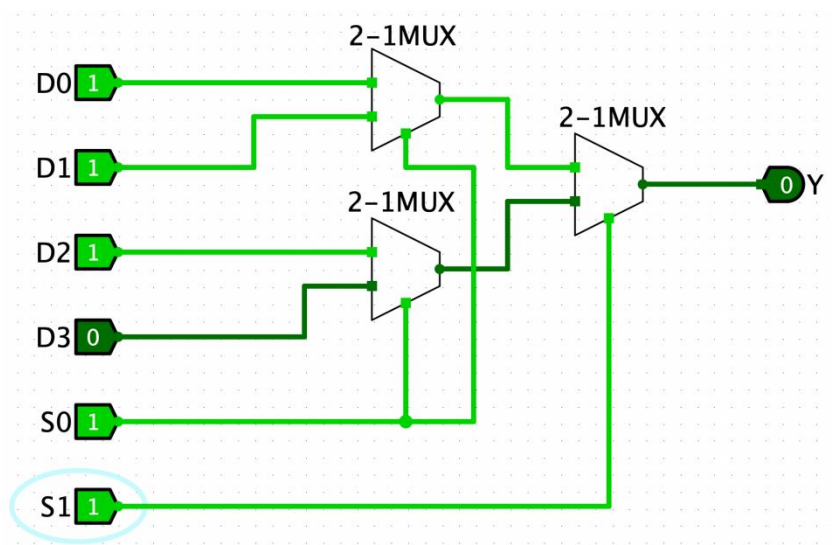
然后对实现的 4 选 1 多路选择器进行检验。



当  $S_0S_1=00$  时，应当选择  $D_0$ ，可看到此时输出端  $Y$  与  $D_0$  相同。



当  $S_0S_1=01$  时，应当选择  $D_1$ ，可看到此时输出端  $Y$  与  $D_1$  相同。



当  $S_0S_1=11$  时，应当选择  $D_3$ ，可看到此时输出端  $Y$  取值与  $D_3$  相同。

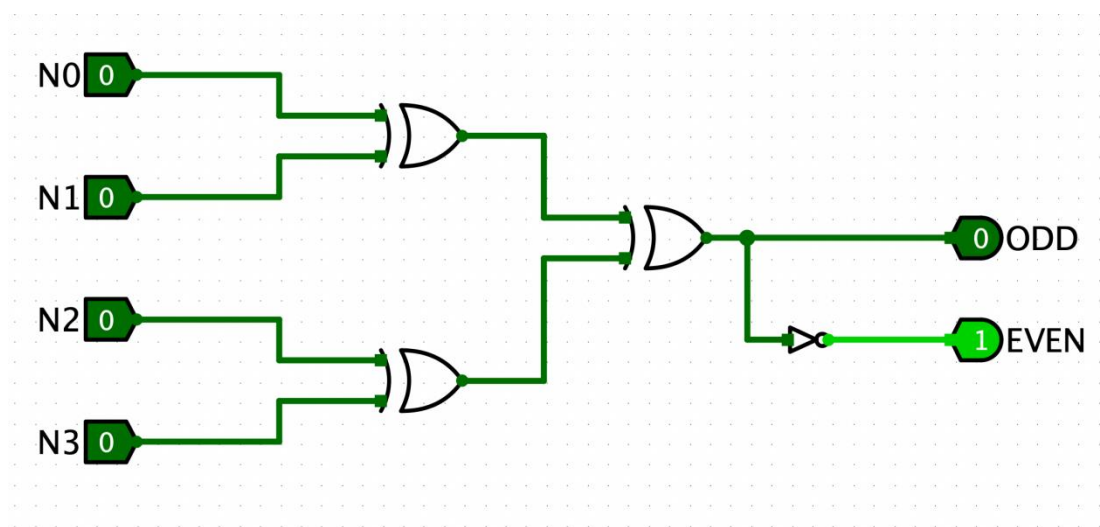
### 3.3 实验错误与原因分析

在进行该实验的过程中较为顺利，没有遇到特殊的错误。

## 4. 4 位二进制奇偶校验电路

### 4.1 实验操作流程

实现一个 4 位的二进制奇偶校验电路，需要通过输入输出端以及一系列逻辑门的组合来实现。具体的电路原理图如下：



其中 N0、N1、N2、N3 为高电位有效的输入端，ODD 与 EVEN 皆为高电位有效。

可以看到，当 N0 和 N1、N2 和 N3 这两个部分中 1 的个数的奇偶性相同时，此时整体 1 的个数为偶数，左边的两个异或门输出的值也相同，则右边的异或门输出值为 0，ODD 被置为 0，EVEN 被置为 1；反之，则右端的异或门输出为 1，ODD 被置为 1，EVEN 被置为 0。

根据电路原理图将器件合理摆放并正确连线后，进一步对电路进行观察和检验。

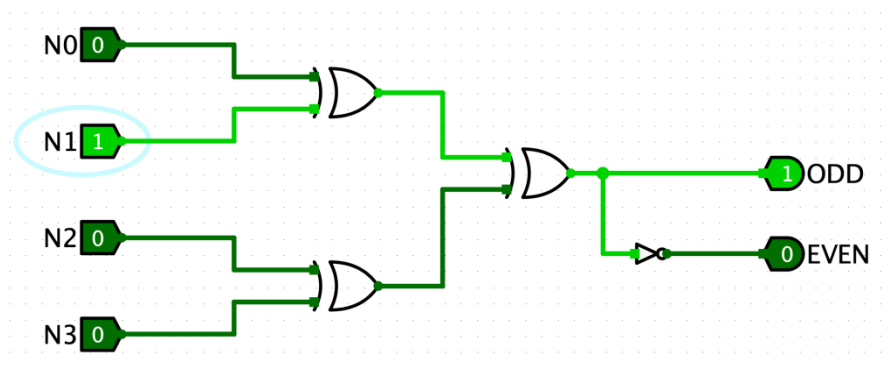
### 4.2 实验结果

该电路通过 Logisim 自动生成的真值表如下：

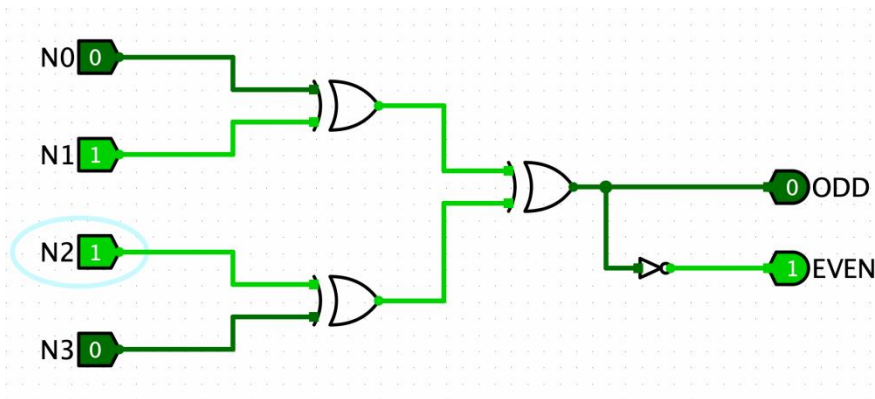
N0	N1	N2	N3	ODD	EVEN
0	0	0	0	0	1
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	0	1
0	1	0	0	1	0
0	1	1	0	0	1
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	0	1
1	0	1	0	0	1
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	1	0
1	1	1	0	0	1
1	1	1	1	1	0

可以看到，在真值表中，当左侧四个输入端取值中 1 的个数为偶数时，ODD 被置为 0，EVEN 被置为 1，相反则是 EVEN 被置为 0，ODD 被置为 1，两者皆为高电位有效，且在不同情况下输出都符合预期。

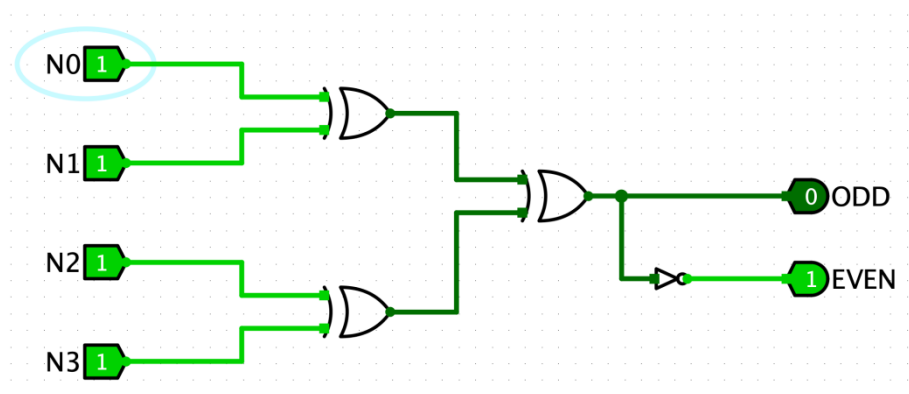
然后选取输入对电路进行仿真检验。



此时 1 的个数为奇数，ODD 为 1，EVEN 为 0。



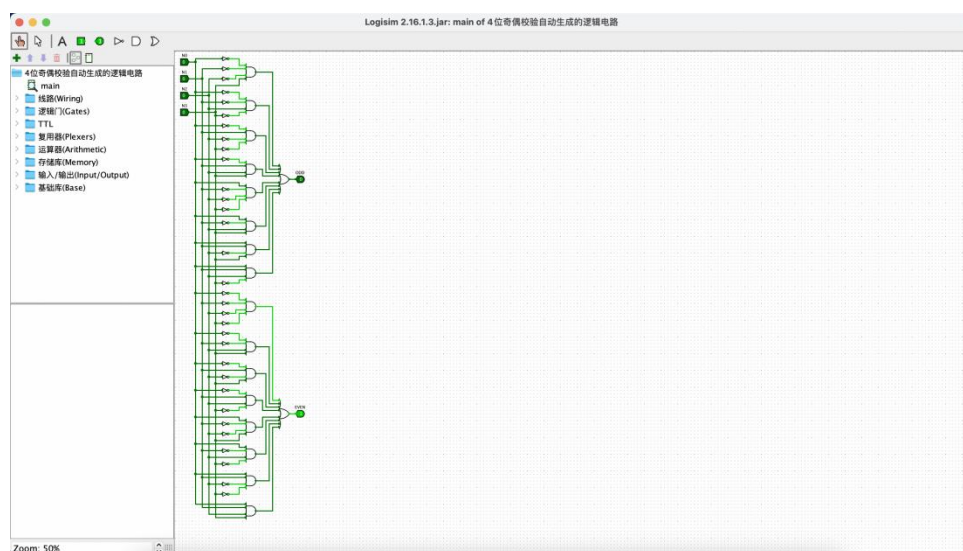
此时 1 的个数为偶数，ODD 为 0，EVEN 为 1。



此时 1 的个数为偶数，ODD 被置为 0，EVEN 为 1。

观察仿真检验的结果，与我们的预期也保持一致。

同时我们通过 Logisim 提供的功能生成了该校验器的逻辑电路，如下图所示：



### 4.3 实验错误与原因分析

在根据实验手册进行实验时，发现实验手册上给出的例子在  $N_0N_1N_2N_3=0000$  时 ODD 取 1，EVEN 取 0，与我的实验结果相反。后来发现并非是实现错误，只是因为实验手册上的例子采取了输出端的低位有效，而我采取的实现是高位有效，因此两者的功能其实是一致的。

## 5. 思考题

1. Logisim 中有哪几种生成逻辑电路图的方式？

(1) 手动在电路编辑界面添加元件并连线生成逻辑电路



(2) 在工程->分析组合逻辑电路界面通过 Logisim 提供的生成电路功能自动生成组合逻辑电路

2. Logisim 中可以通过什么方式生成一个复杂的电路？

(1) 借助 Logisim 提供的已经封装好的子器件

- > 线路(Wiring)
- > 逻辑门(Gates)
- > TTL
- > 复用器(Plexers)
- > 运算器(Arithmetic)
- > 存储库(Memory)
- > 输入/输出(Input/Output)
- > 基础库(Base)

(2) 自行封装所需要的子电路，将复杂电路拆解分别进行实现和组合，简化电路，使电路排布更清晰

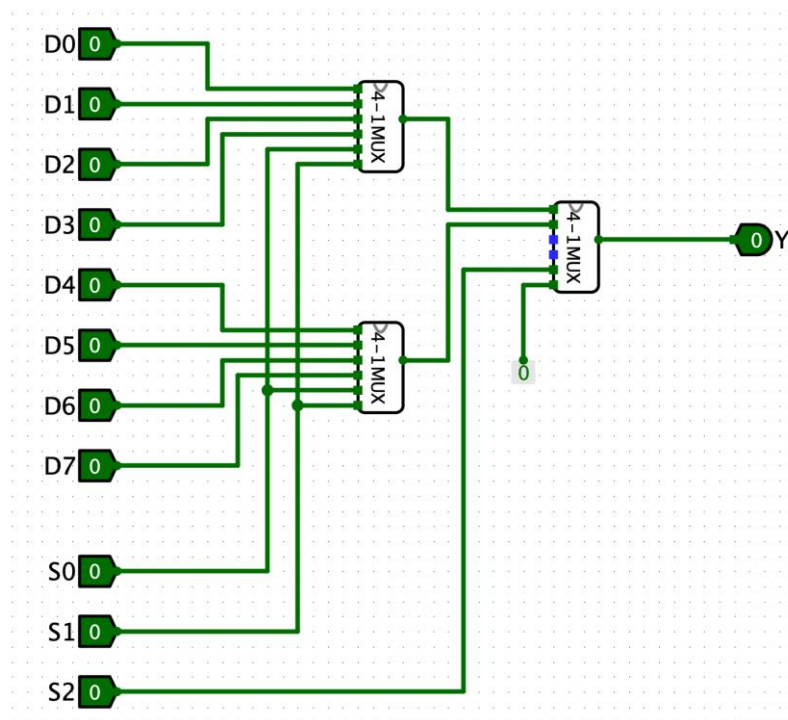
(3) 分析组合电路界面中提供了自动生成复杂逻辑电路的功能

3. Logisim 中提供了哪几种输出组件？

输出引脚、发光二极管、彩色发光二极管、数字示波器、七段数码管、16 进制数字显示、LED 点阵、文本哑终端

4. 如何利用 4 选 1 多路选择器级联实现 8 选 1 多路选择器？

逻辑电路如下图所示：



由图可见，将 4 选 1 多路选择器进行两层级联，第一层有两个 4 选 1 多路选择



器，分别从 D0、D1、D2、D3 和 D4、D5、D6、D7 中选择出标号低两位与选择端相符的数，然后再将被选择出的两个数输送到第二层 4 选 1 多路选择器，将 S2 连接至低位选择端，高位选择端置为常量 0，然后就可以根据最高位选择端选择出标号最高位与其相符的数，该选择器后两位输入端不使用。最终的输出结果即为根据选择端选择出的输入端的值，实现了 8 选 1 多路选择器。

## 6. 实验总结

通过完成该实验我基本熟悉了 Logisim 的基础操作和常用功能，并通过 Logisim 实现了一些组合逻辑电路中常用的器件，对晶体管、多路选择器等常见电路器件的工作原理进行了复习和巩固。同时，在进行实验的过程中我遇到了一些不同种类的问题，在解决问题的过程中不仅探索了进行数字逻辑实验时可以采用的排查方法，同时也发现了一些之前忽略的知识点细节。