

随堂测验 5.21

PB17111614

王嵘晟

1.

1. 考虑一个8处理器的多核芯片，其中每个处理器都有自己的L1和L2缓存，并且在L2缓存之间的共享总线上执行窥探(snooping)。

- 假设L2的平均访问时间是15个周期，不管是否存在一致性失效。
- 假设时钟速率为3.0GHz，CPI为0.7，Load/Store的频率为40%。

如果我们的目标是不超过50%的L2带宽被一致性失效流量消耗，那么每个处理器的最大一致性失效率是多少？

$$\begin{aligned} \text{Cache cycles available} &= \text{clock rate} / \text{Cycles per request} * 50\% \\ \text{Cache cycles available} &= \text{MemoryReferences} / \text{clock} / \text{processor} * \text{clock rate} * \text{processor count} * \text{CMR} \end{aligned} \quad (1)$$

CMR为coherence miss rate

$$\text{Cache cycles available} = 3.0\text{GHz} / 15 * 0.5 = 0.1 \text{ GHz}$$

$$\text{Cache cycles available} = 0.4 / 0.7 * 3.0\text{GHz} * 8 * \text{CMR}$$

$$\text{所以 CMR} = 0.73\%$$

2.

(1).计算机体系架构中 Coherence 与 Consistency 的区别？

序问题：

Consistency: 关注不同处理器发出的所有存储器操作的顺序问题，针对不同存储单元或相同存储单元，是访问所有存储单元的全序问题

Coherence: 关注不同处理器访问相同存储单元时的访问顺序问题，是访问每个Cache块的局部序问题

(2).对于共享cache，组相联度少于核的数量或者共享该cache的线程数，会发生什么问题？

Miss的概率会上升，导致访存时间增大