



בי"ס להנדסת חשמל

תכנית עבודה

פרויקט מס' 20-1-1-2187

שם הפרויקט:

מימוש וסימולציה של מאיץ למערכות לומדות על רכיב FPGA

מגישים:

שי צבר ת.ז. 208723627


חיים גרודה ת.ז. 312562721

מקום ביצוע הפרויקט :

אוניברסיטה

חתימת המנחה:

הנני מאשר את תכנית העבודה המצורפת



יוני זייפרט

1 תקציר

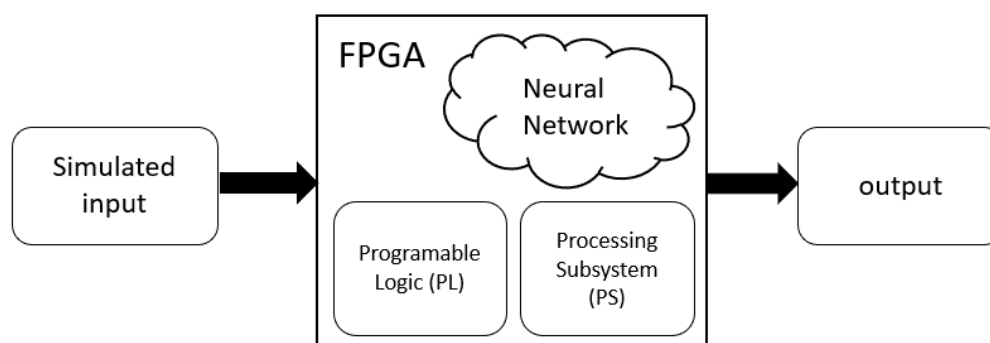
מערכות לומדות הוא שם כללי למערכות ממוחשבות אשר תכליתן היא הרצת תהליכים, ניתוח תוצאות הריצה בשלל טכניקות, הסקת מסקנות על סמך הניתוח, ושכלול הריצה הבאה. מערכות לומדות לסוגיהן נמצאות בשימוש נרחב כיום ומשמשות במחקר ובתעשייה בכל תחומי הידע. דוגמא לכך ניתן למצוא בתחום הרכבים האוטונומיים; אלגוריתמים מורכבים שולטים באותם רכבים, מידע רב נאסף על ידי חיישנים שונים, המידע מנותח בדרכים שונות, והתוצאות משמשות לשיפור מנגנון קבלת ההחלטות של אותם האלגוריתמים. דוגמא נוספת ניתן למצוא באפליקציות שונות המציעות למשתמשים שירותי סטרימינג שונים; אלגוריתמים אוספים מגוון אופציות להמלצה, אינדיקציות על תוצאות ואיכות ההמלצות מתקבלות מהמשתמש בדרכים שונות, מנותחות, ותוצאות הניתוח משמשות לאיסוף ההמלצות הבאות.

רשת נוירונים ממוחשבת היא דרך למימוש מערכת לומדת, המדמה באופן מלאכותי תכונות מסוימות מאופן פעולת רשתות הנוירונים של המוח האנושי. הרשת מורכבת מרכיבים שונים, כאשר כל רכיב לבדו מסוגל לבצע פעולה חישובית פשוטה. כאשר מאגדים רכיבים אלו יחד ליצירת רשת, הרשת כולה מסוגלת לבצע חישובים ופעולות מורכבות.

בפריקט זה נעמיק בתחום המערכות הלומדות ורשתות הנוירונים, ונתכנן מערכת חומרה ייעודית להאצת מערכות לומדות. הייתרון שיש לחומרה בהקשר זה הוא היכולת לבצע מספר רב של פעולות לוגיות במקביל, ובכך להאיץ את החישובים הרבים וכתוצאה נחסך זמן רב בביצועי המערכת הלומדת.

מימוש החומרה יתבצע על רכיב Field-Programmable Gate Array (FPGA) - מעגל משולב אשר ניתן להגדיר ולשנות את תפקודו בתהליך תכנות הדומה להתקנת תוכנה. הרכיב כולל שני תתי מערכות; תת המערכת הראשונה היא PL (Programable Logic) עליה נממש את רכיבי החומרה בשפת Verilog הנמצאת בשימוש נרחב בתחום, ותת המערכת השנייה היא PS (Processing Subsystem) עבודה ניתן לכתוב קוד בשפת תכנות עילית, עליה נכתוב קוד בשפת C או Python.

בנוסף, נבצע סימולציה והרצה של רשת נוירונים מוכרת על הרכיב על מנת לבחון את פעילות הרשת.



עם ההתקדמות הטכנולוגית בעולם המחשבים, והשימוש ההולך הגובר במערכות מחשוב מורכבות, עולה גם הביקוש להטמעת מערכות לומדות לטובת שיפור מגוון שירותים על גבי פלטפורמות שונות. כדוגמא לכך הצגנו את השימוש במערכות לומדות בעולם הרכבים האוטונומיים ובאפליקציות שירות מוזיקה וסטרימינג.

העלייה במורכבות המערכות הלומדות והטמעתן במערכות זמן אמת ומערכות רגישות אחרות, מעלה את הצורך במימושים יציבים המספקים מהירות וביצועים גבוהים. על מנת לענות על צרכים אלו מפותחים מימושים חומריים לאותן מערכות לומדות. מימושים חומריים מסתייעים בעובדה שניתן לבצע מספר רב של תהליכים לוגיים באופן מקבילי ובכך ניתן להאיץ את פעולת המערכת. בנוסף ניתן לשלב את אותם רכיבי חומרה במעבדים ומוצרי קצה שונים, זאת לעומת מימושים תוכנתיים המבצעים פעולות וחישובים באופן טורי, ואשר לעיתים רבות דורשות שרתי מחשוב רחוקים ולכן תלויים בקישוריות רשת.

חברות בתעשייה הישראלית והעולמית עוסקות בפיתוח חומרות ייעודיות להרצת רשתות נוירונים ומערכות לומדות, למגוון השימושים. חברת Apple לדוגמא כוללת במעבדים אותם היא מפתחת מאיצים חומריים ייעודיים להרצת רשתות נוירונים ומערכות לומדות, וכך אפליקציות שונות הרצות על מוצרי החברה יכולות לספק ביצועים טובים יותר. דוגמא נוספת היא חברת ההזנק הישראלית Hailo המפתחת חומרות המממשות רשתות נוירונים שונות המוטמעות במערכות מעולם הרכבים האוטונומיים, הערים החכמות ועוד.

מטרת פרויקט זה היא לממש מאיץ למערכות לומדות על גבי רכיב חומרה ניתן לתכנות (FPGA) ולסמלץ את פעילותו.

3 תכולת עבודה

לצורך ביצוע הפרויקט יהיה עלינו ללמוד ולהעמיק בנושא המערכות הלומדות ורשתות הנוירונים. לאחר שנסקור ונצבור רקע והבנה בתחום נצטרך להגדיר עבור איזו מערכת לומדת אנו רוצים לבצע האצה, להבין את מקור הנתונים ואת התוצאות המצופות מהמערכת.

על מנת לממש את המאיץ על רכיב FPGA יהיה עלינו ללמוד לפתח ב-Verilog, ולהכיר את סביבת העבודה של הרכיב עליו נממש את המאיץ.

לאחר חומרי רקע ולימוד סביבת הפיתוח יהיה עלינו להגדיר אופן פעולת המערכת ולאפיין בלוקים חומרתיים ותוכנתיים למימוש.

הפרויקט יכול כתיבת קוד בשפת Verilog למימוש המאיץ למערכת הלומדת.

לאחר השלמת פיתוח המאיץ יהיה עלינו לבנות סימולציה לבחינת פעילות המערכת.

מקורות מידע שישמשו לפרויקט זה:

- קורס מבוא ללמידת מכונה באתר Coursera:
<https://www.coursera.org/learn/machine-learning>
- ספר מבוא ללמידת מכונה:
The Wikipedia Guide - Introduction to Machine Learning
- קורס תכנות בשפת Verilog באתר Coursera:
<https://www.coursera.org/courses?query=verilog>
- דוקומנטציה על רכיב ה-FPGA מאתר היצרן.
- פרויקטים מתחום למידת המכונה, ומתחום מימוש החומרה.
- מדריכים נוספים מהאינטרנט.

4 תוצרי הפרויקט

בפרויקט נממש רשת נוירונים על רכיב FPGA. תוצרי הפרויקט יהיו כדלקמן:

- תכנון ואפיון רשת נוירונים על בסיס מימוש חומרתי.
- מימוש בלוקים חומרתיים שייכתבו בשפת Vrillog. הבלוקים יבצעו את פעולות החישוב והסיווג של הרשת, ובנוסף פעולות בסיסיות כגון קלט ופלט.
- בלוקים תוכנתיים בשפת C או Python לביצוע פעולות מעטפת לרשת, כגון ביצוע בדיקות.
- אינטגרציה של הבלוקים החומרתיים והתוכנתיים לכדי מערכת לומדת.
- הגדרת סט דרישות המגדירות פעילות רצויה של המערכת.
- סימולציה לבחינת פעולות רשת הנוירונים על הרכיב. הסימולציה תכלול הזנת קלט לרשת ובחינת הפלט, בדיקת זמנים, ובדיקה כי המערכת עומדת בדרישות שהוגדרו.
- פוסטר להצגת הפרויקט.
- ספר פרויקט.

5 לוח זמנים

אבן דרך	פירוט	תאריך יעד לביצוע	הערות
סקירת חומרי רקע	למידת חומר בנושא מערכות לומדות ורשתות נוירונים. הכרת רשתות שונות ודרכי פעולתן.	1.12.2020	
לימוד כלי פיתוח	הכרת רכיב ה-FPGA, סביבת העבודה שלו ותכנות בשפת Verilog	1.12.2020	
אפיון פעולת הרכיב	קביעת אופן פעולת הרכיב – הגדרת בלוקים למימוש	15.12.2020	
בניית שלד בסיסי	כתיבת תשתית בסיסית לקלט/פלט, ובלוקים בסיסיים נוספים	10.1.2021	
הגשת מצגת אמצע		17.1.2021	פירוט בסילבוס הקורס
בניית בלוקים מתקדמים ואינטגרציה	כתיבת בלוקים מתקדמים הנדרשים למימוש הרשת, ואינטגרציה של המערכת	1.5.2021	
הגשת הפוסטר		20.5.2021	פירוט בסילבוס הקורס
בדיקת המערכת	בניית סט בדיקות ובדיקת כל הבלוקים שנכתבו	1.6.2021	
הרצת סימולציה	הרצת סימולציה במטרה לדמות את פעולת הרשת על רכיב החומרה	5.6.2021	
סיום הפרויקט		20.6.2021	פירוט בסילבוס הקורס