

1.

(d)

答：由 testbench 輸出結果可以判斷，這個電路是實現了 XOR 邏輯閘。如果化簡布爾代數，也是可以得到相同結果。

(e)

答：雖然這次作業和範例很像，但是我在執行 Verilog 模擬時忘了下 +access+r 參數，讓我一直在找哪一行有打錯字，經過一波三折，仔細一看 Warning 訊息，才發現原來是少打參數。

