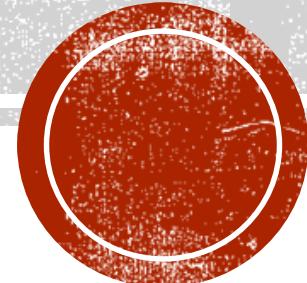


# ELEKTRONIKA

Viera Stopjaková ([viera.stopjakova@stuba.sk](mailto:viera.stopjakova@stuba.sk))

Ústav elektroniky a fotoniky

FEI STU



# **LOGICKÉ OBVODY**

Rozdelenie. Logické hradlá.

Logické a napäťové úrovne signálu.

Realizácia hradiel spínačmi.

Prednáška

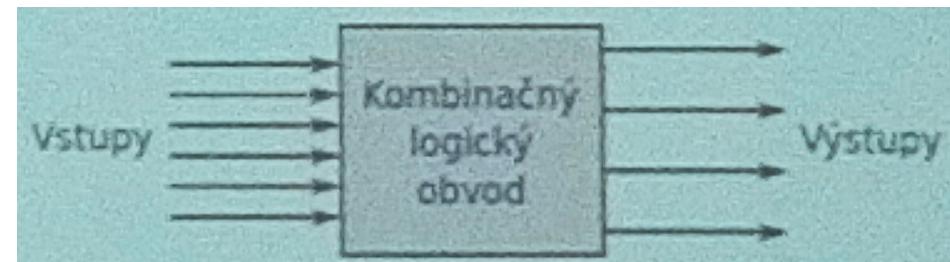
7

# Rozdelenie logických obvodov

## ■ Kombinačné

- výstupné dáta závisia **len od vstupných premenných** (dát)
- opísateľné Boolovskou funkciou alebo pravdivostnou tabuľkou
- časovo nezávislá funkcia
- zložené z primitívnych a komplexných hradiel

$$f(a,b,c\dots)$$



## ■ Sekvenčné

- Výstup závisí od vstupov a **predchádzajúceho stavu**
- Kombinačný obvod + pamäťový element v kladnej spätnej väzbe

# Logické členy

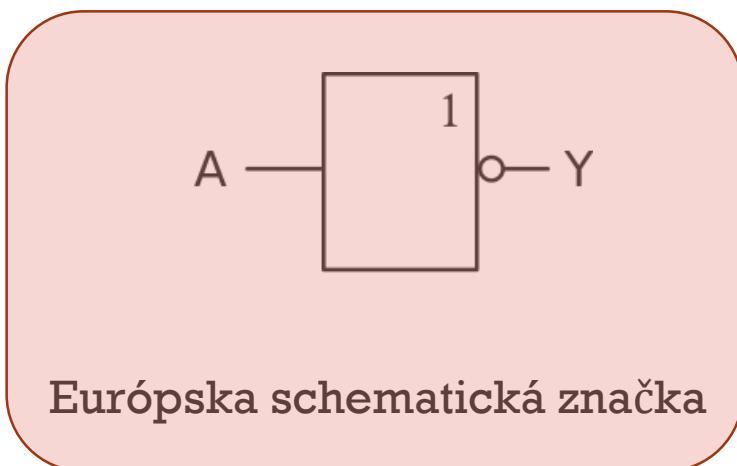
- Logický **člen** alebo logické **hradlo**
  - Skladá sa z nich každý digitálny systém
  - Elektronický obvod vykonávajúci konkrétnu logickú operáciu N vstupných premenných
- Základné rozdelenie logických členov
  - **Primitívne (jednoduché)**
  - **Komplexné (kompozitné)**
- **Logické hradlo** je definované pravdivostnou tabuľkou a/alebo funkciou

# Primitívne logické členy

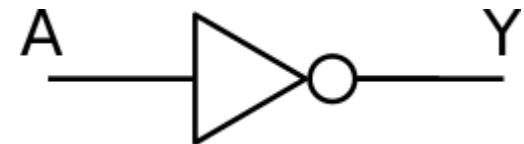
- **Invertor** – operácia negácie  $f(A) = \bar{A}$

A	Y
0	1
1	0

$$Y = \bar{A}$$

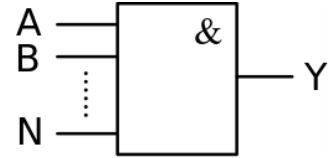


Európska schematická značka



Americká schematická značka

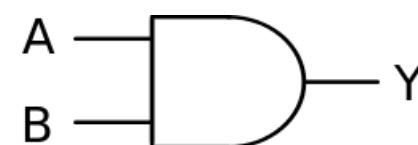
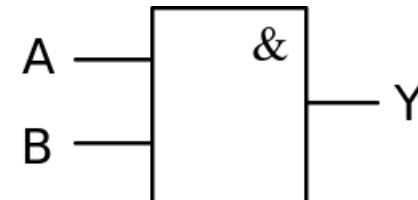
# Primitívne logické členy



- **AND** – operácia logického súčinu:  $f(A,B,\dots,N) = A \cdot B \cdot \dots \cdot N$
- **NAND** – operácia *negovaného* logického súčinu:  $f(A,B,\dots,N) = \overline{A \cdot B \cdot \dots \cdot N}$

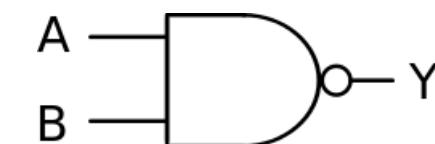
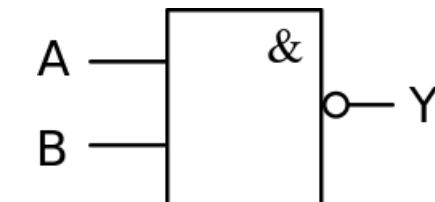
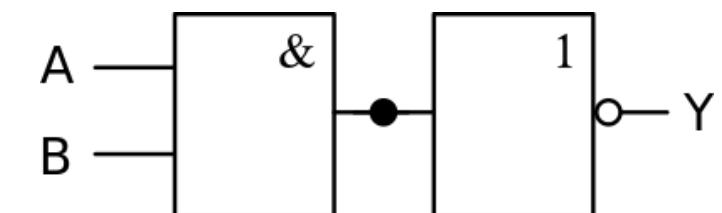
2-vstupový AND

A	B	$Y = A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1



2-vstupový NAND

A	B	$Y = \overline{A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0



# Primitívne logické členy

- **OR** – operácia logického súčtu:

$$f(A, B, \dots, N) = A + B + \dots + N$$

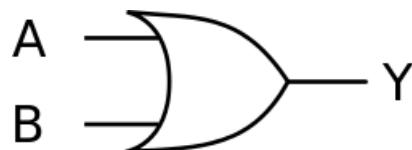
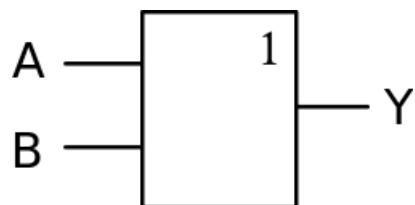
- **NOR** – operácia negovaného logického súčtu:

$$f(A, B, \dots, N) = \overline{A + B + \dots + N}$$

2-vstupový OR

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

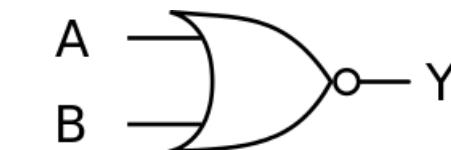
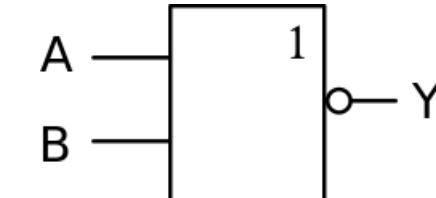
$$Y = A + B$$



2-vstupový NOR

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

$$Y = \overline{A + B}$$



# Komplexné logické členy

- **XOR** – operácia eXkluzívneho (vylučovacieho) logického súčtu

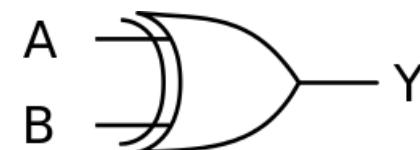
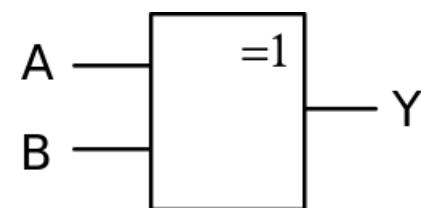
o Nezhoda, Neekvivalencia, Alternatíva

$$f(A, B, \dots, N) = A \oplus B \oplus \dots \oplus N$$

2-vstupový XOR

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

$$Y = A \oplus B = AB + \bar{A}\bar{B}$$



# Komplexné logické členy

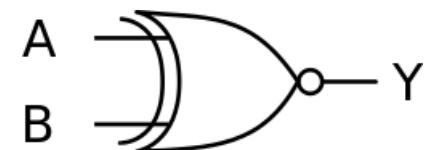
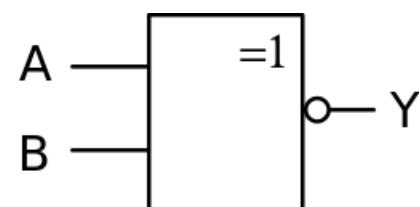
- **XNOR (NXOR)** – operácia negovaného exkluzívneho logického súčtu
  - Zhoda, Ekvivalencia

$$f(A, B, \dots, N) = \overline{A \oplus B \oplus \dots \oplus N}$$

2-vstupový XNOR

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

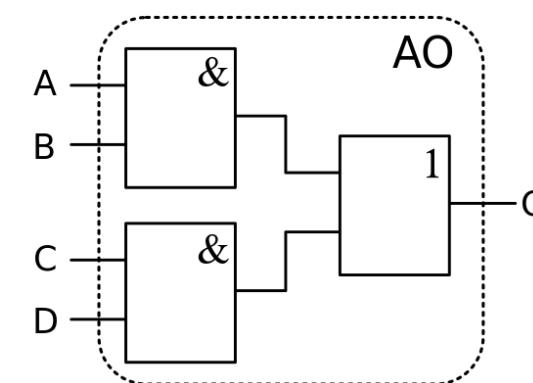
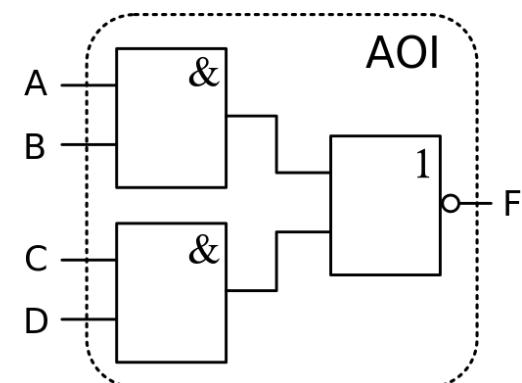
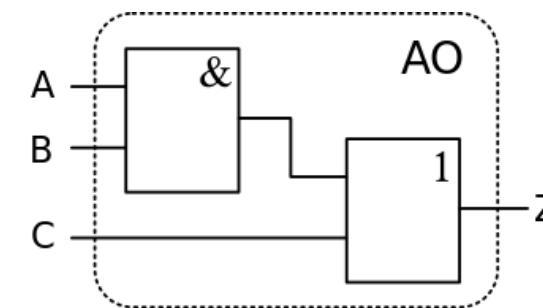
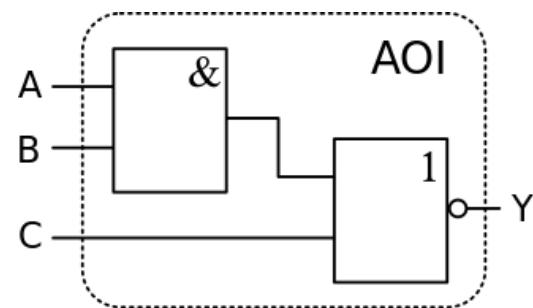
$$Y = \overline{A \oplus B} = AB + \overline{A}\overline{B}$$



# Komplexné logické členy

- **AOI** : AND – OR – INVERTOR
- **AO** : AND – OR
  - Rôzne kombinácie operácií a počtu (invertovaných) vstupov

A	B	C	Y	Z
0	0	0	1	0
0	0	1	0	1
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	0	1



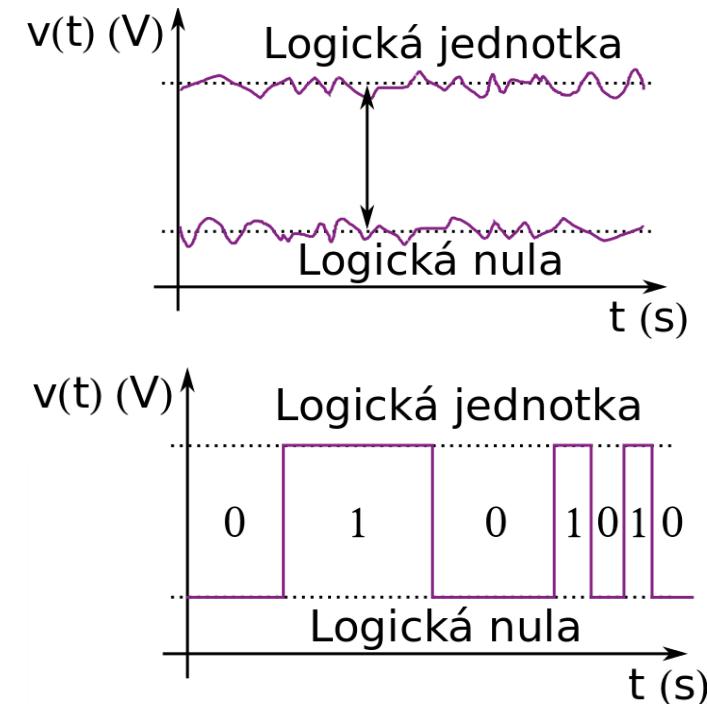
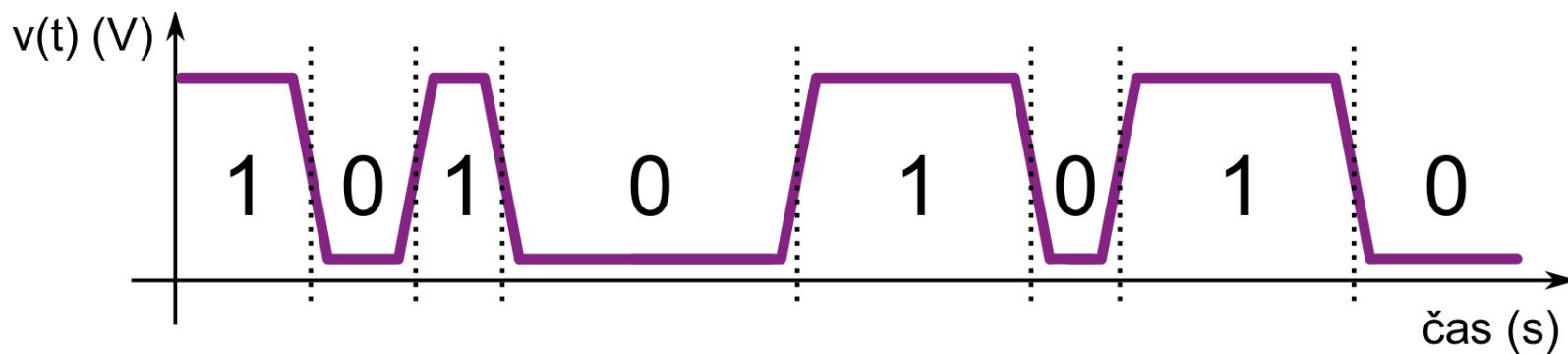
Súčet násobkov

$$F = \overline{(.) + (.) + \dots + (.)}$$

$$Q = (.) + (.) + \dots + (.)$$

# Logické úrovne signálu

- **Logický (digitálny) signál** - logická **jednotka** a logická **nula** (bity, dátá)
- Z elektrického hľadiska sú bity informácie reprezentované **elektrickým napäťom**
  - Dve logické hodnoty - dve úrovne napäťia (vysoká a nízka)
  - tzv. „pozitívna logika“ - **vysoká úroveň napäťia** predstavuje **log 1**
- Obdĺžnikový priebeh napäťia meniaci sa v čase



# Logické úrovne signálu

- V realite nemáme ideálne úrovne logického signálu
- Rozlišujeme spolu až **9 typov logických informácií**
  - „U“ – signál neboli nastavený (uninitialized)
  - „X“ – nemožno rozlíšiť hodnotu (unknown)

„0“ – logická nula

„1“ – logická jednotka

„Z“ – stav vysokej impedancie

„W“ – slabý signál, ktorý nemožno rozlíšiť (oslabené „X“)

„L“ – oslabená logická nula

„H“ – oslabená logická jednotka

„-“ – stav, na ktorom nezáleží (don't care) *Dôležité pri minimalizácii*

*V praxi najčastejšie používané*

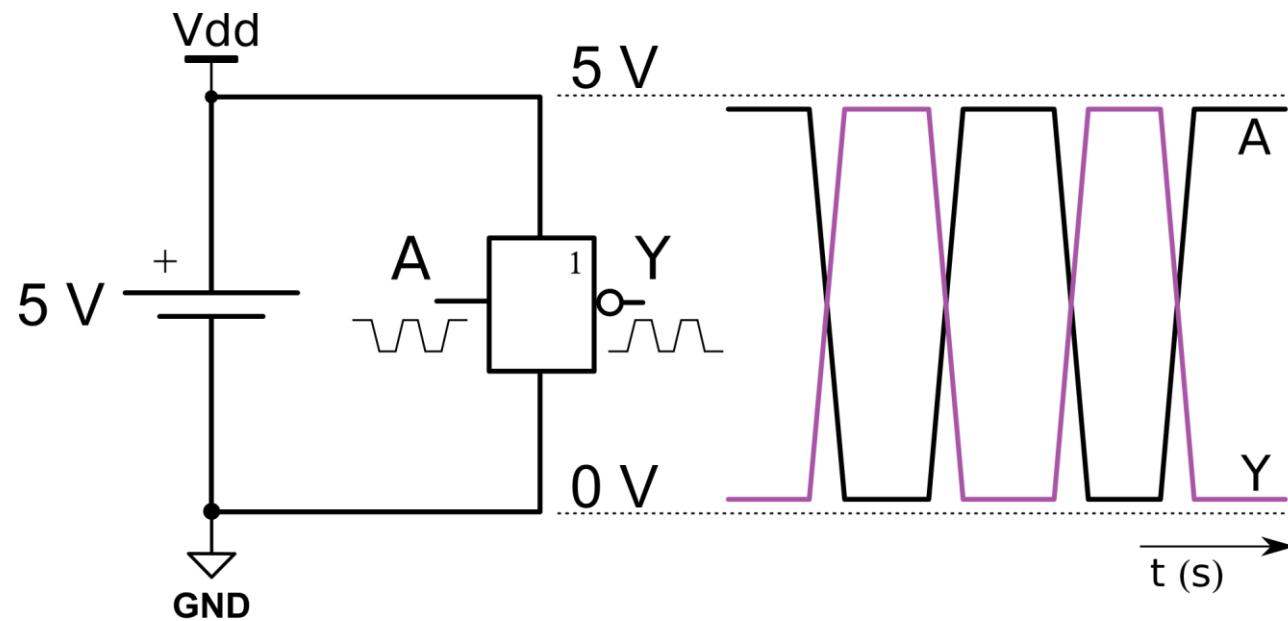
*Jednoducho opraviteľné*

# Elektrická reprezentácia logiky

- Rôzne hodnoty napäťia pre logickú nulu a jednotku
  - **Technológia** výroby tranzistorov (bipolárna, CMOS, BiCMOS)
  - **Typ** logiky (TTL, CMOS, RTL, ECL, DTL ...)
  - **Topológia** logického obvodu
    - **Statická** – push-pull logika, transmission gate, pseudo NMOS ...
    - **Dynamická** – 4-fázová logika, domino logika, dual-rail logika ...
- CMOS, TTL, DTL a ďalšie:  $\log 0 = 0 \text{ V}$  a  $\log 1 = +3,3 \text{ V} / +5 \text{ V}$ 
  - Intel CORE i7 (22 nm):  $\log 0 = 0 \text{ V}$  a  $\log 1 = +1,25 \text{ V}$
- RS 232:  $\log 0 = +7 \text{ až } +25 \text{ V}$  a  $\log 1 = -7 \text{ až } -25 \text{ V}$

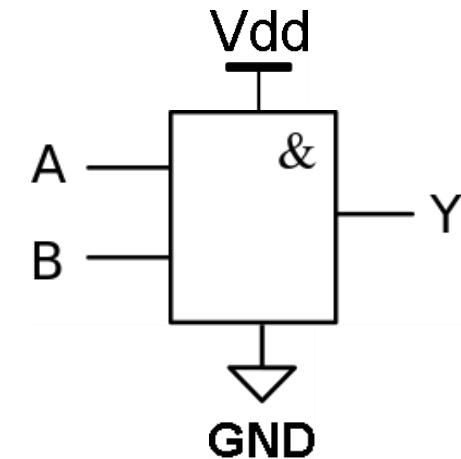
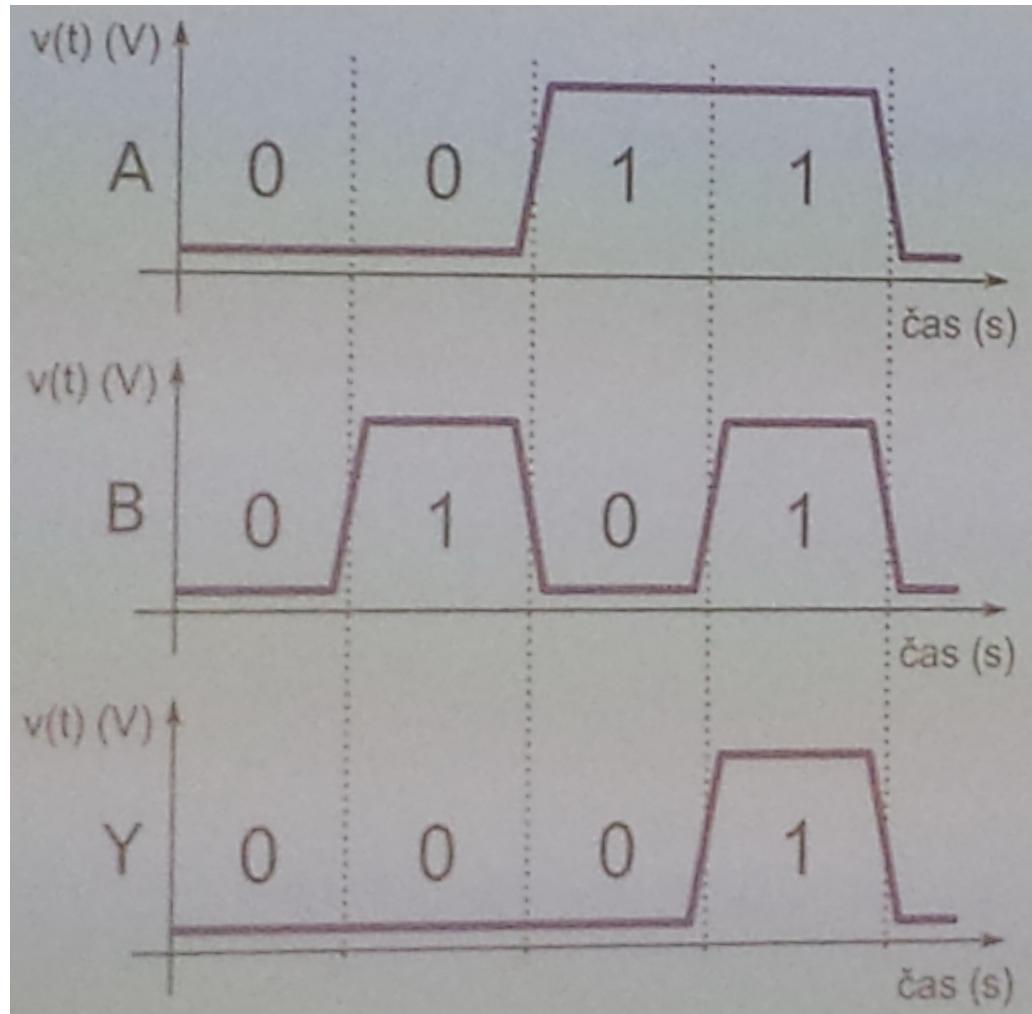
# Napájacie napätie

- Každé hradlo potrebuje pre fungovanie **napájanie!!!**
  - Jednosmerný napájací zdroj (napájanie z batérie)
  - rozsah napäti v obvode (log 0 a log 1) sú určené **hodnotou napájacieho napäťia**



# Elektrická reprezentácia logiky

- Nakreslite časový priebeh vstupných a výstupných signálov 2-vstupového hradla AND



A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

# Napäťové úrovne

## ■ Napäťové úrovne pre reprezentáciu logických stavov

$V_{DD}$  – napájacie napätie (najvyššia hodnota napäcia)

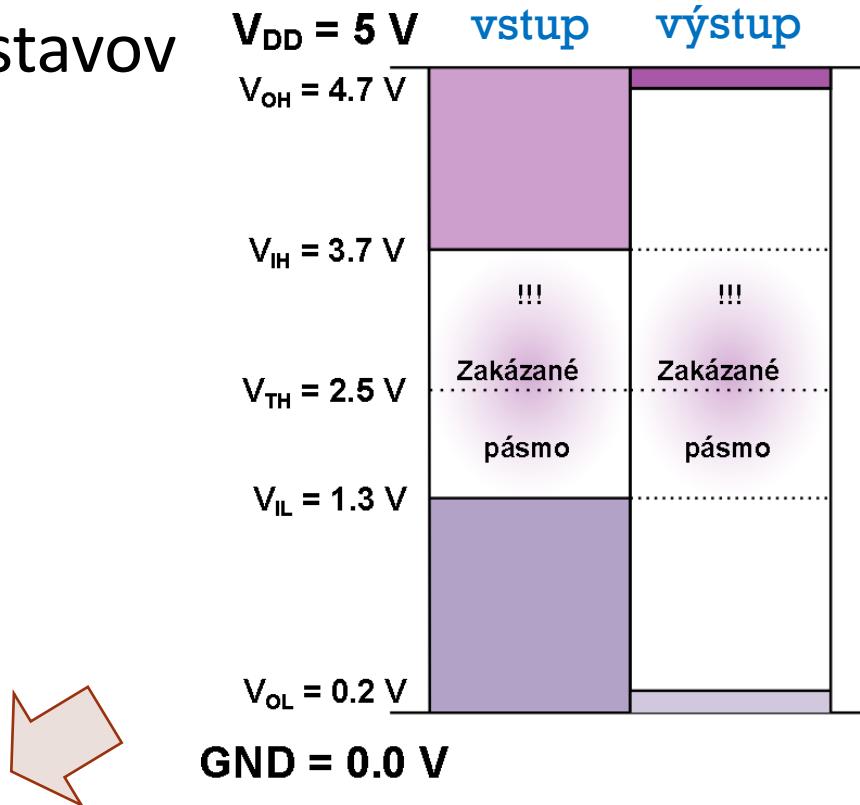
GND – zem (nula alebo najnižšia hodnota)

$V_{OH}$  – spodná hranica log 1 na výstupe hradla

$V_{IH}$  – spodná hranica log 1 na vstupe hradla

$V_{OL}$  – horná hranica log 0 na výstupe hradla

$V_{IL}$  – horná hranica log 0 na vstupe hradla

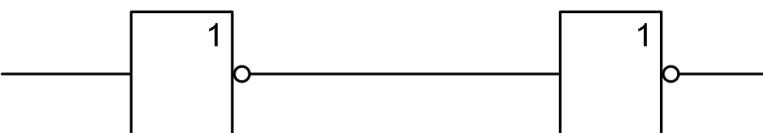
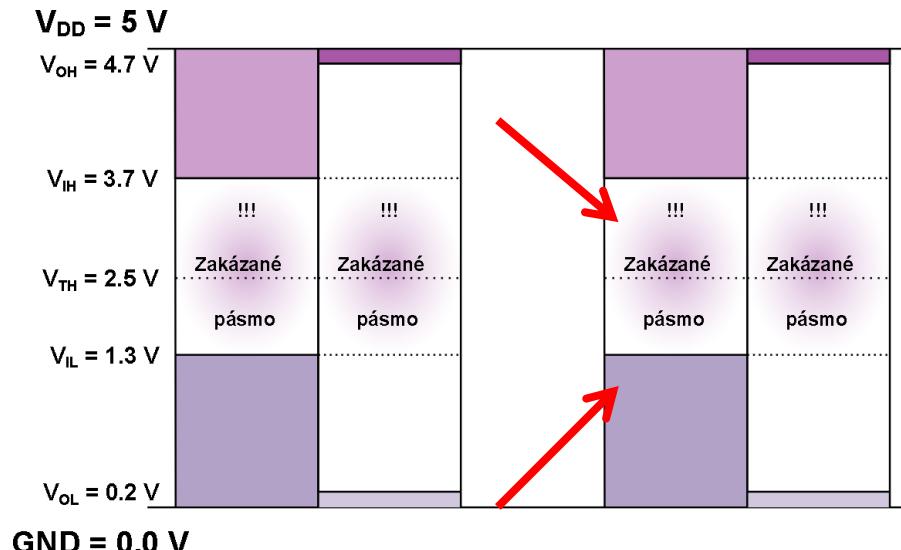


**Zakázané pásmo** - oblasť napätí s nerozlíšiteľnou logickou hodnotou

# Napäťové úrovne

- Tolerancie kvôli nedokonalosti elektronických systémov (šum, EM rušenie, úbytky napäti na vedení ...)
- Pre  $V_{DD} = 5 \text{ V}$ :
  - Výstupné napätie pre „1“ smie poklesnúť z **4,7** na **3,7 V**
  - Výstupné napätie pre „0“ smie stúpnuť z **0,2** na **1,3 V**

- V zak. pásme obvod nevie rozlíšiť logický stav na vstupe



# Šumová imunita (Noise Margin)

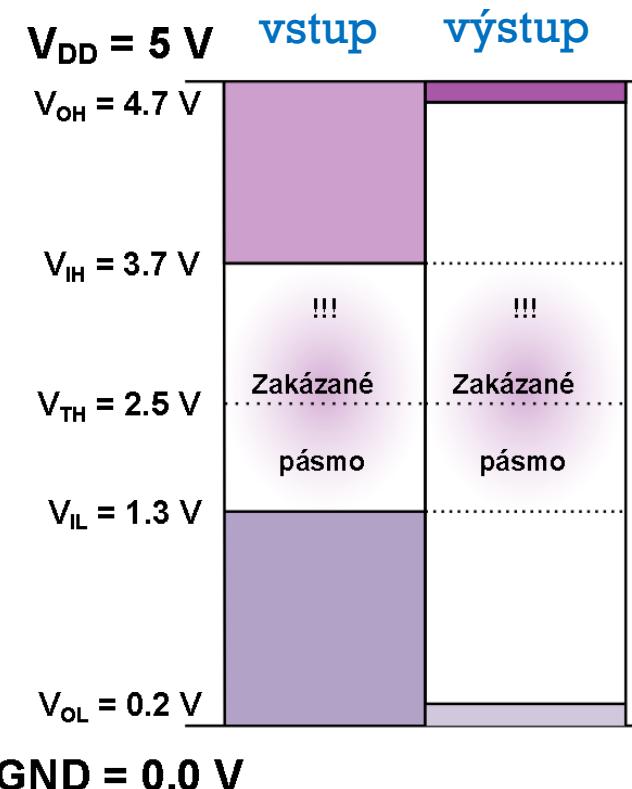
- Schopnosť obvodu tolerovať zmeny napäcia pri zachovaní správnej výstupnej funkcie
- Rozdiel medzi najhorším prípadom výstupnej a vstupnej hodnoty napäcia v danom logickom stave**

## Noise margin (NM)

$$NM_H = V_{OH} - V_{IH} \text{ (V)}$$

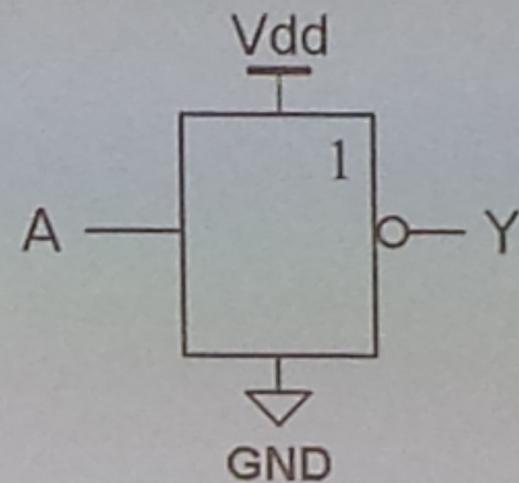
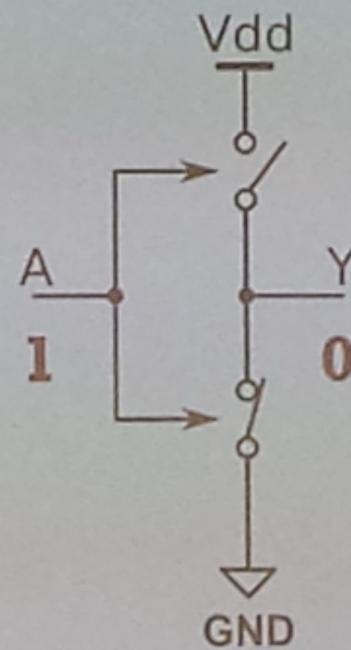
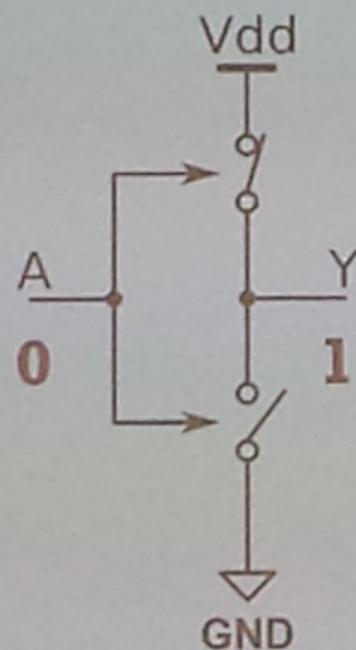
$$NM_L = V_{IL} - V_{OL} \text{ (V)}$$

- CMOS logické obvody majú vysokú šumovú imunitu



# Realizácia logických hradieľ spínačmi

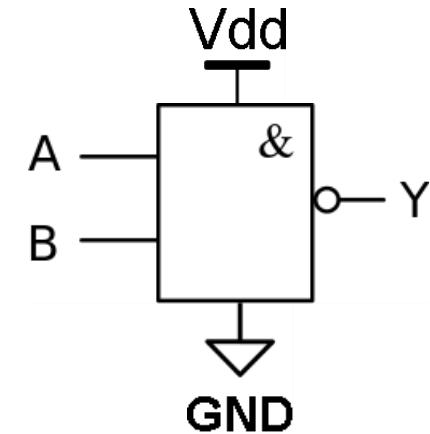
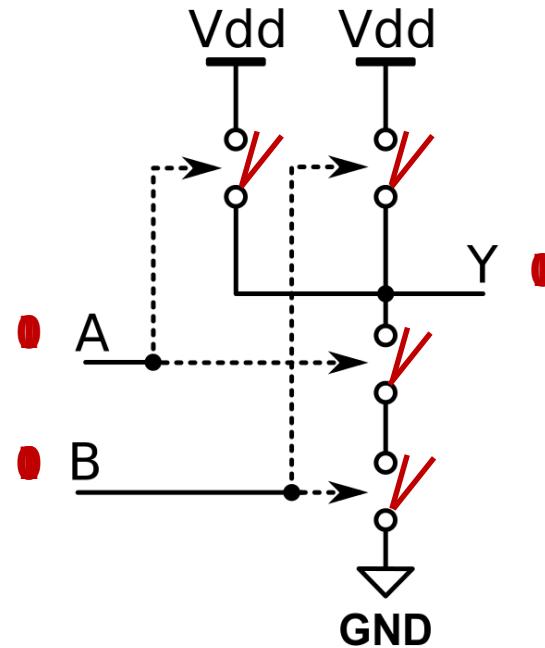
- Invertor – realizácia pomocou spínačov



A	Y
0	1
1	0

# Realizácia logických hradieľ spínačmi

- NAND – návrh pomocou spínačov

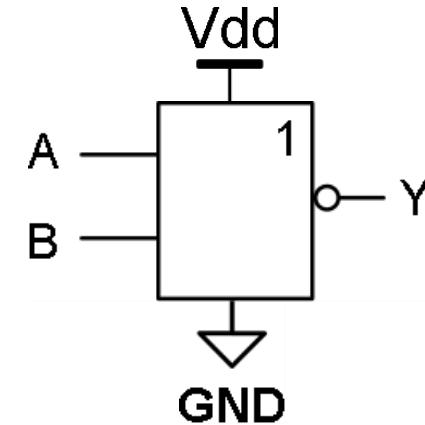
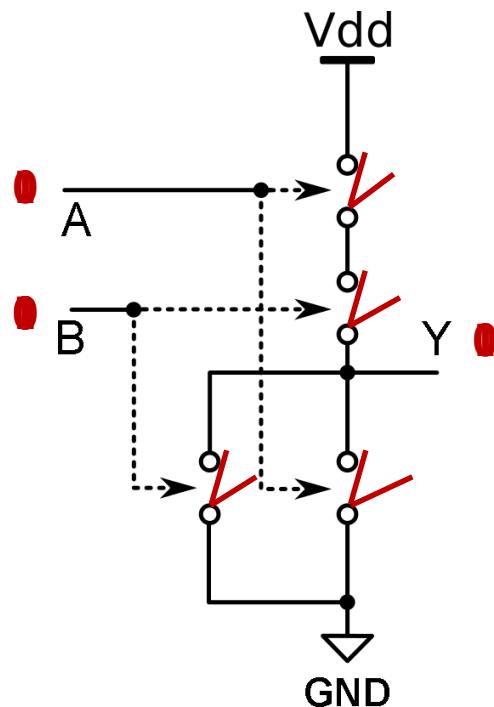


A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0



# Realizácia logických hradieľ spínačmi

- NOR – návrh pomocou spínačov



A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0



# Spínač v elektronických systémoch

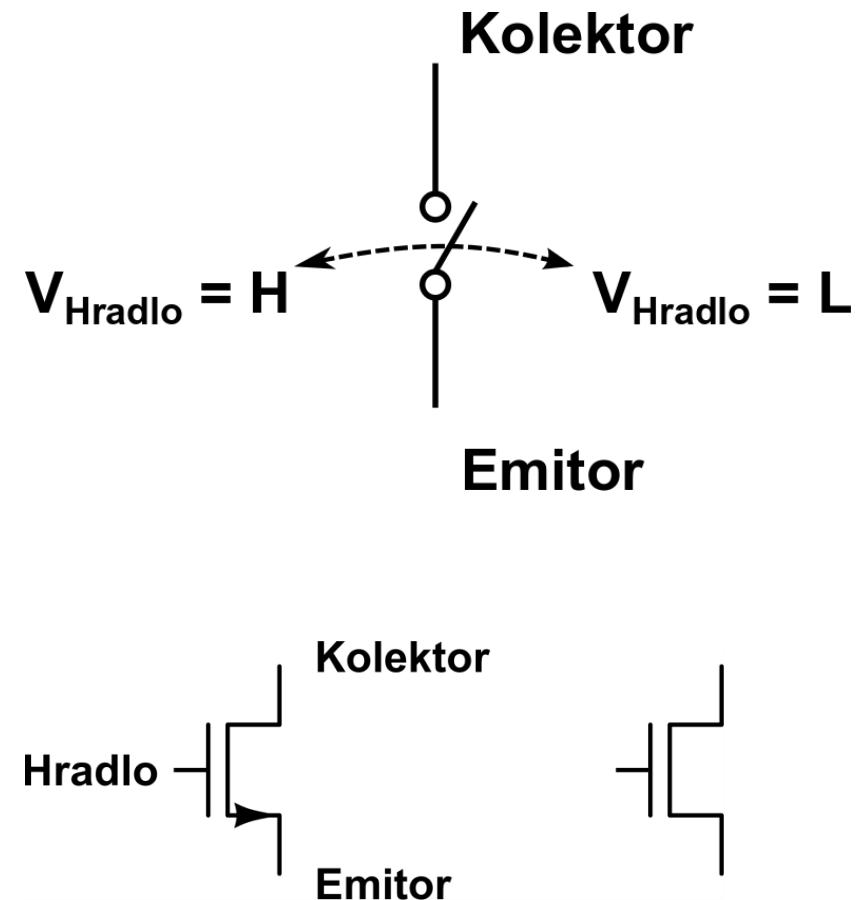
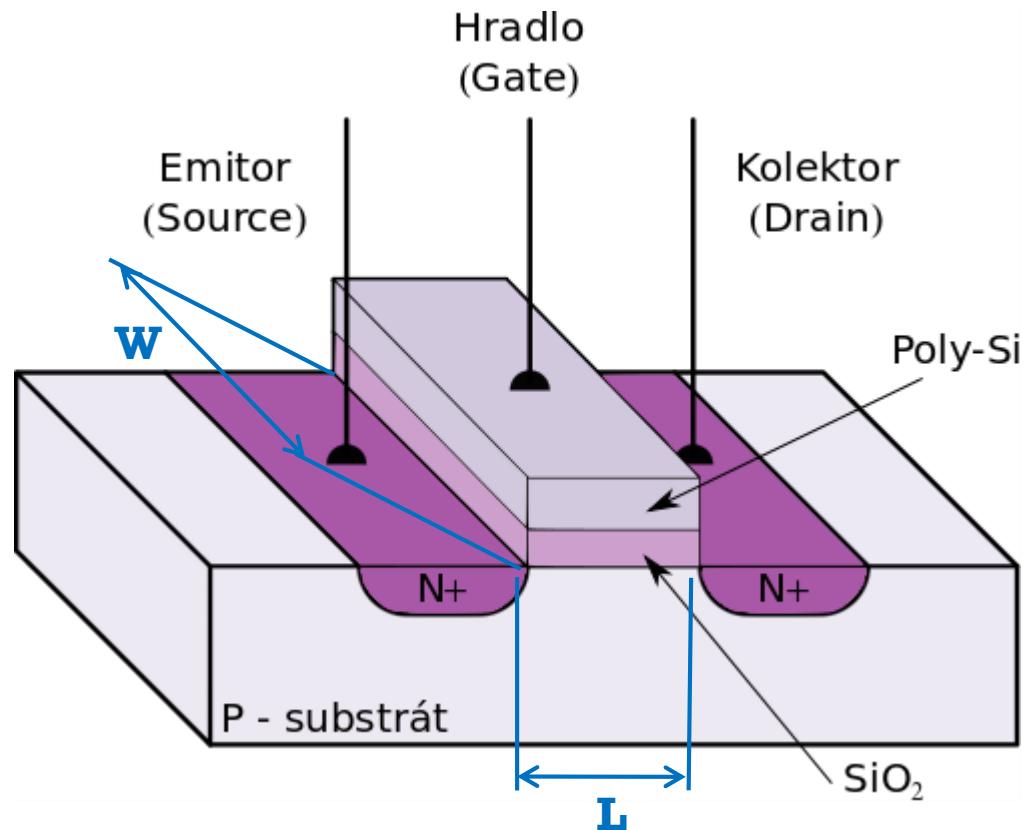
- V minulosti relé a elektrónky (sálové počítače)
- Vo výkonovej elektronike sú používané tyristor a triak
- **V logických obvodoch**
  - tranzistory a diódy (TTL a DTL logika)
  - majoritne v súčasnosti **MOS tranzistory** (NMOS a CMOS logika)

# MOS tranzistor ako spínač

- Metal Oxide Semiconductor Tranzistor
  - Vyvinutý v roku 1959 v Bell Laboratories (USA)
  - Analógová súčiastka so širokým využitím
  - V logických systémoch sa používa ako riadený spínač
- Najčastejší materiál je Si alebo SiGe
- Zvládnutá a relatívne lacná výroba (miliardy tranzistorov na jednom čipe)
- Rozmery tranzistorov vyrábaných čipov na úrovni 14 nm  
(v 2020 očakávame 5 nm tranzistory)
- Dva typy vodivosti → 2 typy MOS tranzistorov – **NMOS** a **PMOS**

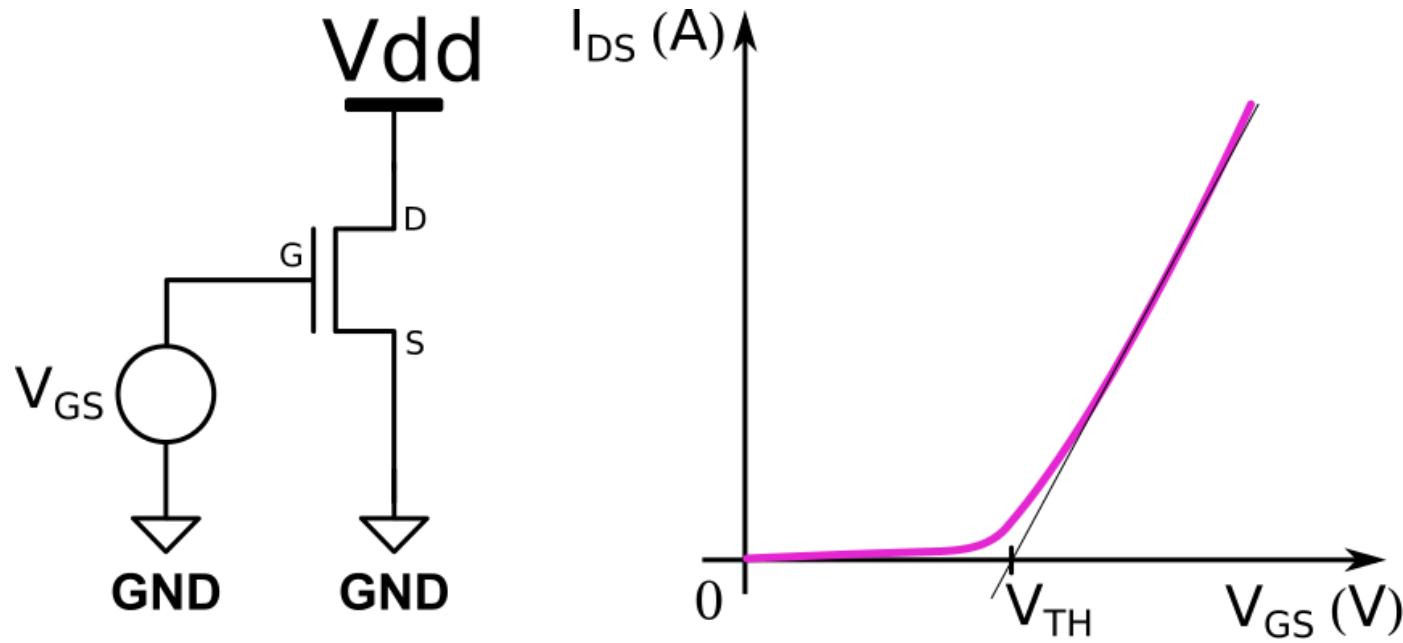
# NMOS tranzistor ako spínač

- Log 1 na hradle zapína tranzistor (spojí sa K a E)
- Log 0 na hradle vypína tranzistor
  - Geom. rozmermi meníme vlastnosti spínača



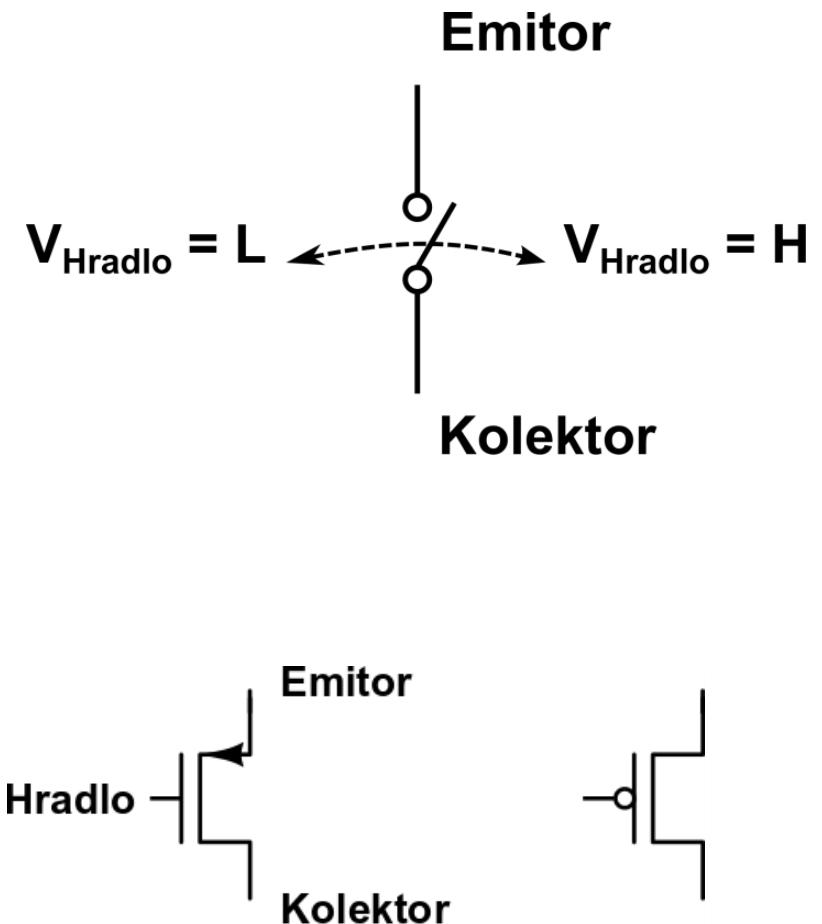
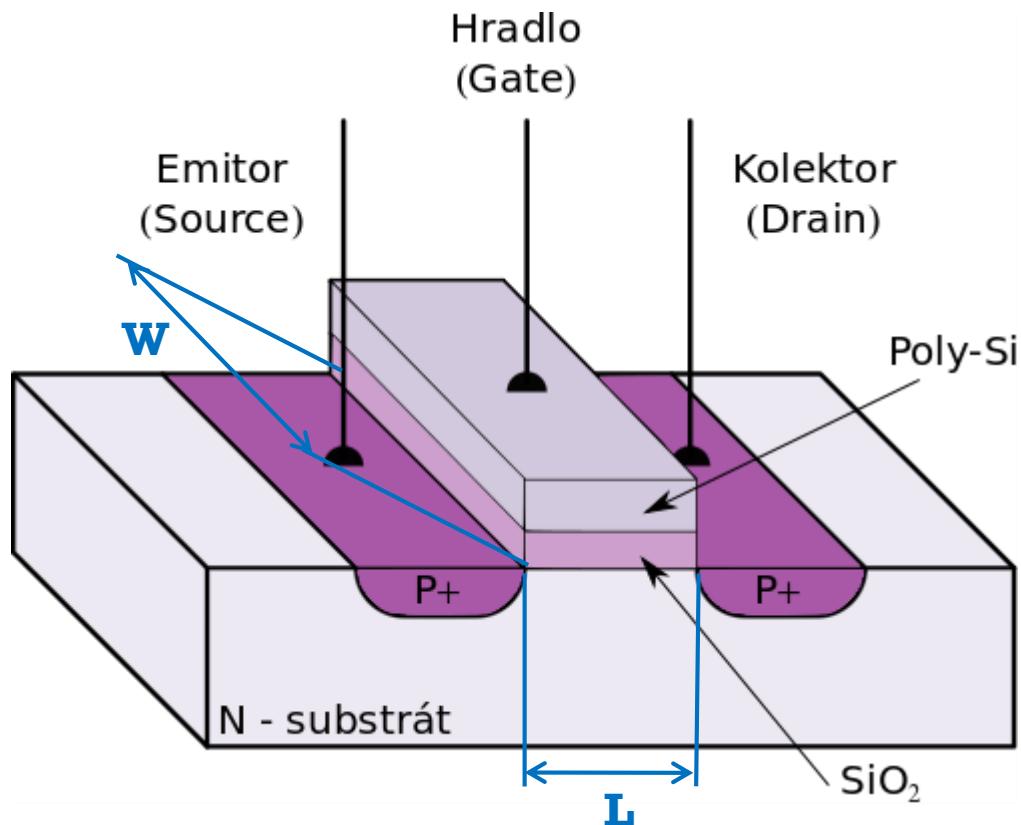
# NMOS tranzistor ako spínač

- Prahové napätie  $V_{TH}$  NMOS je kladné (hodnota daná výrobou)
  - stovky mV až jednotky V, napr. (napr. + 0,75 V)
  - Minimálne potrebné napätie na otvorenie tranzistora
- Ak  $V_{GS} > V_{TH} > 0$  tranzistor je otvorený, K a E sú spojené



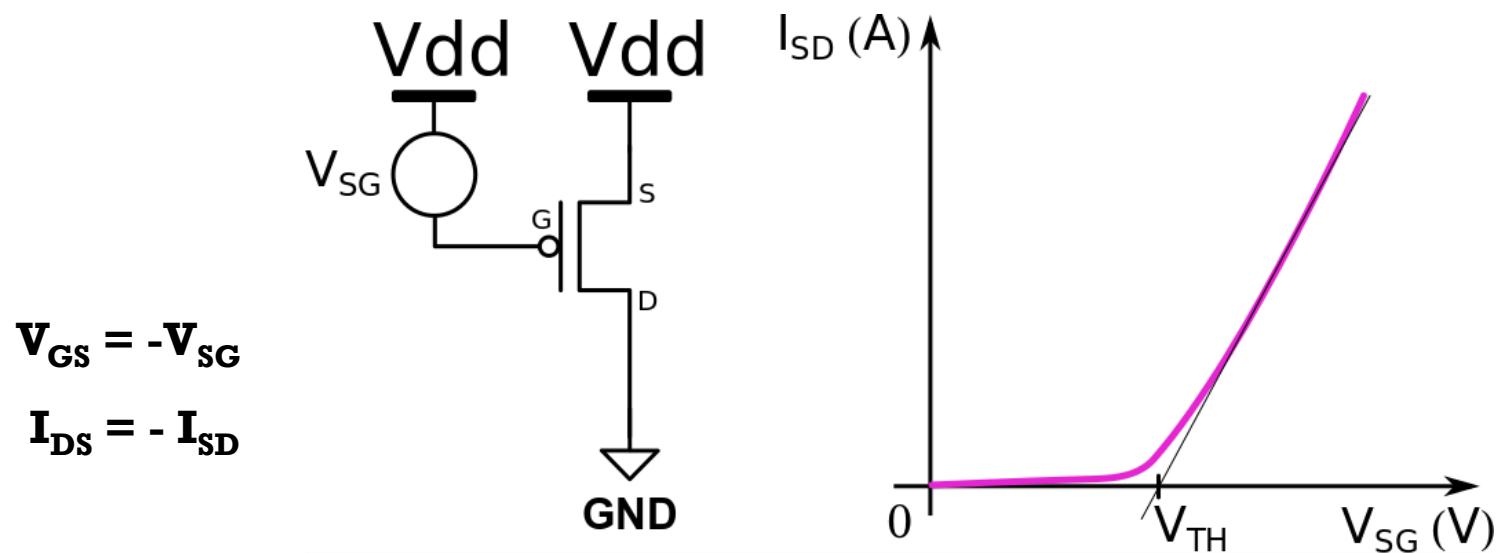
# PMOS tranzistor ako spínač

- Log 0 na hradle zapína tranzistor (spojí sa K a E)
- Log 1 na hradle vypína tranzistor
- Geom. rozmermi meníme vlastnosti spínača



# PMOS tranzistor ako spínač

- Prahové napätie  $V_{TH}$  PMOS je záporné
  - $V_{TH}$  PMOS býva väčšie ako pri NMOS type (napr. – 0,9 V)
- Ak  $V_{GS} < V_{TH} < 0$  tranzistor je otvorený, K a E sú spojené



**Ďakujem za pozornosť.**