

中国科学技术大学

2022-2023 学年第一学期

数字逻辑电路期末模拟试卷跨年特别版

时逢岁末，谨以此试卷作为新年贺礼，祝愿各位同学都能收获理想的成绩！

1. (4 分) 用公式法求逻辑函数式 $Y(A, B, C, D) = \sum m(1, 2, 3, 4, 6, 8, 9, 10, 12, 14)$ 的最简“或非-或非”式。

解析：这道题目考察逻辑函数化简，由于指明了方法，读者必须使用公式法进行化简。读者也许很少见到公式法化简题目以最小项之和的形式给出逻辑函数，这种往往出现在卡诺图化简法的题目中，不过对于逻辑函数基本型要熟练掌握，同时不能想当然地看到这个形式就直接卡诺图化简。

2. (6 分) 试用卡诺图化简法对一组多输出逻辑函数进行化简

$$Y_1(A, B, C, D) = \sum m(0, 1, 3, 6, 7, 13, 14, 15)$$

$$Y_2(A, B, C, D) = \sum m(0, 2, 4, 5, 7, 9, 10, 11, 12, 15)$$

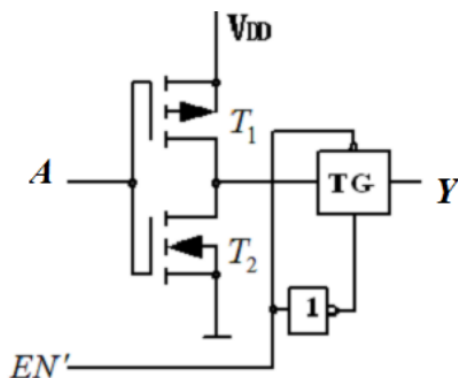
$$Y_3(A, B, C, D) = \sum m(0, 1, 3, 5, 7, 10, 11, 12, 13, 14, 15)$$

解析：多输出逻辑函数化简的解题方法已经在两次习题课中详细介绍了，这道题目作为练习。

3. (4 分) 若 CMOS 门电路工作在 5 V 电源电压下的静态电源电流为 $5\mu\text{A}$ ，在负载电容 C_L 为 100pF、输入信号频率为 500kHz 时的总功耗为 1.56 mW，试计算该门电路的功耗电容的数值。

解析：第三章的两个考点之一，需要读者熟练记忆两组公式，一个是功耗相关（本题），一个是 OD 门上拉电阻（作业）。

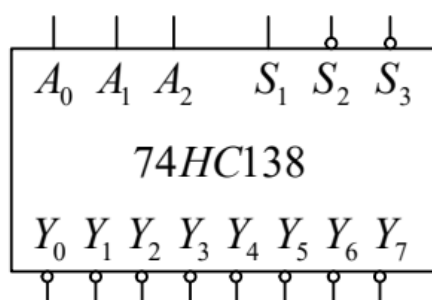
4. (4 分) CMOS 电路如图所示，试写出其输出逻辑函数式。



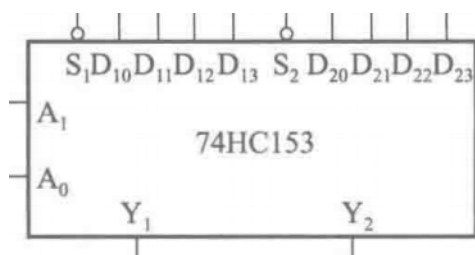
解析：第三章的两个考点之一，这道题难度较小，建议读者对照第一次习题课讲义把 CMOS 电路分析方法熟练掌握。同时这道题要注意，存在易错点，即高阻态。

5. (6 分) 试用两片双 4 选 1 数据选择器 74HC153 和 3 线-8 线译码器 74HC138 接成 16 选 1 的数据选择器。其中 74HC138 和四选一数据选择器的框图和功能表如下

S_1	$S'_2 + S'_3$	A_2	A_1	A_0	Y'_0	Y'_1	Y'_2	Y'_3	Y'_4	Y'_5	Y'_6	Y'_7
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

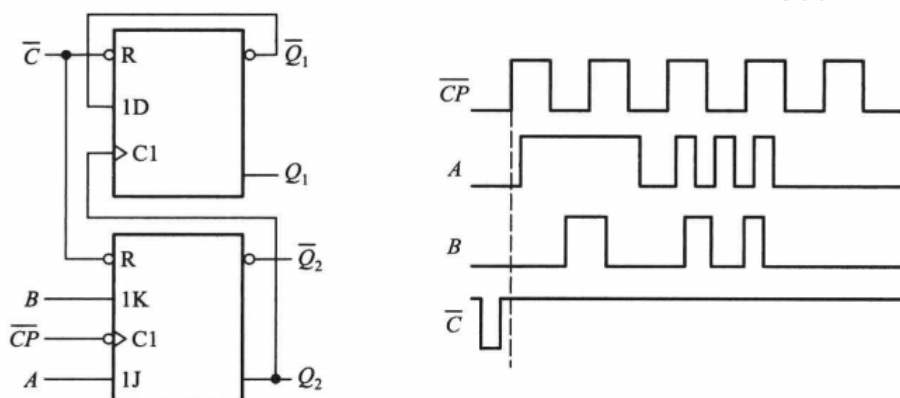


S'	A_1	A_0	Y
1	×	×	0
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3



解析：这道题目考察功能扩展，是第四章的两个难点之一（另一个就是用自然语言描述组合逻辑电路实现的功能），数据选择器和译码器的功能扩展建议读者掌握。

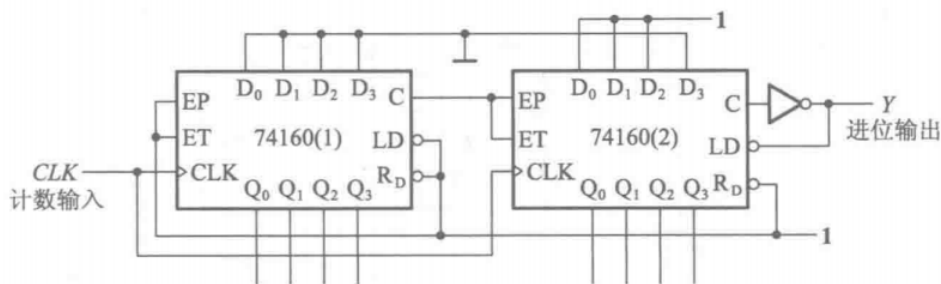
6. (6 分) 由 JK 触发器和 D 触发器组成的触发器电路如图所示，试画出 Q_1 、 Q_2 端对应的电压波形（题图中 \bar{Q} 即为 Q' ）。



解析：第五章的题目往往就是分析触发器电路画波形图，或者存储器相关计算（以及识别存储器点阵图中的与门阵列和或门阵列，列写数据表等）。触发器电路分析主要基于触发器的逻辑功能和触发方式，首先根据触发方式确定动作可能发生的位置以及可能影响动作的输入信号范围，然后根据逻辑功能确定动作。这种题目要特别注意异步的 CLK 和置位/置零信号。建议铅笔、直尺作图。

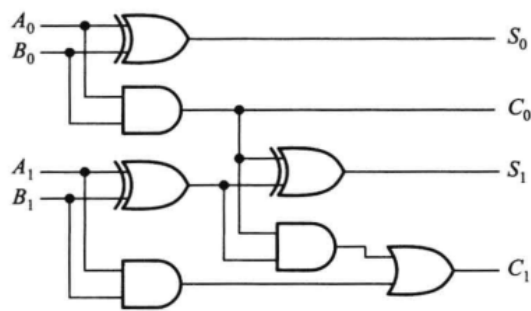
7. (6 分) 如图所示电路是由两片同步十进制计数器 74160 组成的计数器，试分析这是多少进制的计数器，两片之间是几进制。74160 的功能表如下

CLK	R_D'	LD'	EP	ET	工作状态
×	0	×	×	×	置零
↑	1	0	×	×	预置数
×	1	1	0	1	保持
×	1	1	×	0	保持， $C = 0$
↑	1	1	1	1	计数



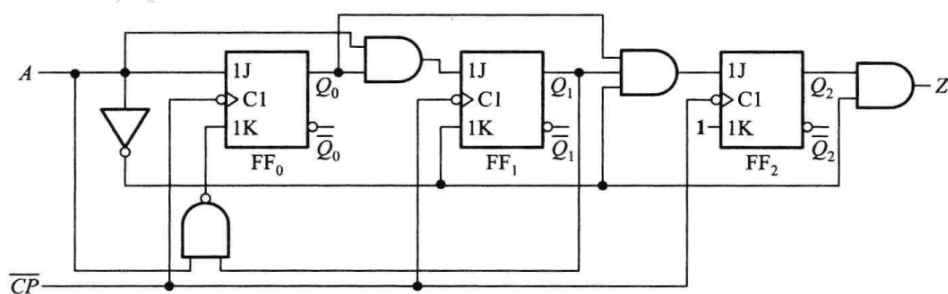
解析：第六章必考的计数器电路分析题目，这种题目往往难度不大，但是存在一些易错点，包括置数/置零的同步/异步等。这道题目是作业中出错率较高的题目，专门挑选出来提醒大家注意。

8. (6 分) 组合逻辑电路如图所示。请写出逻辑函数式，分析其实现的功能。



解析：第四章的两个难点之一，详见第一次习题课讲义和第二次习题课讲义。

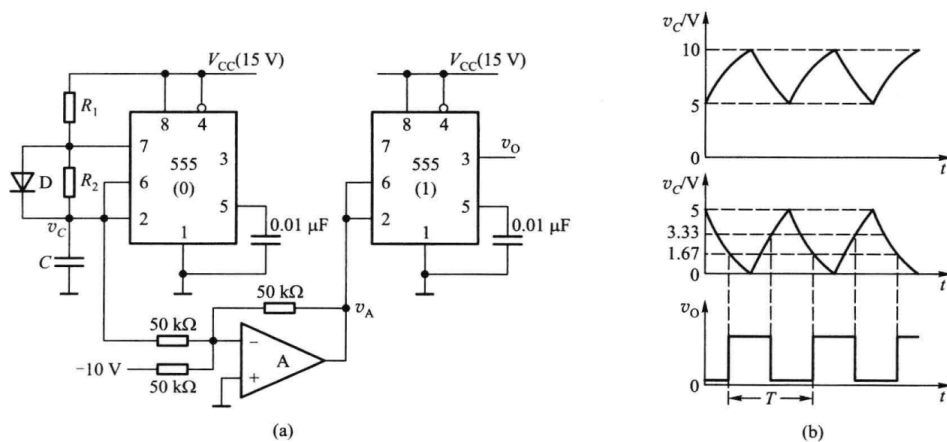
9. (6 分) 由 JK 触发器构成的时序逻辑电路如图所示，试写出该电路的驱动方程、状态方程和输出方程，列出状态转换表，说明该电路是穆尔型电路还是米利型电路，并说明电路能否自启动。



解析：第六章时序逻辑电路分析，难度一般，主要是要细致审题，比如本题要求列状态转换表，不可只画状态转换图。

10. (10 分) 由 555 定时器组成的电路如图所示，图中 $R_1 = R_2 = 5k\Omega$, $C = 0.01\mu F$, D 为理想二极管。理想运放 A 的供电电压为 $\pm 15V$ ，其他参数如图所示。

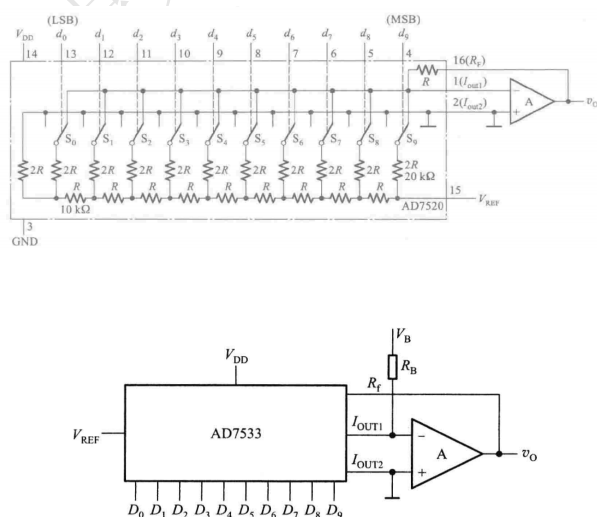
- (1) 试问两片 555 各组成什么电路, 给出其关键参数;
- (2) 画出 v_C 、 v_A 和 v_o 的波形, 并计算出 v_o 的周期。



解析: 第七章的题目基本上都是这样考察, 要能识别题目所给的电路是哪类型的电路, 并熟练掌握三类电路关键参数的计算。

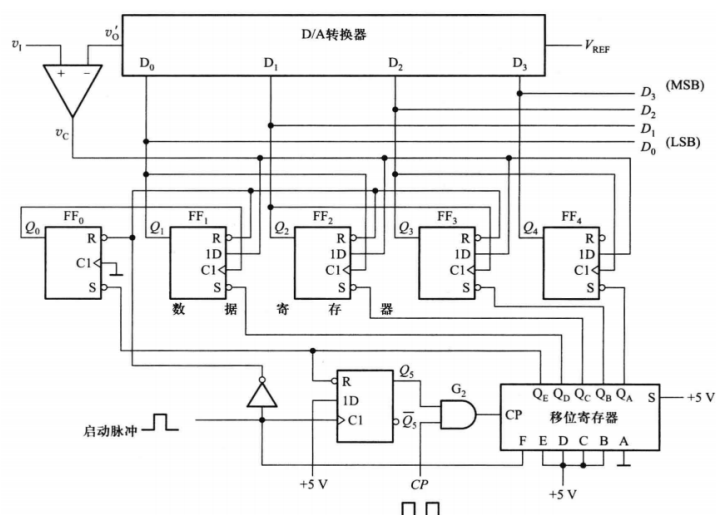
11. (6 分) 由 AD7533 (和 AD7520 的引脚和功能相当, 如下图所示) 组成双极性输出 D/A 转换器如图所示。

- (1) 根据电路写出输出电压 v_o 的表达式;
- (2) 试问实现输入为 2 的补码时的双极性输出电路中 V_B 、 R_B 、 V_{REF} 和片内的 R 应满足什么关系?



解析: 第八章的常规考点, 除此以外还要掌握误差分析。

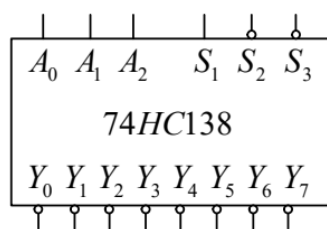
12. (6 分) 在如图所示的逐次比较 ADC 中设 $V_{REF} = 10\text{ V}$, $v_I = 8.26\text{ V}$ 。试画出在时钟脉冲作用下, v'_o 的波形并写出转换结果。



解析：第八章的常规考点，除此以外还要掌握误差分析。

13. (10 分) 试设计一可逆的 4 位码转换电路。当控制信号 $C = 1$ 时，它将 8421 码转换为格雷码； $C = 0$ 时，它将格雷码转换为 8421 码。要求使用 3 线-8 线译码器 74HC138 实现，功能表和框图如下。

S_1	$S'_2 + S'_3$	A_2	A_1	A_0	Y'_0	Y'_1	Y'_2	Y'_3	Y'_4	Y'_5	Y'_6	Y'_7
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0



解析：第四章组合逻辑电路设计题目，本题难度较大。首先考察第一章码制，需要读者掌握 8421 码和格雷码编码规则；接下来考察用中规模器件——译码器设计逻辑函

数， n 位译码输入的译码器可以设计多输出的 n 变量逻辑函数，由于本题要求设计 5 变量逻辑函数，因此需要 5 位译码输入的译码器，而题目提供的是 3 位译码输入的译码器，所以需要对译码器进行功能扩展。这种隐式考察功能扩展的题目建议读者理解，并掌握译码器和数据选择器的功能扩展方法。

14. (14 分) 试用正脉冲触发的 JK 触发器设计一同步时序逻辑电路，要求实现 1101 序列检测，输入为串行编码序列，输出为检测结果。

- (1) 列出状态转换表；
- (2) 写出驱动方程、状态方程和输出方程；
- (3) 画出完整的电路图。

解析：第六章时序逻辑电路设计题目，本题难度略大。首先考察逻辑抽象，这是近几年考题中很少着重考察的，也是时序逻辑电路设计的难点之一；接着考察基于 JK 触发器的设计，建议掌握习题课介绍的方法；最后画电路图的时候要注意题目中限定的触发方式。