



版本: 1.0.1 2022 年 3 月

# AK376xE PCB 设计指南

## 声 明

本手册的版权归广州安凯微电子股份有限公司所有，受相关法律法规的保护。未经广州安凯微电子股份有限公司的事先书面许可，任何人不得复制、传播本手册的内容。

本手册所涉及的知识产权归属广州安凯微电子股份有限公司所有（或经合作商授权许可使用），任何人不得侵犯。

本手册不对包括但不限于下列事项担保：适销性、特殊用途的适用性；实施该用途不会侵害第三方的知识产权等权利。

广州安凯微电子股份有限公司不对由使用本手册或执行本手册内容而带来的任何损害负责。

本手册是按当前的状态提供参考，随附产品或本书内容如有更改，恕不另行通知。

## 联 系 方 式

广州安凯微电子股份有限公司

地址：广州市黄埔区知识城博文路 107 号安凯微电子 H 大厦

电话: (86)-20-3221 9000

传真: (86)-20-3221 9258

邮编: 510555

销售热线:

(86)-20-3221 9499

电子邮箱:

[sales@anyka.com](mailto:sales@anyka.com)

主页:

<http://www.anyka.com>

## 版本变更说明

以下表格对于本文档的版本变更做一个简要的说明。版本变更仅限于技术内容的变更，不包括版式、格式、句法等的变更。

版本	说明	完成日期
V1.0.0	首次发布	2021 年 7 月
V1.0.1	增加 AVDD_PLL 的滤波电容布局要求	2022 年 3 月

Anyka Confidential For  
CIMC Use Only

## 目录

<b>1. 简介</b>	<b>4</b>
<b>2. 主芯片外围电路 PCB 设计指南</b>	<b>4</b>
2.1. 电源相关	4
2.1.1. DCDC	4
2.1.2. AK 芯片 PMU	5
2.1.3. 电源引脚	6
2.2. DDR_VREF	8
2.3. USB 差分信号线	8
2.3.1. 阻抗控制	9
2.3.2. Layout	9
2.4. SPI FLASH	11
2.5. CAMERA	11
2.6. 晶振	12
2.7. MIC 咪头	12
2.8. 显示屏	13
2.8.1. RGB 屏走线	13
2.8.2. MIPI 屏走线	14
<b>3. PHY 设计指南</b>	<b>16</b>
3.1. RMII 设计建议	16
3.2. PHY 设计建议	17
<b>4. 外接 WI-FI 设备设计指南</b>	<b>18</b>
<b>5. ESD 设计指南</b>	<b>18</b>

## 1. 简介

本文档以 AK376xE 芯片的开发板设计为实例，简要说明 AK376xE 系列芯片（以下简称 AK 芯片）PCB 的设计注意事项。

## 2. 主芯片外围电路 PCB 设计指南

### 2.1. 电源相关

#### 2.1.1. DCDC

芯片的 VDDIO\_DDR 和 VDDIO 的电源输入是采用外置 DCDC 电路，如图 2-1 所示。该部分布局及走线如图 2-2 所示，具体建议如下：

- (1) 输入和输出回路短，走线粗（20mil 以上）。
- (2) 输入先经退耦电容再到芯片引脚。
- (3) 输出先经滤波电容再接负载。
- (4) 反馈走线短。
- (5) 功率电感靠近 DCDC 芯片且与之同层。
- (6) 整个模块有完整的地平面相邻以获得更好的纹波性能。

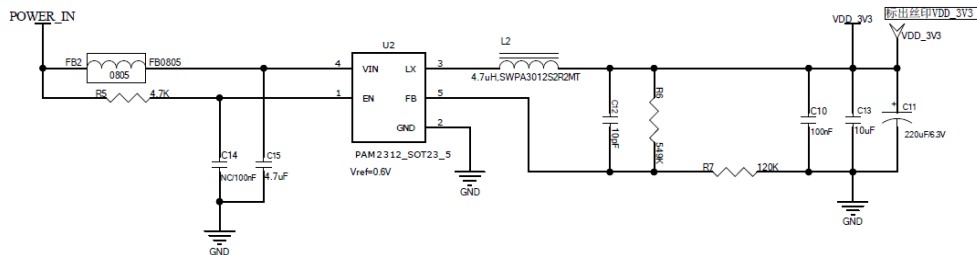


图 2-1 DC-DC 1.8V 电路

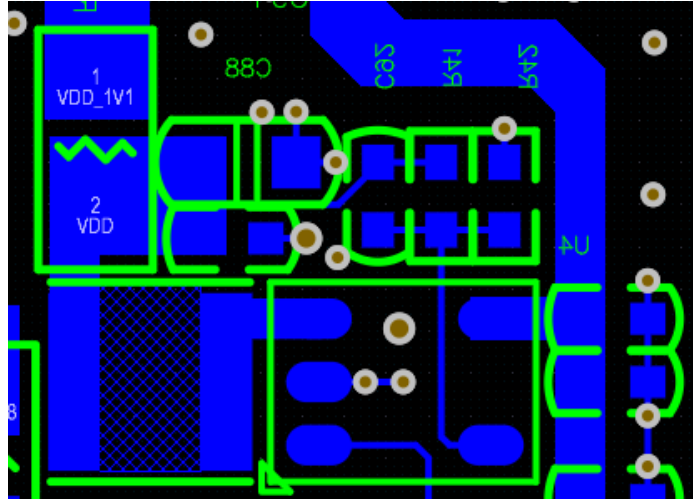


图 2-2 DCDC 布局及走线

### 2.1.2. AK 芯片 PMU

AK 芯片集成一路 DCDC 电路，主要为 Core 供电。电路如图 2-3 所示。PCB 布局及走线如图 2-4 和图 2-5 所示，具体建议如下：

- 1) 输入和输出回路短，走线粗（20mil 以上）。
- 2) 输入先经退耦电容再到芯片引脚，就近原则放在芯片管脚，避免电容远距离放置。
- 3) 输出先经滤波电容再接负载。
- 4) 反馈走线短。
- 5) 功率电感靠近 DCDC 芯片且与之同层。
- 6) 整个模块有完整的地平面相邻以获得更好的纹波性能。

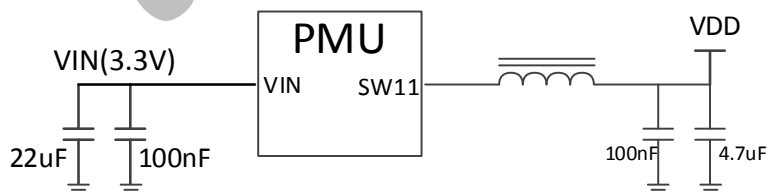


图 2-3 PMU DCDC 电路

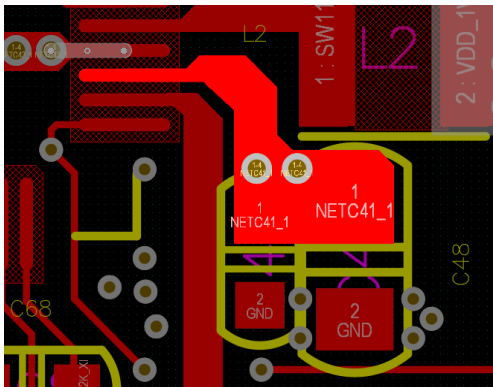


图 2-4 PMU 输入走线布局

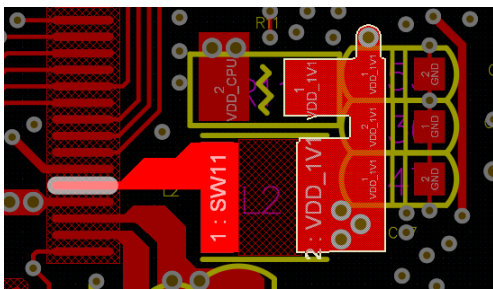


图 2-5 PMU 输出走线布局

### 2.1.3. 电源引脚

AK 芯片电源引脚布局及走线建议具体如下：

AK 芯片每个电源引脚必须配置退耦电容（尽量靠近引脚），如图 2-6 所示。电源走线经过退耦电容到 AK 芯片引脚，保证每个退耦电容和芯片在同一层上。如图 2-7 和图 2-8 所示。

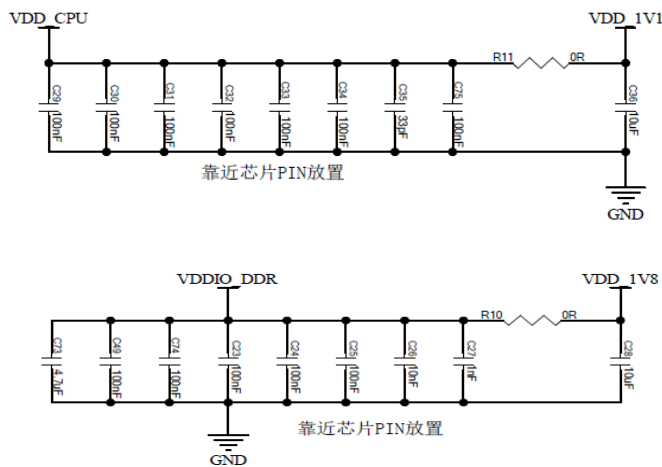


图 2-6 芯片电源引脚退耦电容

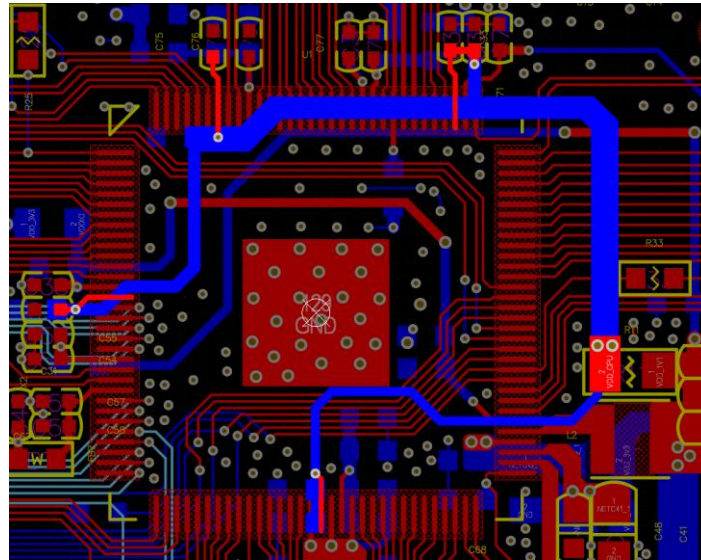


图 2-7 CORE 电源引脚退藕电容布局和走线

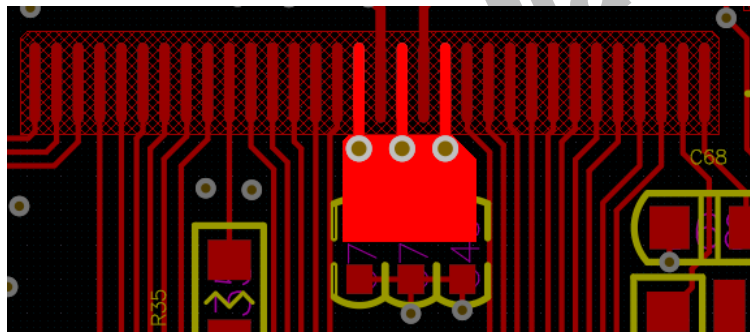


图 2-8 DDR 电源引脚退藕电容布局和走线

#### AVDD\_PLL 的走线和布局要求:

1) VDD 和 AVDD\_PLL 之间增加磁珠或 0Ω 电阻，需配置容值一大一小的 2 个电容和电源滤波器，抑制噪声，

2) 走线粗 12mil 以上。

3) 滤波电容要放置在芯片内部 PMU 输出的 DC-DC (1.1V) 电源电路附近（靠近 DC-DC 电源滤波电容附近），不要放在芯片管脚（AVDD\_PLL，芯片的管脚 Pin21）附近！否则会影响系统的工作稳定性，见图 2-9。



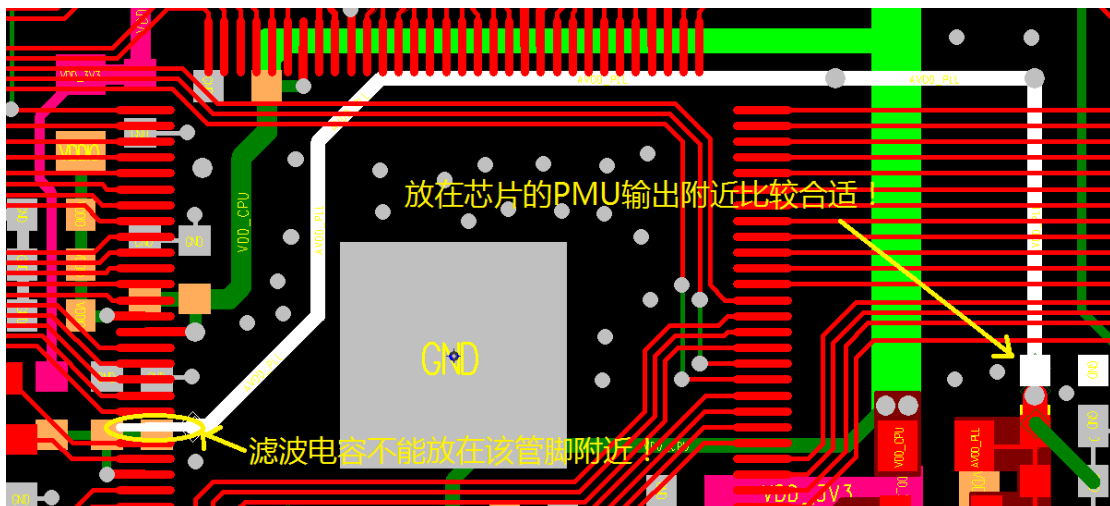


图 2-9 示意图

## 2.2. DDR\_VREF

DDR\_VREF 的分压元器件需尽量靠近芯片对应引脚，且 DDR\_VREF 走线要求短而粗。参考布局走线如图 2-10 所示。

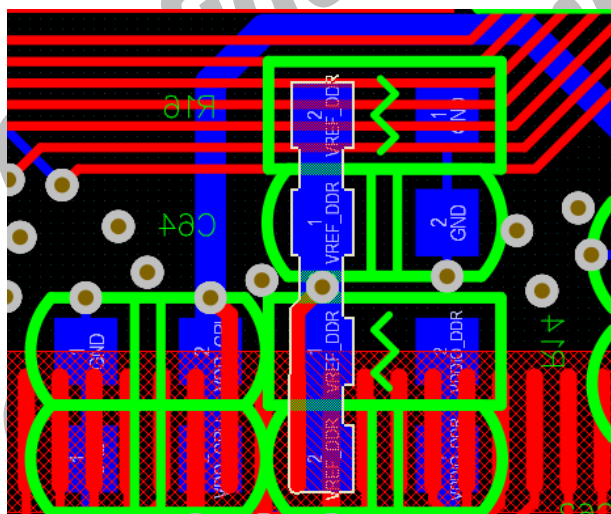


图 2-10 DDR\_VREF 布局走线

## 2.3. USB 差分信号线

USB 是一种高速差分数据传输线，具有较好的抗干扰性。AK 芯片支持 USB2.0 协议，速率高达 480Mbps，故不能按普通数据线的要求进行连接，需按传输线的要求走线。

### 2.3.1. 阻抗控制

传输线走线的重点是阻抗控制，影响走线阻抗的因素主要有：走线的宽度、走线的间距、导线厚度（铜厚）、绝缘介质的介电常数及厚度、布局环境（是否临近地层或电源层）等。上述参数与 PCB 设计和制作息息相关，因此不仅设计时要考虑上述因素，PCB 发包时也需告知 PCB 制作厂家差分线具体位置方便其按要求制作 PCB。

图 2-11 所示为双面 PCB 做包地处理时的差分线层叠结构剖面图。顶层中间 W1-W2 和 G1-G2 为差分信号走线剖面，两侧则分别是包地走线的剖面。

USB 的差分阻抗控制标准是  $90\Omega$ ，误差不能大于  $\pm 10\%$ 。板厚大于 0.6mm 的普通双面板，保证走线线宽为 0.2mm（即  $W1=0.2\text{mm}$ ），差分线间距与包地间距为 0.1mm，（即  $D1=S1=0.1\text{mm}$ ），即可满足要求。也可使用 Si9000 计算差分阻抗，然后根据计算结果走线布局。

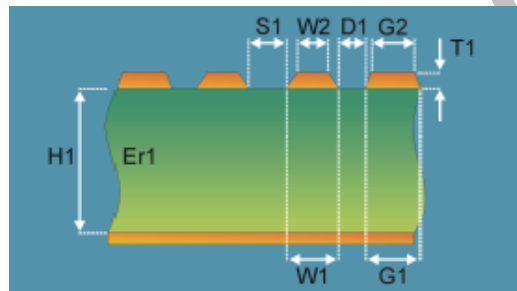


图 2-11 双面板包地差分线的 PCB 层叠结构图

为更好控制阻抗，差分线布局时应注意以下几点：

- 1) 差分线应避免增加磁珠或电容等滤波，否则会严重影响阻抗。
- 2) USB 差分线下端地层应保证完整，否则会造成差分线阻抗不连续，且更易受到外部噪声的影响。
- 3) 差分线应避免放置过孔，否则易造成差分线阻抗失调。若无法避免，建议换层不多于 2 次，过孔尽量小。
- 4) 差分线线间距需保持一致，否则会造成差分线阻抗不连续。

### 2.3.2. Layout

USB 差分走线必须严格按照“平行等长过孔少”的原则。具体走线建议如下：

- 1) 元件布局时，AK 芯片应尽量靠近 USB 插座，缩短差分线走线距离；布线时 ESD 器件需靠近 USB 端子。

- 2) 信号线布局时，应先规划 USB 差分线和其他差分线布线。USB 差分信号线所在的信号层应紧邻接地层。USB\_DM 和 USB\_DP 差分信号线两侧需做包地处理且保证与地之间有最小的回流路径。如果 PCB 空间允许，USB 差分走线对应层的对应位置应确保地平面对称完整。差分线周围的 150 mil 范围内不可布置其他信号线，特别是边沿较陡峭的数字信号线需注意走线时不可影响 USB 差分线。
- 3) 差分线绘制时，应使用 45° 弯角或圆弧弯角代替 90° 弯角。差分线走线需尽量短且等长，长度相差较大时，可绘制蛇行线增加短线长度。测试点直接放置在差分线上，避免短桩走线，应避免如图 2-12 所示布局，推荐的短桩走线如图 2-13 所示。

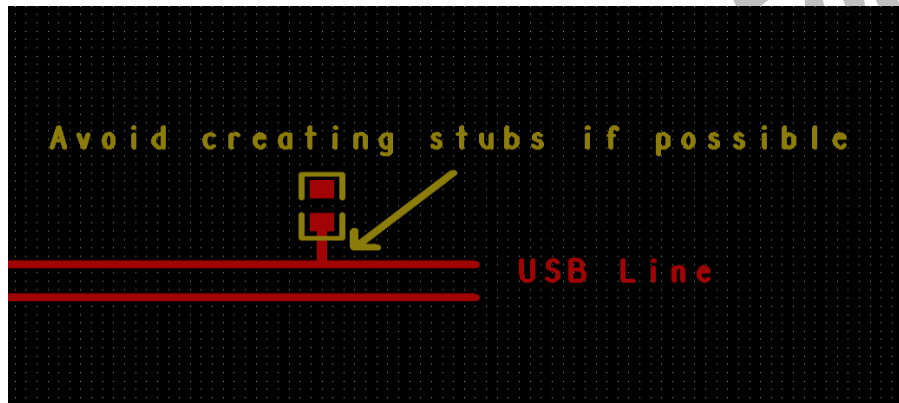


图 2-12 不推荐的短桩走线

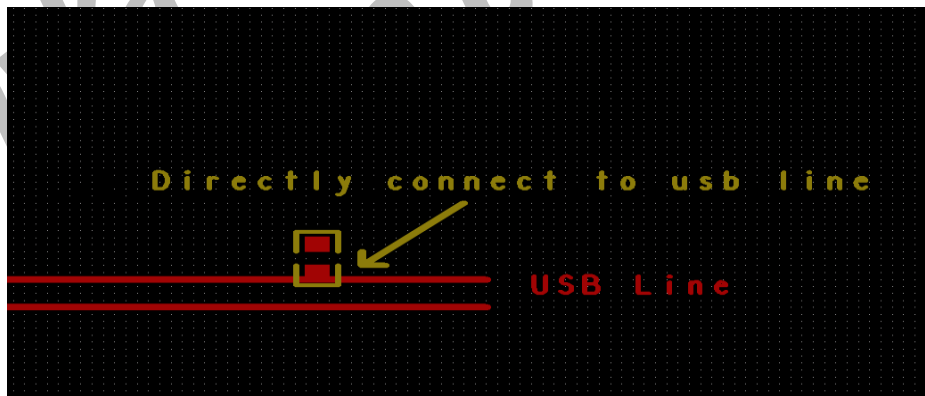


图 2-13 推荐的短桩走线

## 2.4. SPI FLASH

AK 芯片提供 SPI Flash 接口（SPI0）。PCB 布局时，SPI Flash 需尽可能靠近 AK 芯片，数据和时钟走线尽量短，且时钟走线全程包地隔离。SPI0 支持高速，布线时尽量等长，阻抗连续。

## 2.5. CAMERA

CPI 并行走线分为 6 组，包括：

- 电源（CAM\_VDDIO、CAM\_DVDD、CAM\_AVDD）
- I2C（SDA&SCK）
- 同步信号（VIVSYNC&VIHREF）
- 控制命令信号（RST&PWDN）
- 数据线 VIPIEXL（0~7）
- 时钟信号（VIPCLK&VISCLK）

布局走线具体建议如下：

- 1) 组与组之间走线需做包地隔离；
- 2) 数据线等长且为同层走线，每四条数据线之间添加一条隔离地；
- 3) 电源走线需有地跟随；
- 4) CSI\_SCLK、CSI\_PCLK、CSI\_VSYNC 和 CSI\_HREF 信号在 PCB Layout 时要做包地处理，防止干扰。此外，Camera 的插座与芯片连接线的回流路径尽量短，若干个引脚间需设置地线为回流通道，否则会影响 Camera 正常工作。
- 5) 时钟信号需有地跟随，如图 2-14 所示，若条件允许可增加端接电阻抑制 EMI。

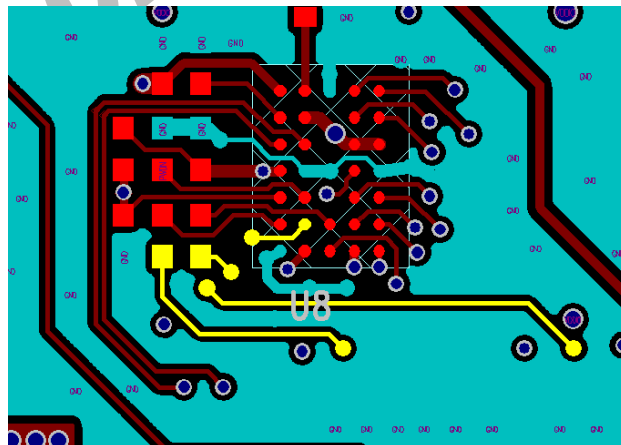


图 2-14 CLK 走线

## 2.6. 晶振

- 1) 晶振和负载电容应尽量靠近 AK 芯片，接地管脚可直接接到主地且避免与附近其它地相连，如图 2-15 所示。
- 2) 走线尽量短。
- 3) 晶振下方有地平面跟随，避免其他信号线干扰。
- 4) 晶振走线需要做包地处理。

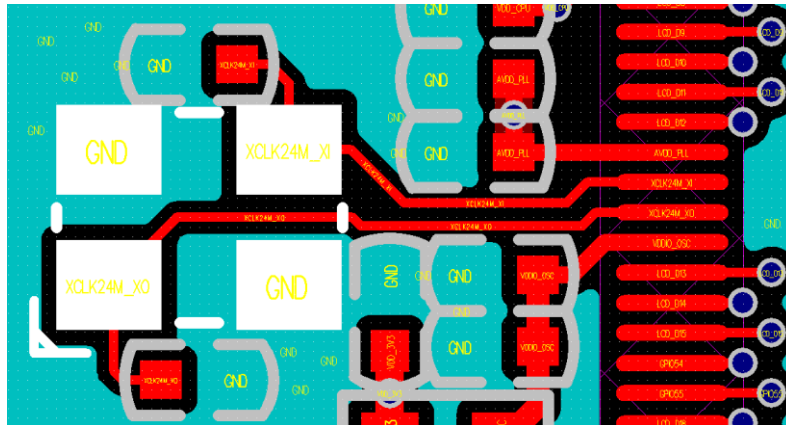


图 2-15 晶振布局

## 2.7. MIC 咪头

咪头是小信号的接收器件，容易受到干扰，布局和走线建议如下：

- 1) MIC 部分的元件需尽量靠近主芯片，如图 2-16 和图 2-17 所示。
- 2) MIC 走线需做包地处理且直接连接对应的芯片引脚。包地需尽量远离大功率器件的回流地，以免影响录音效果。
- 3) MIC 部分背面尽量不要放有强翻转信号和大功率器件，如 PA 和 Wi-Fi 等。

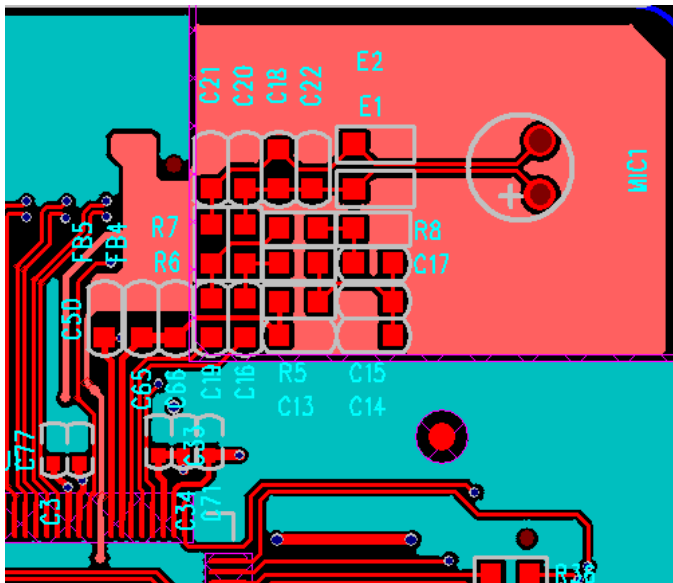


图 2-16 MIC 布线

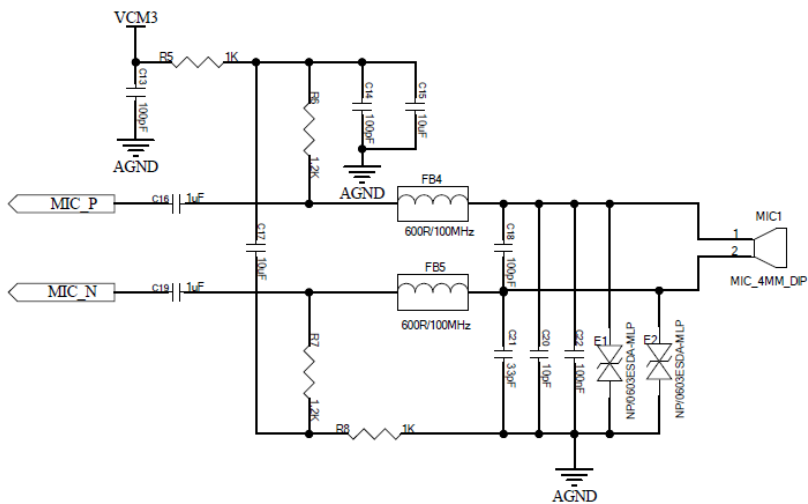


图 2-17 MIC 应用电路

## 2.8. 显示屏

### 2.8.1. RGB 屏走线

RGB 走线分为以下几组：

- 同步信号（VOHSYNC&VOVSYNC）
- 控制命令信号（RST）
- 数据线 RGB（0~23）

- 时钟信号 (PCLK)

布局走线具体建议如下：

- 1) 组与组之间走线需做包地隔离；
- 2) 数据线等长且为同层走线，每四条数据线之间添加一条隔离地；
- 3) 电源走线需有地跟随；
- 4) 时钟信号需有地跟随，若条件允许可增加端接电阻抑制 EMI。
- 5) RGB 信号线需远离干扰源，如图 2-18 所示。在 AK 芯片 PIN 处需注意远离晶振信号，详细可参考核心板的 Layout 图。

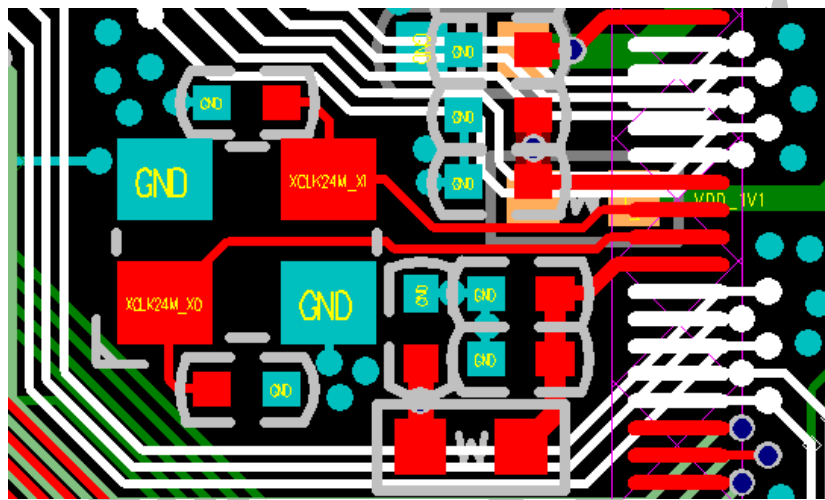


图 2-18 RGB 信号线远离晶振信号图

## 2.8.2. MIPI 屏走线

MIPI 屏走线需做阻抗控制、等长等处理。由于 MIPI 速率比较高（600MHz 左右），建议使用 4 层板绘制，保证地线的连贯性。

### 2.8.2.1. 阻抗控制

MIPI 的差分线阻抗控制标准是 100 欧姆，误差不能大于  $\pm 10\%$ 。如图 2-11 所示，厚度 1.6mm 的双面板为例，根据 Si9000 差分阻抗计算结果，MIPI 差分线走线有以下几种组合：

- W2/G2=6.0mil, D1=4mil, T=1OZ, H1=58mil, Er=4.3, 其阻抗等于 100.92 欧姆。
- W2/G2=8.2mil, D1=5mil, T=1OZ, H1=58mil, Er=4.3, 其阻抗等于 103.55 欧姆。
- W2/G2=12mil, D1=6mil, T=1OZ, H1=58mil, Er=4.3, 其阻抗等于 101.96 欧姆。



### 2.8.2.2. Layout

MIPI 走线具体要求如下：

- 1) 参考层：MIPI 信号线下方一定要有参考层（推荐用地层），最好是有一整片的地层，若无法实现，至少需保证 MIPI 信号线下方的参考层比 MIPI 信号线每边要宽 4W 以上（W 即 MIPI 信号走线宽度）。
- 2) MIPI 线对应确保等长等距以避免数据接收错误。MIPI 线对间的长度误差应小于 10mil，线对与线对间的长度误差应小于 100mil。MIPI 走线等长处理示例如图 2-19 所示。做等长处理时应注意蛇形线不可过于密集，应保证 4 倍线宽，如图 2-20 所示。

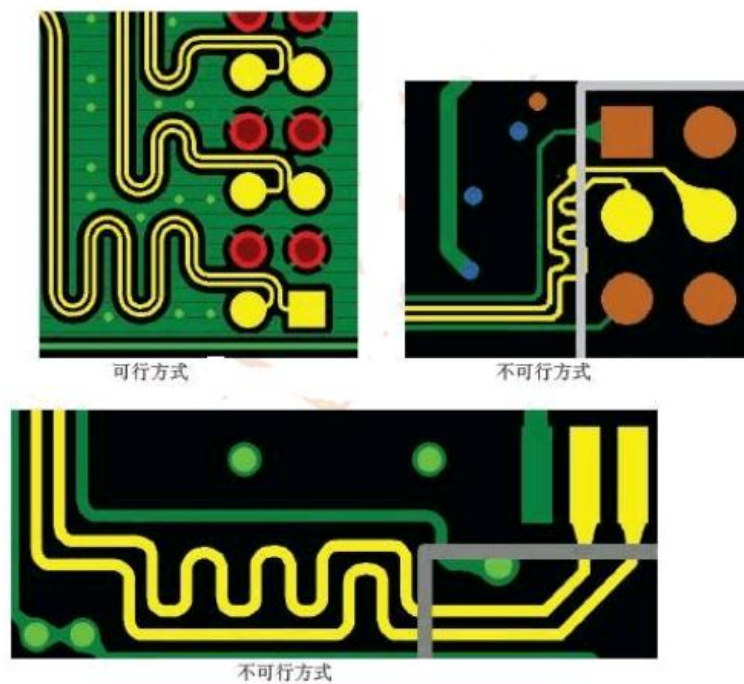


图 2-19 MIPI 走线等长处理示例



图 2-20 蛇形线间距示例

- 3) MIPI 线对间需间隔 2 倍线宽以上，MIPI 信号线与其它高速信号（如并行数据线，时钟线等）需至少间隔 3 倍线宽且不能平行走线，远离开关电源等干扰源。



- 4) MIPI 信号线尽量避免过孔，如有，则为保持对称性，该对信号线都需配置过孔。  
信号线换层后参考层需相应的打孔换层。

### 3. PHY 设计指南

AK 芯片的 MAC 模块支持两个符合 Ethernet 802.3 规范的 RMII 接口，可以外接 PHY 芯片实现网络通讯。

#### 3.1. RMII 设计建议

RMII 接口布局走线建议具体如下：

- 1) AK 芯片向外挂的 PHY 芯片提供 50MHz 时钟。此信号容易受干扰，需在靠近 AK 芯片的管脚处放置一个 33R 端接电阻，如图 3-1 所示。
- 2) RMII 信号线布局时需对地做 50 欧姆（ $\pm 10\%$ ）阻抗控制。
- 3) 信号线需做等长处理且有完整的地平面跟随。信号线周围需包地处理，远离电源和晶振等强干扰源，走线示例图如图 3-2 所示。
- 4) RMII 信号线需放置端接电阻抑制 EMI。其中 RMII\_RXER、RMII\_RXDV、RMII\_RXD0 和 RMII\_RXD1 需靠近 PHY 管脚端；RMII\_TXEN、RMII\_TXD0 和 RMII\_TXD1 需靠近 AK 芯片管脚端。

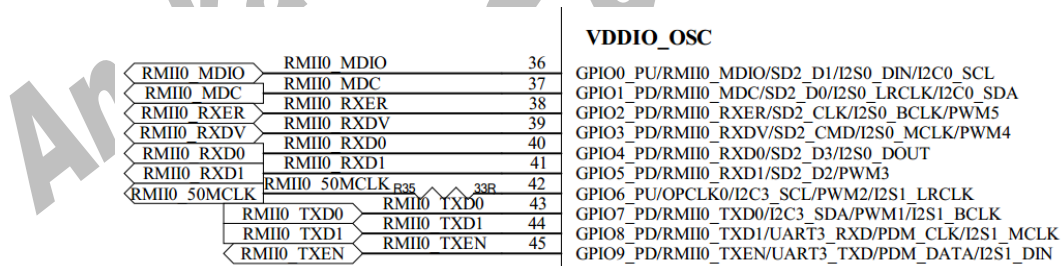


图 3-1 RMII 50M 时钟连接

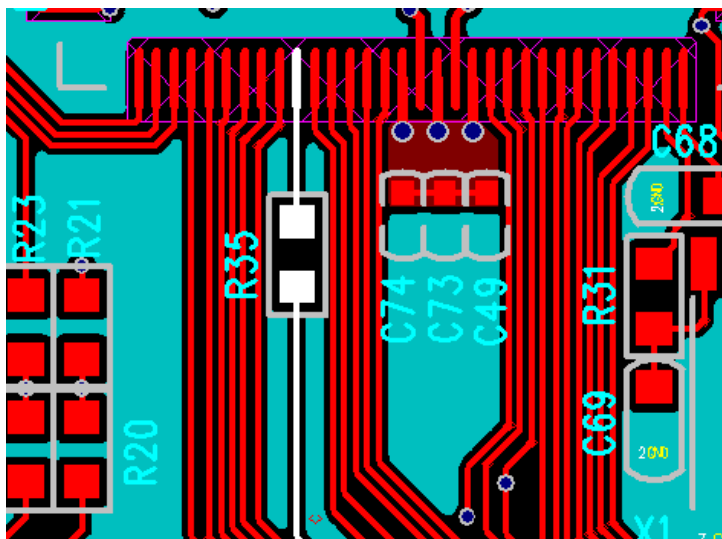


图 3-2 RMII 50M 时钟走线

### 3.2. PHY 设计建议

#### 1) PHY 芯片到 AK 芯片端布线时需注意：

- 信号线等长且有地线跟随。
- 建议做线间屏蔽处理。如通过插接件连接，建议保留和信号线同等数量的地线。
- PHY 芯片与 AK 芯片间保留串联电阻，避免电磁干扰。
- OPCLK 布线时满足 50Ω 阻抗匹配。

#### 2) PHY 芯片到网线端布线时需注意：

- 按差分线布线要求，需满足 100Ω 阻抗匹配。另外布线长度差小于 100mil（最大不得超过 200mil）。
- 尽量缩短 PHY 芯片到网线插座的距离。
- 网线接口和变压器一侧的地一般处于浮地状态，即通过电容连接到内部电路板的地，不可直接耦合。PHY 芯片作为模拟芯片使用，建议分割为独立的模拟地勿和 AK 芯片的音频部分共地，避免互相干扰。

**说明：有线网卡的设计请参考对应的网卡设计指南。**

## 4. 外接 Wi-Fi 设备设计指南

为 Wi-Fi 供电的 DC-DC 输入管脚需尽量靠近电池。若因结构限制无法实现，则电池到 DC-DC 输入管脚走线的宽度需大于 20mil；DC-DC 的输出管脚需靠近 Wi-Fi 的电源引脚，走线宽度至少为 20mil。

## 5. ESD 设计指南

- 1) I/O 连接座的接地脚需就近连接到主地，电源走线避免穿过连接座垂直下方各层。
- 2) PCB 四周保证足够的铺地面积和 GND，便于后期 ESD 处理时释放足够大的空间。
- 3) ESD 器件需靠近接口且 ESD 器件的地就近连接到主地。从外部连接器上传输过来的信号先经过 ESD 器件，再到被保护芯片。