



版本: 1.0.3 2022 年 3 月

## AK376xE 硬件设计指南

## 声 明

本手册的版权归广州安凯微电子股份有限公司所有，受相关法律法规的保护。未经广州安凯微电子股份有限公司的事先书面许可，任何人不得复制、传播本手册的内容。

本手册所涉及的知识产权归属广州安凯微电子股份有限公司所有（或经合作商授权许可使用），任何人不得侵犯。

本手册不对包括但不限于下列事项担保：适销性、特殊用途的适用性；实施该用途不会侵害第三方的知识产权等权利。

广州安凯微电子股份有限公司不对由使用本手册或执行本手册内容而带来的任何损害负责。

本手册是按当前的状态提供参考，随附产品或本书内容如有更改，恕不另行通知。

## 联 系 方 式

广州安凯微电子股份有限公司

地址：广州市黄埔区知识城博文路 107 号安凯微电子 H 大厦

电话: (86)-20-3221 9000

传真: (86)-20-3221 9258

邮编: 510663

销售热线:

(86)-20-3221 9499

电子邮箱:

[sales@anyka.com](mailto:sales@anyka.com)

主页:

<http://www.anyka.com>

## 版本变更说明

以下表格对于本文档的版本变更做一个简要的说明。版本变更仅限于技术内容的变更，不包括版式、格式、句法等的变更。

版本	说明	完成日期
V1.0.0	首次发布	2021 年 7 月
V1.0.1	增加 ETHERNET MAC 的注意事项	2021 年 9 月
V1.0.2	修正图 2-20 RGB 显示屏接口示意图	2021 年 10 月
V1.0.3	增加 AVDD_PLL 的滤波电容布局要求	2022 年 3 月

## 目录

1	文档简介 .....	5
2	各模块电路设计指南 .....	5
2.1	时钟发生电路 .....	5
2.1.1	24MHz 晶振电路 .....	5
2.1.2	32.768KHz 晶振电路 .....	6
2.1.3	VDDIO_OSC .....	6
2.2	系统复位 .....	6
2.3	PMU .....	7
2.3.1	PMU 内部结构 .....	7
2.3.2	电压范围参数 .....	9
2.4	系统模块电源管脚 .....	9
2.4.1	AVDD_PLL .....	9
2.4.2	VDDIO_DDR 和 VREF_DDR .....	9
2.5	芯片上下电时序 .....	10
2.6	RTC .....	12
2.7	模拟模块 .....	12
2.7.1	模拟电路电源管脚 .....	12
2.7.2	音频接口 .....	12
2.7.3	SAR ADC 接口 .....	15
2.8	SPI .....	15
2.8.1	SPI0 .....	15
2.8.2	SPI1 和 SPI2 .....	15
2.9	CAMERA .....	16
2.10	USB 接口 .....	17
2.11	I2C .....	17
2.12	MMC/SDIO/SD .....	17
2.12.1	TF 卡 .....	18
2.12.2	SDIO .....	19
2.13	显示屏接口 .....	19
2.13.1	LCD 电源开关电路 .....	20
2.13.2	MIPI 显示屏接口 .....	20
2.13.3	MIPI 显示屏电源管脚 .....	21
2.13.4	RGB 显示屏接口 .....	21
2.13.5	MPU 显示屏接口 .....	23

2.13.6 RGB/MPU 显示屏电源管脚.....	23
2.14 UART .....	24
2.15 ETHERNET MAC .....	25
2.15.1 RMII 接口.....	25
2.15.2 电路设计注意事项.....	25
2.15.3 走线注意事项.....	26
2.16 外接 Wi-Fi 设备注意事项 .....	26
2.17 GPIO.....	26
2.17.1 GPI .....	26
2.17.2 不可配置 GPIO.....	27
2.17.3 可配置 GPIO.....	27

Anyka Confidential For  
CIMC Use Only

## 1 文档简介

本文档以 AK376xE 芯片的开发板设计为实例，介绍 AK376xE 系列芯片（简称为“AK 芯片”，下同）系统平台解决方案以及芯片的各功能单元设计注意事项。

## 2 各模块电路设计指南

### 2.1 时钟发生电路

AK 芯片存在两个时钟发生电路：32.768KHz 时钟发生电路和 24MHz 时钟发生电路。

- 1) 32.768KHz 时钟发生电路产生实时时钟（RTC）的同步时钟信号，支持实时时钟计时和万年历计算功能。
- 2) 24MHz 时钟发生电路产生芯片工作时钟。

具体的系统时钟关系图可参考芯片对应的 Specification 文档。

晶振选型需**注意**：

- 24MHz 晶振和 32.768KHz 晶振的频率误差不大于  $\pm 20\text{ppm}$ 。
- 芯片内部已集成 24MHz 晶振负载电容，无需外配电容仅保留位置即可。

#### 2.1.1 24MHz 晶振电路

24MHz 晶振电路（晶振负载电容  $CL=10\text{pF}$ ），如图 2-1 所示。

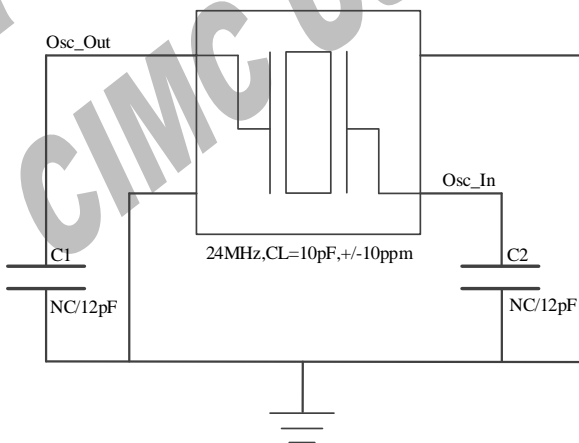


图 2-1 24MHz 晶振电路

设计时需**注意**：

- 1) 芯片内部已集成的 24MHz 晶振负载电容的范围为  $6\text{pF} \sim 14\text{pF}$ 。该电容值需根据实际情况配置，具体请参考 *AK3760E Programmer's Guide* 文档。

- 2) 负载电容可根据公式  $CL=C+CS$  计算得出，需根据晶振的 CL 选择电容。
- 3) 推荐使用的晶振型号：扬兴科技 X322524MMB4SI。

### 2.1.2 32.768KHz 晶振电路

32.768KHz 晶振电路（晶振负载电容  $CL=12.5pF$ ），参考电路如图 2-2 所示。

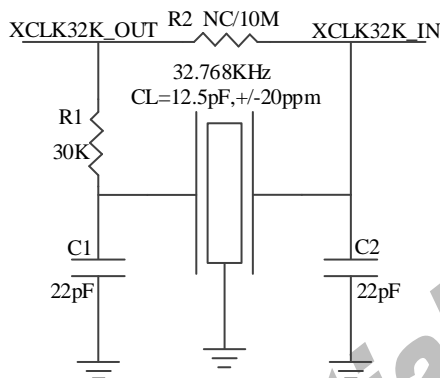


图 2-2 32.768KHz 晶振电路

注意：

- 1) R2 电阻可去掉，建议预留位置。
- 2) 对于 RTC 精度要求高的应用，芯片 core 请使用外部独立的 DCDC 供电。RTC 时钟源与芯片 core 供电方式推荐采用以下几种组合：①无源晶振+外部 DCDC 供电；②内部 RC+网络时钟+内部 DCDC；③有源晶振+内部 DCDC。

### 2.1.3 VDDIO\_OSC

VDDIO\_OSC 管脚使用 3.3V 供电，可以与 VDDIO 共电源。两个电源管脚之间建议使用磁珠或  $0\Omega$  电阻隔离。

## 2.2 系统复位

AK 芯片的 VCM\_RESET 脚是系统复位控制管脚，电平拉高后会将芯片内除 RTC 外的所有模块重置为预定义的复位状态。VCM\_RESET 同时还是 VCM2 的电源输出脚，电路上需外接一个  $4.7\mu F$  的电容到地，电路如图 2-3 图示。

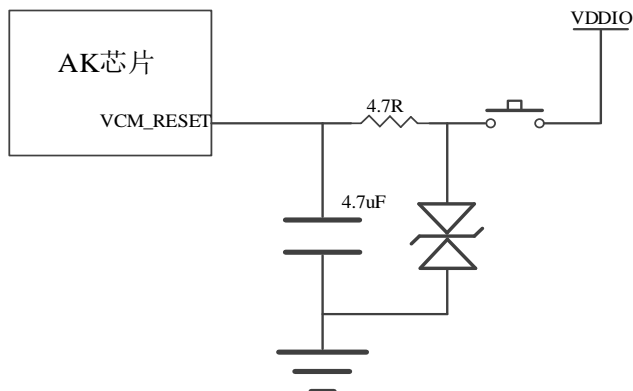


图 2-3 AK 芯片复位电路图

## 2.3 PMU

### 2.3.1 PMU 内部结构

AK 芯片内部集成 PMU 模块主要为 CORE 供电，对应的输出为 SW11。如图 2-4 所示，SW11 的反馈电路引脚集成在 VDD 的输入脚上。电压需内部寄存器配置，具体请参考 *AK3760E Programmer's Guide* 文档的 3.4.3 章节。

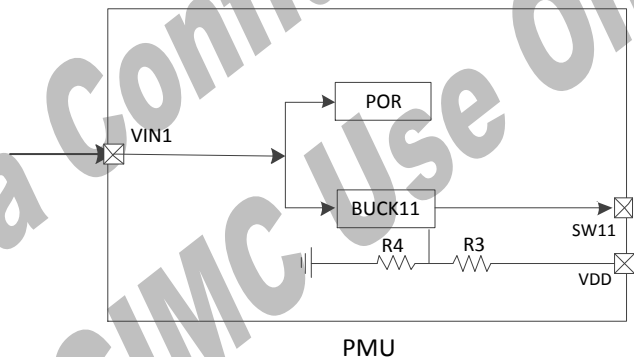


图 2-4 PMU 供电结构

#### 注意：

- 1) 电源输出需满足上电时序要求，具体请参考 2.5 章节芯片上下电时序。
- 2) PMU 模块内部集成监控电路，支持芯片掉电复位及上电复位释放。具体阈值分为 3 档：2.55V、2.65V（默认）和 2.75V。如需修改配置请参考 *AK3760E Programmer's Guide* 文档的 3.4.3 章节。



### 2.3.1.1 PMU 输入电路

VIN1 是 AK 芯片 PMU 的电源输入引脚，设计电路时需在 VIN1 管脚处放置一组滤波电容（推荐组合为 22uF 和 100nF）。如图 2-5 所示。

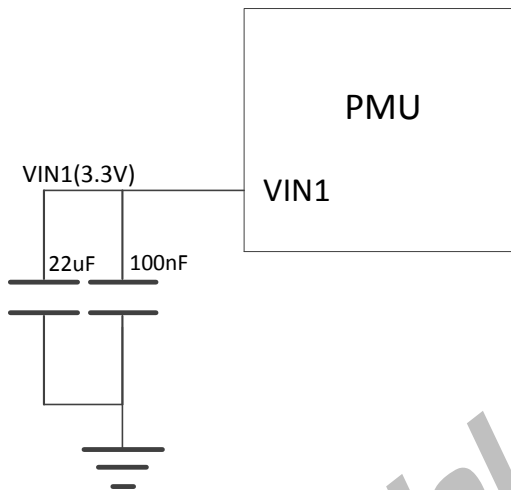


图 2-5 PMU 输入参考电路

注意事项：

- 1) VIN1 的输入走线需要 12mil 以上。
- 2) 电容尽量靠近 AK 芯片管脚。

### 2.3.1.2 PMU 输出电路

AK 芯片的 PMU 模块集成一个 DC-DC 电路，输出的 SW11（输出范围[0.9V~1.3V]）需与外部电感电容器件形成降压电路。建议采用电感 4.7uH 和电容 10uF 和 100nF 的组合，如图 2-6 所示。

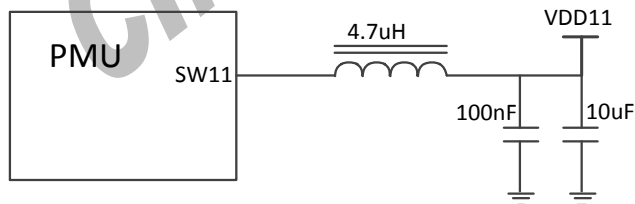


图 2-6 PMU 输出参考电路

注意：

- 1) 电感电容需紧邻放置且靠近 AK 芯片管脚。
- 2) 走线线宽保持 12mil 以上。

3) BUCK 电路中的 FB 引脚在 AK 芯片输入脚 VDD 上，因此需确保电流回路足够短。

### 2.3.2 电压范围参数

表 2-1 为 AK 芯片的 PMU 模块电压范围参数。

表 2-1 电压范围

序号	名称	功能说明	输入电压范围 (V)			输出电压范围 (V)			输出电流 (mA)
			MIN	TYP	MAX	MIN	TYP	MAX	Avg
1	VIN1	输入电源	3.2	3.6	3.75	-	-	-	-
2	SW11	输出电源	-	-	-	0.9	1.1	1.3	350

## 2.4 系统模块电源管脚

### 2.4.1 AVDD\_PLL

AVDD\_PLL 管脚电压要求较高，建议采用外置 LDO 电路供电。若无法实现，可以使用内部 VDD 供电，VDD 和 AVDD\_PLL 之间需增加磁珠或  $0\Omega$  电阻，并配置一大一小 2 个电容（推荐使用 100nF 和 4.7uF（或 10uF）的电容），该滤波电容要放置在芯片内部 PMU 输出的 DC-DC（1.1V）电源附近，不要放在芯片管脚（AVDD\_PLL，芯片的管脚 Pin21）附近！否则会影响系统的工作稳定性！

**注意：请勿使用电感等压降大的器件。**

### 2.4.2 VDDIO\_DDR 和 VREF\_DDR

VDDIO\_DDR/VREF\_DDR 管脚给芯片的内存供电。VDDIO\_DDR 的管脚集中，布线时很难确保每个引脚都配置退耦电容，因此相邻的两个引脚可使用同一个退耦电容。

VREF\_DDR 可使用电阻分压电路，如图 2-7 所示。

设计时需注意：

- 1) R4、R8 处电阻精度需 $\leq 1\%$ ；
- 2) PCB 布局时，C32、C34、R4 和 R8 需靠近芯片引脚；
- 3) DDR2 需保证最低 1.70V~1.90V 的稳定电源。

4) VREF\_DDR 管脚必须严格按照 DDR2 相关要求，提供精密跟踪（需使用精度为 1% 的分压电阻）。

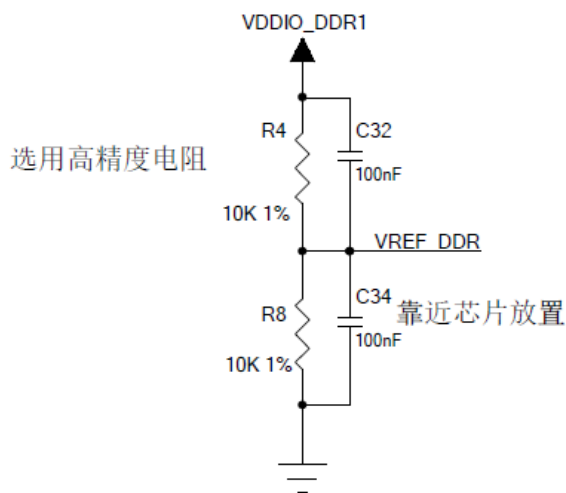


图 2-7 VREF\_DDR 供电电路

## 2.5 芯片上下电时序

AK 芯片建议采用图 2-8 和图 2-9 所示的上下电时序。

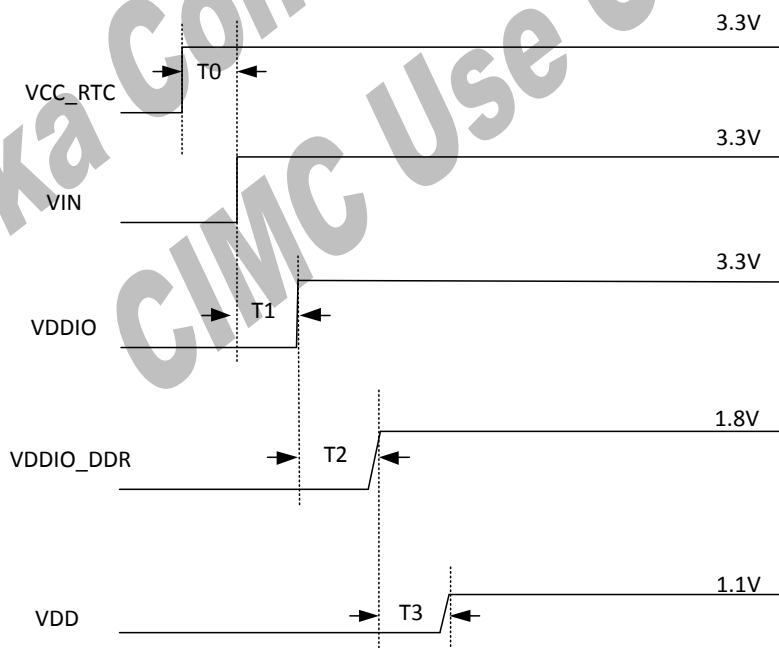


图 2-8 上电时序

说明： $T_0 \geq 0\text{ms}$ ， $T_1 = T_2 = 0\text{ms}$ ， $30\text{ms} \geq T_3 > 0\text{ms}$ 。

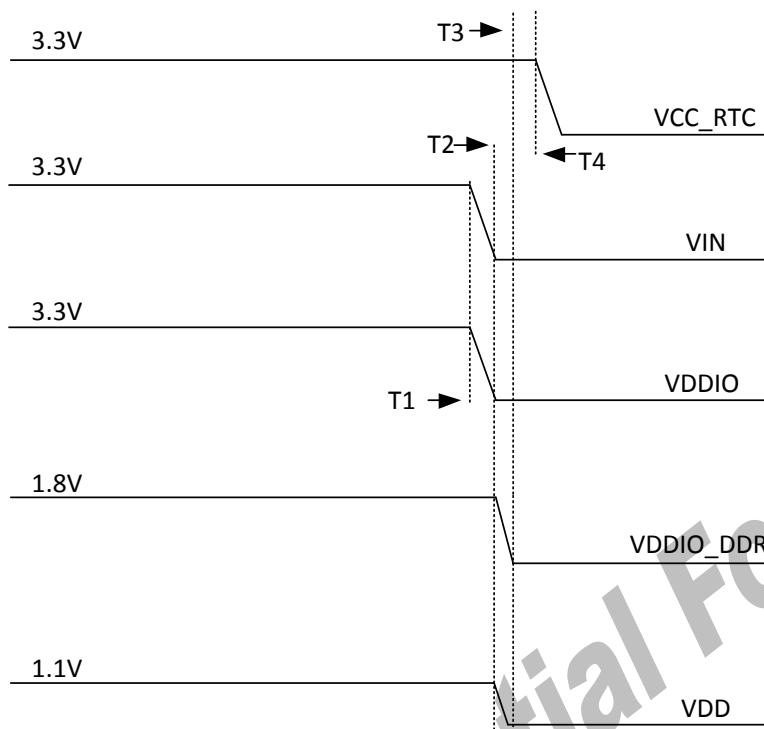


图 2-9 掉电时序

说明：  $T2-T1 \geq 5\text{ms}$ 。

设计时芯片的每个电源管脚建议都配置一个退耦电容。布线时退耦电容尽量靠近引脚，电源走线先经过退耦电容再到芯片管脚。AK 芯片的电源管脚及对应的电压范围如表 2-2 所示。**注意：**不同封装电源管脚会有细微差别，具体请参考芯片对应的 Specification 文档。

表 2-2 芯片电源管脚统计

序号	名称	说明	电压范围 (V)	类型	重要程度
1	VDD	芯片数字电源	1.00~1.25	输入	必须
2	AVDD_PLL	PLL 电源	1.00~1.25	输入	必须
3	VDDIO_DDR	内存电源	1.70~1.90	输入	必须
4	VREF_DDR	内存参考电压	VDDIO_DDR2	输入	必须
5	VDDIO	部分 IO 电压	2.97~3.63	输入	必须
6	VDDIO_OSC	晶振和 RMIIO 电源	2.97~3.63	输入	必须
7	AVDD/VCM3	音频模拟电源（内部集成）	3.00	输出	必须
8	VCM_RESET	音频参考电源（内部集成）	1.50	输出	必须
9	VCC_RTC	RTC 电源	2.97~3.63	输入	必须
10	VDDIO_CSI0	部分 IO 和摄像头数据线电源	2.97~3.63	输入	可选

序号	名称	说明	电压范围 (V)	类型	重要程度
11	AVCC33_MIPIDSI	MIPI 显示 PHY 电源和模拟电源	2.97~3.63	输入	必须
12	AVCC11_MIPIDSI	MIPI 显示 PHY 电源	1.14~1.26	输出	可选

## 2.6 RTC

RTC 时钟源可采用外部 32.768KHz 晶振或内部 RC 振荡电路。在系统处于关机模式时，RTC 通过备用电池或者其他电源给 VCC\_RTC 供电。

### 设计注意事项：

- 1) 为确保 RTC 电路稳定，外接 RTC 电源必须足够稳定，布线时须远离高干扰源（包括交流电源和数字电源）。
- 2) 无线应用中为确保 RTC 正常工作，设计时 RTC 电源需注意屏蔽射频干扰。
- 3) VCC\_RTC 必须满足电源上电时序要求。
- 4) VCC\_RTC 必须经过二极管或磁珠接入到电源系统中。

## 2.7 模拟模块

### 2.7.1 模拟电路电源管脚

芯片模拟电路电源管脚包括 AVCC33\_MIPIDSI、VCM2 和 VCM3。

- 1) AVCC33\_MIPIDSI 是模拟部分的电源管脚，电压要求较高，建议采用外置 LDO 电路供电。若无法实现，可采用内部 VDDIO 电源，两个电源管脚之间建议使用磁珠或 0Ω 电阻隔离。
- 2) VCM2 为芯片模拟电路的基准电压，幅值为 1.5V，需外接 4.7uF 的电容。
- 3) VCM3 为芯片模拟电路的电源，幅值为 3.0V，需外接 4.7uF 或 10uF 的电容。

### 2.7.2 音频接口

AK 芯片的音频接口支持 MIC 和 Headphone 功能。

#### 2.7.2.1 MIC

MIC 用于声音采集，为保证音频输入质量需注意：

1) MIC 建议使用 VCM3 的电压。MIC 的地需连接到 AK 芯片的 AGND 上，使用单点接地的方式在 AK 芯片的 ePAD 处与 GND 相连。此外 MIC\_P 和 MIC\_N 走线需要有模拟地跟随。如图 2-10 所示。

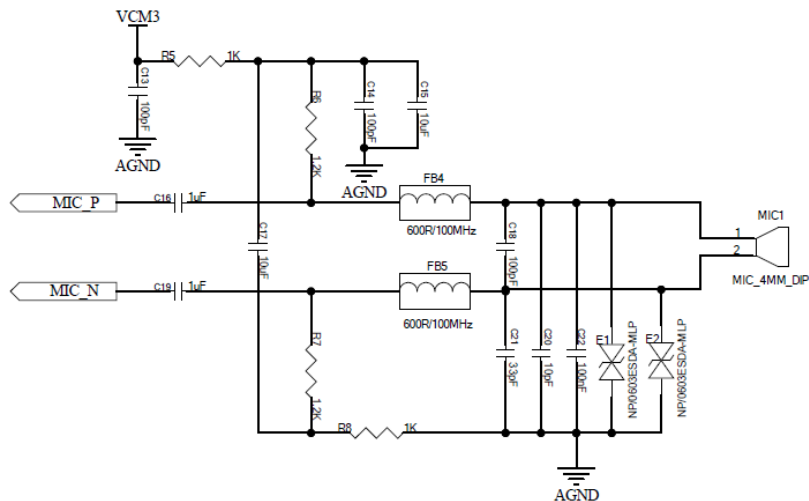


图 2-10 MIC 电路

2) 从成本角度来说，推荐采用引线式模拟单端 MIC。MIC 器件选型指标推荐如下：

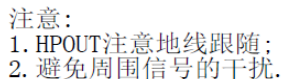
- SNR(信噪比):  $\geq 58\text{dB}$ ，信噪比  $\geq 62\text{dB}$  的 MIC 效果理想；
- Sensitivity(灵敏度):  $-32\text{dB}$  至  $-38\text{dB}$ ；
- 建议选用全向型 MIC。

3) MIC 器件的结构设计时需注意：

- MIC 需有单独的音腔设计，直径为 6mm/4mm 的 MIC 器件均需外带防震橡胶套。理论上，胶套越厚防震效果越好，胶套壁厚度为 1.5mm 即可；MIC 音腔结构设计时需满足此要求。
- MIC 朝向与喇叭尽量相反。也可垂直分布，但二者之间的角度和距离要保证声音信号耦合尽量小；

### 2.7.2.2 HPOUT

HPOUT 用于声音输出，如果使用喇叭输出则需增加 PA 器件。PA 控制电路如图 2-8 所示。采用 PA 输出时需使用 IO 口对 PA 使能管脚做开关控制，具体电路如图 2-11 所示。



**需注意**选用的 GPIO 口的默认电平值，若选用的 GPIO 口默认为高电平，则需对 PA 的使能电路做处理，避免上电时出现噼啪音。

2) 失真度曲线 THD+N: 当输出功率达到 70% 时, 失真度为 0.5% 的 PA 基本满足要求, 失真度为 0.15% 时效果最佳。

若考虑成本，在实测效果满意的前提下，可以适当放宽要求；推荐使用自带音腔的喇叭。

## 2.7.3 SAR ADC 接口

AK 芯片支持 1 个 SAR ADC 接口：AIN0。

注意：SAR ADC 电压输入范围为 0V~3.3V，默认为 0~3.0V。

## 2.8 SPI

AK 芯片支持 3 个 SPI 接口：SPI0、SPI1 和 SPI2。

### 2.8.1 SPI0

AK 芯片的 SPI0 接口为启动程序接口，速度可达 125MHz。SPI0 连接 Flash 时支持一线和四线双向通信模式，示意图如图 2-12 所示。推荐使用 4 线模式，进一步提高整体通信速率。

电路设计时需注意：

- 1) SPI0 只支持主模式，不支持从模式。
- 2) SPI0 支持 Flash 硬件复位，因此 SPI0\_HOLD 要连接到 Flash 芯片上。
- 3) SPI0 连接程序启动 Flash，勿作他用。
- 4) SPI0 接口的两根数据线对接必须符合 MOSI 和 MISO 的对接关系。
- 5) 若 SPI 应用的时钟高于 25MHz，可考虑端接设计保证 SPI 信号完整。
- 6) SPI0 接双 Flash 应用时系统默认 SPI0\_CS0 先启动。

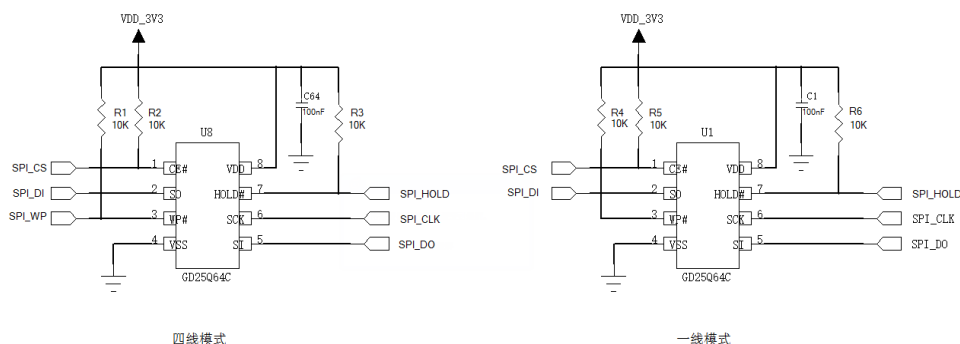


图 2-12 SPI Flash 一线、四线模式电路示意图

### 2.8.2 SPI1 和 SPI2

AK 芯片的 SPI1/SPI2 接口为普通 SPI 接口，电路设计时需注意

- 1) SPI1 和 SPI2 支持主从模式。



2) SPI1 和 SPI2 与多个管脚复用，使用时要按管脚排列的顺序分组使用。

## 2.9 Camera

AK 芯片的 Camera 管脚接口仅支持 CPI 接口（又称 DVP 接口）是一种并行接口。AK 芯片支持 8 位数据线传输。CPI 接口的信号线如图 2-13 所示。

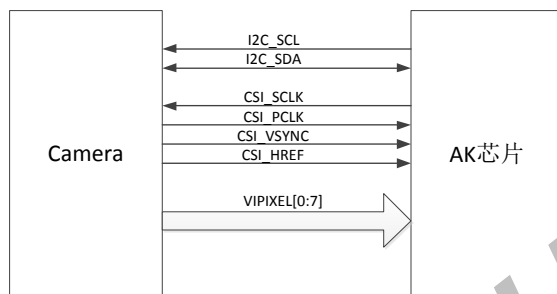


图 2-13 CPI 接口示意图

### 注意：

- 1) AK 芯片不支持 ISP 功能，Sensor 选型需注意使用带 ISP 功能的 Sensor。
- 2) 需由 CSI\_SCLK 为 Camera Sensor 提供工作时钟，I2C 初始化才能正常进行。
- 3) 根据所使用的 CMOS Sensor 正确配置 RESET 和 PWDN 控制信号。
- 4) 布线时必须与高干扰设备隔离，否则会出现噪点。
- 5) 芯片支持 IO 电压为 1.8~3.3V Sensor，若电路环境恶劣或摄像头本身时序不协调，均会影响 CSI\_PCLK、CSI\_VSYNC、CSI\_HSYNC 和数据的测距时序，造成数据采集出错。若出现上述问题，可通过在 CSI\_PCLK 上并联一个小电容解决（PCB 版上该电容需靠近 sensor 端，默认不贴片），如图 2-14 所示。

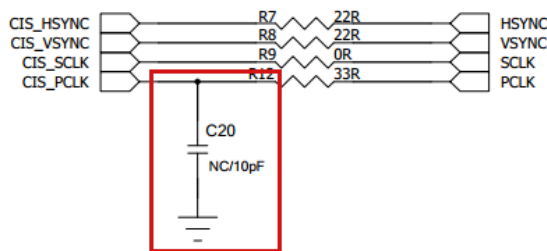


图 2-14 CSI\_PCLK 并联电容

## 2.10 USB 接口

AK 芯片支持一个 USB2.0 接口，可工作在 Device/Host 模式。设计时建议留出此端口用于程序下载。如需调试其他设备，建议使用电阻断开与其他设备的连接，避免下载程序时出现 USB 通讯错误。

USB 原理图设计较为简单，只需注意 DP、DM 线序对应即可。由于芯片 USB 的 ESD 性能不足，需在设计时增加 ESD 保护器件。

### ESD 器件选型注意事项：

- 1) USB\_DM 和 USB\_DP 信号线上的 ESD 器件的寄生电容需小于 3pF。
- 2) 为提高 USB 接口的抗 ESD 性能，USB 的端子外壳可通过配置一个磁珠或小电感做接地处理，也可在 USB\_DM 和 USB\_DP 信号线上串连共模抑制电感。

## 2.11 I2C

AK 芯片支持 4 路 I2C 接口。需**注意**：

- 1) I2C 接口仅支持主模式。
- 2) 使用相邻的管脚组合。
- 3) 外围硬件上拉电阻为 4.7KΩ~10KΩ。

## 2.12 MMC/SDIO/SD

AK 芯片支持的“MMC/SDIO/SD 接口”个数为 3。支持 MMC 4.2、SDIO2.0 和 SD2.0 协议。

### 注意：

- 1) 管脚 GPIO18\_PD/SPI1\_SCLK/SD1\_CLK 和管脚 GPIO2\_PD/RMII0\_RXER/SD2\_CLK/I2S0\_BCLK/PWM5 默认为下拉电阻，此管脚做插卡检测时需要先关闭下拉功能，并外加一个 10KΩ 上拉电阻。
- 2) 仅 SD0 支持 MMC 协议，可工作在 1 线、4 线和 8 线模式。
- 3) 所有 SD 接口都支持 SD 协议和 SDIO 协议，可工作在 1 线和 4 线模式。
- 4) SD 与多个管脚复用时，需使用相邻的组合。
- 5) 建议使用 SD1 外接 TF 卡。
- 6) SD2 有两组接口，分别与 GPIO0~GPIO5 和 GPIO58~GPIO63 复用。其中与 GPIO0~GPIO5 复用的 SD2 接口在使用时需要外挂上拉电阻，**请勿使用**该组接口作为

SDIO 相关功能。

### 2.12.1 TF 卡

TF 卡可支持 1 线和 4 线模式，参考电路如图 2-15 所示。

电路设计时需注意：

- 1) SD\_DET 管脚用于 TF 卡检测。IO 管脚充足时，建议单独使用其他 IO 口做插卡检测。IO 管脚紧张时，可使用 SD\_CLK 实现这一功能。此时只需在 SD\_DET 和 SD\_CLK 之间串接一个 1K 的电阻。注意 SD\_CLK 上下拉的影响，建议关闭内部上下拉。
- 2) SD\_CMD 和 SD\_D0~D3 需支持上拉功能，设计时需注意芯片内部是否支持上拉功能，否则需要外部做上拉处理。
- 3) TF 卡质量参差不齐，建议通过软件控制 TF 卡上下电。TF 上电控制电路如图 2-16 所示。

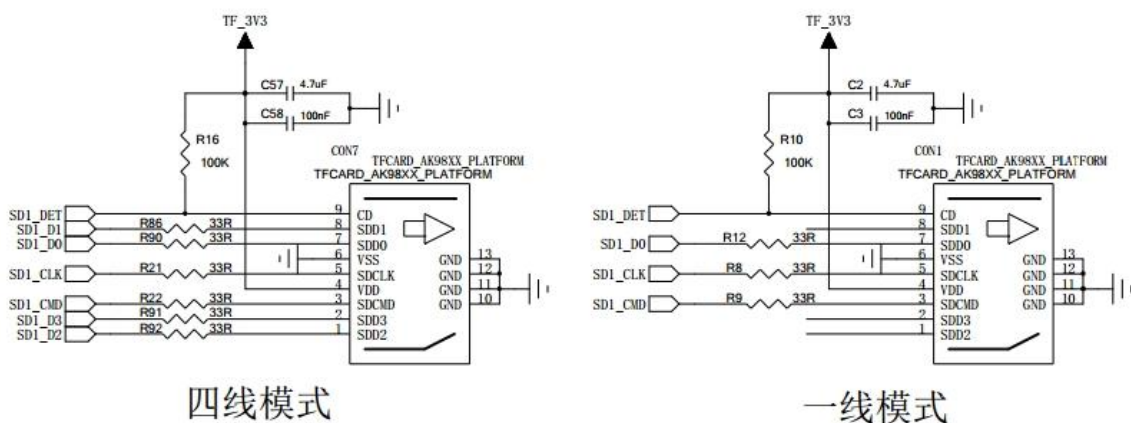


图 2-15 SD 卡一线、四线模式电路示意图

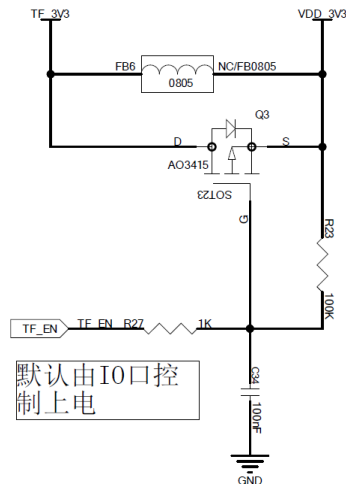


图 2-16 TF 上电控制电路

### 2.12.2 SDIO

AK 芯片的 SDIO Wi-Fi 接口支持一线和四线模式，参考电路如图 2-17 所示。

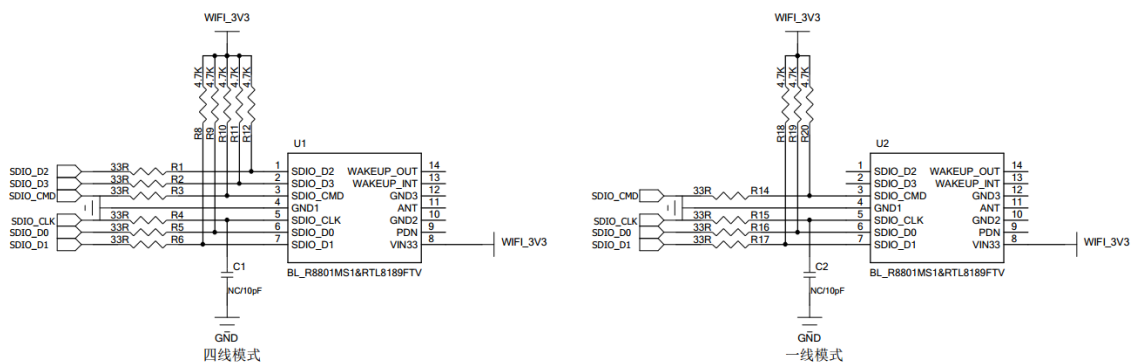


图 2-17 SDIO 参考电路

注意：

- 1) 若连接的芯片管脚内部配有上拉电阻，则可省略 SDIO 数据线的上拉电阻。
- 2) 一线模式时 SDIO\_D1 数据线需保留用做中断，请勿省略对应的上拉电阻。
- 3) SDIO 接口选用时需注意内部上下拉情况。

### 2.13 显示屏接口

AK 芯片支持 MIPI/RGB/MPU 三种显示屏接口。

**注意：**LCD 屏组装时需增加导电棉连接显示屏外壳地与 PCB 的地。

### 2.13.1 LCD 电源开关电路

为防止出现 AK 芯片复位时 LCD 屏并未同步复位等导致的 LCD 屏极化现象，建议增加 LCD 屏电源开关电路。参考电路如图 2-18 所示。

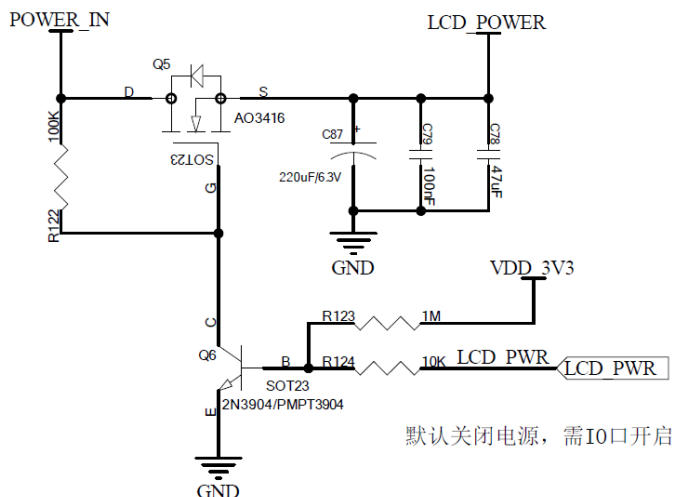


图 2-18 LCD 电源开关电路

### 2.13.2 MIPI 显示屏接口

- 1) 数据线和时钟线可以根据实际情况定义，平台默认使用 MIPI\_DSI\_TXDP2/MIPI\_DSI\_TXDN2 作为 MIPI 的时钟线，如图 2-19 所示。
- 2) MIPI\_DSI 的差分阻抗为 100Ω。
- 3) MIPI 走线相关建议参考平台 PCB 设计指南。

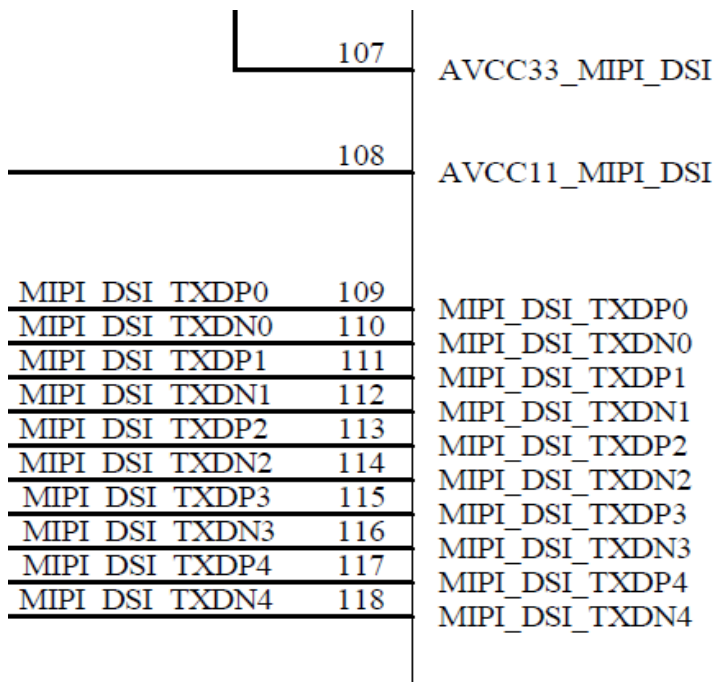


图 2-19 MIPI 显示屏接口示意图

### 2.13.3 MIPI 显示屏电源管脚

MIPI 显示屏的电源管脚包括 AVCC33\_MIPI\_DSI 和 AVCC11\_MIPI\_DSI。AVCC33\_MIPI\_DSI 采用 3.3V 供电；AVCC11\_MIPI\_DSI 为芯片内部产生的 1.2V 电压，需外接一个大于等于 1μF 的电容。

### 2.13.4 RGB 显示屏接口

AK 芯片的 RGB 接口有以下特点：

- 1) 支持 8-bit、16-bit、18-bit 和 24-bit 四种接口；
  - 8-bit RGB 显示屏支持的数据输出序列包括 RGB、RBG、GRB、GBR、BRG 和 BGR，RGB 的顺序可根据屏规格调整。
  - 8-bit RGB 显示屏支持奇数行和偶数行输出不同的序列格式。
- 2) RGB 显示屏支持的最高分辨率为 1280\*800；帧率范围为[50fps~60fps]。
- 3) 16-bit/18-bit/24-bit RGB 显示屏常用的数据格式包括 RGB565、BGR565、RGB666、BGR666、RGB888（芯片默认值）和 BGR888。RGB 显示屏的接口顺序：R



### 2.13.5 MPU 显示屏接口

AK 芯片的 MPU 显示屏接口有以下特点：

- 1) MPU 仅支持 8080 接口模式，不支持 6800 接口模式。
- 2) MPU 显示屏基本为小屏应用，支持 8-bit、9-bit、16-bit 和 18-bit 四种数据位宽。
- 3) 硬件设计时按低位对齐方式处理，如图 2-21 所示。

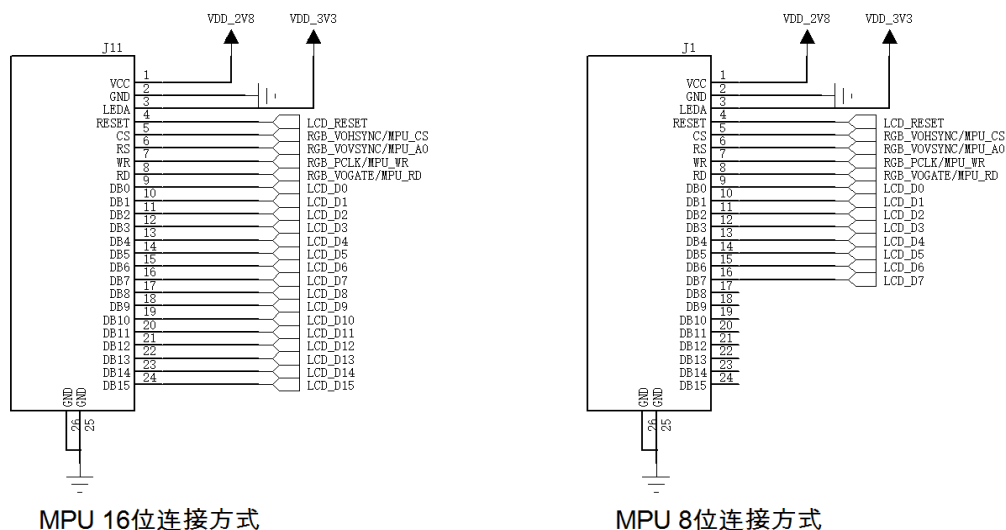


图 2-21 MPU 显示屏接口示意图

### 2.13.6 RGB/MPU 显示屏电源管脚

AK3760E 芯片的 RGB/MPU 接口如表 2-4 所示。

表 2-4 RGB/MPU 显示屏管脚

管脚名称	电源域	备注
GPIO34/RGB_VOGATE/MPU_RD#	VDDIO	需始终确保 VDDIO 管脚和 VDDIO_OSC 管脚电平统一为 3.3V。
GPIO35/RGB_VOHSYNC/MPU_A0		
GPIO36/RGB_VOHSYNC/MPU_CS#		
GPIO37/RGB_VOPCLK/MPU_WR#		
GPIO38/RGB_D0/MPU_D0		
GPIO39/RGB_D1/MPU_D1		
GPIO40/RGB_D2/MPU_D2		
GPIO41/RGB_D3/MPU_D3		
GPIO42/RGB_D4/MPU_D4		



管脚名称	电源域	备注
GPIO43/RGB_D5/MPU_D5		
GPIO44/RGB_D6/MPU_D6		
GPIO45/RGB_D7/MPU_D7		
GPIO46/RGB_D8/MPU_D8/TWI2_SCL		
GPIO47/RGB_D9/MPU_D9/TWI2_SDA		
GPIO48/RGB_D10/MPU_D10/JTAG_RSTN		
GPIO49/RGB_D11/MPU_D11/JTAG_TDI		
GPIO50/RGB_D12/MPU_D12/JTAG_TMS/I2S1_LRCLK		
GPIO51/RGB_D13/MPU_D13/JTAG_TCLK/I2S1_BCLK	VDDIO_OSC	
GPIO52/RGB_D14/MPU_D14/JTAG_RTCK/I2S1_MCLK		
GPIO53/RGB_D15/MPU_D15/JTAG_TDO/I2S1_DIN		
GPIO54/RGB_D16/MPU_D16/PDM_CLK/TWI3_SCL		
GPIO55/RGB_D17/MPU_D17/PDM_DATA/TWI3_SDA		
GPIO29/UART2_TXD/PWM3/SPI1_CS1/RGB_D18		
GPIO28/UART2_RXD/PWM1/SPI2_CS1/RGB_D19		
GPIO24/UART1_RXD/SPI2_CS0/PWM3/RGB_D20		
GPIO25/UART1_TXD/SPI2_SCLK/PWM2/RGB_D21	VDDIO	
GPIO26/UART1_CTS/SPI2_DIN/PWM0/RGB_D22		
GPIO27/UART1_RTS/SPI2_DOUT/PWM5/RGB_D23		
GPIO79/CSI1_D7/TWI2_SDA/RGB_D18/I2S0_DOUT		
GPIO78/CSI1_D6/TWI2_SCL/RGB_D19/I2S0_MCLK		
GPIO77/CSI1_D5/SD0_D0/RGB_D20/I2S0_BCLK		
GPIO76/CSI1_D4/SD0_D1/RGB_D21/I2S0_LRCLK		
GPIO75/CSI1_D3/SD0_D7/RGB_D22/I2S0_DIN		
GPIO74/CSI1_D2/SD0_D6/RGB_D23/SPI2_CS1		

## 2.14 UART

AK 芯片支持多个串口，串口的波特率最高可以到 3Mbps。注意：UART0 默认为调试串口，勿作他用。

## 2.15 Ethernet MAC

### 2.15.1 RMII 接口

AK 芯片支持两个 RMII 接口，用于外接 PHY 芯片实现网络通讯。类似于 I2C 的两线接口，MDIO 接口包括一条数据线和一条时钟线，此接口支持 IEEE 802.3 规范，用于管理多个 PHY 芯片。AK 芯片只支持一个 PHY 芯片。

**注意：**

- 1) AK 芯片有两组 MAC 接口（MAC0 和 MAC1），注意 MAC0 的 GPIO 驱动能力除 RMII0\_50MCLK（即 GPIO6）可调外，其余 IO 口的驱动能力均不可调节。
- 2) 单个以太网应用在设计时需使用 MAC1 接口。
- 3) 以太网和显示屏同时使用时包含以下几种组合方式：
  - MAC1 & RGB 显示屏
  - MAC0 & MIPI 显示屏
  - MAC1 & MIPI 显示屏
  - MAC0 & RGB 显示屏（不推荐）
  - MAC0 & MAC1 & MIPI 显示屏
  - MAC0 & MAC1 & RGB 显示屏（不推荐）
- 4) RX\_ER 管脚为非必要管脚。IO 口不够用时，可将此管脚配置为普通的 IO 口使用。

### 2.15.2 电路设计注意事项

电路设计时需注意：

- 1) AK 芯片与外部 PHY 芯片通过 RMII 接口连接，TX 和 RX 关系不可颠倒。
- 2) 为了不影响波形质量避免电磁干扰，建议保留线上 22R 匹配电阻。电阻位于信号的输出端以获得更好的信号时序。
- 3) OPCLK 为 PHY 提供 50MHz 的频率信号，此信号易受到干扰，需靠近管脚放置一个 22R 匹配电阻和 10pF 电容（后者预留位置即可）如图 2-22 所示。

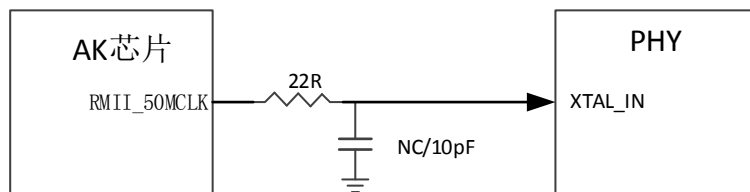


图 2-22 时钟连接电路

4) SZ18201 和 JL1101 在 MAC0 上使用时低温会存在丢包情况，设计时需要在 MAC0 的 TXD0/TXD1/TXEN 这三个信号线上分别并一个 12pF 电容到地。

### 2.15.3 走线注意事项

AK 芯片的 OPCLK 接口输出 50MHz 时钟给 PHY XIN 管脚，PHY 端可省去一个晶振，还可保证 MAC CLK 与 PHY CLK 的相位一致。

**注意：**PHY 芯片端从网线端口到隔离变压器都属于安规二类线，即大厦内布线的低压线。根据防雷击和防漏电相关规定，需保证二类线所需的爬电距离和相关器件（包括插座、隔离变压器和用于隔离地的安规电容器）均有相应的安规认证。

## 2.16 外接 Wi-Fi 设备注意事项

- 1) 设计中 Wi-Fi 等大电流设备的电源须单独从电池或输入电源处获取，不得与 CPU、DDR2 或模拟电路共享电源。
- 2) Wi-Fi 供电要求较高，建议单独配置一个 DC-DC 供电芯片。
- 3) Wi-Fi 天线设计注意事项请参考《2.4GHz 频段无线产品天线设计指南》。

## 2.17 GPIO

### 2.17.1 GPI

此类管脚用作 GPIO 时只有 GPI 功能，包括 GPI[0]和 GPI[1]。

**注意：**

- 1) GPI 不能作为输出使用。
- 2) GPI0 和 GPI1 用做 GPI 时为开漏输入，需外部做上下拉处理，同时需要软件协助。

### 2.17.2 不可配置 GPIO

此类管脚上拉/下拉和驱动能力都是固定的。AK3760E 芯片的不可配置 GPIO 包括 GPIO0~GPIO5、GPIO7~GPIO23 和 GPIO82~GPIO86。

**注意：**

- 1) 此类管脚上电时上下拉默认使能。如果外围设计不需要使能上下拉或上下拉要求与实际不符，可通过软件关闭此功能。
- 2) 注意上下拉的阻值范围，具体请参考芯片对应的 Specification 文档。

### 2.17.3 可配置 GPIO

此类管脚的上下拉和驱动能力可配置。AK3760E 芯片的可配置 GPIO 包括 GPIO6、GPIO24~GPIO32 和 GPIO33~GPIO79。

**注意：**

- 1) 此类管脚支持上下拉，可通过软件使能。
- 2) 注意上下拉的阻值范围，具体请参考芯片 Specification 文档。