



版本: 2.0.0 2021 年 04 月

# AnyCloud 平台 MIPI 屏调试手册

## 声 明

本手册的版权归广州安凯微电子股份有限公司所有，受相关法律法规的保护。未经广州安凯微电子股份有限公司的事先书面许可，任何人不得复制、传播本手册的内容。

本手册所涉及的知识产权归属广州安凯微电子股份有限公司所有（或经合作商授权许可使用），任何人不得侵犯。

本手册不对包括但不限于下列事项担保：适销性、特殊用途的适用性；实施该用途不会侵害第三方的知识产权等权利。

广州安凯微电子股份有限公司不对由使用本手册或执行本手册内容而带来的任何损害负责。

本手册是按当前的状态提供参考，随附产品或本书内容如有更改，恕不另行通知。

## 联 系 方 式

广州安凯微电子股份有限公司

地址：广州市黄埔区知识城博文路 107 号安凯微电子 H 大厦

电话: (86)-20-3221 9000

传真: (86)-20-3221 9258

邮编: 510555

销售热线:

(86)-20-3221 9499

电子邮箱:

[sales@anyka.com](mailto:sales@anyka.com)

主页:

<http://www.anyka.com>

## 版本变更说明

以下表格对于本文档的版本变更做一个简要的说明。版本变更仅限于技术内容的变更，不包括版式、格式、句法等的变更。

版本	说明	完成日期
V1.0.0	首次发布	2020 年 7 月
V2.0.0	更新 Driver IC 极化这一小节，补充 1080P 屏的内容	2021 年 4 月

Anyka Confidential For  
CIMC Use Only

## 目录

<b>1 文档概述 .....</b>	<b>5</b>
<b>2 软件框架 .....</b>	<b>5</b>
2.1 驱动流程 .....	5
2.2 DTS 文件 .....	6
2.2.1 LCD 控制器参数 .....	7
2.2.2 DSI 控制器参数 .....	7
2.2.3 驱动 IC 初始化参数 .....	11
<b>3 MIPI 屏调试 .....</b>	<b>12</b>
3.1 驱动 IC 初始化 .....	12
3.2 BIST MODE .....	13
3.3 驱动 IC 极化 .....	14
3.4 驱动 IC 刷图 .....	15
3.4.1 正常显示 .....	16
3.4.2 异常显示 .....	16

## 1 文档概述

本文档主要介绍 AnyCloud 平台 MIPI 屏调试方法，方便用户根据实际需要调试开发。

该手册适用于所有使用 MIPI LCD Panel 的平台。

## 2 软件框架

本章介绍 MIPI DSI 驱动主要流程以及各个部分主要参数，用户可根据各部分参数填写要求，结合实际需要调试使用 MIPI 屏。具体内容如下：

### 2.1 驱动流程

MIPI DSI 驱动主要分为 3 个部分，具体说明如下：

第一部分：配置 MPI DSI 控制器和 D-PHY 时钟，然后初始化 DSI 控制器；

第二部分：初始化驱动 IC 芯片，以使其正常工作；

第三部分：初始化 LCD 控制器，设置 PCLK 和显示的 RGB 图像格式参数；

整个流程如 [图2-1](#) 所示：

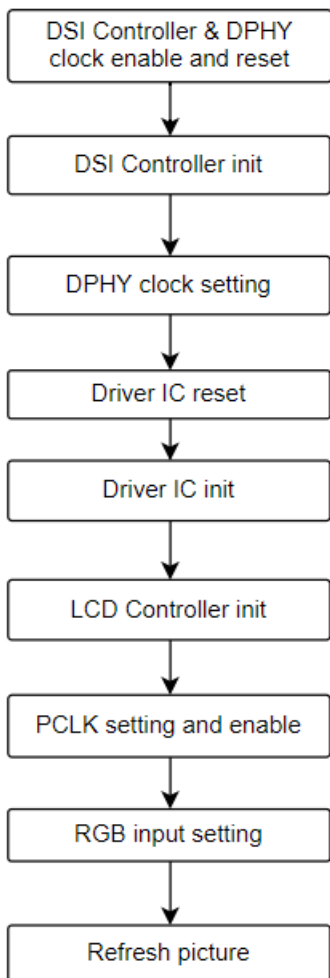


图 2-1 LCD 控制器驱动流程图

## 2.2 DTS 文件

LCD 控制器参数、DSI 控制器参数和驱动 IC 的初始化参数都保存在 DTS 文件中。现将各部分参数说明如下：

## 2.2.1 LCD 控制器参数

图 2-2 所示示例参数用于配置显示的 RGB 图像数据。

```
&lcdc {
    pinctrl-names = "default";
    pinctrl-0 = <&lcd_reset_pins>; //<lcd_pins>,<lcd_reset_pins>; //lcd_pins for rgb lcd, lcd_reset_pins only for mipi lcd
    reset-pins = <&gpio 83 1>; //only for mipi lcd

    lcd-logo-width = <480>;
    lcd-logo-height = <800>;
    //[fmt1:fmt0] 00 16bits input(RGB565 or BGR565)
    //[fmt1:fmt0] 01 24bits input(RGB888 or BGR888)
    //[fmt1:fmt0] 10 or 11 32bits input(ARGB888 ABGR888 RGBA888 BGRA888)
    lcd-logo-fmt0 = <1>;
    lcd-logo-fmt1 = <0>;
    lcd-logo-rgb-seq = <1>; //0 for BGR, 1 for RGB

    lcd-fb-type = <1>; //0:single buffer; 1:double buffer
    status = "okay";
};
```

图 2-2 LCD 控制器参数

---

**注意：**logo\_width 和 logo\_height 参数须与实际的 LCD panel 分辨率相匹配，即小于或等于 panel 分辨率，否则会引起 LCD Controller 时序错乱，出现 system error。

---

## 2.2.2 DSI 控制器参数

图 2-3 所示 DTS 参数用于配置 MIPI DSI 控制器。

```
FRD350C25024: lcd-panel@10{ /* for MIPI 1lane */
    compatible = "ST7796S,FRD350C25024";
    panel-if = <1>; //0 for RGB, 1 for MIPI, 2 for MPU
    panel-rgb-seq = <1>; //0 for BGR, 1 for RGB
    panel-width = <320>;
    panel-height = <480>;
    panel-pclk-div = <65>; //pixel clock = Peri_pll/(pclk_div+1)
    panel-dsi-num-lane = <0>; //0-3: 1lane-4lane
    //0-3: data0-data3, 4: clk
    panel-dsi-txd0 = <0>;
    panel-dsi-txd2 = <4>;
    panel-dsi-noncontinuous-clk = <0>; //0:continuous,1:noncontinuous
    panel-dsi-t-pre = <1>; //t-pre, >=1
    panel-dsi-t-post = <1>; //t-post=tlpx+t-prepare+t-zero+t-pre, >=1
    panel-dsi-tx-gap = <1>; //ths-exit
    panel-dsi-autoinsert-eotp = <0>; //0:not insert,1:auto-insert
    panel-dsi-htx-to-count = <0xFFFFFFFF>; //high speed TX timeout count
    panel-dsi-lrx-to-count = <0xFFFFFFFF>; //Low power RX timeout count
    panel-dsi-bta-to-count = <0xFFFFFFFF>; //Bus turn around timeout count
    panel-dsi-t-wakeup = <0xc8>; //DPHY T-wakeup time
    panel-dsi-pix-fifo-send-level = <320>; //buffer send level <= 512
    //0-2:16-bit config 1-3; 3-4:18-bit config 1-2; 5:24-bit
    panel-dsi-if-color-coding = <0x05>;
    //0:16-bit;1:18-bit;2:18-bit loosely packed;3:24-bit
    panel-dsi-pix-format = <0x03>;
    panel-dsi-vsync-pol = <0>; //0:active low; 1:active high
    panel-dsi-hsync-pol = <0>; //0:active low; 1:active high
    //0:Non-burst mode with sync pulses;
    //1:Noe-burst mode with sync events;
    //2:Burst mode; 3:reserved
    panel-dsi-video-mode = <2>;
    panel-dsi-hfp = <10>; //H front porch blanking packet payload size in bytes
    panel-dsi-hbp = <30>; //H back porch blanking packet payload size in bytes
    panel-dsi-hsa = <5>; //H sync width blanking packet payload size in bytes
    panel-dsi-mult-pkts-en = <0>; //0: single packet;1: two packets
    panel-dsi-vbp = <30>; //V back porch lines
    panel-dsi-vfp = <30>; //V front porch lines
    panel-dsi-vsa = <5>;
    //0:blanking packets send during BLLP;1:LP mode used for BLLP
    panel-dsi-bllp-mode = <1>;
    panel-dsi-use-null-pkt-bllp = <0>; //0:blanking packet; 1:Null packet
    panel-dsi-vc = <0x00>; //Virtual channel
    panel-dsi-cmd-type = <0x0>; //0:send in LP mode, 1:send in HS mode
    panel-dsi-clk = <300>;
}
```

图 2-3 DSI 控制器参数

参数含义说明如表 2-1 所示：

表 2-1 节点说明表

节点	说明
panel-if	外接 LCD 屏接口。
panel-rgb-seq	RGB 像素数据排列顺序。
panel-width	LCD 屏分辨率，代表宽。



节点	说明
panel-height	LCD 屏分辨率，代表高。
panel-dsi-hfp	DPI 时序参数，由驱动 IC 原厂提供
panel-dsi-hbp	DPI 时序参数，由驱动 IC 原厂提供。
panel-dsi-hsa	DPI 时序参数，由驱动 IC 原厂提供。
panel-dsi-vbp	DPI 时序参数，由驱动 IC 原厂提供。
panel-dsi-vfp	DPI 时序参数，由驱动 IC 原厂提供。
panel-dsi-vsa	DPI 时序参数，由驱动 IC 原厂提供。
panel-dsi-clk	<p>clock lane 传输速率。</p> <p>计算公式为：</p> $\text{Clock lane} = (\text{HACT} + \text{HFP} + \text{HBP} + \text{HAS}) * (\text{VACT} + \text{VFP} + \text{VBP} + \text{VAS}) * (\text{Frame Rate}) * (\text{Pixel format}) / (\text{Lane number}) \quad (\text{单位: bps}) ;$ $\text{PCLK} = (\text{HACT} + \text{HFP} + \text{HBP} + \text{HAS}) * (\text{VACT} + \text{VFP} + \text{VBP} + \text{VAS}) * (\text{Frame Rate});$
panel-pclk-div	<p>设置 pclk-div 分频系数。</p> <p><b>注意：</b></p> <p>分频系数须为整数。</p> <p>在 37D 平台上芯片内部 PCLK 由 peri_pll 分频得到。</p> <p>计算公式为：</p> $\text{pclk-div} = \text{Peri\_pll} / \text{PCLK} - 1;$ <p>其中 peri_pll = 600MHz。</p> <p>在 37E 平台上芯片内部 PCLK 由 asic_pll 分频得到。</p> <p>计算公式为：</p> $\text{pclk-div} = \text{asic\_pll} / \text{PCLK} - 1;$ <p>其中 asic_pll = 500MHz。</p>

节点	说明
panel-dsi-num-lane	data lane 数量。需根据 MIPI 屏的驱动 IC 来设置。
panel-dsi-txd0	第一对差分信号，与硬件 PCB 布线有关，建议设为 data lane0。
panel-dsi-txd1	第二对差分信号，与硬件 PCB 布线有关，建议设为 data lane1。
panel-dsi-txd2	第三对差分信号，与硬件 PCB 布线有关，建议设为 clock lane。
panel-dsi-txd3	第四对差分信号，与硬件 PCB 布线有关，建议设为 data lane2。
panel-dsi-txd4	第五对差分信号，与硬件 PCB 布线有关，建议设为 data lane3。
panel-dsi-pix-fifo-send-level	<p>设置 FIFO 的大小。</p> <p>FIFO 中设置的值叫 sendlevel，即 DSI 的 FIFO 里存放的像素个数(注意：此处单位是像素，不是 bytes)。</p> <p><b>注意：FIFO 最大值为 512；</b></p> <p>如果 LCD 屏的分辨率中的 width(即宽) 大于 512，则 FIFO 设置为 512；</p> <p>如果 LCD 屏的分辨率中的 width(即宽) 小于 512，则 FIFO 必须设置为改分辨率的宽。如 LCD 屏的分辨率为 320*480，则 FIFO 设置为 320。</p>
panel-dsi-noncontinuous-clk	<p>设置 MIPI DSI 工作在非连续的 MIPI 时钟模式。</p> <p>某些 Driver IC 在初始化阶段，clk lane 需在 LP 模式。当 MIPI DSI 工作在非连续的 MIPI 时钟模式时，clk lane 会转到 LP mode。</p>
panel-dsi-pix-format	设置像素格式。

**注意：以上表格中未列出的参数，使用默认值即可。**

现举例说明如下：

根据表 2-1 中 Clock lane、PCLK 和 pclk-div 的计算公式以及驱动 IC 原厂提供的时序相关参数（如图 2-4 所示），可得出如下结果：

$\text{Clock lane} = (480+50+50+10) * (800+16+22+6) * 61.92 * 24 / 2 = 370004198.4 = 370\text{Mbps};$

$\text{PCLK} = (480+50+50+10) * (800+16+22+6) * 61.92 = 30833683.2 = 30.8\text{MHZ};$

$\text{pclk-div} = \text{peri\_pll} / \text{PCLK} - 1 = 600 / 30.8 - 1 = 18.4;$

根据要求分频系数须为整数，此处分频系数可以设置为 18 或者 19，只需再同步调整 clock lane 的值。

G	H	I
Porch确认		
	Setting	Units
Bit rate	370	Mbps
Lane number	2	Lane
Pixel format	24	bit
VSA	6	lline
VBP	22	line
VFP	16	line
VACT	800	line
HAS	10	pixel
HBP	50	pixel
HFP	50	pixel
HACT	480	pixel
Frame Rate	61.92	Hz

图 2-4 MIPI 参数 DSI 时序参数

### 2.2.3 驱动 IC 初始化参数

驱动 IC 的初始化参数需驱动 IC 原厂（一般是 IC 原厂 FAE）提供，保存在 DTS 文件中。用户调试前需确认其所使用的 MIPI 屏配置，图 2-5 为示例参数。

```
panel-init-list = //delay, type, data, parameters, end symbol
< 0x78 0x05 0x11 0xFFFF
  0x78 0x15 0x36 0x48 0xFFFF
  0x00 0x15 0x3A 0x77 0xFFFF
  0x00 0x15 0xF0 0xC3 0xFFFF
  0x00 0x15 0xF0 0x96 0xFFFF
  0x00 0x15 0xB4 0x01 0xFFFF
  0x00 0x15 0xB7 0xC6 0xFFFF
  0x00 0x39 0xB9 0x02 0xE0 0xFFFF
  0x00 0x39 0xC0 0x80 0x75 0xFFFF
  0x00 0x15 0xC1 0x13 0xFFFF
  0x00 0x15 0xC2 0xA7 0xFFFF
  0x00 0x15 0xC5 0x1D 0xFFFF
  0x00 0x39 0xE8 0x40 0x8A 0x00 0x00 0x29 0x19 0xA5 0x33 0xFFFF
  0x00 0x39 0xE0 0xD0 0x02 0x0A 0x10 0x11 0x0C 0x35 0x44 0x46 0x3C 0x15 0x13 0x17 0x1A 0xFFFF
  0x00 0x39 0xE1 0xD0 0x01 0x08 0x0B 0x0C 0x17 0x35 0x44 0x47 0x09 0x18 0x17 0x19 0x1D 0xFFFF
  0x00 0x15 0x35 0x00 0xFFFF
  0x00 0x15 0xF0 0x3C 0xFFFF
  0x00 0x15 0xF0 0x69 0xFFFF
  0x78 0x05 0x29 0xFFFF>;
```

图 2-5 驱动 IC 初始化参数

第一行为 Byte1，后面的参数以此类推，参数说明如下：

- Byte1：代表延时时长。即指令发送后所需延时时长。。
- Byte2：代表指令类型。一般长包为 0x39，短包为 0x15 或 0x5。具体使用方法请参考驱动 IC 数据手册或联系 IC 原厂。
- Byte3~ByteN：代表需要发送的数据。根据长短包的大小，每行长短不一。
- 每一行参数末尾 0xFFFF：代表每一行的结束标识符。

## 3 MIPI 屏调试

### 3.1 驱动 IC 初始化

初始化驱动 IC 时，用户只需将 IC 原厂提供的参数填写到 DTS 文件中的驱动 IC 初始化参数节点即可。驱动加载后，会解析 DTS 中的初始化参数，并通过 DSI 控制器发送给驱动 IC。用户在调试时可通过示波器或 MIPI 逻辑分析仪获取驱动 IC 的初始化参数来确认其是否与 IC 原厂提供的参数一致。图 3-1 为示波器捕捉到的初始化信号，一般在几毫秒内即可发送完成。

注意：初始化参数通过 data lane0 发送，用户通过示波器测量信号时，需测量 data lane0。

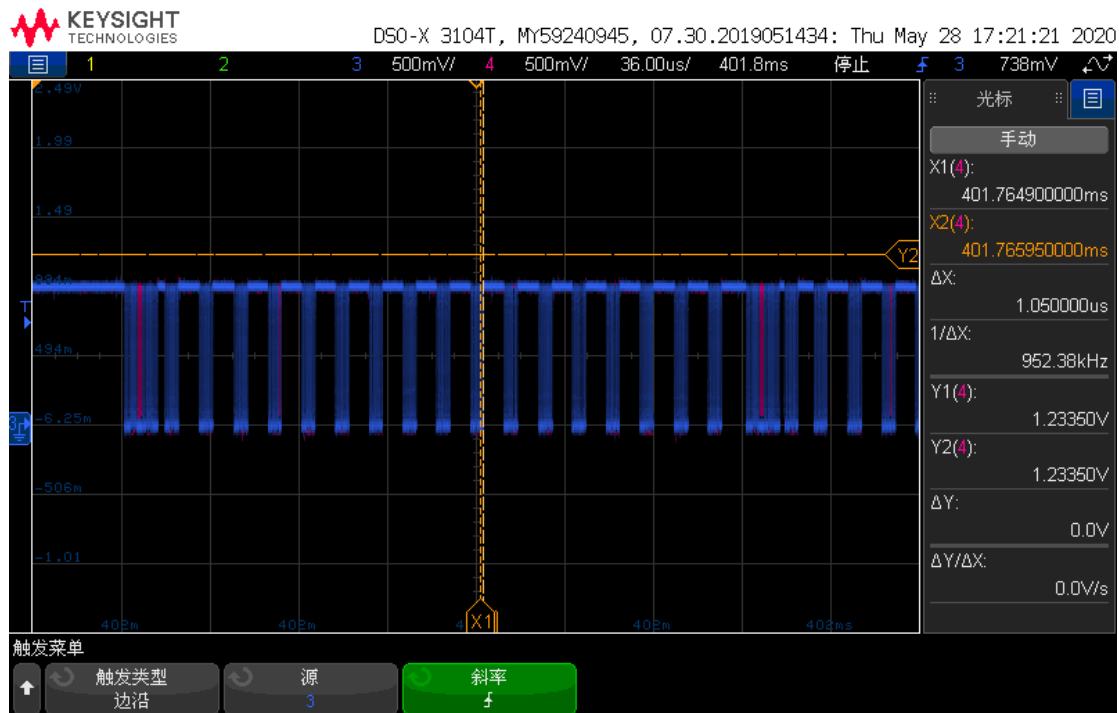


图 3-1 初始化信号示例图

### 3.2 BIST Mode

驱动 IC 正常初始化后，即可设置驱动 IC 为 BIST mode，自刷新图 3-2 所示颜色。若驱动 IC 正常初始化失败，则不会自动刷新。

用户调试显示效果时，可以发送指令进入驱动 IC 的 BIST mode 通过检查此时能否正常刷新图 3-2 所示颜色来确定 LCD 屏本身能否正常工作。进入 BIST mode 的指令操作具体请参考驱动 IC 数据手册或联系原厂。

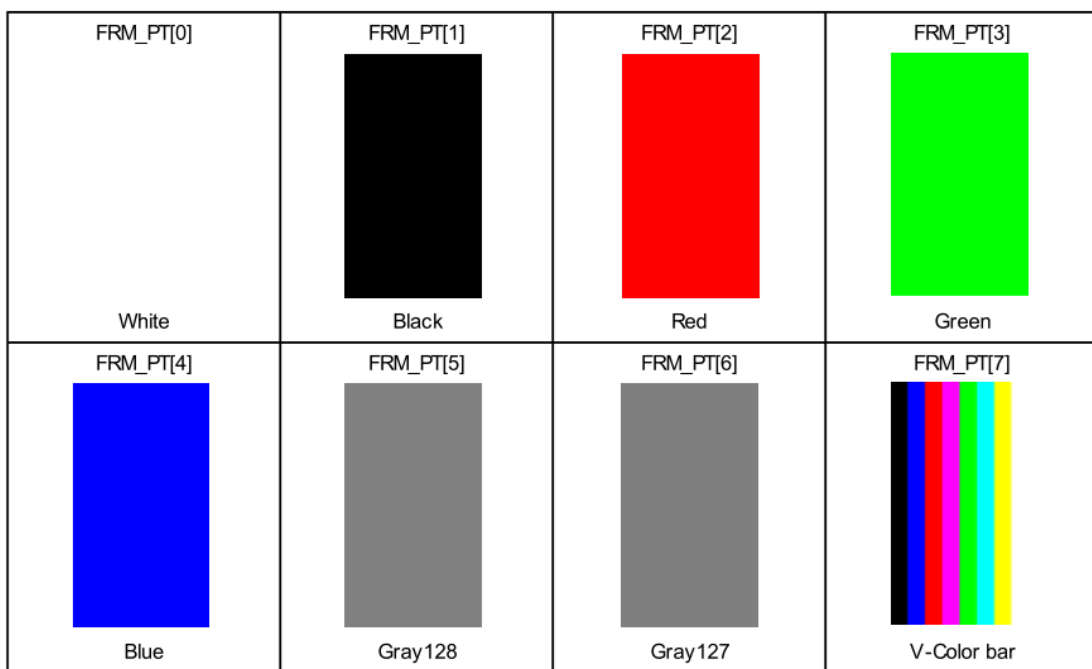


图 3-2 BIST Mode Pattern

### 3.3 驱动 IC 极化

驱动 IC 正常初始化后，若没有接收到视频或者图片数据，LCD panel 会出现极化现象，如图 3-3 所示为小分辨率的 MIPI LCD panel 出现的极化现象。极化现象的出现也能说明驱动 IC 已经完成正常初始化。



图 3-3 极化现象示意图

在不同分辨率的 MIPI LCD panel 上，“极化现象”的表现可能会有所差别。但是本质上就是如果正常初始化，屏显示会出现几秒的“极化现象”，表现形式是屏上出现白色的竖条纹，具体在不同的屏上可能有所差异，在低分辨率屏上相对多，在高分辨率屏上相对少。如图3-4所示为高分辨率 1080P 的 LCD panel 上出现的“极化现象”。这款 1080P 的屏白色竖条纹比较少，不明显，但通过手机拍摄可以明显看到。



图 3-4 LCD panel 上出现的“极化现象”

### 3.4 驱动 IC 刷图

驱动 IC 完成正常初始化后，开始正常工作，处理屏的显示和刷新。

### 3.4.1 正常显示

- 当 PCLK 和 clock lane 都为理论值，图片正常显示如图3-5所示。



图 3-5 图片正常显示

- 当 PCLK=理论值；clock lane =理论值+ $\Delta$ （[0~20Mbps]），画面正常显示。但 clock lane 的值不能过大，否则会出现错位、闪烁和颜色错乱等问题。
- 当 clock lane=理论值；PCLK =理论值+1MHz，画面正常显示。
- 如果客户对帧率没有要求，当帧率偏小（< 60fps），只要确保 PCLK 与 clock lane 的值相匹配，LCD 屏都可以正常刷新显示。

**注意：为使画面显示达到最理想效果，建议 PCLK、clock lane 和帧率设为理论值。**

### 3.4.2 异常显示

在实际刷图操作中，需确保 PCLK 与 CLOCK lane 速率相匹配，否则会出现图片显示异常。各种原因造成的图片显示异常现列举如下：

- 1) 当 PCLK=理论值，



- clock lane = 理论值 -  $\Delta$  ([20Mbps~50Mbps])，图片异常显示如[图3-6](#)所示。

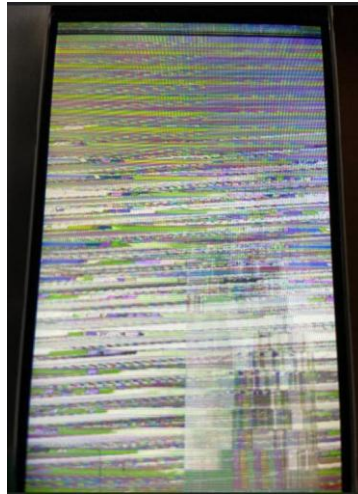


图 3-6 clock lane=理论值-  $\Delta$  ([20Mbps~50Mbps]) 时的画面

- clock lane = 理论值 -  $\Delta$  ([100Mbps~200Mbps])，图片异常显示如[图3-7](#)所示。



图 3-7 clock lane=理论值-  $\Delta$  ([100Mbps~200Mbps]) 时的画面

- clock lane = 理论值 +  $\Delta$  ([100Mbps~200Mbps])，图片异常显示如[图3-8](#)所示：



图 3-8 clock lane =理论值+  $\Delta$  ([100Mbps~200Mbps]) 时的画面

- clock lane 偏大且超过了驱动 IC 的极限时，图片异常显示如 [图3-9](#) 所示。



图 3-9 clock lane 超过了驱动 IC 极限时的画面

2) 当 clock lane=理论值,

- $PCLK = \text{理论值} - \Delta$  ( $\Delta = 10\text{MHz}$ )，图片异常显示如图3-10所示。



图 3-10  $PCLK = \text{理论值} - \Delta$  ( $\Delta = 10\text{MHz}$ ) 时的画面

- $PCLK = \text{理论值} - \Delta$  ( $\Delta > 10\text{MHz}$ )，图片异常显示如图3-11所示。



图 3-11  $PCLK = \text{理论值} - \Delta$  ( $\Delta > 10\text{MHz}$ ) 时的画面

---

**注意：**如果 PCLK 过小，比如等于或低于正常频率的一半时，无任何画面显示。

---

- PCLK=理论值+ $\Delta$  ([20MHz~50MHz])，图片异常显示如[图3-12](#)所示。



图 3-12 PCLK=理论值+ $\Delta$  ([20MHz~50MHz]) 时的画面