

# Лабораторная работа N7

## Изучение аналого-цифрового преобразователя

### Оглавление

Аналого-цифровые преобразователи.....	2
Общие сведения.....	2
Параллельные АЦП.....	3
Последовательно-параллельные АЦП.....	4
Многоступенчатые АЦП.....	5
Многотактные последовательно-параллельные АЦП.....	5
Конвейерные АЦП.....	6
Последовательные АЦП.....	8
АЦП последовательного счета.....	8
АЦП последовательного приближения.....	9
Интегрирующие АЦП.....	10
АЦП многотактного интегрирования.....	11
Сигма-дельта АЦП.....	13
АЦП микроконтроллера LPC2292.....	16
Основные характеристики.....	16
Регистры АЦП.....	16
Управляющий регистр АЦП (ADCR).....	16
Регистр данных АЦП (ADDR).....	17
Прерывания АЦП.....	17
Литература.....	18

# Аналого-цифровые преобразователи

## Общие сведения

Аналого-цифровые преобразователи (АЦП) являются устройствами, которые принимают входные аналоговые сигналы и генерируют соответствующие им цифровые сигналы, пригодные для обработки микропроцессорами и другими цифровыми устройствами.

Принципиально не исключена возможность непосредственного преобразования различных физических величин в цифровую форму, однако эту задачу удастся решить лишь в редких случаях из-за сложности таких преобразователей. Поэтому в настоящее время наиболее рациональным признается способ преобразования различных по физической природе величин сначала в функционально связанные с ними электрические, а затем уже с помощью преобразователей напряжение-код - в цифровые. Именно эти преобразователи имеют обычно в виду, когда говорят об АЦП.

Процедура аналого-цифрового преобразования непрерывных сигналов, которую реализуют с помощью АЦП, представляет собой преобразование непрерывной функции времени  $U(t)$ , описывающей исходный сигнал, в последовательность чисел  $\{U'(t_j)\}$ ,  $j=0,1,2,\dots$ , отнесенных к некоторым фиксированным моментам времени. Эту процедуру можно разделить на две самостоятельные операции. Первая из них называется дискретизацией и состоит в преобразовании непрерывной функции времени  $U(t)$  в непрерывную последовательность  $\{U(t_j)\}$ . Вторая называется квантованием и состоит в преобразовании непрерывной последовательности в дискретную  $\{U'(t_j)\}$ .

В настоящее время известно большое число методов преобразования напряжение-код. Эти методы существенно отличаются друг от друга потенциальной точностью, скоростью преобразования и сложностью аппаратной реализации. На рис. 2 представлена классификация АЦП по методам преобразования.



Рис. 2. Классификация АЦП

В основу классификации АЦП положен признак, указывающий на то, как во времени разворачивается процесс преобразования аналоговой величины в цифровую. В основе преобразования выборочных значений сигнала в цифровые эквиваленты лежат операции квантования и кодирования. Они могут осуществляться с помощью либо последовательной, либо параллельной, либо последовательно-параллельной процедур приближения цифрового эквивалента к преобразуемой величине.

## Параллельные АЦП

АЦП этого типа осуществляют квантование сигнала одновременно с помощью набора компараторов, включенных параллельно источнику входного сигнала. На рис. 3 показана реализация параллельного метода АЦ-преобразования для 3-разрядного числа.

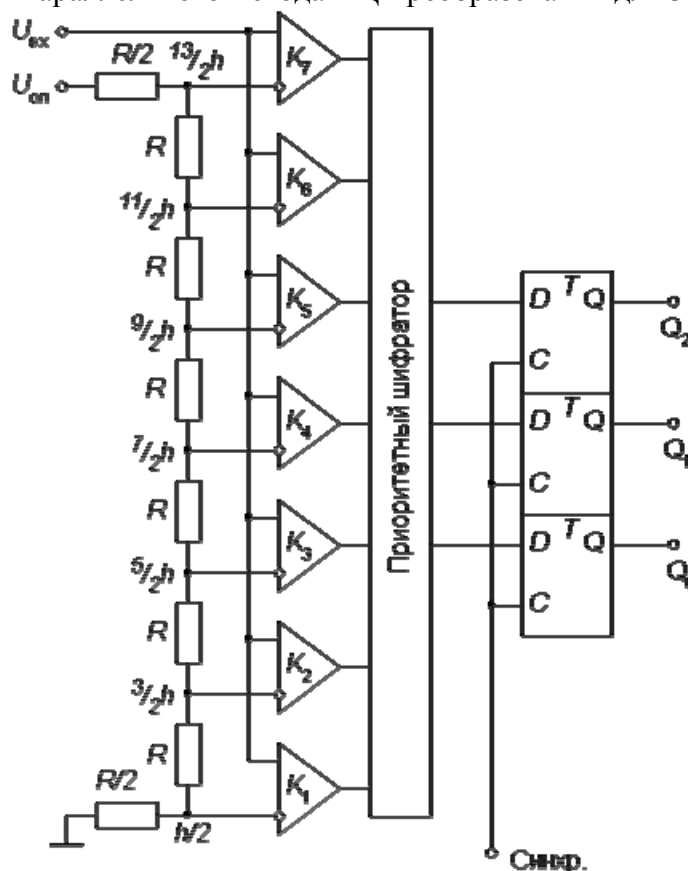


Рис. 3. Схема параллельного АЦП

С помощью трех двоичных разрядов можно представить восемь различных чисел, включая нуль. Необходимо, следовательно, семь компараторов. Семь соответствующих эквидистантных опорных напряжений образуются с помощью резистивного делителя.

Если приложенное входное напряжение не выходит за пределы диапазона от  $5/2h$  до  $7/2h$ , где  $h=U_{оп}/7$  - квант входного напряжения, соответствующий единице младшего разряда АЦП, то компараторы с 1-го по 3-й устанавливаются в состояние 1, а компараторы с 4-го по 7-й - в состояние 0. Преобразование этой группы кодов в трехзначное двоичное число выполняет логическое устройство, называемое приоритетным шифратором, диаграмма состояний которого приведена в табл.1.

Таблица 1

Входное напряжение	Состояние компараторов							Выходы		
U <sub>вх</sub> /h	K7	K6	K5	K4	K3	K2	K1	Q2	Q1	Q0
0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	1	0	0	1
2	0	0	0	0	0	1	1	0	1	0
3	0	0	0	0	1	1	1	0	1	1
4	0	0	0	1	1	1	1	1	0	0
5	0	0	1	1	1	1	1	1	0	1
6	0	1	1	1	1	1	1	1	1	0
7	1	1	1	1	1	1	1	1	1	1

Подключение приоритетного шифратора непосредственно к выходу АЦП может привести к ошибочному результату при считывании выходного кода. Рассмотрим, например переход от трех к четырем, или в двоичном коде от 011 к 100. Если старший разряд вследствие меньшего времени задержки изменит свое состояние раньше других разрядов, то временно на выходе возникнет число 111, т.е. семь. Величина ошибки в этом случае составит половину измеряемого диапазона.

Так как результаты АЦ-преобразования записываются, как правило, в запоминающее устройство, существует вероятность получить полностью неверную величину. Решить эту проблему можно, например, с помощью устройства выборки-хранения (УВХ). Некоторые интегральные микросхемы (ИМС) параллельных АЦП, например МАХ100, снабжаются сверхскоростными УВХ, имеющими время выборки порядка 0,1 нс. Другой путь состоит в использовании кода Грея, характерной особенностью которого является изменение только одной кодовой позиции при переходе от одного кодового значения к другому. Наконец, в некоторых АЦП (например, МАХ1151) для снижения вероятности сбоев при параллельном АЦ-преобразовании используется двухтактный цикл, когда сначала состояния выходов компараторов фиксируются, а затем, после установления состояния приоритетного шифратора, подачей активного фронта на синхровход выходного регистра в него записывают выходное слово АЦП.

Как видно из табл. 1, при увеличении входного сигнала компараторы устанавливаются в состояние 1 по очереди - снизу вверх. Такая очередность не гарантируется при быстром нарастании входного сигнала, так как из-за различия во временах задержки компараторы могут переключаться в другом порядке. Приоритетное кодирование позволяет избежать ошибки, возможной в этом случае, благодаря тому, что единицы в младших разрядах не принимаются во внимание приоритетным шифратором.

Благодаря одновременной работе компараторов параллельный АЦП является самым быстрым. Например, восьмиразрядный преобразователь типа МАХ104 позволяет получить 1 млрд отсчетов в секунду при времени задержки прохождения сигнала не более 1,2 нс. Недостатком этой схемы является высокая сложность. Действительно, N-разрядный параллельный АЦП содержит 2N-1 компараторов и 2N согласованных резисторов. Следствием этого является высокая стоимость (сотни долларов США) и значительная потребляемая мощность. Тот же МАХ104, например, потребляет около 4 Вт.

## Последовательно-параллельные АЦП

Последовательно-параллельные АЦП являются компромиссом между стремлением получить высокое быстродействие и желанием сделать это по возможности меньшей ценой. Последовательно-параллельные АЦП занимают промежуточное положение по разрешающей способности и быстродействию между параллельными АЦП и АЦП

последовательного приближения. Последовательно-параллельные АЦП подразделяют на многоступенчатые, многотактные и конвейерные.

### Многоступенчатые АЦП

В многоступенчатом АЦП процесс преобразования входного сигнала разделен в пространстве. В качестве примера на рис. 4 представлена схема двухступенчатого 8-разрядного АЦП.

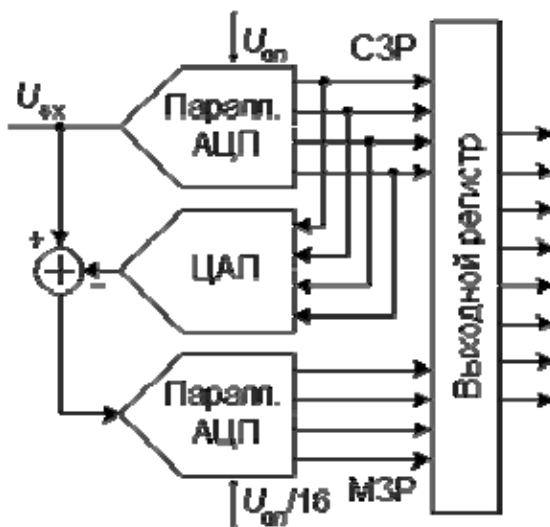


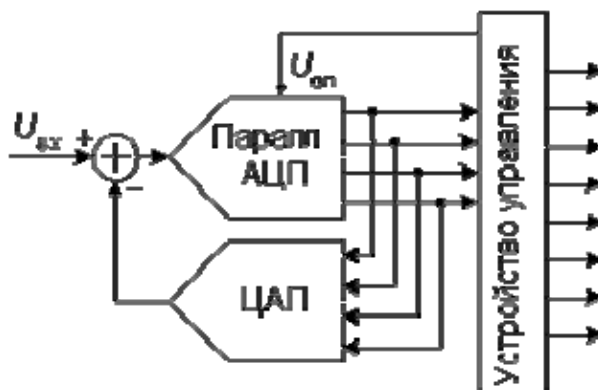
Рис. 4. Структурная схема двухступенчатого АЦП

Верхний по схеме АЦП осуществляет грубое преобразование сигнала в четыре старших разряда выходного кода. Цифровые сигналы с выхода АЦП поступают на выходной регистр и одновременно на вход 4-разрядного быстродействующего ЦАП. Во многих ИМС многоступенчатых АЦП (AD9042, AD9070 и др.) этот ЦАП выполнен по схеме суммирования токов на дифференциальных переключателях, но некоторые (AD775, AD9040A и др.) содержат ЦАП с суммированием напряжений. Остаток от вычитания выходного напряжения ЦАП из входного напряжения схемы поступает на вход АЦП2, опорное напряжение которого в 16 раз меньше, чем у АЦП1. Как следствие, квант АЦП2 в 16 раз меньше кванта АЦП1. Этот остаток, преобразованный АЦП2 в цифровую форму представляет собой четыре младших разряда выходного кода. Различие между АЦП1 и АЦП2 заключается прежде всего в требовании к точности: у АЦП1 точность должна быть такой же как у 8-разрядного преобразователя, в то время как АЦП2 может иметь точность 4-разрядного.

Грубо приближенная и точная величины должны, естественно, соответствовать одному и тому же входному напряжению  $U_{вх}(t_j)$ . Из-за наличия задержки сигнала в первой ступени возникает, однако, временное запаздывание. Поэтому при использовании этого способа входное напряжение необходимо поддерживать постоянным с помощью устройства выборки-хранения до тех пор, пока не будет получено все число.

### Многотактные последовательно-параллельные АЦП

Рассмотрим пример 8-разрядного последовательно-параллельного АЦП, относящегося к типу многотактных (рис. 5). Здесь процесс преобразования разделен во времени.



**Рис. 5. Структурная схема  
двухтактного АЦП**

Преобразователь состоит из 4-разрядного параллельного АЦП, квант  $h$  которого определяется величиной опорного напряжения, 4-разрядного ЦАП и устройства управления. Если максимальный входной сигнал равен 2,56 В, то в первом такте преобразователь работает с шагом квантования  $h_1=0,16$  В. В это время входной код ЦАП равен нулю. Устройство управления пересылает полученное от АЦП в первом такте слово в четыре старших разряда выходного регистра, подает это слово на вход ЦАП и уменьшает в 16 раз опорное напряжение АЦП. Таким образом, во втором такте шаг квантования  $h_2=0,01$  В и остаток, образовавшийся при вычитании из входного напряжения схемы выходного напряжения ЦАП, будет преобразован в младший полубайт выходного слова.

Очевидно, что используемые в этой схеме 4-разрядные АЦП и ЦАП должны обладать 8-разрядной точностью, в противном случае возможен пропуск кодов, т.е. при монотонном нарастании входного напряжения выходной код АЦП не будет принимать некоторые значения из своей шкалы. Так же, как и в предыдущем преобразователе, входное напряжение многотактного АЦП во время преобразования должно быть неизменным, для чего между его входом и источником входного сигнала следует включить устройство выборки-хранения.

Быстродействие рассмотренного многотактного АЦП определяется полным временем преобразования 4-разрядного АЦП, временем срабатывания цифровых схем управления, временем установления ЦАП с погрешностью, не превышающей 0,2...0,3 кванта 8-разрядного АЦП, причем время преобразования АЦП входит в общее время преобразования дважды. В результате при прочих равных условиях преобразователь такого типа оказывается медленнее двухступенчатого преобразователя, рассмотренного выше. Однако он проще и дешевле. По быстродействию многотактные АЦП занимают промежуточное положение между многоступенчатыми АЦП и АЦП последовательного приближения. Примерами многотактных АЦП являются трехтактный 12-разрядный AD7886 со временем преобразования 1 мкс, или трехтактный 16-разрядный AD1382 со временем преобразования 2 мкс.

## Конвеерные АЦП

Быстродействие многоступенчатого АЦП можно повысить, применив конвеерный принцип многоступенчатой обработки входного сигнала. В обыкновенном многоступенчатом АЦП (рис. 4) вначале происходит формирование старших разрядов выходного слова преобразователем АЦП1, а затем идет период установления выходного сигнала ЦАП. На этом интервале АЦП2 простаивает. На втором этапе во время преобразования остатка преобразователем АЦП2 простаивает АЦП1. Введя элементы задержки аналогового и цифрового сигналов между ступенями преобразователя, получим конвеерный АЦП, схема 8-разрядного варианта которого приведена на рис. 6.

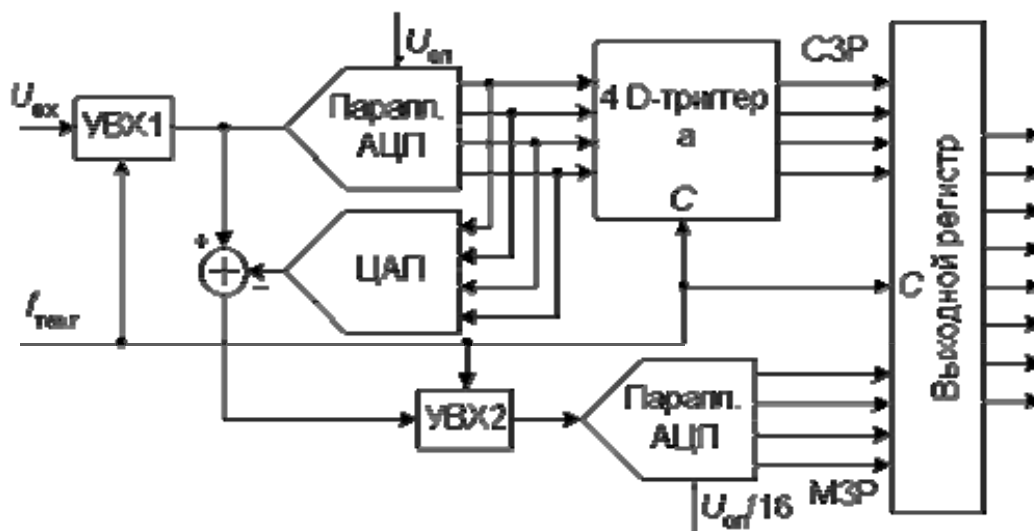


Рис. 6. Структурная схема конвейерного АЦП

Роль аналогового элемента задержки выполняет устройство выборки-хранения UBХ2, а цифрового - четыре D-триггера. Триггеры задерживают передачу старшего полубайта в выходной регистр на один период тактового сигнала CLK.

Сигналы выборки, формируемые из тактового сигнала, поступают на UBХ1 и UBХ2 в разные моменты времени (рис. 7). UBХ2 переводится в режим хранения позже, чем UBХ1 на время, равное суммарной задержке распространения сигнала по АЦП1 и ЦАП. Задний фронт тактового сигнала управляет записью кодов в D-триггеры и выходной регистр. Полная обработка входного сигнала занимает около двух периодов CLK, но частота появления новых значений выходного кода равна частоте тактового сигнала.

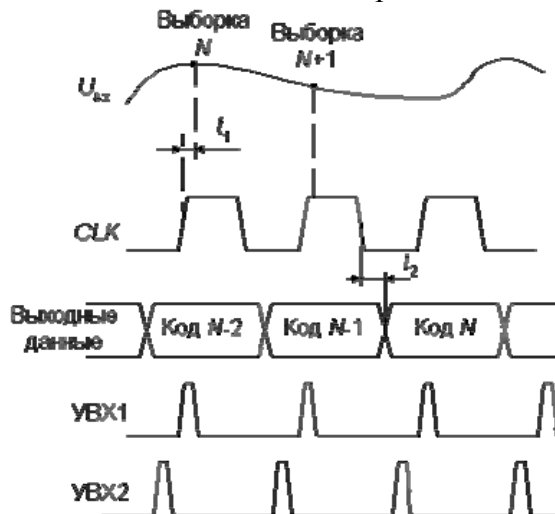


Рис.7. Диаграммы работы конвейерного АЦП

Таким образом, конвейерная архитектура позволяет существенно (в несколько раз) повысить максимальную частоту выборок многоступенчатого АЦП. То, что при этом сохраняется суммарная задержка прохождения сигнала, соответствующая обычному многоступенчатому АЦП с равным числом ступеней, не имеет существенного значения, так как время последующей цифровой обработки этих сигналов все равно многократно превосходит эту задержку. За счет этого можно без проигрыша в быстродействии увеличить число ступеней АЦП, понизив разрядность каждой ступени. В свою очередь, увеличение числа ступеней преобразования уменьшает сложность АЦП. Действительно,

например, для построения 12-разрядного АЦП из четырех 3-разрядных необходимо 28 компараторов, тогда как его реализация из двух 6-разрядных потребует 126 компараторов.

Конвейерную архитектуру имеет большое количество выпускаемых в настоящее время многоступенчатых АЦП. В частности, 2-ступенчатый 10-разрядный AD9040A, выполняющий до 40 млн. преобразований в секунду (МПс), 4-ступенчатый 12-разрядный AD9220 (10 МПс), потребляющий всего 250 мВт, и др. При выборе конвейерного АЦП следует иметь в виду, что многие из них не допускают работу с низкой частотой выборок. Например, изготовитель не рекомендует работу ИМС AD9040A с частотой преобразований менее 10 МПс, 3-ступенчатого 12-разрядного AD9022 с частотой менее 2 МПс и т.д. Это вызвано тем, что внутренние УВХ имеют довольно высокую скорость разряда конденсаторов хранения, поэтому работа с большим тактовым периодом приводит к значительному изменению преобразуемого сигнала в ходе преобразования.

## Последовательные АЦП

### АЦП последовательного счета

Этот преобразователь является типичным примером последовательных АЦП с единичными приближениями и состоит из компаратора, счетчика и ЦАП (рис. 8). На один вход компаратора поступает входной сигнал, а на другой - сигнал обратной связи с ЦАП.

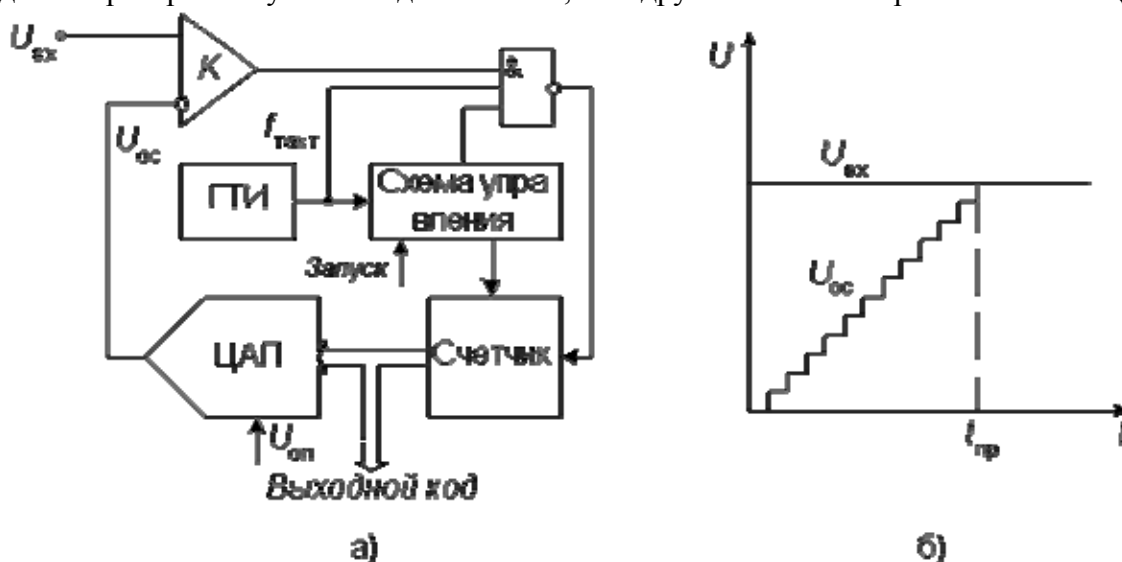


Рис. 8. Структурная схема АЦП последовательного счета

Работа преобразователя начинается с прихода импульса запуска, который включает счетчик, суммирующий число импульсов, поступающих от генератора тактовых импульсов ГТИ. Выходной код счетчика подается на ЦАП, осуществляющий его преобразование в напряжение обратной связи  $U_{ос}$ . Процесс преобразования продолжается до тех пор, пока напряжение обратной связи сравнивается со входным напряжением и переключится компаратор, который своим выходным сигналом прекратит поступление тактовых импульсов на счетчик. Переход выхода компаратора из 1 в 0 означает завершение процесса преобразования. Выходной код, пропорциональный входному напряжению в момент окончания преобразования, считывается с выхода счетчика.

Время преобразования АЦП этого типа является переменным и определяется входным напряжением. Его максимальное значение соответствует максимальному входному напряжению и при разрядности двоичного счетчика  $N$  и частоте тактовых импульсов  $f_{такт}$  равно

$$t_{пр.макс} = (2^N - 1) / f_{такт}. \quad (5)$$



Например, при  $N=10$  и  $f_{\text{такт}}=1$  МГц  $t_{\text{пр.макс}}=1024$  мкс, что обеспечивает максимальную частоту выборок порядка 1 кГц.

Статическая погрешность преобразования определяется суммарной статической погрешностью используемых ЦАП и компаратора. Частоту счетных импульсов необходимо выбирать с учетом завершения переходных процессов в них.

При работе без устройства выборки-хранения апертурное время совпадает с временем преобразования. Как следствие, результат преобразования чрезвычайно сильно зависит от пульсаций входного напряжения. При наличии высокочастотных пульсаций среднее значение выходного кода нелинейно зависит от среднего значения входного напряжения. Это означает, что АЦП данного типа без устройства выборки-хранения пригодны для работы с постоянными или медленно изменяющимися напряжениями, которые за время преобразования изменяются не более, чем на значение кванта преобразования.

Таким образом, особенностью АЦП последовательного счета является небольшая частота дискретизации, достигающая нескольких кГц. Достоинством АЦП данного класса является сравнительная простота построения, определяемая последовательным характером выполнения процесса преобразования.

### АЦП последовательного приближения

Преобразователь этого типа, называемый в литературе также АЦП с поразрядным уравниванием, является наиболее распространенным вариантом последовательных АЦП.

В основе работы этого класса преобразователей лежит принцип дихотомии, т.е. последовательного сравнения измеряемой величины с  $1/2$ ,  $1/4$ ,  $1/8$  и т.д. от возможного максимального значения ее. Это позволяет для  $N$ -разрядного АЦП последовательного приближения выполнить весь процесс преобразования за  $N$  последовательных шагов (итераций) вместо  $2N-1$  при использовании последовательного счета и получить существенный выигрыш в быстродействии. Так, уже при  $N=10$  этот выигрыш достигает 100 раз и позволяет получить с помощью таких АЦП до 105...106 преобразований в секунду. В то же время статическая погрешность этого типа преобразователей, определяемая в основном используемым в нем ЦАП, может быть очень малой, что позволяет реализовать разрешающую способность до 18 двоичных разрядов при частоте выборок до 200 кГц (например, DSP101 фирмы Burr-Brown).

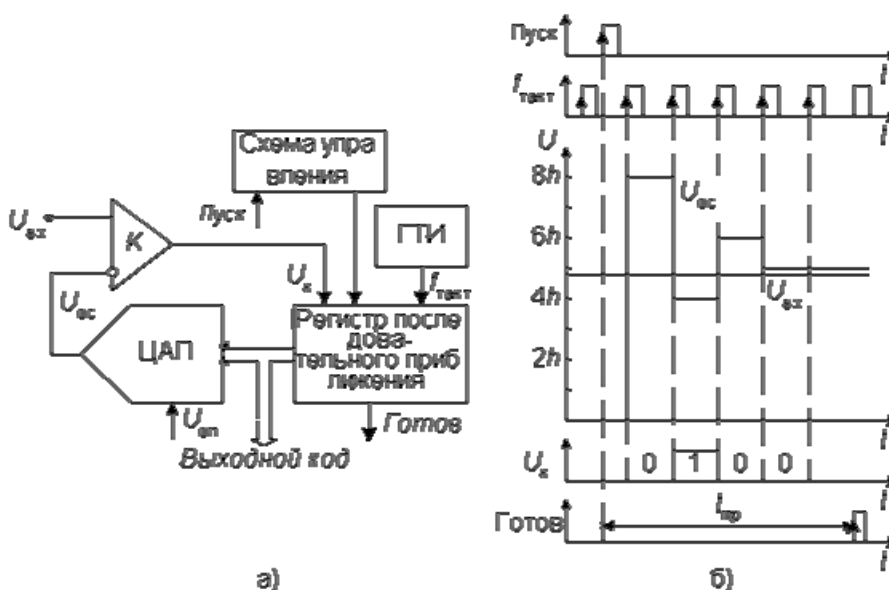


Рис. 9. Структурная схема и временные диаграммы АЦП последовательного приближения

Рассмотрим принципы построения и работы АЦП последовательного приближения на примере классической структуры (рис. 9а) 4-разрядного преобразователя, состоящего из трех основных узлов: компаратора, регистра последовательного приближения (РПП) и ЦАП.

После подачи команды "Пуск" с приходом первого тактового импульса РПП принудительно задает на вход ЦАП код, равный половине его шкалы (для 4-разрядного ЦАП это  $1000_2 = 8_{10}$ ). Благодаря этому напряжение  $U_{oc}$  на выходе ЦАП (рис. 9б)

$$U_{oc} = 2^3 h.$$

где  $h$  - квант выходного напряжения ЦАП, соответствующий единице младшего разряда (ЕМР). Эта величина составляет половину возможного диапазона преобразуемых сигналов. Если входное напряжение больше, чем эта величина, то на выходе компаратора устанавливается 1, если меньше, то 0. В этом последнем случае схема управления должна переключить старший разряд  $d_3$  обратно в состояние нуля. Непосредственно вслед за этим остаток

$$U_{vx} - d_3 2^3 h$$

таким же образом сравнивается с ближайшим младшим разрядом и т.д. После четырех подобных выравнивающих шагов в регистре последовательного приближения оказывается двоичное число, из которого после цифро-аналогового преобразования получается напряжение, соответствующее  $U_{vx}$  с точностью до 1 ЕМР. Выходное число может быть считано с РПП в виде параллельного двоичного кода по  $N$  линиям. Кроме того, в процессе преобразования на выходе компаратора, как это видно из рис. 9б, формируется выходное число в виде последовательного кода старшими разрядами вперед.

Быстродействие АЦП данного типа определяется суммой времени установления туст ЦАП до установившегося значения с погрешностью, не превышающей 0,5 ЕМР, времени переключения компаратора  $t_k$  и задержки распространения сигнала в регистре последовательного приближения  $t_z$ . Сумма  $t_k + t_z$  является величиной постоянной, а туст уменьшается с уменьшением веса разряда. Следовательно, для определения младших разрядов может быть использована более высокая тактовая частота. При поразрядной вариации  $f_{такт}$  возможно уменьшение времени преобразования  $t_{пр}$  на 40%. Для этого в состав АЦП может быть включен контроллер.

При работе без устройства выборки-хранения апертурное время равно времени между началом и фактическим окончанием преобразования, которое так же, как и у АЦП последовательного счета, по сути зависит от входного сигнала, т.е. является переменным. Возникающие при этом апертурные погрешности носят также нелинейный характер. Поэтому для эффективного использования АЦП последовательного приближения, между его входом и источником преобразуемого сигнала следует включать УВХ. Большинство выпускаемых в настоящее время ИМС АЦП последовательного приближения (например, 12-разрядный MAX191, 16-разрядный AD7882 и др.), имеет встроенные устройства выборки-хранения или, чаще, устройства слежения-хранения (track-hold), управляемые сигналом запуска АЦП. Устройство слежения-хранения отличается тем, что постоянно находится в режиме выборки, переходя в режим хранения только на время преобразования сигнала.

Данный класс АЦП занимает промежуточное положение по быстродействию, стоимости и разрешающей способности между последовательно-параллельными и интегрирующими АЦП и находит широкое применение в системах управления, контроля и цифровой обработки сигналов.

## **Интегрирующие АЦП**

Недостатком рассмотренных выше последовательных АЦП является низкая помехоустойчивость результатов преобразования. Действительно, выборка мгновенного

значения входного напряжения, обычно включает слагаемое в виде мгновенного значения помехи. Впоследствии при цифровой обработке последовательности выборок эта составляющая может быть подавлена, однако на это требуется время и вычислительные ресурсы. В АЦП, рассмотренных ниже, входной сигнал интегрируется либо непрерывно, либо на определенном временном интервале, длительность которого обычно выбирается кратной периоду помехи. Это позволяет во многих случаях подавить помеху еще на этапе преобразования. Платой за это является пониженное быстродействие интегрирующих АЦП.

### АЦП многотактного интегрирования

Упрощенная схема АЦП, работающего в два основных такта (АЦП двухтактного интегрирования), приведена на рис. 10.

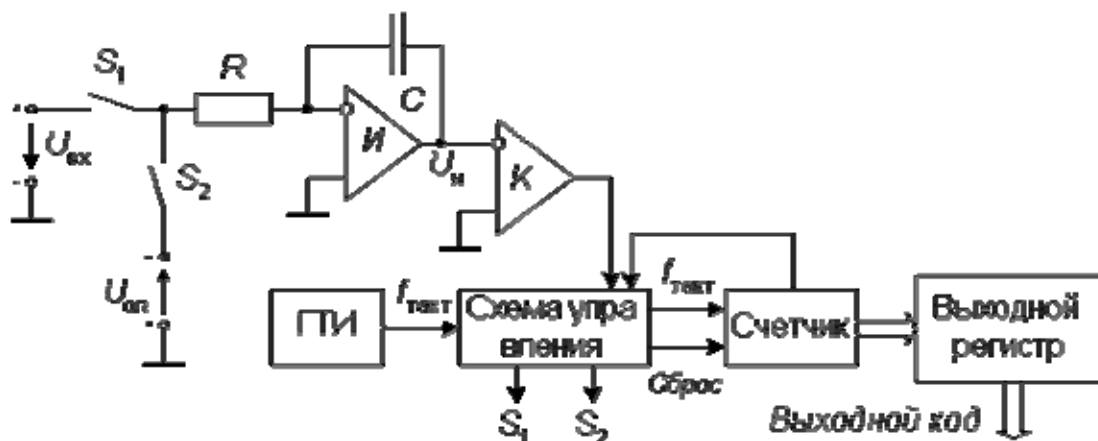


Рис. 10. Упрощенная схема АЦП двухтактного интегрирования

Преобразование проходит две стадии: стадию интегрирования и стадию счета. В начале первой стадии ключ  $S_1$  замкнут, а ключ  $S_2$  разомкнут. Интегратор И интегрирует входное напряжение  $U_{вх}$ . Время интегрирования входного напряжения  $t_1$  постоянно; в качестве таймера используется счетчик с коэффициентом пересчета  $K_{сч}$ .

После окончания стадии интегрирования ключ  $S_1$  размыкается, а ключ  $S_2$  замыкается и опорное напряжение  $U_{оп}$  поступает на вход интегратора. При этом выбирается опорное напряжение, противоположное по знаку входному напряжению. На стадии счета выходное напряжение интегратора линейно уменьшается по абсолютной величине, как показано на рис. 11.

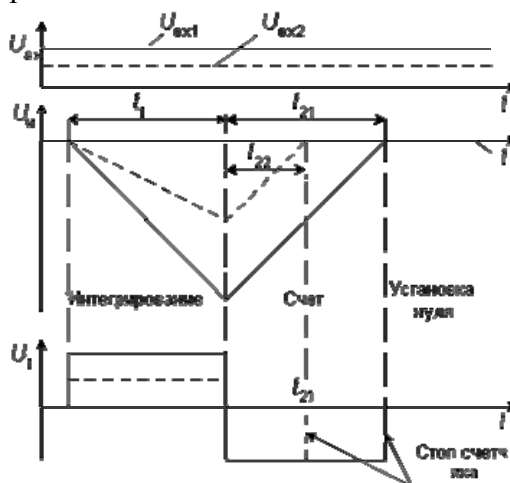
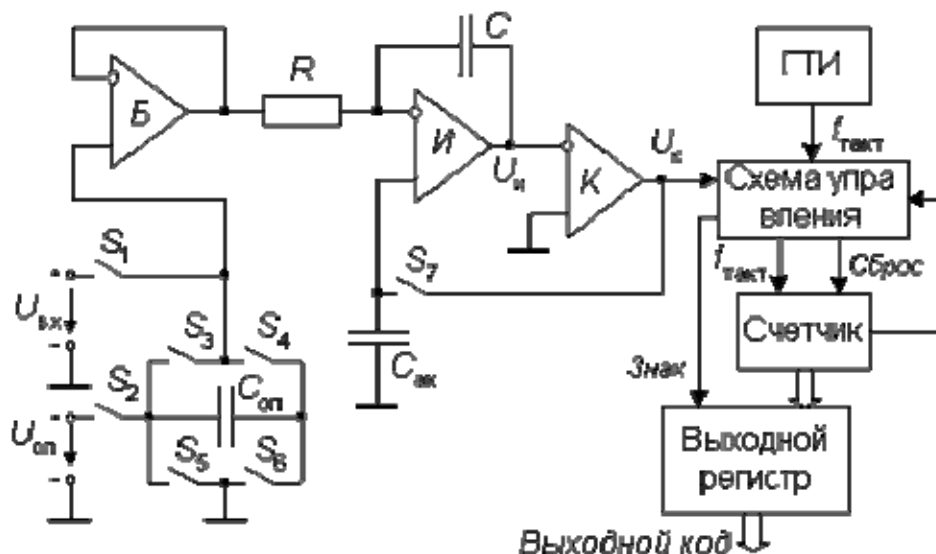


Рис. 11. Временные диаграммы АЦП двухтактного интегрирования

Стадия счета заканчивается, когда выходное напряжение интегратора переходит через нуль. При этом компаратор К переключается и счет останавливается.

### **Автоматическая коррекция нуля. Преобразование биполярных входных сигналов**

Статическая точность АЦП многотактного интегрирования определяется только точностью источника опорного напряжения и смещением нуля интегратора и компаратора, которые суммируются с опорным напряжением. Смещение нуля можно устранить автоматической компенсацией. Для этого в цикл преобразования вводят дополнительную стадию установки нуля (см. рис. 11), во время которой интегратор отключается от источников сигналов и совместно с компаратором охватывается глубокой отрицательной обратной связью, как это показано на рис 13. Здесь в качестве компаратора используется ОУ. Между интегратором и входом АЦП включен неинвертирующий повторитель в качестве буферного усилителя Б. Между интегратором и входом АЦП включен неинвертирующий повторитель в качестве буферного усилителя Б.



**Рис. 13. АЦП двухтактного интегрирования с автоматической компенсацией смещения нуля**

В фазе автоматической компенсации нуля ключи S1, S3, S5 разомкнуты, а ключи S2, S4, S6, S7 - замкнуты. Поэтому интегратор, компаратор и буферный усилитель образуют повторитель напряжения, выходное напряжение которого  $U_k$  подается на конденсатор автоматической компенсации  $C_{ак}$ . Входное напряжение буферного усилителя равно нулю, а выходное - его смещению нуля  $U_{0б}$ . После окончания переходных процессов на конденсаторе  $C_{ак}$  установится напряжение, равное  $U_{0б} + U_{0и}$ , где  $U_{0и}$  - смещение нуля интегратора. Одновременно конденсатор  $C_{оп}$  заряжается от источника опорного напряжения.

На стадии интегрирования входного напряжения ключи S4 и S7 размыкаются, а S1 - замыкается. Так как на это время напряжение на конденсаторе  $C_{ак}$  запоминается, смещение нуля в течение фазы интегрирования компенсируется. При этом дрейф нуля определяется только кратковременной нестабильностью, которая очень мала. То же самое сохраняется на стадии счета.

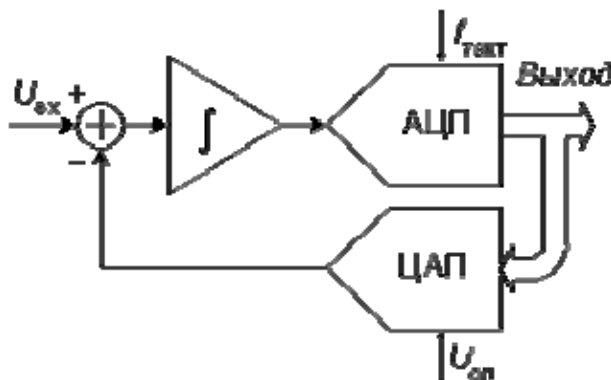
Поскольку в контуре компенсации смещения нуля последовательно включены два усилителя, то легко могут возникнуть автоколебания. Для стабилизации последовательно с ключом S7 следует включить резистор.

После окончания фазы интегрирования схема управления анализирует выходное напряжение компаратора. Если среднее значение входного напряжения положительно, то на выходе компаратора устанавливается напряжение высокого уровня. В этом случае одновременно с размыканием ключа S1 замыкаются ключи S4 и S5, подключая ко входу буферного усилителя конденсатор  $C_{оп}$  с сохраненным на нем опорным напряжением, причем так, что это напряжение имеет полярность, противоположную полярности источника опорного напряжения. Если среднее значение входного напряжения отрицательно, то на выходе компаратора устанавливается напряжение низкого уровня. Тогда замыкаются ключи S3 и S6, подключая ко входу буферного усилителя опорный конденсатор другими полюсами. В обоих случаях в стадии счета происходит изменение напряжения интегратора  $U_i(t)$  в направлении, противоположном тому, которое имело место в стадии интегрирования. Одновременно схема управления формирует код знака. Таким образом, в простейшем случае выходной код АЦП представляет собой прямой код со знаком.

### Сигма-дельта АЦП

АЦП многотактного интегрирования имеют ряд недостатков. Во-первых, нелинейность переходной статической характеристики операционного усилителя, на котором выполняют интегратор, заметным образом сказывается на интегральной нелинейности характеристики преобразования АЦП высокого разрешения. Для уменьшения влияния этого фактора АЦП изготавливают многотактными. Например, 13-разрядный AD7550 выполняет преобразование в четыре такта. Другим недостатком этих АЦП является то обстоятельство, что интегрирование входного сигнала занимает в цикле преобразования только приблизительно третью часть. Две трети цикла преобразователь не принимает входной сигнал. Это ухудшает помехоподавляющие свойства интегрирующего АЦП. В-третьих, АЦП многотактного интегрирования должен быть снабжен довольно большим количеством внешних резисторов и конденсаторов с высококачественным диэлектриком, что значительно увеличивает место, занимаемое преобразователем на плате и, как следствие, усиливает влияние помех.

Эти недостатки во многом устранены в конструкции сигма-дельта АЦП (в ранней литературе эти преобразователи назывались АЦП с уравниванием или балансом зарядов). Своим названием эти преобразователи обязаны наличием в них двух блоков: сумматора (обозначение операции - S) и интегратора (обозначение операции - D). Один из принципов, заложенных в такого рода преобразователях, позволяющий уменьшить погрешность, вносимую шумами, а следовательно увеличить разрешающую способность - это усреднение результатов измерения на большом интервале времени.



**Рис. 14. Структурная схема  
сигма-дельта модулятора**

Основные узлы АЦП - это сигма-дельта модулятор и цифровой фильтр. Схема n-разрядного сигма-дельта модулятора первого порядка приведена на рис. 14. Работа этой

схемы основана на вычитании из входного сигнала  $U_{вх}(t)$  величины сигнала на выходе ЦАП, полученной на предыдущем такте работы схемы. Полученная разность интегрируется, а затем преобразуется в код параллельным АЦП невысокой разрядности. Последовательность кодов поступает на цифровой фильтр нижних частот.

Порядок модулятора определяется численностью интеграторов и сумматоров в его схеме. Сигма-дельта модуляторы N-го порядка содержат N сумматоров и N интеграторов и обеспечивают большее соотношение сигнал/шум при той же частоте отсчетов, чем модуляторы первого порядка. Примерами сигма-дельта модуляторов высокого порядка являются одноканальный AD7720 седьмого порядка и двухканальный ADMOD79 пятого порядка.

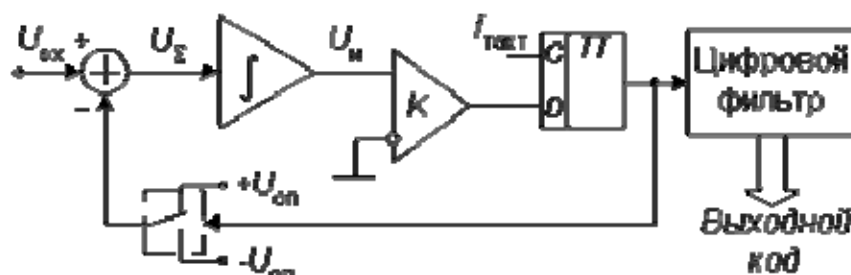


Рис. 15. Структурная схема сигма-дельта АЦП

Наиболее широко в составе ИМС используются однобитные сигма-дельта модуляторы, в которых в качестве АЦП используется компаратор, а в качестве ЦАП - аналоговый коммутатор (рис. 15). Принцип действия пояснен в табл. 2 на примере преобразования входного сигнала, равного 0,6 В, при  $U_{оп}=1$  В. Пусть постоянная времени интегрирования интегратора численно равна периоду тактовых импульсов. В нулевом периоде выходное напряжение интегратора сбрасывается в нуль. На выходе ЦАП также устанавливается нулевое напряжение.

Таблица 2

$U_{вх}=0,6$ В					$U_{вх}=0$ В				
N такта	US, В	Ui, В	Uк, бит	УЦАП, В	N такта	US, В	Ui, В	Uк, бит	УЦАП, В
1	0,6	0,6	1	1	1	1	1	1	1
2	-0,4	0,2	1	1	2	-1	0	0	-1
3	-0,4	-0,2	0	-1	3	1	1	1	1
4	1,6	1,4	1	1	4	-1	0	0	-1
5	-0,4	1,0	1	1	5	1	1	1	1
6	-0,4	0,6	1	1	6	-1	0	0	-1
7	-0,4	0,2	1	1	7	1	1	1	1
8	-0,4	-0,2	0	-1	8	-1	0	0	-1
9	1,6	1,4	1	1	9	1	1	1	1
10	-0,4	1,0	1	1	10	-1	0	0	-1
11	-0,4	0,6	1	1	11	1	1	1	1
12	-0,4	0,2	1	1	12	-1	0	0	-1
13	-0,4	-0,2	0	-1	13	1	1	1	1
14	1,6	1,4	1	1	14	-1	0	0	-1
15	-0,4	1,0	1	1	15	1	1	1	1
16	-0,4	0,6	1	1	16	-1	0	0	-1

Сравнение сигма-дельта АЦП с АЦП многотактного интегрирования показывает значительные преимущества первых. Прежде всего, линейность характеристики преобразования сигма-дельта АЦП выше, чем у АЦП многотактного интегрирования равной стоимости. Это объясняется тем, что интегратор сигма-дельта АЦП работает в значительно более узком динамическом диапазоне, и нелинейность переходной

характеристики усилителя, на котором построен интегратор, сказывается значительно меньше. Емкость конденсатора интегратора у сигма-дельта АЦП значительно меньше (десятки пикофарад), так что этот конденсатор может быть изготовлен прямо на кристалле ИМС. Как следствие, сигма-дельта АЦП практически не имеет внешних элементов, что существенно сокращает площадь, занимаемую им на плате, и снижает уровень шумов. В результате, например, 24-разрядный сигма-дельта АЦП AD7714 изготавливается в виде однокристалльной ИМС в 24-выводном корпусе, потребляет 3 мВт мощности и стоит примерно 14 долларов США, а 18-разрядный АЦП восьмитактного интегрирования HI-7159 потребляет 75 мВт и стоит около 30 долларов. К тому же сигма-дельта АЦП начинает давать правильный результат через 3-4 отсчета после скачкообразного изменения входного сигнала, что при величине первой частоты режекции, равной 50 Гц, и 20-разрядном разрешении составляет 60-80 мс, а минимальное время преобразования АЦП HI-7159 для 18-разрядного разрешения и той же частоты режекции составляет 140 мс. В настоящее время ряд ведущих по аналого-цифровым ИМС фирм, такие как Analog Devices и Burr-Brown, прекратили производство АЦП многотактного интегрирования, полностью перейдя в области АЦ-преобразования высокого разрешения на сигма-дельта АЦП.

Сигма-дельта АЦП высокого разрешения имеют развитую цифровую часть, включающую микроконтроллер. Это позволяет реализовать режимы автоматической установки нуля и самокалибровки полной шкалы, хранить калибровочные коэффициенты и передавать их по запросу внешнего процессора.

## АЦП микроконтроллера LPC2292

### Основные характеристики

- 10-битное последовательное преобразование
- 8 мультиплексируемых каналов
- Режим энергосбережения
- Диапазон измерений от 0 до 3В
- Время 10-битного преобразования  $\geq 2.44$  мкс
- Burst-режим преобразования для одного или нескольких каналов

Основным источником тактовых импульсов АЦП является линия VPB. АЦП имеет программно-управляемый делитель частоты (максимальная рабочая частота АЦП – 4,5МГц). Преобразование с максимальной точностью выполняется за 11 тактов.

### Регистры АЦП

АЦП данного микроконтроллера имеет два регистра специального назначения.

#### Управляющий регистр АЦП (ADCR)

Биты	Название	Описание
7:0	SEL	Выбор оцифровываемых аналоговых входов. В программно-управляемом режиме может быть выбран только один вход. В аппаратном режиме может быть выбрано любое количество входов. Нулевое значение этих битов соответствует значению 0x01.
15:8	CLKDIV	Частота VPB (PCLK) делится на (это значение + 1) чтобы получить частоту работы АЦП, которая должна быть меньше или равна 4,5МГц.
16	BURST	Если этот бит, равен нулю, производится программно-управляемое преобразование, которое требует 11 тактов. Если этот бит, равен единице, АЦП производит периодическое преобразование со скоростью указанной в CLKS.
19:17	CLKS	Количество тактов, затрачиваемое на преобразование в Burst-режиме, и количество точных битов результата. 000 = 11 тактов/10 бит, 001 = 10 тактов/9 бит, ..., 111 = 4 такта/3 бита.
21	PDN	1: АЦП включено 0: АЦП выключено
23:22	TEST 1:0	Эти биты используются для тестирования устройства. (00 = нормальный режим работы)
26:24	START	Если бит BURST равен нулю, эти биты указывают событие, по которому начинается преобразование. 000: не начинать преобразование 001: начать преобразование немедленно 010: начать преобразование по перепаду указанному в бите EDGE на линии P0.16/EINT0/MAT0.2/CAP0.2 011: начать преобразование по перепаду указанному в бите EDGE на линии P0.22/TD3/CAP0.0/MAT0.0 100: начать преобразование по перепаду указанному в бите EDGE на линии MAT0.1



		101: начать преобразование по перепаду указанному в бите EDGE на линии MAT0.3 110: начать преобразование по перепаду указанному в бите EDGE на линии MAT1.0 111: начать преобразование по перепаду указанному в бите EDGE на линии MAT1.1
27	EDGE	Эти биты используются, только если в поле START находится значение из интервала 010-111. 0: начало преобразования по отрицательному перепаду выбранного CAP/MAT сигнала 1: начало преобразования по положительному перепаду выбранного CAP/MAT сигнала

## Регистр данных АЦП (ADDR)

Биты	Название	Описание
5:0		Эти биты всегда читаются как ноль. Они предназначены для совместимости с высокоточными АЦП в будущем.
15:6	V/V <sub>3A</sub>	Когда бит DONE установлен в единицу, это поле содержит двоичное значение, представляющее напряжение на линии Ain выбранной полем SEL, деленное на напряжение на линии VddA. Ноль в этом поле показывает, что напряжение на линии Ain меньше, равно или близко к V <sub>SSA</sub> . Значение 0x3FF указывает, что напряжение на линии Ain больше, равно или близко к V <sub>3A</sub> .
23:16		Эти биты всегда читаются как ноль.
26:24	CHN	Эти биты содержат номер канала, из которого было проведено преобразование.
29:27		Эти биты всегда читаются как ноль. В будущем они могут использоваться для расширения поля CHN для совместимости с АЦП с большим количеством каналов.
30	OVERUN	Этот бит устанавливается в единицу в Burst-режиме, если результаты одного или более преобразований были потеряны и перезаписаны до того, как преобразование сформировало результат в младших битах.
31	DONE	Этот бит устанавливается в единицу, когда АЦП заканчивает преобразование. Бит очищается, когда считывается этот регистр (ADDR) или производится запись в регистр ADCR. Если запись в регистр ADCR произошла во время выполнения преобразования, этот бит устанавливается и начинается новое преобразование.

## Прерывания АЦП

Когда бит DONE устанавливается в единицу, в VIC (Vectored Interrupt Controller) поступает сигнал прерывания от АЦП. В программе можно настроить бит "разрешения прерывания" в VIC. Бит DONE сбрасывается после чтения регистра ADDR.

## Литература

1. Учебный стенд SDK-2.0. Инструкция по эксплуатации
2. LPC2119/2129/2194/2292/2294 USER MANUAL. Philips Semiconductors.
3. Волович Г.И. Аналого-цифровые преобразователи,  
<http://www.gaw.ru/html.cgi/txt/doc/adc/index.htm>