

Учебный стенд SDK-2.0

Руководство по эксплуатации

ОГЛАВЛЕНИЕ

Введение	3
Назначение	3
Особенности	3
Область применения	4
Технические и эксплуатационные характеристики	4
Устройство и работа	5
Описание основных компонентов стенда	5
Микроконтроллер LPC2292 фирмы Philips	5
Системный супервизор	6
Гальваническая изоляция	7
Интерфейс JTAG	8
Интерфейс Ethernet 10/100 BASE-TX	9
Инструментальный последовательный канал RS232	9
Интерфейс RS485	9
Интерфейс CAN 2.0	10
Жидкокристаллический дисплей	10
Клавиатура AK1604A-WWB	10
Дискретные порты ввода-вывода	10
Аналоговые порты ввода	10
Размещение элементов и разъёмов	11
Описание элементов управления	11
Описание разъёмов	12
Распределение памяти	15
Описание портов ввода-вывода	15
Микроконтроллер LPC2292	17
Контроллер последовательного канала	17
UxDLL, регистр делителя частоты, младшая часть	17
UxDLM, регистр делителя частоты, старшая часть	17
Регистр UxLCR, регистр управления линией	18
UxLSR, регистр статуса	18
UxRBR, регистр данных, чтение	18
UxTHR, регистр данных, запись	18
Таймеры-счетчики	19
Описание выводов микроконтроллера используемых при работе с таймерами	19
Описание регистров таймеров	20
Регистр IR	20
Регистр TCR	20
Регистр MCR	21
Регистр CCR	21
Регистр EMR	22
Контроллер прерываний	22
Регистр VICProtection (Protection Enable Register)	23
Регистр VICIntEnClear (Interrupt Enable Clear Register)	23
Регистр VICIntSelect (Interrupt Select Register)	23
Регистры VICVectAddr0-15 (Vector Address Registers)	23
Регистры VICVectCntl0-15 (Vector Control Registers)	23
Регистр VICIntEnable (Interrupt Enable Register)	23

Регистр VICVectAddr (Vector Address Register)	24
Регистр VICDefVectAddr (Default Vector Address Register)	24
Контроллер CAN	24
Регистр режима работы CANMOD	25
Командный регистр CANCMR	25
Глобальный регистр статуса CANGSR	26
Регистр разрешения прерывания CANIER	27
Регистр временных характеристик шины CANBTR	27
Регистр статуса CANSR	27
Регистр статуса полученного сообщения CANRFS	28
Регистр данных полученного сообщения CANRDA	28
Регистр информации о передаваемом сообщении CANTFI	28
Аналого-цифровой преобразователь	29
Управляющий регистр АЦП (ADCR)	29
Регистр данных АЦП (ADDR)	30
Прерывания АЦП	30
Программирование стенда	31
Инструментальное обеспечение	31
Среда разработки и компиляторы C/C++	31
Создание нового проекта	31
Настройка проекта	33
Настройка файла Startup	36
Настройка стека	36
Настройка делителя шины VPB	36
Настройка умножителя частоты (PLL) микроконтроллера	37
Настройка модуля ускорения памяти (MAM)	37
Настройка контроллера внешней памяти (EMC)	37
Написание простой программы	38
Загрузка исполняемого модуля	38

Введение

Настоящее руководство содержит сведения об учебном стенде SDK-2.0 (далее стенде) необходимые для обеспечения полного использования его технических возможностей, правильной эксплуатации и технического обслуживания. При эксплуатации изделия необходимо руководствоваться следующими дополнительными документами:

- Учебный стенд SDK-2.0, технический паспорт;
- Учебный стенд SDK-2.0, схема электрическая принципиальная.

Изделие может являться источником возгорания. Помещение, в котором будет работать стенд, должно быть оборудовано огнетушителями, предназначенными для тушения электрооборудования.

Назначение

Учебный лабораторный комплекс SDK-2.0 предназначен для изучения принципов организации микропроцессорных систем, структуры и функционирования базовых компонентов (памяти, контроллеров ввода-вывода, подсистемы памяти и т.д.), получения навыков программирования встраиваемых систем различного назначения.

Отличительными чертами SDK-2.0 является высокая производительность процессорного ядра, ориентация на одну из наиболее динамично развивающихся архитектур - ARM7, большое разнообразие периферийных блоков, включая часы реального времени, энергонезависимую память EEPROM, графическую консоль, контроллер Ethernet, контроллер беспроводных сетей IEEE 802.15.4, порты CAN 2.0 и RS-485.

Особенности

Вычислительное ядро:

- Центральный процессор имеет широко распространенную архитектуру ARM 7, лицензируемую всеми ведущими производителями микросхем.
- Значительный объем памяти программ и данных, наличие энергонезависимой памяти EEPROM позволяют реализовывать сложные системные программные комплексы, в том числе файловые системы и операционные системы реального времени.
- Развитая структура подсистемы временной синхронизации – встроенные часы реального времени, таймеры-счетчики – обеспечивают возможность глубокого исследования принципов и проблем организации систем реального времени, планирования и синхронизации процессов и т.п.
- Аппаратный сторожевой таймер (watchdog) для защиты от заикливания при сбоях.

Система ввода-вывода

- Большое количество дискретных входов-выходов с возможностью задавать образцовые тестовые воздействия.
- Быстродействующие аналоговые входы и выходы работающие, в том числе, в режиме ПДП.

Коммуникационная подсистема:

- Большой выбор коммуникационных интерфейсов: CAN 2.0, RS-485, RS-232, IEEE 802.15.4, Ethernet 10/100Base-TX.
- Ресурсов стенда достаточно для реализации полнофункционального стека протоколов TCP/IP, включая WEB-сервер.

Возможности разработки и отладки программного обеспечения:

- Возможность загрузки и запуска тестовых программ в ОЗУ контроллера, без перепрограммирования FLASH.

- Возможность интерактивной встроенной отладки в рамках технологий JTAG и EmbeddedICE.
- Обновление встроенного системного программного обеспечения во FLASH-памяти производится с персонального компьютера по стандартному каналу RS-232, без применения специальных программаторов.

Область применения

Широкий спектр возможностей комплекса SDK 2.0 позволяет использовать его:

- Для проведения учебных и исследовательских работ в ВУЗах и колледжах. Учебный стенд позволяет осуществлять поддержку лабораторных работ по целому ряду курсов: системы ввода-вывода, информационно-управляющие системы, операционные системы реального времени, программное обеспечение встроенных систем, компьютерная графика, микропроцессорная техника, проектирование системного программного обеспечения.
- В качестве прототипа при разработке разнообразных электронных модулей - контроллеров и приборов - на предприятиях приборостроительной отрасли.
- Для автоматизации лабораторных исследований и простых технологических процессов в лабораториях и на производстве.
- В качестве центрального контроллера (мастера) в распределенных системах сбора данных и управления на базе каналов RS-485 или CAN 2.0.
- В качестве простой панели оператора.

Технические и эксплуатационные характеристики

- | | |
|----------------------------|------------------------------|
| – Тип основного процессора | - LCP2292 (ARM 7 TDMI-S) |
| – Память программ FLASH | - 256 Кбайт |
| – Статическое ОЗУ | - 144 Кбайт (до 1 Мб) |
| – Память EEPROM | - 256 байт (До 32 Кб) |
| – Часы реального времени | - есть, с резервным питанием |
| – Клавиатура | - кнопочная 4*4 |
| – ЖКИ | - графический FSTN, 122x32 |
| – Звукоизлучатель | - есть |

Ввод-вывод

- | | |
|--------------------------|--|
| – Аналоговый ввод | - 8 каналный АЦП, 10 разр., 0..5В; |
| – Аналоговый вывод | - 2 канала на базе ШИМ, 10 разр., 0..5В. |
| – Дискретный ввода-вывод | - 20 каналов TTL |

Характеристики каналов связи:

- | | |
|------------------|--|
| – RS-232 | - 1 канал, гальваническая изоляция, инструментальные функции |
| – CAN 2.0 | - 2 канала , гальваническая изоляция |
| – RS-485 | - 1 канал, гальваническая изоляция |
| – IEEE 802.15.4 | - 1 канал, до 256 Кб/с |
| – Интерфейс ЛВС | - 1 канал Ethernet, 10/100 Base-TX |
| – Электропитание | - 9..30 В, не более 3Вт |

Устройство и работа

Стенд представляет собой одноплатное устройство, с внешним источником питания для сети с переменным напряжением 220 В. На плате находятся:

- Микроконтроллер LCP2292 на базе ядра ARM 7 TDMI;
- Подсистема интерфейса человек-машина, состоящая из графического дисплея, клавиатуры и звукового излучателя;
- Сетевая подсистема включающая в себя два порта CAN-2.0, один канал RS-485, один канал IEEE 802.15.4 и один канал Ethernet 10/100 Base-TX;
- Часы реального времени и микросхема энергонезависимой памяти с интерфейсом I²C;
- Подсистема ввода-вывода включающая в себя 8 каналов АЦП и 20 каналов дискретного ввода-вывода.

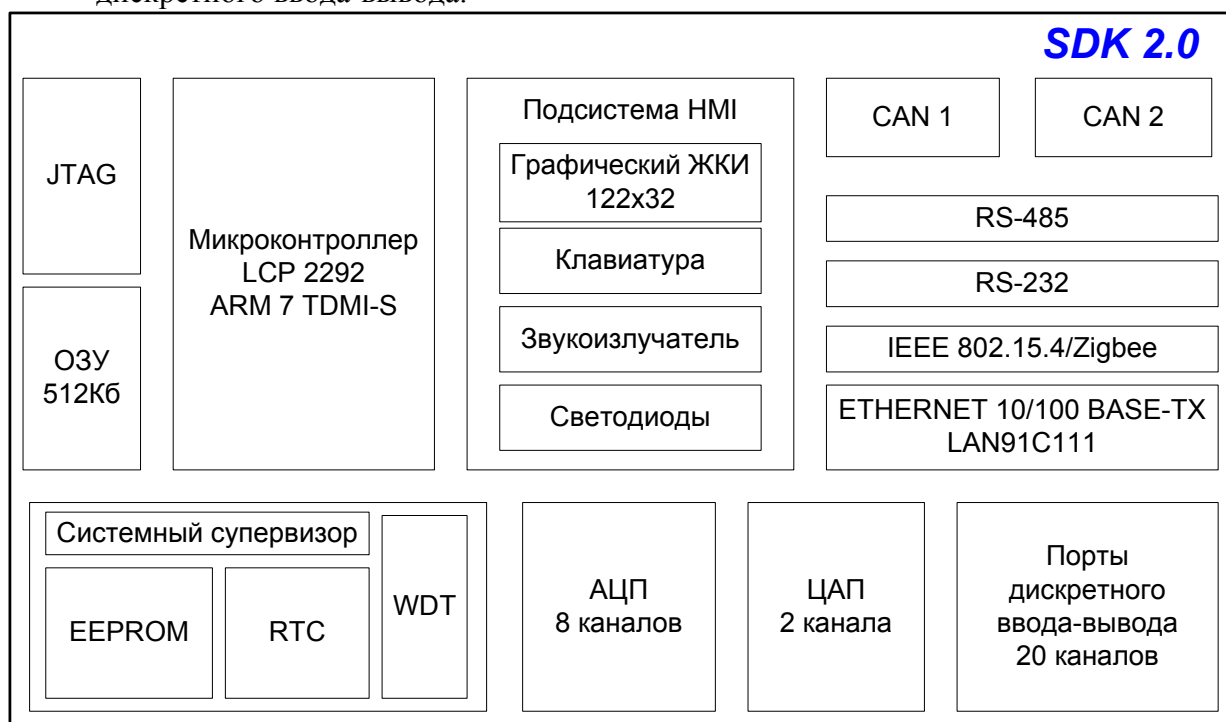


Рисунок 1 Структура стенда

Программы пользователя хранятся во внутренней FLASH памяти микроконтроллера LCP2292. Для загрузки новых программ в стенд используется инструментальный интерфейс RS232.

Описание основных компонентов стенда

Микроконтроллер LPC2292 фирмы Philips

16/32-разрядные ARM-микроконтроллеры с 256 кбайт внутрисистемно-программируемой флэш-памятью, CAN-интерфейсом, 10-разрядным АЦП и интерфейсом внешней памяти. Отличительные особенности:

- 16/32-разр. микроконтроллер ARM7TDMI-S в корпусе LQFP144
- 16 кбайт встроенного статического ОЗУ и 256 кбайт встроенной флэш-памяти программ. 128-разр. интерфейс/ускоритель позволяет работу на частоте 60 МГц
- Внутрисистемное программирование (ISP) поддерживается встроенной программой программатора в загрузочном секторе. Программирование страницы из 512 байт требует 1 мс. Стирание одного сектора или всей памяти длится 400 мс.

- Встроенное программное ядро реально-временной эмуляции и трассировки позволяет отслеживать выполнение программы в реальном масштабе времени
- Два/четыре (LPC2292/2294) связанных CAN-интерфейса с модернизированными приемными фильтрами. Дополнительные последовательные интерфейсы: два УАПП (16C550), высокоскоростной I²C (400 кбит/с) и два SPI.
- 10-разр. АЦП с 8 мультиплексированными входами и временем преобразования 2.44 мкс
- Два 32-разр. таймера (с 4 каналами захвата фронта и 4 каналами сравнения), блок ШИМ (6 выходов), часы реального времени и сторожевой таймер
- Векторизованный контроллер прерываний с конфигурируемыми приоритетами и адресами векторов
- Конфигурируемый интерфейс внешней памяти с 4 банками, каждый из которых имеет размер 16 Мбит с разрядностью данных 8/16/32
- До 112 универсальных линий ввода-вывода (поддерживают 5В –ые уровни). До 9 линий внешних прерываний, чувствительных к фронтам или лог. уровням
- Максимальная частота 60 МГц генерируется встроенной программируемой схемой умножения частоты с ФАПЧ
- Встроенный генератор с рабочим диапазоном 1...30МГц
- Два режима снижения потребляемой мощности: холостой ход и выключение
- Возобновление нормальной работы процессора после перевода в экономичный режим внешним прерыванием
- Индивидуальное включение/отключение периферийных устройств для оптимизации потребляемой мощности
- Двойное напряжение питание:
 - Рабочее напряжение ЦПУ 1.65...1.95В (1.8В±0.15В).
 - Диапазон напряжения питания ввода-вывода 3.0...3.6В (3.3±10%) с поддержкой 5В лог. уровней

Системный супервизор

Системный супервизор (Processor Companion) фирмы Ramtron является многофункциональным устройством содержащим в себе следующие элементы:

- Схема сброса;
- Монитор питания;
- Часы реального времени;
- Счетчик событий;
- Энергонезависимую память FRAM;
- Сторожевой таймер;
- Уникальный серийный номер.

Системный супервизор взаимодействует с процессором через интерфейс I²C.

Схема сброса предназначена для формирования качественного сигнала RESET после включения питания, после нажатия кнопки RESET (JP1) или после выключения питания. Проблема состоит в том, что при старте контроллера после включения питания или при выключении питания возможны различные переходные процессы, могущие привести к некорректному исполнению программ или порче содержимого ОЗУ. Схема сброса обеспечивает формирование сигнала RESET на время, достаточное для окончания всех переходных процессов.

Программируемый монитор питания позволяет вырабатывать сигнал RESET при понижении напряжения питания ниже установленного порога.

Сторожевой таймер является счетчиком с программируемым периодом и сигналом сброса. При переполнении счетчика сторожевого таймера вырабатывается сигнал RESET.

Часы реального времени (часы/календарь) работают от кварцевого резонатора с частотой 32.768 кГц. Точность измерения времени – до сотых долей секунды.

Энергонезависимая память FRAM является перепрограммируемым электрически стираемым постоянным запоминающим устройством. Объем памяти FRAM, установленной в стенде SDK-2.0, составляет от 512 байт до 256 Кбайт. Количество циклов записи и чтения не ограничено, время хранения информации – до 10 лет.

Счетчик событий позволяет считать импульсы с помощью двух 16-ти разрядных счетчиков.

Гальваническая изоляция

Гальваническая изоляция или гальваническая развязка – разделение электрических цепей посредством не проводящего ток материала. Гальваническая изоляция позволяет защитить SDK-2.0 от высоких напряжений, различных наводок и подключать его к различным устройствам (в том числе к персональному компьютеру) во время работы, без выключения питания. Для организации гальванической изоляции в SDK-2.0 используется два подхода. Первый основан на применении так называемых оптронов, второй основан на применении трансформатора (используется в физическом интерфейсе Ethernet).

Оптонами называют такие оптоэлектронные приборы, в которых имеются источник и приемник излучения (светоизлучатель и фотоприемник) с тем или иным видом оптической и электрической связи между ними, конструктивно связанные друг с другом. Принцип действия оптронов любого вида основан на следующем: в излучателе энергия электрического сигнала преобразуется в световую, а в фотоприемнике, наоборот, световой сигнал преобразуется в электрический сигнал. Практически распространение получили лишь оптроны, у которых имеется прямая оптическая связь от излучателя к фотоприемнику и, как правило, исключены все виды электрической связи между этими элементами. Достоинства этих приборов базируются на общем оптоэлектронном принципе использования электрически нейтральных фотонов для переноса информации. Основные из них следующие:

Возможность обеспечения идеальной электрической (гальванической); развязки между входом и выходом; для оптронов не существует каких-либо принципиальных физических или конструктивных ограничений по достижению сколь угодно высоких напряжений и сопротивлений развязки и сколь угодно малой проходной емкости;

Возможность реализации бесконтактного оптического управления электронными объектами и обусловленные этим разнообразие и гибкость конструкторских решений управляющих цепей;

Однонаправленность распространения информации по оптическому каналу, отсутствие обратной реакции приемника на излучатель;

Широкая частотная полоса пропускания оптрона, отсутствие ограничения со стороны низких частот (что свойственно импульсным трансформаторам); возможность передачи по оптронной цепи, как импульсного сигнала, так и постоянной составляющей;

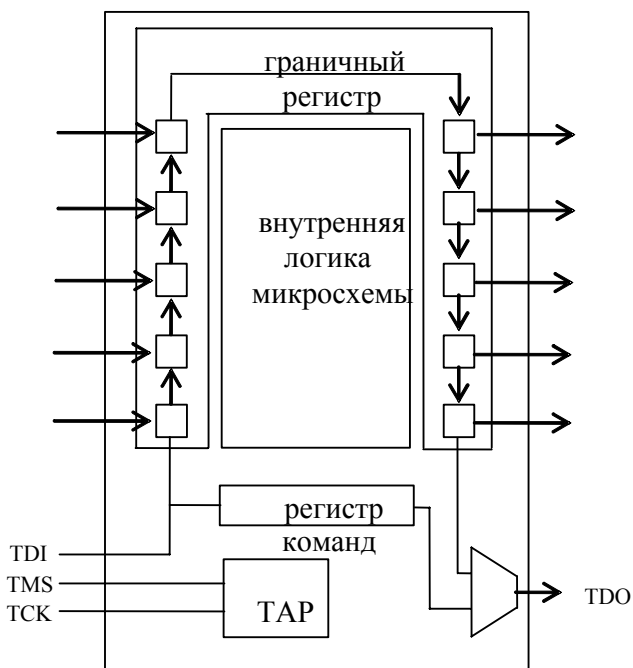
Возможность управления выходным сигналом оптрона путем воздействия (в том числе и неэлектрического) на материал оптического канала и вытекающая отсюда возможность создания разнообразных датчиков, а также разнообразных приборов для передачи информации;

Возможность создания функциональных микроэлектронных устройств с фотоприемниками, характеристики которых при освещении изменяются по сложному заданному закону;

Невосприимчивость оптических каналов связи к воздействию электромагнитных полей, что в случае “длинных” оптронов (с протяженным волоконно-оптическим световодом между излучателем и приемником) обуславливает их защищенность от помех и утечки информации, а также исключает взаимные наводки ;

Физическая и конструктивно-технологическая совместимость с другими полупроводниковыми и микроэлектронными приборами.

Интерфейс JTAG



Стандарт JTAG (IEEE 1149.1) был принят в 1990 году рабочей группой, в состав которой вошли представители ведущих фирм-производителей микросхем. Интерфейс JTAG разрабатывался с целью упрощения процессов тестирования микросхем с большим числом выводов и плат с высокой плотностью разводки. Структурная организация микросхемы, поддерживающей интерфейс JTAG, представлена на рисунке.

Все входные и выходные каскады микросхемы совмещены с разрядами так называемого граничного регистра, который позволяет задавать и считывать значения внешних сигналов на выводах устройства. Данные последовательно передаются (TDI) и одновременно считываются (TDO) путем сдвига

граничного регистра. Сдвиг на один разряд происходит по импульсу TCK, при этом в младший разряд записывается значение TDI, а значение старшего разряда появляется на выходе TDO. Число сдвигов равно разрядности граничного регистра и определяется числом внешних выводов микросхемы.

Регистр команд состоит из регистра-защелки и логики декодирования команды.

TAP (Test Access Port) - устройство управления JTAG-интерфейсом, которое представляет собой конечный автомат с шестнадцатью состояниями. На рисунке 2 приведена диаграмма состояний конечного автомата. Переход из состояния в состояние происходит по импульсу TCK, а направление перехода задается сигналом TMS. На рисунке рядом со стрелкой, обозначающей переход, указано значение TMS.

Подача пяти импульсов TCK при TMS=1 переводит TAP в состояние “сброс” из любого текущего состояния. Эту операцию необходимо выполнять всякий раз перед началом работы. Состояние “готов” - начальное стабильное состояние при выполнении каких-либо команд. Далее диаграмма состояний распадается на две аналогичные ветви, одна из которых отображает работу с граничным регистром, вторая - с регистром команд. Состояния “выбор DR” и “выбор IR” позволяют задать тот регистр, который будет использоваться далее. Состояние захвата приводит к параллельной загрузке регистров. Например, в состоянии “захват DR” значения внешних сигналов защелкиваются в соответствующих разрядах граничного регистра. Состояние сдвига перемещает захваченные данные или команды от входа TDO, через соответствующий регистр к выходу TDI. Состояние сдвига закидывается до тех пор, пока все биты данных или команды не будут получены. Состояние обновления приводит к появлению вновь полученных данных на параллельных выходах выбранного регистра.

Система команд JTAG интерфейса включает три обязательные инструкции: BYPASS, SAMPLE/PRELOAD, EXTEST. По команде BYPASS вход TDI замыкается на выход TDO, минуя регистр граничного сканирования. При выполнении команды SAMPLE/PRELOAD состояние “захват DR” вызывает параллельную загрузку в граничный регистр текущих данных на входах микросхемы. При загрузке команды EXTEST, состояние “обновление IR” приводит к появлению содержимого граничного регистра на выходах микросхемы, а в состоянии “захват DR” происходит загрузка входных данных.

Наряду со стандартными могут быть определены также дополнительные команды, характерные для конкретного устройства. Например, команда сброса или выдачи идентификационного кода микросхемы.

Несколько БИС, поддерживающих интерфейс JTAG, могут соединяться последовательно в цепочку (выход TDO одной микросхемы соединяется со входом TDI другой) и может быть выполнено их совместное тестирование.

В настоящее время существует множество микросхем с интегрированным интерфейсом JTAG. Это ряд специализированных сигнальных процессоров, высокоскоростные графические процессоры, однокристальные микроЭВМ, микросхемы flex-логики.

Из вышесказанного становится ясно, каким образом может быть выполнено тестирование устройств через JTAG. Однако, не следует ограничивать использование этого интерфейса только тестированием. JTAG может быть эффективно использован как звено технологической цепочки отладки микроконтроллеров, для начального программирования flash-памяти, конфигурирования flex-логики.

Интерфейс Ethernet 10/100 BASE-TX

Интерфейс Ethernet 10/100 Base-TX поддерживается с помощью контроллера LAN91C111 фирмы SMCS.

Основные характеристики:

- Две скорости обмена – 10/100 Мбит/сек.
- Совместимость с IEEE 802.3/802.3u - 100BASE-TX/10BASE-T
- Автоопределение скорости 10/100 и типа связи: полный дуплекс/полудуплекс.
- Не требует внешних фильтров.
- Поддержка работы в режиме полного дуплекса.
- 8 Кбайт встроенной памяти для организации входной и выходной очереди пакетов.
- Расширенные возможности по управлению энергопотреблением.
- Возможность подключения внешнего конфигурационного EEPROM с последовательным интерфейсом.
- 8, 16 и 32 разрядный режим работы с системной шиной.
- Внутренний 32 разрядный интерфейс к буферу пакетов.

Инструментальный последовательный канал RS232

Интерфейс RS-232C является наиболее широко распространенной стандартной последовательной связью между микрокомпьютерами и периферийными устройствами. Интерфейс, определенный стандартом Ассоциации электронной промышленности (EIA), подразумевает наличие оборудования двух видов: терминального DTE и связного DCE.

Чтобы не составить неправильного представления об интерфейсе RS-232C, необходимо отчетливо понимать различие между этими видами оборудования. Терминальное оборудование, например микрокомпьютер, может посылать и (или) принимать данные по последовательному интерфейсу. Оно как бы оканчивает (terminate) последовательную линию. Связное оборудование - устройства, которые могут упростить передачу данных совместно с терминальным оборудованием. Наглядным примером связного оборудования служит модем (модулятор-демодулятор). Он оказывается соединительным звеном в последовательной цепочке между компьютером и телефонной линией.

Интерфейс RS485

Интерфейс RS485 является одним из наиболее распространенных в области промышленной автоматики и допускает подключение широкого спектра различных устройств, в том числе модулей ввода-вывода различных производителей: Siemens, Advantech, ICP Das, ABB и других. Стандарт EIA RS-485 регламентирует физический уровень интерфейса. RS485 позволяет строить сети с шинной топологией, с количеством узлов от 2 до 32 шт. Один из узлов сети должен быть главным, остальные подчиненными.

RS-485 позволяет производить полудуплексный обмен данными, т.е. одновременная передача и прием невозможны. Скорость передачи в RS485 зависит от длины линии связи, типа приемопередатчиков и количества узлов и может достигать 10 Мбит/сек. Расстояние между узлами может составлять 1200 м.

Интерфейс CAN 2.0

CAN протокол получил всемирное признание как очень универсальная, эффективная, надежная и экономически приемлемая платформа для почти любого типа связи данных в передвижных системах, машинах, техническом оборудовании и промышленной автоматизации. Основанная на базе протоколов высокого уровня CAN- технология успешно конкурирует на рынке распределенных систем автоматизации. Под терминами "CAN стандарт" или "CAN протокол" понимаются функциональные возможности, которые стандартизированы в ISO 11898. Этот стандарт объединяет физический уровень (Physical Layer) и уровень канала данных (Data Link Layer) в соответствии с 7-ми уровневой OSI моделью.

Жидкокристаллический дисплей

В SDK-2.0 установлен графический черно-белый ЖКИ WG12232 с разрешением 122x32 пиксела. На плате ЖКИ WG12232 установлено два контроллера SED1520. Первый контроллер отвечает за левую часть индикатора, второй за правую.

Клавиатура АК1604А-WWB

Клавиатура подключена через порты ввода-вывода микроконтроллера. Клавиатура организована в виде матрицы 4x4. Доступ к колонкам и рядам организован как чтение/запись определенного бита порта внешней памяти (4 бита соответствуют 4 колонкам, другие 4 бита - рядам). Ряды ROW1..ROW4 подключены к плюсу питания через резисторы. Это обеспечивает наличие логической единицы при отсутствии нажатия. На столбцы клавиатуры подают логический ноль. При нажатии на кнопку, происходит изменение значения сигнала на входе соответствующего ряда с единицы на ноль.

Дискретные порты ввода-вывода

Дискретные входы-выходы предназначены для ввода и вывода информации представленной в двоичном виде. Сигнал на входе или выходе дискретного порта может принимать значение логического нуля или единицы.

Аналоговые порты ввода

Аналоговые порты ввода предназначены для ввода аналоговой информации в микроконтроллер.

Размещение элементов и разъёмов

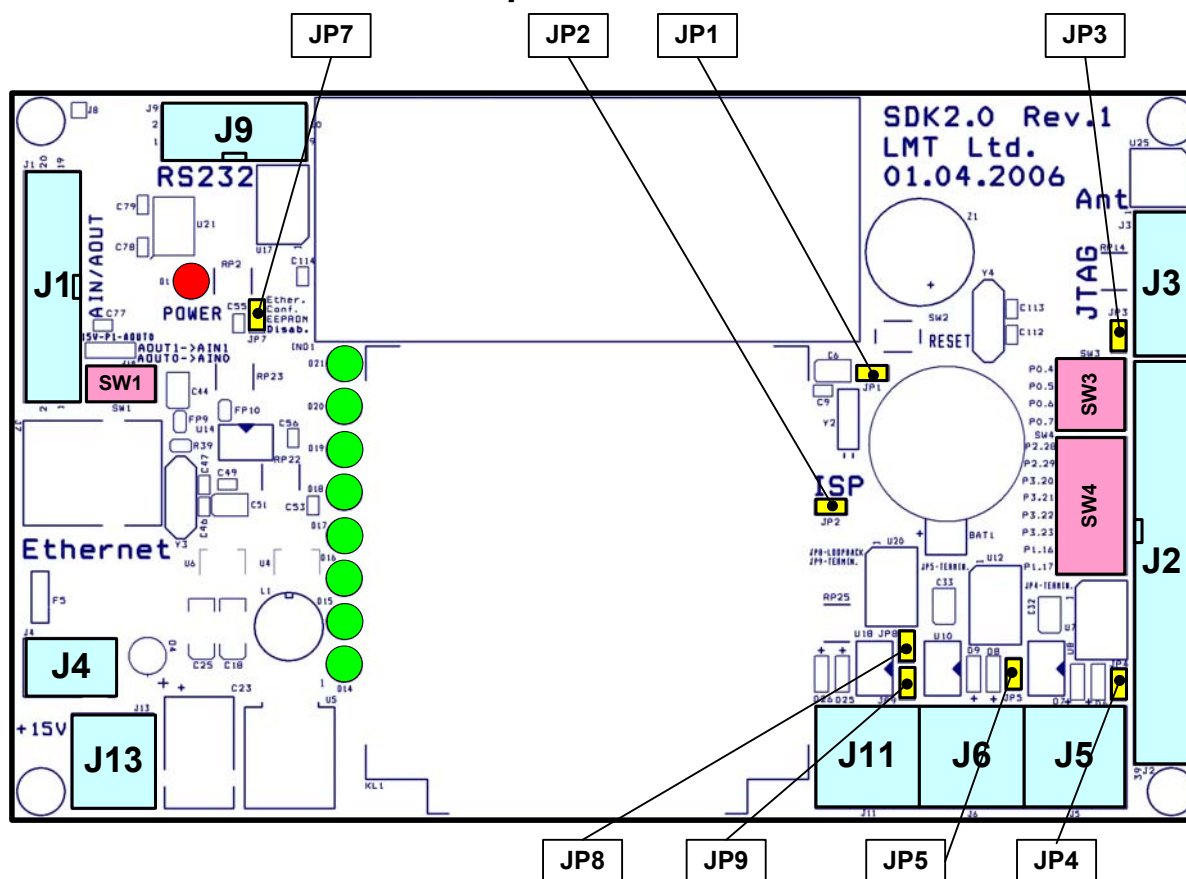


Рисунок 2 Размещение элементов на плате стенда SDK-2.0

Описание элементов управления

Элементы управления общего назначения

D14 - D21	«D14» - «D21»	управляемые светодиоды
IND1	«IND1»	жидкокристаллический индикатор (ЖКИ)
KL1	«KL1»	матричная клавиатура

Системные элементы управления

SW1	«AOUT1->AIN1 AOUT0->AIN0»	переключатель для замыкания аналоговых выходов на аналоговые входы
JP7	«Ether. Conf. EEPROM Disab.»	джампер отключения конфигурационной EEPROM Ethernet
SW2	«RESET»	кнопка полного рестарта системы
JP1		джампер полного рестарта системы
JP2	«ISP»	джампер перевода системы в режим ISP
JP3		джампер включения JTAG
SW3, SW4		переключатели замыкания дискретных портов на землю
JP8	«LOOPBACK»	джампер включения режима самопрослушивания RS-485
JP9	«TERMIN.»	джампер включения терминатора RS-485
JP5	«TERMIN.»	джампер включения терминатора CAN1
JP4	«TERMIN.»	джампер включения терминатора CAN0

Описание разъёмов

J4	«+15V»	ПОДКЛЮЧЕНИЕ АДАПТЕРА ПИТАНИЯ.
Номер контакта	Название цепи	Назначение
1 (боковой)	GND	Питание -15В, общий провод
2 (центральный)	+15V	Питание +15В (допустим диапазон +9..30В)

J13	«+15V»	ПОДКЛЮЧЕНИЕ АДАПТЕРА ПИТАНИЯ.
Номер контакта	Название цепи	Назначение
1 (левый)	+15V	Питание +15В (допустим диапазон +9..30В)
2 (правый)	GND	Питание -15В, общий провод

J2	«EXTERNAL PIO»	КАНАЛЫ ДИСКРЕТНОГО ВВОДА-ВЫВОДА
Номер контакта	Название цепи	Назначение
1	P0_04	Дискретный порт ввода-вывода P0.04
3	P0_05	Дискретный порт ввода-вывода P0.05
5	P0_06	Дискретный порт ввода-вывода P0.06
7	P0_07	Дискретный порт ввода-вывода P0.07
9	P2_28	Дискретный порт ввода-вывода P2.28
11	P2_29	Дискретный порт ввода-вывода P2.29
13	P3_20	Дискретный порт ввода-вывода P3.20
15	P3_21	Дискретный порт ввода-вывода P3.21
17	P3_22	Дискретный порт ввода-вывода P3.22
19	P3_23	Дискретный порт ввода-вывода P3.23
21	P1_16 TRPKT0	Дискретный порт ввода-вывода P1.16
23	P1_17 TRPKT1	Дискретный порт ввода-вывода P1.17
25	P1_18 TRPKT2	Дискретный порт ввода-вывода P1.18
27	P1_19 TRPKT3	Дискретный порт ввода-вывода P1.19
29	P1_20 TRSYNC	Дискретный порт ввода-вывода P1.20
31	P1_21 PIPEST0	Дискретный порт ввода-вывода P1.21
33	P1_22 PIPEST1	Дискретный порт ввода-вывода P1.22
35	P1_23 PIPEST2	Дискретный порт ввода-вывода P1.23
37	P1_24 TRCLK	Дискретный порт ввода-вывода P1.24
39	P1_25 EXTIN0	Дискретный порт ввода-вывода P1.25
2,4,6,8,10,12,14, 16,18,20,22,24, 26,28,30,32,34, 36,38,40	GND	Общий

J9	«RS-232»	ГАЛЬВАНИЧЕСКИ ИЗОЛИРОВАННЫЙ ИНТЕРФЕЙС RS-232
Номер контакта	Название цепи	Назначение
1	-	

J9	«RS-232»	ГАЛЬВАНИЧЕСКИ ИЗОЛИРОВАННЫЙ ИНТЕРФЕЙС RS-232
Номер контакта	Название цепи	Назначение
2	RS232_RX	Входные данные RS232, поступающие в SDK2 с выхода TXD инструментального компьютера.
3	RS232_TX	Выходные данные RS232, поступающие из SDK2 на вход RXD инструментального компьютера.
4	-	Не подключен
5	GND_RS232	Сигнальный общий
6	-	Не подключен
7	-	Не подключен
8	-	Не подключен
9	-	Не подключен
10	-	Не подключен

J3	«JTAG»	ИНТЕРФЕЙС JTAG, К ЭТОМУ РАЗЪЕМУ ПОДКЛЮЧАЕТСЯ АДАПТЕР BYTEBLASTER (ALTERA) ИЛИ ВВА-1.0 (ООО«ЛМТ»).
Номер контакта	Название цепи	Назначение
1	TCK	Вход тактирования данных
2	GND	Общий
3	TDO	Выход данных
4	+3V3	Выход питания адаптера +3.3 В
5	TMS	Вход выбора устройства
6	XnRES	Внешний сброс системы
7	RTCK	Выход сигнала синхронизации из встроенного в процессор блока тестирования EmbeddedICE
8	nTRST	Сброс встроенного в процессор блока тестирования EmbeddedICE
9	TDI	Вход данных
10	GND	Общий

J11	«RS-485»	ГАЛЬВАНИЧЕСКИ ИЗОЛИРОВАННЫЙ ИНТЕРФЕЙС RS-485
Номер контакта	Название цепи	Назначение
1	A	Неинверсный сигнальный вход RS-485
2	B	Инверсный сигнальный вход RS-485
3	RS_GND	Общий

J5	«CAN0»	ГАЛЬВАНИЧЕСКИ ИЗОЛИРОВАННЫЙ ИНТЕРФЕЙС CAN0
Номер контакта	Название цепи	Назначение
1	CANL0	Инверсный сигнальный вход CAN0
2	CANH0	Неинверсный сигнальный вход CAN0
3	GND_CAN0	Общий

J6	«CAN1»	ГАЛЬВАНИЧЕСКИ ИЗОЛИРОВАННЫЙ ИНТЕРФЕЙС CAN1
Номер контакта	Название цепи	Назначение
1	CANL1	Инверсный сигнальный вход CAN1
2	CANH1	Неинверсный сигнальный вход CAN1
3	GND_CAN1	Общий

U25	«ANT»	ПОДКЛЮЧЕНИЕ АНТЕННЫ
Номер контакта	Название цепи	Назначение
1,2,3,4	GND_IEEE802	Общий
5	IEEE_802_ANT	Сигнальный вход антенны

J1	«AIN/AOUT»	АНАЛОГОВЫЕ ВХОДЫ-ВЫХОДЫ
Номер контакта	Название цепи	Назначение
1	AOUT0/+15V	Аналоговый выход № 0 / входное напряжение питания (в зависимости от джампера J10)
3	AOUT1	Аналоговый выход № 1
5	AIN0	Аналоговый вход № 0
7	AIN1	Аналоговый вход № 1
9	AIN2	Аналоговый вход № 2
11	AIN3	Аналоговый вход № 3
13	AIN4	Аналоговый вход № 4
15	AIN5	Аналоговый вход № 5
17	AIN6	Аналоговый вход № 6
19	AIN7	Аналоговый вход № 7
2,4,6,8,10,12,14,16,18,20	GND	Общий

J7	«ETHERNET»	ПОДКЛЮЧЕНИЕ К СЕТИ ETHERNET
Номер контакта	Название цепи	Назначение
1	TD+	Неинверсный передаваемый сигнал
2	TD-	Инверсный передаваемый сигнал
3	RD+	Неинверсный принимаемый сигнал
4	CT	Средняя точка передающей катушки
5	-	Не подключен
6	RD-	Инверсный принимаемый сигнал
7	-	Не подключен
8	GND	Общий
9	GLA	Анод светодиода «Соединение, LINK»
10	GLC	Катод светодиода «Соединение, LINK»
11	YLC	Катод светодиода «Сеть, LAN»
11A	SHLD	Защитный экран
12	YLA	Анод светодиода «Сеть, LAN»
12A	SHLD	Защитный экран

J10	«15v-P1-AIN1»	ПЕРЕКЛЮЧЕНИЕ ПОДАЧИ НА J1.1 ВХОДНОГО ПИТАНИЯ, ЛИБО СИГНАЛА AOUT0
Номер контакта	Название цепи	Назначение
1	AOUT0	Аналоговый выход № 0
2	AOUT0/+15V	Сигнал/питание на выход J1.1
3	IN_VOLTAGE	Входное напряжение питания

Распределение памяти

Диапазон адресов	Описание
0x00000000 - 0x0003FFFF	Встроенная энергонезависимая память (FLASH память программ и данных). 384 Кб
0x40000000 - 0x40003FFF	Встроенное ОЗУ, 16 Кбайт
0x7FFFE000 - 0x7FFFFFFF	Загрузочный блок, переадресуется из области встроенной FLASH памяти.
0x80000000 - 0x8007FFFF	Внешнее ОЗУ 512 Кб
0x81000000	Контроллер Ethernet
0x82000000	ЖКИ (контроллер 1)
0x83000000	ЖКИ (контроллер 2)
0xE0000000	Периферийные устройства VPB (периферийная шина)
0xF0000000	Периферийные устройства АНВ (расширенная высокопроизводительная шина)

Описание портов ввода-вывода

Порт LPC2292	Название	Направление	Описание
Консоль оператора (клавиатура, ЖКИ, светодиодные индикаторы, динамик)			
P2.24	KB_ROW0	Вход	Входы опроса клавиатуры (строки)
P2.25	KB_ROW1	Вход	-
P2.26	KB_ROW2	Вход	-
P2.27	KB_ROW3	Вход	-
P2.16	KB_LED_COLO	Выход	Выходы опроса клавиатуры (столбцы) и выходы управления светодиодами (столбцы, динамическая индикация)
P2.17	KB_LED_COL1	Выход	-
P2.18	KB_LED_COL2	Выход	-
P2.19	KB_LED_COL3	Выход	-
P2.20	LED_ROW0	Выход	Выходы управления светодиодами (строки, динамическая индикация).
P2.21	LED_ROW1	Выход	-
P3.25	IND_nCS1	Выход	Сигнал «выбор кристалла». Выбор первого контроллера ЖКИ.
P3.24	IND_nCS2	Выход	Сигнал «выбор кристалла». Выбор второго контроллера ЖКИ.
P0.12	IND_CL	Выход	Сигнал синхронизации ЖКИ
P1.1	nOE	Выход	Сигнал «Чтение» (Output Enable)
P3.27	nWR	Выход	Сигнал «Запись»
P0.13	SND	Выход	Звукоизлучатель
Интерфейс RS232			
P0.1	UART_RXD0	Вход	Приемник RS232
P0.0	UART_TXD0	Выход	Передатчик RS232
Интерфейс RS485			
P0.9	UART_RXD1	Вход	Приемник RS485
P0.8	UART_TXD1	Выход	Передатчик RS485

P0.10	RTS1	Выход	Сигнал «Request to Send»
Интерфейс Ethernet			
P0.15	INT_LAN	Вход	Запрос прерывания от контроллера Ethernet
P1.1	nOE	Выход	Сигнал «Чтение» (Output Enable)
P3.27	nWR	Выход	Сигнал «Запись»
P3.31	nLB	Выход	Сигнал «Младший байт»
P3.30	nUB	Выход	Сигнал «Старший байт»
P3.26	LAN_CS	Выход	Сигнал «Выбор микросхемы»
Интерфейс IEEE802.15.4			
P2.22	CCA	Вход	Сигнал «очистка оценки канала»
P0.22	SFD	Вход	Сигнал «начало разделителя пакета»
P2.23	FIFO	Вход	Сигнал «Данные в FIFO»
P0.16	FIFOP	Вход	Сигнал «Объем данных близок к переполнению»
P0.19	MOSI1	Выход	Сигнал SPI, передача
P0.14	nCC2420_SSEL	Выход	Сигнал «Выбор микросхемы»
P0.17	SCK1	Выход	Сигнал SPI, синхронизация
P0.18	MISO1	Вход	Сигнал SPI, прием
Интерфейс FM3104 (Processor companion)			
P0.2	SCL	Выход	Линия синхронизации
P0.3	SDA	Вход/Выход	Линия данных
P3.0	POWER_FAILURE	Вход	Неисправность питания
Дискретные порты ввода-вывода			
P0.04	P0_04	Вход/Выход	Дискретный порт ввода-вывода P0.04 (SW3.1)
P0.05	P0_05	Вход/Выход	Дискретный порт ввода-вывода P0.05 (SW3.2)
P0.06	P0_06	Вход/Выход	Дискретный порт ввода-вывода P0.06 (SW3.3)
P0.07	P0_07	Вход/Выход	Дискретный порт ввода-вывода P0.07 (SW3.4)
P2.28	P2_28	Вход/Выход	Дискретный порт ввода-вывода P2.28 (SW4.1)
P2.29	P2_29	Вход/Выход	Дискретный порт ввода-вывода P2.29 (SW4.2)
P3.20	P3_20	Вход/Выход	Дискретный порт ввода-вывода P3.20 (SW4.3)
P3.21	P3_21	Вход/Выход	Дискретный порт ввода-вывода P3.21 (SW4.4)
P3.22	P3_22	Вход/Выход	Дискретный порт ввода-вывода P3.22 (SW4.5)
P3.23	P3_23	Вход/Выход	Дискретный порт ввода-вывода P3.23 (SW4.6)
P1.16	P1_16_TRPKT0	Вход/Выход	Дискретный порт ввода-вывода P1.16 (SW4.7)
P1.17	P1_17_TRPKT1	Вход/Выход	Дискретный порт ввода-вывода P1.17 (SW4.8)
P1.18	P1_18_TRPKT2	Вход/Выход	Дискретный порт ввода-вывода P1.18
P1.19	P1_19_TRPKT3	Вход/Выход	Дискретный порт ввода-вывода P1.19
P1.20	P1_20_TRSYNC	Вход/Выход	Дискретный порт ввода-вывода P1.20
P1.21	P1_21_PIPEST0	Вход/Выход	Дискретный порт ввода-вывода P1.21
P1.22	P1_22_PIPEST1	Вход/Выход	Дискретный порт ввода-вывода P1.22
P1.23	P1_23_PIPEST2	Вход/Выход	Дискретный порт ввода-вывода P1.23
P1.24	P1_24_TRCLK	Вход/Выход	Дискретный порт ввода-вывода P1.24
P1.25	P1_25_EXTIN0	Вход/Выход	Дискретный порт ввода-вывода P1.25
Аналоговые порты ввода-вывода			
P0.07	P0_07	Выход	Выход ШИМ (ЦАП)
P0.21	P0_21	Выход	-
P0.27	AIN0	Вход	Вход АЦП
P0.28	AIN1	Вход	-
P0.29	AIN2	Вход	-
P0.30	AIN3	Вход	-
P2.30	AIN4	Вход	-
P2.31	AIN5	Вход	-
P3.29	AIN6	Вход	-
P3.28	AIN7	Вход	-

Микроконтроллер LPC2292

Контроллер последовательного канала

В LPC2292 находится два контроллера последовательного канала: UART0 и UART1.

Основные возможности:

- Входные и выходные очереди на 16 байт.
- Совместимость с классическим контроллером последовательного канала 16550 на уровне регистров.
- Настраиваемый уровень контроля заполнения входной очереди 1,4,8 и 14 байт.
- Встроенный генератор тактовой частоты.

UART0 и UART1 практически идентичны, за одним исключением: UART1 содержит набор модемных сигналов для организации аппаратного квитирования.

UxDLL, регистр делителя частоты, младшая часть

В регистры UxDLL и UxDLM записывается младшая и старшая часть делителя частоты, позволяющего задавать скорость обмена по последовательному каналу. Для доступа к регистру бит DLAB (Divisor Latch Access Bit) должен быть установлен в 1. Значение делителя частоты D высчитывается по следующей формуле:

$$D = F_{osc} / (16 * V), \text{ где } F_{osc} = 12 * 10^6 - \text{тактовая частота}$$

V – скорость обмена в битах в секунду.

UxDLM, регистр делителя частоты, старшая часть

Для доступа к регистру бит DLAB (Divisor Latch Access Bit) должен быть установлен в 1.

Регистр UxLCR, регистр управления линией

Биты	Функция	Описание
1:0	Количество битов данных	00 – 5 бит 01 – 6 бит 10 – 7 бит 11 – 8 бит
2	Количество стоп битов	0 – 1 стоп бит 1 – 2 стоп бита (1.5 бита, если количество битов данных 5 бит)
3	Контроль четности	0 – выключен 1 – включен
5:4	Тип контроля четности	00 – нечетный 01 – четный
6	Управление BREAK	0 – нет BREAK 1 – установить BREAK
7	DLAB	0 – доступ к делителю запрещен 1 – доступ к делителю разрешен ¹

UxLSR, регистр статуса

Биты	Функция	Описание
0	Данные готовы	1, если принят байт
1	Ошибка переполнения	1, если в приемный буфер пришел очередной байт, а старый байт еще не прочитан.
2	Ошибка четности	1, если принят байт с некорректным битом четности
3	Ошибка формата	1, если принят байт с некорректным форматом посылки
4	Обнаружен BREAK	1, если на линии состояние BREAK
5	Регистр хранения передатчика пуст	1, если регистр пуст
6	Регистр сдвига передатчика пуст	1, если регистр пуст
7	Ошибка входной очереди	Байт содержащийся в регистре данных принят с ошибкой (четности, формата или переполнения).

UxRBR, регистр данных, чтение

Регистр данных, чтение. Бит DLAB (Divisor Latch Access Bit) должен быть установлен в 0. Данный регистр доступен только для чтения.

UxTHR, регистр данных, запись

Регистр данных, запись. Бит DLAB (Divisor Latch Access Bit) должен быть установлен в 0. Данный регистр доступен только для записи.

¹ Бит DLAB понадобился, так как делитель частоты и буфер данных находятся по одному и тому же адресу

Таймеры-счетчики

Микроконтроллер LPC2292 имеет два встроенных таймера-счетчика.

Основные характеристики:

- 32-разрядные таймеры/счетчики с 32-разрядным программируемым предделителем.
- До четырех 32-разрядных канала захвата на таймер. По завершении захвата может генерироваться прерывание.
- Четыре регистра сравнения, которые позволяют:
 - Продолжать работу при совпадении (с возможностью генерации прерывания).
 - Остановить таймер при совпадении (с возможностью генерации прерывания).
 - Сбросить таймер при совпадении (с возможностью генерации прерывания).
- До четырех внешних выходов связанных с регистрами сравнения, со следующими возможностями:
 - Установить низкий уровень при совпадении
 - Установить высокий уровень при совпадении
 - Инвертировать при совпадении
 - Ничего не делать при совпадении

Описание выводов микроконтроллера используемых при работе с таймерами

Название вывода	Направление	Описание
CAP0.3..0 CAP1.3..0	Выход	<p>Сигнал захвата – Изменение на выводе захвата может быть настроено на загрузку счетчика таймера (TC) в один из регистров захвата (с возможностью генерации прерывания). Захват может производиться с нескольких выводов.</p> <p>CAP0.0 может быть выбран из/на 3 выводах одновременно. CAP0.1 может быть выбран из/на 2 выводах одновременно. CAP0.2 может быть выбран из/на 3 выводах одновременно. CAP0.3 может быть выбран из/на 1 выводе. CAP1.0 может быть выбран из/на 1 выводе. CAP1.1 может быть выбран из/на 1 выводе. CAP1.2 может быть выбран из/на 2 выводах одновременно. CAP1.3 может быть выбран из/на 2 выводах одновременно.</p>
MAT0.3..0 MAT1.3..0	Вход	<p>Внешний вывод сравнения 0/1 – Когда регистр сравнения 0/1 достигает значения счетчика таймера (TC) этот вывод инвертируется, устанавливается на низкий или высокий уровень сигнала, или не выполняется никаких действий. Функциональностью этих выводов управляет регистр EMR (External Match Register). Несколько выводов сравнения может работать параллельно.</p> <p>MAT0.0 может быть выбран на 2 выводах одновременно. MAT0.1 может быть выбран на 2 выводах одновременно. MAT0.2 может быть выбран на 2 выводах одновременно. MAT0.3 может быть выбран на 1 выводе. MAT1.0 может быть выбран на 1 выводе. MAT1.1 может быть выбран на 1 выводе. MAT1.2 может быть выбран на 2 выводах одновременно. MAT1.3 может быть выбран на 2 выводах одновременно.</p>

Описание регистров таймеров

Имена регистров имеют следующий вид: TnXXX, где n – номер таймера; XXX – название регистра. Например: T0IR, T1TC и т. д.

Название	Описание	Доступ
IR	Регистр прерываний. IR может быть прочитан для того, чтобы узнать источник прерывания (до восьми источников). IR может быть записан для очистки прерываний.	R/W
TCR	Регистр управления. Используется для управления функционированием таймера. Счетчик таймера может быть отключен или сброшен с помощью TCR.	R/W
TC	Счетчик таймера. 32-разрядный счетчик инкрементируется каждый PR+1 такт на линии pclk. TC управляется с помощью TCR.	R/W
PR	Регистр предделителя. Счетчик таймера инкрементируется каждый PR+1 такт на линии pclk.	R/W
PC	Счетчик предделителя. Это 32-разрядный счетчик, который инкрементируется до значения регистра PR, а затем инкрементируется TC.	R/W
MCR	Регистр управления сравнением. С помощью регистра MCR можно включить генерацию прерываний и сброс счетчика таймера при успешном сравнении.	R/W
MR0	Регистр сравнения 0. MR0 может быть настроен с помощью регистра MCR на сброс TC, остановку TC и PC, и/или генерацию прерывания при каждом совпадении MR0 и TC.	R/W
MR1	Регистр сравнения 1. Сммотри описание регистра MR0.	R/W
MR2	Регистр сравнения 2. Сммотри описание регистра MR0.	R/W
MR3	Регистр сравнения 3. Сммотри описание регистра MR0.	R/W
CCR	Регистр управления захватом. С помощью CCR можно выбрать перепад на линии захвата, по которому происходит загрузка регистра захвата, и включить генерацию прерываний, если захват был произведен.	R/W
CR0	Регистр захвата 0. CR0 загружается значением регистра TC при возникновении события на выводах CAP0.0 (CAP1.0).	RO
CR1	Регистр захвата 1. Сммотри описание регистра CR0.	RO
CR2	Регистр захвата 2. Сммотри описание регистра CR0.	RO
CR3	Регистр захвата 3. Сммотри описание регистра CR0.	RO
EMR	Регистр внешних выводов сравнения. EMR управляет внешними выводами сравнения MAT0.0-3 (MAT1.0-3).	R/W

R/W – Чтение/Запись; RO – Только чтение.

Регистр IR

IR	Назначение	Описание
0	Прерывание MR0	Флаг прерывания канала сравнения 0
1	Прерывание MR1	Флаг прерывания канала сравнения 1
2	Прерывание MR2	Флаг прерывания канала сравнения 2
3	Прерывание MR3	Флаг прерывания канала сравнения 3
4	Прерывание CR0	Флаг прерывания канала захвата 0
5	Прерывание CR1	Флаг прерывания канала захвата 1
6	Прерывание CR2	Флаг прерывания канала захвата 2
7	Прерывание CR3	Флаг прерывания канала захвата 3

Регистр TCR

TCR	Назначение	Описание
0	Счетчик включен	1 – счетчики таймера и предделителя включены. 0 – счетчики отключены
1	Сброс счетчика	1 – счетчики таймера и предделителя сбрасываются по следующему положительному перепаду pclk. Счетчики находятся в состоянии сброса до тех пор, пока TCR[1] не станет нулем

Регистр MCR

MCR	Назначение	Описание
0	Прерывание по MR0	1 – прерывание генерируется, когда значение ТС совпадает с MR0. 0 – прерывание не происходит
1	Сброс по MR0	1 – сброс счетчика таймера при совпадении с MR0. 0 – эта функция отключена
2	Стоп по MR0	1 – при совпадении ТС со значением MR0, ТС и PC останавливаются и TCR[0] устанавливается в ноль. 0 – эта функция отключена
3	Прерывание по MR1	1 – прерывание генерируется, когда значение ТС совпадает с MR1. 0 – прерывание не происходит
4	Сброс по MR1	1 – сброс счетчика таймера при совпадении с MR1. 0 – эта функция отключена
5	Стоп по MR1	1 – при совпадении ТС со значением MR1, ТС и PC останавливаются и TCR[0] устанавливается в ноль. 0 – эта функция отключена
6	Прерывание по MR2	1 – прерывание генерируется, когда значение ТС совпадает с MR2. 0 – прерывание не происходит
7	Сброс по MR2	1 – сброс счетчика таймера при совпадении с MR2. 0 – эта функция отключена
8	Стоп по MR2	1 – при совпадении ТС со значением MR2, ТС и PC останавливаются и TCR[0] устанавливается в ноль. 0 – эта функция отключена
9	Прерывание по MR3	1 – прерывание генерируется, когда значение ТС совпадает с MR3. 0 – прерывание не происходит
10	Сброс по MR3	1 – сброс счетчика таймера при совпадении с MR3. 0 – эта функция отключена
11	Стоп по MR3	1 – при совпадении ТС со значением MR3, ТС и PC останавливаются и TCR[0] устанавливается в ноль. 0 – эта функция отключена

Регистр CCR

CCR	Назначение	Описание
0	Захват на CAPn.0 по положительному перепаду	1 – переход из 0 в 1 на выводе CAPn.0 вызывает загрузку в CR0 значения ТС. 0 – эта функция отключена
1	Захват на CAPn.0 по отрицательному перепаду	1 – переход из 1 в 0 на выводе CAPn.0 вызывает загрузку в CR0 значения ТС. 0 – эта функция отключена
2	Прерывание по событию на CAPn.0	1 – загрузка CR0 по перепаду на CAPn.0 генерирует прерывание. 0 – эта функция отключена
3	Захват на CAPn.1 по положительному перепаду	1 – переход из 0 в 1 на выводе CAPn.1 вызывает загрузку в CR1 значения ТС. 0 – эта функция отключена
4	Захват на CAPn.1 по отрицательному перепаду	1 – переход из 1 в 0 на выводе CAPn.1 вызывает загрузку в CR1 значения ТС. 0 – эта функция отключена
5	Прерывание по событию на CAPn.1	1 – загрузка CR1 по перепаду на CAPn.1 генерирует прерывание. 0 – эта функция отключена
6	Захват на CAPn.2 по положительному перепаду	1 – переход из 0 в 1 на выводе CAPn.2 вызывает загрузку в CR2 значения ТС. 0 – эта функция отключена
7	Захват на CAPn.2 по отрицательному перепаду	1 – переход из 1 в 0 на выводе CAPn.2 вызывает загрузку в CR2 значения ТС. 0 – эта функция отключена
8	Прерывание по событию на CAPn.2	1 – загрузка CR2 по перепаду на CAPn.2 генерирует прерывание. 0 – эта функция отключена
9	Захват на CAPn.3 по положительному перепаду	1 – переход из 0 в 1 на выводе CAPn.3 вызывает загрузку в CR3 значения ТС. 0 – эта функция отключена
10	Захват на CAPn.3 по отрицательному перепаду	1 – переход из 1 в 0 на выводе CAPn.3 вызывает загрузку в CR3 значения ТС. 0 – эта функция отключена
11	Прерывание по событию на CAPn.3	1 – загрузка CR3 по перепаду на CAPn.3 генерирует прерывание. 0 – эта функция отключена

Регистр EMR

EMR	Назначение	Описание
0	Внешний вывод сравнения 0	Этот бит показывает, подключен ли выход MAT0.0/MAT1.0 к соответствующему выводу. Когда происходит успешное сравнение с регистром MR0, этот вывод инвертируется, переходит на низкий или высокий уровень сигнала, остается в том же состоянии. Биты EMR[4:5] задают поведение этого вывода.
1	Внешний вывод сравнения 1	Этот бит показывает, подключен ли выход MAT0.1/MAT1.1 к соответствующему выводу. Когда происходит успешное сравнение с регистром MR1, этот вывод инвертируется, переходит на низкий или высокий уровень сигнала, остается в том же состоянии. Биты EMR[6:7] задают поведение этого вывода.
2	Внешний вывод сравнения 2	Этот бит показывает, подключен ли выход MAT0.2/MAT1.2 к соответствующему выводу. Когда происходит успешное сравнение с регистром MR2, этот вывод инвертируется, переходит на низкий или высокий уровень сигнала, остается в том же состоянии. Биты EMR[8:9] задают поведение этого вывода.
3	Внешний вывод сравнения 3	Этот бит показывает, подключен ли выход MAT0.3/MAT1.3 к соответствующему выводу. Когда происходит успешное сравнение с регистром MR3, этот вывод инвертируется, переходит на низкий или высокий уровень сигнала, остается в том же состоянии. Биты EMR[10:11] задают поведение этого вывода.
5:4	Управление внешним выводом сравнения 0	Эти биты задают поведение внешнего вывода сравнения 0. 00: состояние вывода не изменяется 01: вывод переходит на низкий уровень сигнала (0) 10: вывод переходит на высокий уровень сигнала (1) 11: вывод инвертируется
7:6	Управление внешним выводом сравнения 1	Эти биты задают поведение внешнего вывода сравнения 1. 00: состояние вывода не изменяется 01: вывод переходит на низкий уровень сигнала (0) 10: вывод переходит на высокий уровень сигнала (1) 11: вывод инвертируется
9:8	Управление внешним выводом сравнения 2	Эти биты задают поведение внешнего вывода сравнения 2. 00: состояние вывода не изменяется 01: вывод переходит на низкий уровень сигнала (0) 10: вывод переходит на высокий уровень сигнала (1) 11: вывод инвертируется
11:10	Управление внешним выводом сравнения 3	Эти биты задают поведение внешнего вывода сравнения 3. 00: состояние вывода не изменяется 01: вывод переходит на низкий уровень сигнала (0) 10: вывод переходит на высокий уровень сигнала (1) 11: вывод инвертируется

Контроллер прерываний

Основные характеристики:

- 32 источника запросов прерывания
- 16 векторных запросов прерывания
- 16 динамически назначаемых уровней приоритета
- Программная генерация прерываний

Источники прерываний программно могут быть разделены на 3 категории: FIQ, векторные IRQ, и не векторные IRQ.

FIQ (Fast Interrupt request) – запросы с наивысшим приоритетом. Если более чем один запрос прерывания отнесен к категории FIQ, контроллер прерываний объединяет запросы и посылает сигнал процессору ARM. Наибольшая скорость работы достигается, если к категории FIQ отнесен один запрос прерывания.

Векторные IRQ (Interrupt ReQuest) – запросы со средним приоритетом. Из 32 источников, только 16 могут быть отнесены к этой категории. Для обработки этих

запросов используются 16 специальных слотов векторных IRQ (наименьший номер слота является наиболее приоритетным).

Не векторные IRQ имеют наименьший приоритет.

Регистр VICProtection (Protection Enable Register)

Этот регистр задает режим доступа к контроллеру прерываний.

VICProtection	Назначение
0	1: регистры VIC доступны только в привилегированном режиме 0: регистры VIC доступны в пользовательском и привилегированном режимах

Доступен для чтения и записи.

Регистр VICIntEnClear (Interrupt Enable Clear Register)

Этот регистр позволяет отключить соответствующие прерывания.

VICIntEnClear	Назначение
31:0	1: запись 1 очищает соответствующий бит в регистре разрешения прерываний (VICIntEnable) 0: запись 0 оставляет соответствующий бит в VICIntEnable без изменений

Доступен только для записи.

Регистр VICIntSelect (Interrupt Select Register)

Этот регистр задает к какой категории относится запрос прерывания (FIQ или IRQ).

VICIntSelect	Назначение
31:0	1: соответствующий запрос прерывания относится к категории FIQ 0: соответствующий запрос прерывания относится к категории IRQ

Доступен для чтения и записи.

Регистры VICVectAddr0-15 (Vector Address Registers)

Эти регистры содержат адреса обработчиков прерываний для векторных IRQ.

VICVectAddr0-15	Назначение
31:0	Если одно или более прерываний разрешены, отнесены к категории IRQ и подключены к включенному векторному слоту IRQ, значение этого регистра с наивысшим приоритетом будет возвращено, когда обработчик прерывания обратится к регистру VICVectAddr.

Доступны для чтения и записи.

Регистры VICVectCntl0-15 (Vector Control Registers)

Эти регистры настраивают 16 слотов векторных IRQ.

VICVectCntl0-15	Назначение
5	1: этот слот векторного IRQ включен и может вызывать адрес обработчика прерывания, если соответствующее прерывание разрешено, отнесено к категории IRQ и подключено.
4:0	Номер запроса прерывания назначенный этому слоту IRQ. Хорошим стилем программирования считается, когда программа не назначает один и тот же запрос прерывания больше чем одному включенному слоту векторного IRQ. Но если это происходит, то используется слот с меньшим номером.

Доступны для чтения и записи.

Регистр VICIntEnable (Interrupt Enable Register)

Этот регистр содержит информацию о разрешенных запросах прерываний.

VICIntEnable	Назначение
31:0	При чтении этого регистра, единицы указывают, какие запросы прерываний разрешены. При записи в этот регистр, единицы разрешают соответствующие запросы прерываний. Запись нулей не запрещает прерывания. Для запрещения прерываний

	следует использовать регистр VICIntEnClear.
--	---

Доступен для чтения и записи.

Регистр VICVectAddr (Vector Address Register)

Этот регистр предназначен для получения обработчиком прерывания адреса функции обработки конкретного прерывания.

VICVectAddr	Назначение
31:0	Если любой запрос прерывания, подключенный к слоту векторного IRQ, разрешен, чтение из этого регистра вернет адрес обработчика прерывания наиболее приоритетного запроса (с меньшим номером слота). В противном случае будет возвращен адрес обработчика прерываний по умолчанию (VICDefVectAddr). Запись в этот регистр не устанавливает значение, которое будет прочитано в следующий раз. Запись в этот регистр должна находиться в конце обработчика прерываний для обновления очередности прерываний.

Доступен для чтения и записи.

Регистр VICDefVectAddr (Default Vector Address Register)

Этот регистр содержит адрес обработчика прерываний для не векторных IRQ.

VICDefVectAddr	Назначение
31:0	Когда обработчик прерывания считывает регистр VICVectAddr, и ни один из слотов прерываний не выбирается, то возвращается значение этого регистра.

Доступен для чтения и записи.

Контроллер CAN

Название	Описание	Доступ	Адрес и название	
			CAN1	CAN2
CANMOD	Управляет режимом работы контроллера CAN	Чтение/запись	0xE0044000 C1MOD	0xE0048000 C2MOD
CANCMR	Командные биты, влияющие на состояние контроллера CAN	Только запись	0xE0044004 C1CMR	0xE0048004 C2CMR
CANGSR	Глобальный регистр статуса и счетчиков ошибок	Только чтение	0xE0044008 C1GSR	0xE0048008 C2GSR
CANIER	Разрешение прерываний	Чтение/запись	0xE0044010 C1IER	0xE0048010 C2IER
CANBTR	Временные характеристики шины	Чтение/запись	0xE0044014 C1BTR	0xE0048014 C2BTR
CANSR	Регистр статуса	Только чтение	0xE004401C C1SR	0xE004801C C2SR
CANRFS	Статус полученного сообщения	Чтение/запись	0xE0044020 C1RFS	0xE0048020 C2RFS
CANRID	Идентификатор в принятом сообщении	Чтение/запись	0xE0044024 C1RID	0xE0048024 C2RID
CANRDA	Поле данных (1-4 байт) в принятом сообщении	Чтение/запись	0xE0044028 C1RDA	0xE0048028 C2RDA
CANRDB	Поле данных (5-8 байт) в принятом сообщении	Чтение/запись	0xE004402C C1RDB	0xE004802C C2RDB
CANTF11	Информация о	Чтение/запись	0xE0044030	0xE0048030

	передаваемом сообщении		C1TFI1	C2TFI1
CANTID1	Идентификатор передаваемого сообщения	Чтение/запись	0xE0044034 C1TID1	0xE0048034 C2TID1
CANTDA1	Поле данных (1-4 байт) в передаваемом сообщении	Чтение/запись	0xE0044038 C1TDA1	0xE0048038 C2TDA1
CANTDB1	Поле данных (5-8 байт) в передаваемом сообщении	Чтение/запись	0xE004403C C1TDB1	0xE004803C C2TDB1

Регистр режима работы CANMOD

Биты	Название	Функция
0	RM	0 – контроллер CAN работает, некоторые регистры недоступны для записи; 1 – режим перезагрузки (Reset Mode) – CAN недоступен, в регистры, доступные для записи, можно записывать.
1	LOM	0 – контроллер CAN подтверждает, что сообщение было успешно принято; 1 – режим прослушивания (Listen Only Mode) – контроллер не дает подтверждений того, что сообщение было успешно принято. Сообщения не могут посылаются, контроллер находится в состоянии “пассивной ошибки”. Этот режим предусмотрен для программного определения скорости передачи информации (битовой скорости) и “горячего включения”.
2	STM	0 – переданное сообщение должно быть подтверждено для того, чтобы передача считалась успешной; 1 – режим самостоятельного тестирования (Self Test Mode) – контроллер будет считать переданное сообщение успешным, если не будет подтверждений. Этот режим можно использовать вместе с установкой бита SRR в регистре CANCMR.
3	TPM	0 – очередность трех буферов передачи зависит от идентификаторов их CAN; 1 – очередность трех буферов передачи зависит от соответствующих полей (Tx Priority Fields в регистре CANTFI).
4	SM	0 – нормальный режим работы; 1 – режим “сна” (Sleep Mode) – контроллер CAN находится в таком режиме, если нет запросов на прерывание и нет активности на шине.
5	RPM	0 – на выводах шины (RX и TX) под уровнем “dominant” подразумевается нулевой сигнал; 1 – режим смены полярности сигнала (Reverse Polarity Mode) – на выводе RX под уровнем “dominant” подразумевается единичный сигнал.
7	TM	0 – нормальный режим работы; 1 – режим тестирования (Test Mode) – вывод RX замыкается на вывод TX.

Командный регистр CANCMR

Запись в этот регистр вызывает выполнение какого-либо действия.

Биты	Название	Функция
0	TR	1 – запрос передачи (Transmission Request) – сообщение, уже записанное в регистры CANTFI, CANTID и CANTDA, CANTDB

		(необязательно), помещается в очередь на передачу.
1	AT	1 – прекращение передачи (Abort Transmission) – невыполненный запрос на передачу отменяется.
2	RRB	1 – освобождение буферов приема (Release Receive Buffer) – регистры CANRFS, CANRID и CANRDA, CANRDB (если используются) освобождаются, и в них может быть записан следующий принятый кадр. Если следующий принятый кадр не доступен, то выполнение этой команды очищает бит RBS в регистре CANSR..
3	CDO	1 – очищение бита переполнения данных (Data Overrun Status) в регистре CANSR.
4	SRR	1 – Self Reception Request – сообщение, уже записанное в регистры CANTFI, CANTID и CANTDA, CANTDB (необязательно), помещается в очередь на передачу. В отличие от бита TR в данном случае приемник является доступным во время передачи и может принимать сообщения.
5	STB1	1 – выбор первого буфера для передачи (Select Tx Buffer1).
6	STB2	1 – выбор второго буфера для передачи (Select Tx Buffer2).
7	STB3	1 – выбор третьего буфера для передачи (Select Tx Buffer3).

Глобальный регистр статуса CANSR

Регистр доступен только для чтения, но если RM (CANMOD) = 1, поля RXERR и TXERR доступны и для записи.

Биты	Название	Функция
0	RBS	1 – статус буфера приема (Receive Buffer Status) – принятое сообщение доступно в регистрах CANRFS, CANRID и CANRDA, CANRDB (если используются). Этот бит очищается командой RRB в регистре CANSR, если последующие принятые сообщения не доступны.
1	DOS	1 – переполнение данных (Data Overrun Status) – сообщение было потеряно, потому что предыдущее сообщение не было прочитано и соответствующие регистры очень быстро освободились от него; 0 – никакого переполнения данных не произошло с момента последнего выполнения команды CDO (регистр CANSR) или перезагрузки.
2	TBS	1 – статус буфера передачи (Transmit Buffer Status) – все сообщения переданы для данного контроллера CAN (из всех трех буферов передачи) и можно программно записывать в регистры любого буфера CANTFI, CANTID и CANTDA, CANTDB; 0 – как минимум одно сообщение находится в очереди для передачи и все еще не послано, поэтому не следует записывать в регистры этого занятого буфера передачи. Подробнее в регистре CANSR.
3	TCS	1 – статус выполненной передачи (Transmit Complete Status) – все сообщения были успешно переданы; 0 – как минимум одно сообщение не было успешно отправлено. Подробнее в регистре CANSR.
4	RS	1 – статус приема (Receive Status) – контроллер CAN принимает сообщение.
5	TS	1 – статус передачи (Transmit Status) – контроллер CAN отправляет сообщение. Подробнее в регистре CANSR.

6	ES	1 – статус ошибки (Error Status) – один или оба счетчика ошибок по приему (передаче) достигли максимального значения.
7	BS	1 – статус шины (Bus Status) – выбор третьего буфера для передачи (Select Tx Buffer3).
23:16	RXERR	Текущее значение счетчика ошибок приема (Rx Error Counter).
31:24	TXERR	Текущее значение счетчика ошибок передачи (Tx Error Counter).

Регистр разрешения прерывания CANIER

Биты	Название	Функция
0	RIE	Разрешение прерывания от приемника.
1	TIE1	Разрешение прерывания от передатчика (первый буфер передачи).
2	EIE	Разрешение прерывания предупреждения ошибки.
3	DOIE	Разрешение прерывания переполнения данных.
4	WUIE	Разрешение прерывания “пробуждения”.
5	EPIE	Разрешение прерывания “пассивной ошибки”.
6	ALIE	Разрешение прерывания потери арбитража.
7	BEIE	Разрешение прерывания ошибки на шине.
8	IDEI	Разрешение прерывания готовности идентификатора (ID).
9	TIE2	Разрешение прерывания от передатчика (второй буфер передачи).
10	TIE3	Разрешение прерывания от передатчика (третий буфер передачи).

Регистр временных характеристик шины CANBTR

Доступен для записи только при RM (CANMOD) = 1.

Биты	Название	Функция
0:9	BRP	Делитель частоты (Baud Rate Prescaler). Частота шины CAN = частота VPB/(BRP+1).
15:14	SJW	Переход синхронизации (Synchronization Jump Width).
19:16	TSEG1	Сегмент буфера1 фазы (PHASE_SEG1)
22:20	TSEG2	Сегмент буфера2 фазы (PHASE_SEG2)
23	SAM	1 – значение на шины считывается трижды (рекомендуется для шин с низкой и средней скоростью передачи); 0 – значение шины считывается один раз (рекомендуется для высокоскоростных шин).

Регистр статуса CANSR

Регистр содержит три байта статуса, в каждом из которых биты, не касающиеся передачи сообщения, идентичны битам в регистре CANGSR; остальные биты отражают статус каждого из трех буферов передачи (Tx Buffers).

Биты	Название	Функция
0, 8, 16	RBS	Эти биты идентичны биту RSB в регистре CANGSR.
1, 9, 17	DOS	Эти биты идентичны биту DOS в регистре CANGSR.
2, 10, 18	TBS1, TBS2, TBS3	1 – можно программно записывать сообщения в регистры выбранного буфера CANTFI, CANTID и CANTDA, CANTDB; 0 – не следует записывать в регистры этого занятого буфера передачи.
3, 11, 19	TCS1,	1 – запрошенная ранее передача для выбранного буфера передачи

	TCS2, TCS3	была успешно выполнена; 0 – запрошенная ранее передача для выбранного буфера передачи была не выполнена.
4, 12, 20	RS	Эти биты идентичны биту RS в регистре CANGSR.
5, 13, 21	TS1, TS2, TS3	1 – контроллер CAN отправляет сообщение из выбранного буфера передачи.
6, 14, 22	ES	Эти биты идентичны биту ES в регистре CANGSR.
7, 15, 23	BS	Эти биты идентичны биту BS в регистре CANGSR.

Регистр статуса полученного сообщения CANRFS

Регистр определяет характеристики текущего принятого сообщения. Доступен для записи только при RM (CANMOD) = 1.

Биты	Название	Функция
9:0	ID Index	См. в руководстве пользователя по LPC2292.
10	BP	См. в руководстве пользователя по LPC2292.
19:16	DLC	Содержит код длины данных для принятого сообщения: 0000-0111 = 0-7 байт, 1000-1111 = 8 байт
30	RTR	Бит запроса удаленной передачи. Если RTR = 0, то это кадр данных, при этом сами данные можно прочитать из регистров CANRDA и CANRDB (если DLC ≠ 0). Если RTR = 1, то это кадр удаленного запроса данных и DLC в этом случае определяет количество запрашиваемых байтов для посылки.
31	FF	0 – стандартное сообщение (11-битное поле идентификатора); 1 – расширенное сообщение (29-битное поле идентификатора). Влияет на содержимое регистра идентификатора (CANRID).

Регистр данных полученного сообщения CANRDA

Доступен для записи только при RM (CANMOD) = 1 как и регистр CANRID.

Биты	Название	Функция
7:0	Data 1	Если DLC (CANRFS) ≥ 0001, то это поле содержит первый байт данных полученного сообщения.
15:8	Data 2	Если DLC (CANRFS) ≥ 0010, то это поле содержит второй байт данных полученного сообщения.
23:16	Data 3	Если DLC (CANRFS) ≥ 0011, то это поле содержит третий байт данных полученного сообщения.
31:24	Data 4	Если DLC (CANRFS) ≥ 0100, то это поле содержит четвертый байт данных полученного сообщения.

Регистр данных полученного сообщения CANRDB аналогично CANRDA для 5-8 байтов данных сообщения.

Регистр информации о передаваемом сообщении CANTFI

Если бит TBS = 1 в регистре CANSR, то можно записать информацию в этот регистр для определения формата передаваемого сообщения (для выбранного буфера передачи).

Биты	Название	Функция
7:0	PRIO	Если бит TPM (CANMOD) = 1, то выбрать очередность буферов передачи можно при помощи этого поля. Чем меньше значение этого поля, тем приоритетнее буфер передачи.
19:16	DLC	Аналогично полю DLC в регистре CANRFS.
30	RTR	Аналогично полю RTR в регистре CANRFS.
31	FF	Аналогично полю FF в регистре CANRFS.

Регистры CANTID, CANTDA, CANTDB аналогичны регистрам CANRID, CANRDA, CANRDB (нет ограничения на запись).

Аналого-цифровой преобразователь

- 10-битное последовательное преобразование
- 8 мультиплексируемых каналов
- Режим энергосбережения
- Диапазон измерений от 0 до 3В
- Время 10-битного преобразования ≥ 2.44 мкс
- Burst-режим преобразования для одного или нескольких каналов

Основным источником тактовых импульсов АЦП является линия VPB. АЦП имеет программно-управляемый делитель частоты (максимальная рабочая частота АЦП – 4,5МГц). Преобразование с максимальной точностью выполняется за 11 тактов.

АЦП данного микроконтроллера имеет два регистра специального назначения.

Управляющий регистр АЦП (ADCR)

Биты	Название	Описание
7:0	SEL	Выбор оцифровываемых аналоговых входов. В программно-управляемом режиме может быть выбран только один вход. В аппаратном режиме может быть выбрано любое количество входов. Нулевое значение этих битов соответствует значению 0x01.
15:8	CLKDIV	Частота VPB (PCLK) делится на (это значение + 1) чтобы получить частоту работы АЦП, которая должна быть меньше или равна 4,5МГц.
16	BURST	Если этот бит, равен нулю, производится программно-управляемое преобразование, которое требует 11 тактов. Если этот бит, равен единице, АЦП производит периодическое преобразование со скоростью указанной в CLKS.
19:17	CLKS	Количество тактов, затрачиваемое на преобразование в Burst-режиме, и количество точных битов результата. 000 = 11 тактов/10 бит, 001 = 10 тактов/9 бит, ..., 111 = 4 такта/3 бита.
21	PDN	1: АЦП включено 0: АЦП выключено
23:22	TEST 1:0	Эти биты используются для тестирования устройства. (00 = нормальный режим работы)
26:24	START	Если бит BURST равен нулю, эти биты указывают событие, по которому начинается преобразование.

		000: не начинать преобразование 001: начать преобразование немедленно 010: начать преобразование по перепаду указанному в бите EDGE на линии P0.16/EINT0/MAT0.2/CAP0.2 011: начать преобразование по перепаду указанному в бите EDGE на линии P0.22/TD3/CAP0.0/MAT0.0 100: начать преобразование по перепаду указанному в бите EDGE на линии MAT0.1 101: начать преобразование по перепаду указанному в бите EDGE на линии MAT0.3 110: начать преобразование по перепаду указанному в бите EDGE на линии MAT1.0 111: начать преобразование по перепаду указанному в бите EDGE на линии MAT1.1
27	EDGE	Эти биты используются, только если в поле START находится значение из интервала 010-111. 0: начало преобразования по отрицательному перепаду выбранного CAP/MAT сигнала 1: начало преобразования по положительному перепаду выбранного CAP/MAT сигнала

Регистр данных АЦП (ADDR)

Биты	Название	Описание
5:0		Эти биты всегда читаются как ноль. Они предназначены для совместимости с высокоточными АЦП в будущем.
15:6	V/V _{3A}	Когда бит DONE установлен в единицу, это поле содержит двоичное значение, представляющее напряжение на линии A _{in} выбранной полем SEL, деленное на напряжение на линии V _{ddA} . Ноль в этом поле показывает, что напряжение на линии A _{in} меньше, равно или близко к V _{SSA} . Значение 0x3FF указывает, что напряжение на линии A _{in} больше, равно или близко к V _{3A} .
23:16		Эти биты всегда читаются как ноль.
26:24	CHN	Эти биты содержат номер канала, из которого было проведено преобразование.
29:27		Эти биты всегда читаются как ноль. В будущем они могут использоваться для расширения поля CHN для совместимости с АЦП с большим количеством каналов.
30	OVERUN	Этот бит устанавливается в единицу в Burst-режиме, если результаты одного или более преобразований были потеряны и перезаписаны до того, как преобразование сформировало результат в младших битах.
31	DONE	Этот бит устанавливается в единицу, когда АЦП заканчивает преобразование. Бит очищается, когда считывается этот регистр (ADDR) или производится запись в регистр ADCR. Если запись в регистр ADCR произошла во время выполнения преобразования, этот бит устанавливается и начинается новое преобразование.

Прерывания АЦП

Когда бит DONE устанавливается в единицу, в VIC (Vectored Interrupt Controller) поступает сигнал прерывания от АЦП. В программе можно настроить бит "разрешения прерывания" в VIC. Бит DONE сбрасывается после чтения регистра ADDR.

Программирование стенда

Инструментальное обеспечение

В качестве инструментальных программных средств для работы с SDK-2.0 возможно использовать широкий спектр различных продуктов. В их число производителей инструментальных средств входят:

- Keil Software (есть бесплатная версия с ограничением на размер кода);
- IAR Systems (есть бесплатная версия с ограничением на время использования);
- GNU (бесплатная)
- Green Hills и другие.

Среда разработки и компиляторы C/C++

Мы будем пользоваться оценочной (evaluation) версией инструментальных средств фирмы Keil Software. Указанные инструментальные средства и инструкцию по их установке можно свободно получить через Интернет на сайте www.keil.com после регистрации.

Системные требования для персонального компьютера:

- Windows 98, Windows NT Version 4, Windows 2000, Windows XP;
- Манипулятор Мышь или аналогичное устройство;
- 30 Мбайт свободного дискового пространства;
- 128 Мбайт ОЗУ.

Ограничения оценочной версии следующие:

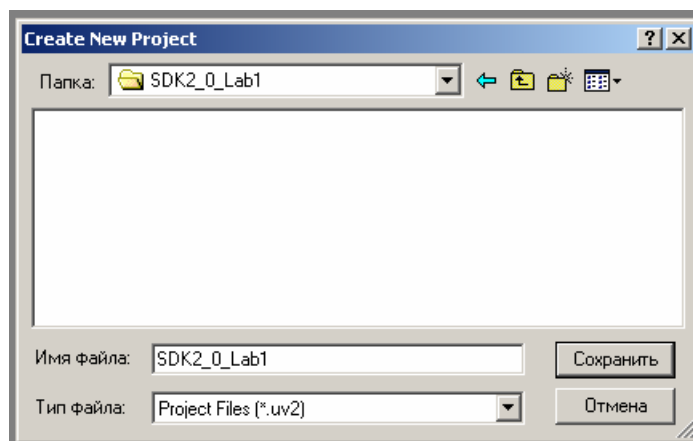
- Вы не можете использовать интегрированную среду разработки uVision, чтобы создавать коммерческие продукты.
- Использование инструментальных средств GNU никак не ограничено.
- Компилятор CARM, ассемблер и компоновщик ограничены 16 КБ объектного кода. Исходный текст может иметь любой размер.
- Программы, которые генерируют исполняемые модули крупнее 16 КБ объектного кода, не будут собираться или транслироваться.
- Отладчик поддерживает программы с размером исполняемого модуля не более 16 Кбайт.

В состав инструментальных средств для процессоров с ядром ARM7 входит:

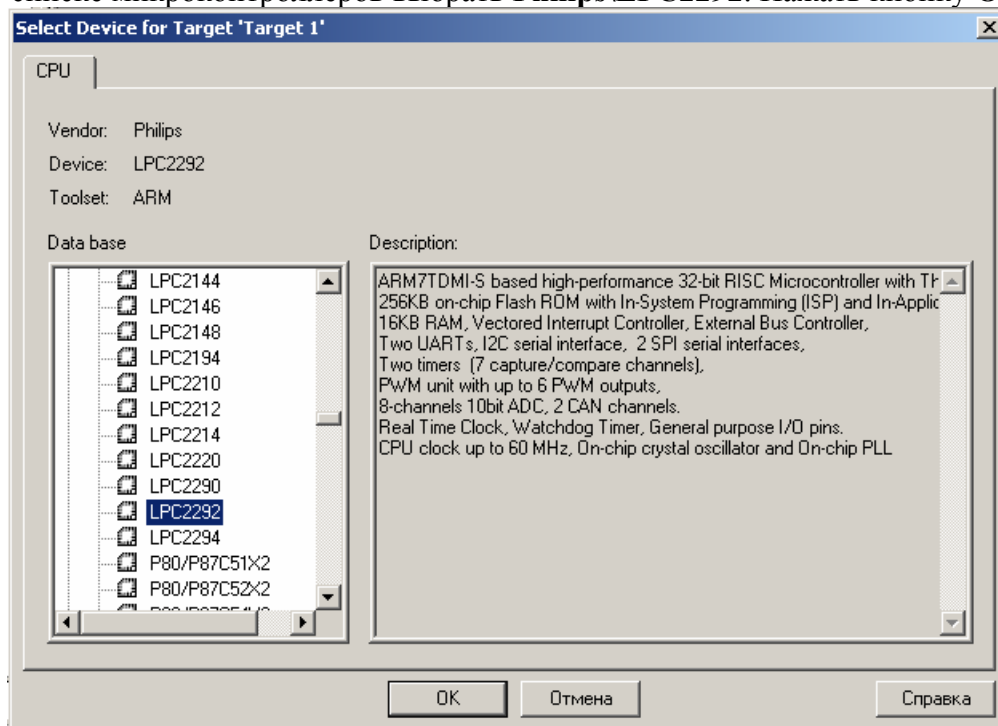
- Интегрированная среда разработки uVision;
- Компилятор языка C;
- Ассемблер;
- Симулятор – отладчик;
- Линкер;
- Библиотекарь;
- Комплект компиляторов с лицензией GNU.

Создание нового проекта

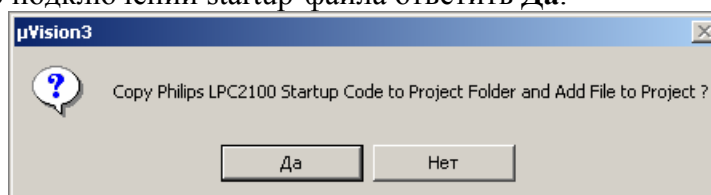
1. Выбрать пункт меню **Project\New Project...** В появившемся окне выбрать папку проекта и указать имя проекта. Нажать кнопку **Сохранить**.



2. В списке микроконтроллеров выбрать **Philips\LPC2292**. Нажать кнопку **ОК**.

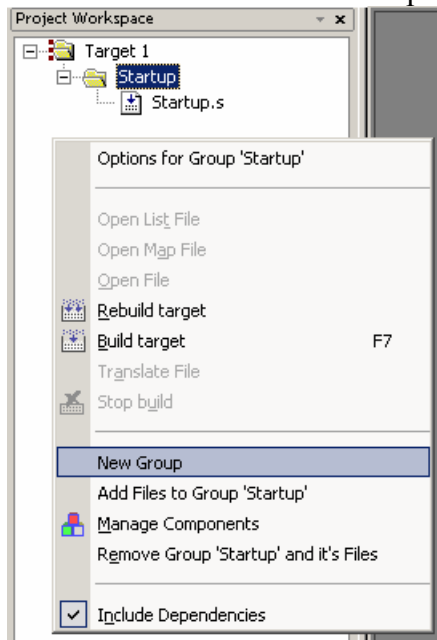


3. На вопрос о подключении startup-файла ответить **Да**.

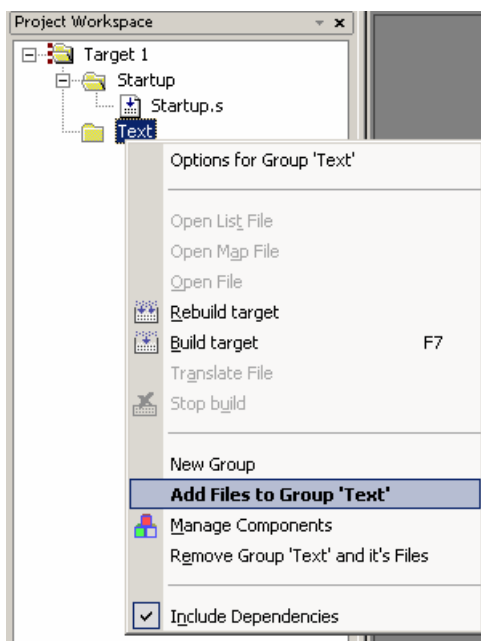


Настройка проекта

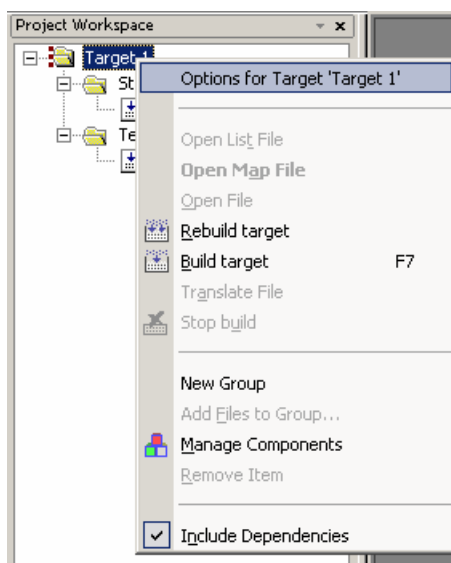
1. Для удобства файлы с исходными текстами можно размещать в различных группах. Для создания новой группы нужно щелкнуть правой кнопкой мышки в окне **Project Workspace** и в контекстном меню выбрать пункт **New Group**.



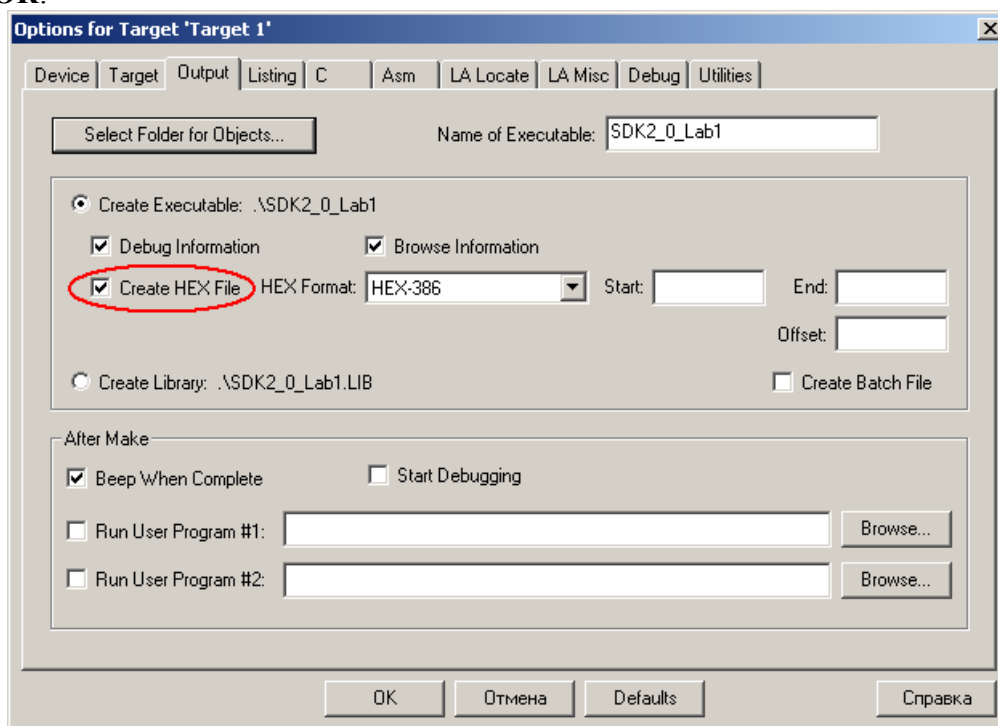
2. Для добавления файлов в группу нужно щелкнуть правой кнопкой мышки на имени группы и в контекстном меню выбрать пункт **Add Files to Group '...'**. В появившемся диалоговом окне выбрать подключаемые файлы (можно несколько) и нажать кнопку **Add**.



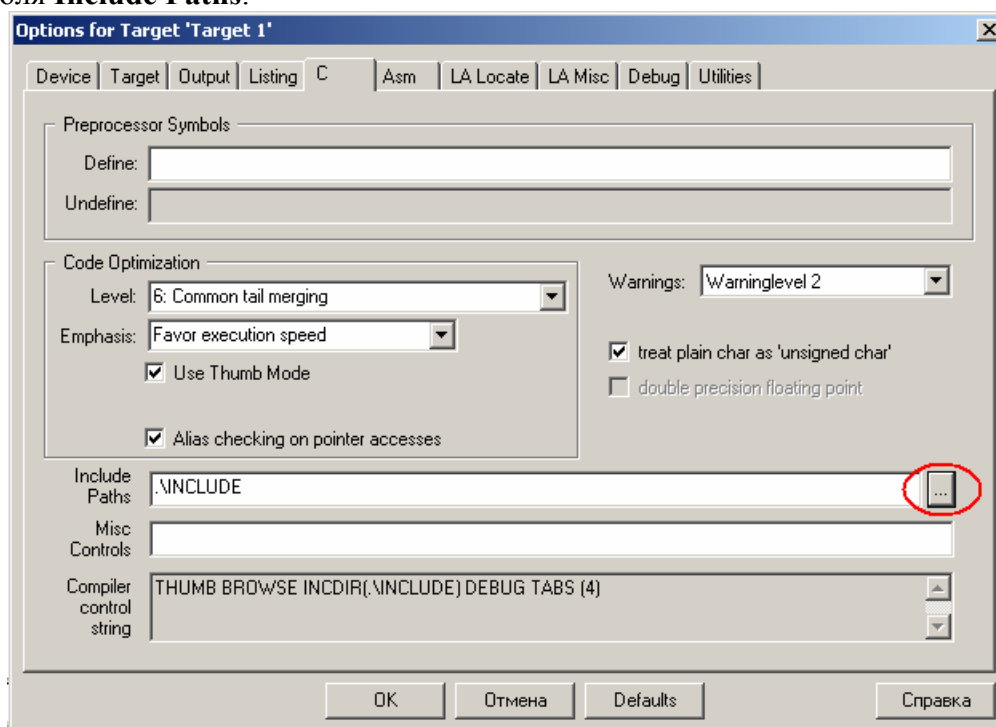
3. Для того чтобы проект компилировался в HEX-файл нужно щелкнуть правой кнопкой мышки на имени проекта и в контекстном меню выбрать пункт **Options for Target '...'**.



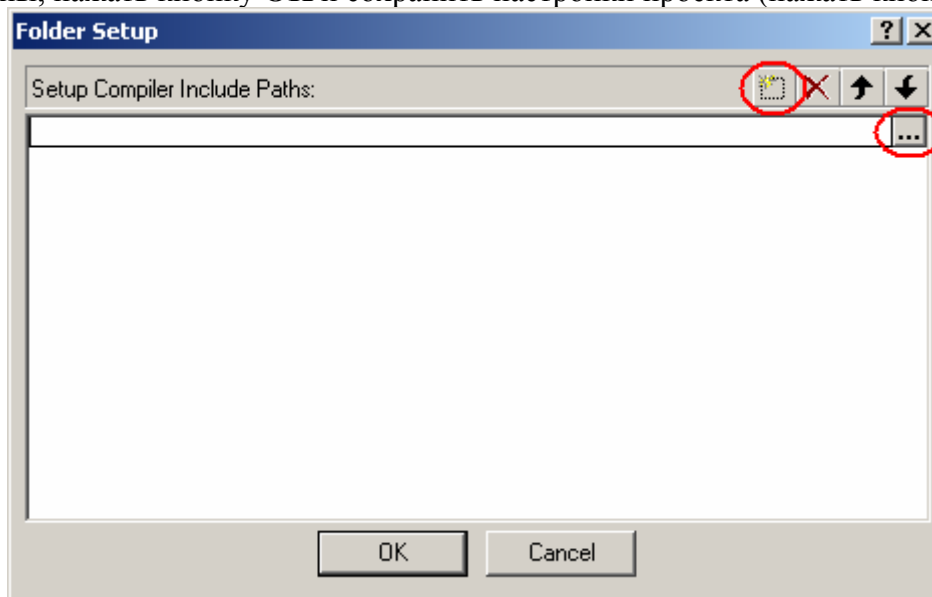
Затем выбрать вкладку **Output** и установить флажок **Create HEX File**. Нажать кнопку **OK**.



4. Для указания компилятору путей для поиска заголовочных файлов проекта нужно открыть окно настроек проекта. Выбрать вкладку **C** и нажать кнопку '...' справа от поля **Include Paths**.

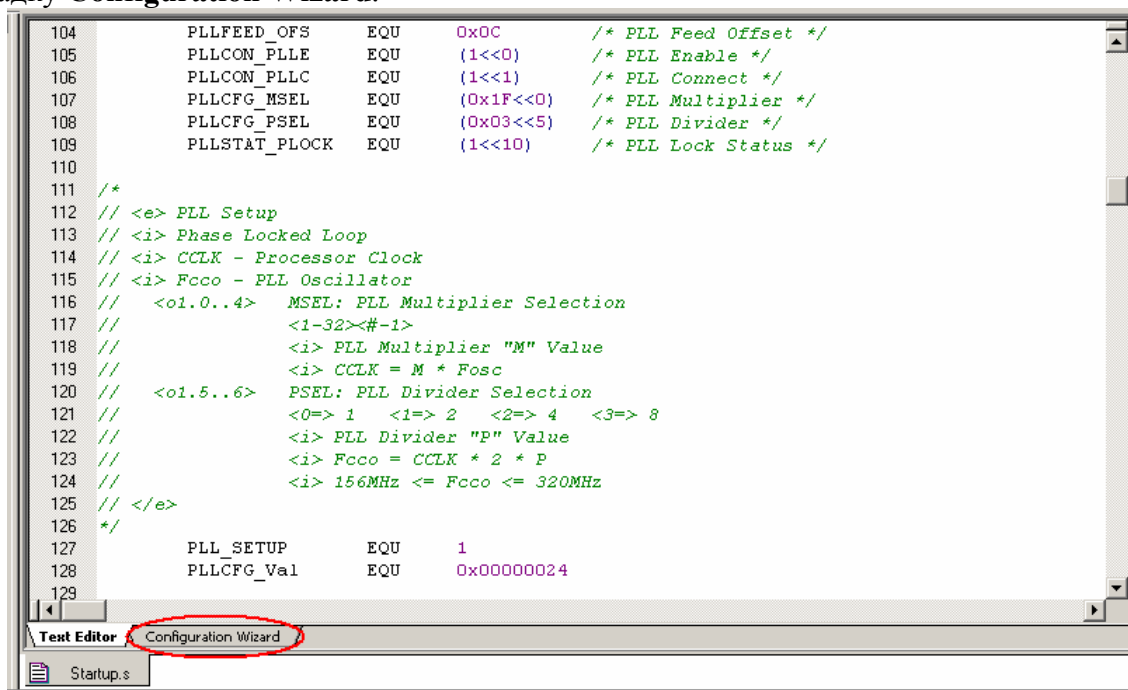


В появившемся окне нажать кнопку **New(Insert)**, а затем кнопку '...'. В следующем окне выбрать папку с заголовочными файлами и нажать кнопку **OK**. После того как все пути указаны, нажать кнопку **OK** и сохранить настройки проекта (нажать кнопку **OK**).



Настройка файла Startup

Открыть файл **Startup.s** для редактирования и в нижней части окна выбрать вкладку **Configuration Wizard**.



Настройка стека

Для настройки стека микроконтроллера нужно установить значения вкладки **Stack Configurations**, как показано на рисунке:

Option	Value
<input checked="" type="checkbox"/> Stack Configuration (Stack Sizes in Bytes)	
... Undefined Mode	0x0000 0004
... Supervisor Mode	0x0000 0004
... Abort Mode	0x0000 0004
... Fast Interrupt Mode	0x0000 0004
... Interrupt Mode	0x0000 0080
... User/System Mode	0x0000 0400
<input checked="" type="checkbox"/> VPBDIV Setup	<input checked="" type="checkbox"/>

Настройка делителя шины VPB

Для настройки делителя шины VPB нужно установить значения вкладки **VPBDIV Setup**, как показано на рисунке (эти значения соответствуют VPB = 12MHz):

Option	Value
<input checked="" type="checkbox"/> Stack Configuration (Stack Sizes in Bytes)	
<input checked="" type="checkbox"/> VPBDIV Setup	<input checked="" type="checkbox"/>
... VPBDIV: VPB Clock	VPB Clock = CPU Clock / 4
... XCLKDIV: XCLK Pin	XCLK Pin = CPU Clock / 4
<input checked="" type="checkbox"/> PLL Setup	<input checked="" type="checkbox"/>

Настройка умножителя частоты (PLL) микроконтроллера

Для настройки умножителя частоты микроконтроллера нужно установить значения вкладки **PLL Setup**, как показано на рисунке (эти значения соответствуют $sclk = 48MHz$):

Option	Value
Stack Configuration (Stack Sizes in Bytes)	
VPBDIV Setup	<input checked="" type="checkbox"/>
PLL Setup	<input checked="" type="checkbox"/>
MSEL: PLL Multiplier Selection	4
PSEL: PLL Divider Selection	2
MAM Setup	<input checked="" type="checkbox"/>

Настройка модуля ускорения памяти (MAM)

Для настройки модуля ускорения памяти нужно установить значения вкладки **MAM Setup**, как показано на рисунке:

Option	Value
Stack Configuration (Stack Sizes in Bytes)	
VPBDIV Setup	<input checked="" type="checkbox"/>
PLL Setup	<input checked="" type="checkbox"/>
MAM Setup	<input checked="" type="checkbox"/>
MAM Control	Fully Enabled
MAM Timing	4
External Memory Controller (EMC)	<input checked="" type="checkbox"/>

Настройка контроллера внешней памяти (EMC)

Для настройки контроллера внешней памяти нужно установить значения вкладки **External Memory Controller**, как показано на рисунке:

Option	Value
External Memory Controller (EMC)	<input checked="" type="checkbox"/>
Bank Configuration 0 (BCFG0)	<input checked="" type="checkbox"/>
IDCY: Idle Cycles	15
WST1: Wait States 1	31
WST2: Wait States 2	31
RBLE: Read Byte Lane Enable	<input checked="" type="checkbox"/>
WP: Write Protect	<input type="checkbox"/>
BM: Burst ROM	<input type="checkbox"/>
MW: Memory Width	16-bit
Bank Configuration 1 (BCFG1)	<input type="checkbox"/>
Bank Configuration 2 (BCFG2)	<input checked="" type="checkbox"/>
IDCY: Idle Cycles	3
WST1: Wait States 1	31
WST2: Wait States 2	31
RBLE: Read Byte Lane Enable	<input checked="" type="checkbox"/>
WP: Write Protect	<input type="checkbox"/>
BM: Burst ROM	<input type="checkbox"/>
MW: Memory Width	16-bit
Bank Configuration 3 (BCFG3)	<input type="checkbox"/>

Написание простой программы

Ниже приведен пример простой программы, мигающей светодиодом D1 (power).

```
#include "lpc2292.h"

int main (void)
{
    unsigned long i;

    IO0DIR |= 0x00100000; // Переключаем порт ввода-вывода на вывод

    while ( 1 )
    {
        IO0SET |= 0x00100000; // Выдаем в порт ввода-вывода логическую «1»
        for ( i = 0; i < 5000000; i++ ); // Делаем задержку
        IO0CLR |= 0x00100000; // Выдаем в порт ввода-вывода логический «0»
        for ( i = 0; i < 5000000; i++ ); // Делаем задержку
    }
}
```

Загрузка исполняемого модуля

Для доставки исполняемого модуля в стенд SDK-2.0 необходима специальная программа LPC2000 Flash Utility, поставляемая бесплатно фирмой Philips. Для загрузки модуля необходимо:

1. Установить переключку ISP mode и перезапустить SDK-2.0;
2. Выбрать файл с вашим загрузочным модулем в формате HEX;
3. Выбрать тип микроконтроллера (LPC2292);
4. Нажать кнопку Read Device ID и убедиться в том, что связь со стендом работает;
5. Нажать кнопку Upload to Flash;
6. Дождаться окончания загрузки и снять переключку ISP mode;
7. Перезапустить стенд SDK-2.0



Рисунок 3 Внешний вид программы LPC2000 Flash Utility