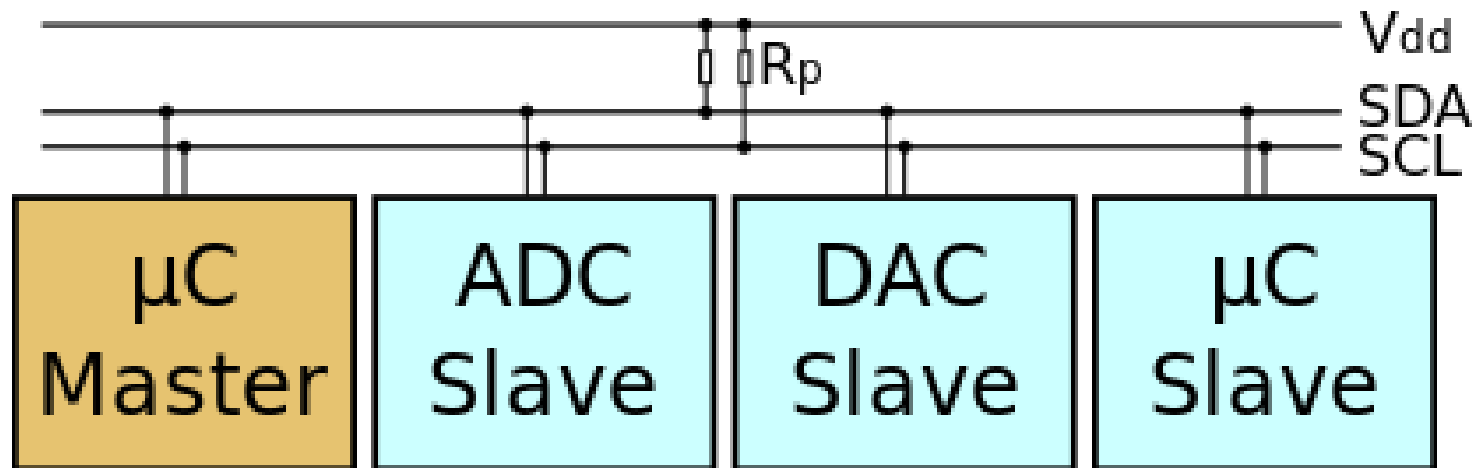


I2C interfejs

I2C interfejs

- I2C (engl. Inter Integrated Circuit) interfejs predstavlja dvožični komunikacioni interfejs za povezivanje mikrokontrolera sa perifernim uređajima.
- Ovaj interfejs koristi dvije dvosmjerne open-drain linije:
 - SDA (engl. Serial Data Line) i
 - SCL (engl. Serial Clock Line)
- Obavezno je dodavanje pull-up otpornika.
- Naponski nivoi na magistrali kreće se od 0V za V_{OL} do napona napajanja (3.3 V ili 5 V) za V_{OH}

I2C interfejs



Brzina komunikacije

- Brzina komunikacije se kreće do
 - 100 kb/s (Standard Mode)
 - 400 kb/s (Fast Mode)
 - 1 Mb/s (Fast Mode plus)
 - 3.4 Mb/s (High Speed Mode)
 - 5 Mb/s (Ultra Fast Mode)

I2C interfejs

- I2C interfejs omogućava povezivanje više master i više slave uređaja na zajedničku magistralu.
- Svaki uređaj na magistrali ima jedinstvenu adresu koja je veličine 7 bita ili 10 bita
- Maksimalan broj uređaja je određen veličinom adrese ali i ukupnom kapacitivnošću magistrale (maksimalno 400 pF)
- Maksimalna dužina magistrale je nekoliko metara.

I2C uređaji-čvorovi

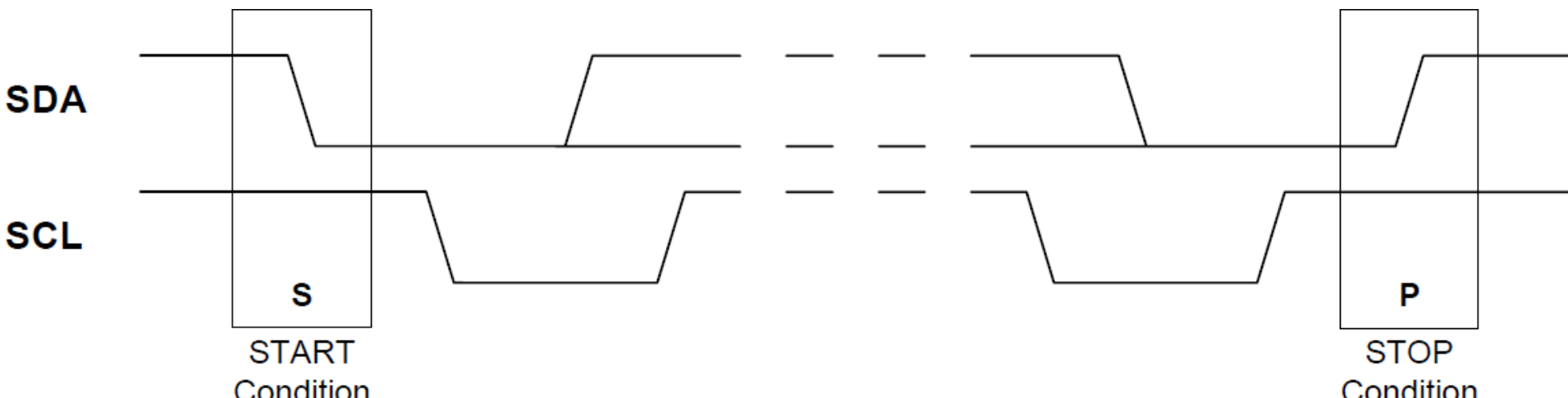
- Master čvor – čvor koji generiše takt i inicira komunikaciju sa slave čvorovima
- Slave čvor – čvor koji prima takt i odgovara kada ga master adresira
- Multi-master magistrala
- Master i slave čvorovi mogu da zamijene uloge nakon stop sekvence

Modovi rada čvora

- Master emituje podatke
- Master prima podatke
- Slave emituje podatke
- Slave prima podatke

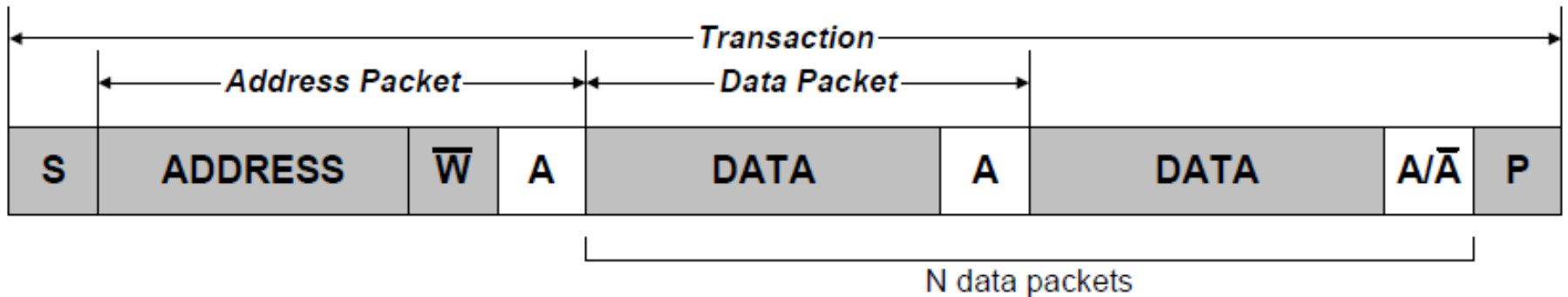
Start/stop sekvenca

- Master inicira komunikaciju slanjem start sekvence
- Komunikacija završava slanjem stop sekvence
- Start/stop sekvence su jedinstvene
- Master umjesto stop sekvence može ponovo da generiše start sekvencu (REPEATED START)



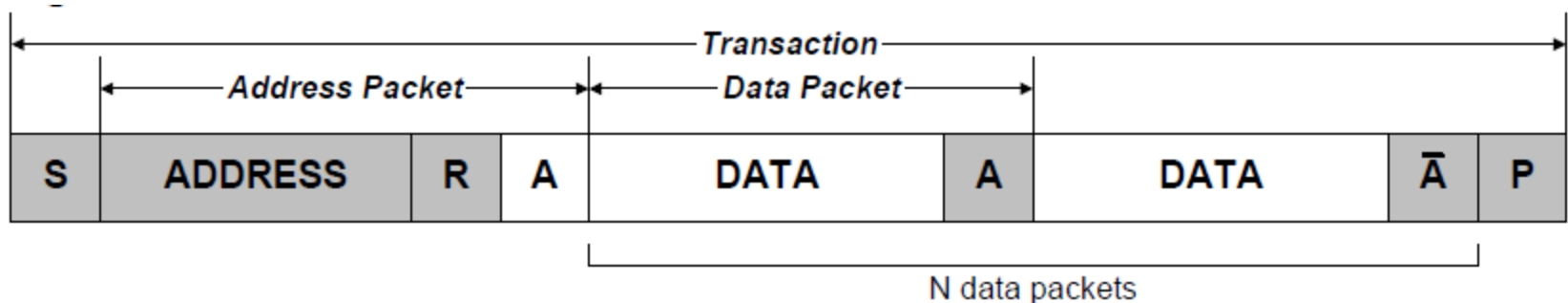
Master write

- Nakon start sekvence šalje se 7-bitna adresa
- WRITE=0 (READ=1)
- ACKNOWLEDGE = 0



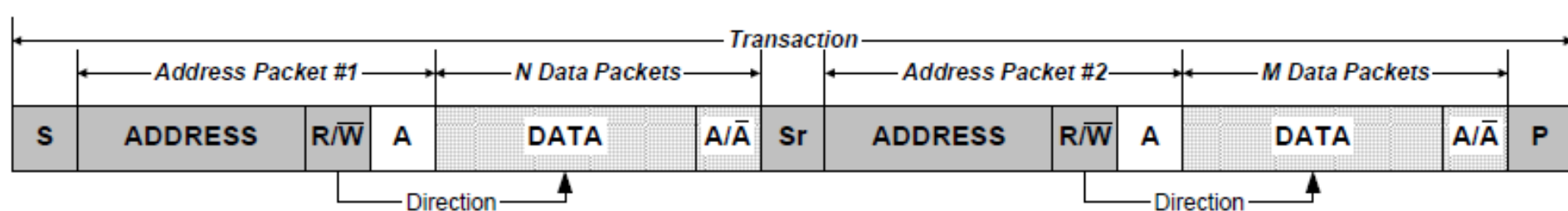
Master read

- Ako je $R/W = 1$, master nakon ovog bita generiše takt, dok slave šalje podatke preko SDA



Kombinovani prenos

- Umjesto slanja stop sekvence master šalje REPEATED START i adresu uključujući R/W bit.
- Ovo omogućava promjenu smijera transakcije



“Razvlačenje” takta - Clock Stretching

- Master uvijek generiše takt
- Svaki čvor može takt da zadrži na niskom nivou
- Slave zadržava dalji tok prenosa (npr. ako mu treba više vremena da procesira podatke)
- Zbog arhitekture magistrale sa pullup otpornicima master ne može da generiše takt

Arbitraža magistrale

- Pošto je I2C multi master magistrala moguće je da se dva čvora iniciraju komunikaciju u isto vrijeme
- Arbitraža se odvija kroz svaku transakciju bita sve dok jedan od čvorova ne pošalje 1 a drugi 0.
- Pošto je 0 dominantna na magistrali, čvor koji je generisao 1 se povlači
- Čvorovi sa nižom adresom imaju veći prioritet