



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ
КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ
ТЕХНОЛОГИИ (ИУ7)
НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

ОТЧЕТ

по лабораторной работе № 1

Название: Синхронные одноступенчатые триггеры со статическим и динамическим управлением записью

Дисциплина: Архитектура электронно-вычислительных машин

Студент

ИУ7-42Б

20.03.2021

И. В. Козлова

(Группа)

(Подпись, дата)

(И.О. Фамилия)

Преподаватель

А. Ю. Попов

(Подпись, дата)

(И.О. Фамилия)

Москва, 2021

Цель работы: изучить схемы асинхронного RS - триггера, который является запоминающей ячейкой всех типов триггеров, синхронных RS - и D - триггеров со статическим управлением записью и DV - триггера с динамическим управлением записью.

Триггер - запоминающее устройство с двумя устойчивыми состояниями, которые кодируются цифрами 0 и 1.

Внутренние состояния триггера определяются по его выходному сигналу. Триггер имеет два выхода: прямой и инверсный.

Триггер имеет в общем случае несколько физических входов, на которые могут подаваться сигналы, закодированные цифрами 0 и 1. В результате действия входных сигналов триггер переключается из одного устойчивого состояния в другое. При этом изменяется уровень напряжения его выходного сигнала.

Содержание

Асинхронный RS триггер	4
Синхронный RS триггер	6
Синхронный D триггер (со статическим управлением)	10
Синхронный D триггер (с динамическим управлением)	13
Синхронный DV триггер (с динамическим управлением записью)	16
Синхронный DV триггер, включенный по схеме TV триггера	20
Вывод	23
Ответы на контрольные вопросы	23

1. Асинхронный RS триггер

Асинхронный RS-триггер - это простейший триггер, который используется как запоминающая ячейка.

Он сохраняет одно из устойчивых состояний независимо от многократного изменения информационного сигнала на одном входе при нулевом значении информационного сигнала на другом входе.

При $S=0$ и $R = 1$ триггер устанавливается в состояние "0", а при $S = 1$ и $R = 0$ - в состояние "1". Если $S = 0$ и $R = 0$, то в триггере сохраняется предыдущее внутреннее состояние. При $S=R=1$ состояние триггера является неопределенным.

Задание: Исследовать работу асинхронного RS-триггера с инверсными входами в статическом режиме. Для этого необходимо:

- собрать схему RS-триггера на ЛЭ И-НЕ;
- к выходам Q и $\sim Q$ триггера подключить световые индикаторы;
- задавая через переключатели необходимые сигналы на входах $\sim S$ и $\sim R$ триггера, составить таблицу переходов.

Структурная схема (рис. 1)

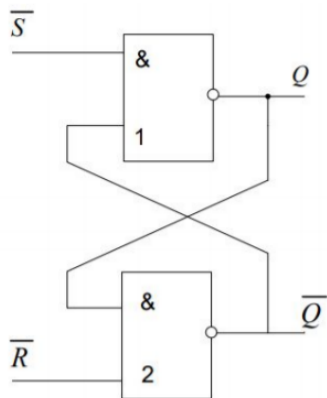


рис. 1

Схема, построенная в Multisim (рис. 2 а, б)

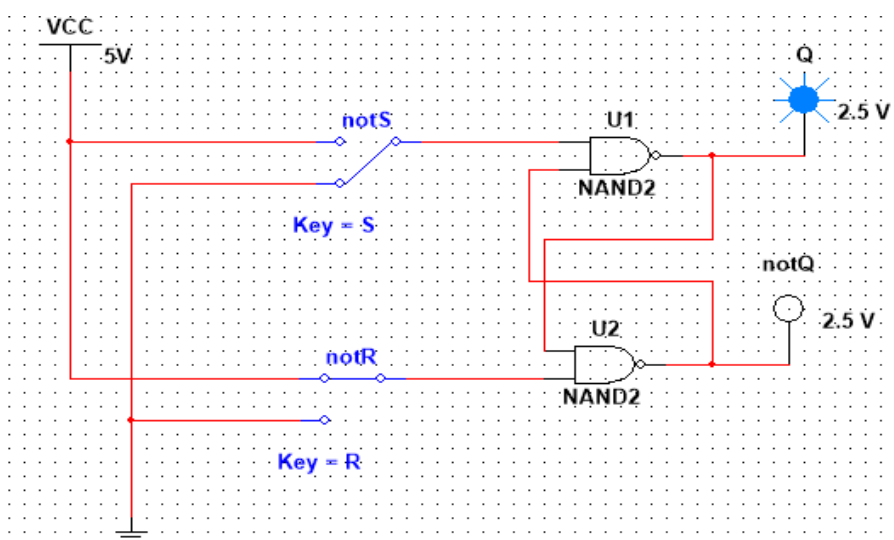


рис. 2 а

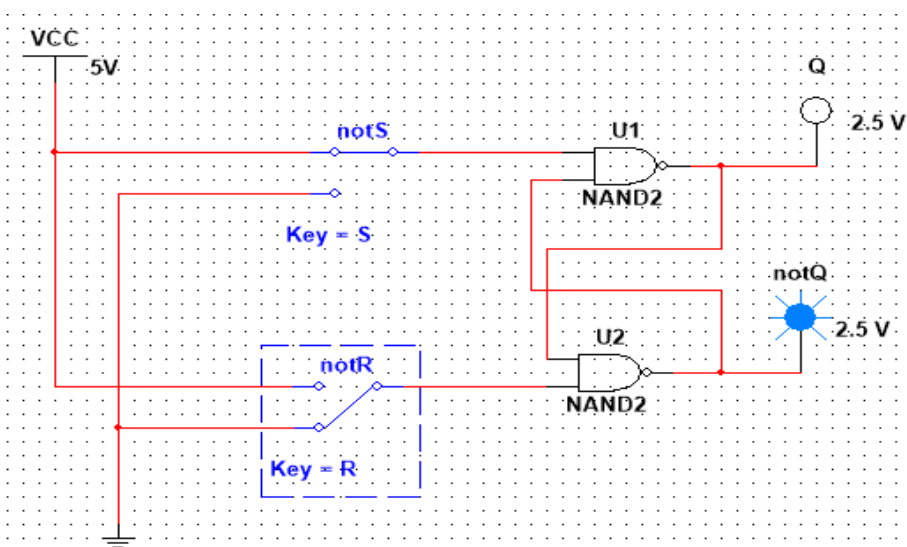


рис. 2 б

Соответствующая таблица переходов (таблица 1)

Таблица 1

$\sim S$	$\sim R$	Q_n	Q_{n+1}	Пояснени e
0	0	0	-	Запрещен ная операция
0	0	1	-	
0	1	0	1	Установк а 1
0	1	1	1	
1	0	0	0	Установк а 0
1	0	1	0	
1	1	0	0	Хранение
1	1	1	1	

2. Синхронный RS триггер

Синхронный RS-триггер - триггер, который имеет два информационных входа R и S и вход синхронизации C. ЛЭ 1 и 2 образуют схему управления, ЛЭ3 и 4 – асинхронный RS - триггер (запоминающую ячейку).

Как и все синхронные триггеры, синхронный RS - триггер при $C = 0$ сохраняет предыдущее внутреннее состояние. Сигналы по входам S и R переключают синхронный RS - триггер только с поступлением импульса на вход синхронизации C. При $C=1$ синхронный триггер переключается как асинхронный. Одновременная подача сигналов $C = S = R = 1$ запрещена. При $S = R = 0$ триггер не изменяет своего состояния.

Задание: Исследовать работу синхронного RS-триггера в статическом режиме. Для этого необходимо:

- собрать схему RS-триггера на ЛЭ И-НЕ;
- к выходам Q и $\sim Q$ триггера подключить световые индикаторы;
- задавая через переключатели необходимые сигналы на входах S, R и C, протестировать и составить таблицу переходов триггера. В таблице теста каждому набору S, R и Q будет соответствовать 3 строки: сначала задать $C=0$ (момент времени t_n), затем при $C=1$ (момент времени t_{n+1}) определяется Q_{n+1} и снова при $C=0$ переход в режим хранения.

Структурная схема (рис. 3)

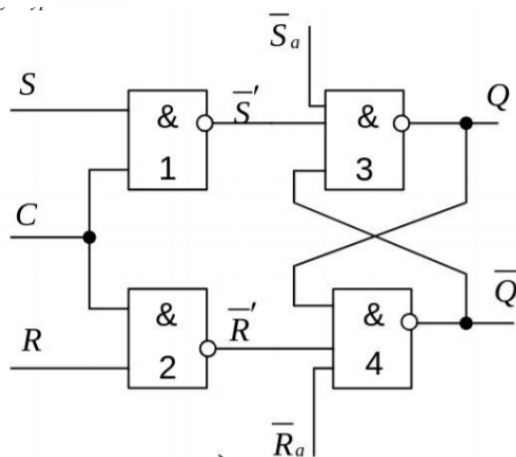


рис. 3

Схема, построенная в Multisim (рис 4 а, б, в, г)

а) установка положения ($S1 == S$, $S2 == C$, $S3 == R$) (рис. 4 а)

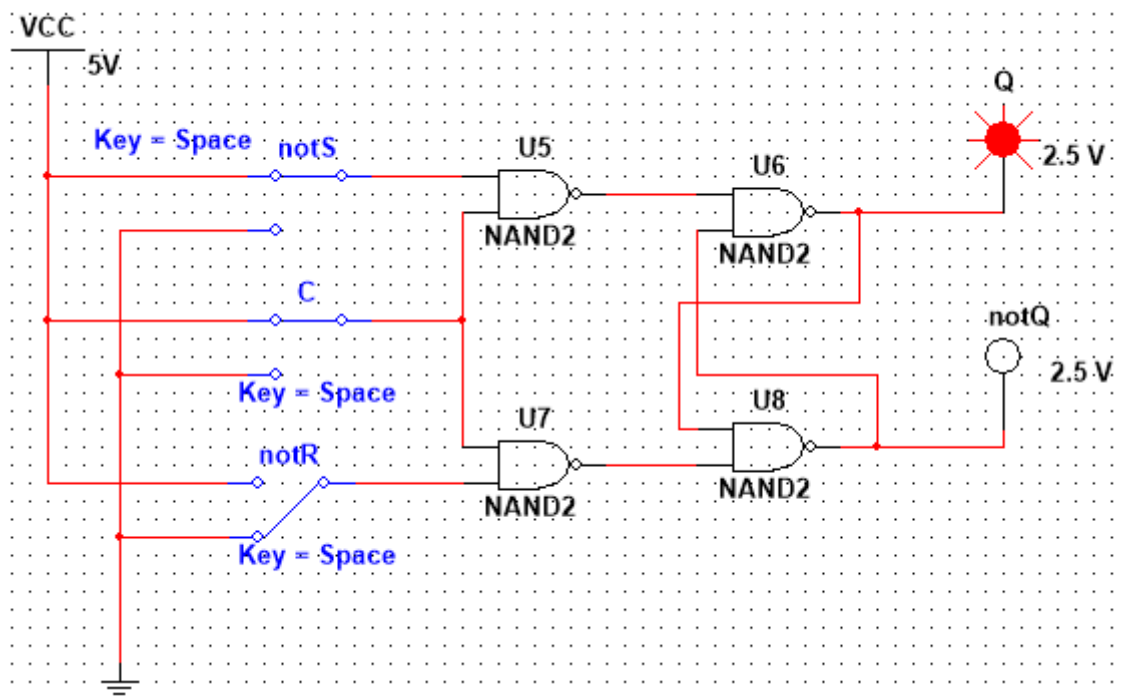


рис. 4 а

б) при выключении синхронизирующего сигнала положение сохраняется (рис. 4 б)

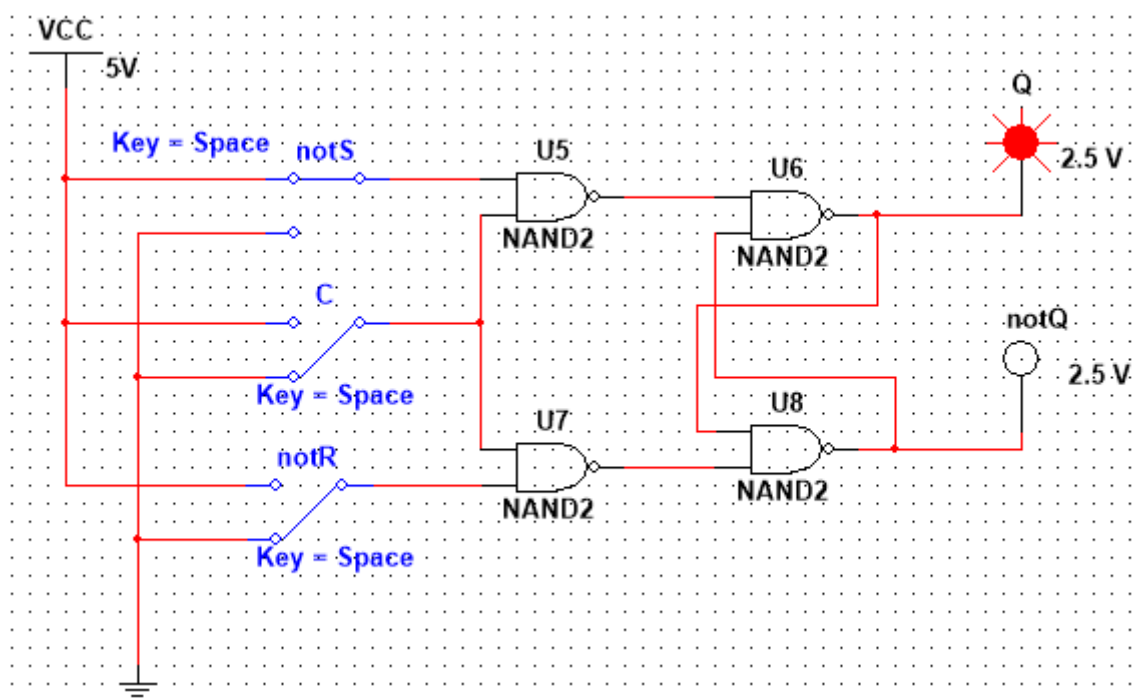


рис. 4 б

в) при изменении входных сигналов с выключенным синхронизирующим положением не изменяется (рис. 4 в)

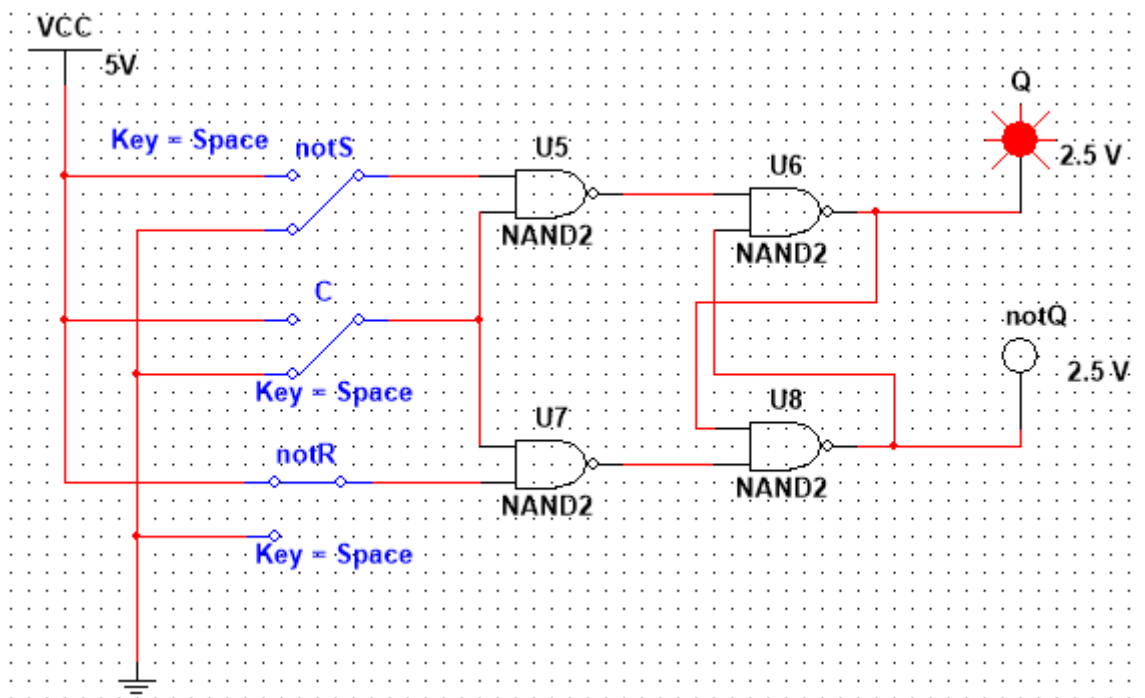


рис. 4 в

г) при включении синхронизирующего сигнала выходной сигнал меняется аналогично асинхронному RS-триггеру (рис. 4 г)

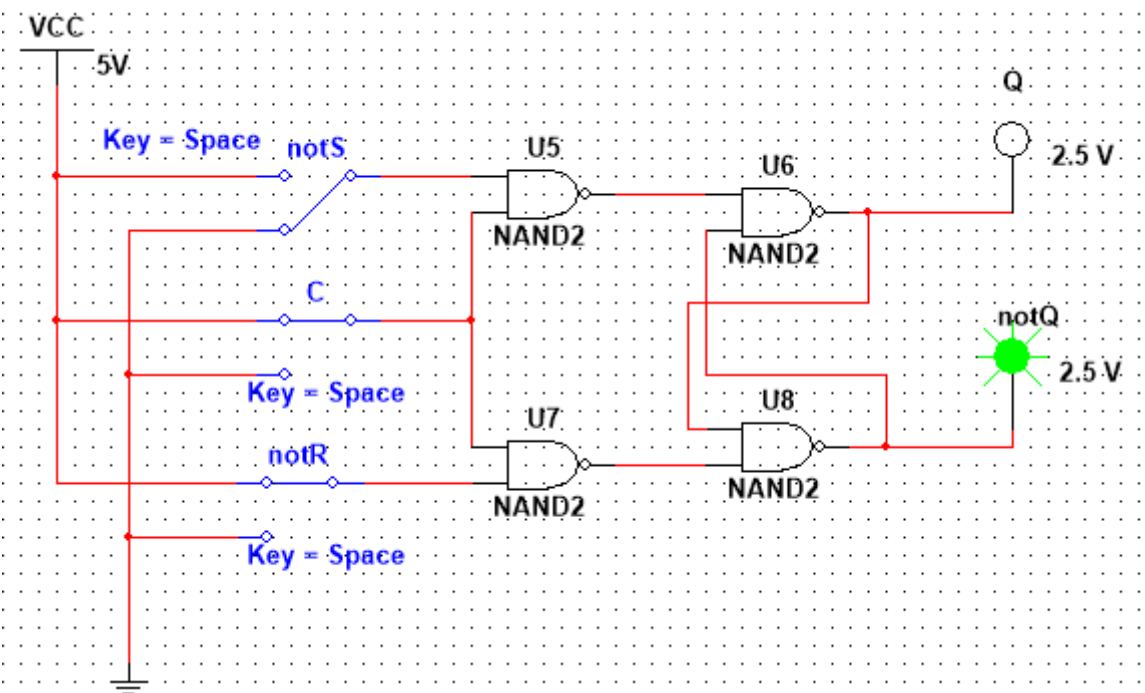


рис. 4 г

Соответствующая таблица переходов (таблица 2)

Для синхронного RS триггера таблица переходов аналогична таблице переходов асинхронного при сигнале синхронизации $C = 1$ (при 0 он сохраняет предыдущее состояние)

Таблица 2

$\sim S$	$\sim R$	C	Q_n	Q_{n+1}	Пояснение
0	0	0	0	-	Хранение
0	0	1	0	-	Запрещено
0	0	0	1	-	Хранение
0	0	1	1	-	Запрещено
0	1	0	0	0	Хранение
0	1	1	0	1	Установка 1
0	1	0	1	1	Хранение
0	1	1	1	1	Установка 1
1	0	0	0	0	Хранение
1	0	1	0	0	Установка 0
1	0	0	1	1	Хранение
1	0	1	1	0	Установка 0
1	1	0	0	0	Хранение
1	1	1	0	0	Хранение
1	1	0	1	1	Хранение
1	1	1	1	1	Хранение

3. Синхронный D триггер (со статическим управлением)

Синхронный D-триггер - элемент задержки (хранения) входных сигналов на один такт.

Данный триггер имеет один информационный вход D, состояние которого с каждым синхронизирующим импульсом передается на выход, т.е. выходные сигналы представляют собой задержанные входные сигналы.

Схему синхронного D - триггера можно получить из схемы синхронного RS – триггера, подавая сигнал D на вход S, а инверсный сигнал D, на вход R. В результате на входа RS - триггера возможны только наборы сигналов $SR = 01$ при $D = 0$ или $SR = 10$ при $D = 1$, что соответствует записи в триггер логического 0 или 1. Путем логических преобразований инвертор можно исключить и получить схему синхронного D – триггера.

Задание: Исследовать работу синхронного D-триггера (см. рис. 5) в статическом режиме. Для этого необходимо:

- собрать схему D-триггера на ЛЭ И-НЕ; в приложении Multisim можно использовать макросхему D-триггера;
- к выходам Q и \bar{Q} триггера подключить световые индикаторы;
- задавая через переключатели необходимые сигналы на входах D и C, протестировать и составить таблицу переходов триггера. В таблице теста каждому набору D и Q будет соответствовать 3 строки: сначала задать $C=0$ (момент времени t_n), затем при $C=1$ (момент времени t_{n+1}) определяется Q_{n+1} и снова при $C=0$ происходит переход в режим хранения.

Структурная схема (рис. 5)

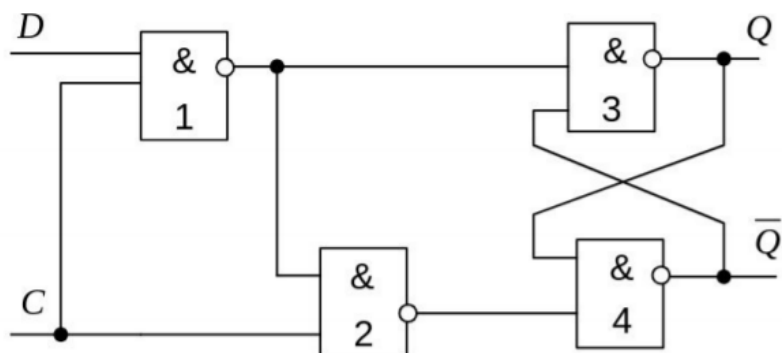


рис. 5

Схема, построенная в Multisim (рис. 6 а, б)

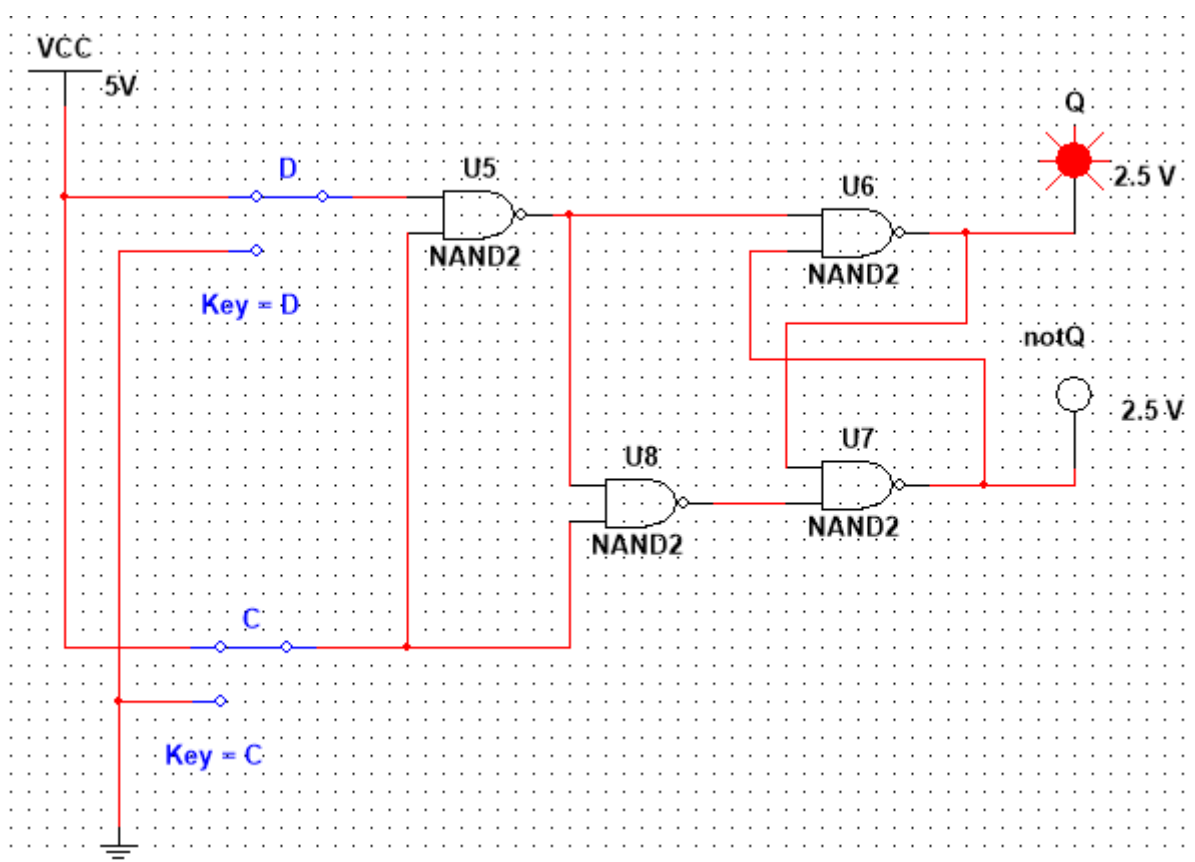


рис. 6 а

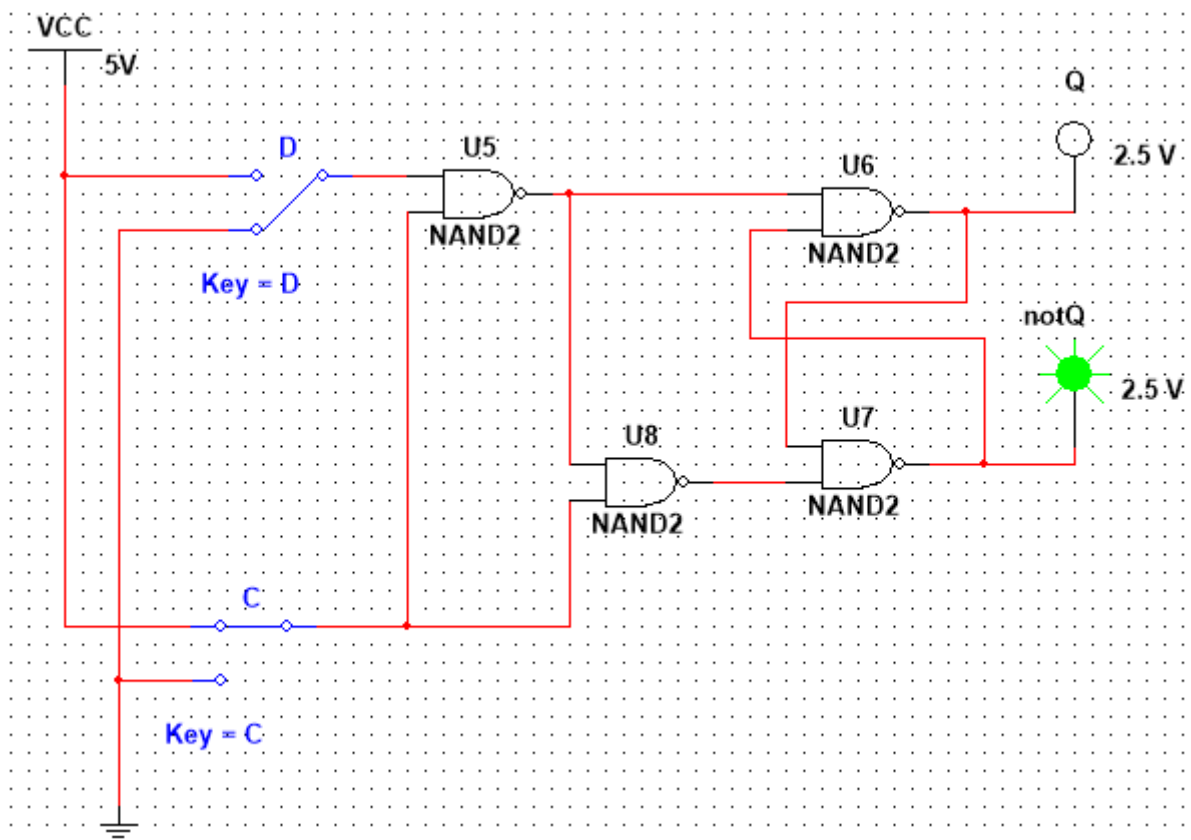


рис. 6 б

Соответствующая таблица переходов (таблица 3)

Таблица 3

<i>C</i>	<i>D</i>	<i>Q_t</i>	<i>Q_{t+1}</i>	<i>Пояснение</i>
0	0	0	0	Хранение
0	0	1	1	
0	1	0	0	
0	1	1	1	
1	0	0	0	Установка 0
1	0	1	0	
1	1	0	1	Установка 1
1	1	1	1	

4. Синхронный D триггер (с динамическим управлением)

D триггер с динамическим управлением отличается от D триггера со статическим управлением тем, что запись информации происходит только при изменении сигнала С.

Задание: Исследовать схему синхронного D-триггера с динамическим управлением записью (рис. 6) в статическом режиме. В приложениях Electronics Workbench и Multisim имеются макросхемы такого триггера. Для этого необходимо:

- к выходам Q и \bar{Q} триггера подключить световые индикаторы;
- задавая через переключатели необходимые сигналы на входах D и C, протестировать и составить таблицу переходов триггера. В таблице теста следует отметить реакцию триггера на изменения сигнала D при C=0 и при C=1, а также способность триггера принимать сигнал D только по перепаду 0/1 сигнала C.

Структурная схема (рис. 7)

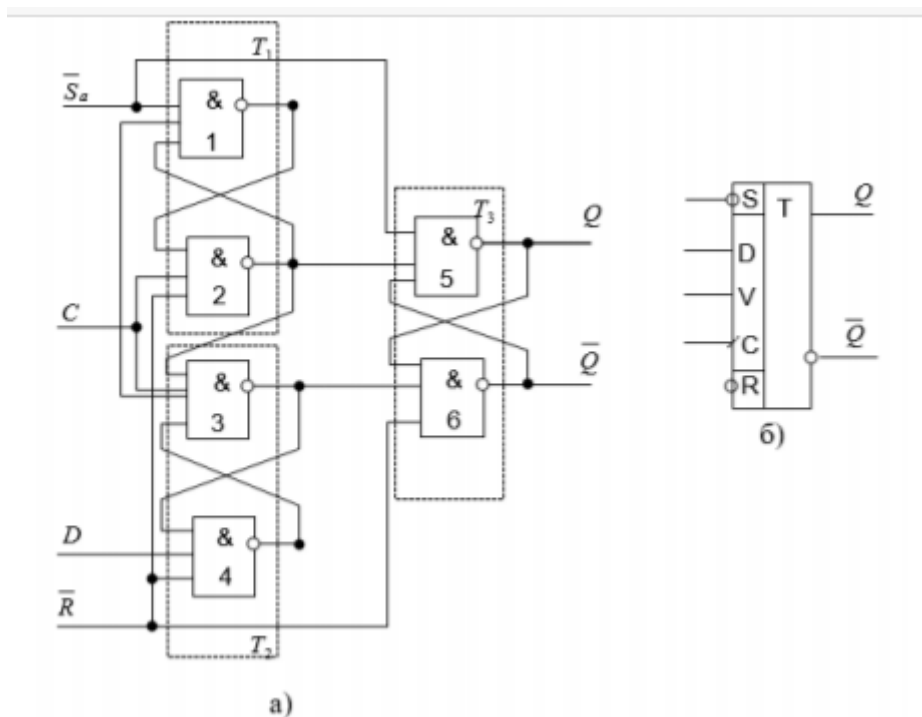


рис. 7

Схема, построенная в Multisim (рис. 8 а, б, в, рис. 9)

а) с помощью макросхемы (рис. 8 а, б, в)

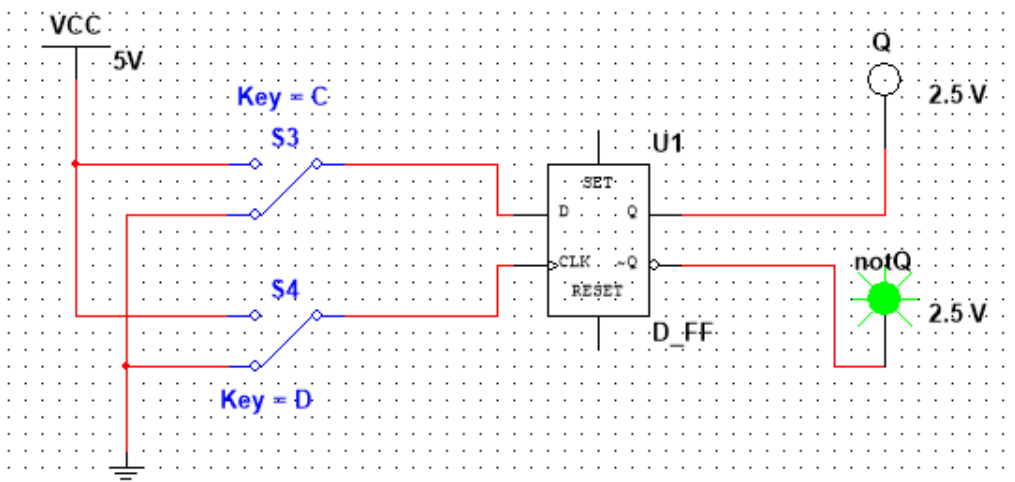


рис. 8 а

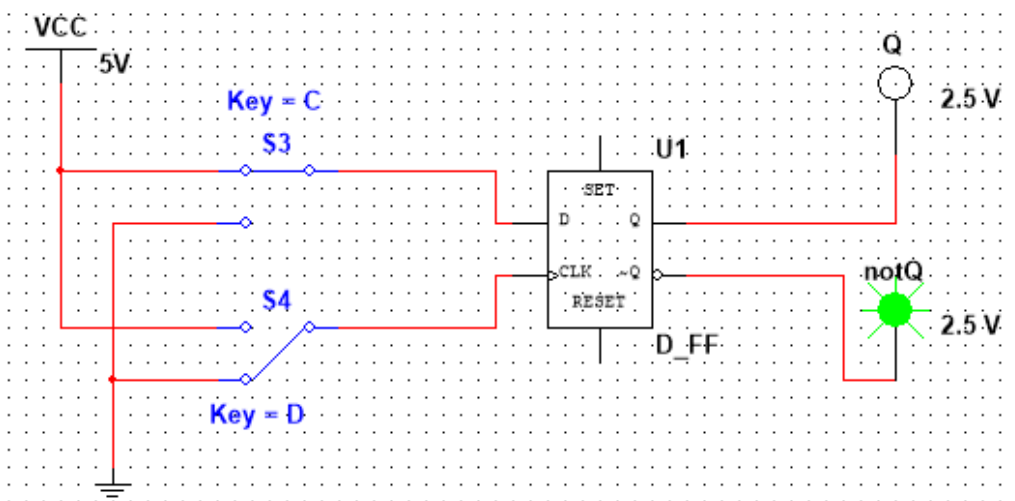


рис. 8 б

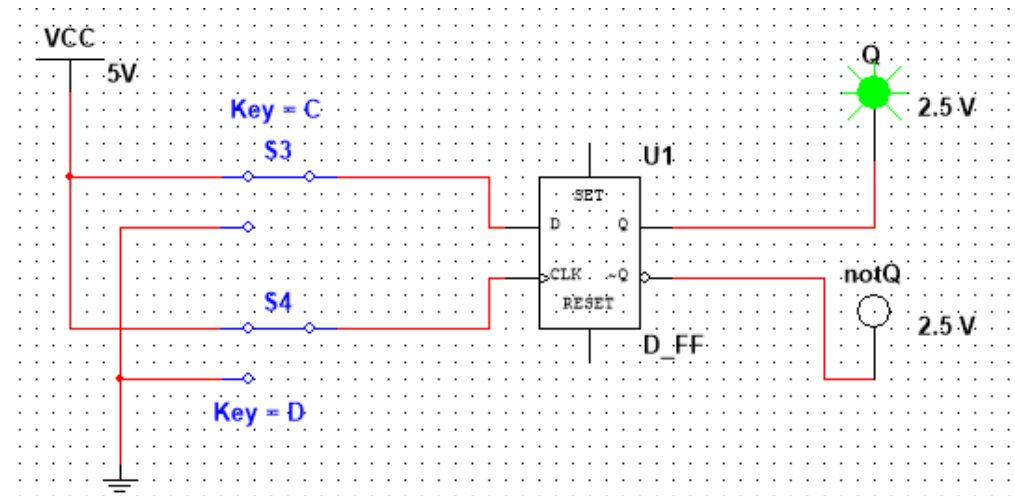


рис. 8 в

б) с помощью ЛЭ НЕ-И (рис. 9)

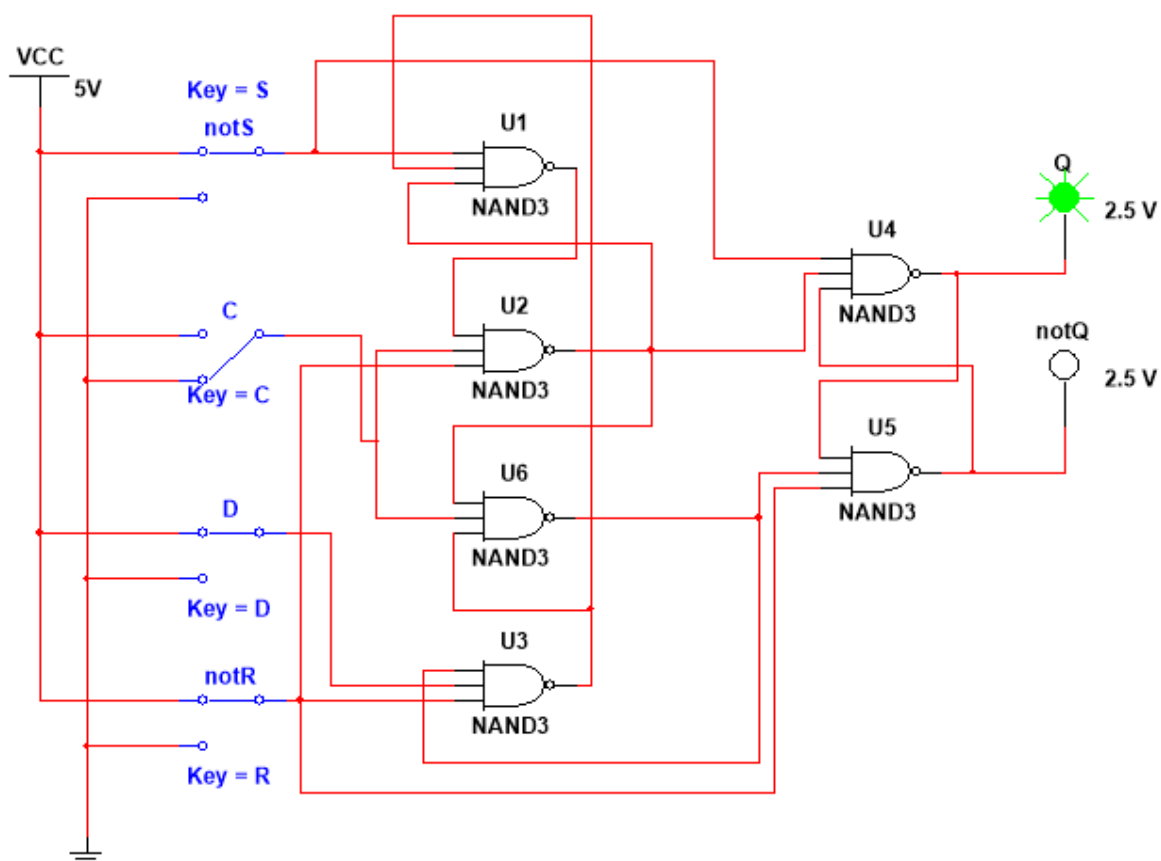


рис. 9

Таблица переходов (таблица 4)

Таблица 4

C	D	Q_t	Q_{t+1}	Пояснение
0	0	0	0	Хранение
0	0	1	1	
0	1	0	0	
0	1	1	1	
0→1	0	0	0	Установка 0
0→1	0	1	0	
0→1	1	0	1	Установка 1
0→1	1	1	1	

5. Синхронный DV триггер (с динамическим управлением записью)

Синхронный DV триггер - триггер, который имеет один информационный вход D и один подготовительный разрешающий вход V для разрешения приема информации.

Если $C=0$, то DV-триггер, как и синхронные триггеры всех типов, сохраняет предыдущее внутреннее состояние.

Если $C=1$ и при наличии сигнала $V=1$ разрешения приема информации, то DV триггер принимает информационный сигнал, действующий на входе D, т.е. работает как асинхронный DV триггер.

Если $C=1$ и $V=0$, то DV триггер сохраняет предыдущее внутреннее состояние.

Задание: Исследовать схему синхронного DV-триггера с динамическим управлением записью в динамическом режиме. Для этого необходимо:

- построить схему синхронного DV-триггера на основе синхронного Dтриггера и мультиплексора MS 2-1 (выход MS 2-1 соединить с D-входом триггера, вход 0 MS 2-1 соединить с выходом Q триггера. Тогда вход 1 MS 2-1 будет Dвходом, адресный вход A MS 2-1 – входом V синхронного DV-триггера), вход C Dтриггера – входом C DV- триггера;

- подать сигнал генератора на вход счетчика и на C-вход DV-триггера;
- подать на входы D и V триггера сигналы с выходов 2-го и 3-го разрядов счетчика;

- снять временные диаграммы синхронного DV-триггера;
- объяснить работу синхронного DV-триггера по временным диаграммам.

Схема, построенная в Multisim (рис. 10, рис. 11)

Первый вариант схемы (рис. 10)

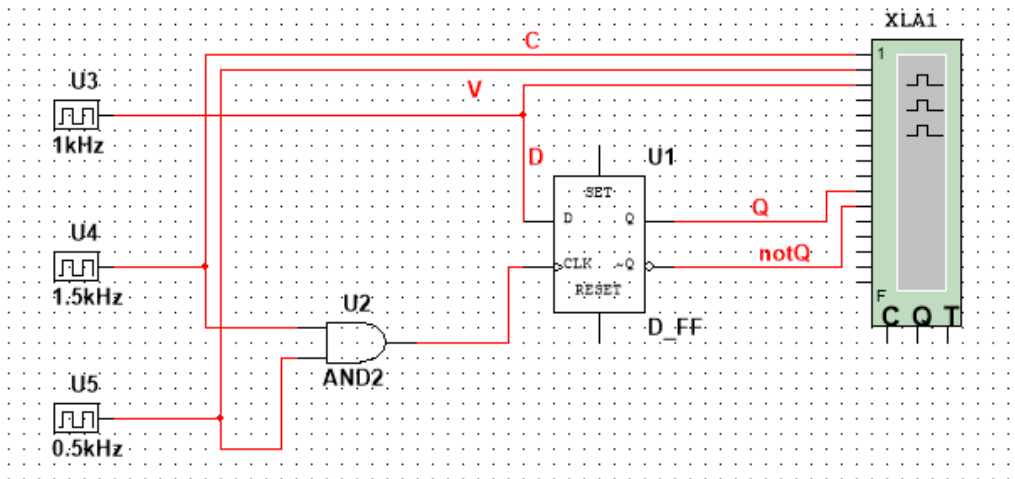


рис. 10

Временные диаграммы синхронного DV-триггера (рис. 10.1)

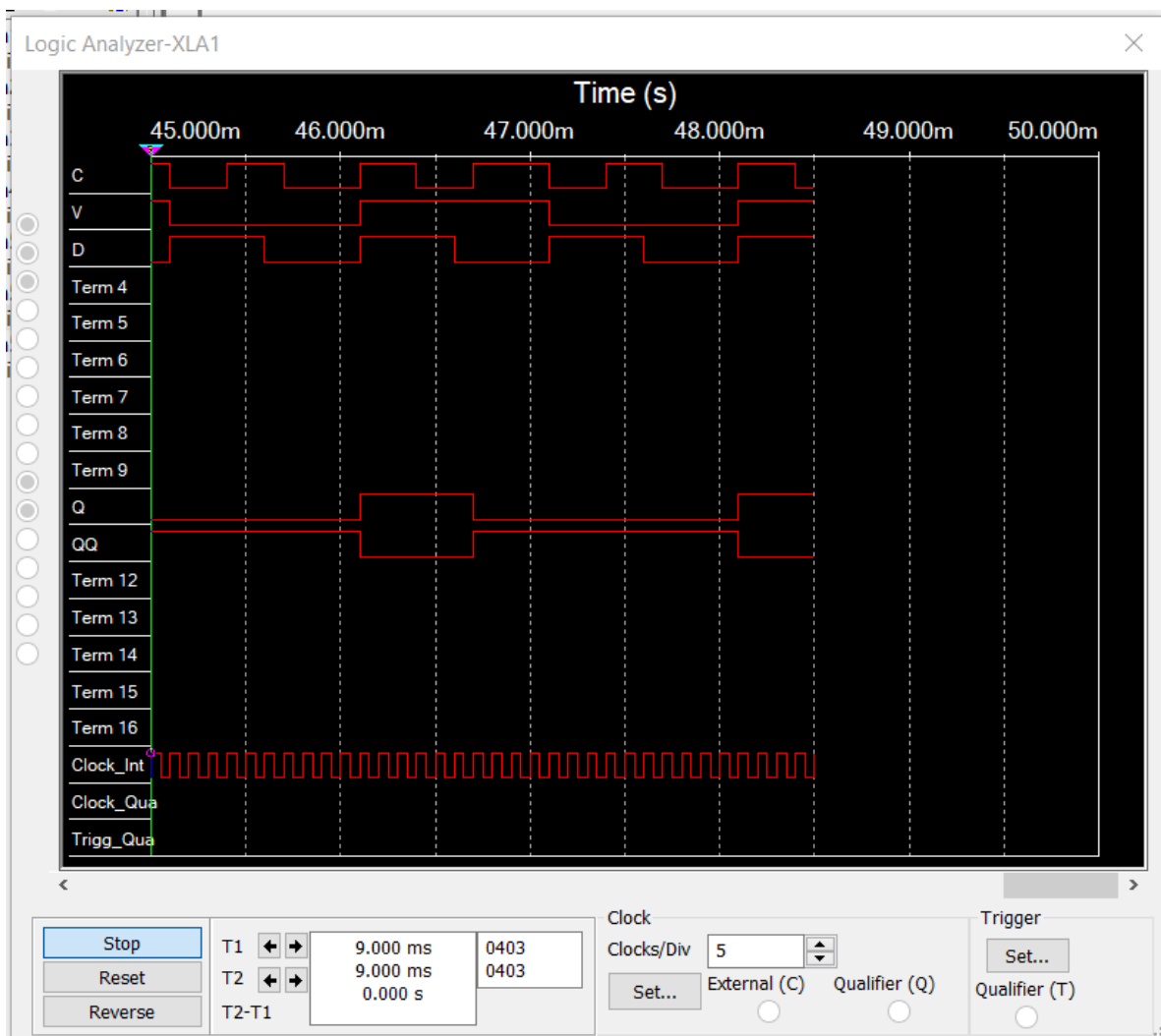


рис. 10.1

Второй вариант схемы (лампочки моргают) (рис. 11)

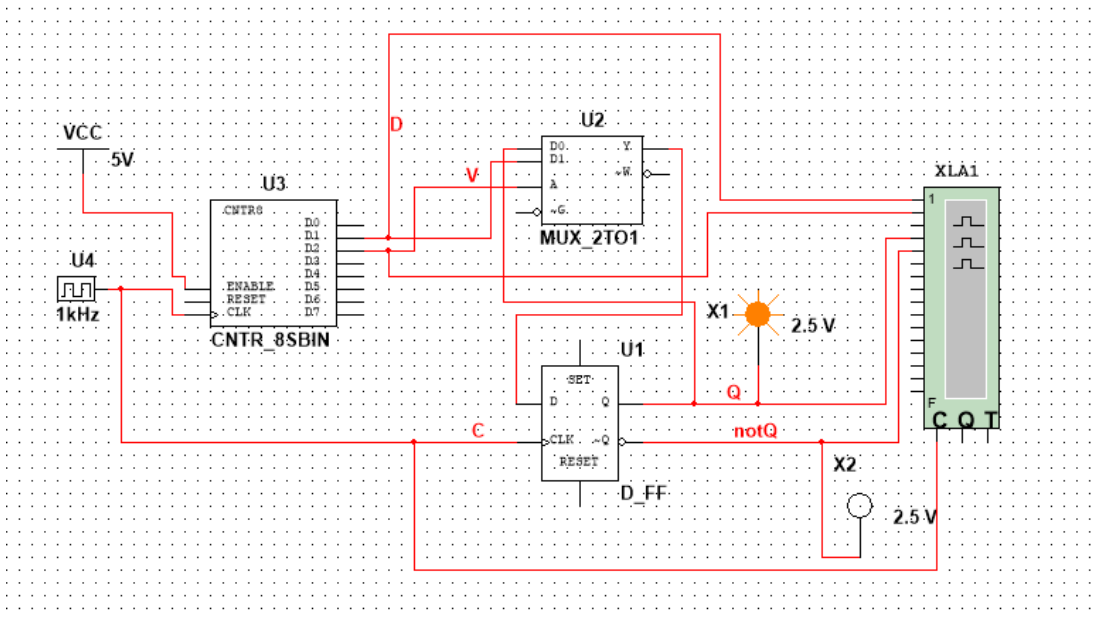


рис. 11

Временные диаграммы синхронного DV-триггера (рис. 11.1)

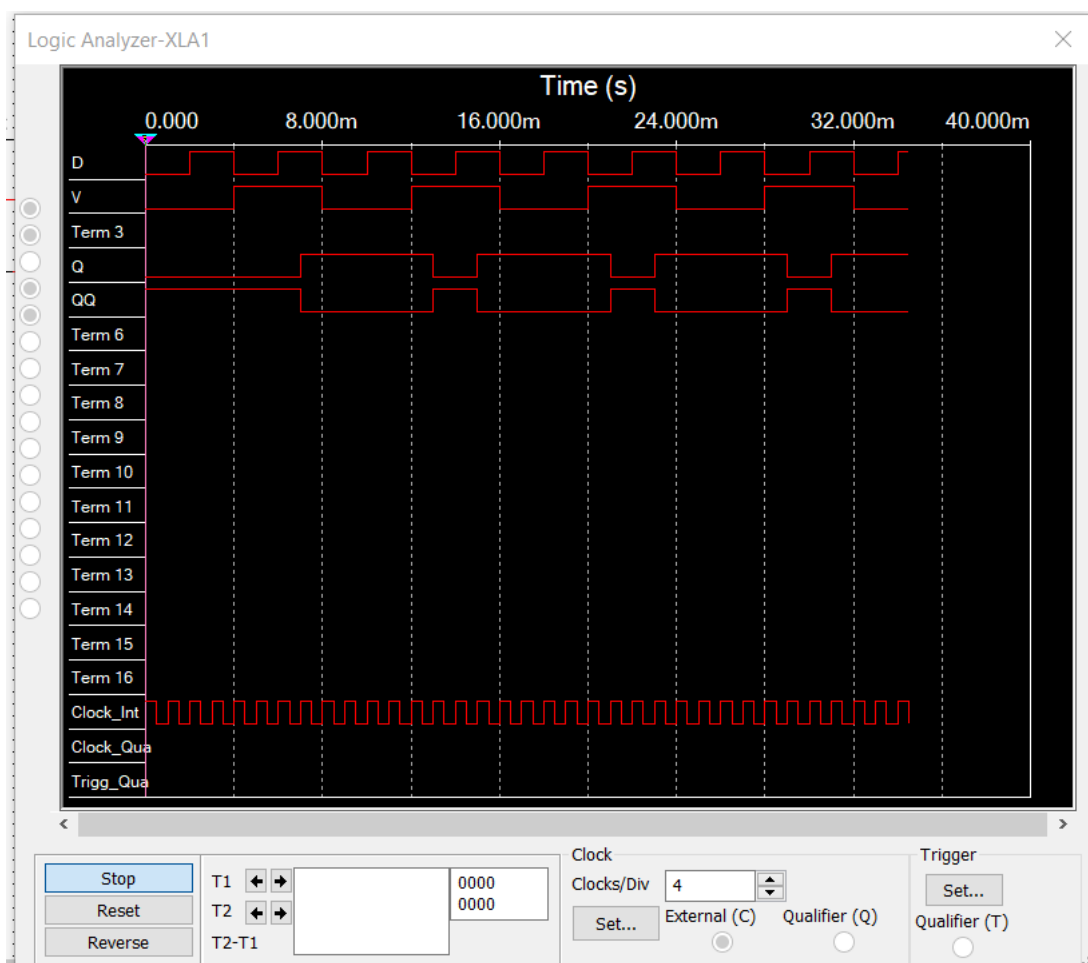


рис. 11.1

После проведения анализа, видно, что на самом деле при $C=0$ DV-триггер, как и синхронные триггеры всех типов, сохраняет предыдущее внутреннее состояние, т.е. $Q_t=Q_{t-1}$. При $C=1$ и при наличии сигнала $V=1$ разрешения приема информации DV-триггер принимает информационный сигнал, действующий на входе D , т.е. работает как асинхронный DV-триггер. При $C=1$ и $V=0$ DV-триггер сохраняет предыдущее внутреннее состояние.

Таблица переходов (таблица 5)

Таблица 5

C	D	V	Q_t	Q_{t+1}
0	0	0	0	0
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

6. Синхронный DV триггер, включенный по схеме TV триггера

Т триггер - триггер, который имеет один информационный вход Т, называемый счетным входом.

Асинхронный Т-триггер переходит в противоположное состояние каждый раз при подаче на Т-вход единичного сигнала. Таким образом Т-триггер реализует счет по модулю 2 $Q_t = T_{t-1} \oplus Q_{t-1}$.

Синхронный Т-триггер имеет вход С и вход Т.

Синхронный Т-триггер переключается в противоположное состояние сигналом С, если на счетном входе Т действует сигнал логической 1.

Задание: Исследовать работу DV-триггера, включенного по схеме TV-триггера (рис. 8). Для этого необходимо:

- на вход D подать сигнал Q, на вход С подать сигналы генератора, а на вход V - с выхода 3-го разряда счетчика;
- снять временные диаграммы Т-триггера;
- объяснить работу синхронного Т-триггера (рис. 12) по временным диаграммам

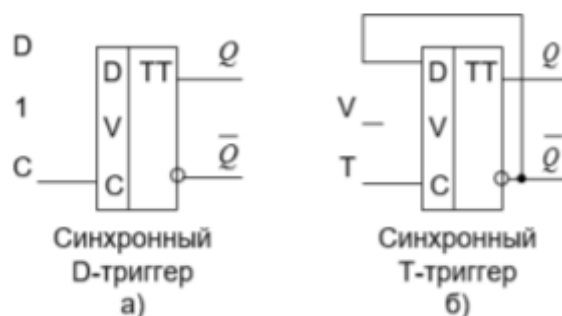


рис. 12

Схема, построенная в Multisim (рис. 13, 14)

Первый вариант схемы (рис. 13)

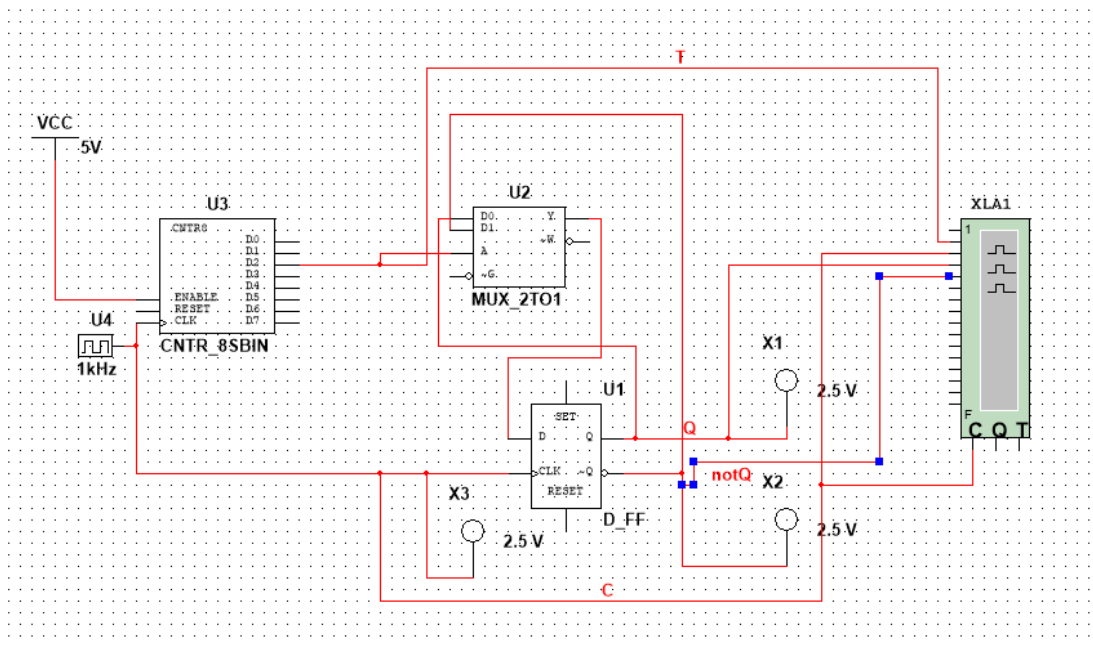


рис. 13

Временная диаграмма (рис. 13.1)

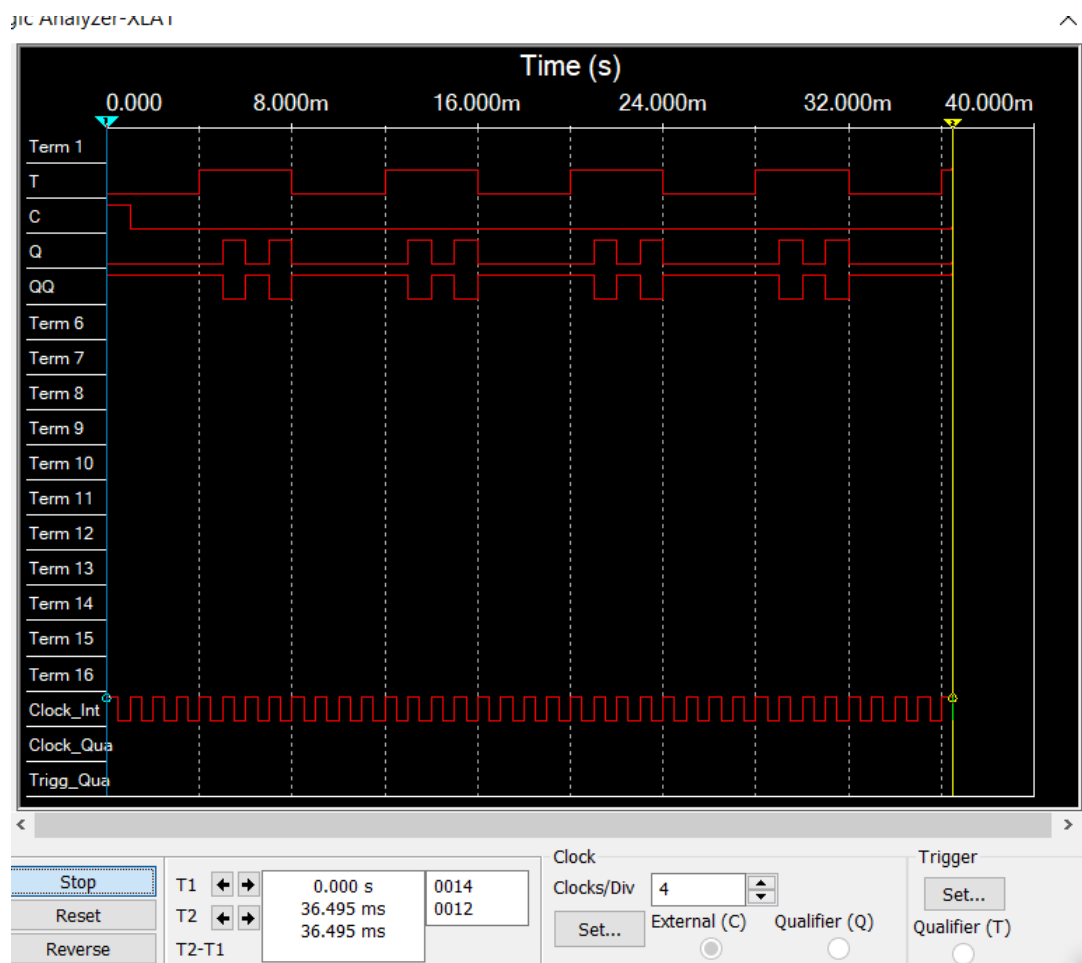


рис. 13.1

Второй вариант схема (рис. 14)

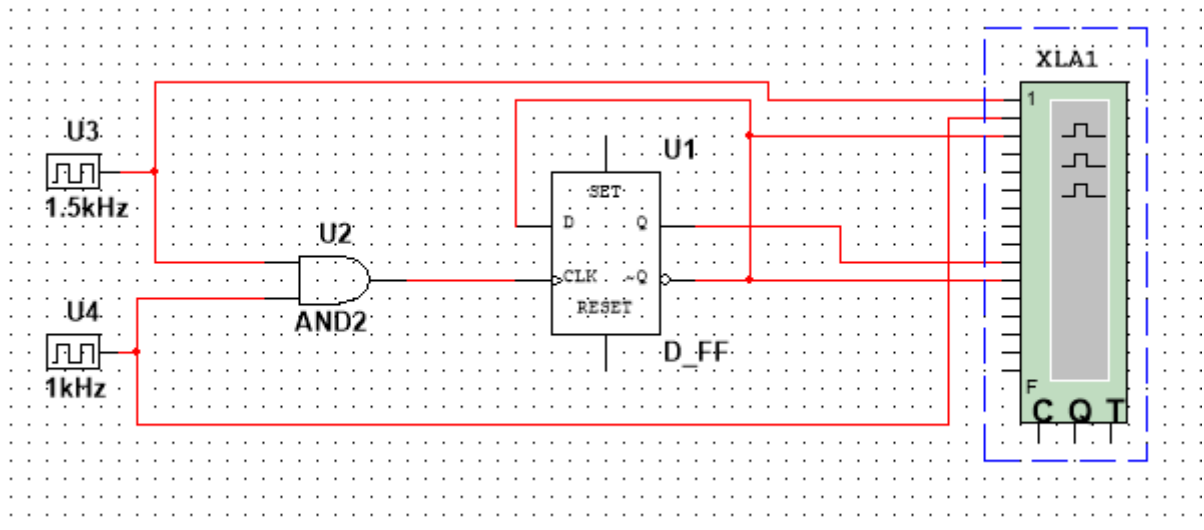


рис. 14

Временная диаграмма (рис. 14.1)

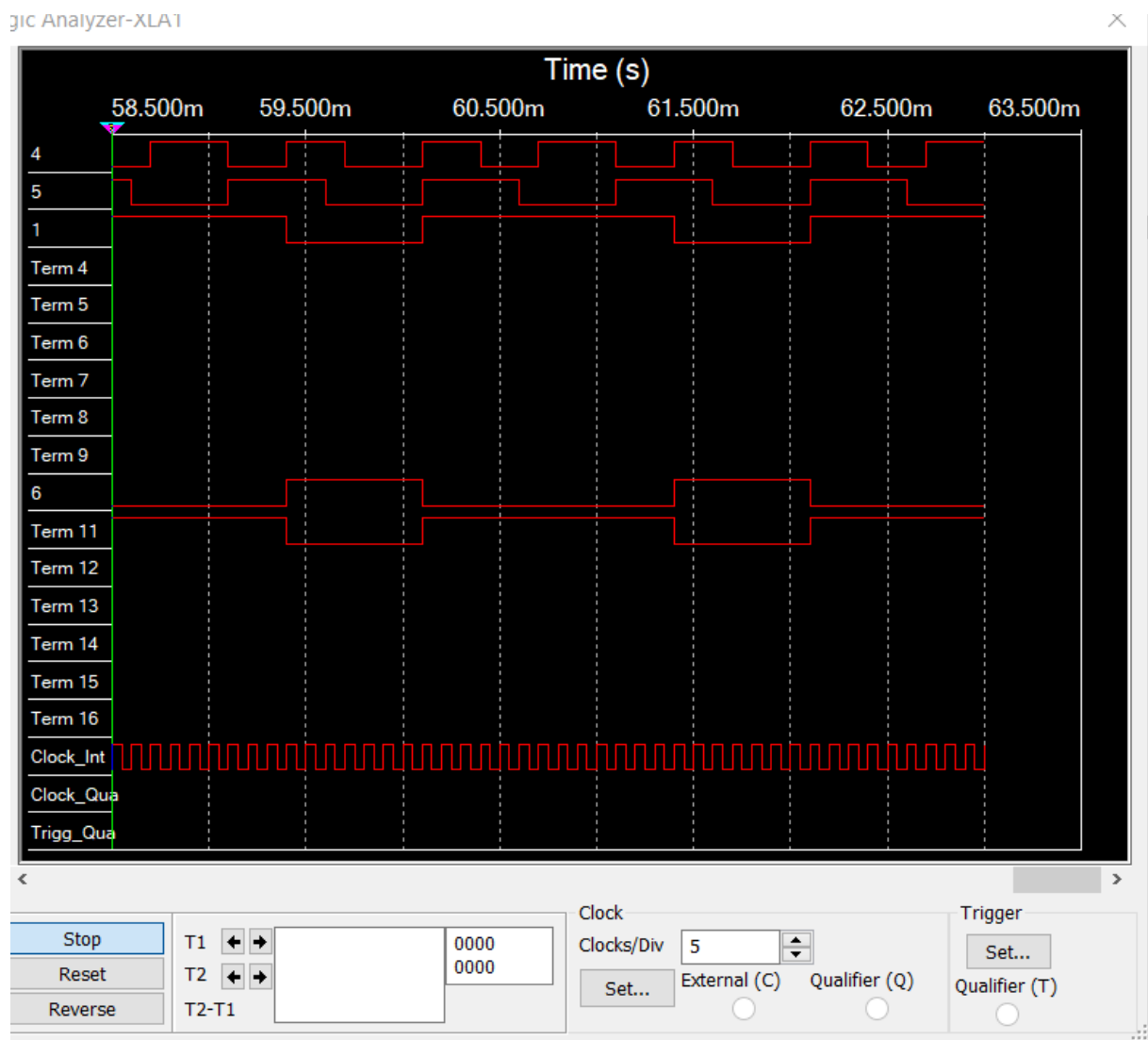


рис. 14.1

Вывод

Были изучены и построены схемы асинхронного RS - триггера, который является запоминающей ячейкой всех типов триггеров, синхронных RS - и D - триггеров со статическим управлением записью и DV - триггера с динамическим управлением записью. Рассмотрены отличия триггеров друг от друга.

Ответы на контрольные вопросы

1. Что называется триггером?

Триггер – запоминающее устройство с двумя устойчивыми состояниями, которые кодируются двоичными цифрами 0 и 1

2. Какова структурная схема триггера?

Структурную схему триггера состоит из запоминающей ячейки (ЗЯ) и схемы управления (СУ).

3. По каким основным признакам классифицируют триггеры?

- По способу организации логических связей (по виду логического уравнения, характеризующего состояние входов и выходов триггера в момент времени t_n до его срабатывания и в момент t_{n+1} после его срабатывания)
 - с отдельной установкой состояний “0” и “1” (RS-триггеры);
 - со счетным входом (Т-триггеры);
 - универсальные с отдельной установкой состояний “0” и “1” (JK- триггеры);
 - с приемом информации по одному входу (D триггеры);
 - универсальные с управляемым приемом информации по одному входу (DV - триггеры);
 - комбинированные (например, RST-, JKRS, DRS - триггеры)
- По способу записи информации

- асинхронные (не синхронизируемые);
- синхронные (синхронизируемые), или тактируемые.
- По способу синхронизации
 - синхронные со статическим управлением записью
 - синхронные с динамическим управлением записью
- По способу передачи информации с входов на выходы
 - С одноступенчатым запоминанием информации
 - С двухступенчатым запоминанием информации

4. Каково функциональное назначение входов триггеров?

S-вход – вход для раздельной установки триггера в состояние "1".

R-вход – вход для раздельной установки триггера в состояние "0".

J-вход – вход для установки состояния "1" в универсальном JK-триггере.

K-вход – вход для установки состояния "0" в универсальном JK-триггере.

D-вход – информационный вход для установки триггера в состояния "1" или "0".

V-вход – подготовительный управляющий вход для разрешения приема информации.

C-вход – исполнительный управляющий вход для осуществления приема информации, вход синхронизации

5. Что такое асинхронный и синхронный триггеры?

Асинхронный RS -триггер - это простейший триггер, который используется как запоминающая ячейка. Синхронный RS-триггер имеет два информационных входа R и S и вход синхронизации C.

6. Что такое таблица переходов?

Таблица переходов – отображает зависимость выходного сигнала триггера в момент времени $tn+1$ от входных сигналов и от состояния триггера в предыдущий момент времени tn .

7. Как работает асинхронный RS-триггер?

При $S = 0$ и $R = 1$ триггер устанавливается в состояние 0, а при $S = 1$ и $R = 0$ - в состояние 1. Если $S = 0$ и $R = 0$, то в триггере сохраняется предыдущее внутреннее состояние. При $S = R = 1$ состояние триггера является неопределенным.

Такая комбинация входных сигналов $S = R = 1$ является недопустимой (запрещенной). Для нормальной работы триггера необходимо выполнение запрещающего условия $SR = 0$.

8. Как работает синхронный RS -триггер? Какова его таблица переходов?

Синхронный RS-триггер при $C = 0$ сохраняет предыдущее внутреннее состояние, т.е. $Q_{n+1} = Q_n$. Сигналы по входам S и R переключают синхронный RS-триггер только с поступлением импульса на вход синхронизации. При $C = 1$ синхронный триггер переключается как асинхронный. Одновременная подача сигналов $S = R = 1$ запрещена.

При $S = R = 0$ триггер не изменяет своего состояния.

Таблица переходов (нажать и перейти) - Синхронный RS триггер

9. Что такое D-триггер?

Синхронный D-триггер – имеет один информационный вход D , состояние которого с каждым синхронизирующим импульсом передается на выход, т.е. выходные сигналы представляют собой задержанные входные сигналы. Поэтому D-триггер – элемент задержки входных сигналов на один такт.

10. Объясните работу синхронного D-триггера.

Схему синхронного D-триггера можно получить из схемы синхронного RS-триггера, подавая сигнал D на вход S , а сигнал $\sim D$, т.е. с выхода инвертора сигнала D , на вход R . В результате на входах RS-триггера возможны только наборы сигналов $SR = 01$ при $D = 0$ или $SR = 10$ при $D = 1$, что соответствует записи в триггер логического 0 или 1. Путем логических преобразований инвертор можно исключить и получить схему синхронного D-триггера. Синхронный D-триггер имеет один

информационный вход D , состояние которого с каждым синхронизирующим импульсом передается на выход, т.е. выходные сигналы представляют собой задержанные входные сигналы.

11. Что такое DV –триггер?

Синхронный DV-триггер – имеет один информационный вход D и один подготовительный разрешающий вход V для разрешения приема информации.

12. Объясните работу DV-триггера.

При $C = 0$, как и синхронные триггеры всех типов, сохраняет предыдущее внутреннее состояние, т.е. $Q_{n+1} = Q_n$.

При $C = 1$ и при наличии сигнала $V = 1$ разрешения приема информации DV -триггер принимает информационный сигнал, действующий на входе D , т.е. работает как асинхронный DV -триггер.

При $C = 1$ и $V = 0$ DV -триггер сохраняет предыдущее внутреннее состояние, т.е. $Q_{n+1} = Q_n$.

13. Что такое Т-триггер? Какова его таблица переходов?

Т-триггер имеет один информационный вход T , называемый счетным входом.

Асинхронный Т-триггер переходит в противоположное состояние каждый раз при подаче на Т-вход единичного сигнала. Таким образом Т-триггер реализует счет по модулю 2: $Q_t = T_{t-1} \oplus Q_{t-1}$.

Синхронный Т-триггер имеет вход C и вход T . Синхронный Т-триггер переключается в противоположное состояние сигналом C , если на счетном входе T действует сигнал логической 1.

14. Объясните работу схемы синхронного RS-триггера со статическим управлением.

При $C = 0$ триггеры переходят в режим хранения, запоминая последнее состояние.

15. Какова характерная особенность переключения синхронных триггеров с динамическим управлением записью?

Характерной особенностью синхронных триггеров с динамическим управлением записью является то, что приём информационных сигналов и передача на выход принятой информации выполняются в момент изменения синхросигнала на C -входе из 0 в 1 или из 1 в 0, т.е. перепадом синхросигнала.

16. Как работает схема синхронного D -триггера с динамическим управлением записью на основе трех RS -триггеров?

Триггер имеет асинхронные входы Sa и Ra начальной установки в состояния 1 и 0. Если схему D -триггера дополнить входом V , то получим структуру DV -триггера. Временные диаграммы D -триггера соответствуют временным диаграммам DV -триггера при $V = 1$.

17. Составьте временные диаграммы работы синхронного D-триггера с динамическим управлением записью.

Диаграммы тут (нажать и перейти) - [Синхронный D триггер \(с динамическим управлением\)](#)

18. Какова структура и принцип действия синхронного DV-триггера с динамическим управлением записью?

Синхронный DV -триггер имеет один информационный вход D и один подготовительный разрешающий вход V для разрешения приема информации.

При $C = 0$ DV -триггер, как и синхронные триггеры всех типов, сохраняет предыдущее внутреннее состояние.

При $C = 1$ и при наличии сигнала $V = 1$ разрешения приема информации DV -триггер принимает информационный сигнал, действующий на входе D .

При $C = 1$ и $V = 0$ DV -триггер сохраняет предыдущее внутреннее состояние.

19. Составьте временные диаграммы синхронного DV-триггера.

Диаграммы тут (нажать и перейти) - [Синхронный DV триггер \(с динамическим управлением записью\)](#)

20. Объясните режимы работы D-триггера.

Синхронный D-триггер – имеет один информационный вход D , состояние которого с каждым синхронизирующим импульсом передается на выход, т.е. выходные сигналы представляют собой задержанные входные сигналы.