

# ОТЧЕТ

**Дисциплина:** Архитектура ЭВМ

А. Ю. Попов  
(И.О. Фамилия)

Москва, 2021

## **Содержание**

Цель работы	<b>3</b>
Исследование линейного двухвходового дешифратора с инверсными выходами.	<b>3</b>
Исследование дешифраторов ИС К155ИД4 (74LS155)	<b>11</b>
Исследование дешифраторов ИС КР531ИД14 (74LS139).	<b>20</b>
Исследовать работоспособность дешифраторов ИС 533ИД7.	<b>22</b>
Вывод	<b>26</b>
Контрольные вопросы	<b>26</b>

## Цель работы

Изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

### 1. Исследование линейного двухвходового дешифратора с инверсными выходами.

а) собрать линейный стробируемый дешифратор на элементах ЗИ-НЕ; наборы входных адресных сигналов  $A_0, A_1$ , задать в выходов  $Q_0, Q_1$ , четырехразрядного счетчика;

*Схема линейного стробируемого дешифратора на элементах ЗИ-НЕ (рис. 1).*

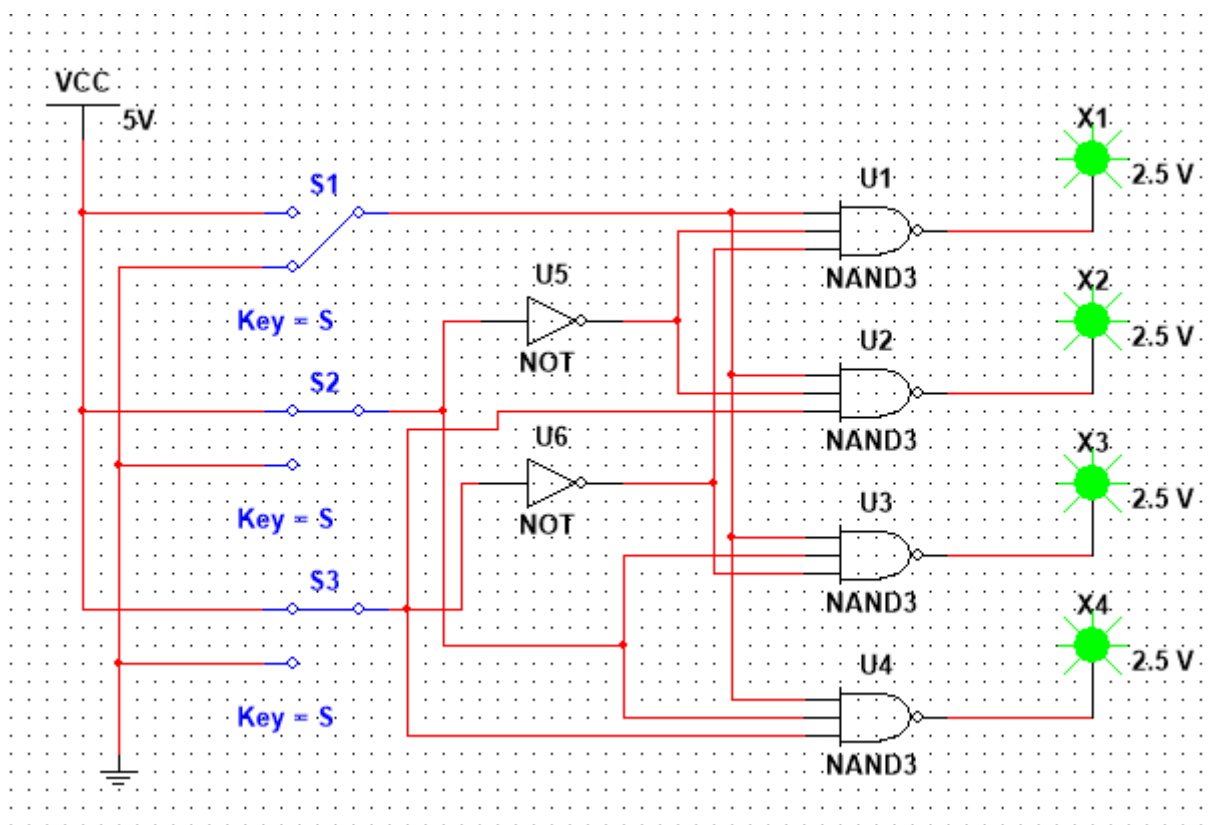


рис. 1


б) подключить световые индикаторы к выходам счетчика и дешифратора; подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с

помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при EN=1);

Таблица истинности для стробируемого дешифратора (таблица 1):

Таблица 1

E	A1	A2	F1	F2	F3	F4
0	*	*	1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

в) подать на вход счетчика сигнала  генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

Схема, где на вход счетчика подается сигнал генератора (рис. 2).

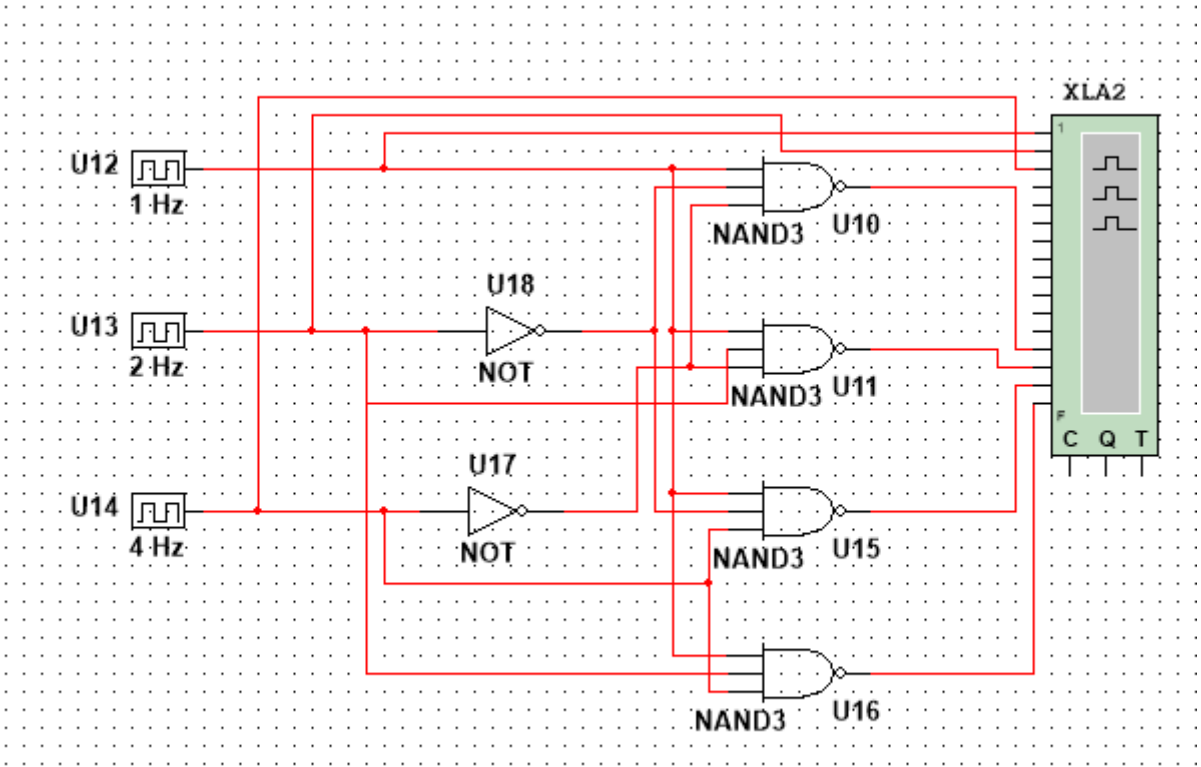


рис. 2

Временная диаграмма (рис. 3) для схемы на рисунке 2.

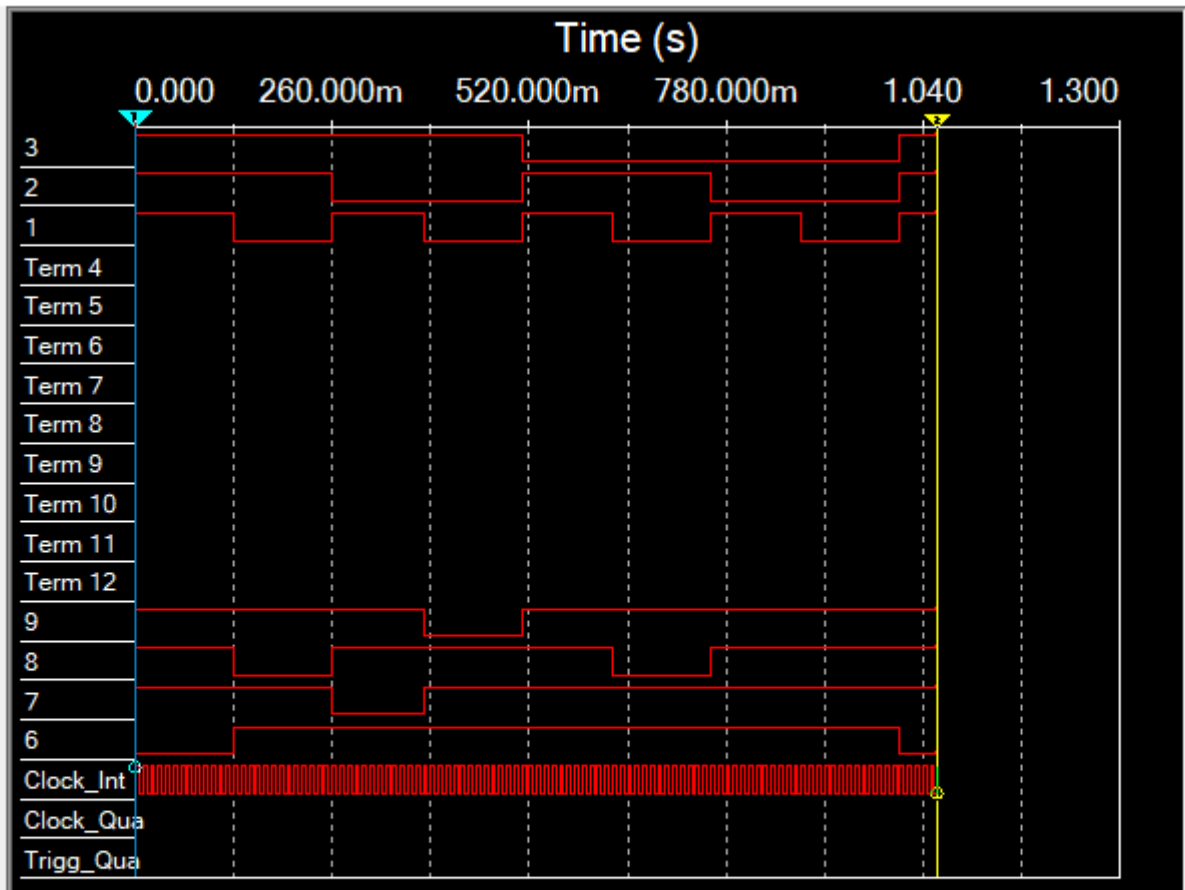


рис. 3

г) определить длительность помех, вызванных гонками, на выходах дешифратора;

Для данного пункта была построена другая схема, на которой можно выявить помехи, вызванные гонками.

Схема, для выявления помех (рис. 4)

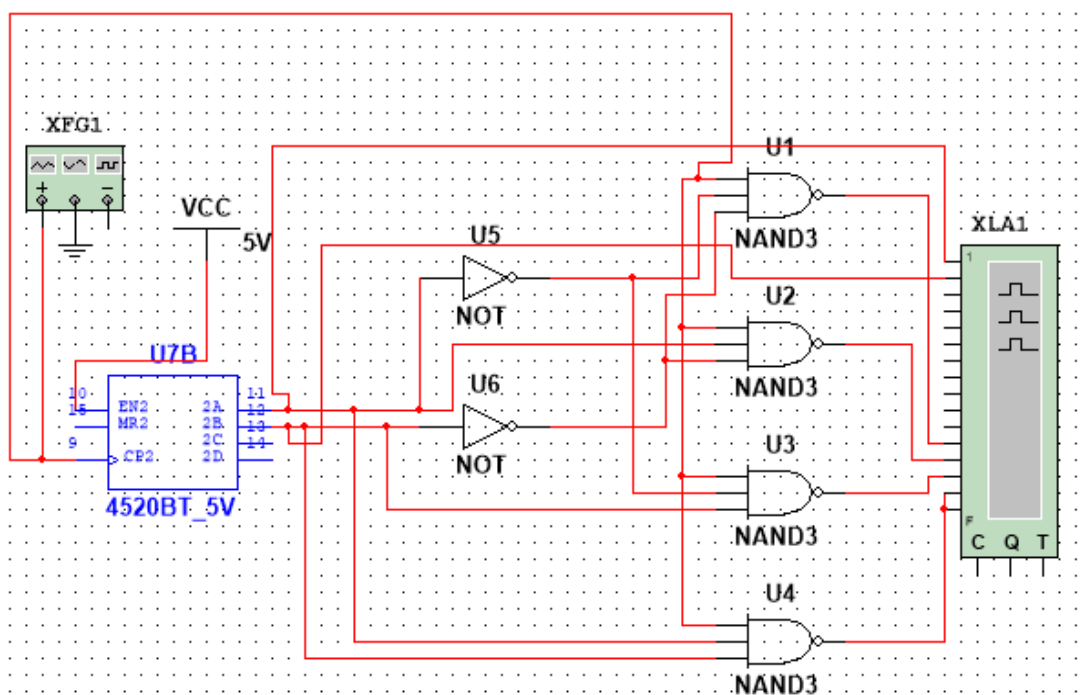


рис. 4

Временная диаграмма (рис. 5) для схемы на рисунке 4.

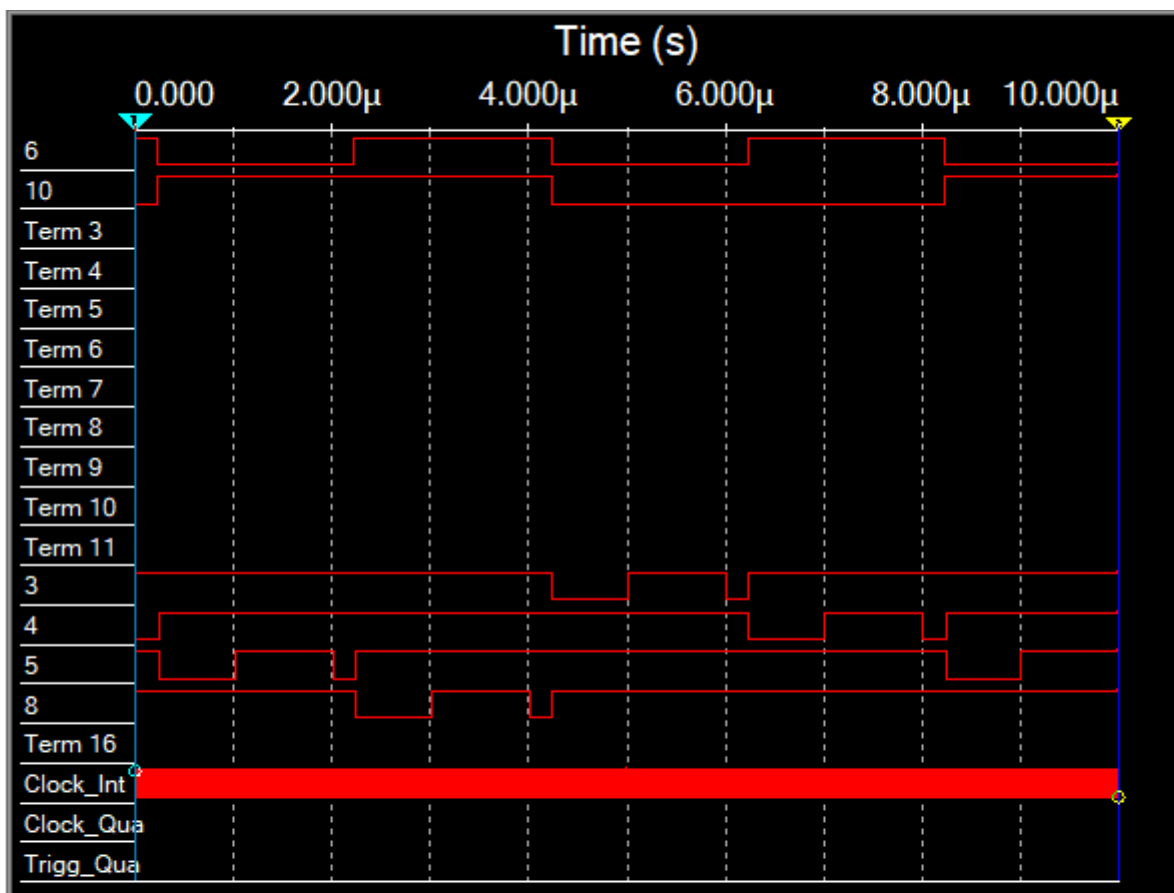


рис. 5

Определение длительности помех с возможностями линейного анализатора (рис. 6).

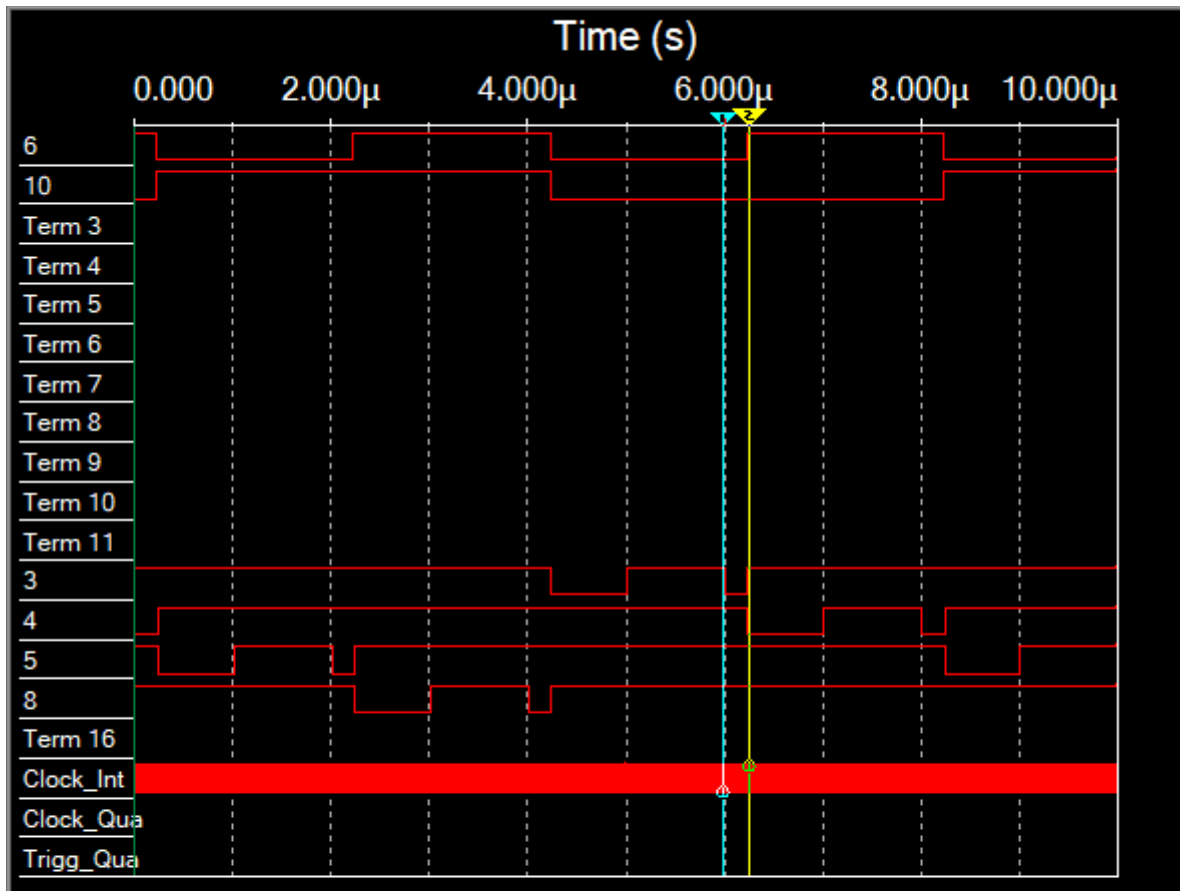



рис. 6

Из данного измерения видно, что длительность помех равна 264.766 ns

д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора , задержанный линией задержки логических элементов (повторителей и инверторов);

В схему необходимо добавить логический элемент (ЛЭ) NOT.

Схема, для данного задания (рис. 7)

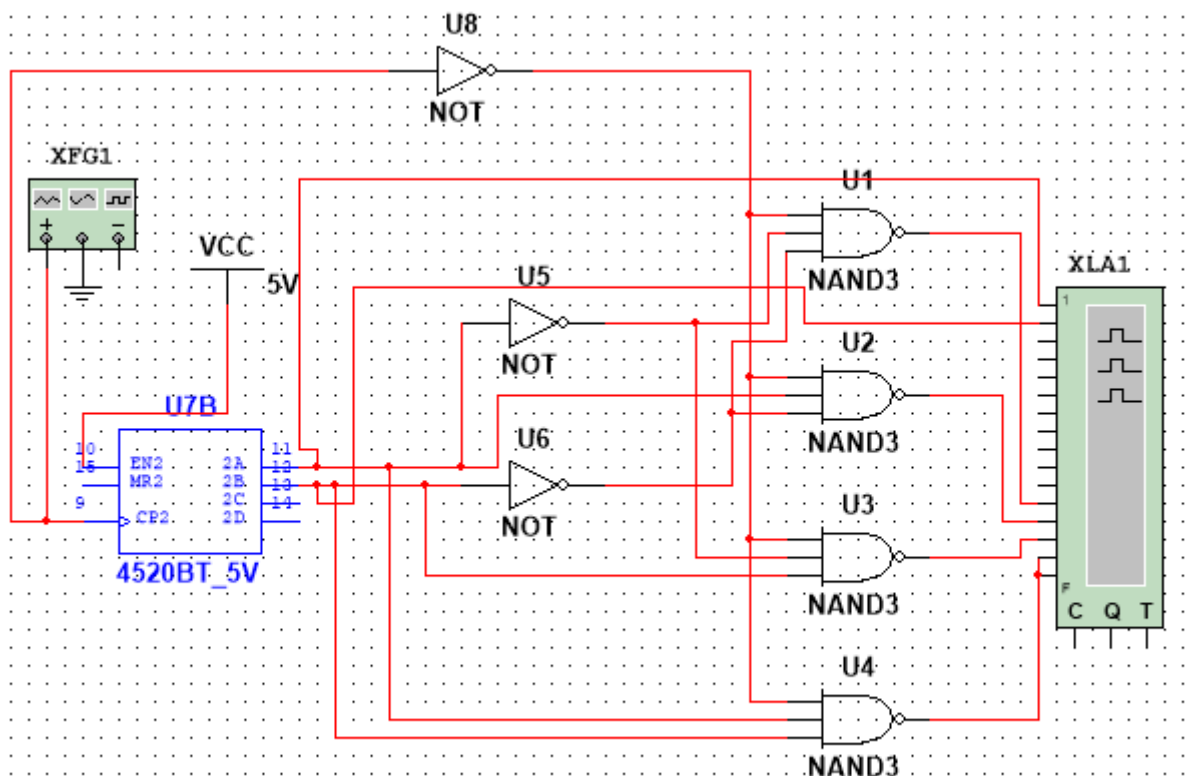


рис. 7

Временная диаграмма (рис. 8) для схемы на рисунке 7.

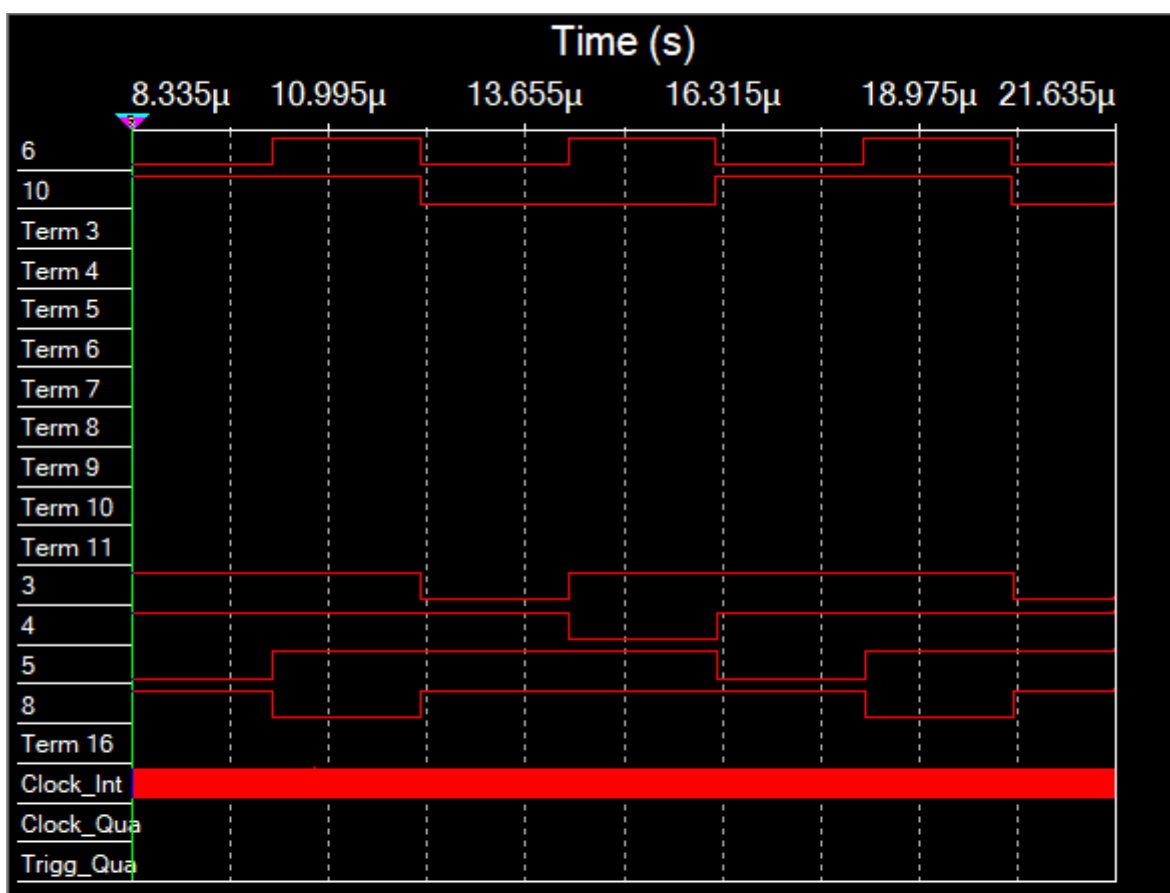


рис. 8



Из данной диаграммы видно, что с помощью одного логического элемента (ЛЭ) можно избавиться от помех.

е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

Время задержки должно быть больше, чем суммарная задержка всех элементов в цепи от входа до выхода дешифратора. (задержка NOT + разница самого быстрого и самого медленного из 3И-НЕ)

Время задержки, необходимое для исключения помех на выходах дешифратора равно половине длительности помех. То есть равна ~132 ns.

Для того, чтобы проверить это, необходимо построить схему, добавив еще один элемент NOT, и настроить 2 таких элемента NOT следующим образом (рис. 9)

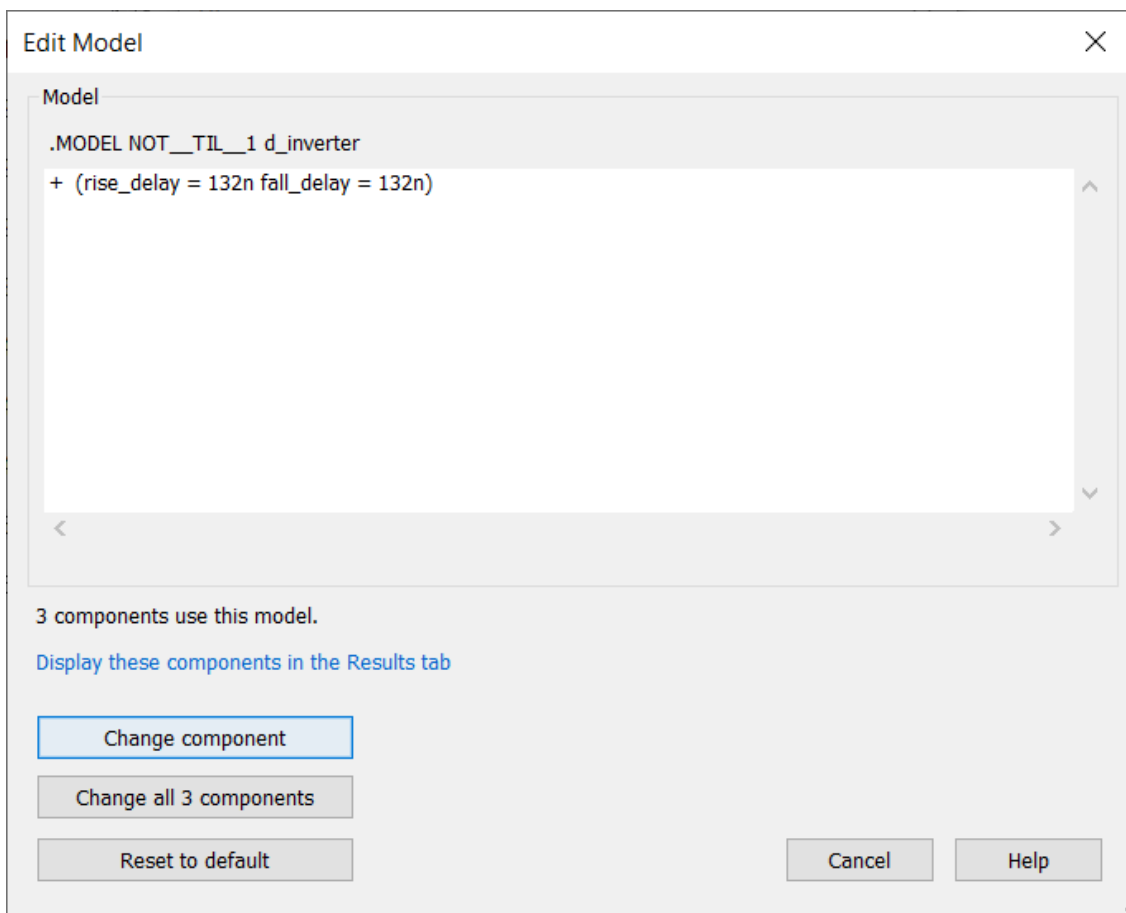


рис. 9

Схема (рис. 10)



## 2. Исследование дешифраторов ИС К155ИД4 (74LS155)

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы  $Q_0$  и  $Q_1$  выходов счетчика, а на стробирующие входы 3 и 4 – импульсы генератора, задержанные линией задержки;

Данная схема не позволяет выявить помехи.

Схема подключенного дешифратора ИС К155ИД4 (74LS155) (рис. 13)

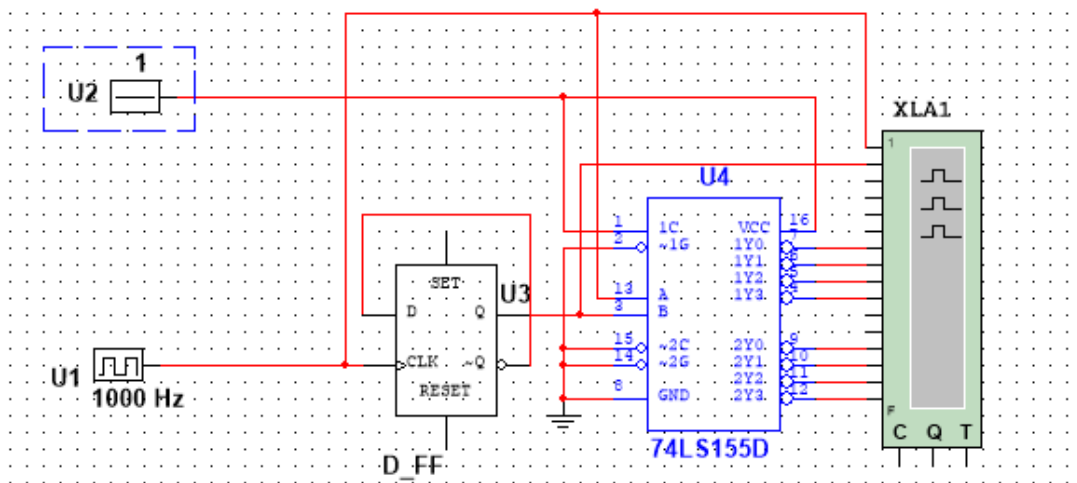


рис. 13

Временная диаграмма (рис. 14) для схемы на рисунке 13.

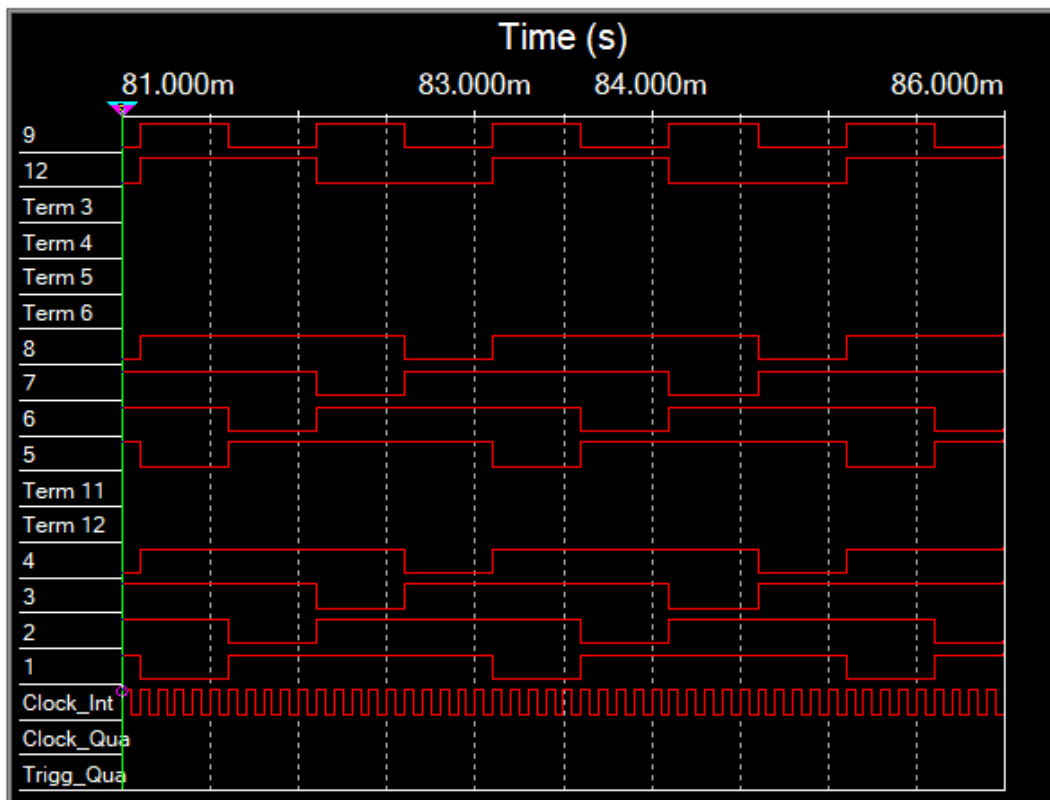


рис. 14

Поэтому необходимо построить еще одну схему дешифратора ИС *K155ИД4 (74LS155)* (рис. 15)

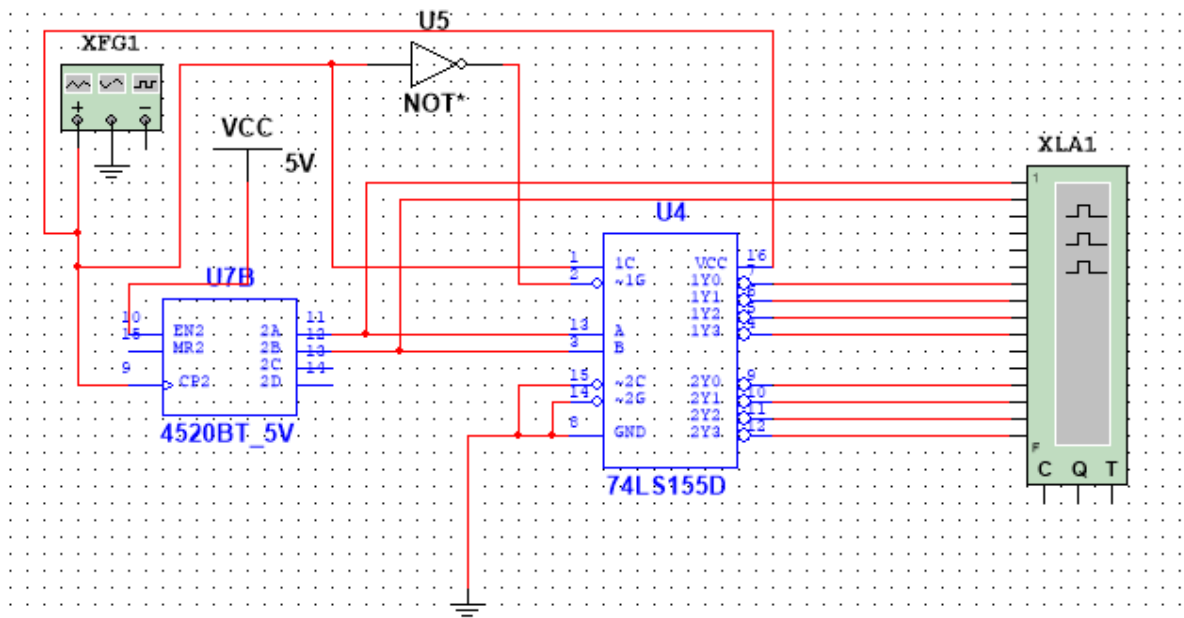


рис. 15

Временная диаграмма (рис. 16) для схемы на рисунке 15.

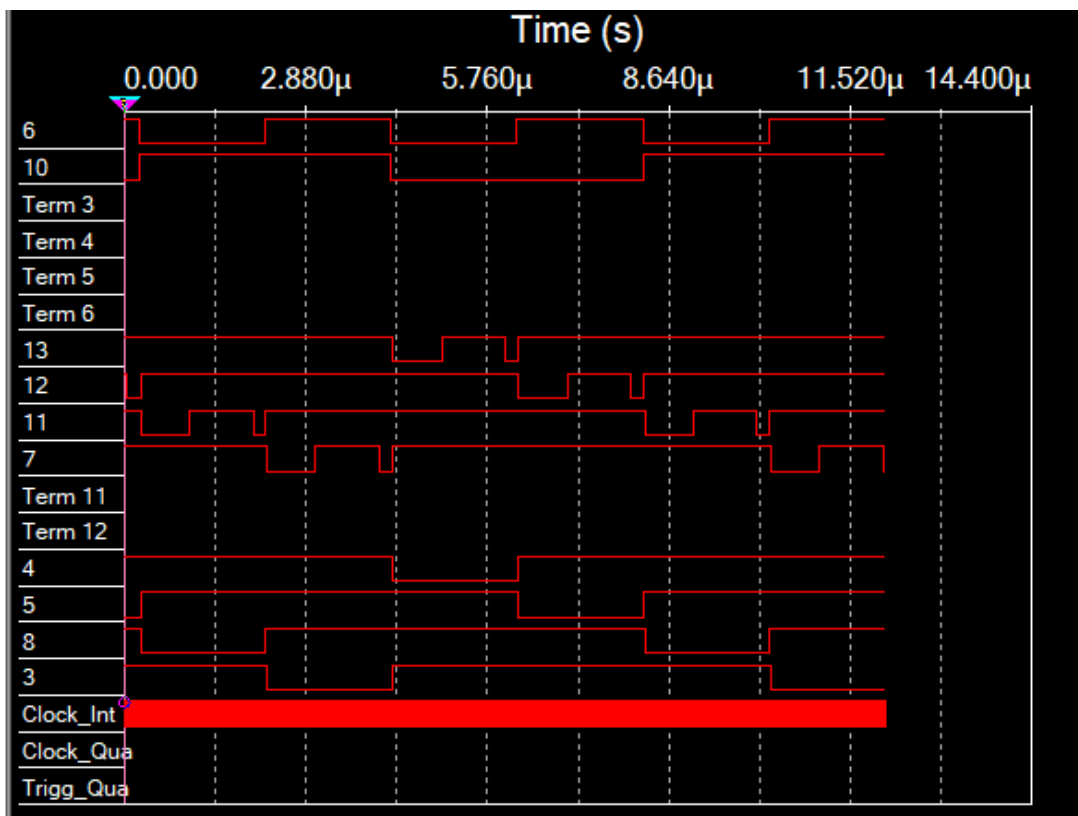


рис. 16

б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

Длительность помехи равно 263.951 ns (рис. 17). Отсюда можно сделать вывод, что время задержки равно ~132 ns.

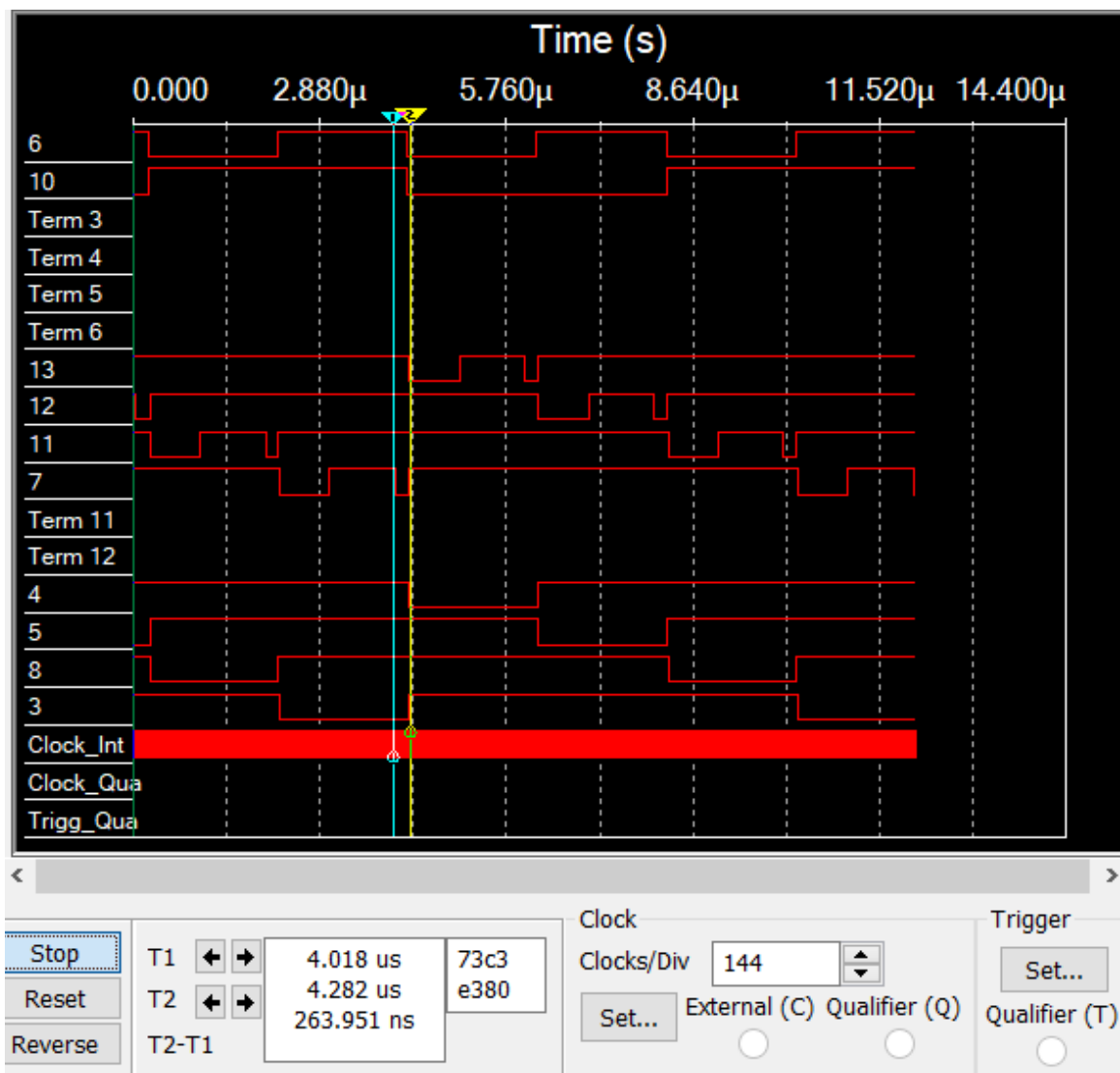


рис. 17

Схема с четырьмя логическими элементами (ЛЭ) NOT, с задержкой, вычисленной выше (рис. 18).

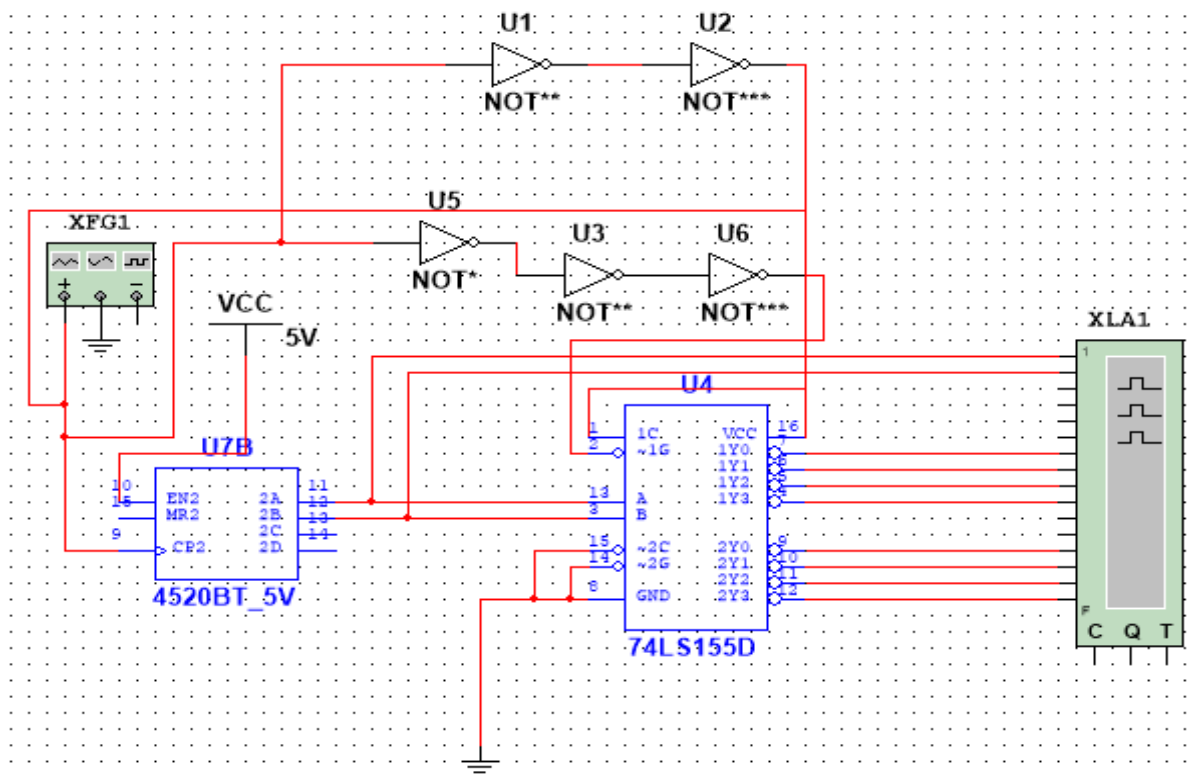


рис. 18

Временная диаграмма (рис. 19) для схемы на рисунке 18.

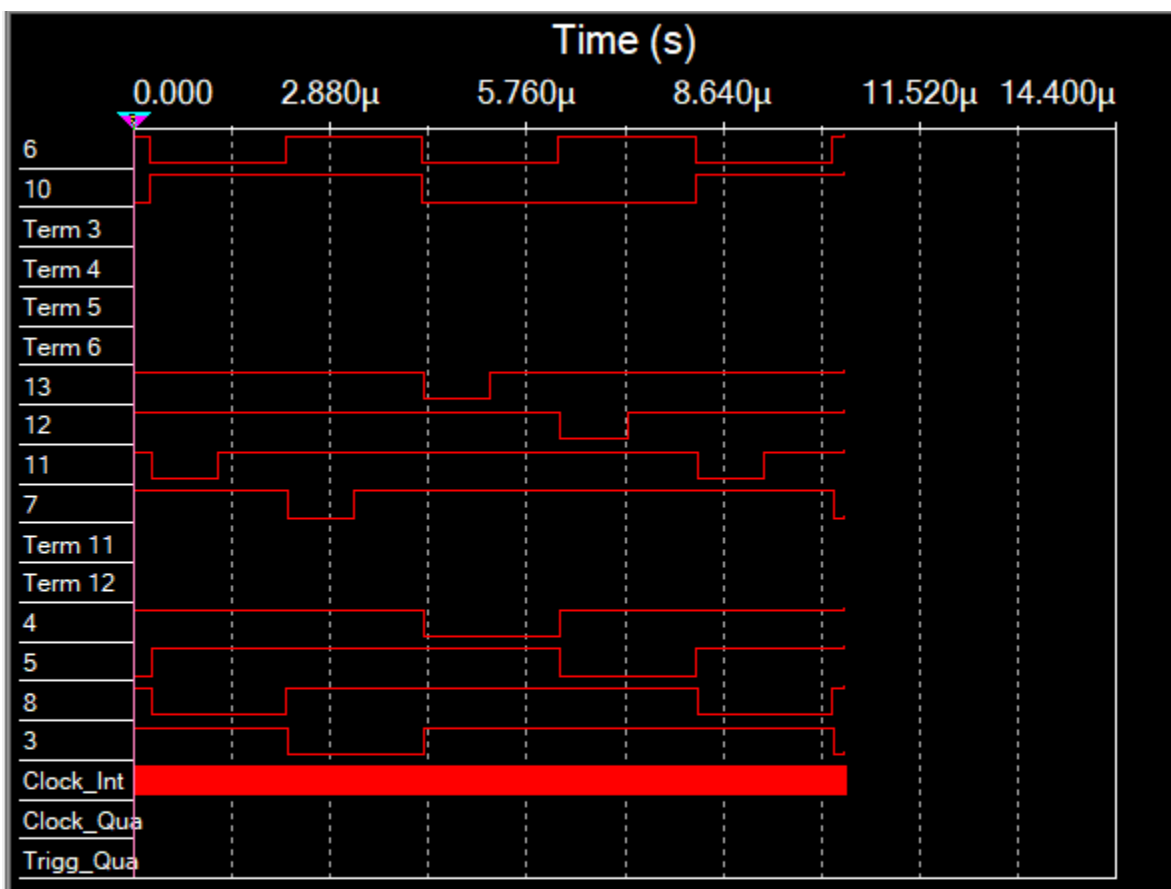


рис. 19

Как видно из данной диаграммы (рис. 19) помех нет.

Стоит заметить, что этот же результат можно получить, исключив из в\схемы логические элементы NOT U3 и U6.

Схема без ЛЭ NOT U3 и U6 (рис. 20).

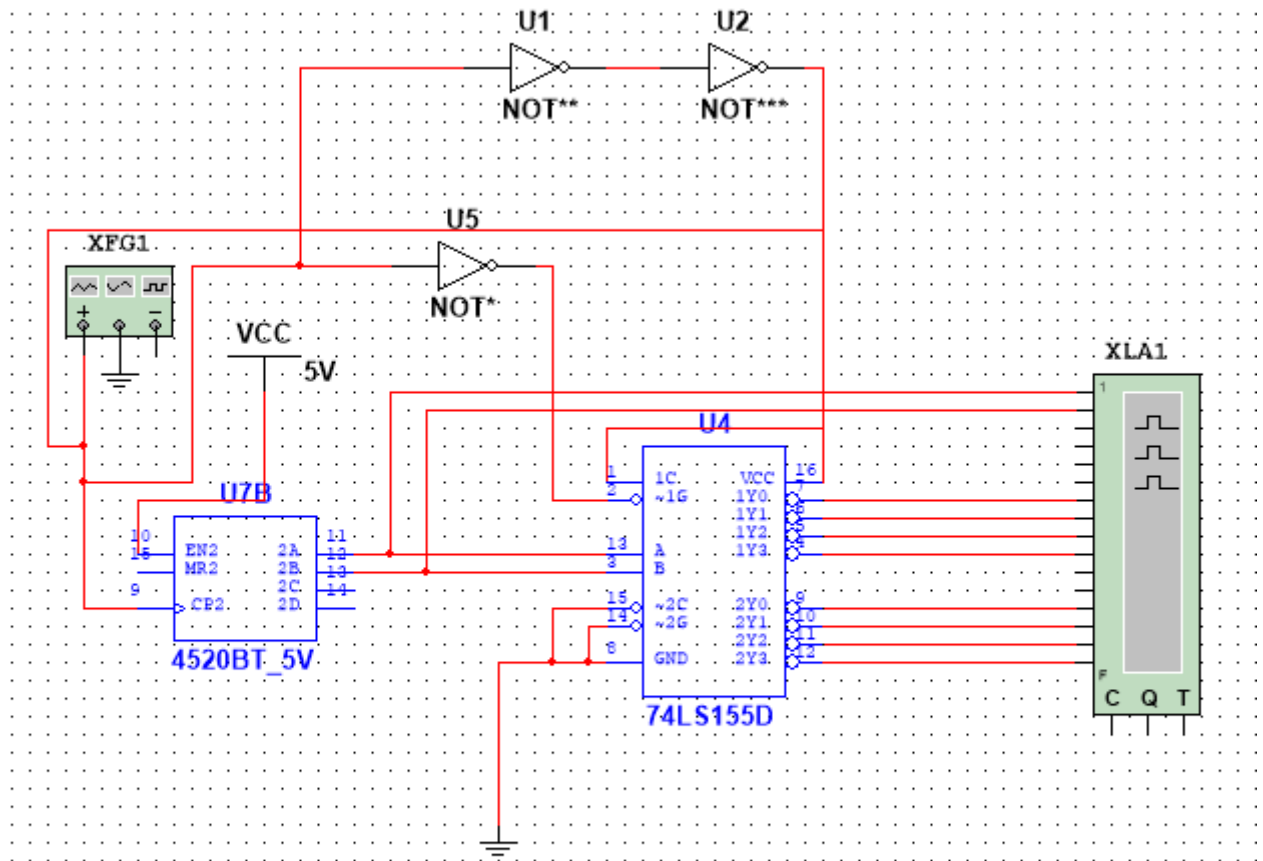


рис. 20

Временная диаграмма (рис. 21) для схемы на рисунке 20.



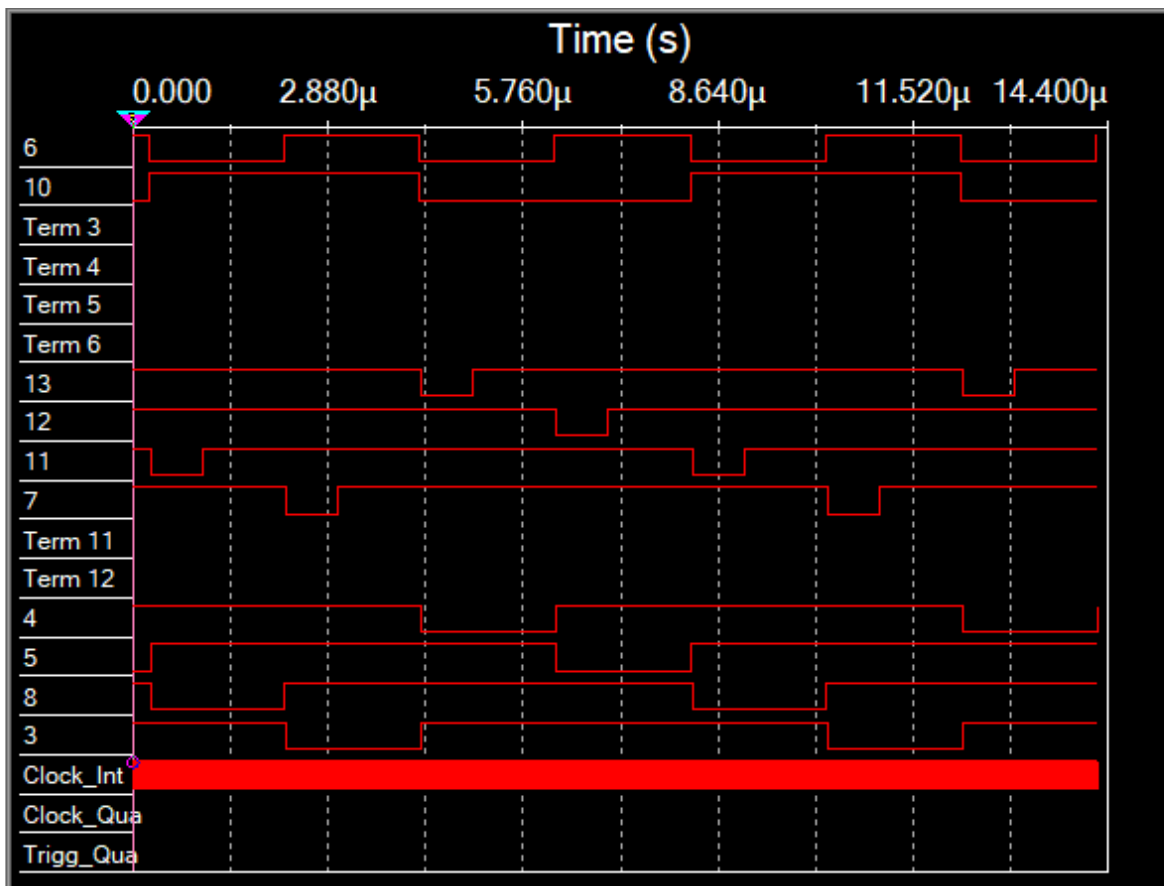


рис. 21

Следует заметить, что при данной схеме (рис. 20) мы также не наблюдаем помехи.

в) собрать схему трехвходового дешифратора на основе дешифратора К155ИД4, задавая входные сигналы  $A_0, A_1, A_2$  с выходов  $Q_0, Q_1, Q_2$  счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

*Схема трехвходового дешифратора на основе дешифратора К155ИД4 (рис. 22)*

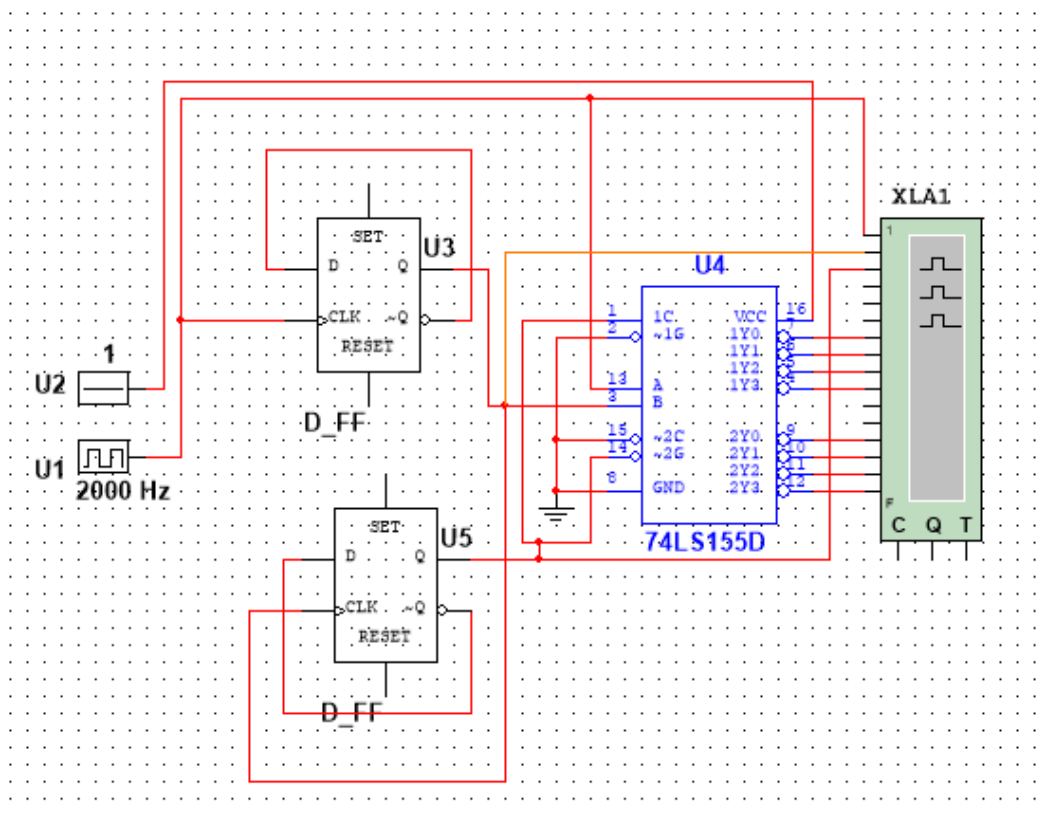


рис. 22

Временная диаграмма (рис. 23) для схемы на рисунке 22.

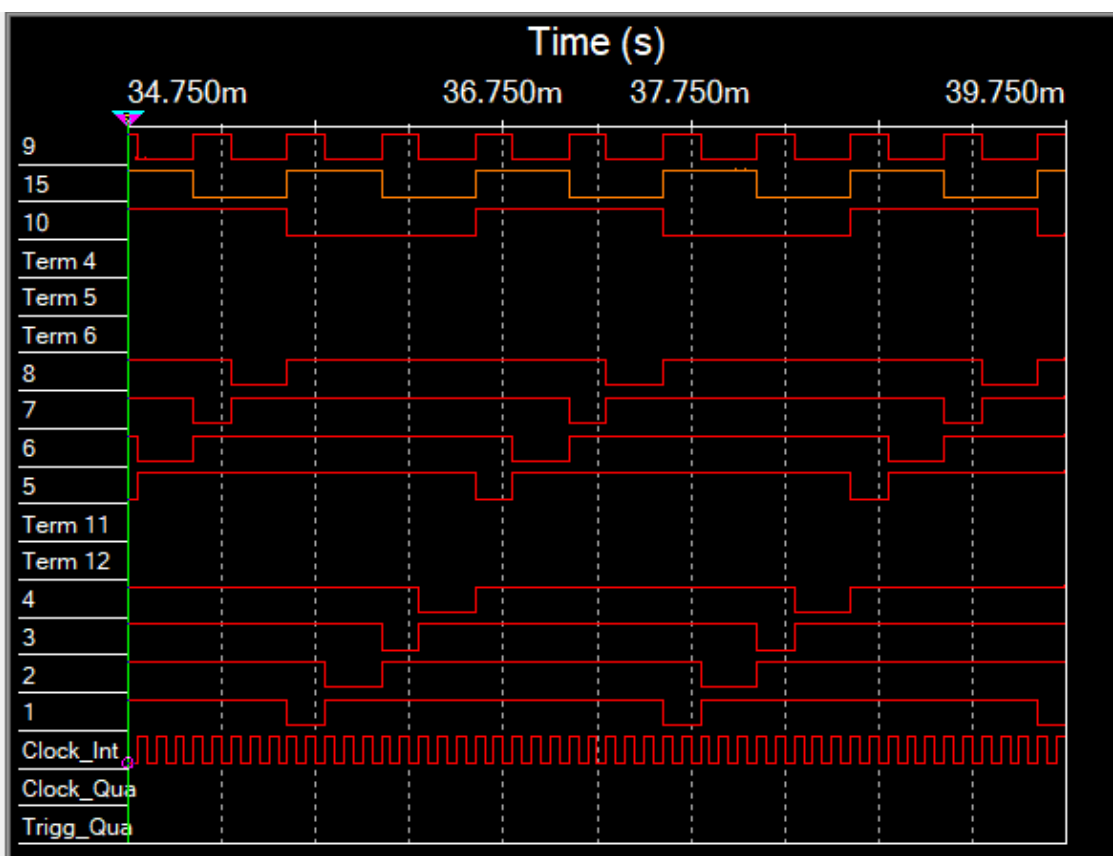


рис. 23

*Таблица истинности трехвходового дешифратора (таблица 2)*

*Таблица 2*

A1	A2	A3	F1	F2	F3	F4	F5	F6	F7	F8
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

### 3. Исследование дешифраторов ИС КР531ИД14 (74LS139).

ИС 74LS139 содержит два дешифратора DC 2-4 (U1A и U1B, см. рис. 24) с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции  $\overline{EN_1}, \overline{EN_2}$ , ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

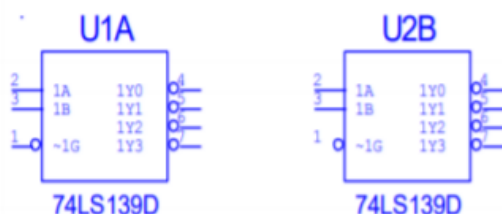


рис.24

Схема построения дешифратора ИС КР531ИД14 (74LS139) (рис. 25)

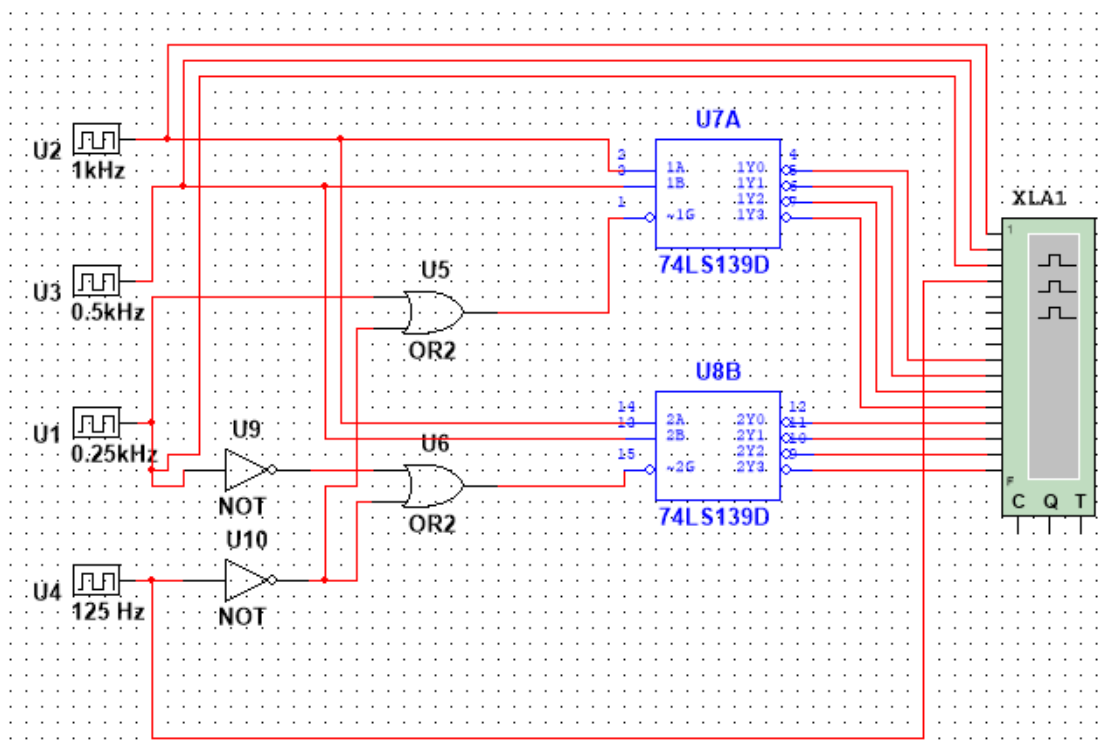


рис.25

Временная диаграмма (рис. 26) для схемы на рисунке 25.

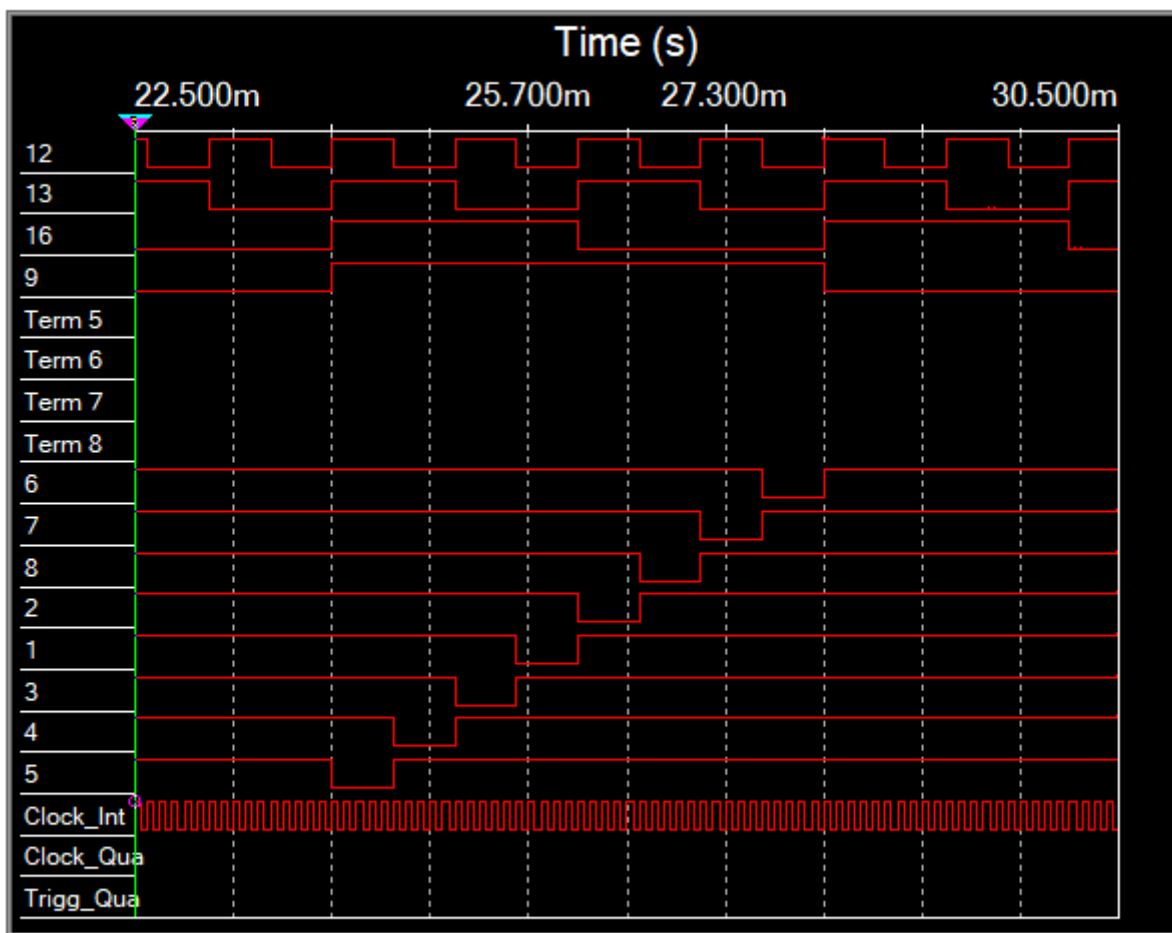


рис. 26

#### 4. Исследовать работоспособность дешифраторов ИС 533ИД7.

а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7 (рис. 27), подавая на его адресные входы 1, 2, 4 сигналы  $Q_0, Q_1, Q_2$ , с выходов счетчика, а на входы разрешения  $E_1, E_2, E_3$  – сигналы лог. 1, 0, 0 соответственно;

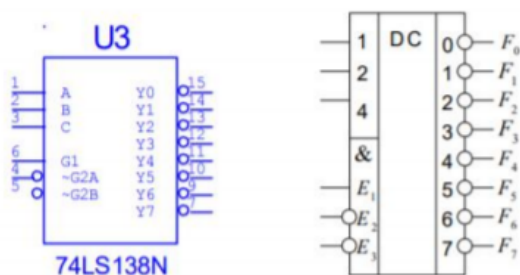


рис. 27

Схема построения нестробируемого дешифратора ИС 533ИД (рис. 28)

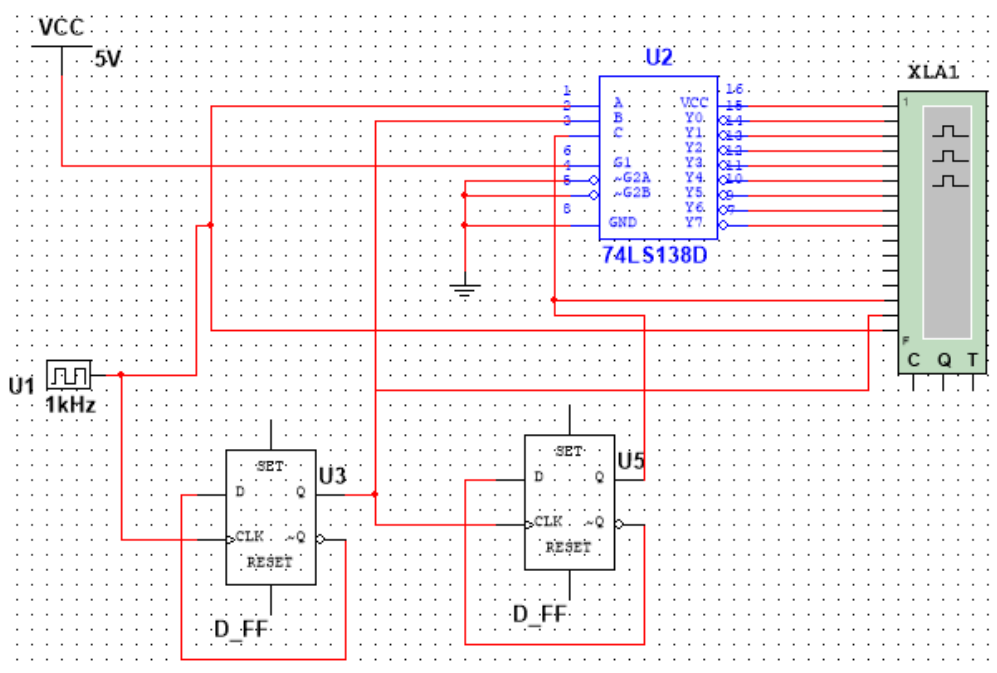


рис. 28

Временная диаграмма (рис. 29) для схемы на рисунке 28.

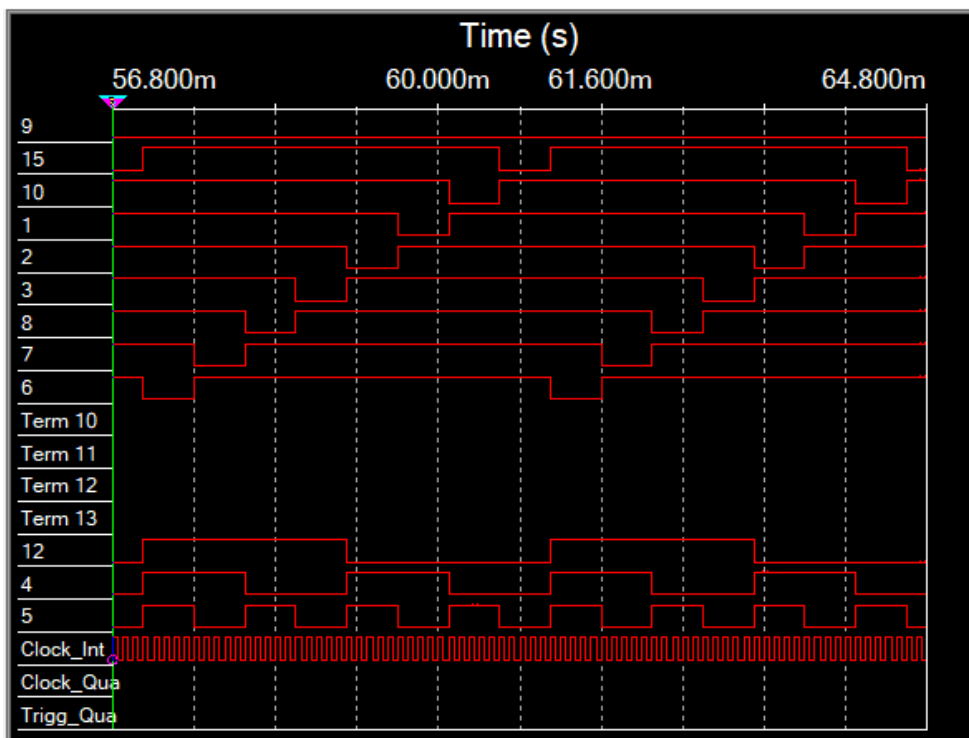



рис. 29

б) собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы  $Q_0, Q_1, Q_2, Q_3, Q_4$  с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора , задержанные линией задержки макета.

*Схема построения дешифратора DC 5-32 согласно методике наращивания входов (рис. 30)*

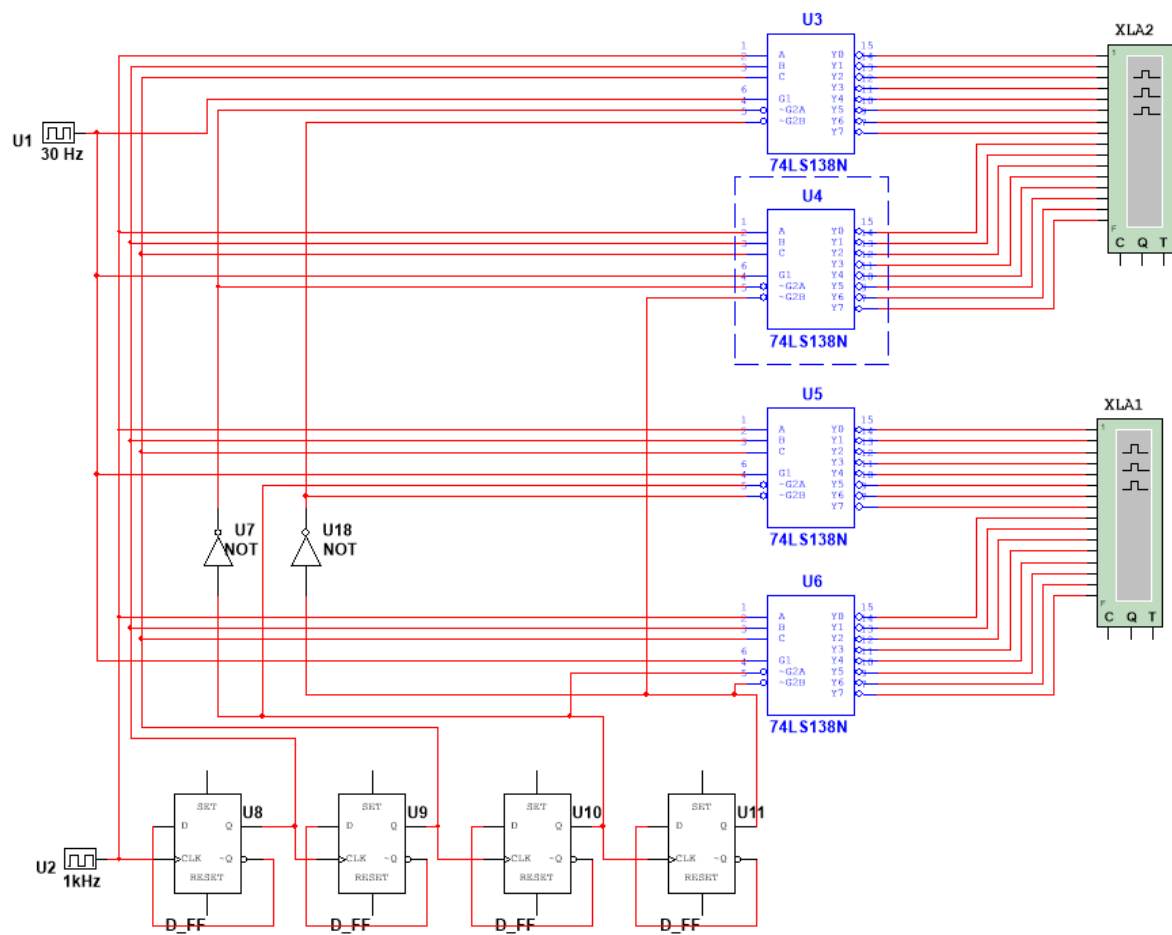
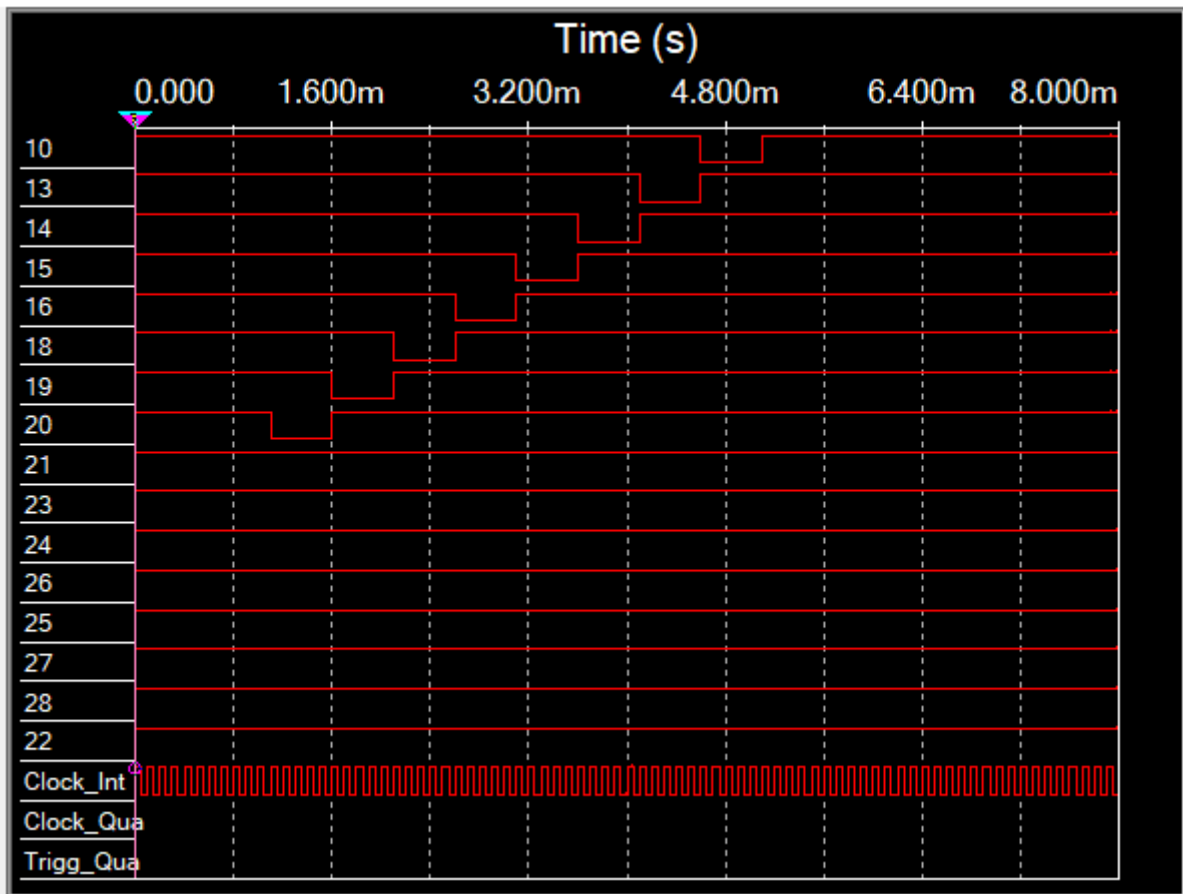


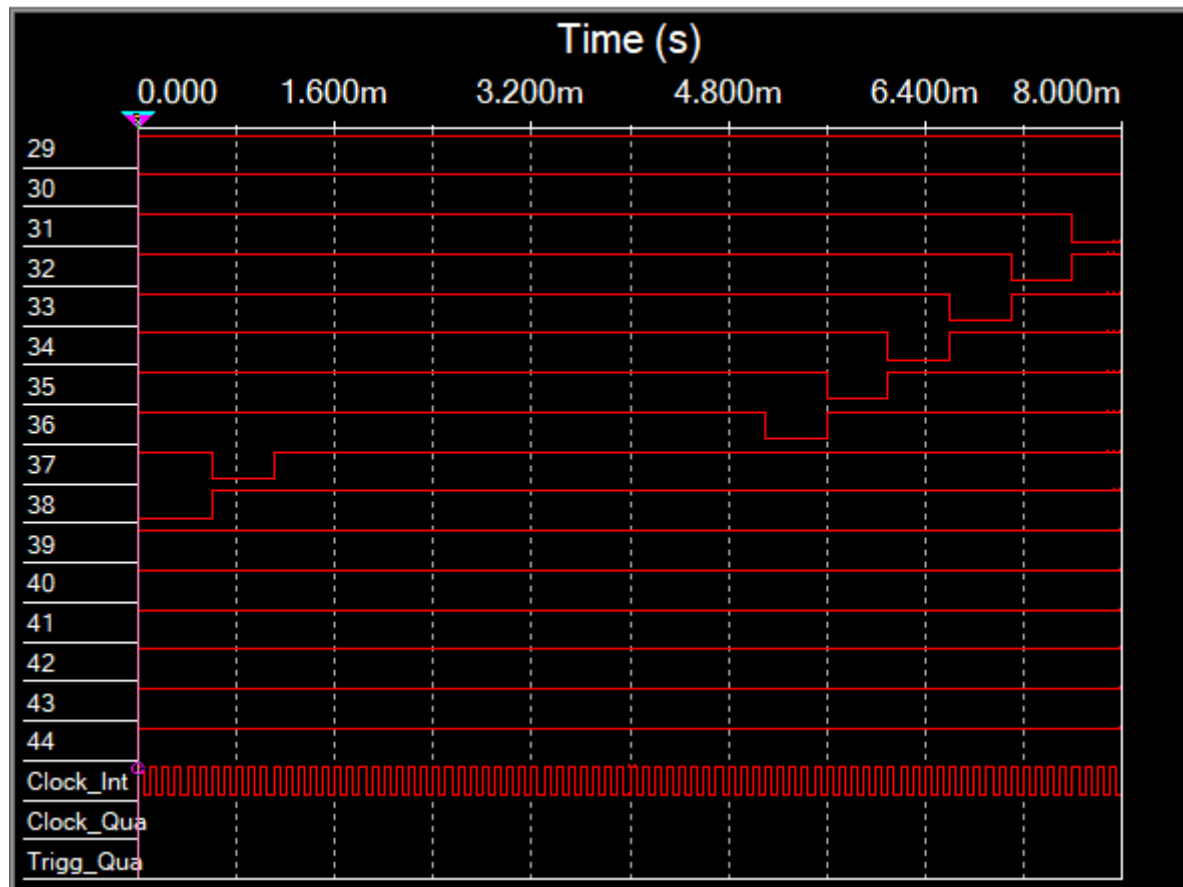
рис. 30

Временная диаграмма (рис. 31, 32)





puc. 31



puc. 32

## Вывод

Были изучены принципы построения и методы синтеза дешифраторов, произведено макетирование и экспериментальное исследование дешифраторов.

## Контрольные вопросы

### 1. Что называется дешифратором?

Дешифратор - это комбинационный узел с  $n$  входами и  $N$  выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

### 2. Какой дешифратор называется полным (неполным)?

Дешифратор, имеющий  $2^n$  выходов, называется полным, при меньшем числе выходов - неполным.

### 3. Определите закон функционирования дешифратора аналитически и таблично.

Функционирование дешифратора  $DC\ n - N$  определяется таблицей истинности:

Входы							Выходы					
EN	$A_{n-1}$	$A_{n-2}$	$A_{n-3}$	...	$A_1$	$A_0$	$F_0$	$F_1$	$F_2$	...	$F_{N-2}$	$F_{N-1}$
0	x	x	x	...	x	x	0	0	0	...	0	0
1	0	0	0	...	0	0	1	0	0	...	0	0
1	0	0	0	...	0	1	0	1	0	...	0	0
1	0	0	0	...	1	0	0	0	1	...	0	0
...	...	...	...	...	...	...	...	...	...	...	...	...
...	...	...	...	...	...	...	...	...	...	...	...	...

1	1	1	1	...	1	0	0	0	0	...	1	0
1	1	1	1	...	0	1	0	0	0	...	0	1

#### ***4. Поясните основные способы построения дешифраторов.***

Линейный дешифратор строится в соответствии с системой из предыдущего вопроса, и представляет собой  $2^n$  конъюнкторов или логических элементов (ЛЭ) ИЛИ-НЕ с  $n$ - входами каждый при отсутствии стробирования и с  $(n + 1)$  входами - при его наличии.

Пирамидальный дешифратор. Строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную  $A_2(\overline{A_2})$ . На третьем этапе каждую из полученных выше конъюнкций трех переменных умножают на  $A_3(\overline{A_3})$  и т.д. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкций, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

#### ***5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?***

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на

этом входе не должен быть активным во время переходных процессов в дешифраторе.

**6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?**

Пусть для построения сложного дешифратора  $DC\ n - N$  используются простые дешифраторы  $DC\ n_1 - N_1$ , причем  $n_1 \ll n$ , следовательно и  $N_1 \ll N$ .

1. Число каскадов равно  $\frac{n}{n_1}$ . Если  $K$  – целое число, то во всех каскадах используются полные дешифраторы  $DC\ n_1 - N_1$ . Если  $K$  – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор  $DC\ n_1 - N_1$ .

2. Количество простых дешифраторов  $DC\ n_1 - N_1$  в выходном каскаде равно  $\frac{N}{N_1}$ , в предвыходном –  $\frac{N}{N_1^2}$ , в предпредвыходном –  $\frac{N}{N_1^3}$  и т.д.; во входном каскаде –  $\frac{N}{N_1}$  к. Если  $\frac{N}{N_1}$  к – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.

3. В выходном каскаде дешифрируются  $n_1$  младших разрядов адреса сложного дешифратора, в предвыходном – следующие  $n_1$  младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому  $n_1$  младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие  $n_1$  младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.

4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т.д.