

华南农业大学期末考试试卷（A 卷）

2019-2020 学年第 2 学期

考试科目：数字电子技术

考试类型：（闭卷）考试

考试时间：120 分钟

学号_____姓名_____年级专业_____

一、选择题（本大题共 10 小题，每小题 2 分，共 20 分）

1. 周期性数字波形的高电平、低电平持续时间分别为 3ms 和 5ms，则占空比为（ ）。

- A. 60% B. 40% C. 62.5% D. 37.5%

2. 下列常见的二进制代码中（ ）是有权码。

- A. 5421BCD 码 B. 余 3 循环码 C. 格雷码 D. 余 3 码

3. 逻辑式 $Y = ACD + \overline{BCD} + \overline{A}\overline{B}$ 的化简结果为（ ）。

- A. $Y = ACD + \overline{BCD}$ B. $Y = CD + \overline{A}\overline{B}$ C. $Y = \overline{BCD} + \overline{A}\overline{B}$ D. $Y = ACD + \overline{A}\overline{B}$

4. 逻辑式 $L = A\overline{C} + AB$ 的最小项表达式为（ ）。

- A. $L = \sum m(5, 6, 7)$ B. $L = \sum m(1, 2, 4, 6, 7)$ C. $L = \sum m(4, 6, 7)$ D. $L = \sum m(1, 5, 6, 7)$

5. 以下电路中可以实现“线与”功能的有（ ）。

- A. 与非门 B. 传输门 C. 或非门 D. OD 门

6. 以下电路中常用于总线应用的有（ ）。

- A. 三态门 B. OC 门 C. NMOS 与非门 D. CMOS 与非门

7. 若在编码器中有 102 个编码对象，则要求输出二进制代码位数为（ ）位。

- A. 6 B. 7 C. 8 D. 102

8. 为实现将 JK 触发器转换为 D 触发器，应使（ ）。

- A. $J = D, K = \overline{D}$ B. $K = D, J = \overline{D}$ C. $J = K = D$ D. $J = K = \overline{D}$

9. 某移位寄存器的时钟脉冲频率为 1000kHz，欲将存放在该寄存器中的数左移 16 位，完成该操作需要（ ）时间。

- A. 16μs B. 16ms C. 10μs D. 80ms

10. 以下四种电路，具有定时功能的电路为（ ）。

- A. 单稳态触发器 B. 施密特触发器 C. 多谐振荡器 D. 移位寄存器

二、填空题（本大题共 10 空，每空 1 分，共 10 分）

1. 十进制数 33.25 转换成二进制数为_____，转为 8421BCD 码为_____。

2. 根据反演规则，逻辑函数 $L = \overline{A} \cdot \overline{B} + C \cdot D$ 的非函数 $\overline{L} =$ _____；根据对偶

规则，其对偶式 $L' =$ _____。

3. 逻辑函数 $\overline{AB}(A+C)$ 的最小项表达式为_____、最简与或式为_____。

4. 三态输出门的三个状态有高电平、低电平和_____。

5. 正逻辑体系中的“或非”对应负逻辑体系中的_____。

6. N 个触发器组成的计数器最多可以组成_____进制的计数器。

7. 石英晶体多谐振荡器的突出优点是_____。

三、化简题（6 分）

1. 用卡诺图化简逻辑函数 $L(A,B,C,D) = \sum m(0,1,6,8,9,14) + \sum d(2,3,5,7,10,11,15)$

四、分析作图题（共40分）

1. 逻辑电路如图 1 所示，试分析其逻辑功能。（8 分）

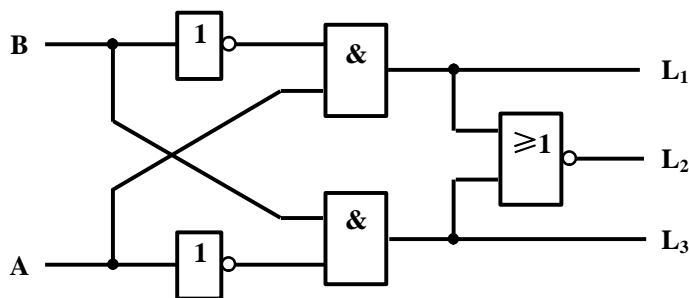


图 1

2. 如图2所示逻辑电路，根据相应的CP和A的波形，画出 Q_1 端、 Q_2 端的输出波形，设初态 $Q_1=Q_2=0$ 。（10分）

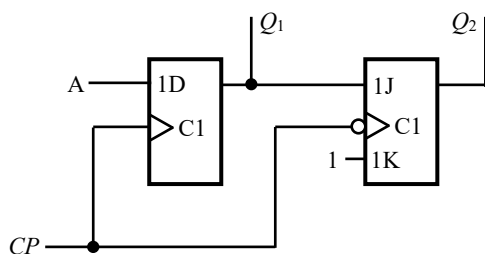
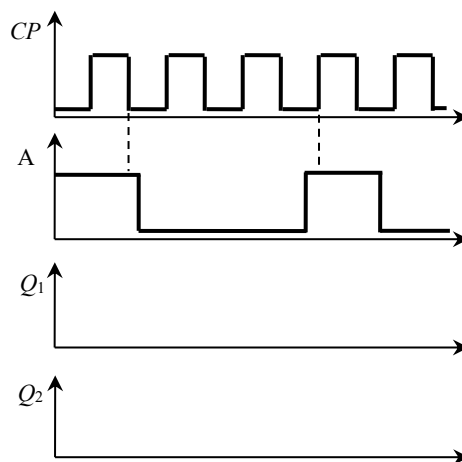


图 2



3. 试用逻辑门和 1 片同步 16 进制计数器 74LVC161 设计如下一个 12 进制计数器，并简要说明设计原理。（10 分）

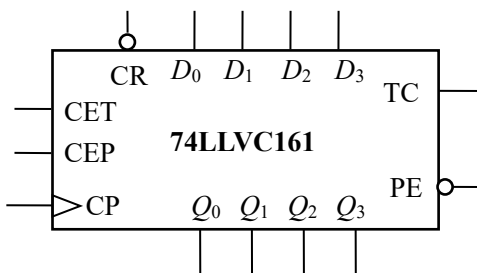


图 3

表 1 74LVC161 功能表

输 入					输 出				
清零 \overline{CR}	预置 \overline{PE}	使能 \overline{CEP} \overline{CET}		时钟 CP	预置数输入 D_3 D_2 D_1 D_0				进位 TC
L	×	×	×	×	×	×	×	×	L
H	L	×	×	↑	D_3	D_2	D_1	D_0	#
H	H	L	×	×	×	×	×	×	#
H	H	×	L	×	×	×	×	×	L
H	H	H	H	↑	×	×	×	×	#

$$TC = CET \cdot Q_3 Q_2 Q_1 Q_0$$

4. 分析如图 4 所示的时序电路。（12 分）

- 写出激励方程组、转换方程和输出方程；
- 列出转换表并画出状态图。

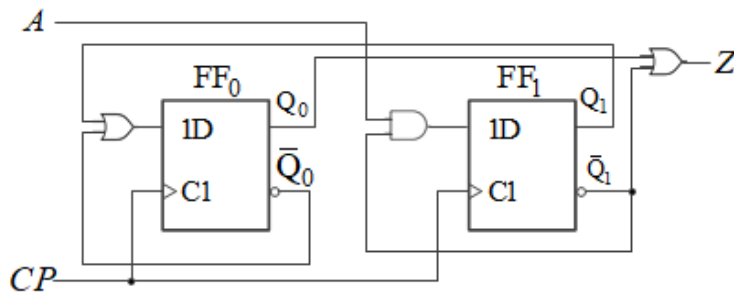


图 4

五、综合题（共24分）

1. 试设计 1 位二进制全减器（提示：全减器输入端为被减数、减数、来自低位的借位，输出端为差、向高位的借位）（14 分）
- （1）列出真值表、逻辑表达式；
- （2）试用逻辑门设计满足上述要求的逻辑电路；
- （3）试用 74HC138 及必要的门电路实现满足上述要求的逻辑电路。

表 2 74HC138 功能表

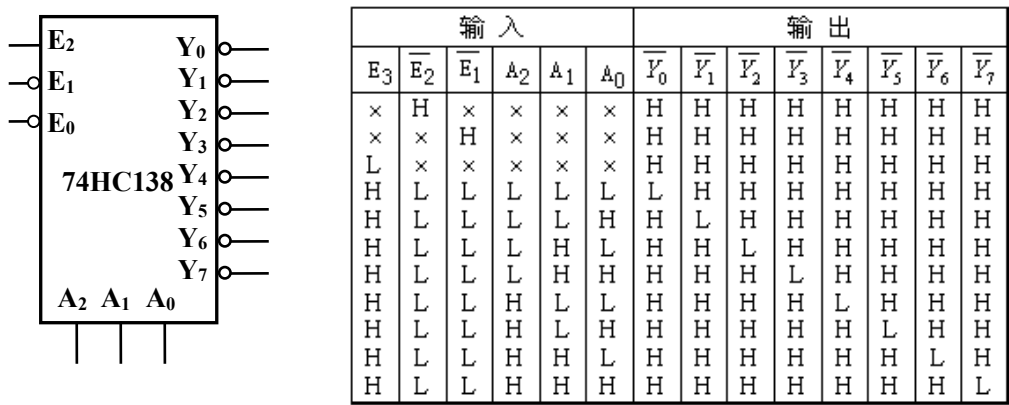


图 5

2. 由 555 定时器组成的电路如图 6 所示，分析：（1）555 定时器构成何种电路？（2）计算输出信号 v_o 的周期、频率？（3）画出 v_c 和 v_o 的波形图。（10 分）

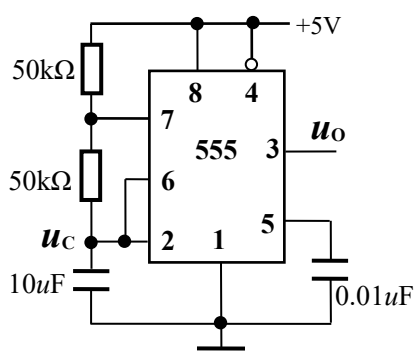


图 6

表 3 555 定时器功能表

输 入		输 出	
V_{I1} (6 脚)	V_{I2} (2 脚)	V_O (3 脚)	T (7 脚)
$< \frac{2}{3}V_{CC}$	$< \frac{1}{3}V_{CC}$	1	截止
$> \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	0	导通
$< \frac{2}{3}V_{CC}$	$> \frac{1}{3}V_{CC}$	不变	不变