

DISEÑO DIGITAL 1. BLOQUE TEMÁTICO 1**TÍTULO DE LA ACTIVIDAD:**
Tutorial para el aprendizaje del manejo del entorno de desarrollo Quartus Prime**CÓDIGO:**
BT1.P7**FECHA:****NOMBRE:****APELLIDOS:****MODALIDAD:**

Tutorial. Individual

TIPO:

Presencial

DURACIÓN:15
minutos**CALENDARIO:**

Sesión presencial S7

REQUISITOS:**CRITERIO DE
ÉXITO:**

COMENTARIOS E INCIDENCIAS:

TIEMPO DEDICADO:

minutos

AUTOEVALUACIÓN:
[entre 0 y 10 puntos]

No procede

Introducción

En esta actividad aprenderá a utilizar una herramienta de CAD electrónico llamada *Quartus Prime* para implementar un circuito digital en la tarjeta MAX 1000, basada en un PLD de la familia MAX10 del fabricante Intel y que es la que se va a utilizar en la asignatura. Si no lo tiene ya, puede encontrar en Moodle el manual de la tarjeta.

La actividad tiene el formato de un tutorial y podrá utilizarlo para refrescar los procedimientos cuando tenga que realizar el diseño físico de algunos circuitos durante el curso.

Tutorial de *Quartus Prime*

Introducción

Quartus Prime es el entorno de desarrollo que proporciona el fabricante de PLDs Intel para diseñar e implementar circuitos digitales en sus *chips* configurables. Está compuesto por una serie de herramientas que realizan cada una de las operaciones necesarias para prácticamente todo el flujo de diseño, desde la entrada del mismo (mediante lenguajes de descripción *hardware* como VHDL) hasta la configuración del dispositivo configurable elegido. Una excepción notable es la simulación, ya que el simulador que incluían las versiones más antiguas de esta herramienta ha sido eliminado, e Intel proporciona en su lugar una versión específica del simulador digital *ModelSim*, que es la que ha empleado en las actividades anteriores.

El diagrama de la Figura 1 muestra una versión simplificada del flujo de diseño con *Quartus Prime* que utilizará en esta asignatura. El primer paso consiste en obtener a partir del modelo VHDL sintetizable del circuito una implementación del mismo basada en primitivas genéricas (puertas lógicas, multiplexores, etc.) que no corresponden con ninguna tecnología concreta (PLD, FPGA, etc.). *Quartus Prime* llama a este paso *elaboración*.

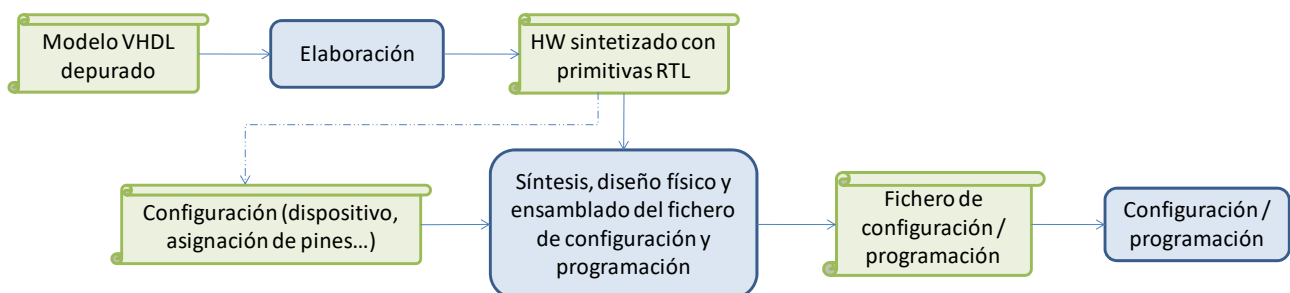


Figura 1: Flujo de diseño simplificado con *Quartus Prime*

El siguiente paso es transformar esta implementación genérica en otra que utilice las primitivas disponibles en la tecnología concreta que estemos utilizando, en nuestro caso las células que están disponibles en los dispositivos de la familia MAX10 de Intel. *Quartus Prime* denomina a este paso *síntesis*.

A continuación es necesario establecer una correspondencia entre las primitivas que se han utilizado en la síntesis y los recursos concretos (LUTs, flip-flops y recursos de entrada/salida) disponibles en el dispositivo que se esté utilizando (10M08SAU169C8G en la tarjeta MAX1000), y asignar los recursos de interconexión necesarios para establecer las conexiones requeridas entre los recursos lógicos y de entrada/salida. A este proceso se le denomina *diseño físico* o *emplazamiento y rutado*, y la herramienta de *Quartus Prime* que lo realiza se llama *Fitter*. El *Fitter* necesita conocer el dispositivo concreto que estamos utilizando y qué pines de E/S vamos a utilizar para cada señal externa de nuestro diseño.

Después es necesario generar los datos de configuración que permitan, valga la redundancia, configurar el PLD de modo que implemente el circuito deseado. La herramienta de *Quartus Prime* que realiza esta función es el *Assembler* (ensamblador). Esta herramienta toma como entrada la salida del *Fitter* y genera un fichero que contiene la información de configuración para el dispositivo.

Por último, otra herramienta de *Quartus Prime*, el programador (*Programmer*), lee el fichero generado por el ensamblador y configura el PLD a través de un *hardware* de configuración conectado al ordenador. El *hardware* de programación que empleará en esta asignatura se denomina *USB Blaster*, y se conecta al ordenador a través de un puerto USB.

Como puede ver, el paso de una especificación sintetizable en VHDL al fichero de configuración del PLD es un proceso complejo en el que intervienen varias herramientas. El proceso puede resumirse en los siguientes pasos:

1. Creación de un *proyecto* de *Quartus Prime*. Un proyecto es una especie de contenedor que engloba toda la información necesaria para la implementación de un circuito concreto.
2. Elaboración.
3. Asignación de pines de E/S.
4. Compilación (incluye síntesis, diseño físico y ensamblado del fichero de configuración).
5. Configuración del dispositivo.

En los siguientes apartados aprenderá cómo realizar cada uno de estos pasos.

Descripción general de la interfaz de usuario de Quartus Prime

Procedimiento T.1: Arranque de Quartus Prime

Realice las siguientes operaciones:

1. En el menú de inicio de Windows seleccione la carpeta “Altera 16.0.0.211 Lite edition” y haga *click* con el ratón sobre la entrada “Quartus Prime 16.0” (vea la Figura 2).

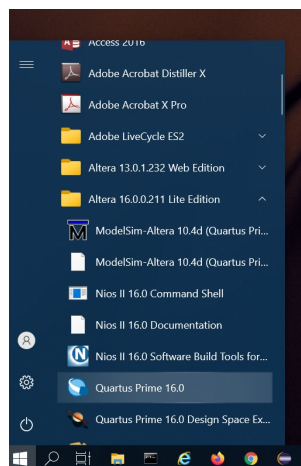


Figura 2: *Quartus Prime* en el menú de Inicio de Windows

Aparecerá la ventana de inicio mostrada en la Figura 3.

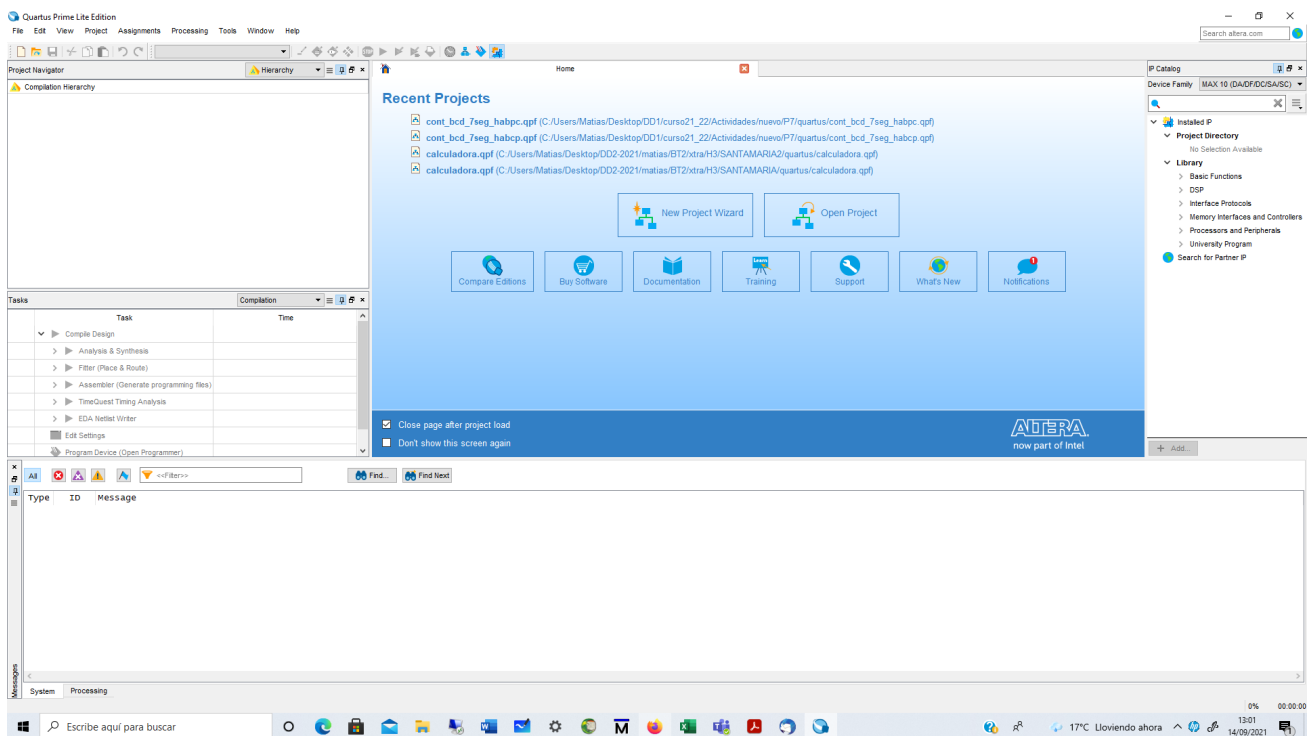


Figura 3: Ventana de inicio de *Quartus Prime*

Esta ventana está pensada para ayudar a usuarios inexpertos a comenzar a trabajar con el entorno lo más rápido posible. Permite crear un nuevo proyecto, abrir un proyecto que se haya utilizado recientemente y acceder al tutorial de *Quartus Prime* que proporciona Intel y a varias secciones de su página web. En este tutorial no vamos a utilizar esta ventana, de modo que

2. Cierre la ventana de bienvenida, pulsando la pequeña “X” situada en la esquina superior derecha de la misma. Si no desea que esta ventana aparezca en futuras sesiones de trabajo, marque la casilla “Don’t show this screen again” que aparece en la esquina inferior izquierda.

Una de las características de *Quartus Prime* es que es un entorno muy flexible, en el sentido de que normalmente hay varias formas de hacer cada una de las tareas y su aspecto es muy configurable. En este tutorial se utilizará el entorno con la configuración por defecto, y únicamente se hará referencia a un modo de efectuar cada tarea, aunque puedan existir más.

La Figura 4 muestra el aspecto de la ventana principal de *Quartus Prime*. En ella pueden distinguirse cinco zonas distintas:

- 1) Navegador de proyectos. En ella puede realizar tareas relativas al proyecto, como ver y editar los ficheros que lo componen, ver las entidades que lo forman, etc.
- 2) Ventana de tareas. En esta ventana se muestra el progreso de las tareas o procesos del flujo de diseño que se estén ejecutando.
- 3) Ventana de mensajes. Aquí se muestran los mensajes que las distintas herramientas generan. Las pestañas en su parte inferior permiten ver todos los mensajes o filtrarlos según su categoría (informativos, avisos, errores...).

- 4) Zona de visualización y edición. En esta zona es donde se muestra el contenido de los ficheros que estemos editando, de los informes que estemos viendo, etc. Permite trabajar con varios ficheros a la vez, usando un sistema de pestañas en la parte superior similar a que utilizan las versiones modernas de los navegadores web.
- 5) Barras de menú y de herramientas. Todas las funciones de *Quartus Prime* son accesibles a través de los menús, y las que se usan con más frecuencia tienen también un botón en la barra de herramientas. Además de los menús típicos de cualquier aplicación hay menús para operaciones relacionadas con la gestión de proyectos (*Project*), para gestión de configuración del dispositivo o de las herramientas de *Quartus Prime* (*Assignments*), para lanzar las distintas tareas del flujo de diseño (*Processing*) y para lanzar diversas herramientas auxiliares (*Tools*).

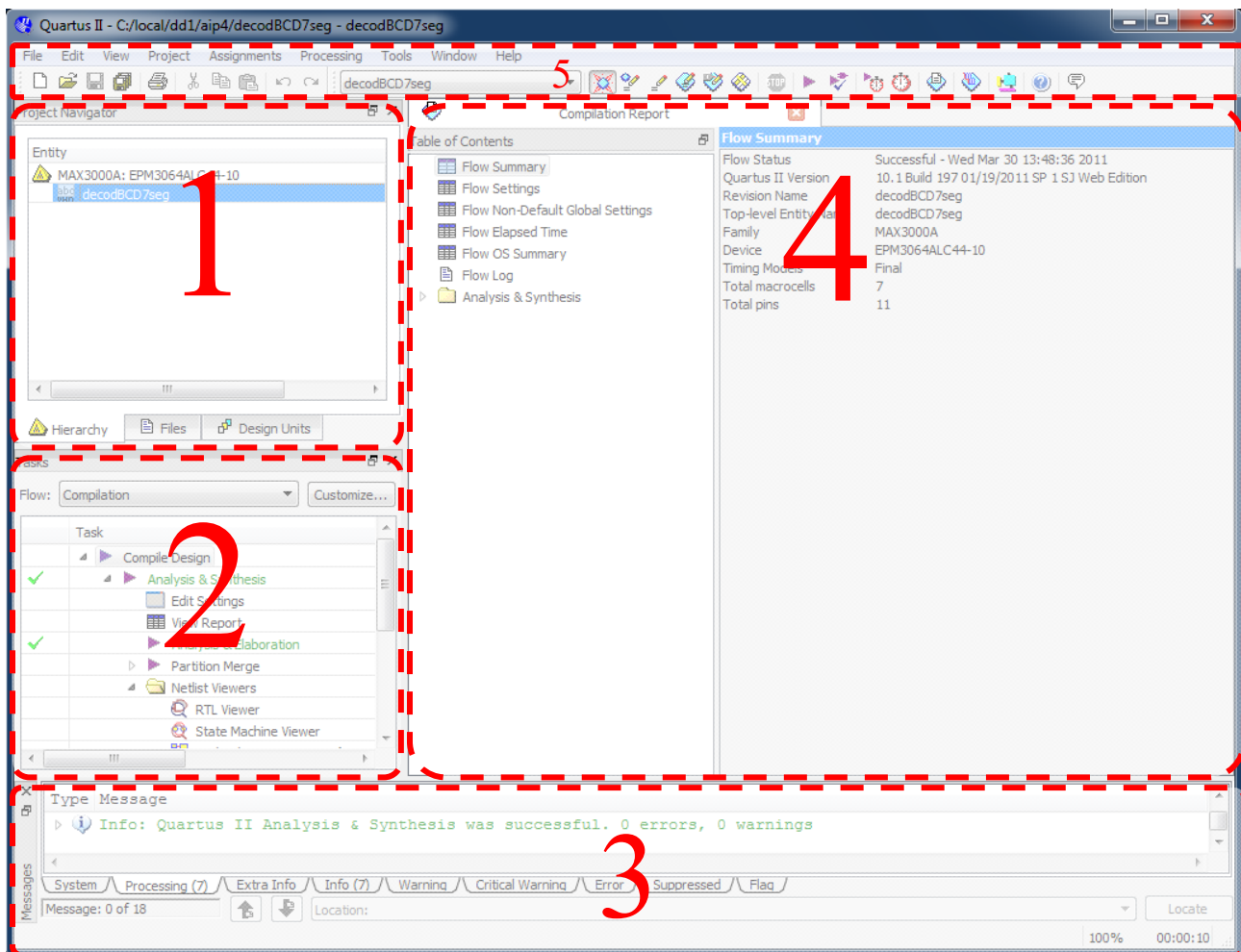


Figura 4: Zonas de la ventana principal de Quartus II

Creación de un proyecto en *Quartus Prime*

Procedimiento T.2: Creación de un proyecto

Realice las siguientes operaciones:

1. En el menú “File” de *Quartus Prime* seleccione la entrada “New Project Wizard...” (vea la Figura 5).

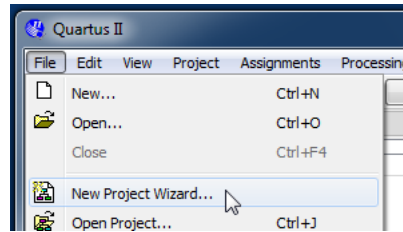


Figura 5: Acceso al asistente de creación de proyectos

Aparecerá la ventana de introducción del asistente, mostrada en la Figura 6. Esta ventana simplemente informa de los pasos que componen el proceso. Si no desea que vuelva a aparecer cuando cree un proyecto puede marcar la casilla “Don’t show me this introduction again” que aparece en la esquina inferior izquierda.

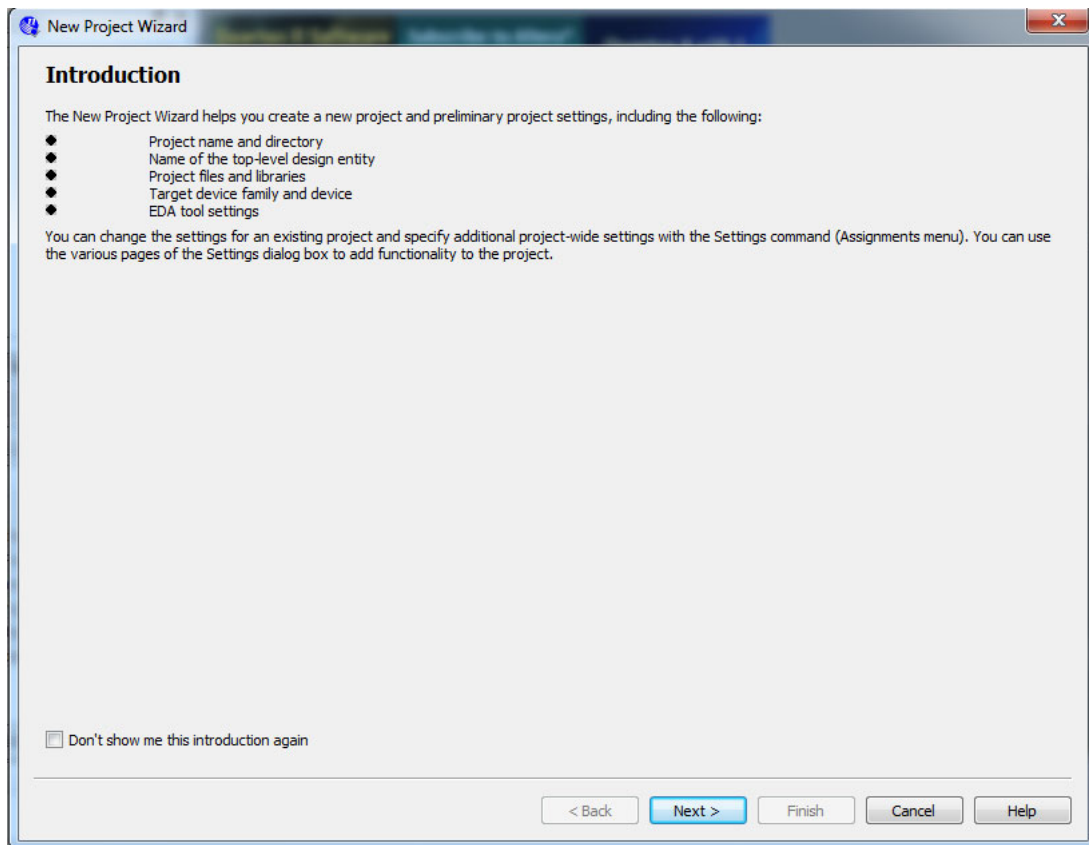


Figura 6: Ventana de introducción del asistente de creación de proyectos

2. Marque si lo desea la casilla “Don’t show me this introduction again” y haga *click* sobre el botón “Next”.

Aparecerá la primera página del asistente de creación de proyectos, mostrada en la Figura 7. En esta página debe indicar en qué directorio desea ubicar el proyecto, cuál es el nombre del mismo y cuál es la entidad de nivel superior (lo que habitualmente se conoce como el *top*) del diseño.

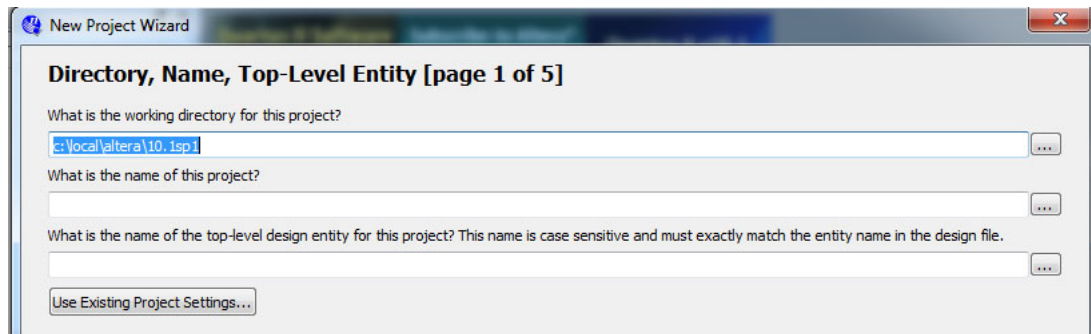


Figura 7: Primera página del asistente de creación de proyectos (ubicación y nombre del proyecto)

3. Seleccione el directorio en el que desea crear el proyecto (p. ej, *DD1\P7\quartus*). Puede pulsar el botón “...” a la derecha de la caja de texto superior (“What is the working directory for this project?”) o indicar directamente la ruta. Si el directorio no existe se creará.

Es extremadamente recomendable ubicar cada proyecto en un directorio separado, ya que posteriormente se generarán un gran número de ficheros.

4. Introduzca el texto *cont_bcd_7seg_habcp* como nombre del proyecto en la siguiente caja de texto (“What is the name of this project?”). Fijese en que el nombre del proyecto se toma automáticamente como nombre de la entidad superior.
5. Pulse el botón “Next”.

Aparecerá la segunda página del asistente (Figura 8). En ella debe indicar qué ficheros componen el diseño. En este tutorial utilizaremos como diseño el contador BCD con conformador y decodificador BCD a 7 segmentos de la actividad P7 (nótese que en las figuras aparece un diseño diferente, no lo tenga en cuenta).

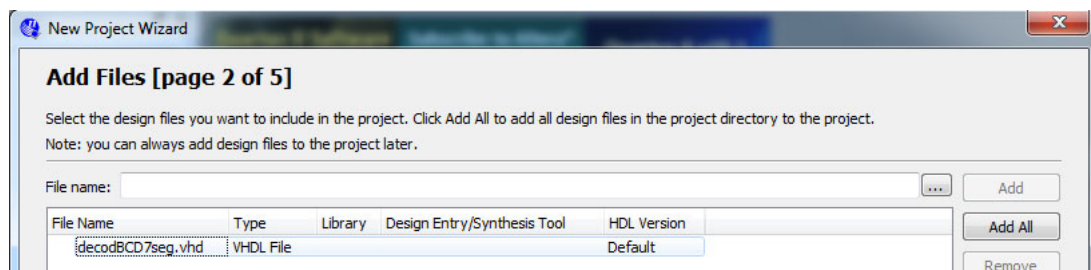


Figura 8: Segunda página del asistente de creación de proyectos (ficheros de diseño)

6. Pulse el botón “...” que está situado a la derecha de la caja de texto superior (“File name:”). En la ventana que se abre seleccione el fichero *cont_bcd_7seg_habcp.vhd* de la P7. Al cerrar la ventana de selección el nombre del fichero (incluyendo la ruta de la carpeta que lo contiene) aparecerá en la caja de texto.
7. Pulse el botón “Add”. El fichero aparecerá en el área situada debajo de la caja de texto.
8. Pulse “Next”.

La siguiente página del asistente (Figura 9) permite indicar cuál es el dispositivo que se va a utilizar en el proyecto. *Quartus Prime* ofrece dos posibilidades para esto: especificar el dispositivo

manualmente o permitir al *Fitter* que escoja un dispositivo en función de las características del circuito digital que se está implementando. Esta última opción es útil cuando el diseño del circuito digital se realiza antes de haber fijado el *hardware* en el que se va a implementar, pero este no es el caso, de modo que utilizaremos el primer método.

Family, Device & Board Settings

Device | Board

Select the family and device you want to target for compilation.
You can install additional device support with the Install Devices command on the Tools menu.

To determine the version of the Quartus Prime software in which your target device is supported, refer to the [Device Support List](#) webpage.

Device family

Family: MAX 10 (DA/DF/DC/SA/SC)

Devices: All

Target device

☐ Auto device selected by the Fitter

☒ Specific device selected in 'Available devices' list

☐ Other: n/a

Show in 'Available devices' list

Package: Any

Pin count: Any

Core Speed grade: 8

Name filter:

☒ Show advanced devices

Available devices:

Name	Core Voltage	LEs	Total I/Os	GPIOs	Memory Bits	Embedded multiplier 9-bit elem
10M08SAM153C8G	3.3V	8064	112	112	387072	48
10M08SAM153C8GES	3.3V	8064	112	112	387072	48
10M08SAU169C8G	3.3V	8064	130	130	387072	48
10M08SAU169C8GES	3.3V	8064	130	130	387072	48
10M08SCE144C8G	3.3V	8064	101	101	387072	48

< Back | Next > | Finish | Cancel | Help

Figura 9: Tercera página del asistente de creación de proyectos (selección de dispositivo)

Debe seleccionar el dispositivo 10M08SAU169C8G de la serie MAX10, que es el que monta la tarjeta MAX1000. Para ello:

9. Seleccione la familia MAX10 en el desplegable “Family:”.
10. Puede reducir la lista de dispositivos mostrados utilizando el grupo “Show in ‘Available devices’ list” situado en la parte superior derecha de la ventana para que se muestren únicamente los dispositivos con cierto encapsulado, n° de pines, etc.
11. Seleccione el dispositivo 10M08SAU169C8G de la lista. Ponga atención, es fácil confundirse porque los códigos de dispositivo son muy parecidos entre sí.
12. Pulse “Next”.

La siguiente ventana (Figura 10) permite seleccionar herramientas de diseño electrónico automático (EDA, Electronic Design Automation, automatización de diseño electrónico). *Quartus Prime* es una herramienta muy completa que cubre prácticamente todas las etapas del diseño de circuitos digitales (con la notable excepción, como se dijo en la introducción, de la simulación), pero existen herramientas especializadas más potentes para buena parte de estas etapas, y también para algunas otras tareas que *Quartus Prime* no realiza. *Quartus Prime* está preparado para trabajar con algunas de estas herramientas, y eso es lo que se indica en esta ventana. Como nosotros no vamos a utilizar en este momento ninguna de ellas pasamos esta ventana sin indicar nada.

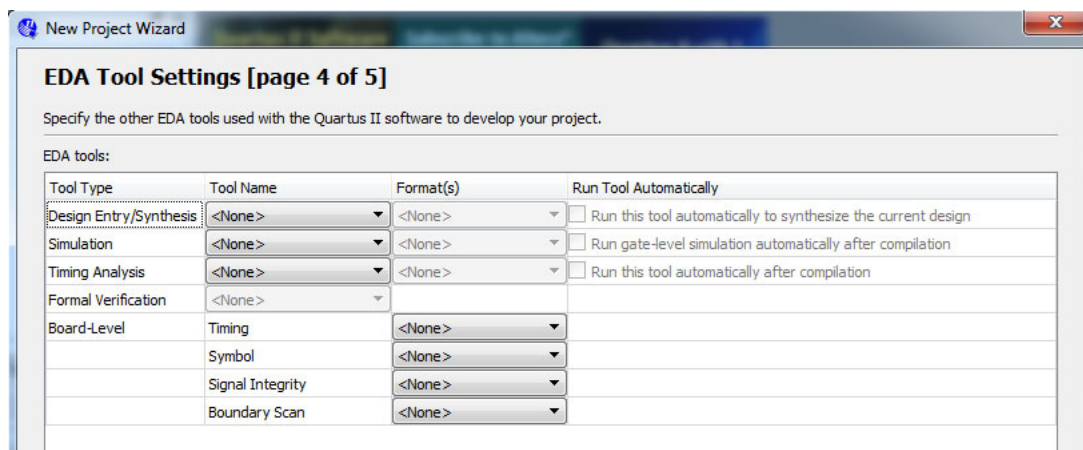


Figura 10: cuarta ventana del asistente de creación de proyectos (selección de herramientas)

13. Pulse el botón “Next”.

Finalmente aparece la última ventana del asistente, que muestra un resumen de lo realizado en las ventanas anteriores, tal como se muestra en la Figura 11.

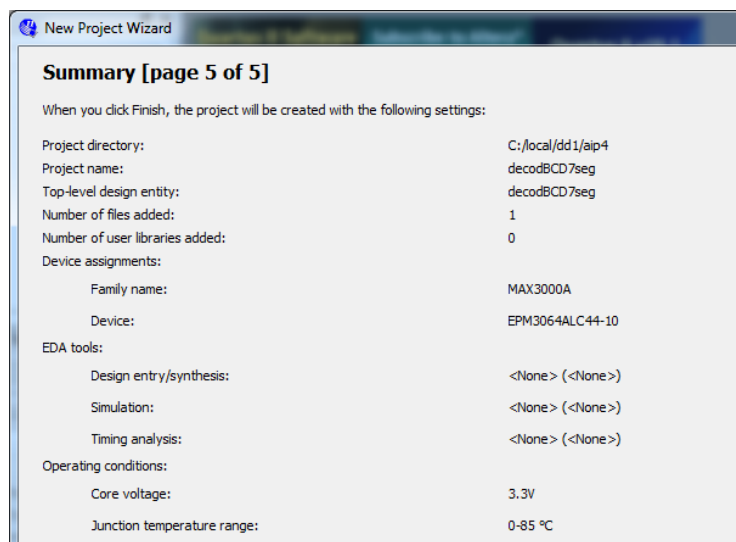


Figura 11: Última ventana del asistente de creación de proyectos (verificación final)

14. Compruebe que todo es correcto y pulse el botón “Finish”. Si detectara algún error pulse el botón “Previous” hasta volver a la ventana adecuada, corrijalo y repita el proceso.

Una vez finalizada la creación del proyecto, continuaremos con los pasos necesarios.

Elaboración del diseño

Quartus Prime se denomina compilación a todo el proceso necesario para generar el fichero de configuración del PLD. Este proceso, como ya se ha visto, consta a su vez de varias fases: elaboración, asignación de pines, síntesis, diseño físico y generación del fichero de configuración.

Procedimiento T.3: *Análisis y elaboración*

Realice las siguientes operaciones:

1. Inicie el proceso de análisis y elaboración, seleccionando en el menú “Processing” los elementos “Start” y “Start Analysis & Elaboration” (Figura 12).

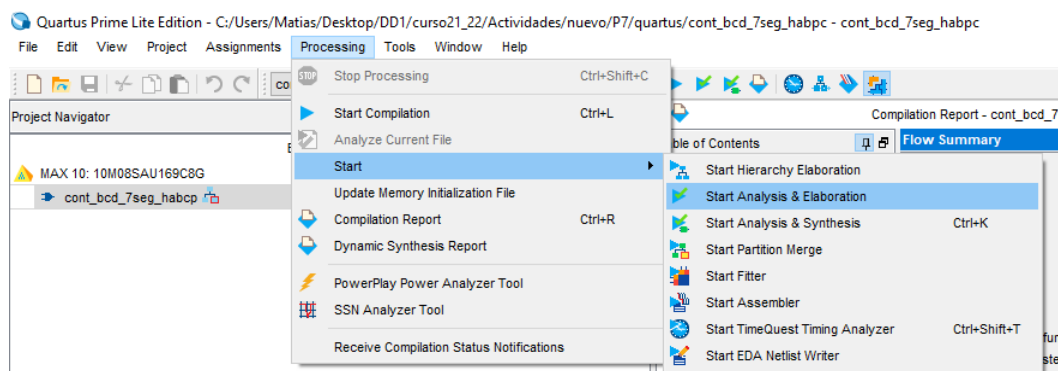


Figura 12: Inicio del análisis y elaboración en el menú de procesamiento

Verá cómo se inicia el proceso y aparece una barra de progreso en la zona de tareas. Cuando finaliza la elaboración se informa en la consola de que no ha habido errores (Figura 13).

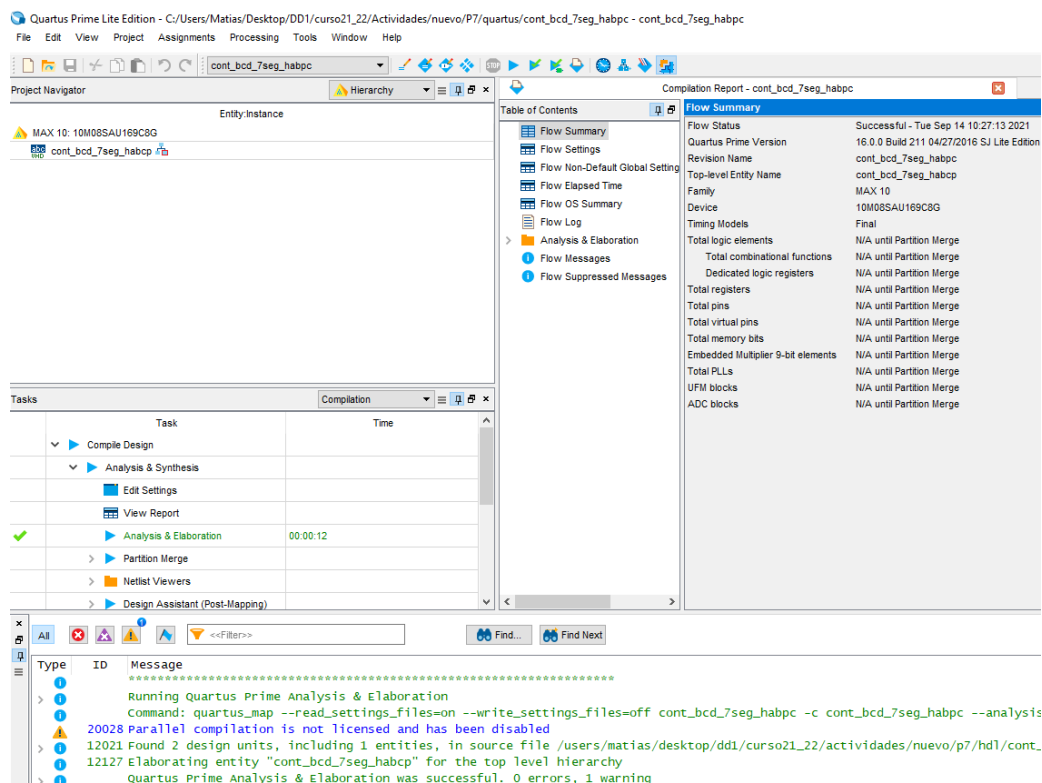


Figura 13: Elaboración finalizada correctamente

Al iniciar el proceso de análisis y elaboración aparece también una nueva pestaña en el área de trabajo con el título “Compilation report” (informe de compilación). Este informe aparece siempre que se inicia algún proceso en *Quartus Prime*. Contiene información sobre el resultado de la compilación.

Asignación de pines

El siguiente paso es indicar a *Quartus Prime* qué pines de entrada/salida de entre los disponibles en el PLD vamos a asignar a cada señal de nuestro diseño. El ejemplo que estamos utilizando tiene cuatro entradas y siete salidas, y hay que asignar un pin para cada una de ellas, aquel al que esté conectado el periférico correspondiente en la tarjeta MAX1000. Por ejemplo, cada una de las salidas del decodificador debe conectarse a la barra del *display* de 7 segmentos que le corresponda. En el caso de las cuatro entradas se pueden conectar a los cuatro microinterruptores disponibles en la placa, de modo que pueda cambiarse cada bit de la entrada con facilidad.

Existen varios procedimientos de asignación de pines en *Quartus Prime*. En este tutorial vamos a usar una herramienta denominada *Pin Planner*, que permite ver gráficamente el estado de la asignación.

Procedimiento T.4: Asignación de pines

Realice las siguientes operaciones:

1. Seleccione la entrada “Pin Planner” del menú “Assignments” (Figura 14).

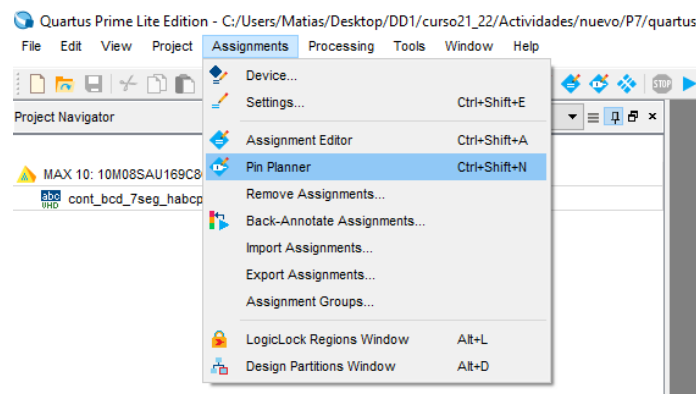


Figura 14: Acceso al *Pin Planner* desde el menú de asignaciones

Aparecerá la ventana principal del *Pin Planner*, que puede verse en la Figura 15. La ventana está dividida por defecto en cuatro áreas, siendo dos de ellas las principales:

- Un área de visualización, situada en la zona superior derecha, en la que aparece una representación gráfica del encapsulado del dispositivo seleccionado en el proyecto en el que se indica la función y el estado de cada pin.
- Un área en la que se muestra una lista de pines, situada en la zona inferior. Si se utiliza el *Pin Planner* tras ejecutar el proceso de elaboración, como es el caso, en esta lista aparecen ya todas las señales que componen la interfaz de la entidad de nivel superior del proyecto. Para cada señal se muestra su nombre, la dirección (entrada, salida o bidireccional) y el estándar tecnológico utilizado (2.5V, por defecto).

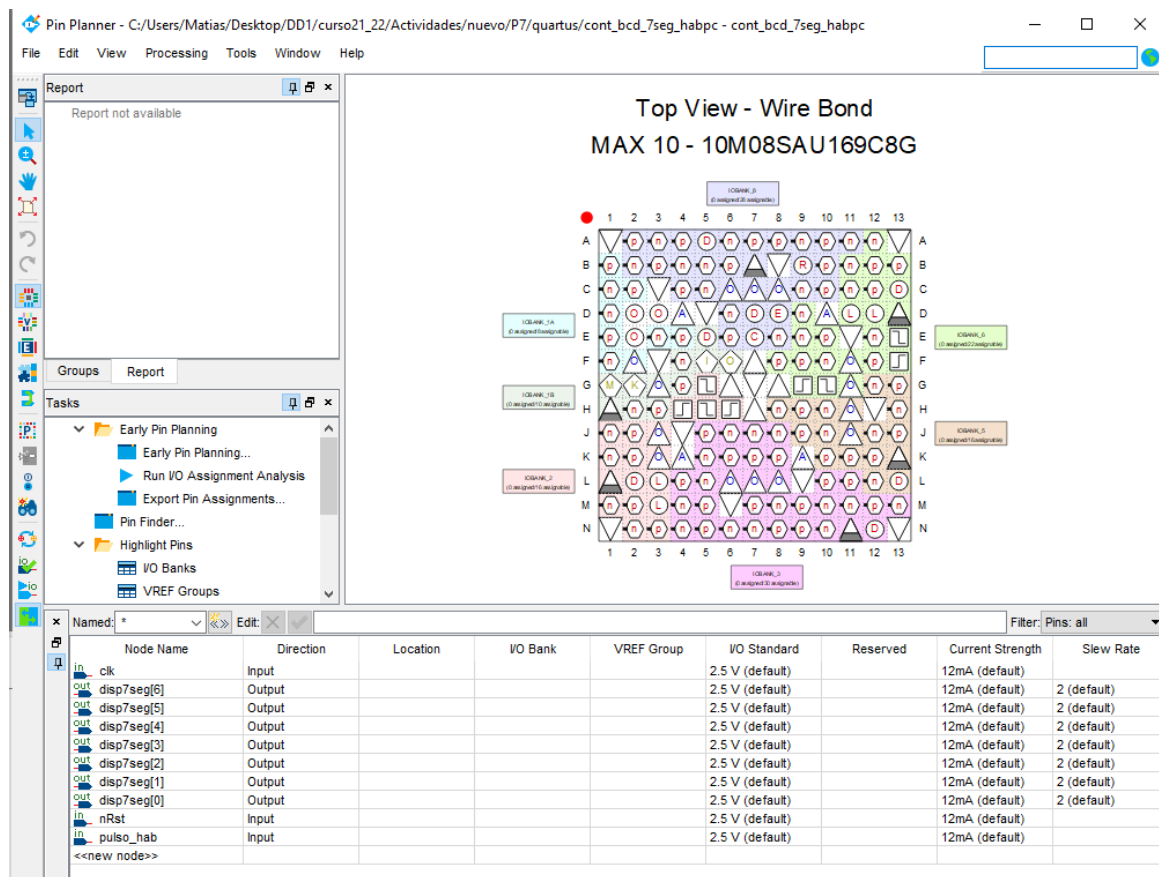


Figura 15: Ventana principal del *Pin Planner*

Fíjese en que en el área de visualización la mayoría de pines se representan mediante un círculo, pero hay algunos que tienen un símbolo distinto. El símbolo indica la función del pin, según se resume en la siguiente tabla:

Símbolo	Significado
	Pin genérico de entrada/salida
	Pin dedicado a entrada de reloj
	Pin de masa
	Pin de alimentación
	Pin JTAG

Tabla 1: Símbolos de pines del *Pin Planner*

En Moodle dispone de una tabla en la que aparecen los pines que deben asignarse a todas las señales de la MAX1000 así como su estándar de E/S (I/O standard). Abra esa tabla y utilícela para realizar los siguientes pasos.

2. Seleccione la caja “Location” correspondiente a la señal *clk* del diseño haciendo doble *click* en ella, e introduzca su número de pin tal y como aparece en la tabla de pines (ver fila CLK_12M). Bastará con que teclee “H6”. Verá cómo aparece automáticamente el texto “PIN_H6”, luego pulse “Intro”.
3. Seleccione, dentro de la columna I/O Standard, y dentro de la caja correspondiente al pin *clk*, el estándar que utiliza este pin, tal y como se indica en la tabla de pines (3.3 V Schmitt Trigger).

Debería ver la asignación de *clk* como en la Figura 16.

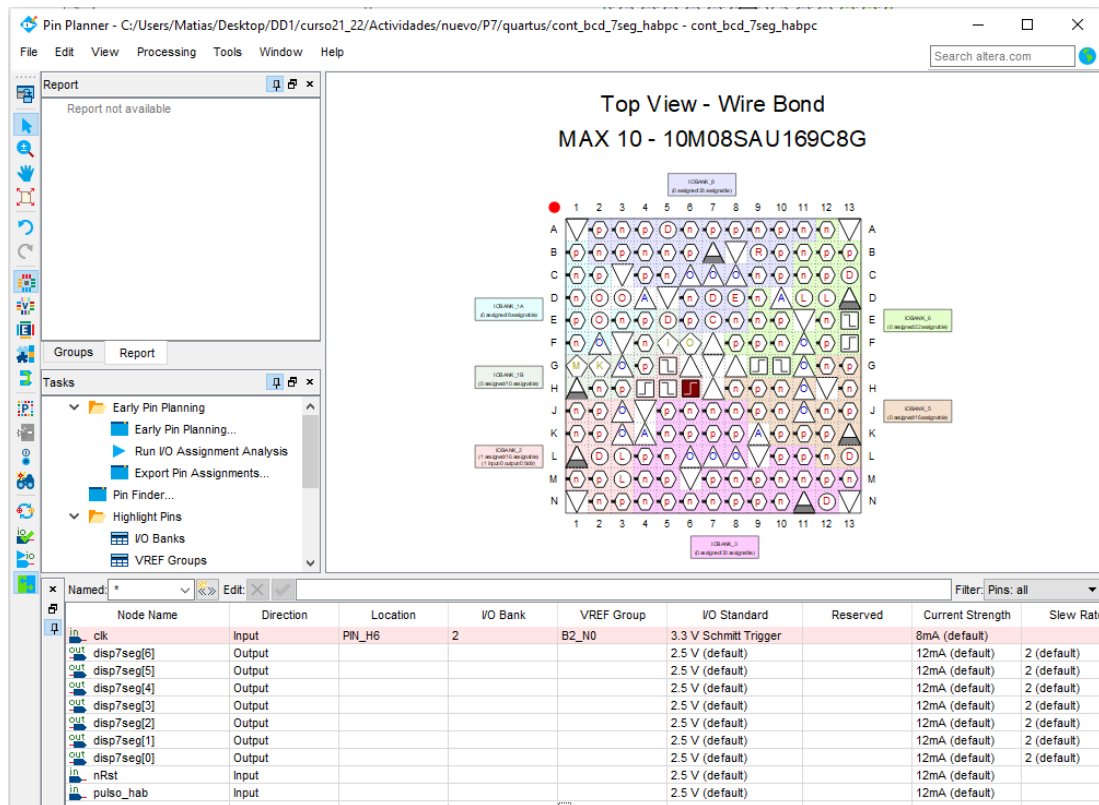


Figura 16: *Pin Planner* tras introducir la primera asignación de pin

- Repita el procedimiento del punto 2 para el resto de señales según utilizando la información de la tabla de pines.

La Figura 17 muestra cuál debe ser el aspecto del *Pin Planner* tras completar la asignación de pines.

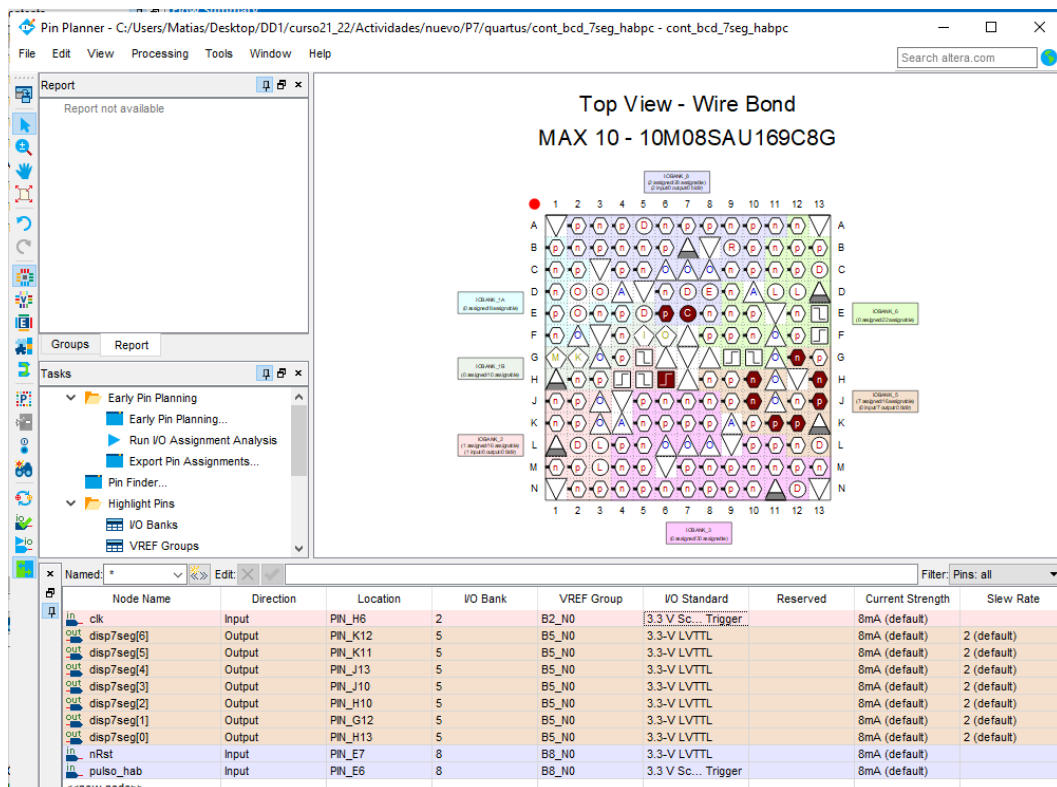


Figura 17: *Pin Planner* tras completar la asignación de pines

5. Cierre la ventana del *Pin Planner*. No se preocupe, todo lo que ha hecho se guardará.
6. A continuación debe **deshabilitar** la opción *Enable nCONFIG, nSTATUS and CONF_DONE pins* que está en la categoría *General* dentro del menú *Device and Pin Options*. A este menú se accede, a su vez, desde la opción *Assignments* del menú principal de *Quartus*, categoría *Settings*. La siguiente figura ilustra el procedimiento:

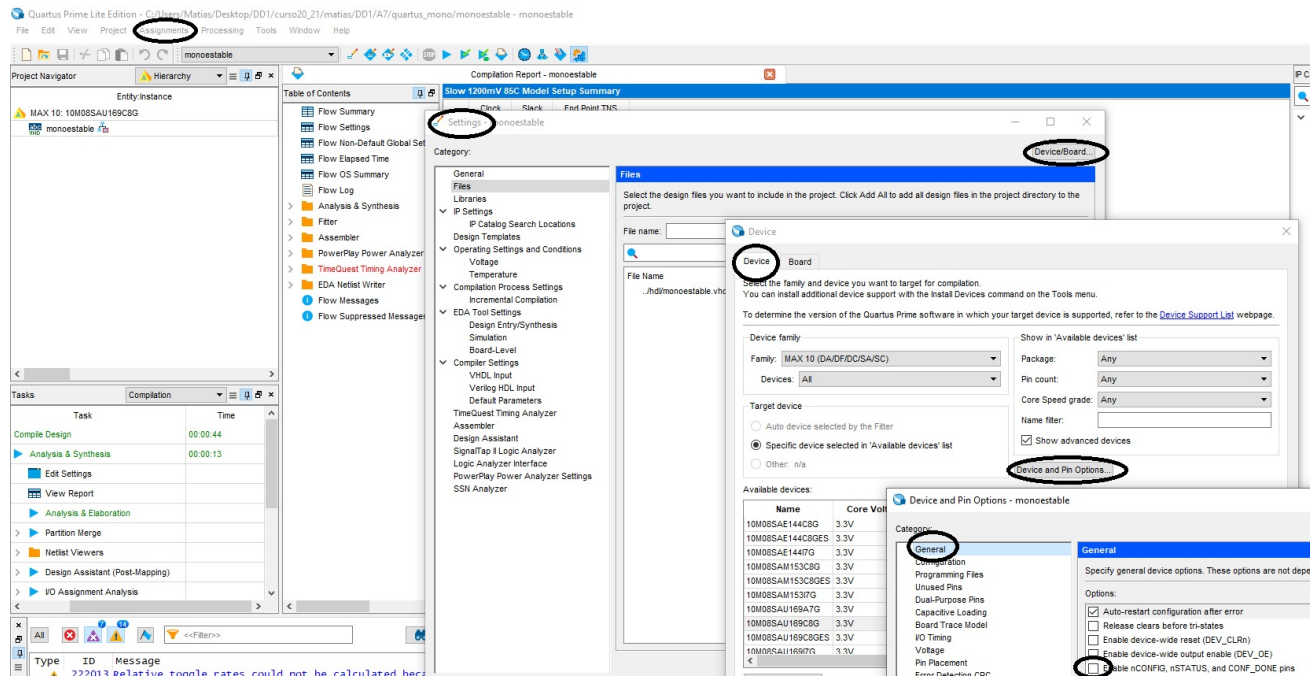


Figura 18: Deshabilitación de *Enable nCONFIG, nSTATUS and CONF_DONE*

Compilación del diseño

Una vez realizada la asignación de pines ya es posible completar los procesos que restan. *Quartus Prime* define un pseudo-proceso llamado compilación que consiste en la ejecución de todos los procesos necesarios para completar el paso desde la especificación del diseño hasta la generación del fichero de configuración, junto con alguno más del que no hablaremos en este momento. Esto evita tener que arrancar manualmente una serie de procesos que en la práctica totalidad de los casos se aplican siempre uno tras otro.

Procedimiento T.5: *Compilación del diseño*

Realice las siguientes operaciones:

1. Seleccione la entrada “Start compilation” del menú “Processing” (9).

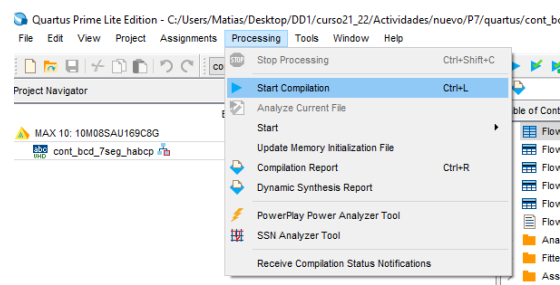


Figura 19: Inicio de la compilación desde el menú de proceso

Igual que ocurrió al arrancar la elaboración, *Quartus Prime* irá mostrando en el área de tareas el avance de cada uno de los procesos implicados en la compilación. Cuando todos finalicen la pantalla mostrará un aspecto como el de la Figura .

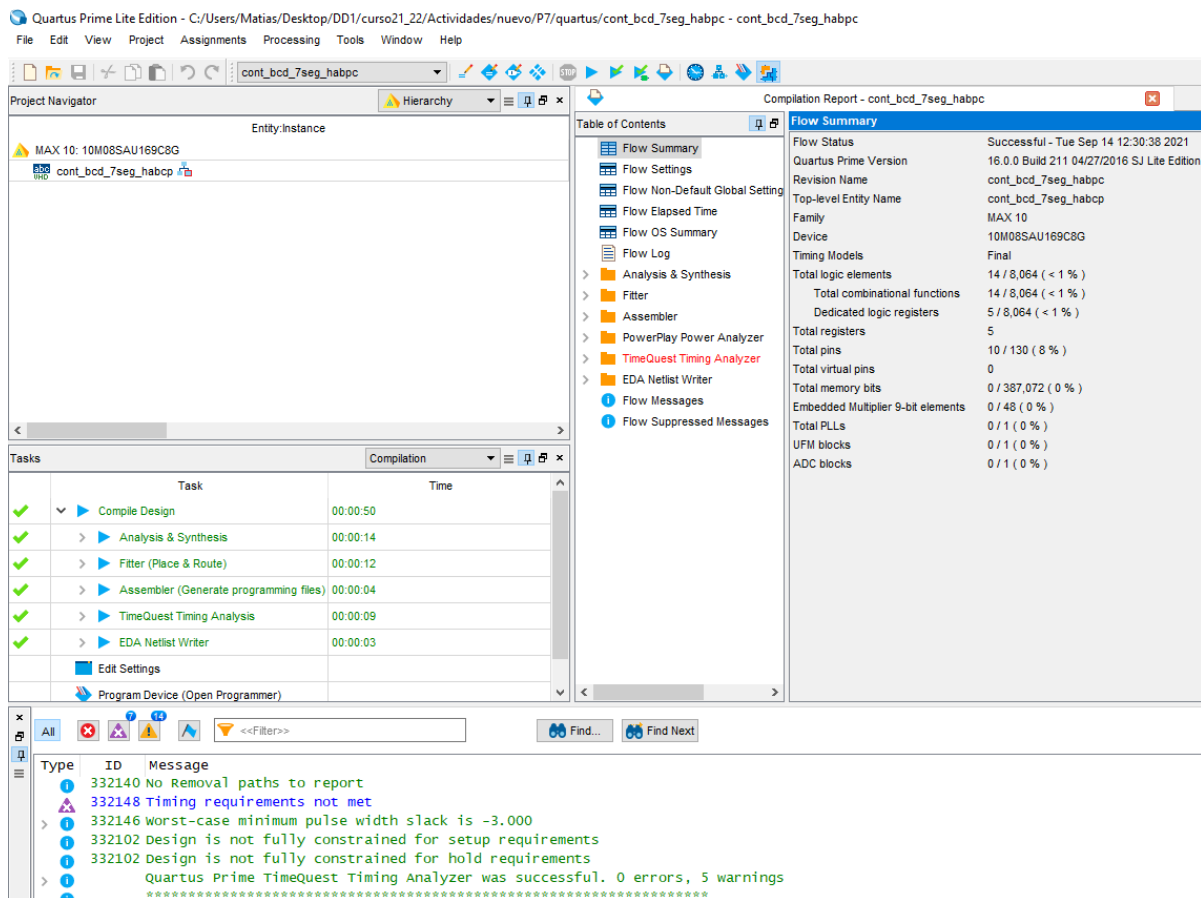


Figura 20: Aspecto de *Quartus Prime* tras finalizar la compilación

La ventana que informa del fin del proceso dice que ha habido 3 avisos (*warnings*). No se preocupe por ellos, en este caso son avisos normales que no suponen ningún problema.

2. Cierre la ventana de fin de proceso pulsando el botón “OK”. Consulte si lo desea el texto de los avisos en el área de notificación.

Fíjese en que en el sumario del informe aparece ahora la información acerca de los recursos de la FPGA utilizados en el diseño.

Programación de la tarjeta SEC-MAX1000

El último paso de este tutorial es probar el circuito en la tarjeta MAX1000, para lo cual hay que configurar el PLD. Para ello utilizaremos una nueva herramienta de *Quartus Prime*, el programador (*Programmer*).

Procedimiento T.6: Programación de la tarjeta MAX1000

Realice las siguientes operaciones:

1. Conecte el cable USB a la tarjeta MAX1000 y al puerto USB del PC.
2. Seleccione la entrada “Programmer” del menú de herramientas (*Tools*), como se muestra en la Figura 21.

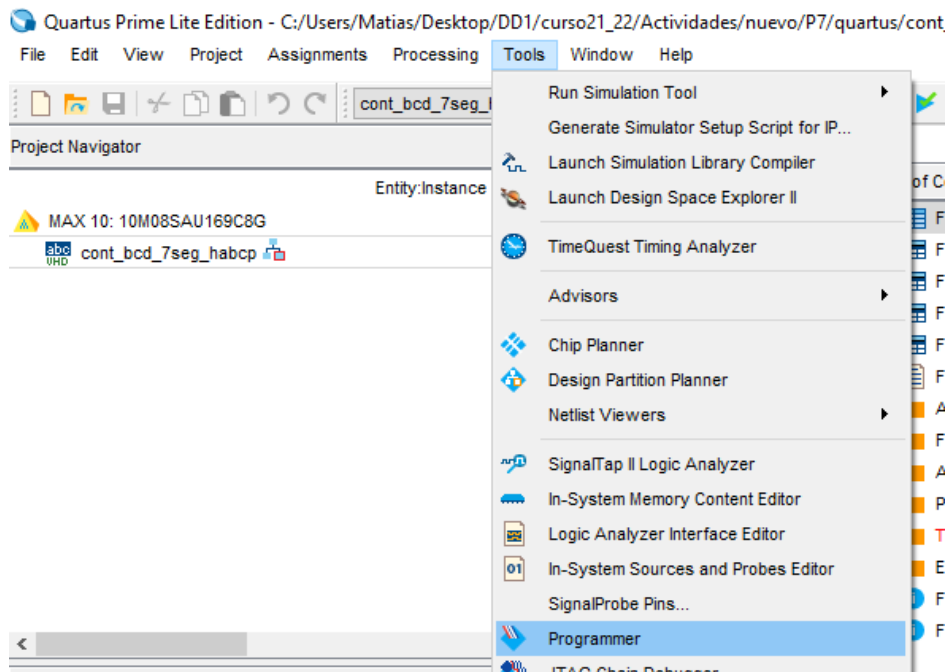


Figura 21: Acceso al programador desde el menú

Se abrirá el programador de *Quartus Prime*, cuya ventana principal se muestra en la Figura 22.

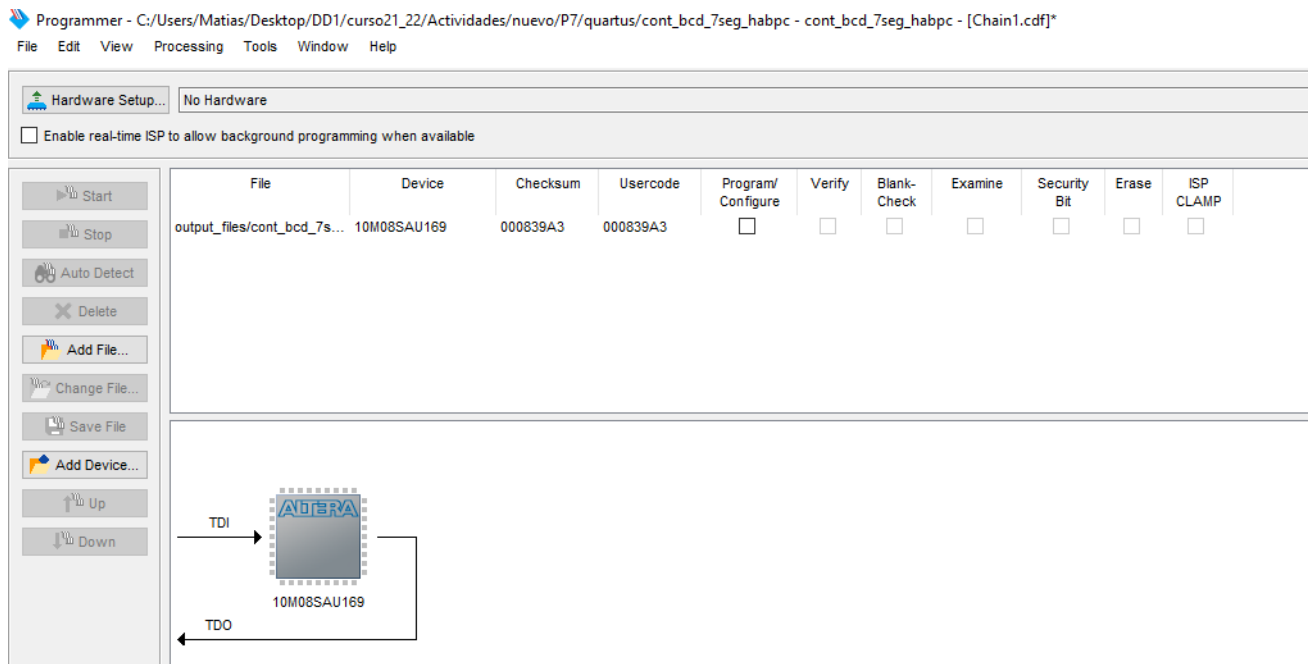


Figura 22: Ventana principal del programador de *Quartus Prime*

El programador de *Quartus Prime* necesita para realizar su función conocer cuál es el *hardware* de programación que debe utilizar (el *USB Blaster*) y cuál es el fichero que contiene la información de

configuración. Como puede ver en la zona central de la ventana del programador, esta última información aparece ya introducida. El fichero de configuración es el que se ha generado en la compilación, con el nombre del proyecto y la extensión *.sof*. Si no fuera así, añádalo ahora utilizando la opción *Add File* que aparece en la parte izquierda de la ventana.

Queda por tanto indicar al programador que debe emplear el *USB Blaster* para realizar la configuración.

3. Pulse el botón “Hardware Setup...”, situado en la esquina superior izquierda de la ventana del programador.

Aparecerá una ventana como la mostrada en la Figura 23.

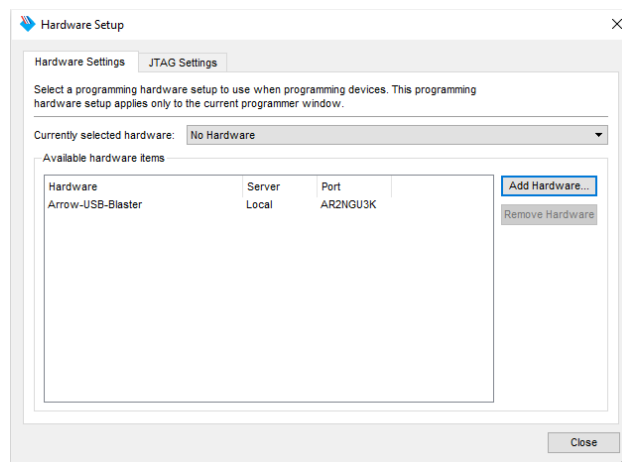


Figura 23: Ventana de configuración del *hardware* de programación

Como puede ver en la zona etiquetada como “Available hardware ítems”, el programador ha detectado que hay conectado un *USB Blaster* al ordenador. Sólo es necesario indicarle que lo utilice.

4. Despliegue la lista de selección etiquetada con “Currently selected hardware” y seleccione el *USB Blaster* haciendo *doble-click* sobre la línea *Arrow-USB-Blaster*. Cierre la ventana de configuración del *hardware* de programación con el botón “Close”.
5. Marque la caja “Program/Configure” en la zona central de la ventana del programador, tal como se muestra en la Figura 24.

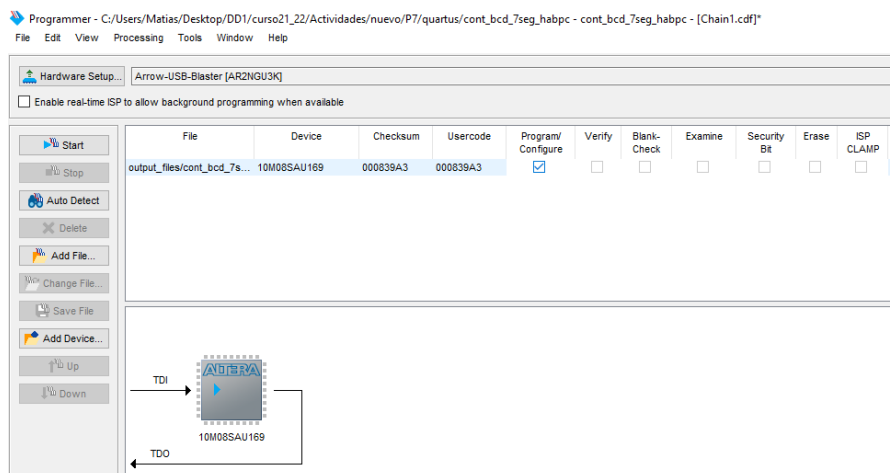


Figura 24: Configuración del programador para configurar el dispositivo

6. Pulse el botón “Start”.

La programación del PLD dura unos instantes, tras lo cual la barra de progreso situada en la esquina superior derecha de la ventana del programador informará de que la operación ha terminado con éxito, tal como se muestra en la Figura 25.

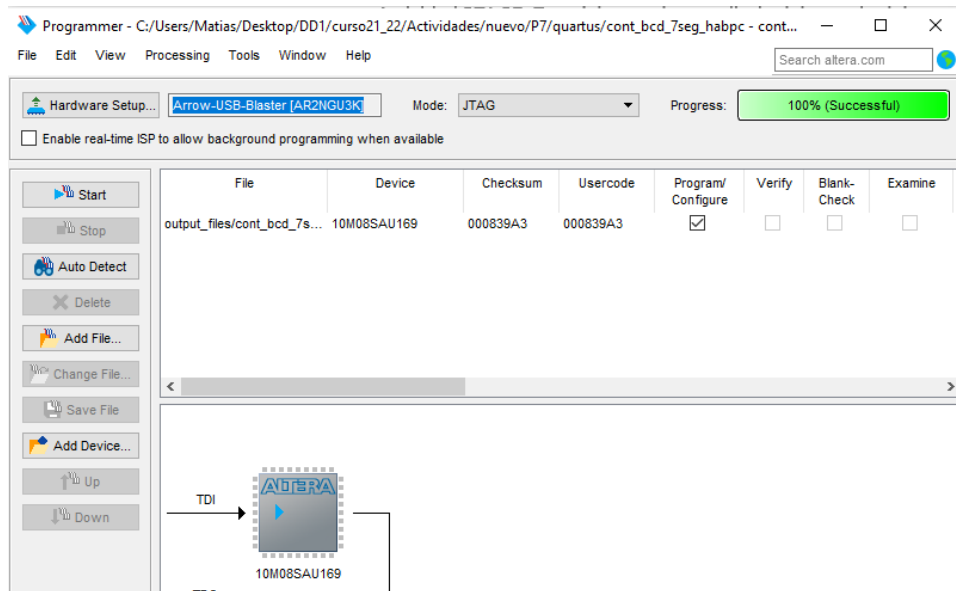


Figura25: Programación finalizada con éxito

7. Compruebe sobre la tarjeta MAX1000 el funcionamiento del diseño.

8. Cierre el programador. Conteste que sí cuando pregunta si desea guardar el fichero.

Para finalizar compruebe que el diseño funciona correctamente en la tarjeta, realizando pulsaciones en el botón de usuario y comprobando que el *display* de 7 segmentos muestra la información correctamente.