

# Anàlisi de la interconnexió de dispositius lògics programables mitjançant Ethernet

Marko Peshevski

TFM, MUESAEI

Q1 2016 – 2017

# Taula de continguts

## Introducció

Objectius

## FPGA

Estructura

Nuclis de propietat  
intel·lectual

## Ethernet

Model de funcionament  
Protocols

## Implementació pràctica

LwIP

Sense LwIP

## Resultats experimentals

Mètode d'estudi

Cablejats diferents

Sumes de verificació

Memòria d'execució

## Conclusions

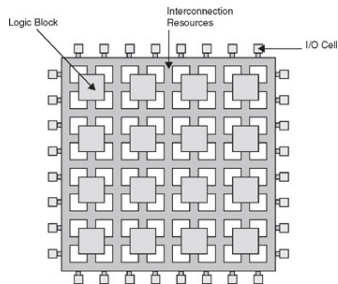
## Més informació

# Objectius

- Conèixer Ethernet en profunditat
- Conèixer en profunditat alguns protocols de xarxes
- Desenvolupar un sistema incrustat amb Ethernet sobre una FPGA
- Intentar desenvolupar una pila de protocol bàsica

# Estructura

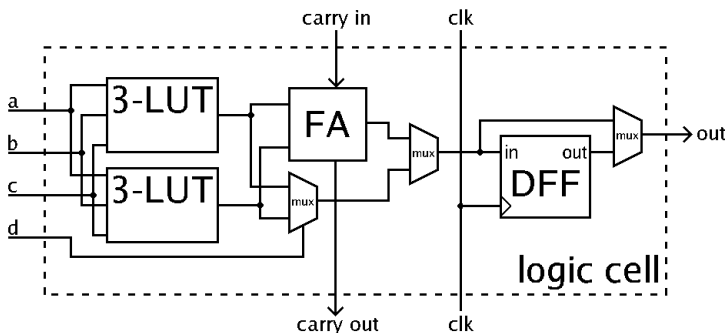
- Matriu de blocs lògics, interconnectats
- Recursos d'interconnexió
- Blocs d'entrada/sortida



# Estructura

## Blocs lògics

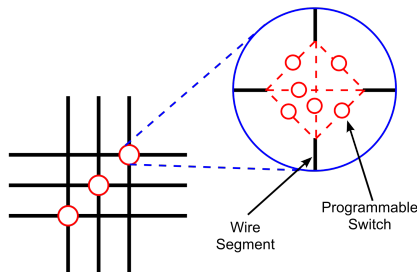
- Taules d'entrada (Look Up Table)
- Lògica operativa per càlculs
- Multiplexors
- Biestables síncrons



# Estructura

## Recursos d'interconnexió

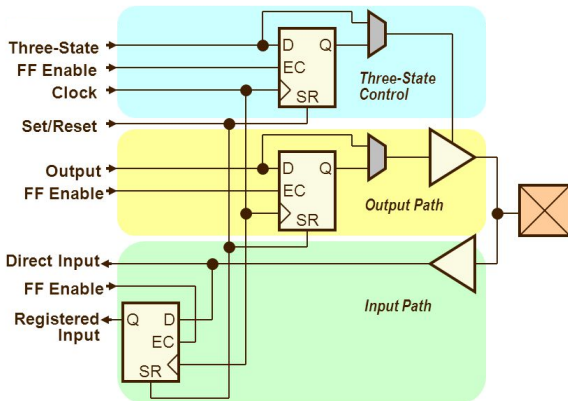
- Permeten encaminar les connexions entre blocs lògics i blocs d'entrada/sortida
- Es tria l'estat dels interruptors al programar la FPGA



# Estructura

## Blocs d'entrada/sortida

- Biestables síncrons
- Control tri-estat: entrada, sortida o alta impedància
- Connexió amb el món exterior



# Nuclis de propietat intel·lectual

- Implementacions en llenguatge de descripció de hardware (principalment VHDL o Verilog)
- Generalment anomenats soft-cores
- Existeixen els hard-cores, incrustats sobre el silici de la FPGA
- Exemples variats: perifèric SPI, microcontrolador sencer (MicroBlaze de Xilinx), convertidor digital-analògic, ...



# Nuclis de propietat intel·lectual

## Disseny de hardware

- Cada fabricant ofereix les seves eines per generar hardware
- En el cas de Xilinx, la eina és el Xilinx Platform Studio



- Un cop creat el hardware, si hi ha un microcontrolador o microprocessador s'ha de programar

# Nuclis de propietat intel·lectual

## Programació de software

- En el cas de Xilinx, és el Xilinx Software Development Kit
- És un entorn de desenvolupament complet, inclou eines per programar i depurar, llibreries, ...
- Encara que admet llenguatge d'assemblador, la majoria es fa en C/C++

The screenshot shows the Xilinx IDE interface. On the left is a Project Explorer showing a project named 'xilinx\_16180'. The main window displays a C++ source file named 'xilinx\_16180.cpp'. The code defines a 'typedef struct' for 'xilinx\_16180' and includes various headers like 'xilinx\_16180.h' and 'xilinx\_16180.h'. The code is written in C++ and includes comments in Catalan. The bottom window is a terminal showing the output of the 'xilinx\_16180' command, indicating that the program was built successfully.

```

// xilinx_16180.cpp
//
// This file is part of the Xilinx_16180 project.
//
// Copyright (c) 2015, Xilinx, Inc. All rights reserved.
//
// Command Line: xilinx_16180 -w .../xilinx_16180/xilinx_16180.cpp -o xilinx_16180.o
//
// ELF File : app.elf
//
// xilinx_16180 passed.
//
// xilinx_16180 building: xilinx_16180.o
//
//
// 2015/12/17 Build xilinx_16180 (took 14.624ms)
  
```





# Ethernet

## Cablejat i velocitats

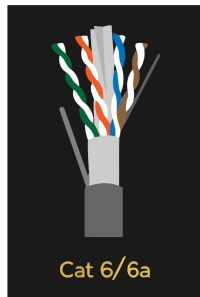
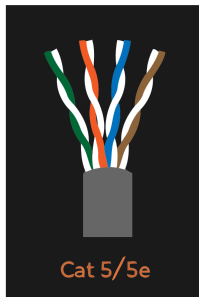
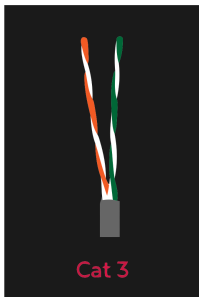


# Ethernet

## Cablejat

- Parells diferencials trenats. Generalment al menys un de recepció ( $RX_{\pm}$ ) i un de transmissió ( $TX_{\pm}$ )
- Depenent de la velocitat de transmissió requerida, es necessita cablejat diferent

## Category Cable Wiring





## Ethernet

- Aquest és un protocol senzill, on s'han d'enviar poques dades a més de les que es volen transportar (26 bytes + dades)
- El preàmbul no és informació útil com a tal, serveix per sincronitzar

## Trama Ethernet

Preàmbul 8 bytes	MAC destí 6 bytes	MAC origen 6 bytes	Tipus de dades 2 bytes	Dades 46-1500 bytes	Seqüència de control de trama (FCS) 4 bytes
---------------------	----------------------	-----------------------	------------------------------	---------------------------	--

## Protocols

## IPv4

- Internet Protocol version 4
- Protocol bàsic per dirigir-se als equips d'una xarxa, sigui local o global
- Imprescindible a la xarxa de xarxes
- Relativament complicat perquè ha de contemplar gran varietat de casos (fragmentació, diferents subprotocols, ...)



# Protocols

## IPv4

Versió 4 bits	Llargària de la capçalera 4 bits	Serveis Diferenciats 6 bits	N C E 2 bits	Llargària total del paquet 16 bits	
Identificació 16 bits				Flags 3 bits	Número de fragment 13 bits
Temps de vida 8 bits		Protocol 8 bits		Suma de verificació de la capçalera 16 bits	
Adreça IP d'origen 32 bits					
Adreça IP de destí 32 bits					
Dades					

# Protocols

## ARP

- Address Resolution Protocol
- Protocol bàsic per identificar els equips dins d'una xarxa local
- Complement ideal entre IPv4 i Ethernet per xarxes locals

# Protocols

## ARP

Tipus de medi 16 bits	
Identificació 16 bits	
Llargària adreça física 8 bits	Llargària adreça lògica 8 bits
Operació que es realitza 16 bits	
Adreça física d'origen 48 bits (6 bytes)	
Adreça lògica d'origen 32 bits (4 bytes)	
Adreça física de destí 48 bits (6 bytes)	
Adreça lògica de destí 32 bits (4 bytes)	

# Protocols

## ICMP

- Internet Control Message Protocol
- Protocol que serveix per regular el tràfic, generalment, a la xarxa de xarxes
- Serveix per notificar de pèrdua de paquets, comprovar l'estat de la xarxa
- Es pot utilitzar en xarxes locals per provar la capacitat de la xarxa

# Protocols

## ICMP

Tipus 8 bits	Codi 8 bits	Suma de verificació del paquet 16 bits
Identificador 16 bits		Número de seqüència 16 bits
Dades		

# Més informació

Més informació i codi font a:

<https://github.com/markopesevski/TFM>

# Gràcies per la vostra atenció

Dubtes? Comentarís? Preguntes?