

## 13 Контроллер прямого доступа к памяти (DMA)

**Устройства с низкой плотностью** это микроконтроллеры STM32F101xx, STM32F102xx и STM32F103xx с плотностью флэш-памяти от 16 до 32 Кбайт.

**Устройства средней плотности** это микроконтроллеры STM32F101xx, STM32F102xx и STM32F103xx с плотностью флэш-памяти от 64 до 128 Кбайт.

**Устройства высокой плотности** это микроконтроллеры STM32F101xx и STM32F103xx с плотностью флэш-памяти от 256 до 512 Кбайт.

**Устройства XL-плотности** это микроконтроллеры STM32F101xx и STM32F103xx, в которых плотность флэш-памяти колеблется от 768 Кбайт до 1 Мбайт.

**Устройства линии связи** это микроконтроллеры STM32F105xx и STM32F107xx.

Этот раздел применяется ко всему семейству STM32F10xxx, если не указано иное.

### 13.1

#### Введение прямого доступа к памяти

Прямой доступ к памяти (DMA) используется для обеспечения высокоскоростной передачи данных между периферийными устройствами и памятью, а также между памятью и памятью. Данные могут быть быстро перемещены с помощью прямого доступа к памяти без каких-либо действий процессора. Это освобождает ресурсы процессора для других операций.

Два контроллера DMA имеют в общей сложности 12 каналов (7 для DMA1 и 5 для DMA2), каждый из которых предназначен для управления запросами на доступ к памяти от одного или нескольких периферийных устройств. У него есть арбитр для обработки приоритета между запросами DMA.

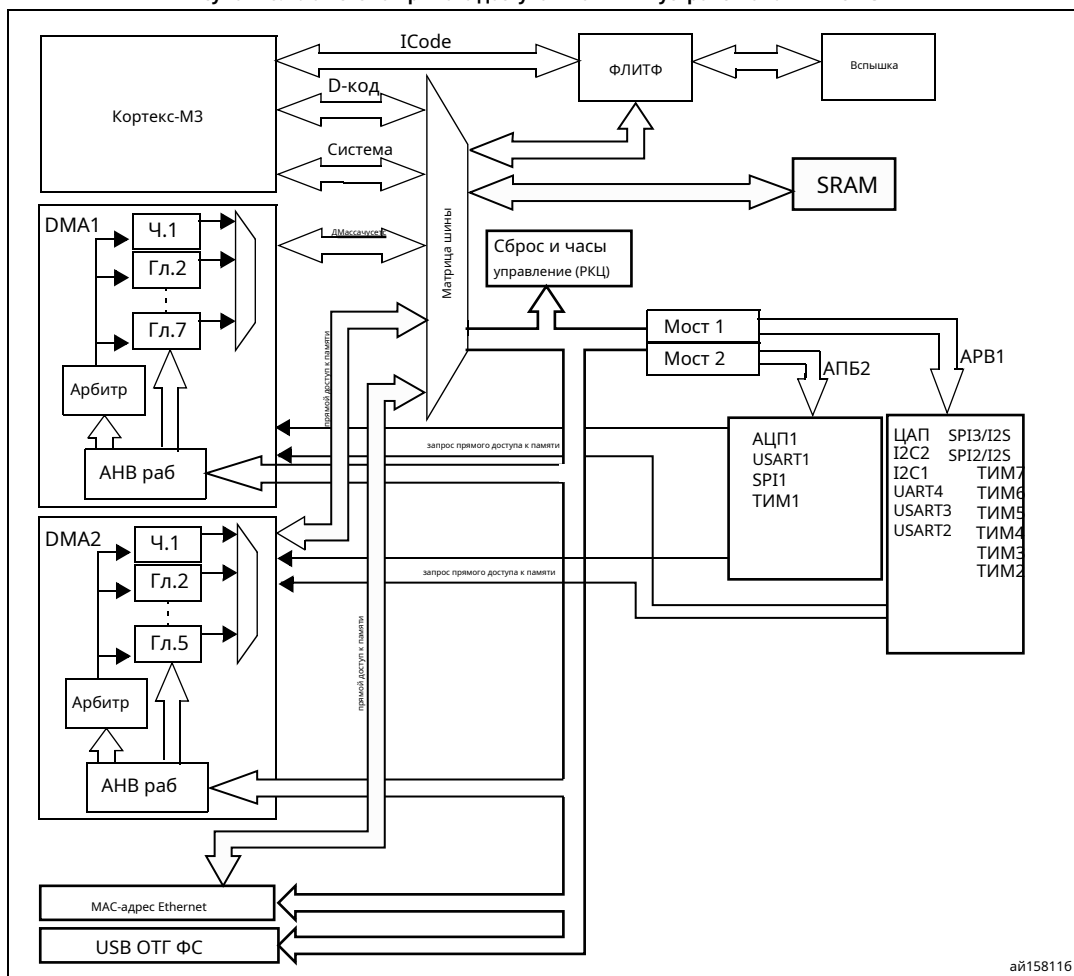
### 13.2

#### Основные характеристики прямого доступа к памяти

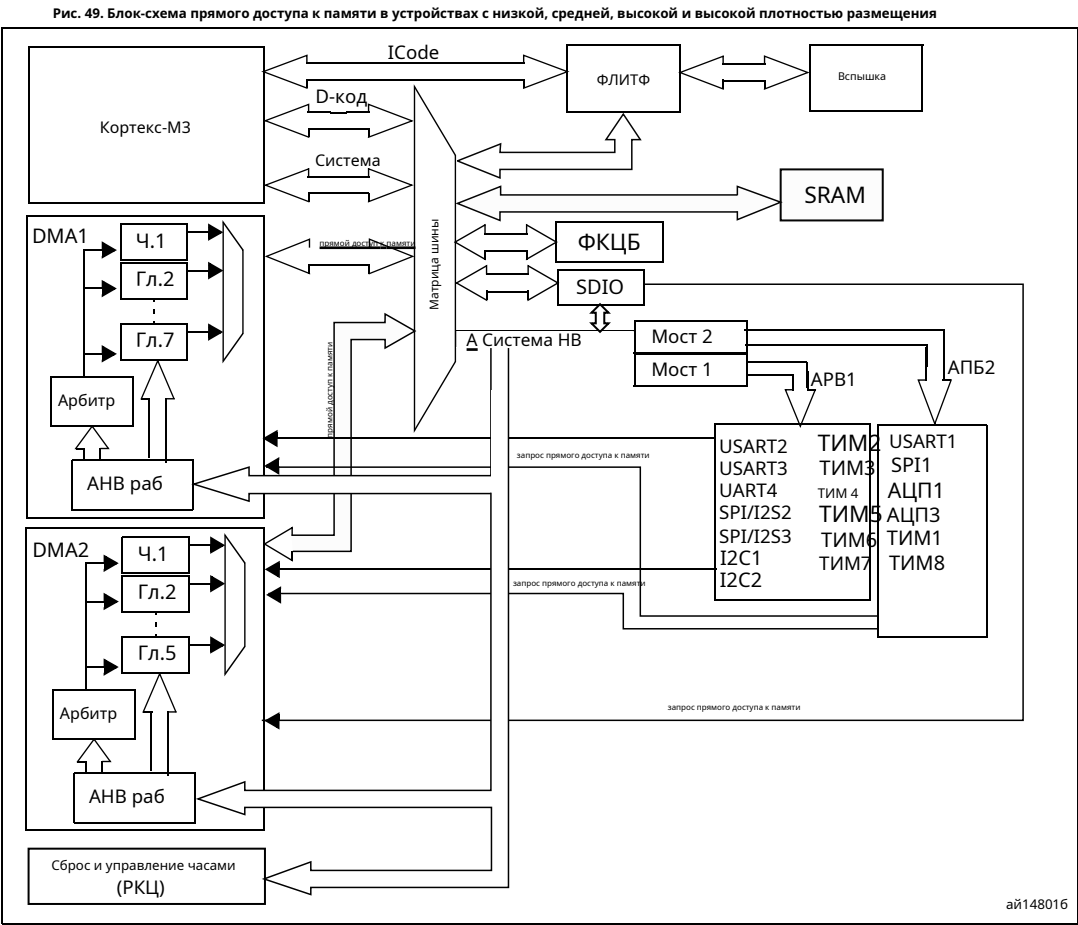
- 12 независимо настраиваемых каналов (запросов): 7 для DMA1 и 5 для DMA2
- Каждый из 12 каналов подключен к выделенным аппаратным запросам DMA, на каждом канале также поддерживается программный триггер. Эта конфигурация выполняется программным обеспечением.
- Приоритеты между запросами из каналов одного DMA программно программируются (4 уровня, состоящие из *очень высоко*, *высокая*, *средний*, *низкий*) или аппаратно в случае равенства (запрос 1 имеет приоритет над запросом 2 и т.д.)
- Независимый размер исходной и конечной передачи (байт, полуслово, слово), эмуляция упаковки и распаковки. Адреса источника/получателя должны быть выровнены по размеру данных.
- Поддержка циклического управления буфером
- 3 флага событий (половина передачи DMA, завершение передачи DMA и ошибка передачи DMA), объединенные логическим ИЛИ в одном запросе на прерывание для каждого канала
- Передача из памяти в память
- Передача данных с периферийных устройств на память и из памяти на периферийные устройства, а также с периферийных устройств на периферийные устройства
- Доступ к периферийным устройствам Flash, SRAM, APB1, APB2 и AHB в качестве источника и
- получателя Программируемое количество данных для передачи: до 65536

Блок-схема показана на [Рисунок 48](#).

Рисунок 48. Блок-схема прямого доступа к памяти в устройствах линии связи



ай158116



- 1. Контроллер DMA2 доступен только в устройствах высокой плотности и плотности XL.
- 1. Запросы DMA ADC3, SPI/I2S3, UART4, SDIO, TIM5, TIM6, DAC, TIM7, TIM8 доступны только в устройствах высокой плотности.

13.3

Функциональное описание прямого доступа к памяти

Контроллер DMA выполняет прямую передачу памяти, используя системную шину совместно с Cortex.-сердечник М3. Запрос DMA может остановить доступ ЦП к системной шине на несколько циклов шины, когда ЦП и DMA нацелены на одно и то же место назначения (память или периферийное устройство). Матрица шины реализует планирование циклического перебора, тем самым обеспечивая по крайней мере половину пропускной способности системной шины (как для памяти, так и для периферийных устройств) для ЦП.

13.3.1 DMA-транзакции

После события периферийное устройство отправляет сигнал запроса контроллеру прямого доступа к памяти. Контроллер прямого доступа к памяти обслуживает запрос в зависимости от приоритетов канала. Как только контроллер DMA получает доступ к периферийному устройству, контроллер DMA отправляет на периферийное устройство подтверждение. Периферийное устройство освобождает свой запрос, как только получает подтверждение от контроллера прямого доступа к памяти. Как только периферийное устройство отменяет подтверждение запроса, контроллер прямого доступа к памяти выдает подтверждение. Если запросов больше, периферийное устройство может инициировать следующую транзакцию.



Таким образом, каждая передача DMA состоит из трех операций:

- Загрузка данных из регистра периферийных данных или ячейки памяти, адресуемой через внутренний текущий регистр адреса периферии/памяти. Начальный адрес, используемый для первой передачи, является базовым адресом периферийного устройства/памяти, запрограммированным в регистре DMA\_CPARx или DMA\_CMARx.
- Хранение данных, загруженных в регистр периферийных данных или ячейку в памяти, адресованную через внутренний текущий регистр адреса периферии/памяти. Начальный адрес, используемый для первой передачи, является базовым адресом периферийного устройства/памяти, запрограммированным в регистре DMA\_CPARx или DMA\_CMARx.
- Пост-декремент регистра DMA\_CNDTRx, который содержит количество транзакций, которые еще предстоит выполнить.

### 13.3.2 Арбитр

Арбитр управляет запросами каналов на основе их приоритета и запускает последовательности доступа к периферийным устройствам/памяти.

Управление приоритетами осуществляется в два этапа:

- Программно: приоритет каждого канала можно настроить в регистре DMA\_CCRx. Есть четыре уровня:
  - Очень высокий приоритет
  - Высокий приоритет
  - Средний приоритет
  - Низкий приоритет
- Аппаратное обеспечение: если 2 запроса имеют одинаковый программный уровень приоритета, канал с наименьшим номером получит приоритет по сравнению с каналом с наибольшим номером. Например, канал 2 имеет приоритет над каналом 4.

*Примечание:*

*В устройствах высокой плотности, XL-плотности и линейных устройствах подключения контроллер DMA1 имеет приоритет над контроллером DMA2.*

#### 13.3.3 Каналы прямого доступа к памяти

Каждый канал может обрабатывать передачу DMA между периферийным регистром, расположенным по фиксированному адресу, и адресом памяти. Количество передаваемых данных (до 65535) программируется. Регистр, который содержит количество элементов данных, подлежащих передаче, уменьшается после каждой транзакции.

##### Программируемые размеры данных

Размеры передаваемых данных периферийного устройства и памяти полностью программируются с помощью битов PSIZE и MSIZE в регистре DMA\_CCRx.

##### Увеличение указателя

Указатели периферийных устройств и памяти могут дополнительно автоматически увеличиваться после каждой транзакции в зависимости от битов PINC и MINC в регистре DMA\_CCRx. Если включен инкрементный режим, адрес следующей передачи будет адресом предыдущей, увеличенным на 1, 2 или 4 в зависимости от выбранного размера данных. Первый адрес передачи запрограммирован в регистрах DMA\_CPARx/DMA\_CMARx. Во время операций передачи эти регистры сохраняют первоначально запрограммированное значение. Электрический ток

адреса передачи (в текущем внутреннем регистре адреса периферийного устройства/памяти) недоступны программному обеспечению.

Если канал сконфигурирован в нециклическом режиме, запрос DMA не обслуживается после последней передачи (то есть после того, как количество элементов данных, подлежащих передаче, достигло нуля). Чтобы перезагрузить новое количество элементов данных, которые должны быть переданы в регистр DMA\_CNDTRx, канал DMA должен быть отключен.

*Примечание:*

*Если канал DMA отключен, регистры DMA не сбрасываются. Регистры канала DMA (DMA\_CCRx, DMA\_CPARx и DMA\_CMARx) сохраняют начальные значения, запрограммированные на этапе настройки канала.*

В циклическом режиме после последней передачи регистр DMA\_CNDTRx автоматически перезагружается изначально запрограммированным значением. Текущие внутренние регистры адреса перезагружаются значениями базового адреса из регистров DMA\_CPARx/DMA\_CMARx.

## Процедура настройки канала

Следующая последовательность должна соблюдаться для настройки канала DMAx (где x — номер канала).

1. Установите адрес периферийного регистра в регистре DMA\_CPARx. Данные будут перемещены с/на этот адрес в/из памяти после периферийного события.
2. Установить адрес памяти в регистре DMA\_CMARx. Данные будут записываться в эту память или считываться из нее после периферийного события.
3. Настройте общее количество данных для передачи в регистре DMA\_CNDTRx. После каждого периферийного события это значение будет уменьшаться.
4. Настройте приоритет канала, используя биты PL[1:0] в регистре DMA\_CCRx.
5. Настройте направление передачи данных, круговой режим, режим увеличения периферийных устройств и памяти, размер данных периферийных устройств и памяти и прерывание после половинной и/или полной передачи в регистре DMA\_CCRx.
6. Активируйте канал, установив бит ENABLE в регистре DMA\_CCRx.

Как только канал включен, он может обслуживать любой запрос DMA от периферийного устройства, подключенного к каналу.

После передачи половины байтов устанавливается флаг половинной передачи (HTIF) и генерируется прерывание, если установлен бит разрешения прерывания половинной передачи (HTIE). В конце передачи устанавливается флаг завершения передачи (TCIF), и генерируется прерывание, если установлен бит разрешения прерывания при завершении передачи (TCIE).

## Круговой режим

Циклический режим доступен для работы с циклическими буферами и непрерывными потоками данных (например, режим сканирования АЦП). Эту функцию можно включить с помощью бита CIRC в регистре DMA\_CCRx. Когда циклический режим активирован, количество данных, которые должны быть переданы, автоматически перезагружается с начальным значением, запрограммированным на этапе настройки канала, и запросы DMA продолжают обслуживаться.

## Режим памяти в память

Каналы DMA также могут работать без запроса от периферийного устройства. Этот режим называется режимом Memory to Memory.

Если бит MEM2MEM в регистре DMA\_CCRx установлен, то канал инициирует передачу, как только он будет разрешен программным обеспечением путем установки бита разрешения (EN) в регистре DMA\_CCRx.

регистр. Передача останавливается, как только регистр DMA\_CNDTRx достигает нуля. Режим Memory to Memory нельзя использовать одновременно с круговым режимом.

### 13.3.4 Программируемая ширина данных, выравнивание данных и порядок байтов

Когда PSIZE и MSIZE не равны, DMA выполняет некоторое выравнивание данных, как описано в [Таблица 76](#).

**Таблица 76. Программируемая длина данных и порядок следования байтов (когда биты PINC = MINC = 1)**

Источник порт ширина	судьба- нация порт ширина	Число данных предметы для передача (НК)	Исходный контент: адрес / данные	Трансферные операции	Назначения содержание: адрес / данные
8	8	4	@0x0/B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1: ЧТЕНИЕ B0[7:0] @0x0, затем ЗАПИСЬ B0[7:0] @0x0 2: ЧТЕНИЕ B1[7:0] @0x1, затем ЗАПИСЬ B1[7:0] @0x1 3: ЧТЕНИЕ B2[7:0] @0x2, затем ЗАПИСАТЬ B2[7:0] @0x2 4: ПРОЧИТАТЬ B3[7:0] @0x3, затем ЗАПИСАТЬ B3[7:0] @0x3	@0x0/B0 @0x1 / B1 @0x2 / B2 @0x3 / B3
8	16	4	@0x0/B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1: ЧТЕНИЕ B0[7:0] @0x0, затем ЗАПИСЬ 00B0[15:0] @0x0 2: ЧТЕНИЕ B1[7:0] @0x1, затем ЗАПИСЬ 00B1[15:0] @0x2 3: ЧТЕНИЕ B3[7:0] @0x2, затем ЗАПИСАТЬ 00B2[15:0] @0x4 4: ПРОЧИТАТЬ B4[7:0] @0x3, затем ЗАПИСАТЬ 00B3[15:0] @0x6	@0x0/00B0 @0x2/00B1 @0x4/00B2 @0x6/00B3
8	32	4	@0x0/B0 @0x1 / B1 @0x2 / B2 @0x3 / B3	1: ЧТЕНИЕ B0[7:0] @0x0, затем ЗАПИСЬ 000000B0[31:0] @0x0 2: ЧТЕНИЕ B1[7:0] @0x1, затем ЗАПИСЬ 000000B1[31:0] @0x4 3: ЧТЕНИЕ B3[7:0] @0x2, затем ЗАПИСАТЬ 000000B2[31:0] @0x8 4: ПРОЧИТАТЬ B4[7:0] @0x3, затем ЗАПИСАТЬ 000000B3[31:0] @0xC	@0x0/000000B0 @0x4/000000B1 @0x8/000000B2 @0xC/000000B3
16	8	4	@0x0/B1B0 @0x2 / B3B2 @0x4/B5B4 @0x6 / B7B6	1: ПРОЧИТАТЬ B1B0[15:0] @0x0, затем ЗАПИСАТЬ B0[7:0] @0x0 2: ПРОЧИТАТЬ B3B2[15:0] @0x2, затем ЗАПИСАТЬ B2[7:0] @0x1 3: ПРОЧИТАТЬ B5B4[15:0] @0x4, затем ЗАПИСАТЬ B4[7:0] @0x2 4: ПРОЧИТАТЬ B7B6[15:0] @0x6, затем ЗАПИСАТЬ B6[7:0] @0x3	@0x0/B0 @0x1 / B2 @0x2 / B4 @0x3/B6
16	16	4	@0x0/B1B0 @0x2 / B3B2 @0x4/B5B4 @0x6 / B7B6	1: ПРОЧИТАТЬ B1B0[15:0] @0x0, затем ЗАПИСАТЬ B1B0[15:0] @0x0 2: ПРОЧИТАТЬ B3B2[15:0] @0x2, затем ЗАПИСАТЬ B3B2[15:0] @0x2 3: ПРОЧИТАТЬ B5B4[15:0] @0x4, затем ЗАПИСАТЬ B5B4[15:0] @0x4 4: ПРОЧИТАТЬ B7B6[15:0] @0x6, затем ЗАПИСАТЬ B7B6[15:0] @0x6	@0x0/B1B0 @0x2 / B3B2 @0x4/B5B4 @0x6 / B7B6
16	32	4	@0x0/B1B0 @0x2 / B3B2 @0x4/B5B4 @0x6 / B7B6	1: ЧТЕНИЕ B1B0[15:0] @0x0, затем ЗАПИСЬ 0000B1B0[31:0] @0x0 2: ЧТЕНИЕ B3B2[15:0] @0x2, затем ЗАПИСЬ 0000B3B2[31:0] @0x4 3: ЧТЕНИЕ B5B4[15:0] @0x4, затем ЗАПИСАТЬ 0000B5B4[31:0] @0x8 4: ПРОЧИТАТЬ B7B6[15:0] @0x6, затем ЗАПИСАТЬ 0000B7B6[31:0] @0xC	@0x0/0000B1B0 @0x4/0000B3B2 @0x8/0000B5B4 @0xC / 0000B7B6
32	8	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC/BFEBDBBC	1: ПРОЧИТАТЬ B3B2B1B0[31:0] @0x0, затем ЗАПИСАТЬ B0[7:0] @0x0 2: ПРОЧИТАТЬ B7B6B5B4[31:0] @0x4, затем ЗАПИСАТЬ B4[7:0] @0x1 3: ПРОЧИТАТЬ BBBAB9B8[31:0] @0x8, затем ЗАПИСАТЬ B8[7:0] @0x2 4: ПРОЧИТАТЬ BFEBDBBC[31:0] @0xC, затем ЗАПИСАТЬ BC[7:0] @0x3	@0x0/B0 @0x1 / B4 @0x2 / B8 @0x3 / до н.э.
32	16	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC/BFEBDBBC	1: ПРОЧИТАТЬ B3B2B1B0[31:0] @0x0, затем ЗАПИСАТЬ B1B0[7:0] @0x0 2: ПРОЧИТАТЬ B7B6B5B4[31:0] @0x4, затем ЗАПИСАТЬ B5B4[7:0] @0x1 3: ПРОЧИТАТЬ BBBAB9B8[31:0] @0x8, затем ЗАПИСАТЬ B9B8[7:0] @0x2 4: ПРОЧИТАТЬ BFEBDBBC[31:0] @0xC, затем ЗАПИСАТЬ BDBC[7:0] @0x3	@0x0/B1B0 @0x2/B5B4 @0x4/B9B8 @0x6 / Би-Би-си
32	32	4	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC/BFEBDBBC	1: ПРОЧИТАТЬ B3B2B1B0[31:0] @0x0, затем ЗАПИСАТЬ B3B2B1B0[31:0] @0x0 2: ПРОЧИТАТЬ B7B6B5B4[31:0] @0x4, затем ЗАПИСАТЬ B7B6B5B4[31:0] @0x4 3: ПРОЧИТАТЬ BBBAB9B8[31:0] @0x8, затем ЗАПИСАТЬ BBBAB9B8[31:0] @0x8 4: ПРОЧИТАТЬ BFEBDBBC[31:0] @0xC, затем ЗАПИСАТЬ BFEBDBBC[31:0] @0xC	@0x0 / B3B2B1B0 @0x4 / B7B6B5B4 @0x8 / BBBAB9B8 @0xC/BFEBDBBC

#### Адресация периферийного устройства АНВ, которое не поддерживает операции записи байтов или полуслов

Когда DMA инициирует операцию записи байта или полуслова АНВ, данные дублируются на неиспользуемых дорожках шины HWDATA[31:0]. Таким образом, когда используемое подчиненное периферийное устройство АНВ не поддерживает операции записи байтов или полуслов (когда HSIZE не используется периферийным устройством)

а также генерирует никаких ошибок, DMA записывает 32 бита HWDATA, как показано в двух примерах ниже:

- Чтобы записать полуслово «0xABCD», DMA устанавливает шину HWDATA в «0xABCDABCD» с HSIZE = HalfWord.
- Чтобы записать байт «0xAB», DMA устанавливает шину HWDATA в «0xABABABAB» с HSIZE = Byte.

Предполагая, что мост АНВ/АРВ является 32-битным подчиненным периферийным устройством АНВ, которое не принимает во внимание данные HSIZE, он преобразует любую операцию байта или полуслова АНВ в 32-битную операцию АРВ следующим образом:

- операция записи байта АНВ данных «0xB0» в 0x0 (или в 0x1, 0x2 или 0x3) будет преобразована в операцию записи слова АРВ данных «0xB0B0B0B0» в 0x0
- операция записи полуслова АНВ данных «0xB1B0» в 0x0 (или 0x2) будет преобразована в операцию записи слова АРВ данных «0xB1B0B1B0» в 0x0

Например, для записи резервных регистров АРВ (16-битные регистры, выровненные по 32-битной границе адреса), размер источника памяти (MSIZE) должен быть настроен на «16-бит», а размер периферийного назначения (PSIZE) — на «32-бит».

### 13.3.5 Управление ошибками

Ошибка передачи DMA может быть вызвана чтением или записью в зарезервированное адресное пространство. Когда ошибка передачи DMA возникает во время чтения или записи DMA, неисправный канал автоматически отключается посредством аппаратной очистки его бита EN в соответствующем регистре конфигурации канала (DMA\_CCRx). Устанавливается флаг прерывания канала при ошибке передачи (TEIF) в регистре DMA\_IFR, и прерывание генерируется, если установлен бит разрешения прерывания при ошибке передачи (TEIE) в регистре DMA\_CCRx.

### 13.3.6 Прерывания

Прерывание может быть произведено при половинной передаче, завершении передачи или ошибке передачи для каждого канала прямого доступа к памяти. Отдельные биты разрешения прерывания доступны для гибкости.

Таблица 77. Запросы прерывания DMA

Прервать событие	Флаг события	Включить контрольный бит
Полуперевод	HTIF	HTIE
Передача завершена	TKIF	TKIE
Ошибка переноса	TEIF	TEIE

Примечание:

В устройствах высокой плотности и XL-плотности прерывания DMA2 Channel4 и DMA2 Channel5 отображаются на один и тот же вектор прерывания. В устройствах линии связи прерывания DMA2 Channel4 и DMA2 Channel5 имеют отдельные векторы прерываний. Все остальные прерывания канала DMA1 и DMA2 имеют собственный вектор прерывания.

### 13.3.7 Отображение запроса DMA

#### контроллер DMA1

7 запросов от периферийных устройств (TIMx[1,2,3,4], ADC1, SPI1, SPI/I2S2, I2Cx[1,2] и USARTx[1,2,3]) просто объединяются логическим ИЛИ перед входом в DMA1. , это означает, что одновременно должен быть включен только один запрос. Ссылаться на [Рисунок 50](#).

Запросы периферийного DMA могут быть независимо активированы/деактивированы путем программирования бита управления DMA в регистрах соответствующего периферийного устройства.

Рисунок 50. Сопоставление запросов DMA1

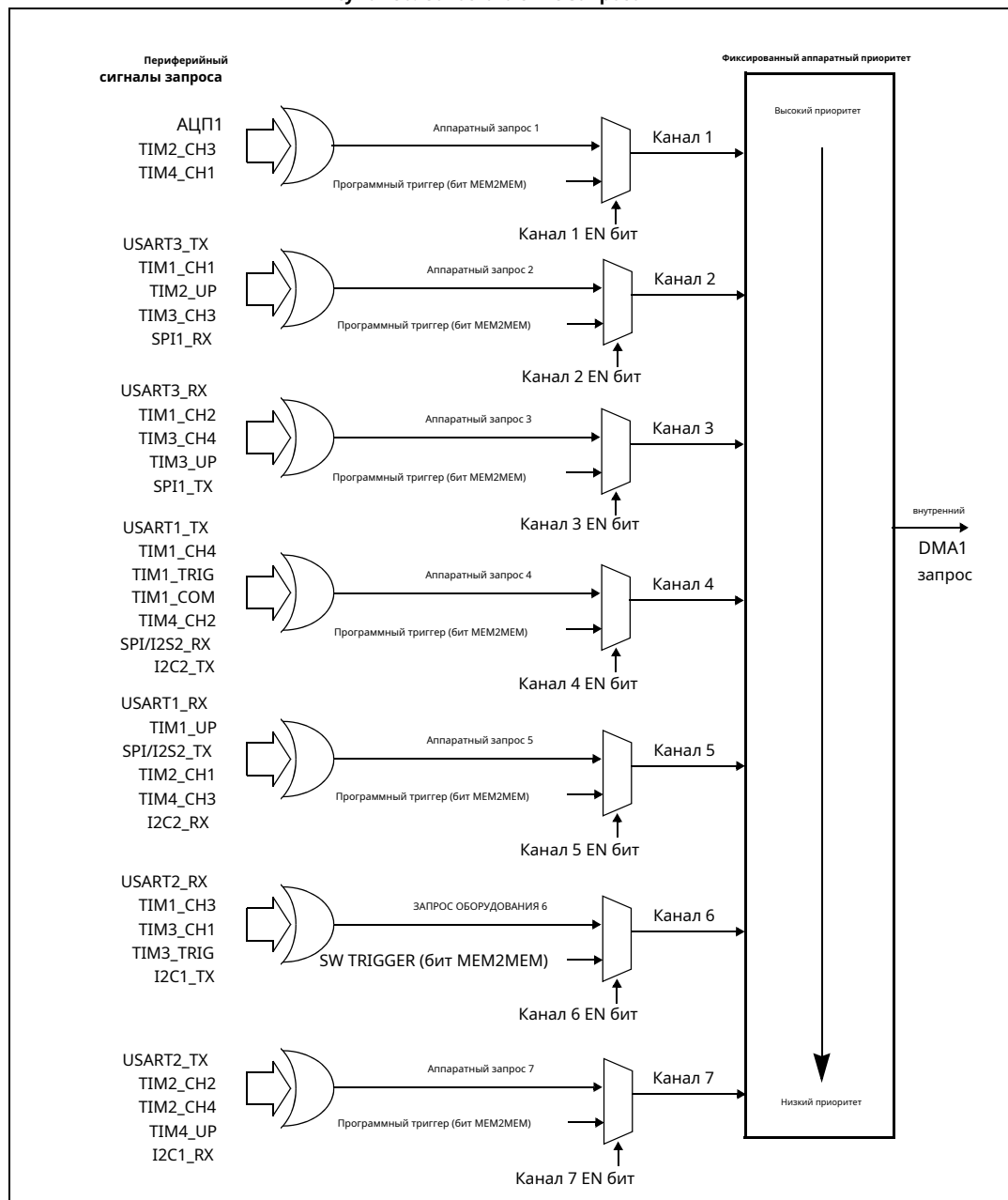




Таблица 78 перечисляет запросы DMA для каждого канала.

Таблица 78. Сводка запросов DMA1 для каждого канала

Периферия	Канал 1	Канал 2	Канал 3	Канал 4	Канал 5	Канал 6	Канал 7
АЦП1	АЦП1	-	-	-	-	-	-
СПИ/И2С	-	SPI1_RX	SPI1_TX	SPI2/I2S2_RX	SPI2/I2S2_TX	-	-
USART	-	USART3_TX	USART3_RX	USART1_TX	USART1_RX	USART2_RX	USART2_TX
я2С	-	-	-	I2C2_TX	I2C2_RX	I2C1_TX	I2C1_RX
ТИМ1	-	ТИМ1_CH1	-	ТИМ1_CH4 ТИМ1_TRIG ТИМ1_COM	ТИМ1_UP	ТИМ1_CH3	-
ТИМ2	ТИМ2_CH3	ТИМ2_UP	-	-	ТИМ2_CH1	-	ТИМ2_CH2 ТИМ2_CH4
ТИМ3	-	ТИМ3_CH3	ТИМ3_CH4 ТИМ3_UP	-	-	ТИМ3_CH1 ТИМ3_TRIG	-
ТИМ4	ТИМ4_CH1	-	-	ТИМ4_CH2	ТИМ4_CH3	-	ТИМ4_UP

контроллер DMA2

Пять запросов от периферийных устройств (ТИМx[5,6,7,8], ADC3, СПИ/И2С3, UART4, DAC\_Channel[1,2] и SDIO) просто объединяются логическим ИЛИ перед входом в DMA2, это означает, что только один запрос должны быть включены одновременно. Ссылаться на Рисунок 51.

Запросы периферийного DMA могут быть независимо активированы/деактивированы путем программирования бита управления DMA в регистрах соответствующего периферийного устройства.

Примечание: Контроллер DMA2 и его соответствующие запросы доступны только в устройствах высокой плотности, XL-плотности и линейных устройствах подключения.



Рисунок 51. Сопоставление запросов DMA2

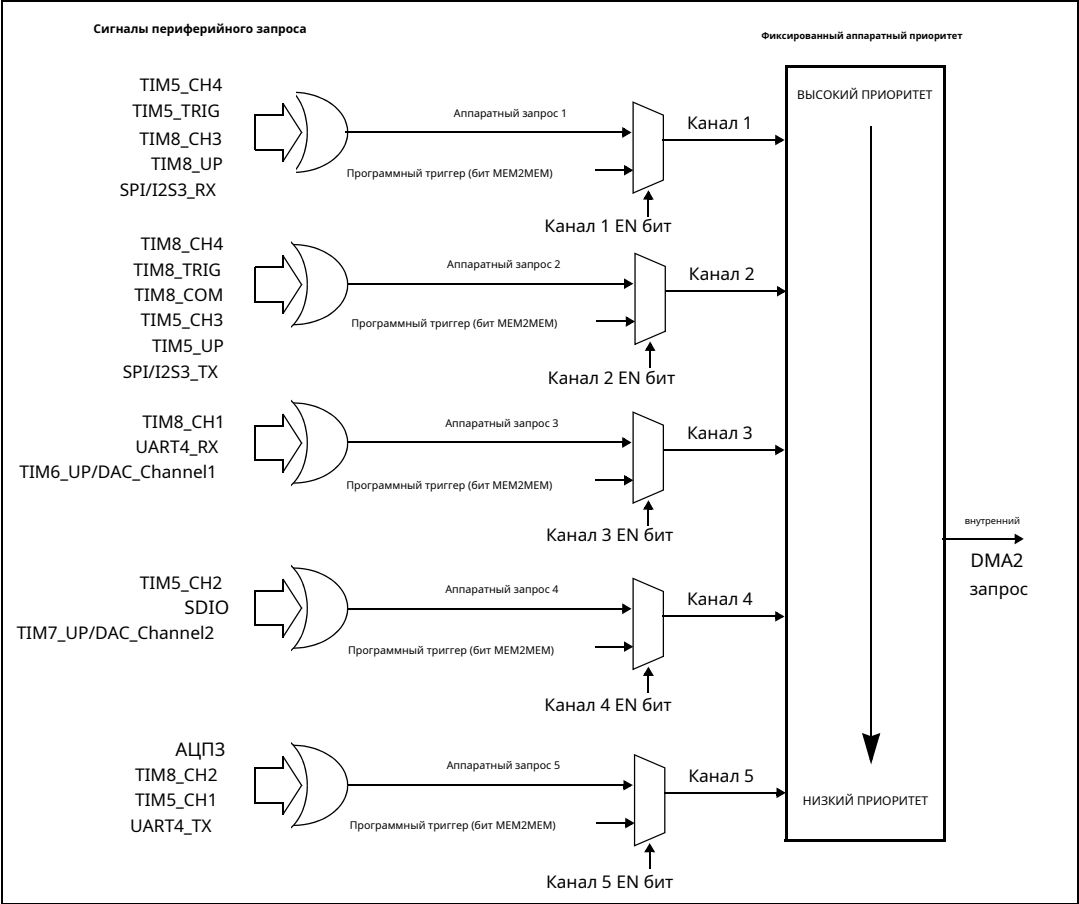


Таблица 79 перечисляет запросы DMA2 для каждого канала.

Таблица 79. Сводка запросов DMA2 для каждого канала

Периферия	Канал 1	Канал 2	Канал 3	Канал 4	Канал 5
АЦП3(1)	-	-	-	-	АЦП3
SPI/I2S3	SPI/I2S3_RX	SPI/I2S3_TX	-	-	-
UART4	-	-	UART4_RX	-	UART4_TX
SDIO(1)	-	-	-	SDIO	-
TIM5	TIM5_CH4 TIM5_TRIG	TIM5_CH3 TIM5_UP	-	TIM5_CH2	TIM5_CH1
TIM6/ DAC_Channel1	-	-	TIM6_UP/ DAC_Channel1	-	-
TIM7	-	-	-	TIM7_UP/ DAC_Channel2	-
TIM8	TIM8_CH3 TIM8_UP	TIM8_CH4 TIM8_TRIG TIM8_COM	TIM8_CH1	-	TIM8_CH2

1. Запросы DMA ADC3, SDIO и TIM8 доступны только в устройствах высокой плотности и плотности XL.

13,4

регистры прямого доступа к памяти

Ссылаться на [Раздел 2.2 на стр. 45](#) список сокращений, используемых в описаниях регистров.

Примечание: В следующих регистрах все биты, относящиеся к каналу 6 и каналу 7, не имеют значения для DMA2, поскольку он имеет только 5 каналов.

К периферийным регистрам можно обращаться байтами (8-бит), полусловами (16-бит) или словами (32-бит).

13.4.1 Регистр статуса прерывания DMA (DMA\_ISR)

Смещение адреса: 0x00

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный				TEIF7	HTIF7	TCIF7	GIF7	тэиф6	HTIF6	TCIF6	GIF6	TEIF5	HTIF5	TCIF5	GIF5
				р	р	р	р	р	р	р	р	р	р	р	р
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEIF4	HTIF4	TCIF4	GIF4	TEIF3	HTIF3	TCIF3	GIF3	тэиф2	HTIF2	TCIF2	GIF2	тэиф1	HTIF1	TCIF1	GIF1
р	р	р	р	р	р	р	р	р	р	р	р	р	р	р	р

Биты 31:28 Зарезервировано, должно быть сохранено значение сброса.

Биты 27, 23, 19, 15, 11, 7, 3 **TEIFx**:Флаг ошибки передачи канала x (x = 1 ..7)  
Этот бит устанавливается аппаратно. Он очищается программной записью 1 в соответствующий бит в регистре DMA\_IFCR.  
0: Нет ошибки передачи (TE) на канале x  
1: Ошибка передачи (TE) на канале x

Биты 26, 22, 18, 14, 10, 6, 2 **HTIFx**:Флаг половинной передачи канала x (x = 1 ..7)  
Этот бит устанавливается аппаратно. Он очищается программной записью 1 в соответствующий бит в регистре DMA\_IFCR.  
0: Нет события половинной передачи (HT) на канале x  
1: На канале x произошло событие половинной передачи (HT).

Биты 25, 21, 17, 13, 9, 5, 1 **TCIFx**:Флаг завершения передачи канала x (x = 1 ..7)  
Этот бит устанавливается аппаратно. Он очищается программной записью 1 в соответствующий бит в регистре DMA\_IFCR.  
0: Нет события завершения передачи (TC) на канале x  
1: Событие завершения передачи (TC) произошло на канале x.

Биты 24, 20, 16, 12, 8, 4, 0 **GIFx**:Глобальный флаг прерывания канала x (x = 1 ..7)  
Этот бит устанавливается аппаратно. Он очищается программной записью 1 в соответствующий бит в регистре DMA\_IFCR.  
0: нет событий TE, HT или TC на канале x  
1: событие TE, HT или TC произошло на канале x



13.4.2 Регистр сброса флага прерывания DMA (DMA\_IFCR)

Смещение адреса: 0x04

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный				ЦТЭИФ 7	ЧТИФ 7	СТЦИФ7	CGIF7	СТЕИФ6	CHТИФ6	СТЦИФ6	CGIF6	СТЕИФ5	CHТИФ5	СТЦИФ5	CGIF5
				Ж	Ж	Ж	Ж	Ж	Ж	Ж	Ж	Ж	Ж	Ж	Ж
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ЦТЭИФ 4	ЧТИФ 4	КТКИФ 4	CGIF4	ЦТЭИФ 3	ЧТИФ 3	СТЦИФ3	CGIF3	СТЕИФ2	CHТИФ2	СТЦИФ2	CGIF2	СТЕИФ1	CHТИФ1	СТЦИФ1	CGIF1
Ж	Ж	Ж	Ж	Ж	Ж	Ж	Ж	Ж	Ж	Ж	Ж	Ж	Ж	Ж	Ж

- Биты 31:28

Зарезервировано, должно быть сохранено значение сброса.
- Биты 27, 23, 19, 15, 11, 7, 3

**СТЕИФх:**Сброс ошибки передачи канала x (x = 1 ..7)  
Этот бит устанавливается и сбрасывается программно.  
0: Нет эффекта  
1: очищает соответствующий флаг ТЕИФ в регистре DMA\_ISR.
- Биты 26, 22, 18, 14, 10, 6, 2

**CHТИФх:**Канал x половина передачи очищена (x = 1 ..7)  
Этот бит устанавливается и сбрасывается программно.  
0: Нет эффекта  
1: очищает соответствующий флаг HTIF в регистре DMA\_ISR.
- Биты 25, 21, 17, 13, 9, 5, 1

**СТЦИФх:**Передача канала x завершена (x = 1 ..7)  
Этот бит устанавливается и сбрасывается программно.  
0: Нет эффекта  
1: очищает соответствующий флаг TCIF в регистре DMA\_ISR.
- Биты 24, 20, 16, 12, 8, 4, 0

**CGIFх:**Сброс глобального прерывания канала x (x = 1 ..7)  
Этот бит устанавливается и сбрасывается программно.  
0: Нет эффекта  
1: очищает флаги GIF, ТЕИФ, HTIF и TCIF в регистре DMA\_ISR.

13.4.3 Регистр конфигурации канала DMA x (DMA\_CCRx) (x = 1..7, где x = номер канала)

Смещение адреса: 0x08 + 0d20 × (номер канала — 1)

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Рез.	MEM2 MEM	ПЛ[1:0]		МРАЗМЕР[1:0]		РАЗМЕР[1:0]		МИНЦ	PINC	ЦИРК	ДИР	ТЭИЭ	НТИЕ	ТКИЭ	RU
	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

Биты 31:15 Зарезервировано, должно быть сохранено значение сброса.

Бит 14 **ПАМЯТЬ2МЕМ**:Память в режиме памяти  
Этот бит устанавливается и сбрасывается программно.  
0: режим памяти в память отключен  
1: режим памяти в память включен

Биты 13:12 **ПЛ[1:0]**:Уровень приоритета канала  
Эти биты устанавливаются и очищаются программным обеспечением.  
00: Низкий  
01: средний  
10: Высокий  
11: Очень высокий

Биты 11:10 **МРАЗМЕР[1:0]**:Объем памяти  
Эти биты устанавливаются и очищаются программным обеспечением.  
00: 8 бит  
01: 16 бит  
10: 32-битный  
11: зарезервировано

Биты 9:8 **РАЗМЕР[1:0]**:Периферийный размер  
Эти биты устанавливаются и очищаются программным обеспечением.  
00: 8 бит  
01: 16 бит  
10: 32-битный  
11: зарезервировано

Бит 7 **МИНЦ**:Режим увеличения памяти  
Этот бит устанавливается и сбрасывается программно.  
0: Режим увеличения памяти отключен 1:  
Режим увеличения памяти включен

Бит 6 **ПИН-код**:Периферийный режим приращения  
Этот бит устанавливается и сбрасывается программно.  
0: Режим периферийного приращения отключен 1:  
Режим периферийного приращения включен

Бит 5 **ЦИРК**:Круговой режим  
Этот бит устанавливается и сбрасывается программно.  
0: круговой режим отключен  
1: круговой режим включен



- Бит 4 **НАПРАВЛЕНИЕ:**Направление передачи данных  
Этот бит устанавливается и сбрасывается программно.  
0: Чтение с периферийного устройства 1: Чтение из памяти
- Бит 3 **ТЭИЭ:**Разрешить прерывание при ошибке передачи  
Этот бит устанавливается и сбрасывается программно.  
0: прерывание ТЕ отключено 1: прерывание ТЕ разрешено
- Бит 2 **НТИЕ:**Включение прерывания половинной передачи  
Этот бит устанавливается и сбрасывается программно.  
0: Прерывание НТ отключено 1: Прерывание НТ разрешено
- Бит 1 **ТКИЭ:**Разрешить прерывание завершения передачи  
Этот бит устанавливается и сбрасывается программно.  
0: прерывание ТС отключено 1: прерывание ТС разрешено
- Бит 0 **RU:**Включить канал  
Этот бит устанавливается и сбрасывается программно.  
0: Канал отключен  
1: Канал включен

13.4.4 Канал DMA x номер регистра данных (DMA\_CNDTRx) (x = 1..7, где x = номер канала)

Смещение адреса: 0x0C + 0d20 × (номер канала — 1)

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
неразрушающий контроль															
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

Биты 31:16 Зарезервировано, должно быть сохранено значение сброса.

- Биты 15:0 **НДТ[15:0]:**Количество данных для передачи  
Количество данных для передачи (от 0 до 65535). Этот регистр может быть записан только тогда, когда канал отключен. Как только канал включен, этот регистр доступен только для чтения, указывая оставшиеся байты для передачи. Этот регистр уменьшается после каждой передачи DMA.  
Как только передача завершена, этот регистр может либо остаться на нуле, либо автоматически перезагрузиться на ранее запрограммированное значение, если канал сконфигурирован в режиме автоматической перезагрузки.  
  
Если этот регистр равен нулю, транзакция не может быть обслужена независимо от того, включен канал или нет.

Этот реестр должен *не* быть записаны, когда канал включен.

[illegible]

Базовый адрес периферийного регистра данных, из/в который будут считываться/записываться данные. Когда PSIZE равен 01 (16 бит), бит PA[0] игнорируется. Доступ автоматически выравнивается по адресу полуслова. Когда PSIZE равно 10 (32-бит), PA[1:0] игнорируются. Доступ автоматически выравнивается по адресу слова.

Этот реестр должен *не* быть записаны, когда канал включен.

[illegible]

Базовый адрес области памяти, из/в которую будут считываться/записываться данные.

Когда MSIZE равен 01 (16 бит), бит MA[0] игнорируется. Доступ автоматически выравнивается по адресу полуслова.

Когда MSIZE равен 10 (32-разрядный), MA[1:0] игнорируются. Доступ автоматически выравнивается по адресу слова.

13.4.7 Карта регистров DMA

В следующей таблице приведены карта регистров DMA и значения сброса.

Таблица 80. Карта регистров DMA и значения сброса

Компенсировать	регистр	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
		Сдержанный				TEIF7	HTIF7	TCIF7	GIF7	ТЭИФ6	HTIF6	TCIF6	GIF6	TEIF5	HTIF5	TCIF5	GIF5	TEIF4	HTIF4	TCIF4	GIF4	TEIF3	HTIF3	TCIF3	GIF3	ТЭИФ2	HTIF2	TCIF2	GIF2	ТЭИФ1	HTIF1	TCIF1	GIF1		
0x000	DMA_ISR	Сдержанный				0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	Сбросить значение					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x004	DMA_IFCR	Сдержанный				CTEIF7	CHTIF7	CTCIF7	CGIF7	CTEIF6	CHTIF6	CTCIF6	CGIF6	CTEIF5	CHTIF5	CTCIF5	CGIF5	CTEIF4	CHTIF4	CTCIF4	CGIF4	CTEIF3	CHTIF3	CTCIF3	CGIF3	CTEIF2	CHTIF2	CTCIF2	CGIF2	CTEIF1	CHTIF1	CTCIF1	CGIF1	0	
	Сбросить значение					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x008	DMA_CCR1	Сдержанный																	MEM2MEM	PL [1:0]		М РАЗМЕР [1:0]		РАЗМЕР [1:0]		МИНЦ	PINC	ЦИРК	ДИР	ТЭИЭ	HTIE	ТКИЭ	RU	0	
	Сбросить значение																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x00C	DMA_CNDTR1	Сдержанный																	НК[15:0]																0
	Сбросить значение																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x010	DMA_CPAR1	ПА[31:0]																																0	
	Сбросить значение		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x014	DMA_CMAR1	Масштаб[31:0]																																0	
	Сбросить значение		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x018	Сдержанный																																	0	
0x01C	DMA_CCR2	Сдержанный																	MEM2MEM	PL [1:0]		М РАЗМЕР [1:0]		РАЗМЕР [1:0]		МИНЦ	PINC	ЦИРК	ДИР	ТЭИЭ	HTIE	ТКИЭ	RU	0	
	Сбросить значение																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x020	DMA_CNDTR2	Сдержанный																	НК[15:0]																0
	Сбросить значение																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x024	DMA_CPAR2	ПА[31:0]																																0	
	Сбросить значение		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x028	DMA_CMAR2	Масштаб[31:0]																																0	
	Сбросить значение		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x02C	Сдержанный																																	0	
0x030	DMA_CCR3	Сдержанный																	MEM2MEM	PL [1:0]		М РАЗМЕР [1:0]		РАЗМЕР [1:0]		МИНЦ	PINC	ЦИРК	ДИР	ТЭИЭ	HTIE	ТКИЭ	RU	0	
	Сбросить значение																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x034	DMA_CNDTR3	Сдержанный																	НК[15:0]																0
	Сбросить значение																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x038	DMA_CPAR3	ПА[31:0]																																0	
	Сбросить значение		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x03C	DMA_CMAR3	Масштаб[31:0]																																0	
	Сбросить значение		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x040	Сдержанный																																	0	



Таблица 80. Карта регистров DMA и значения сброса (продолжение)

Компенсировать	регистр	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x044	DMA_CCR4	Сдержанный																	MEM2MEM	PL [1:0]		M РАЗМЕР [1:0]		РАЗМЕР [1:0]		МИНЦ	PINC	ЦИРК	ДИР	ТЭИЭ	НТЕ	ТКИЭ	RU
	Сбросить значение																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x048	DMA_CNDTR4	Сдержанный																	НК[15:0]														
	Сбросить значение																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x04C	DMA_CPAR4	ПА[31:0]																															
	Сбросить значение	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x050	DMA_CMAR4	Массачусетс[31:0]																															
	Сбросить значение	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x054	Сдержанный																																
0x058	DMA_CCR5	Сдержанный																	MEM2MEM	PL [1:0]		M РАЗМЕР [1:0]		РАЗМЕР [1:0]		МИНЦ	PINC	ЦИРК	ДИР	ТЭИЭ	НТЕ	ТКИЭ	RU
	Сбросить значение																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x05C	DMA_CNDTR5	Сдержанный																	НК[15:0]														
	Сбросить значение																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x060	DMA_CPAR5	ПА[31:0]																															
	Сбросить значение	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x064	DMA_CMAR5	Массачусетс[31:0]																															
	Сбросить значение	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x068	Сдержанный																																
0x06C	DMA_CCR6	Сдержанный																	MEM2MEM	PL [1:0]		M РАЗМЕР [1:0]		РАЗМЕР [1:0]		МИНЦ	PINC	ЦИРК	ДИР	ТЭИЭ	НТЕ	ТКИЭ	RU
	Сбросить значение																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x070	DMA_CNDTR6	Сдержанный																	НК[15:0]														
	Сбросить значение																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x074	DMA_CPAR6	ПА[31:0]																															
	Сбросить значение	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x078	DMA_CMAR6	Массачусетс[31:0]																															
	Сбросить значение	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x07C	Сдержанный																																
0x080	DMA_CCR7	Сдержанный																	MEM2MEM	PL [1:0]		M РАЗМЕР [1:0]		РАЗМЕР [1:0]		МИНЦ	PINC	ЦИРК	ДИР	ТЭИЭ	НТЕ	ТКИЭ	RU
	Сбросить значение																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x084	DMA_CNDTR7	Сдержанный																	НК[15:0]														
	Сбросить значение																		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x088	DMA_CPAR7	ПА[31:0]																															
	Сбросить значение	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0



Таблица 80. Карта регистров DMA и значения сброса (продолжение)

Компенсировать	регистр	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
		Маска нулей[31:0]																																
0x08C	DMA_CMAR7																																	
	Сбросить значение	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
0x090	Сдержанный																																	

Ссылаться на [Таблица 3 на стр. 50](#) для граничных адресов регистра.