

11 Аналого-цифровой преобразователь (АЦП)

Устройства с низкой плотностью это микроконтроллеры STM32F101xx, STM32F102xx и STM32F103xx с плотностью флэш-памяти от 16 до 32 Кбайт.

Устройства средней плотности это микроконтроллеры STM32F101xx, STM32F102xx и STM32F103xx с плотностью флэш-памяти от 64 до 128 Кбайт.

Устройства высокой плотности это микроконтроллеры STM32F101xx и STM32F103xx с плотностью флэш-памяти от 256 до 512 Кбайт.

Устройства XL-плотности это микроконтроллеры STM32F101xx и STM32F103xx, в которых плотность флэш-памяти колеблется от 768 Кбайт до 1 Мбайт.

Устройства линии связи это микроконтроллеры STM32F105xx и STM32F107xx.

Этот раздел относится ко всему семейству STM32F10xxx, если не указано иное.

11.1 Введение АЦП

12-разрядный АЦП представляет собой аналого-цифровой преобразователь последовательного приближения. Он имеет до 18 мультиплексированных каналов, позволяющих измерять сигналы от шестнадцати внешних и двух внутренних источников. Аналого-цифровое преобразование различных каналов может выполняться в одиночном, непрерывном, сканирующем или прерывистом режиме. Результат АЦП сохраняется в 16-разрядном регистре данных с выравниванием по левому или правому краю.

Функция аналогового сторожевого таймера позволяет приложению определять, выходит ли входное напряжение за пределы установленных пользователем высоких или низких пороговых значений.

Входной тактовый сигнал АЦП генерируется из тактового сигнала PCLK2, деленного на прескалер, и не должен превышать 14 МГц, см. [Рисунок 8](#) для устройств низкой, средней, высокой и большой плотности, а также для [Рисунок 11](#) для устройств линии связи.

11.2

Основные характеристики АЦП

- 12-битное разрешение
- Генерация прерывания в конце преобразования, конце введенного преобразования и событии аналогового сторожевого таймера
- Однократный и непрерывный режимы преобразования
- Режим сканирования для автоматического преобразования канала 0 в канал n
- Самокалибровка
- Выравнивание данных со встроенной когерентностью данных Программируемое
- время выборки по каналам Опция внешнего запуска как для обычного, так и для инжектированного преобразования Прерывистый режим
-
- Двойной режим (на устройствах с 2 АЦП и более)
- Время преобразования АЦП:
 - Устройства линейки производительности STM32F103xx: 1 мкс при 56 МГц (1,17 мкс при 72 МГц)
 - Устройства линии доступа STM32F101xx: 1 мкс при 28 МГц (1,55 мкс при 36 МГц)
 - Устройства линии доступа USB STM32F102xx: 1,2 мкс при 48 МГц
 - Устройства STM32F105xx и STM32F107xx: 1 мкс при 56 МГц (1,17 мкс при 72 МГц)
- Требования к питанию АЦП: от 2,4 В до 3,6 В
- Входной диапазон АЦП: BREF-- Bv- ВРЕФ+
- Генерация запроса DMA при обычном преобразовании канала

Блок-схема АЦП показана на [Рисунок 22](#).

Примечание:

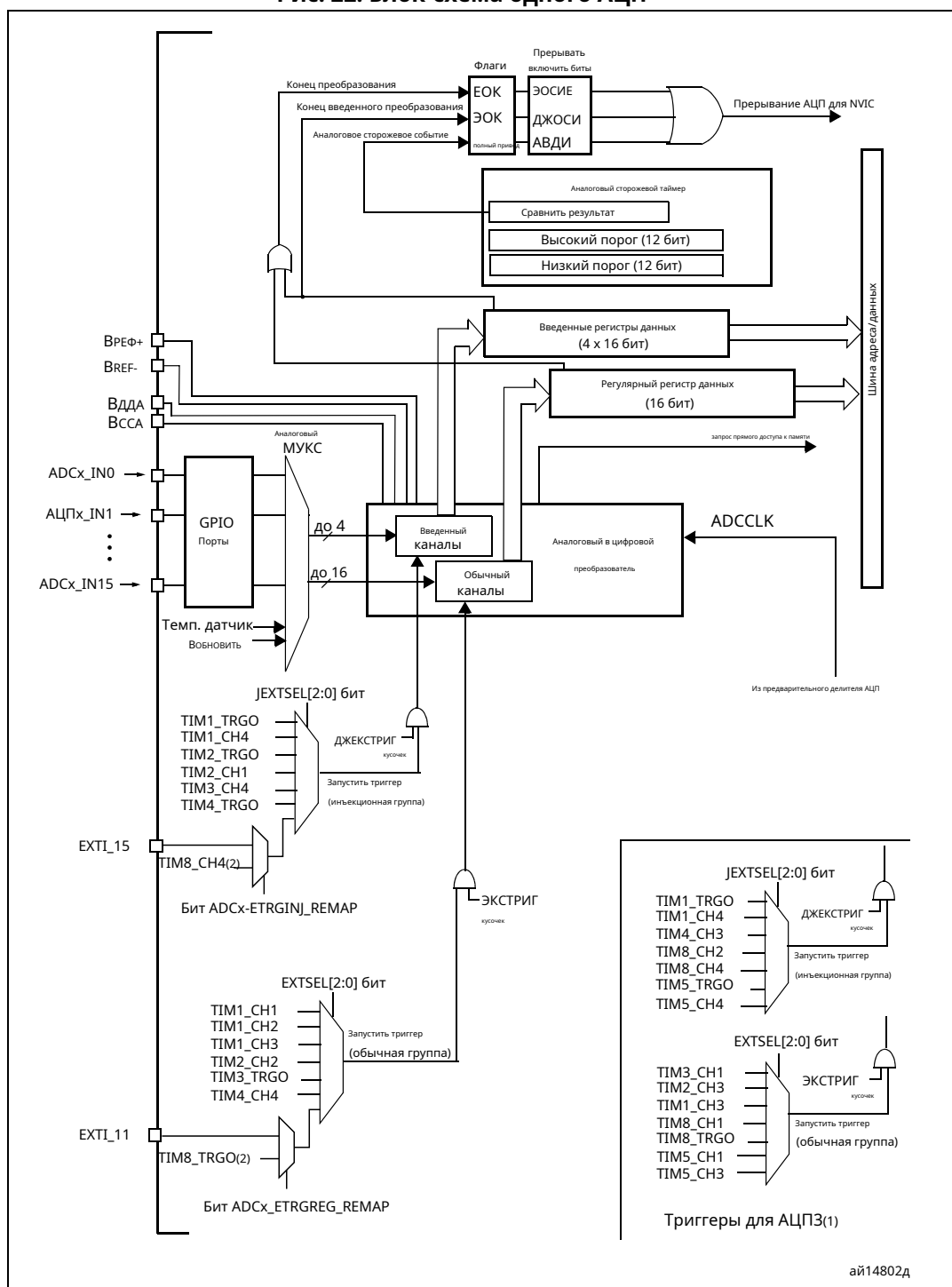
BREF-, при наличии (в зависимости от комплектации), должен быть привязан к VCCA.

11.3

Функциональное описание АЦП

[Рисунок 22](#) показывает одну блок-схему АЦП и [Таблица 65](#) дает описание вывода АЦП.

Рис. 22. Блок-схема одного АЦП



1. ADC3 имеет обычные и инжектированные триггеры преобразования, отличные от триггеров ADC1 и ADC2.
2. TIM8_CH4 и TIM8_TRGO с соответствующими битами переназначения существуют только в продуктах высокой плотности и XL-плотности.

Таблица 65. Выводы АЦП

Имя	Тип сигнала	Примечания
ВРЕФ+	Вход, аналоговая опорная положительная	Более высокое/положительное опорное напряжение для АЦП, 2,4 В - ВРЕФ+- ВДДА
ВДДА ⁽¹⁾	Вход, аналоговое питание	Аналоговый источник питания, равный V_{DD} а также 2,4 В --ВДДА--3,6 В
ВРЕФ-	Вход, отрицательное аналоговое задание	Нижнее/отрицательное опорное напряжение для АЦП, ВРЕФ- = ВССА
ВССА ⁽¹⁾	Вход, аналоговое питание ЗЕМЛЯ	Земля для аналогового источника питания равна V_{SS}
ADCx_IN[15:0]	Аналоговые сигналы	До 21 аналогового канала(2)

1. ВДДАи ВССАдолжен быть подключен к V_{DD} и V_{SS} , соответственно.

2. Полную информацию о контактах ввода-вывода АЦП см. в разделе «Распиновка и описание контактов» соответствующего описания устройства.

11.3.1

АЦП управление включением-выключением

АЦП можно включить, установив бит ADON в регистре ADC_CR2. Когда бит ADON устанавливается в первый раз, он пробуждает АЦП из режима Power Down.

Преобразование начинается, когда бит ADON устанавливается программой во второй раз по истечении времени включения АЦП (tстаб).

Преобразование можно остановить, а АЦП перевести в режим пониженного энергопотребления, сбросив бит ADON. В этом режиме АЦП почти не потребляет энергии (всего несколько мкА).

11.3.2

Часы АЦП

Часы ADCCLK, предоставляемые контроллером часов, синхронизированы с PCLK2 (часы APB2). Контроллер RCC имеет специальный программируемый делитель для тактового сигнала АЦП, см. [Сброс с низкой, средней, высокой и высокой плотностью и управление тактовой частотой \(RCC\)](#) Больше подробностей.

11.3.3 Выбор канала

Имеется 16 мультиплексированных каналов. Конверсии можно разделить на две группы: обычные и инъектированные. Группа состоит из последовательности преобразований, которые можно выполнять на любом канале и в любом порядке. Например, можно выполнить преобразование в следующем порядке: Ch3, Ch8, Ch2, Ch2, Ch0, Ch2, Ch2, Ch15.

- The **обычная группа** состоит из 16 преобразований. Обычные каналы и их порядок в последовательности преобразования должны быть выбраны в регистрах ADC_SQRx. Общее количество преобразований в обычной группе должно быть записано в битах L[3:0] в регистре ADC_SQR1.
- The **группа инъекций** состоит из 4 преобразований. Вводимые каналы и их порядок в последовательности преобразования должны быть выбраны в регистре ADC_JSQR. Общее количество преобразований в инъектируемой группе должно быть записано в битах L[1:0] в регистре ADC_JSQR.

Если регистры ADC_SQRx или ADC_JSQR изменяются во время преобразования, текущее преобразование сбрасывается и на АЦП отправляется новый стартовый импульс для преобразования новой выбранной группы.

Датчик температуры/Восновить внутренние каналы

Датчик температуры подключен к каналу ADCx_IN16, а внутреннее опорное напряжение V_{ОБНОВИТЬ} подключен к ADCx_IN17. Эти два внутренних канала можно выбрать и преобразовать в инжекторные или обычные каналы.

Примечание:

Датчик и V.ОБНОВИТЬ доступны только на главном периферийном устройстве ADC1.

11.3.4 Режим одиночного преобразования

В режиме одиночного преобразования АЦП выполняет одно преобразование. Этот режим запускается либо установкой бита ADON в регистре ADC_CR2 (только для обычного канала), либо внешним триггером (для обычного или инжектированного канала), при этом бит CONT равен 0.

После завершения преобразования выбранного канала:

- Если обычный канал был конвертирован:
 - Преобразованные данные сохраняются в 16-битном регистре ADC_DR.
 - Установлен флаг EOC (Конец преобразования).
 - и генерируется прерывание, если установлен EOCIE. Если
- введенный канал был преобразован:
 - Преобразованные данные сохраняются в 16-битном регистре ADC_DRJ1.
 - Установлен флаг JEOP (End Of Conversion Injected).
 - и генерируется прерывание, если установлен бит JEOCIE.

Затем АЦП останавливается.

11.3.5 Режим непрерывного преобразования

В режиме непрерывного преобразования АЦП начинает другое преобразование, как только заканчивает одно. Этот режим запускается либо внешним триггером, либо установкой бита ADON в регистре ADC_CR2, при этом бит CONT равен 1.

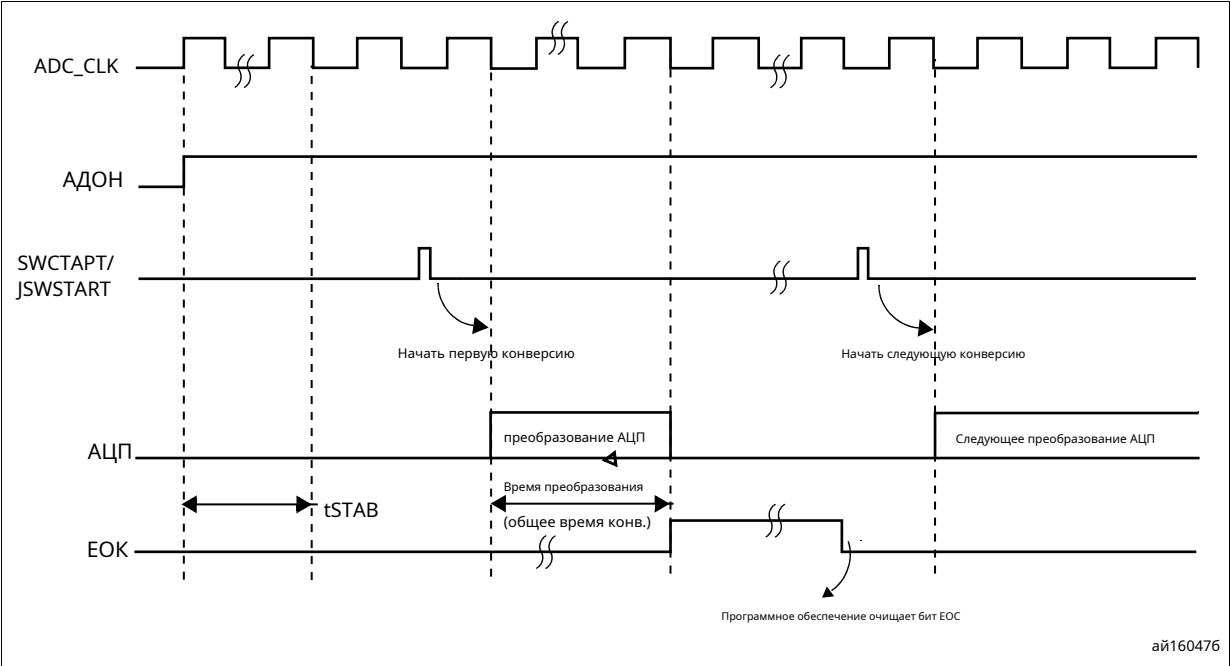
После каждого преобразования:

- Если обычный канал был конвертирован:
 - Преобразованные данные сохраняются в 16-битном регистре ADC_DR.
 - Установлен флаг EOC (Конец преобразования).
 - Прерывание генерируется, если установлен EOCIE. Если
- введенный канал был преобразован:
 - Преобразованные данные сохраняются в 16-битном регистре ADC_DRJ1.
 - Установлен флаг JEOP (End Of Conversion Injected).
 - Прерывание генерируется, если установлен бит JEOCIE.

11.3.6 Временная диаграмма

Как показано в [Рисунок 23](#), АЦП необходимо время стабилизации t_{стаб} прежде чем он начнет преобразовывать точно. После начала преобразования АЦП и через 14 тактов устанавливается флаг EOC и 16-разрядный регистр данных АЦП содержит результат преобразования.

Рисунок 23. Временная диаграмма



ай160476

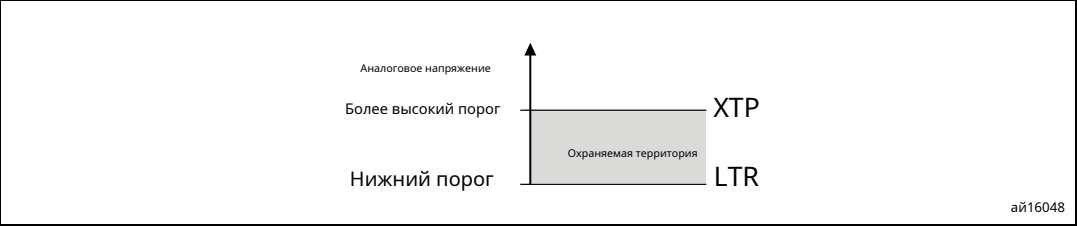
11.3.7 Аналоговый сторожевой таймер

Бит состояния аналогового сторожевого устройства AWD устанавливается, если аналоговое напряжение, преобразованное АЦП, ниже нижнего порога или выше верхнего порога. Эти пороги программируются в 12 младших битах 16-битных регистров ADC_HTR и ADC_LTR. Прерывание может быть разрешено с помощью бита AWDIE в регистре ADC_CR1.

Пороговое значение не зависит от выравнивания, выбранного битом ALIGN в регистре ADC_CR2. Сравнение выполняется до выравнивания (см. [Раздел 11.5](#)).

Аналоговый сторожевой таймер можно включить на одном или нескольких каналах, настроив регистр ADC_CR1, как показано на рис. [Таблица 66](#).

Рисунок 24. Охраняемая зона аналогового сторожевого устройства



ай16048

Таблица 66. Выбор аналогового сторожевого канала

Каналы, которые будут охраняться аналогом сторожевая собака	Биты управления регистром ADC_CR1 (x = безразлично)		
	Бит AWDSGL	бит AWDEN	ДЖАВДЕН бит
Никто	Икс	0	0
Все введенные каналы	0	0	1
Все обычные каналы	0	1	0



Таблица 66. Выбор аналогового сторожевого канала (продолжение)

Каналы, которые будут охраняться аналогом сторожевая собака	Биты управления регистром ADC_CR1 (x = безразлично)		
	Бит AWDSGL	бит AWDEN	ДЖАВДЕН бит
Все обычные и введенные каналы	0	1	1
Одинокий(1)инъекционный канал	1	0	1
Одинокий(1)обычный канал	1	1	0
Одинокий(1)обычный или инъекционный канал	1	1	1

1. Выбирается битами AWDCH[4:0]

11.3.8 Режим сканирования

Этот режим используется для сканирования группы аналоговых каналов.

Режим сканирования можно выбрать, установив бит SCAN в регистре ADC_CR1. Как только этот бит установлен, АЦП сканирует все каналы, выбранные в регистрах ADC_SQRx (для обычных каналов) или в ADC_JSQR (для введенных каналов). Одно преобразование выполняется для каждого канала группы. После каждого окончания преобразования следующий канал группы конвертируется автоматически. Если бит CONT установлен, преобразование не останавливается на последнем выбранном групповом канале, а снова продолжается с первого выбранного группового канала.

При использовании режима сканирования должен быть установлен бит DMA и контроллер прямого доступа к памяти используется для передачи преобразованных данных обычных групповых каналов в SRAM после каждого обновления регистра ADC_DR.

Введенные преобразованные данные канала всегда сохраняются в регистрах ADC_JDRx.

11.3.9 Управление введенным каналом

Триггерная инъекция

Для использования триггерной инъекции бит JAUTO должен быть очищен, а бит SCAN должен быть установлен в регистре ADC_CR1.

1. Запустить преобразование группы обычных каналов либо по внешнему триггеру, либо установкой бита ADON в регистре ADC_CR2.
2. Если во время обычного группового преобразования каналов происходит внешний введенный триггер, текущее преобразование сбрасывается, и введенная последовательность каналов преобразуется в режиме однократного сканирования.
3. Затем возобновляется обычное групповое преобразование каналов с последнего прерванного обычного преобразования. Если во время внедренного преобразования происходит обычное событие, оно не прерывает его, но обычная последовательность выполняется в конце внедренной последовательности.

Рисунок 25 показывает временную диаграмму.

Примечание:

При использовании триггерной инъекции интервал между триггерными событиями должен быть больше, чем последовательность инъекции. Например, если длина последовательности составляет 28 тактовых циклов АЦП (то есть два преобразования с периодом выборки 1,5 тактового периода), минимальный интервал между запусками должен составлять 29 тактовых циклов АЦП.

Автоинъекция

Если установлен бит JAUTO, то введенные групповые каналы автоматически преобразуются после обычных групповых каналов. Это можно использовать для преобразования последовательности до 20 преобразований, запрограммированных в регистрах ADC_SQRx и ADC_JSQR.

В этом режиме внешний триггер на инжектированных каналах должен быть отключен.

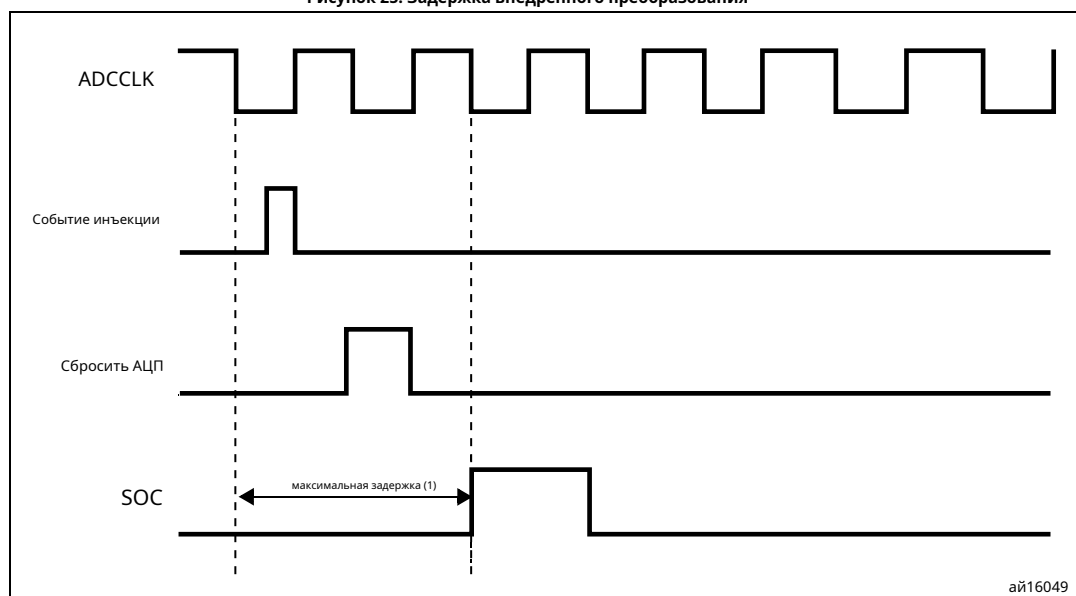
Если бит CONT также установлен в дополнение к биту JAUTO, обычные каналы, за которыми следуют введенные каналы, непрерывно преобразуются.

Для предварительных делителей тактовых импульсов АЦП в диапазоне от 4 до 8 автоматически вставляется задержка в 1 тактовый период АЦП при переключении с обычной последовательности на вводимую (соответственно вводится на регулярную). Когда предварительный делитель тактовых импульсов АЦП установлен на 2, задержка составляет 2 тактовых периода АЦП.

Примечание:

Невозможно одновременно использовать как автоматический, так и прерывистый режимы.

Рисунок 25. Задержка внедренного преобразования



1. Максимальное значение задержки можно найти в электрических характеристиках STM32F101xx и STM32F103xx.

11.3.10 Прерывистый режим

Обычная группа

Этот режим включается установкой бита DISCEN в регистре ADC_CR1. Его можно использовать для преобразования короткой последовательности из n преобразований ($n \leq 8$), которая является частью последовательности преобразований, выбранной в регистрах ADC_SQRx. Значение n задается записью в биты DISCNUM[2:0] в регистре ADC_CR1.

Когда возникает внешний триггер, он запускает следующие n преобразований, выбранных в регистрах ADC_SQRx, пока не будут выполнены все преобразования в последовательности. Общая длина последовательности определяется битами L[3:0] в регистре ADC_SQR1.

Пример:

$n = 3$, конвертируемые каналы = 0, 1, 2, 3, 6, 7, 9, 10

первый триггер: преобразование последовательности 0, 1, 2. Событие EOC генерируется при каждом

преобразование

второй триггер: преобразование последовательности 3, 6, 7. Событие ЕОС генерируется при каждом преобразовании

третий триггер: преобразование последовательности 9, 10. Событие ЕОС генерируется при каждом преобразовании. четвертый триггер: преобразование последовательности 0, 1, 2. Событие ЕОС генерируется при каждом преобразовании.

Примечание:

Когда обычная группа преобразуется в прерывистом режиме, ролловера не происходит. Когда все подгруппы преобразованы, следующий триггер запускает преобразование первой подгруппы.

В приведенном выше примере четвертый триггер повторно преобразует каналы первой подгруппы 0, 1 и 2.

Введенная группа

Этот режим включается установкой бита JDISCEN в регистре ADC_CR1. Его можно использовать для преобразования последовательности, выбранной в регистре ADC_JSQR, канал за каналом, после внешнего запускающего события.

Когда возникает внешний триггер, он запускает следующие преобразования каналов, выбранные в регистрах ADC_JSQR, до тех пор, пока не будут выполнены все преобразования в последовательности. Общая длина последовательности определяется битами JL[1:0] в регистре ADC_JSQR.

Пример:

n = 1, каналы для преобразования = 1, 2, 3

первый запуск: преобразование канала 1

второй триггер: преобразован канал 2

третий триггер: канал 3 преобразован и события ЕОС и JEОС сгенерированы

четвертый триггер: канал 1

Примечание:

Когда все введенные каналы преобразованы, следующий триггер запускает преобразование первого введенного канала. В приведенном выше примере четвертый триггер повторно преобразует первый введенный канал 1.

Невозможно одновременно использовать как автоматический, так и прерывистый режимы.

Пользователь должен избегать одновременной установки прерывистого режима как для обычной, так и для инжектированной группы. Прерывистый режим должен быть включен только для одного группового преобразования.

11,4

Калибровка

АЦП имеет встроенный режим самокалибровки. Калибровка значительно снижает ошибки точности из-за внутренних изменений конденсаторной батареи. Во время калибровки для каждого конденсатора вычисляется код исправления ошибок (цифровое слово), и во время всех последующих преобразований вклад каждого конденсатора в ошибку удаляется с помощью этого кода.

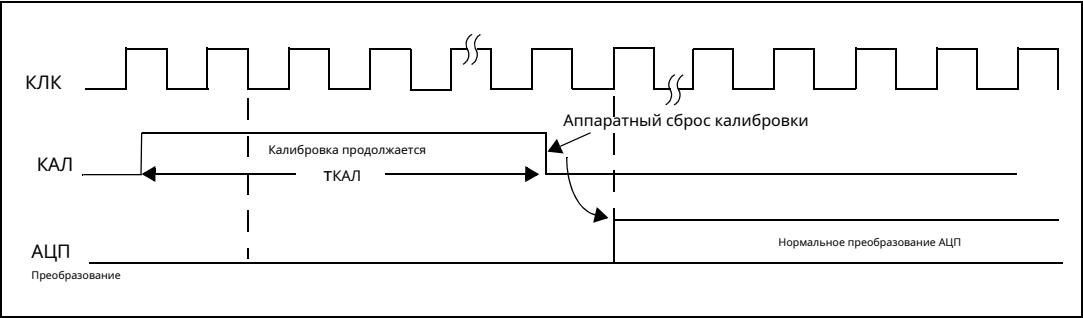
Калибровка запускается установкой бита CAL в регистре ADC_CR2. После завершения калибровки бит CAL сбрасывается аппаратно, и можно выполнить обычное преобразование. Рекомендуется калибровать АЦП один раз при включении питания. Коды калибровки сохраняются в ADC_DR, как только фаза калибровки заканчивается.

Примечание:

Рекомендуется выполнять калибровку после каждого включения питания.

Перед началом калибровки АЦП должен находиться во включенном состоянии (бит ADON = '1') не менее двух тактов тактовой частоты АЦП.

Рисунок 26. Временная диаграмма калибровки



11,5

Выравнивание данных

Бит ALIGN в регистре ADC_CR2 выбирает выравнивание данных, сохраняемых после преобразования. Данные могут быть выровнены по левому или правому краю, как показано на [Рисунок 27](#)а также [Рисунок 28](#).

Значение преобразованных данных введенных групповых каналов уменьшается на заданное пользователем смещение, записанное в регистрах ADC_OFRx, поэтому результатом может быть отрицательное значение. Бит SEXT является расширенным значением знака.

Для обычных групповых каналов смещение не вычитается, поэтому имеют значение только двенадцать битов.

Рисунок 27. Выравнивание данных по правому краю

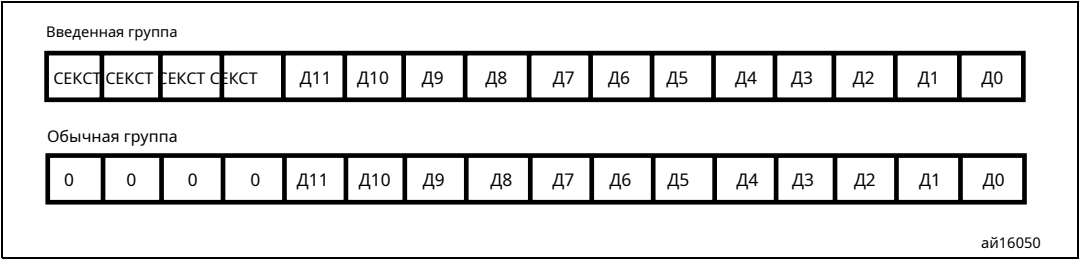
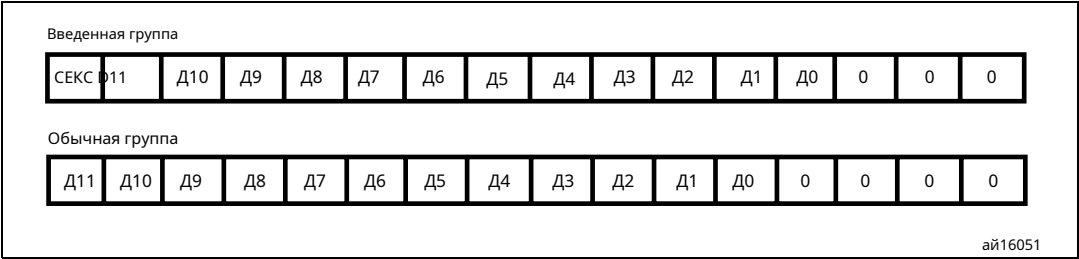


Рисунок 28. Выравнивание данных по левому краю



11,6 Поканально программируемый шаг расчета

ADC производит выборку входного напряжения в течение нескольких циклов ADC_CLK, которые можно изменить с помощью битов SMP[2:0] в регистрах ADC_SMPR1 и ADC_SMPR2. Каждый канал может быть сэмплирован с различным шагом дискретизации.

Общее время преобразования рассчитывается следующим образом:

Tconv = время выборки + 12,5 циклов

Пример:

При частоте ADCCLK = 14 МГц и времени выборки 1,5 цикла:

Tconv = 1,5 + 12,5 = 14 циклов = 1 мкс

11,7 Преобразование по внешнему триггеру

Преобразование может быть вызвано внешним событием (например, захватом таймера, линией EXTI). Если бит управления EXT-TRIG установлен, то внешние события могут инициировать преобразование. Биты управления EXT-SEL[2:0] и JEXTSEL[2:0] позволяют приложению выбирать, какое из 8 возможных событий может инициировать преобразование для обычной и введенной групп.

Примечание:

Когда для обычного или инжектированного преобразования АЦП выбран внешний триггер, только нарастающий фронт сигнала может начать преобразование.

Табл. 67. Внешний запуск для обычных каналов для АЦП1 и АЦП2

Источник	Тип	РАСШИР[2:0]
Событие TIM1_CC1	Внутренний сигнал от встроенных таймеров	000
Событие TIM1_CC2		001
Событие TIM1_CC3		010
Событие TIM2_CC2		011
Событие TIM3_TRGO		100
Событие TIM4_CC4		101
Строка EXTI 11 / Событие TIM8_TRGO(1)(2)	Внешний контакт / Внутренний сигнал от микросхемы таймеры	110
SWSTART	Бит управления программным обеспечением	111

- 1. Событие TIM8_TRGO существует только в устройствах высокой плотности и плотности XL.
- 2. Производится выбор события внешнего триггера EXTI line11 или TIM8_TRGO для обычных каналов соответственно. через биты конфигурации ADC1_ETRGREG_REMAP и ADC2_ETRGREG_REMAP для ADC1 и ADC2.

Таблица 68. Внешний запуск для инжектированных каналов для ADC1 и ADC2

Источник	Тип соединения	ДЖЕКСТСЕЛЬ[2:0]
Событие TIM1_TRGO	Внутренний сигнал от встроенных таймеров	000
Событие TIM1_CC4		001
Событие TIM2_TRGO		010
Событие TIM2_CC1		011
Событие TIM3_CC4		100
Событие TIM4_TRGO		101
Событие строки EXTI 15/TIM8_CC4(1)(2)	Внешний вывод/внутренний сигнал от встроенных таймеров	110
JSWSTART	Бит управления программным обеспечением	111

1. Событие TIM8_CC4 существует только в устройствах высокой плотности и плотности XL.

2. Выбор события внешнего триггера EXTI line15 или TIM8_CC4 для введенных каналов осуществляется через биты конфигурации ADC1_ETRGINJ_REMAP и ADC2_ETRGINJ_REMAP для ADC1 и ADC2 соответственно.

Табл. 69. Внешний запуск по обычным каналам для ADC3

Источник	Тип соединения	РАСШИР[2:0]
Событие TIM3_CC1	Внутренний сигнал от встроенных таймеров	000
Событие TIM2_CC3		001
Событие TIM1_CC3		010
Событие TIM8_CC1		011
Событие TIM8_TRGO		100
Событие TIM5_CC1		101
Событие TIM5_CC3		110
SWSTART	Бит управления программным обеспечением	111

Таблица 70. Внешний запуск для инжектированных каналов для ADC3

Источник	Тип соединения	ДЖЕКСТСЕЛЬ[2:0]
Событие TIM1_TRGO	Внутренний сигнал от встроенных таймеров	000
Событие TIM1_CC4		001
Событие TIM4_CC3		010
Событие TIM8_CC2		011
Событие TIM8_CC4		100
Событие TIM5_TRGO		101
Событие TIM5_CC4		110
JSWSTART	Бит управления программным обеспечением	111

События триггера программного источника могут генерироваться установкой бита в регистре (SWSTART и JSWSTART в ADC_CR2).

Обычное групповое преобразование может быть прервано введенным триггером.

11,8

запрос прямого доступа к памяти

Поскольку преобразованные значения обычных каналов хранятся в уникальном регистре данных, необходимо использовать DMA для преобразования более чем одного обычного канала. Это позволяет избежать потери данных, уже сохраненных в регистре ADC_DR.

Только окончание преобразования обычного канала генерирует запрос DMA, который разрешает передачу его преобразованных данных из регистра ADC_DR в место назначения, выбранное пользователем.

Примечание:

Только ADC1 и ADC3 имеют эту возможность прямого доступа к памяти. Данные, преобразованные с помощью АЦП2, могут передаваться в режиме двойного АЦП с использованием прямого доступа к памяти благодаря ведущему АЦП1.

11,9 Двойной режим АЦП

В устройствах с двумя и более АЦП можно использовать режим двойного АЦП (см. [Рисунок 29](#)).

В режиме двойного АЦП начало преобразования запускается поочередно или одновременно ведущим АЦП1 в ведомый АЦП2, в зависимости от режима, выбранного битами DUALMOD[2:0] в регистре ADC1_CR1.

Примечание:

В двойном режиме при настройке преобразования, запускаемого внешним событием, пользователь должен установить триггер только для ведущего и установить программный триггер для ведомого, чтобы предотвратить ложные триггеры для запуска нежелательного преобразования ведомого. Однако внешние триггеры должны быть разрешены как на ведущем, так и на ведомом АЦП.

Реализованы следующие шесть возможных режимов:

- Инжектированный одновременный режим
- Обычный одновременный режим
- Быстрый чередующийся режим
- Медленный чередующийся режим
- Альтернативный режим триггера
- Независимый режим

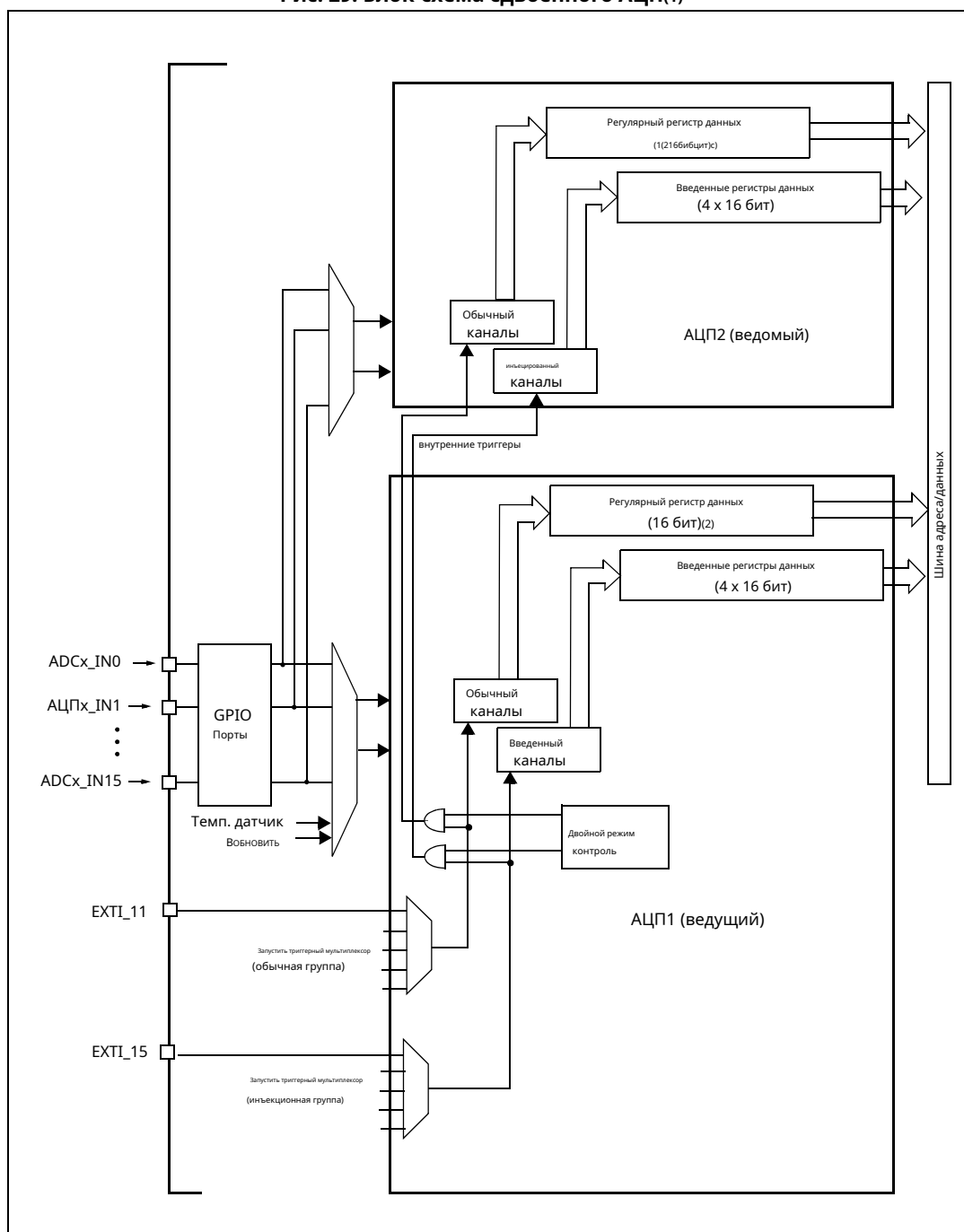
Также возможно использовать предыдущие режимы в сочетании следующим образом:

- Инжектированный одновременный режим + Обычный одновременный режим
- Обычный одновременный режим + Альтернативный режим триггера
- Внедренный одновременный режим + режим с чередованием

Примечание:

В режиме двойного АЦП для считывания преобразованных данных подчиненного устройства из регистра основных данных бит DMA должен быть включен, даже если он не используется для передачи преобразованных данных обычного канала.

Рис. 29. Блок-схема сдвоенного АЦП(1)



1. Внешние триггеры присутствуют на АЦП2, но не показаны на этой диаграмме.
2. В некоторых режимах двойного АЦП регистр данных АЦП1 (`ADC1_DR`) содержит как обычные преобразованные данные АЦП1, так и АЦП2 по всем 32 битам.

11.9.1 Введенный одновременный режим

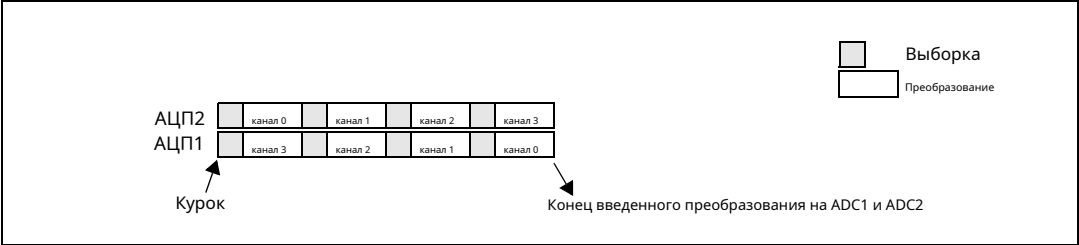
Этот режим преобразует введенную группу каналов. Источником внешнего триггера является введенный групповой мультиплексор ADC1 (выбранный битами JEXTSEL[2:0] в регистре ADC1_CR2). Одновременный запуск обеспечивается для ADC2.

Примечание: Не преобразовывайте один и тот же канал на двух АЦП (нет перекрытия времени выборки для двух АЦП при преобразовании одного и того же канала).

- В конце события преобразования на ADC1 или ADC2:
- Преобразованные данные сохраняются в регистрах ADC_JDRx каждого интерфейса ADC.
 - Прерывание JEОС генерируется (если разрешено на одном из двух интерфейсов АЦП), когда все введенные каналы АЦП1/АЦП2 преобразуются.

Примечание: В одновременном режиме точно такое же время дискретизации должно быть настроено для двух каналов, которые будут одновременно дискретизироваться ACD1 и ADC2.

Рисунок 30. Введенный одновременный режим на 4-х каналах



11.9.2 Обычный одновременный режим

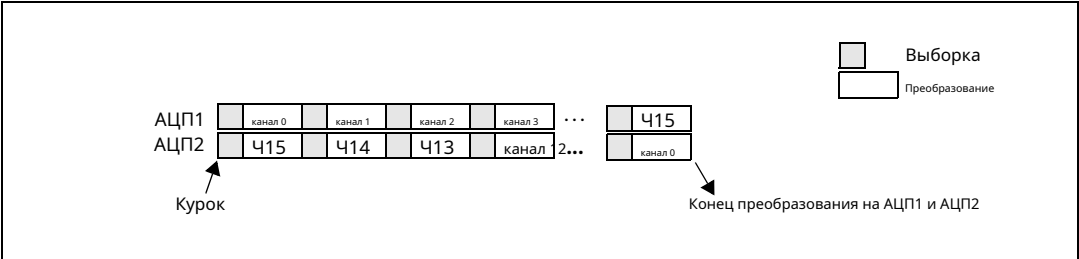
Этот режим выполняется на обычной группе каналов. Источником внешнего триггера является обычный групповой мультиплексор ADC1 (выбранный битами EXTSEL[2:0] в регистре ADC1_CR2). Одновременный запуск обеспечивается для ADC2.

Примечание: Не преобразовывайте один и тот же канал на двух АЦП (нет перекрытия времени выборки для двух АЦП при преобразовании одного и того же канала).

- В конце события преобразования на ADC1 или ADC2:
- Генерируется 32-битный запрос на передачу DMA (если установлен бит DMA), который передает в SRAM 32-битный регистр ADC1_DR, содержащий данные, преобразованные с помощью ADC2, в верхнем полуслове и данные, преобразованные с помощью ADC1, в нижнем полуслове.
 - Прерывание EОС генерируется (если разрешено на одном из двух интерфейсов АЦП), когда все обычные каналы АЦП1/АЦП2 преобразуются.

Примечание: В обычном одновременном режиме точно такое же время дискретизации должно быть настроено для двух каналов, которые будут одновременно дискретизироваться ACD1 и ADC2.

Рисунок 31. Обычный одновременный режим на 16 каналах



11.9.3 Режим быстрого чередования

Этот режим можно запустить только на обычной группе каналов (обычно один канал). Источником внешнего триггера является мультиплексор обычного канала АЦП1. После срабатывания внешнего триггера:

- АЦД2 запускается немедленно и
- АЦП1 запускается с задержкой в 7 тактовых циклов АЦП.

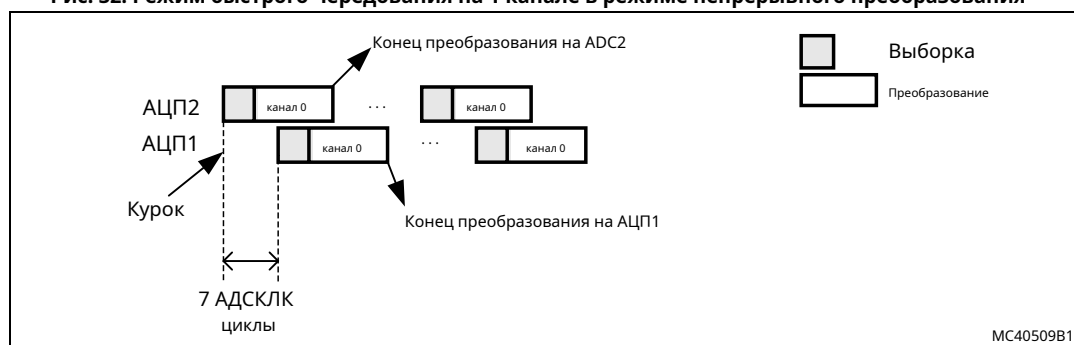
Если бит CONT установлен как на АЦП1, так и на АЦП2, выбранные обычные каналы обоих АЦП непрерывно преобразуются.

После того, как прерывание EOC сгенерировано АЦД1 (если разрешено через бит EOCIE), генерируется 32-битный запрос на передачу DMA (если бит DMA установлен), который передает в SRAM 32-битный регистр ADC1_DR, содержащий преобразованные данные АЦД2 в верхнее полуслово, а АЦП1 преобразовал данные в нижнее полуслово.

Примечание:

Максимально допустимое время выборки составляет <7 циклов ADCCLK, чтобы избежать перекрытия между фазами выборки АЦП1 и АЦП2 в случае, если они преобразуют один и тот же канал.

Рис. 32. Режим быстрого чередования на 1 канале в режиме непрерывного преобразования



11.9.4 Режим медленного чередования

Этот режим можно запустить только на обычной группе каналов (только на одном канале). Источником внешнего триггера является мультиплексор обычного канала АЦП1. После срабатывания внешнего триггера:

- АЦД2 запускается немедленно и
- АЦП1 запускается с задержкой в 14 тактовых циклов АЦП.
- АЦД2 запускается после секундной задержки в 14 циклов ADC и так далее.

Примечание:

Максимально допустимое время выборки составляет <14 циклов ADCCLK, чтобы избежать перекрытия со следующим преобразованием.

После того, как прерывание EOC сгенерировано АЦД1 (если разрешено через бит EOCIE), генерируется 32-битный запрос на передачу DMA (если бит DMA установлен), который передает в SRAM 32-битный регистр ADC1_DR, содержащий преобразованные данные АЦД2 в верхнее полуслово, а АЦП1 преобразовал данные в нижнее полуслово.

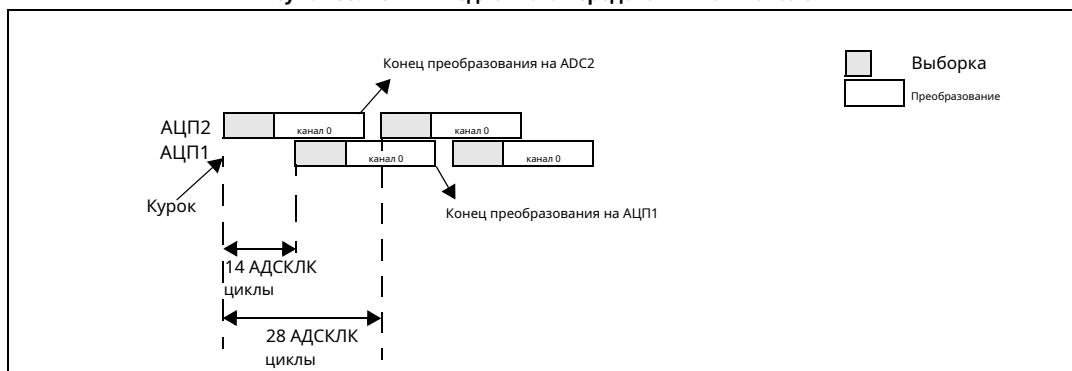
Новый запуск АЦП2 автоматически генерируется после 28 тактов АЦП.

Бит CONT не может быть установлен в режиме, так как он непрерывно преобразует выбранный обычный канал.

Примечание:

Приложение должно гарантировать, что при включенном режиме чередования не произойдет никакого внешнего триггера для введенного канала.

Рисунок 33. Режим медленного чередования на 1 канале



11.9.5 Альтернативный режим запуска

Этот режим можно запустить только на введенной группе каналов. Источником внешнего триггера является инжектированный групповой мультиплексор ADC1.

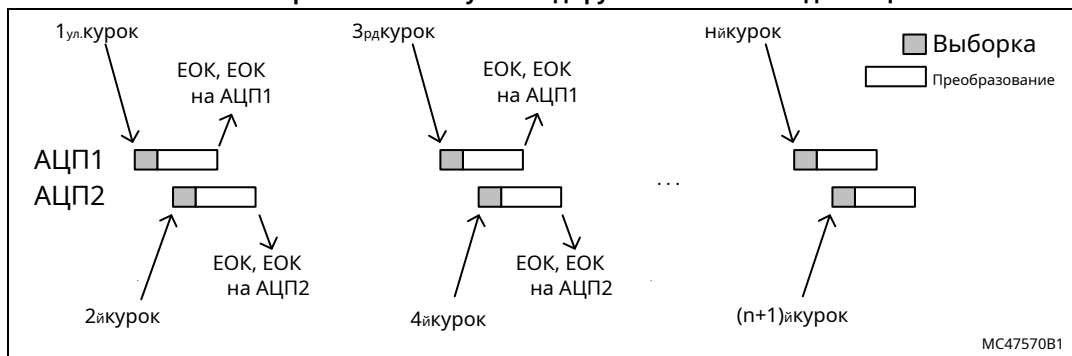
- Когда происходит первый запуск, все введенные групповые каналы в ADC1 преобразуются. Когда
- приходит второй триггер, все введенные групповые каналы в ADC2 преобразуются и так далее.
-

Прерывание JEOS, если оно разрешено, генерируется после преобразования всех введенных групповых каналов ADC1.

Прерывание JEOS, если оно разрешено, генерируется после преобразования всех введенных групповых каналов ADC2.

Если другой внешний запуск происходит после того, как все инжектированные групповые каналы были преобразованы, процесс альтернативного запуска перезапускается путем преобразования инжектированных групповых каналов ADC1.

Рис. 34. Альтернативный запуск: ввод группы каналов каждого АЦП



Если введенный прерывистый режим включен как для ADC1, так и для ADC2:

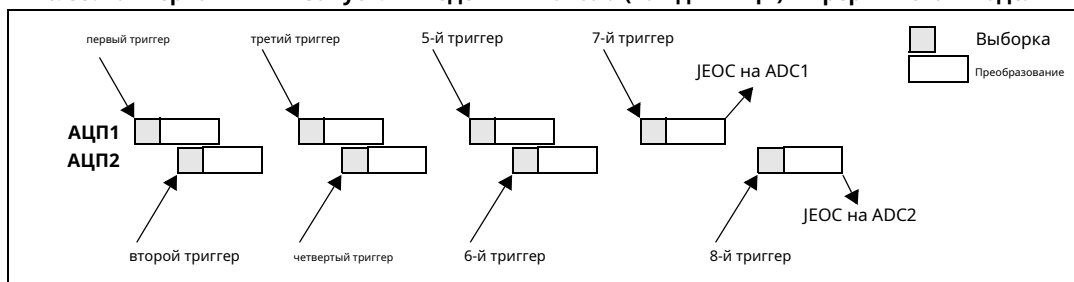
- Когда происходит первый запуск, преобразуется первый инжектированный канал в АЦП1. Когда
- приходит второй триггер, первый введенный канал в АЦП2 преобразуется и так далее....
-

Прерывание JEOS, если оно разрешено, генерируется после преобразования всех введенных групповых каналов ADC1.

Прерывание JEOS, если оно разрешено, генерируется после преобразования всех введенных групповых каналов ADC2.

Если другой внешний триггер возникает после того, как все введенные групповые каналы были преобразованы, процесс альтернативного триггера перезапускается.

Рис. 35. Альтернативный запуск: 4 введенных канала (каждый АЦП) в прерывистой модели



11.9.6 Независимый режим

В этом режиме двойная синхронизация АЦП не используется, и каждый интерфейс АЦП работает независимо.

11.9.7 Комбинированный обычный/инжектированный одновременный режим

Можно прервать одновременное преобразование обычной группы, чтобы начать одновременное преобразование введенной группы.

Примечание:

В комбинированном обычном/инжектированном одновременном режиме точно такое же время дискретизации должно быть настроено для двух каналов, которые будут одновременно дискретизироваться АСD1 и АСD2.

11.9.8 Комбинированный обычный одновременный + альтернативный режим триггера

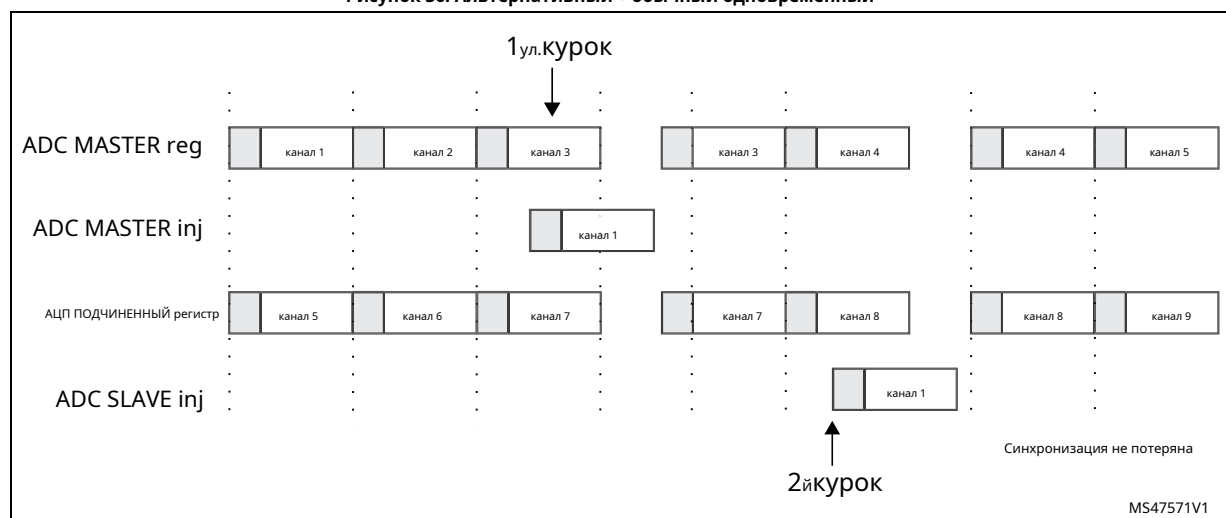
Можно прервать обычное одновременное групповое преобразование, чтобы начать альтернативное преобразование триггера введенной группы. [Рисунок 36](#) показывает поведение альтернативного триггера, прерывающего обычное одновременное преобразование.

Внедренное альтернативное преобразование запускается сразу же после поступления внедренного события. Если обычное преобразование уже выполняется, то для обеспечения синхронизации после введенного преобразования регулярное преобразование обоих (главный/подчиненный) АЦП останавливается и возобновляется синхронно в конце введенного преобразования.

Примечание:

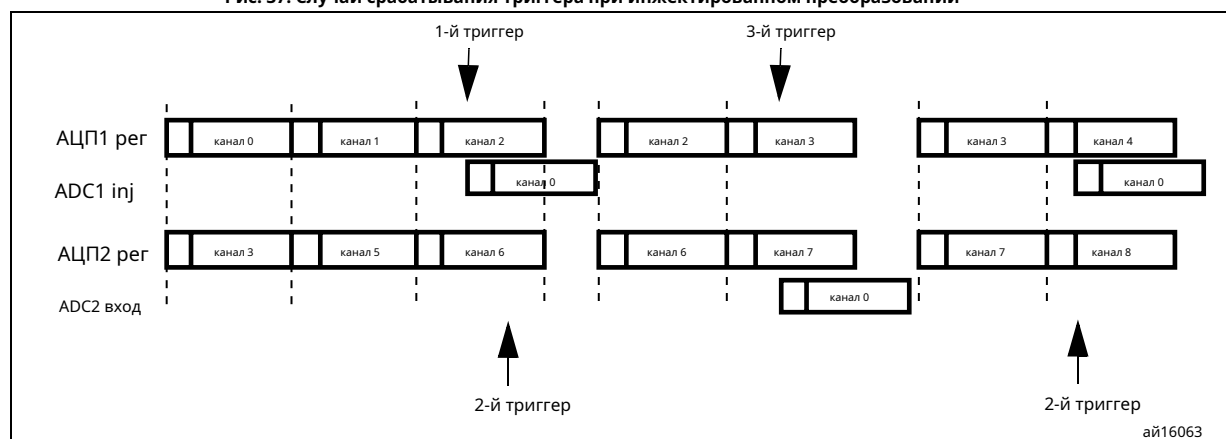
В комбинированном режиме обычного одновременного + альтернативного запуска точно такое же время выборки должно быть настроено для двух каналов, которые будут одновременно оцифровываться АСD1 и АСD2.

Рисунок 36. Альтернативный + обычный одновременный



Если триггер возникает во время введенного преобразования, которое прервало обычное преобразование, оно будет проигнорировано. [Рисунок 37](#) показывает поведение в этом случае (второй триггер игнорируется).

Рис. 37. Случай срабатывания триггера при инжектированном преобразовании



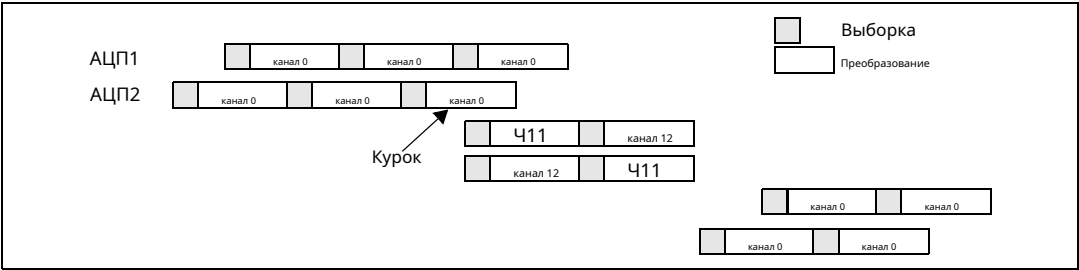
11.9.9 Комбинированный ввод одновременный + чередующийся

Преобразование с чередованием можно прервать с помощью введенного события. В этом случае чередующееся преобразование прерывается и начинается введенное преобразование, в конце введенной последовательности чередующееся преобразование возобновляется. [Рисунок 38](#) показывает поведение на примере.

Примечание:

Когда предварительный делитель часов АЦП установлен на 4, чередующийся режим не восстанавливается при равномерном распределении периодов выборки: интервал выборки составляет 8 периодов часов АЦП, за которыми следуют 6 периодов часов АЦП, вместо 7 периодов часов, за которыми следуют 7 периодов часов.

Рисунок 38. Переключающийся одиночный канал с введенной последовательностью CH11, CH12



11.10 Датчик температуры

Датчик температуры можно использовать для измерения температуры перехода (ТДж) устройства.

Датчик температуры внутренне подключен к входному каналу ADCx_IN16, который используется для преобразования выходного напряжения датчика в цифровое значение. Рекомендуемое время выборки для датчика температуры составляет 17,1 мкс.

Блок-схема датчика температуры показана на [Рисунок 39](#).

Когда этот датчик не используется, его можно перевести в режим отключения питания.

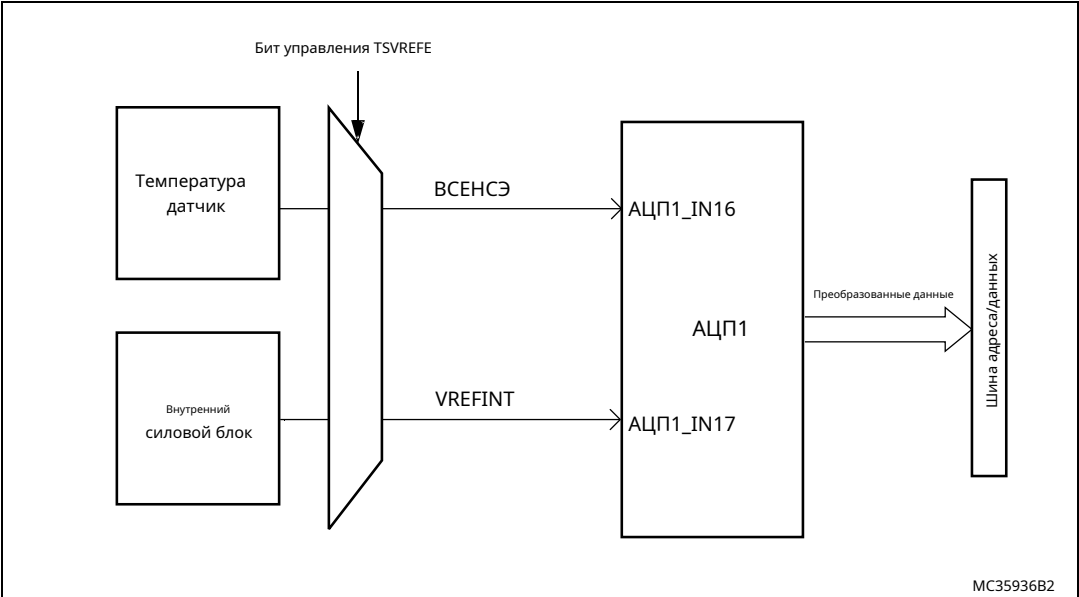
Примечание:

Бит *TSVREFE* должен быть установлен, чтобы включить оба внутренних канала: *ADCx_IN16* (датчик температуры) и *ADCx_IN17* (*Вобновить*) конверсия.

Выходное напряжение датчика температуры изменяется линейно с температурой. Смещение этой линии варьируется от чипа к чипу из-за различий в процессе (до 45 °C от одного чипа к другому).

Внутренний датчик температуры больше подходит для приложений, которые обнаруживают колебания температуры, а не абсолютные температуры. Если необходимы точные показания температуры, следует использовать внешний датчик температуры.

Рисунок 39. Датчик температуры и Вобновить блок-схема канала



Чтение температуры

Чтобы использовать датчик:

1. Выберите входной канал ADCx_IN16.
2. Выберите время выборки 17,1 мкс.
3. Установите бит TSVREFE в [Регистр управления АЦП 2 \(ADC_CR2\)](#) для вывода датчика температуры из режима отключения питания.
4. Запустите преобразование АЦП, установив бит ADON (или с помощью внешнего триггера).
5. Прочитайте полученный V_{смысл} данные в регистре данных АЦП
6. Получите температуру, используя следующую формулу:

Температура (в °C) = {(B25- V_{смысл}) / Avg_Slope} + 25. Где,

B25= V_{смысл} значение для 25°C и

Avg_Slope = средний наклон кривой между температурой и V_{смысл} (указывается в мВ/°C или мкВ/°C).

Обратитесь к разделу Электрические характеристики для фактических значений V₂₅ и средний_уклон.

Примечание:

Датчик имеет время запуска после выхода из режима отключения питания, прежде чем он сможет выводить V_{смысл} на правильном уровне. АЦП также имеет время запуска после включения питания, поэтому для минимизации задержки биты ADON и TSVREFE должны быть установлены одновременно.

11.11 Прерывания АЦП

Прерывание может быть создано в конце преобразования для обычных и инжектированных групп, а также при установке бита состояния аналогового сторожевого устройства. Отдельные биты разрешения прерывания доступны для гибкости.

Примечание:

Прерывания ADC1 и ADC2 отображаются на один и тот же вектор прерывания. Прерывания ADC3 отображаются на отдельный вектор прерывания.

Два других флага присутствуют в регистре ADC_SR, но с ними не связано прерывание:

- JSTRT (Начало преобразования для введенных групповых каналов)
- STRT (Начало преобразования для обычных групповых каналов)

Таблица 71. Прерывания АЦП

Прервать событие	Флаг события	Включить контрольный бит
Конец конверсии обычной группы	ЕОК	ЭОСИЕ
Конец введенной конверсии группы	ЭОК	ДЖОСИ
Бит состояния аналогового сторожевого таймера установлен	полный привод	АВДИ

11.12 Регистры АЦП

Ссылаться на [Раздел 2.2 на стр. 45](#) список сокращений, используемых в описаниях регистров.

Доступ к периферийным регистрам должен осуществляться по словам (32 бита).

11.12.1 Регистр состояния АЦП (ADC_SR)

Смещение адреса: 0x00

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Сдержанный											STRT	JSTRT	ЭОК	ЕОК	полный привод
											rc_w0	rc_w0	rc_w0	rc_w0	rc_w0

Биты 31:5 Зарезервировано, должно быть сохранено значение сброса.

Бит 4 **НАЧАЛО**:Флаг запуска обычного канала
Этот бит устанавливается аппаратно, когда начинается обычное преобразование каналов. Очищается программно. 0:
Обычная конвертация каналов не началась.
1: Началась обычная конвертация каналов

Бит 3 **JSTRT**:Флаг запуска введенного канала
Этот бит устанавливается аппаратно, когда начинается преобразование введенной группы каналов. Очищается программно.
0: Преобразование введенной группы не запущено.
1: Преобразование введенной группы запущено.

Бит 2 **ЭОК**:Конец конверсии добавленного канала
Этот бит устанавливается аппаратно в конце всех введенных групповых преобразований каналов. Очищается программно.
0: Преобразование не завершено 1:
Преобразование завершено

Бит 1 **ЕОС**:Конец преобразования
Этот бит устанавливается аппаратно в конце преобразования группового канала (обычного или инжектированного). Он очищается программно или чтением ADC_DR.
0: Преобразование не завершено 1:
Преобразование завершено

Бит 0 **полный привод**:Флаг аналогового сторожевого таймера
Этот бит устанавливается аппаратно, когда преобразованное напряжение пересекает значения, запрограммированные в регистрах ADC_LTR и ADC_HTR. Очищается программно.
0: Нет события аналогового сторожевого устройства 1:
Произошло событие аналогового сторожевого устройства

11.12.2 Регистр управления АЦП 1 (ADC_CR1)

Смещение адреса: 0x04

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный								AWDE H	JAWDE H	Сдержанный			ДВОЙНОЙ МОД[3:0]		
								RW	RW				RW	RW	RW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ДИСК[2:0]			JDISCE H	ДИСК RU	ДЖАУТО	полный привод СГЛ	сканирование	ЭОК IE	АВДИ	ЭОСИЕ	Полный привод[4:0]				
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

Биты 31:24 Зарезервировано, должно быть сохранено значение сброса.

Бит 23 **АВДЕН**:Включение аналогового сторожевого таймера на обычных каналах

Этот бит устанавливается/сбрасывается программно.

0: Аналоговый сторожевой таймер отключен на обычных каналах 1:

Аналоговый сторожевой таймер включен на обычных каналах

Бит 22 **ДЖОДЕН**:Включение аналогового сторожевого таймера на введенных каналах

Этот бит устанавливается/сбрасывается программно.

0: Аналоговый сторожевой таймер отключен на инжектированных каналах 1:

Аналоговый сторожевой таймер включен на инжектированных каналах

Биты 21:20 Зарезервировано, должно быть сохранено значение сброса.

Биты 19:16 **ДВОЙНОЙ МОД[3:0]**: Выбор двойного режима

Эти биты записываются программным обеспечением для выбора режима работы.

0000: Независимый режим.

0001: комбинированный обычный одновременный режим + одновременный ввод с режимом 0010:

комбинированный обычный одновременный режим + альтернативный режим запуска 0011:

комбинированный одновременный ввод + режим быстрого чередования 0100: комбинированный

одновременный ввод + режим медленного чередования 0101: только одновременный режим с

вводом

0110: только обычный одновременный режим 0111:

только режим быстрого чередования 1000: только

режим медленного чередования 1001: только режим

альтернативного запуска *Примечание:*

Эти биты зарезервированы в ADC2 и ADC3.

В двойном режиме изменение конфигурации канала приводит к перезапуску, который может привести к потере синхронизации. Перед любым изменением конфигурации рекомендуется отключить двойной режим.

Биты 15:13 **ДИСК[2:0]**: количество каналов в прерывистом режиме

Эти биты записываются программным обеспечением для определения количества обычных каналов, которые должны быть преобразованы в прерывистом режиме после получения внешнего триггера.

000: 1 канал

001: 2 канала

.....

111: 8 каналов



Бит 12 JDISCEN: Прерывистый режим на введенных каналах

Этот бит устанавливается и сбрасывается программным обеспечением для включения/отключения прерывистого режима на введенных групповых каналах.

0: прерывистый режим на введенных каналах отключен 1:
прерывистый режим на введенных каналах включен

Бит 11 ДИСКЕН: Прерывистый режим на обычных каналах

Этот бит устанавливается и сбрасывается программным обеспечением для включения/отключения прерывистого режима на обычных каналах.

0: прерывистый режим на обычных каналах отключен
1: прерывистый режим на обычных каналах включен

Бит 10 ДЖАВТО: Автоматическое преобразование введенной группы

Этот бит устанавливается и сбрасывается программным обеспечением для включения/отключения автоматического преобразования введенной группы после обычного преобразования группы.

0: Автоматическое преобразование введенной группы отключено. 1:
Автоматическое преобразование введенной группы включено.

Бит 9 AWDSSL: Включить сторожевой таймер на одном канале в режиме сканирования

Этот бит устанавливается и сбрасывается программно для включения/выключения аналогового сторожевого таймера на канале, определяемом битами AWDCH[4:0].

0: Аналоговый сторожевой таймер включен на всех каналах 1:
Аналоговый сторожевой таймер включен на одном канале

Бит 8 СКАН: Режим сканирования

Этот бит устанавливается и сбрасывается программным обеспечением для включения/отключения режима сканирования. В режиме сканирования входы, выбранные через регистры ADC_SQRx или ADC_JSQRx, преобразуются.

0: Режим сканирования отключен 1:
Режим сканирования включен

Примечание: Прерывание EOS или JEOS генерируется только в конце преобразования последнего канала, если установлен соответствующий бит EOSIE или JEOSIE.

Бит 7 ДЖОСИ: Разрешение прерывания для введенных каналов

Этот бит устанавливается и сбрасывается программным обеспечением для включения/выключения прерывания окончания преобразования для введенных каналов.

0: прерывание JEOS отключено
1: прерывание JEOS разрешено. Прерывание генерируется при установке бита JEOS.

Бит 6 **АВДИ**:Разрешение прерывания аналогового сторожевого таймера

Этот бит устанавливается и сбрасывается программным обеспечением для включения/выключения аналогового сторожевого прерывания. 0: Прерывание аналогового сторожевого таймера отключено.

1: прерывание аналогового сторожевого таймера разрешено

Бит 5 **ЭОКИ**:Разрешение прерывания для ЕОС

Этот бит устанавливается и сбрасывается программным обеспечением для включения/выключения прерывания окончания преобразования. 0: прерывание ЕОС отключено

1: прерывание ЕОС разрешено. Прерывание генерируется при установке бита ЕОС.

Биты 4:0 **Полный привод[4:0]**:Биты выбора аналогового сторожевого канала

Эти биты устанавливаются и очищаются программным обеспечением. Они выбирают входной канал, который будет охраняться аналоговым сторожевым устройством.

00000: Аналоговый канал АЦП 0

00001: Аналоговый канал АЦП

1

01111: Аналоговый АЦП, Канал 15

10000: Аналоговый АЦП, Канал 16

10001: Аналоговый АЦП, Канал 17

Другие значения: зарезервированы.

Примечание: Аналоговый АЦП1 Каналы 16 и Каналы 17 внутренне подключены к датчику температуры и к ВОБНОВИТЬ, соответственно.

Аналоговые входы АЦП2 Channel16 и Channel17 внутренне подключены к Vss.

Аналоговые входы АЦП3 Channel9, Channel14, Channel15, Channel16 и Channel17 подключены к Vss.

11.12.3 Регистр управления АЦП 2 (ADC_CR2)

Смещение адреса: 0x08

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный								ЦВРЭ КЭ	ЮВСТА РТ	JSWST искусство	EXTTR ИГ	РАСШИР[2:0]			Рез.
								RW	RW	RW	RW	RW	RW	RW	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JEXTT <small>буровая установка</small>	ДЖЕКТСЕЛЬ[2:0]				выровнять	Сдержанный	прямой доступ к памяти	Сдержанный				RST КАЛ	КАЛ	ПРОДОЛЖЕНИЕ	АДОН
RW	RW	RW	RW	RW	Рез.	RW	RW					RW	RW		



- Биты 31:24 Зарезервировано, должно быть сохранено значение сброса.
- Бит 23 ЦВРЕФЕ:** Датчик температуры и Обновитьканал. Этот бит устанавливается и сбрасывается программным обеспечением для включения/отключения датчика температуры и напряжения V_{обновить} канал. В устройствах с двумя АЦП этот бит присутствует только в АЦП1.
0: Датчик температуры и Обновитьканал отключен
1: Датчик температуры и Обновитьканал включен
- Бит 22 SWSTART:** Начать преобразование обычных каналов. Этот бит устанавливается программно для начала преобразования и сбрасывается аппаратно, как только начинается преобразование. Запускает преобразование группы обычных каналов, если SWSTART выбран в качестве триггерного события битами EXTSEL[2:0].
0: состояние сброса
1: Запускает преобразование обычных каналов
- Бит 21 JSWSTART:** Начать преобразование введенных каналов. Этот бит устанавливается программно и сбрасывается программно или аппаратно, как только начинается преобразование. Он запускает преобразование группы введенных каналов (если JSWSTART выбран в качестве триггерного события битами JEXTSEL[2:0]).
0: состояние сброса
1: Начинает преобразование введенных каналов
- Бит 20 EXTTRIG:** Режим преобразования внешнего триггера для обычных каналов. Этот бит устанавливается и сбрасывается программным обеспечением для включения/отключения внешнего триггера, используемого для запуска преобразования обычной группы каналов.
0: преобразование по внешнему событию отключено
1: преобразование по внешнему событию включено
- Биты 19:17 РАСШИР[2:0]:** выбор внешнего события для обычной группы. Эти биты выбирают внешнее событие, используемое для запуска начала преобразования обычной группы: Для ADC1 и ADC2 назначаются триггеры:
000: Событие Таймера 1 CC1
001: Событие Таймера 1 CC2
010: Событие Таймера 1 CC3
011: Событие Таймера 2 CC2
100: Событие Таймера 3 TRGO
101: Событие Таймера 4 CC4
110: событие EXTI line 11/TIM8_TRGO (TIM8_TRGO доступно только в устройствах высокой плотности и XLdensity)
111: SWSTART
- Для ADC3 назначены триггеры: 000: событие таймера 3 CC1.
001: Таймер 2, событие CC3 010: Таймер 1, событие CC3 011: Таймер 8, событие CC1 100: Таймер 8, событие TRGO 101: Таймер 5, событие CC1 110: Таймер 5, событие CC3 111: SWSTART
- Бит 16** Зарезервировано, должно быть сохранено значение сброса.

Бит 15 ДЖЕКСТРИГ: Режим преобразования внешнего триггера для введенных каналов

Этот бит устанавливается и сбрасывается программным обеспечением для включения/отключения внешнего триггера, используемого для запуска преобразования введенной группы каналов.

0: преобразование по внешнему событию отключено

1: преобразование по внешнему событию включено

Биты 14:12 ДЖЕКСТСЕЛЬ[2:0]: выбор внешнего события для введенной группы

Эти биты выбирают внешнее событие, используемое для запуска начала преобразования введенной группы:

Для ADC1 и ADC2 назначены триггеры: 000:

событие TRGO таймера 1.

001: Таймер 1, событие CC4 010:

Таймер 2, событие TRGO 011:

Таймер 2, событие CC1 100:

Таймер 3, событие CC4 101:

Таймер 4, событие TRGO

110: событие EXTI line15/TIM8_CC4 (TIM8_CC4 доступно только в устройствах высокой плотности и XLDensity)

111: JSWSTART

Для ADC3 назначены триггеры: 000:

событие TRGO таймера 1.

001: Таймер 1, событие CC4 010:

Таймер 4, событие CC3 011:

Таймер 8, событие CC2 100:

Таймер 8, событие CC4 101:

Таймер 5, событие TRGO 110:

Таймер 5, событие CC4 111:

JSWSTART

Бит 11 ВЫРОВНЯТЬ: Выравнивание данных

Этот бит устанавливается и сбрасывается программно. Ссылаться на [Рисунок 27](#), а также [Рисунок 28](#). 0:

выравнивание по правому краю

1: Выравнивание по левому краю

Биты 10:9 Зарезервировано, должно быть сохранено значение сброса.**Бит 8 прямой доступ к памяти:** Режим прямого доступа к памяти

Этот бит устанавливается и сбрасывается программно. Обратитесь к главе о контроллере прямого доступа к памяти для более подробной информации. 0: режим прямого доступа к памяти отключен

1: режим прямого доступа к памяти включен

Только ADC1 и ADC3 могут генерировать запрос DMA.

Биты 7:4 Зарезервировано, должно быть сохранено значение сброса.**Бит 3 РСТКАЛ:** Сбросить калибровку

Этот бит устанавливается программно и очищается аппаратно. Он очищается после инициализации регистров калибровки.

0: Регистр калибровки инициализирован. 1:

Инициализировать регистр калибровки.

Примечание: Если RSTCAL установлен во время преобразования, потребуются дополнительные циклы для очистки регистров калибровки.

Бит 2 **КАЛ:**АЦП калибровка

Этот бит устанавливается программой для запуска калибровки. Он сбрасывается аппаратно после завершения калибровки.

0: Калибровка завершена 1:
Включить калибровку

Бит 1 **ПРОДОЛЖЕНИЕ:**Непрерывное преобразование

Этот бит устанавливается и сбрасывается программно. Если установлено, преобразование происходит непрерывно, пока этот бит не будет сброшен.

0: Режим однократного преобразования 1:
Режим непрерывного преобразования

Бит 0 **АДОН:** аналого-цифровой преобразователь ВКЛ./ВЫКЛ.

Этот бит устанавливается и сбрасывается программно. Если этот бит содержит нулевое значение и в него записывается 1, то он пробуждает АЦП из состояния Power Down.

Преобразование начинается, когда этот бит содержит значение 1 и в него записывается 1. Приложение должно допускать задержку tСТАБмежду включением питания и началом преобразования. Ссылаться на [Рисунок 23](#).

0: отключить преобразование/калибровку АЦП и перейти в режим отключения питания.
1: включить АЦП и начать преобразование

Примечание: Если при этом изменяется какой-либо другой бит в этом регистре, кроме ADON, то преобразование не запускается. Это необходимо для предотвращения ошибочного преобразования.

11.12.4 Регистр шага выборки АЦП 1 (ADC_SMPR1)

Смещение адреса: 0x0C

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный								СМП17[2:0]			СМП16[2:0]			СМП15[2:1]	
								RW	RW	RW	RW	RW	RW	RW	RW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
СМП15_0	СМП14[2:0]			СМП13[2:0]			СМП12[2:0]			СМП11[2:0]			СМП10[2:0]		
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

Биты 31:24 Зарезервировано, должно быть сохранено значение сброса.

Биты 23:0 СМПх[2:0]:Канал х выбор шага расчета

Эти биты записываются программным обеспечением для индивидуального выбора шага расчета для каждого канала.
Во время циклов выборки биты выбора канала должны оставаться неизменными.

- 000: 1,5 цикла
- 001: 7,5 циклов
- 010: 13,5 циклов
- 011: 28,5 циклов
- 100: 41,5 цикла
- 101: 55,5 циклов
- 110: 71,5 цикла
- 111: 239,5 циклов

Примечание: Аналоговый АЦП1 Каналы 16 и Каналы 17 внутренне подключены к датчику температуры и к ВОБНОВИТЬ, соответственно.
Аналоговый вход АЦП2 Каналы 16 и Каналы 17 внутренне подключены к Vss.
Аналоговые входы АЦП3 Канал 14, Канал 15, Канал 16 и Канал 17 подключены к Vss.



11.12.5 Регистр 2 шага выборки АЦП (ADC_SMPR2)

Смещение адреса: 0x10

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный		СМП9[2:0]			СМП8[2:0]			СМП7[2:0]			СМП6[2:0]			СМП5[2:1]	
Рез.		RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
СМП5_0	СМП4[2:0]			СМП3[2:0]			СМП2[2:0]			СМП1[2:0]			СМП0[2:0]		
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

Биты 31:30 Зарезервировано, должно быть сохранено значение сброса.

Биты 29:0 СМПх[2:0]:Канал х выбор шага расчета

Эти биты записываются программным обеспечением для индивидуального выбора шага расчета для каждого канала.
Во время циклов выборки биты выбора канала должны оставаться неизменными.

- 000: 1,5 цикла
- 001: 7,5 циклов
- 010: 13,5 циклов
- 011: 28,5 циклов
- 100: 41,5 цикла
- 101: 55,5 циклов
- 110: 71,5 цикла
- 111: 239,5 циклов

Примечание. Канал 9 аналогового входа АЦП3 подключен к Vss.

11.12.6 Регистр смещения данных канала, вводимый АЦП, х (ADC_JOFRx) (х=1..4)

Смещение адреса: 0x14-0x20

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Сдержанный				JOFFSETx[11:0]											
				RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

Биты 31:12 Зарезервировано, должно быть сохранено значение сброса.

Биты 11:0 JOFFSETx[11:0]: Смещение данных для введенного канала х

Эти биты записываются программным обеспечением для определения смещения, которое необходимо вычесть из необработанных преобразованных данных при преобразовании инжектированных каналов. Результат преобразования можно прочитать в регистрах ADC_JDRx.

11.12.7 Регистр верхнего порога сторожевого устройства АЦП (ADC_HTR)

Смещение адреса: 0x24

Значение сброса: 0x0000 0FFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Сдержанный				ХТ[11:0]											
				RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

Биты 31:12 Зарезервировано, должно быть сохранено значение сброса.

Биты 11:0 ХТ[11:0]:Верхний порог аналогового сторожевого устройства

Эти биты записываются программным обеспечением для определения верхнего порога аналогового сторожевого таймера.

Примечание: Программное обеспечение может записывать в эти регистры, когда выполняется преобразование АЦП. Запрограммированное значение вступит в силу после завершения следующего преобразования. Запись в этот регистр выполняется с задержкой записи, что может создать неопределенность в отношении фактического времени, в которое запрограммировано новое значение.

11.12.8 Регистр нижнего порога сторожевой схемы АЦП (ADC_LTR)

Смещение адреса: 0x28

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Сдержанный				ЛТ[11:0]											
				RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

Биты 31:12 Зарезервировано, должно быть сохранено значение сброса.

Биты 11:0 ЛТ[11:0]:Нижний порог аналогового сторожевого устройства

Эти биты записываются программным обеспечением для определения нижнего порога аналогового сторожевого таймера.

Примечание: Программное обеспечение может записывать в эти регистры, когда выполняется преобразование АЦП. Запрограммированное значение вступит в силу после завершения следующего преобразования. Запись в этот регистр выполняется с задержкой записи, что может создать неопределенность в отношении фактического времени, в которое запрограммировано новое значение.



11.12.9 Регистр регулярной последовательности АЦП 1 (ADC_SQR1)

Смещение адреса: 0x2C

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный								Л[3:0]				SQ16[4:1]			
								RW	RW	RW	RW	RW	RW	RW	RW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ16_0	SQ15[4:0]						SQ14[4:0]					SQ13[4:0]			
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

- Биты 31:24 Зарезервировано, должно быть сохранено значение сброса.
- Биты 23:20 **Л[3:0]:** Обычная длина последовательности каналов
Эти биты записываются программным обеспечением для определения общего количества преобразований в обычной последовательности преобразования канала.
0000: 1 преобразование
0001: 2 преобразования
.....
1111: 16 преобразований
- Биты 19:15 **SQ16[4:0]:** 16-е преобразование в обычной последовательности
Эти биты записываются программным обеспечением с номером канала (0..17), назначенным 16-м в последовательности преобразования.
- Биты 14:10 **SQ15[4:0]:** 15-е преобразование в обычной последовательности
- Биты 9:5 **SQ14[4:0]:** 1 четвертое преобразование в обычной последовательности
- Биты 4:0 **SQ13[4:0]:** 13-е преобразование в обычной последовательности

11.12.10 Регистр регулярной последовательности АЦП 2 (ADC_SQR2)

Смещение адреса: 0x30

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный	SQ12[4:0]					SQ11[4:0]					SQ10[4:1]				
	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ10_0	SQ9[4:0]					SQ8[4:0]					SQ7[4:0]				
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

- Биты 31:30 Зарезервировано, должно быть сохранено значение сброса.
- Биты 29:26 **SQ12[4:0]:** 12-е преобразование в обычной последовательности
Эти биты записываются программным обеспечением с номером канала (0..17), назначенным 12-м в последовательности, подлежащей преобразованию.
- Биты 24:20 **SQ11[4:0]:** 11-е преобразование в обычной последовательности
- Биты 19:15 **SQ10[4:0]:** 10-е преобразование в обычной последовательности
- Биты 14:10 **SQ9[4:0]:** 9-е преобразование в обычной последовательности
- Биты 9:5 **SQ8[4:0]:** 8-е преобразование в обычной последовательности
- Биты 4:0 **SQ7[4:0]:** 7-е преобразование в обычной последовательности



11.12.11 Регистр регулярной последовательности АЦП 3 (ADC_SQR3)

Смещение адреса: 0x34

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный	SQ6[4:0]					SQ5[4:0]					SQ4[4:1]				
	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SQ4_0	SQ3[4:0]					SQ2[4:0]					SQ1[4:0]				
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

- Биты 31:30 Зарезервировано, должно быть сохранено значение сброса.
- Биты 29:25 **SQ6[4:0]**: 6-е преобразование в обычной последовательности
Эти биты записываются программным обеспечением с номером канала (0..17), назначенным шестым в последовательности, подлежащей преобразованию.
- Биты 24:20 **SQ5[4:0]**: 5-е преобразование в обычной последовательности
- Биты 19:15 **SQ4[4:0]**: четвертое преобразование в обычной последовательности
- Биты 14:10 **SQ3[4:0]**: третье преобразование в обычной последовательности
- Биты 9:5 **SQ2[4:0]**: второе преобразование в обычной последовательности
- Биты 4:0 **SQ1[4:0]**: первое преобразование в обычной последовательности

11.12.12 Регистр последовательности, введенной АЦП (ADC_JSQR)

Смещение адреса: 0x38

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный										ДжЛ[1:0]		JSQ4[4:1]			
										RW	RW	RW	RW	RW	RW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
JSQ4_0		JSQ3[4:0]				JSQ2[4:0]				JSQ1[4:0]					
RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW

- Биты 31:22 Зарезервировано, должно быть сохранено значение сброса.
- Биты 21:20 ДжЛ[1:0]: Длина введенной последовательности
- Эти биты записываются программным обеспечением для определения общего количества преобразований в введенной последовательности преобразования канала.
- 00: 1 преобразование
- 01: 2 преобразования
- 10: 3 преобразования
- 11: 4 преобразования
- Биты 19:15 JSQ4[4:0]: четвертое преобразование в введенной последовательности (когда JL[1:0] = 3)⁽¹⁾
- Эти биты записываются программой с номером канала (0..17), назначенным четвертым в последовательности, подлежащей преобразованию.

Примечание: В отличие от обычной последовательности преобразования, если длина JL[1:0] меньше четырех, каналы преобразуются в последовательности, начиная с (4-JL). Пример: ADC_JSQR[21:0] = 10 00011 00011 00111 00010 означает, что преобразование сканирования будет преобразовывать следующую последовательность каналов: 7, 3 (не 2, 7, 3)

- Биты 14:10 JSQ3[4:0]: третье преобразование в введенной последовательности (когда JL[1:0] = 3)
- Биты 9:5 JSQ2[4:0]: второе преобразование в введенной последовательности (когда JL[1:0] = 3)
- Биты 4:0 JSQ1[4:0]: первое преобразование в введенной последовательности (когда JL[1:0] = 3)

1. Когда JL=3 (4 введенных преобразования в секвенсоре), АЦП преобразует каналы в следующем порядке: JSQ1[4:0] >> JSQ2[4:0] >> JSQ3[4:0] >> JSQ4[4:0]

Когда JL=2 (3 введенных преобразования в секвенсоре), АЦП преобразует каналы в следующем порядке: JSQ2[4:0] >> JSQ3[4:0] >> JSQ4[4:0]

Когда JL=1 (2 введенных преобразования в секвенсоре), АЦП преобразует каналы в следующем порядке: JSQ3[4:0] >> JSQ4[4:0]

Когда JL=0 (1 введенное преобразование в секвенсоре), АЦП преобразует только канал JSQ4[4:0]



11.12.13 Регистр данных, введенных АЦП, x (ADC_JDRx) (x= 1..4)

Смещение адреса: 0x3C - 0x48

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Сдержанный															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ДАННЫЕ[15:0]															
р	р	р	р	р	р	р	р	р	р	р	р	р	р	р	р

Биты 31:16 Зарезервировано, должно быть сохранено значение сброса.

Биты 15:0 **ДАННЫЕ[15:0]**: введенные данные

Эти биты доступны только для чтения. Они содержат результат преобразования из внедренного канала x. Данные выравниваются по левому или правому краю, как показано на [Рисунок 27а](#) также [Рисунок 28](#).

11.12.14 Регистр обычных данных АЦП (ADC_DR)

Смещение адреса: 0x4C

Значение сброса: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
АЦП2ДАННЫЕ[15:0]															
р	р	р	р	р	р	р	р	р	р	р	р	р	р	р	р
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ДАННЫЕ[15:0]															
р	р	р	р	р	р	р	р	р	р	р	р	р	р	р	р

Биты 31:16 **АЦП2ДАННЫЕ[15:0]**: данные АЦП2

В АЦП1: в двойном режиме эти биты содержат обычные данные АЦП2. Ссылаться на [Раздел 11.9: Режим двойного АЦП](#).
В ADC2 и ADC3: эти биты не используются.

Биты 15:0 **ДАННЫЕ[15:0]**: обычные данные

Эти биты доступны только для чтения. Они содержат результат конверсии из обычных каналов. Данные выравниваются по левому или правому краю, как показано на [Рисунок 27а](#) также [Рисунок 28](#).

В следующей таблице приведены регистры АЦП.

[illegible]

Таблица 72. Карта регистров АЦП и значения сброса (продолжение)

Компенсировать	регистр	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0									
0x30	АЦП_SQR2	Сдержанный	SQ12[4:0] 12 место преобразование в обычный биты последовательности				SQ11[4:0] 11-й преобразование в обычный биты последовательности				SQ10[4:0] 10-й преобразование в обычный биты последовательности				SQ9[4:0] 9 место преобразование в обычный биты последовательности				SQ8[4:0] 8 место преобразование в обычный биты последовательности				SQ7[4:0] 7-й преобразование в обычный биты последовательности																			
	Сбросить значение		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										
0x34	ADC_SQR3	Сдержанный	SQ6[4:0] 6 место преобразование в обычный биты последовательности				SQ5[4:0] 5 место преобразование в обычный биты последовательности				SQ4[4:0] четвертый преобразование в обычный биты последовательности				SQ3[4:0] третий преобразование в обычный биты последовательности				SQ2[4:0] секунда преобразование в обычный биты последовательности				SQ1[4:0] первый преобразование в обычный биты последовательности																			
	Сбросить значение		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0										
0x38	ADC_JSQR	Сдержанный										ДжЛ[1:0]	JSQ4[4:0] четвертое обращение впрыскивается биты последовательности				JSQ3[4:0] третий преобразование в инъецированный биты последовательности				JSQ2[4:0] второй преобразование в инъецированный биты последовательности				JSQ1[4:0] первый преобразование в инъецированный биты последовательности																	
	Сбросить значение											0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0								
0x3C	ADC_JDR1	Сдержанный																		ДАННЫЕ[15:0]																						
	Сбросить значение																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x40	ADC_JDR2	Сдержанный																		ДАННЫЕ[15:0]																						
	Сбросить значение																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x44	ADC_JDR3	Сдержанный																		ДАННЫЕ[15:0]																						
	Сбросить значение																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x48	ADC_JDR4	Сдержанный																		ДАННЫЕ[15:0]																						
	Сбросить значение																			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x4C	ADC_DR	АЦП2ДАННЫЕ[15:0]																		Обычные ДАННЫЕ[15:0]																						
	Сбросить значение	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0									

Ссылаться на [Таблица 3 на стр. 50](#) для граничных адресов регистра.