

การทดลองที่ 12 Data Acquisition and conversion

วัตถุประสงค์ ให้ผู้ทำการทดลองเข้าใจถึง หลักการและคุณสมบัติ ตลอดจนแนวทางการนำอุปกรณ์ทางด้าน Data Acquisition และ Data Conversion ไปใช้

ทฤษฎี

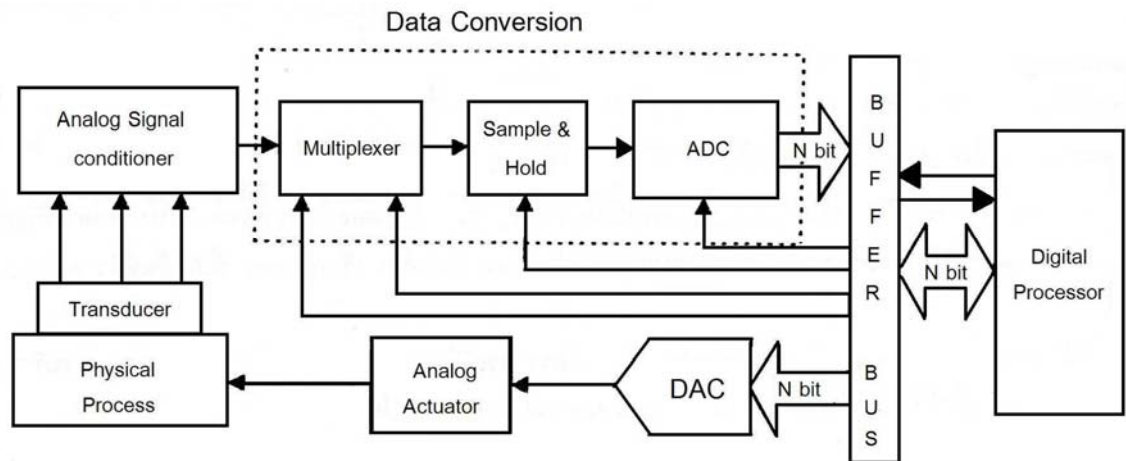
1. บทนำ

การทดลองเรื่อง Data Acquisition and Conversion ในเบื้องต้นจะกล่าวถึงทฤษฎีของ Data Acquisition โดยสังเขป ซึ่งผู้ทดลองสามารถศึกษารายละเอียดเพิ่มเติมได้ในบรรณานุกรมตามรายชื่อที่อยู่ท้ายคู่มือการทดลองนี้ ในการทดลองมีจุดมุ่งหมายให้ศึกษาถึงคุณสมบัติของอุปกรณ์เหล่านี้ซึ่งได้แก่ วงจรแรงดันอ้างอิง (Voltage reference), Sampling and Hold, Digital to Analog Converter (DAC) และ Analog to Digital Converter (ADC)

2. ทฤษฎีของ Data Acquisition and Conversion

2.1 บทนำ

รูปแบบสัญญาณไฟฟ้าที่เราพบเห็นและคุ้นเคยในชีวิตประจำวันจะอยู่ในรูปของสัญญาณที่ต่อเนื่องหรือเรียกว่า สัญญาณอนาล็อก (Analog Signal) ซึ่งแต่เดิมการนำเอาสัญญาณไฟฟ้าง่ายๆ มาประมวล เพื่อให้มีรูปแบบที่เหมาะสม จะกระทำในแบบ Analog นั่นเอง แต่เมื่อเทคนิคและอุปกรณ์การประมวลสัญญาณทางดิจิทัลได้รับการพัฒนาขึ้นมา เนื่องจากพบว่าในรูปแบบดิจิทัล การประมวล เก็บ สืบสาร และการนำเสนอกระทำได้ง่ายและอย่างมีประสิทธิภาพ มากกว่า ดังนั้นการเปลี่ยนรูปแบบของสัญญาณ (Conversion) จึงได้มีความจำเป็นขึ้นมา ในรูปที่ 1 เป็นตัวอย่างแสดง ระบบควบคุมที่ใช้การประมวลข้อมูลแบบดิจิทัลในระบบที่ยกตัวอย่างการเปลี่ยนแปลงทางกายภาพในลักษณะใดๆก็ตาม (Physical Process) เช่น ความดัน อุณหภูมิ เป็นต้น จะถูกเปลี่ยนให้เป็นสัญญาณไฟฟ้า ที่มีความต่อเนื่อง (สัญญาณอนาล็อก) โดยทรานสดิวซ์เซอร์ที่มี คุณสมบัติที่เหมาะสมกับรูปแบบทางกายภาพนั้น สัญญาณไฟฟ้าจะถูกปรับให้อยู่ในรูป และขนาดที่เหมาะสมก่อนโดย Analog Signal Conditioner ซึ่งอาจจะเป็น วงจรขยายหรือฟิลเตอร์ เป็นต้น ADC จะทำหน้าที่เปลี่ยนรูปแบบของสัญญาณ จากอนาล็อกเป็นดิจิทัล ตัวประมวลทางดิจิทัล (Digital processors) เช่น คอมพิวเตอร์ จะจัดการกับข้อมูลเพื่อนำเสนอ หรือถูกเปลี่ยนกลับมาอยู่ในรูปแบบอนาล็อกโดย DAC เพื่อป้อนกลับไปควบคุม Physical Process

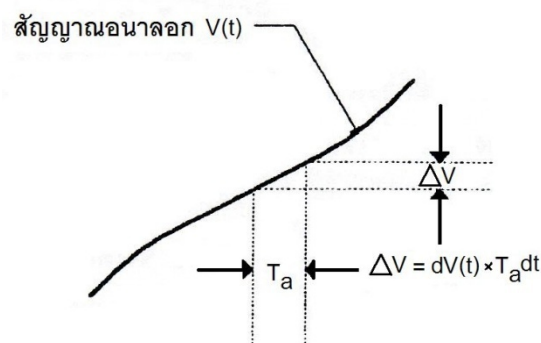


รูปที่ 1 ระบบควบคุมที่มีการประมวลผลข้อมูลแบบดิจิทัล

ในระบบที่มีข้อมูลที่ต้องประมวลในเวลาเดียวกันหลายๆข้อมูล หาก ADC ทำงานได้เร็วพอจะไม่จำเป็นต้องใช้ ADC หลายตัวทำงานแยกกันสำหรับข้อมูลแต่ละชุดแต่จะใช้วิธีแบ่งเวลา (Time shearing) โดยวิธี multiplexing (รูปที่ 1) วงจร Sampling and hold (S/H) จะกลุ่ม (Sample) ขนาดของสัญญาณอนาลอกมาเก็บ (Hold) ไว้ชั่วขณะเพื่อรอให้ ADC รับไปเปลี่ยนให้เป็นสัญญาณดิจิทัลจนเรียบร้อยแล้วค่อยส่งสัญญาณใหม่นี้เพื่อที่ไม่จำเป็นต้องใช้ ADC ที่มีความเร็วสูงราคาแพง ข้อมูลดิจิทัลจะถูกส่งไปยัง System bus และถูกประมวลโดย Processor ผลของการประมวลจะถูกส่งกลับออกมาเพื่อเปลี่ยนกลับมาเป็นสัญญาณอนาลอกโดย DAC เพื่อไปควบคุมกิจกรรมทางกายภาพของระบบผ่าน Analog actuator

2.2 ทฤษฎีการ Sampling

ในการเปลี่ยนแปลงสัญญาณอนาลอกให้เป็นสัญญาณดิจิทัล ADC จะต้องใช้เวลาช่วงหนึ่งในการจัดการซึ่งช่วงเวลาดังกล่าวนั้นขึ้นอยู่กับหลายๆ แฟกเตอร์ เช่น ความละเอียดของการเปลี่ยนสัญญาณ (จำนวนดิจิทัลบิต) เทคนิคของการเปลี่ยนแปลงสัญญาณ และความเร็วในการทำงานของอุปกรณ์ร่วมอื่นกำหนดความเร็วของการแปลงสัญญาณขึ้นอยู่กับการประยุกต์ใช้งานเฉพาะอย่าง และความแม่นยำที่ต้องการ



รูปที่ 2 แสดง Error จากการวัดใน Aperture time

ช่วงเวลาในการแปลงสัญญาณบางครั้งอาจเรียกว่า Aperture time ซึ่งความหมายโดยทั่วไปหมายถึงช่วงเวลาที่เกิดความไม่แน่นอนขึ้นในการวัดและผลก็คือเกิดความผิดพลาด (Error) ต่อค่าที่วัดได้ในรูปที่ 2 สัญญาณอนาลอก $V(t)$ มีอัตราการเปลี่ยนแปลง dv/dt ในช่วง Aperture time T_a ดังนั้นช่วงการเปลี่ยนแปลงอนาลอกจะเท่ากับ ΔV โดย

$$\Delta V = T_a \frac{dV(t)}{dt}$$

ดังนั้นหากเวลาที่ ADC ใช้ในการเปลี่ยนแปลงสัญญาณในช่วง T_a นี้รหัสดิจิทัลที่ได้อาจจะตรงกับขนาดของสัญญาณอนาลอกค่าใดค่าหนึ่งในช่วงนี้ และส่วนอื่นๆที่เหลือคือ error ที่เกิดขึ้นนี้ว่า Aperture time error

ตัวอย่างในกรณีสัญญาณอินพุตเป็นรูปซายน์ อัตราการเปลี่ยนแปลงบนรูปคลื่นจะเกิดสูงที่สุดตรงบริเวณจุดตัดแกนเวลารอบๆจุดศูนย์โวลต์ (Zero Crossing) และ Aperture error คือ

$$\Delta V = T_a \frac{d}{dt} (A \sin \omega t)_{t=0} = T_a A \omega$$

และ error รวม (ϵ) คิดจากอัตราส่วนของขนาดเต็มสเกล คือ

$$\epsilon = \frac{\Delta V}{2A} = \pi f T_a$$

ดังนั้นหากต้องการเปลี่ยนสัญญาณเป็นรูปซายน์ความถี่ 1 กิโลเฮิร์ต ให้เป็นสัญญาณดิจิทัล 10 บิต ซึ่งยอมให้ Error ไม่เกินกว่า Resolution (จะกล่าวถึงภายหลัง) คือ $1/2^{10}$ LSB หรือ 0.001 ดังนั้นเวลา Aperture time จะต้องอยู่ในช่วง

$$T_a = \frac{\epsilon}{\pi f} = \frac{0.001}{3.14 \times 10^3} = 320 \times 10^{-9}$$

จะเห็นว่าแม้สัญญาณ 1 กิโลเฮิร์ต จะไม่ใช่ความถี่สูงก็จริง แต่ ADC ที่ใช้ต้องการเวลาในการเปลี่ยนในเวลา 320 นาโนวินาที ให้เป็นรหัส 10 บิต วิธีอื่นที่ไม่จำเป็นต้องใช้ ADC ความเร็วสูงคือ การใช้ Sample and Hold ซึ่ง Sample and Hold ที่มี Aperture time น้อยๆ นั้นทำได้ง่ายและราคาถูกกว่า

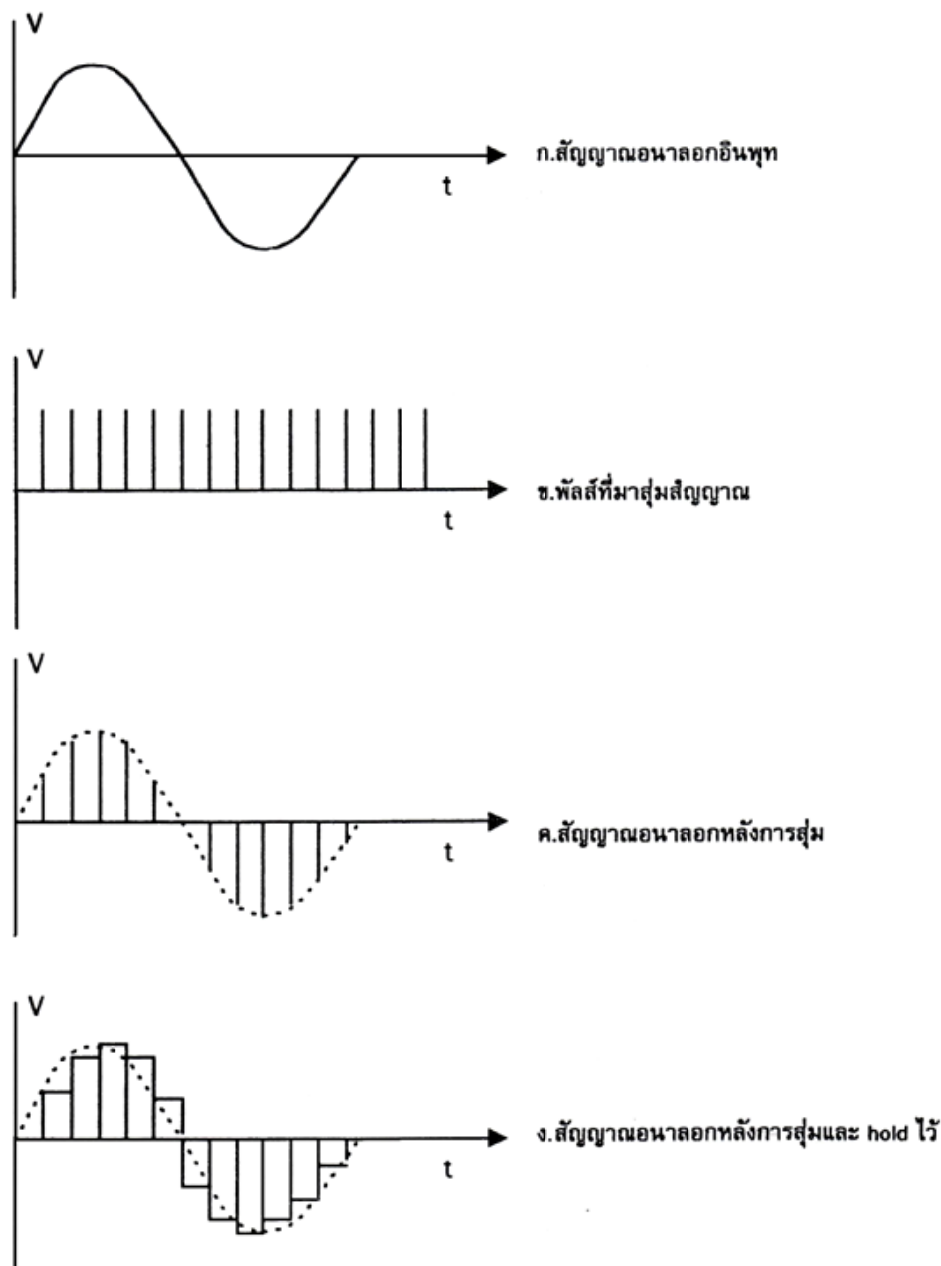
2.3 Sampling และ Aperture Error

ในรูปที่ 1 วงจร Sample and Hold จะทำการสุ่ม (Sampling) สัญญาณอินพุตและนำสัญญาณที่สุ่มนั้นมาเก็บไว้ในช่วงเวลาหนึ่งได้ ซึ่งส่วนใหญ่จะใช้เวลาประจวบคณันนั้นไว้ในตัวเก็บประจุที่รั่วไหลต่ำ Aperture time ของ Sample and Hold คือ เวลาตั้งแต่เริ่มสุ่มสัญญาณจนเก็บประจุค่าแรงดันจนถึงค่าที่สุ่มซึ่งสำหรับ Sample and Hold แล้ว Aperture time ขึ้นอยู่กับแบนด์วิดท์ และ Switching time ของอุปกรณ์แอคทีฟ (จะกล่าวภายหลัง) ที่ใช้ในวงจร ซึ่งหาและสร้างได้ง่ายและราคาถูกกว่าการสร้าง ADC ความเร็วสูง

ในการ สุ่มสัญญาณอนาลอกจะถูกสุ่มเป็นระยะๆคงที่ตามรูปที่ 3 ค การสุ่มจะเป็นการติดต่อสัญญาณอนาลอกในช่วงเวลาอันสั้นด้วยสวิทช์ที่ทำงานด้วยความเร็วสูง ผลของการสุ่มสัญญาณด้วยความเร็วเสมือนกับการคูณขบวน

สัญญาณพัลส์แคบๆกับสัญญาณอนาลอก โดยเสมือนว่าสัญญาณอนาลอกจะขึ้นมาบนขบวนพัลส์ ดังแสดงในรูปที่ 3 ค หากสัญญาณอนาลอกที่ถูกสุ่มถูก Hold จนกว่าสัญญาณค่าใหม่ถูกสุ่มเข้ามาซึ่งจะได้ลักษณะของเอาต์พุตที่แสดงในรูปที่ 3 ง

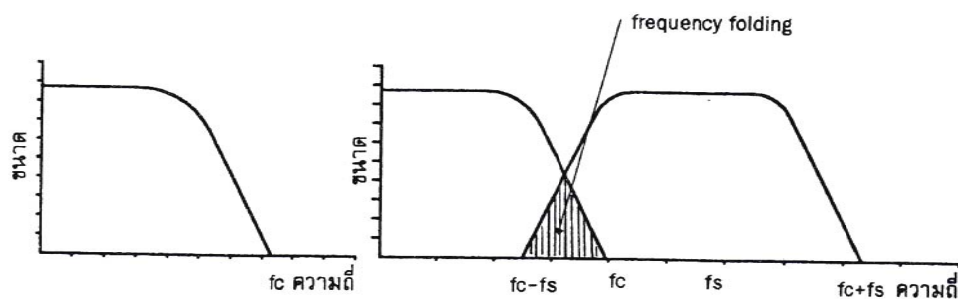
มีปัญหาที่ว่าอัตราการสุ่มสัญญาณนั้นควรมีขนาดเท่าไรจึงจะไม่ทำให้ข้อมูลเสียไปเมื่อสัญญาณนั้นถูกเปลี่ยนกลับมาเป็นเช่นเดิม (Reconstruction) คำตอบก็คือ ขึ้นอยู่กับความถี่ของสัญญาณอนาลอก ทฤษฎีของการสุ่มกล่าวไว้ว่า “ถ้าสัญญาณต่อเนื่องซึ่งมีความถี่และฮาร์โมนิกส์ไม่เกิน f_c ถูกสุ่มด้วยอัตราการสุ่มไม่น้อยกว่า $2f_c$ แล้วสัญญาณดังกล่าวจะสามารถเปลี่ยนกลับมาได้โดยไม่สูญเสีย รายละเอียดผิดเพี้ยนไป”



รูปที่ 3 การสุ่มสัญญาณ

2.4 Frequency folding and Aliasing

จากทฤษฎีของการสุ่มสามารถอธิบายด้วยลักษณะรูปสเปกตรัมของสัญญาณในรูปที่ 4 (ก) แสดงให้เห็นว่า สเปกตรัมของสัญญาณที่ถูกส่งซึ่งแบนด์วิดท์ไม่เกิน f_c ในขณะนี้สัญญาณนี้จะถูกสุ่มด้วยความถี่ f_s ของขบวนการสุ่มเลขฐานสอง จะทำให้แถบสเปกตรัมของสัญญาณสุ่มขยายกว้างออกจาก f_s เป็น $2f_s, 3f_s, \dots$ ได้เป็นดังรูป 4 ข ถ้าความถี่ของสัญญาณสุ่ม f_s ไม่สูงพอหลังจากสุ่มสเปกตรัมบางส่วนจาก f_s จะหาซ้อนกลับสเปกตรัมของสัญญาณซึ่งเรียกว่า Frequency folding หากเป็นเช่นนั้นก็จะทำให้เกิดความเพี้ยนแก่สัญญาณอนาลอกจากการซ้อนทับกันของสเปกตรัมเมื่อสัญญาณถูกเปลี่ยนกลับให้อยู่ในรูปเดิม

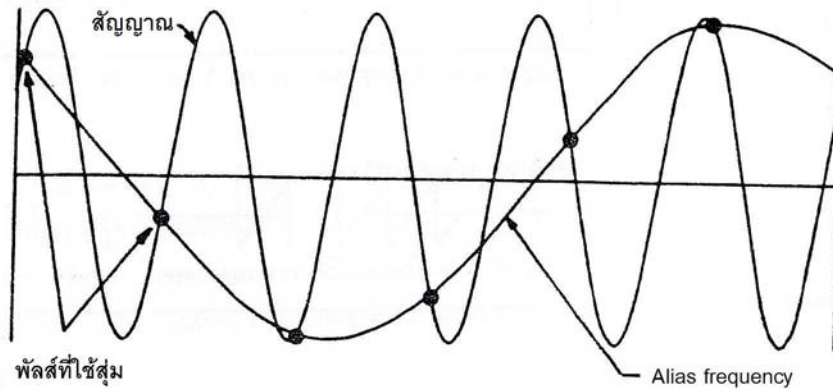


รูปที่ 4 ก. แสดงสเปกตรัมของสัญญาณอนาลอกที่จะถูกสุ่ม

ข. สเปกตรัมหลังจากการสุ่ม เกิด Frequency folding

และถ้าเลื่อนความถี่ของการสุ่มให้สูงขึ้นจนโอกาสการซ้อนของสเปกตรัมหมดไป ($f_s - f_c = f_c$) และการเปลี่ยนกลับของสัญญาณหลังจากถูกสุ่มก็ยังคงเหมือนเดิมได้

ทฤษฎีการสุ่มที่ว่าให้ $f_s > 2f_c$ นั้นก็เพื่อการจัดการซ้อนกันของสเปกตรัมซึ่งทำได้สองวิธีวิธีหนึ่งด้วยการใช้อัตราการสุ่มที่สูงพอดังกล่าวและ อีกวิธีหนึ่งคือการทำฟิลเตอร์ความถี่ของสัญญาณอนาลอกก่อนการสุ่ม (Antialiasing filter) เพื่อจำกัดแบนด์วิดท์ของสัญญาณที่ถูกแปลงไม่ให้เกินไปกว่า $f_s/2$ ในทางปฏิบัติแล้วจะยังคงเกิด Frequency folding ได้เสมอจากส่วนจากฮาร์โมนิกส์ของสัญญาณแล้ว พยายามให้การสุ่มสัญญาณเป็นไปอย่างรวดเร็วมากที่สุด ซึ่งปรกติจะสูงกว่าความถี่ต่ำสุดตามทฤษฎี Sampling คือ $2f_c$ เสมอ



รูปที่ 5 การเกิด Alias Frequency จากการสุ่มด้วยความถี่ต่ำกว่า 2 เท่าของความถี่สัญญาณอินพุตรูปซายน์

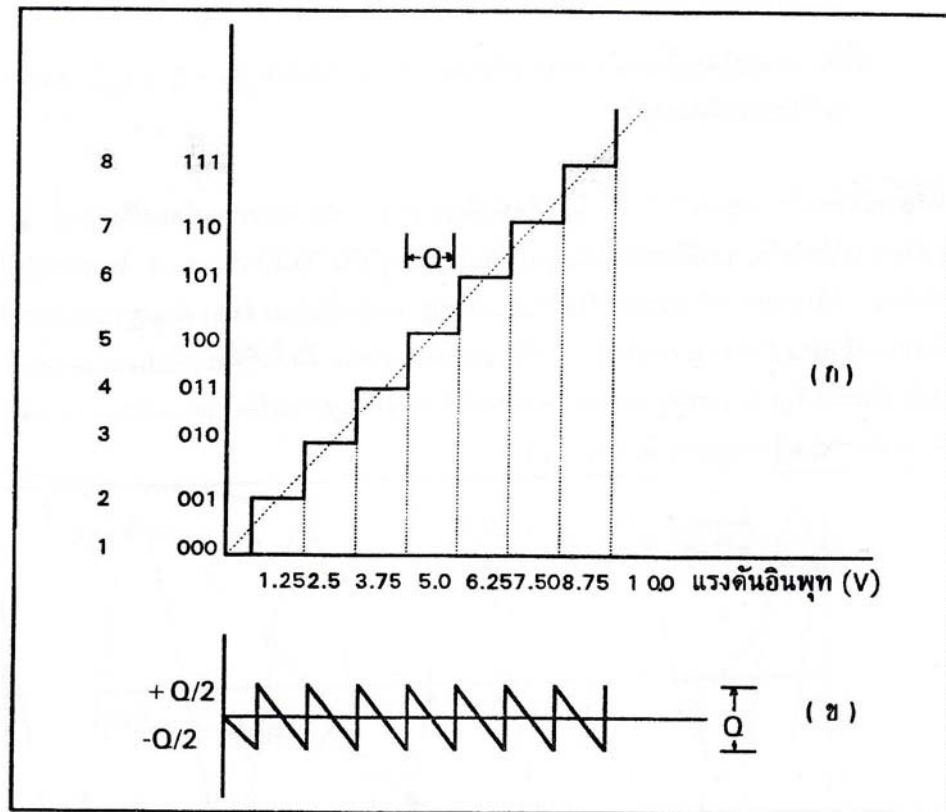
ผลของการใช้อัตราการสุ่มที่ไม่เหมาะสมจะเกิดเป็นสัญญาณความถี่ต่ำ เรียกว่า Alias Frequency เมื่อสัญญาณถูกเปลี่ยนกลับมาเช่นเดิมหลังจากการสุ่มแล้วแสดงในรูปที่ 5 จะเห็นว่าความถี่ Aliasing อาจจะแตกต่างจากความถี่เดิมไปมาก

Anti aliasing filter จะช่วยลดสัญญาณในแถบความถี่ที่ทำให้เกิด Alias Frequency ในขณะที่ต้องไม่ทำให้เกิดความผิดเพี้ยนของสัญญาณในแบนด์ที่ใช้งานและไม่ลดความแม่นยำในการวัดโดยรวมอีกด้วย ในহারใช้ Anti aliasing filter ปริมาณการขจัดความถี่สูงนั้นขึ้นอยู่กับ

- ความถี่สูงสุดที่สนใจ
- อัตราการสุ่ม และ
- ความละเอียดของการแปลงสัญญาณ

2.5 Quantizing theory

Quantizing เป็นขบวนการที่เปลี่ยนแปลงสัญญาณอนาลอกเป็นสัญญาณที่ไม่ต่อเนื่อง (Discrete signal) หลังการสุ่ม โดยขบวนการเข้ารหัส (Coding) จัดให้สัญญาณที่ไม่ต่อเนื่องนั้นอยู่ในรูปที่ง่ายต่อการประมวลและเป็นสัดส่วนสัมพันธ์กับสัญญาณอนาลอก เช่นในรูปของรหัสไบนารี (Binary) เป็นต้น หากนำเอาขนาดของสัญญาณอนาลอกและรหัสดิจิทัลที่ได้จากการ Quantize มาเขียนกราฟก็จะได้กราฟแสดง Quantize transfer function ดังในรูปที่ 6



รูปที่ 6 Transfer function ของ Quantize 3 บิต ตามทฤษฎี

ในรูปกราฟแสดงให้เห็นถึงความสัมพันธ์กันระหว่างสัญญาณอนาล็อกที่ขนาดอยู่ระหว่าง 0 ถึง +10 โวลต์ถูก Quantize และ Encode เป็นไบนารี 3 บิต ได้ 8 ระดับ 000 ถึง 111 เนื่องจากในระบบไบนารีรหัสดิจิทัลแต่ละค่าระบบแทนขนาดของสัญญาณอนาล็อกแต่ละค่าเป็นสัดส่วนกับค่าเต็มสเกล โดยค่าสูงสุดของรหัสดิจิทัลคือ ทุกบิตจะเท่ากับสัญญาณอนาล็อกเต็มสเกลคูณด้วย $(1-2^{-n})$ โดย n เป็นจำนวนบิตของรหัสดิจิทัลและรหัสดิจิทัลแต่ละบิตที่เป็น 1 จะเท่ากับขนาดเต็มสเกลของอนาล็อกคูณกับค่า Weighting ของรหัสบิตนั้นหารด้วย 2^n ตัวอย่าง เช่น ค่าเต็มสเกลของสัญญาณอนาล็อกเป็น 10 โวลต์ รหัส 1011 จะแทนขนาดสัญญาณอนาล็อกอินพุต

$$\begin{aligned}
 V_{input} &= \frac{R_S}{2^n} \{ (1 \times 2^3) + (1 \times 2^2) + (1 \times 2^1) + (1 \times 2^0) \} \\
 &= \frac{R_S}{2^n} \{ (1 \times 2^3) + (1 \times 2^2) + (1 \times 2^1) + (1 \times 2^0) \}
 \end{aligned}$$

จุดสำคัญให้ Transfer function ในรูปที่ 6 อันแรกได้แก่ ความละเอียด (Resolution) ของ Quantize ซึ่งกำหนดได้จากจำนวนบิตของรหัสดิจิทัล หรือจากกราฟคือขนาดกว้างของ ขั้นตอน (Step) ทางแกนอนของอินพุตว่าเป็นสัดส่วนเท่าไรและเขียนค่าเต็มสเกลอนาล็อกกับค่า 2^n

จำนวนสถานะเอาต์พุตกำหนดได้จากจำนวนบิตคือเท่ากับ 2^n สถานะตัวอย่างกรณี ADC 8 บิต Quantize จะให้เอาต์พุต 256 สถานะ และ 12 บิต ให้ 4096 สถานะต่อค่าเต็มสเกลของอนาล็อก ในไดอะแกรมแสดงทรานเฟอร์ฟังก์ชัน จะ

เห็นจุดแบ่ง ระดับ (Derision point หรือ Threshold level) สัญญาณอนาลอกจะมีจำนวน $1-2^{-n}$ จุดที่อยู่ที 0.625, 1.075, 3.125, 4.375, 5.625, 6.875 และ 8.125 โวลต์ระหว่างจุดดังกล่าวเป็นสัญญาณอนาลอกซึ่งแปลงรหัสดิจิทัล 1 สถานะ ดังนั้นค่าเหล่านี้จะปรับให้ถูกต้องมากที่สุดเพื่อแปลงขนาดของอนาลอกให้ตรงกับค่าที่ทำการ Quantize แรงดันที่ 1.25, 2.50, 3.75, 5.00, 6.25, 7.2 และ 8.75 โวลต์ เป็นจุดกึ่งกลางในช่วงของสัญญาณอนาลอกที่แสดงสถานะเอาต์พุตดิจิทัล พังชันที่มีลักษณะเป็นขั้นบันไดนี้สามารถประมาณเป็นเส้นตรงได้โดยการโยงเส้นตรงระหว่างจุดเริ่มและจุดปลาย ณ. จุดกึ่งกลางของรหัสดิจิทัลสถานะสุดท้ายสังเกตว่าในทางทฤษฎีแล้วเส้นตรงนี้จะต้องผ่านจุดกึ่งกลางของทุกระดับดิจิทัล

2.6 Quantize Resolution and Error

ในแต่ละสถานะของสัญญาณดิจิทัลเอาต์พุตจะแทนขนาดของสัญญาณอนาลอกค่าใดค่า

หนึ่งในช่วงเล็กๆระหว่างจุดแบ่งระดับ เรียกช่วงเล็กๆนี้ว่าขนาดหนึ่ง Analog Quantization หรือหนึ่งควันตัม (Quantum) หรือ 1 LSB (Least Significant Bit) ของการแปลงสัญญาณ ตัวอย่างในรูปที่ 6 n ควันตัม คือ 1.25 โวลต์ ค่านี้ได้จากการคำนวณ

$$Q = FSR/2^n$$

FSR คือ ช่วงเต็มสเกลของแรงดันอนาลอก (Full Scale Range)

N คือ จำนวนบิตของรหัสดิจิทัล

จากสมการจะเห็นว่า หากการเปลี่ยนแปลงที่ให้จำนวนบิตมากขนาดของควันตัมก็จะลดลงและถ้าให้สัญญาณอินพุตของ Quantizer กว้างไปตลอดช่วงของสัญญาณอนาลอกก็จะเห็นช่วงของผลต่างของอนาลอกอินพุตและดิจิทัลเอาต์พุตเป็นช่วงซึ่งพล็อตได้เป็นรูปฟันเลื่อยดังรูป 6 (ข) เรียกว่า Quantizing error ซึ่ง error นั้นก็คือ 1 ช่วงสัญญาณอนาลอกแปลงให้เป็นรหัสดิจิทัล 1 สถานะดังกล่าวมาแล้วนั่นเอง

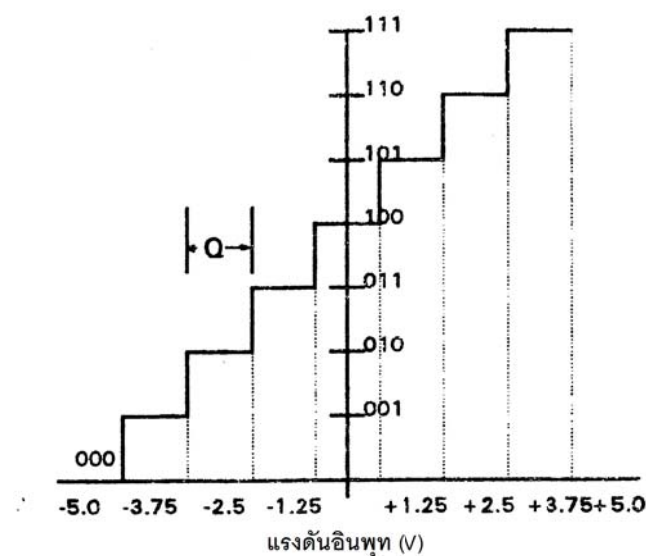
Error นี้เป็นธรรมชาติของ Quantizing ซึ่งทำการแก้ไขไม่ได้นอกจากการเพิ่มจำนวนบิตของ Quantizer ให้มากขึ้น และเอาต์พุต Error จะอยู่ระหว่าง $0-Q/2$ Error อาจจะเป็นศูนย์เมื่อสัญญาณอนาลอกค่าที่จุดกึ่งกลางของควันตัมพอดี ลักษณะของฟังก์ชัน Error จะสามารถพิจารณาเป็นสัญญาณรบกวนทางอินพุต ซึ่งมีค่าเป็น $Q V_{p-p}$ และค่าเฉลี่ยเป็นศูนย์ ค่า rms (Root Mean Square) เป็น $Q/2\sqrt{3}$ ซึ่งจะได้จากการวิเคราะห์รูปคลื่นฟันเลื่อย

2.7 รหัสตัวเลขสำหรับการเปลี่ยนข้อมูล

รหัสตัวเลขที่นิยมนำมาใช้ในระบบเปลี่ยนข้อมูลได้แก่รหัสไบนารีหรือที่เรียกว่า Straight binary โดยที่รหัสไบนารีสถานะสูงสุดจะแทนสัญญาณอนาลอก $FSR \times (1-2^{-12})$ ตัวอย่างเช่นหากสัญญาณอนาลอกเต็มสเกล(FRS) เท่ากับ 20 โวลต์ สำหรับ ADC ขนาด 12 บิตรหัส 1111 1111 1111 จะแทนสัญญาณอนาลอกขนาด $20 \times (1-2^{-12})$ หรือ 19.9951171

โวลต์นอกจากรหัสไบนารีธรรมดาแล้วยังมีการใช้ระบบไบนารีแบบอื่นๆระบบการแปลงระบบ BCD เหมาะสำหรับการแสดงตัวเป็นตัวเลขหน้าปัดหรือต่อเข้ากับดิจิทัลมิเตอร์รหัส Two's complement เหมาะสำหรับการคำนวณทางคณิตศาสตร์ลอจิก และสำหรับระบบออฟเซตไบนารีนั้นเหมาะสำหรับการแปลงสัญญาณอินพุตที่มีทั้งช่วงบวกและลบ ในรูปที่ 7 แสดง Transfer function ของ ADC 3 บิต ที่ใช้รหัสออฟเซตไบนารี

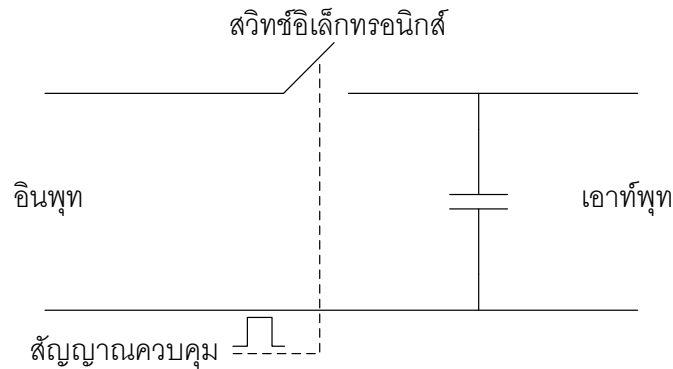
นอกจากมาตรฐานการใช้รหัสตัวเลขแล้วยังมีมาตรฐานของการเลือก ช่วงของขนาดแรงอินพุตสำหรับ ADC คือ หากเป็นสัญญาณช่วงบวกหรือลบอย่างเดียวจะใช้ 0-5 โวลต์ หรือ 0-10 โวลต์ แต่ถ้าเป็นช่วงลบจะใช้ 2.5 โวลต์, -5 โวลต์ และ -10 โวลต์ เป็นมาตรฐาน



รูปที่ 7 Transfer function ของ ADC 3 บิตที่ใช้รหัสออฟเซตไบนารี

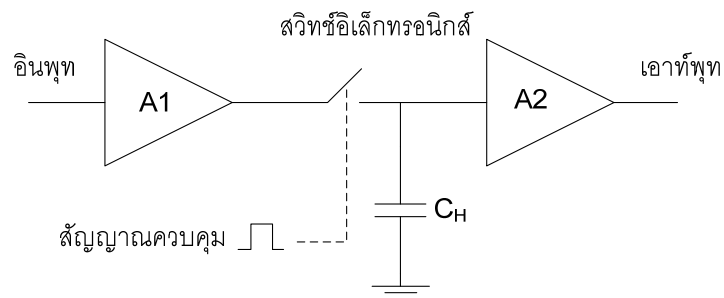
2.8 วงจร Sampling circuit

ที่ผ่านมาได้กล่าวถึงจุดมุ่งหมายในการใช้วงจร Sampling และ ADC ต่อจากนี้ก็จะกล่าวถึงรายละเอียดของวงจร Sampling บางแบบที่ใช้ในปัจจุบันความจริงแล้ววงจร Sampling ก็ได้มีเฉพาะกับ ADC เท่านั้น แต่ก็ยังใช้กันทั่วไปในระบบ Data Distribution, Sampling scope, DVM, Reconstruction filter และอนาล็อกคอมพิวเตอร์เป็นต้น วงจร Sampling โดยพื้นฐานแล้วเป็นอุปกรณ์หรือวงจรเก็บแรงดัน (Voltage memory) ซึ่งใช้อุปกรณ์ร่วมสำคัญคือตัวเก็บประจุ ในรูปที่ 8 ก แสดงวงจรพื้นฐานของ Sampling อิเล็กทรอนิกส์สวิตช์จะต่อสัญญาณแรงดันเข้ากับตัวเก็บประจุซึ่งสวิตช์ควบคุมจาก Sampling pulse ช่วงการติดต่อสวิตช์และเวลาในการประจุแรงดันจนถึงค่าที่ Sampling มานั้นเรียกว่า Aperture – time ของวงจร Sampling จากลักษณะการทำงานดังกล่าววงจร Sampling จะมีจุดติดต่อสัญญาณเข้าออก 3 จุดด้วยกันคือสัญญาณอนาล็อกอินพุต สัญญาณ Sampling และเอาต์พุต

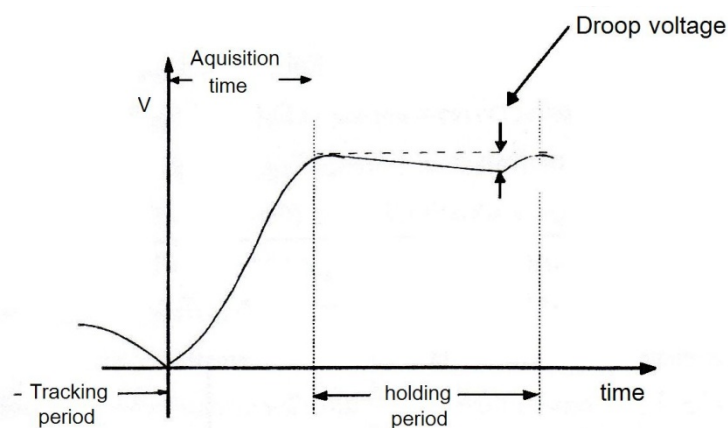


รูปที่ 8 ก แสดงพื้นฐานของวงจร Sampling

รูปที่ 8 ข แสดงวงจรที่ใกล้เคียงกับวงจรที่ใช้ในทางปฏิบัติ โดยเพิ่มเติมบัฟเฟอร์แอมป์อินพุตและเอาต์พุตของวงจร Sampling พื้นฐาน แอมป์อินพุตทางด้านอินพุตอิมพีแดนซ์สูงสะดวกต่อการใช้งานและสามารถเพิ่มกระแสเพื่อทำการประจุ C_H ได้เร็วขึ้น ส่วนทางเอาต์พุตช่วยให้เอาต์พุตอิมพีแดนซ์สามารถขับ ADC ได้ง่าย มีจุดสำคัญที่ต้องพิจารณาคือ ในส่วนของแอมป์อินพุตเหล่านี้ ปรกติแล้วจำเป็นต้องเป็นแอมป์อินพุตที่ใช้กระแสอินพุตต่ำ ทั้งนี้เพื่อให้ได้กระแสจากตัวเก็บประจุ มิฉะนั้นแรงดันจะลดระดับเนื่องจากการโหลด (Droop) ดังแสดงในรูปที่ 9



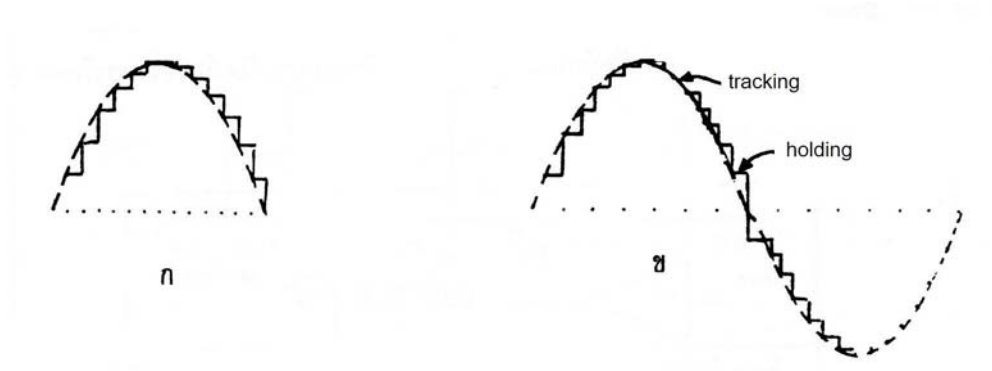
รูปที่ 8 ข ไดอะแกรมของวงจร S/H



รูปที่ 9 แสดงรูปคลื่นเอาต์พุตของ S/H

ปรกติแล้วมักใช้แอมป์ไฟร์เออร์ที่มี FET หรือ MOSFET นิยมใช้สองแบบคือ Sampling gate หรือ Sampler และ Sampler and hold (S&H gate) วงจร Sampling gate จะอยู่ในสถานะ High input impedance เมื่อไม่มีการสุ่ม และเมื่อมีการสุ่มเอาที่พุทจะปรากฏสัญญาณที่ได้รับมาทันทีนั้น ส่วน S&H จะตัดต่อสวิตช์สุ่มช้ากว่าโดยมีลักษณะการทำงานเป็นสองขั้นตอนคือ

- แต่ขณะที่ตัดสัญญาณออกจากวงจรจะ Track ตามสัญญาณอินพุท จนกว่าจะมีการสุ่มสัญญาณ
- Hold อินพุทค่าที่ Sampling ครั้งสุดท้ายจะถูกเก็บไว้เมื่อเข้าสู่โหมด Hold



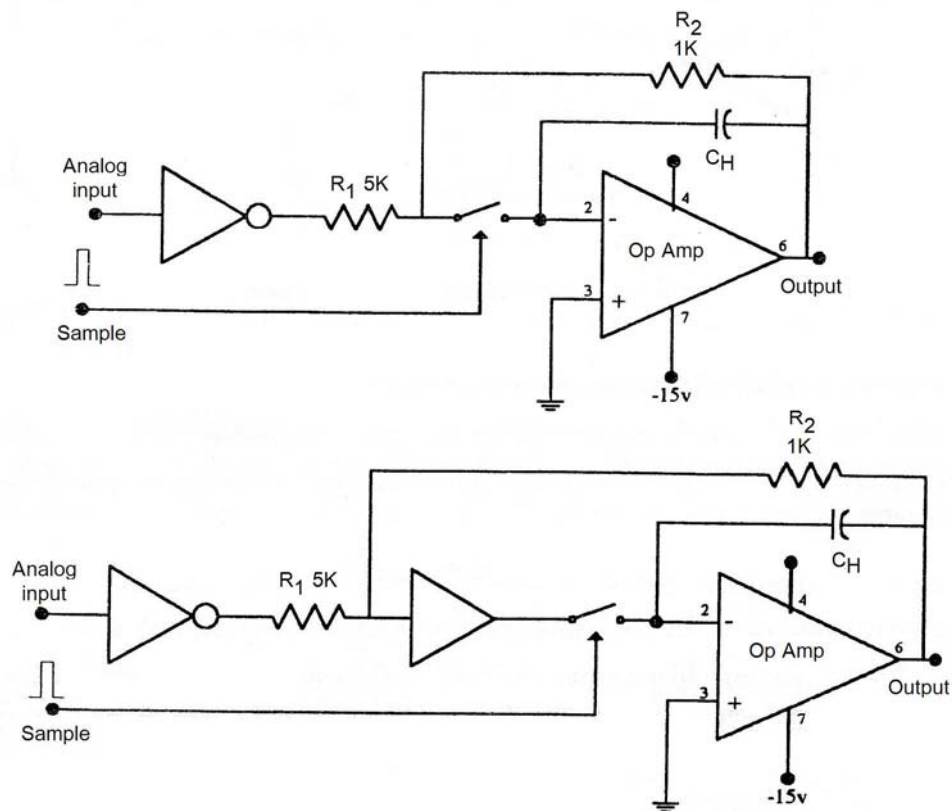
ก) เอาท์พุท Sampling Gate ข) เอาท์พุทจาก Sample & Holds

รูปที่ 10

Sampling Gate นิยมนำมาใช้ในระบบความถี่สูง เช่นใน Sampling CRO, Vector voltmeter, RF vector impedance, Microwave DFM ส่วน S&H นั้นเนื่องจากมีแบนด์วิดท์ต่ำกว่ามากจึงเหมาะสำหรับงานทั่วๆ ไปซึ่งในที่นี้จะกล่าวถึงรายละเอียด Sample & Hold เท่านั้น

การจัด Sample & Hold มีได้หลายลักษณะ ซึ่งอาจนำ ไอซี (IC) หรือทรานซิสเตอร์มาประกอบเป็นวงจร ตลอดจนการสร้างวงจรทั้งหมดของ Sample & Hold ลงบนชิปไอซีเดี่ยว เช่น เบอร์ LF389

ก) วงจรสมมูลแบบ Inverting Close Loop



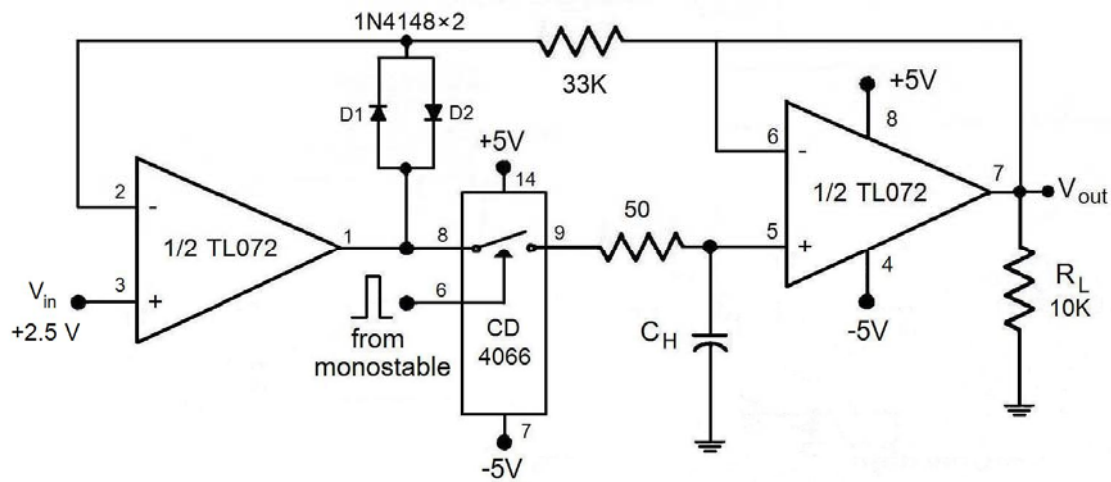
รูปที่ 11 วงจรสมมูลแบบ Inverting Close Loop

ในวงจรนี้ C_H จะประจุด้วยอัตรา R_C ซึ่งสามารถเพิ่มความเร็วได้โดยใช้ Current boot Amplifier อยู่ในรูปป้อนกลับดังรูปที่ 11 ข โดยแอมพลิฟายเออร์นี้มีอัตราการขยายเท่ากับ 1

ข) วงจรสมมูลแบบ Non inverting Closed Loop

ในวงจรนี้ (รูปที่ 12) A1 จะทำหน้าที่เป็นบัฟเฟอร์ และ Error Amplifier ในตัว โดยจะทำหน้าที่เป็นเปรียบเทียบแรงดันเอาต์พุตกับแรงดันอินพุตแล้วจะประจุ C จนกระทั่ง Error เท่ากับศูนย์ A2 ในวงจรนี้จะมีอินพุตอิมพีแดนซ์สูง และการป้อนกลับใน A1 โดยไดโอดทำให้ A1 ไม่ต้องเป็น Op-Amp ที่มีคุณภาพดีนัก ตัวต้านทาน R จะแยกอินพุต A1 และเอาต์พุต A2 ออกจากกันในช่วง Hold-mode

ข้อดีของวงจรนี้คือ ทำงานได้รวดเร็วและแม่นยำ ความเร็วในการประจุขึ้นอยู่กับความเร็วของ A1 และความสามารถในการจ่ายกระแสของมัน ไดโอดสองตัวจะทำหน้าที่ Clamp สัญญาณเอาต์พุตไปที่อินพุตอินเวอร์ติ่งของ A1 เพื่อยังคงให้วงจรมีเสถียรภาพดีเมื่อสวิตช์ Sampling เปิด วงจรลักษณะนี้เป็นวงจรพื้นฐานของไอซีเบอร์ LF398



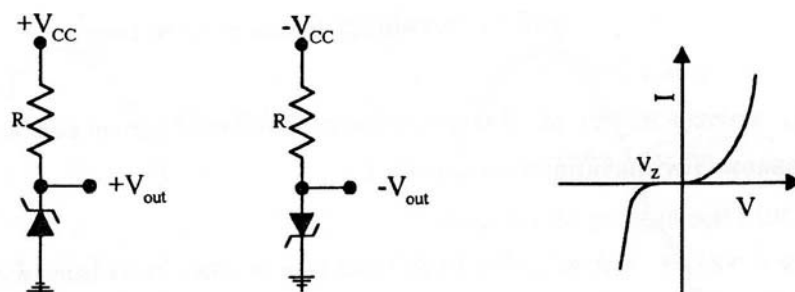
รูปที่ 12 วงจร Non-inverting closed loop

2.9 วงจรแรงดันอ้างอิง (Voltage Reference Circuit)

วงจรแรงดันอ้างอิงนั้นเป็นวงจรที่สำคัญวงจรหนึ่งในระบบ Data Acquisition เนื่องจากเป็นส่วนสำคัญในการกำหนดคุณภาพของวงจร DAC หรือ ADC วงจรแรงดันอ้างอิงมีทั้งที่เป็นวงจรอิสระหรือเป็นวงจรรวมอยู่ในวงจร ADC หรือ DAC

1) Basic Voltage reference อุปกรณ์ที่โดยนิยมใช้เป็นแหล่งกำเนิดแรงดันอ้างอิงได้แก่ซีเนอร์ไดโอด ซึ่งเมื่อให้เวิร์ตไบอัสจนเกิดการเบรกดาวน แรงดัน คร่อมซีเนอร์จะคงที่เท่ากับแรงดันเบรกดาวน (V_Z) ตัวต้านทาน R (รูปที่ 13) ที่ต่ออนุกรมกับซีเนอร์ จะทำหน้าที่กำหนดกระแสไบอัสแก่ซีเนอร์ให้เบรกดาวนและจำกัดกระแสเวิร์ตไม่ให้ไหลมากจนเป็นอันตรายแก่ซีเนอร์

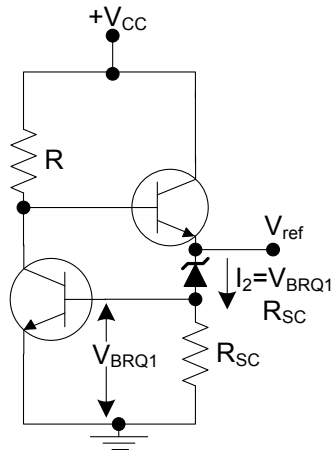
ข้อเสียของวงจรนี้ คือ แรงดันมักเปลี่ยนตามอุณหภูมิได้ง่าย หรือเรียกว่ามี ส.ป.ส. ทางอุณหภูมิสูง และจ่ายกระแสได้จำนวนจำกัด รวมทั้งแรงดันเอาต์พุตจะแปรตามแรงดันอินพุต จึงมักใช้วงจรนี้กับ ADC ที่ไม่ต้องการคุณภาพมากนัก



ก. แรงดันอ้างอิงบวก ข) แรงดันอ้างอิงลบ ค) กราฟสมบัติของซีเนอร์

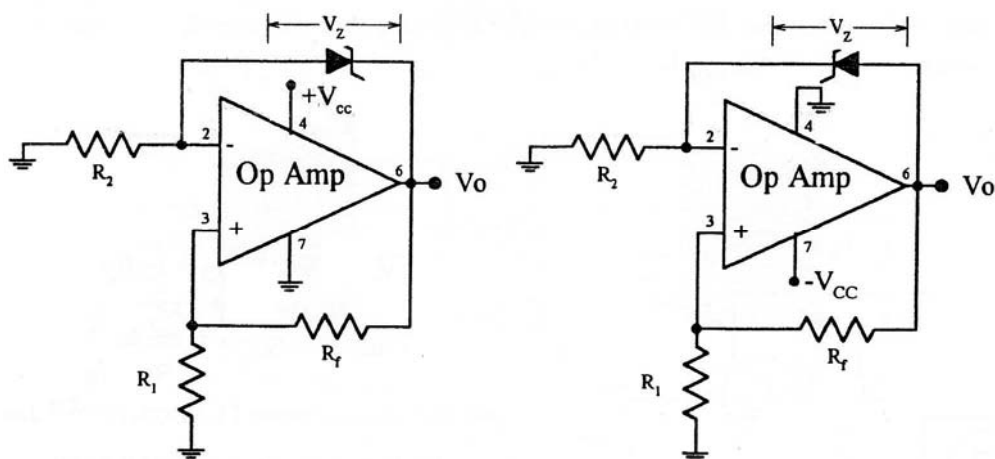
รูปที่ 13 วงจรแรงดันอ้างอิงพื้นฐานและคุณสมบัติ

ข้อเสียของวงจรอ้างอิงแบบพื้นฐานดังกล่าวสามารถแก้ไขได้โดยใช้วงจรดังรูปที่ 14 ทรานซิสเตอร์ Q1 และ Q2 จะทำหน้าที่เป็นแหล่งจ่ายกระแสคงที่ ไบอัสให้แก่ซีเนอร์ไดโอด ลักษณะดังกล่าวทำให้แรงดันเอาต์พุตไม่ขึ้นอยู่กับการเปลี่ยนแปลงของแรงดันอินพุต (V_{CC}) รวมทั้งผลทางด้านอุณหภูมิรวมของวงจรก็ได้รับการปรับปรุงให้ดีขึ้นด้วย



รูปที่ 14 วงจรแรงดันอ้างอิงใช้ซีเนอร์ไดโอดที่ปรับปรุงคุณสมบัติจากวงจรแรงดันอ้างอิงพื้นฐาน

2) Precision Voltage Reference แรงดันอ้างอิงที่คุณภาพดีกว่าจะใช้โอปแอมป์ร่วมกับซีเนอร์ ซึ่งนอกจากจะได้แรงดันคงที่มากกว่าแล้ว ยังสามารถปรับแรงดันเอาต์พุตให้ได้มากหรือน้อยกว่าแรงดันอินพุตซีเนอร์ไดโอดได้ด้วย ลักษณะการจัดวงจรแบบต่างๆ แสดงได้ดังรูปที่ 15



รูปที่ 15 ก) แรงดันอ้างอิงบวก

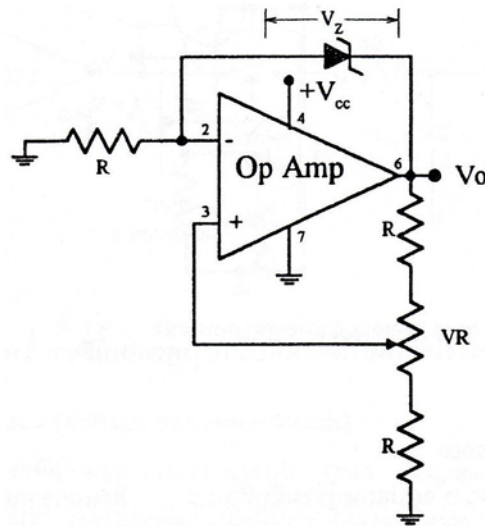
ข) แรงดันอ้างอิงลบ

ตามปกติแล้วแรงดันอ้างอิงที่ใช้ซีเนอร์ไดโอดจะให้คุณภาพดีก็ต่อเมื่อกระแสที่จ่ายให้ซีเนอร์คงที่ตลอดเวลา และทุกช่วงของอุณหภูมิ ในวงจรรูปที่ 15 โอปแอมป์จะทำหน้าที่จ่ายกระแสคงที่และมี ส.ป.ส. อุณหภูมิต่ำกว่า กระแสที่ผ่านซีเนอร์ขึ้นอยู่กับการเลือกค่า R_1 , R_2 , R_f และค่า V_0 กำหนดจาก R_1 , R_f และ V_Z การออกแบบต้องเลือกซีเนอร์ซึ่งรู้ค่า I_Z และ V_Z ทำการเลือกค่า R_1 และหาค่า R_f จากสมการ V_0

$$V_o = V_R \frac{(R_1 + R_f)}{R_f}$$

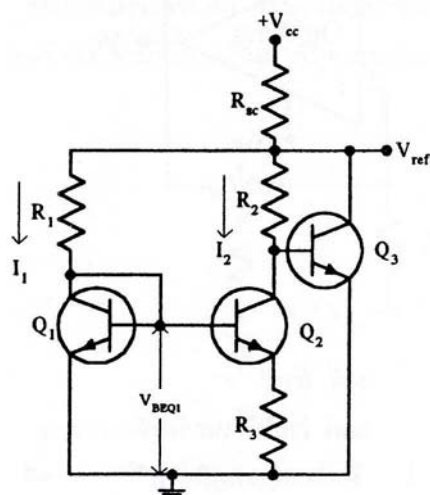
$$I_Z = \frac{V_o R_1}{R_2(R_1 + R_f)} \cong \frac{V_o R_1}{R_f}$$

$$V_1 = \frac{V_o R_1}{R_1 + R_f} = I_Z R_2$$



รูปที่ 16 แรงดันอ้างอิงปรับค่าได้

3) Band gab Voltage Reference ได้รับการออกแบบเพื่อแก้ไขทาง ส.ป.ส. ทางอุณหภูมิโดยใช้ผลต่างของแรงดันเบสเอมิเตอร์ของทรานซิสเตอร์สองตัวที่ทำงานที่กระแสต่างกันโดย



รูปที่ 17 วงจร Band gab Voltage Reference พื้นฐาน

$$V_{REF} = V_{BEQ3} + I_2 R_2$$

$$V_{REF} = V_{BEQ3} + \frac{kT_j}{q} \ln \frac{I_1}{I_2}$$

k = Boltzmann's constant (1.3805×10^{-23} J/K)

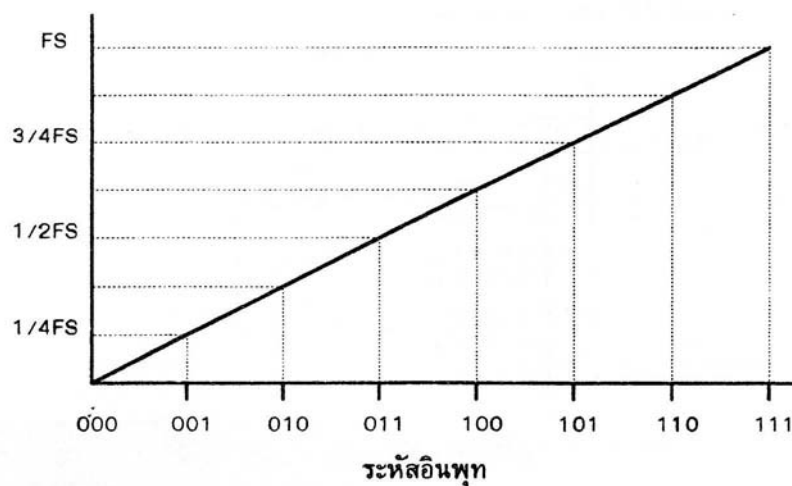
T_j = absolute temperature ของรอยต่อ

q = electron charge (1.6021×10^{-19} C)

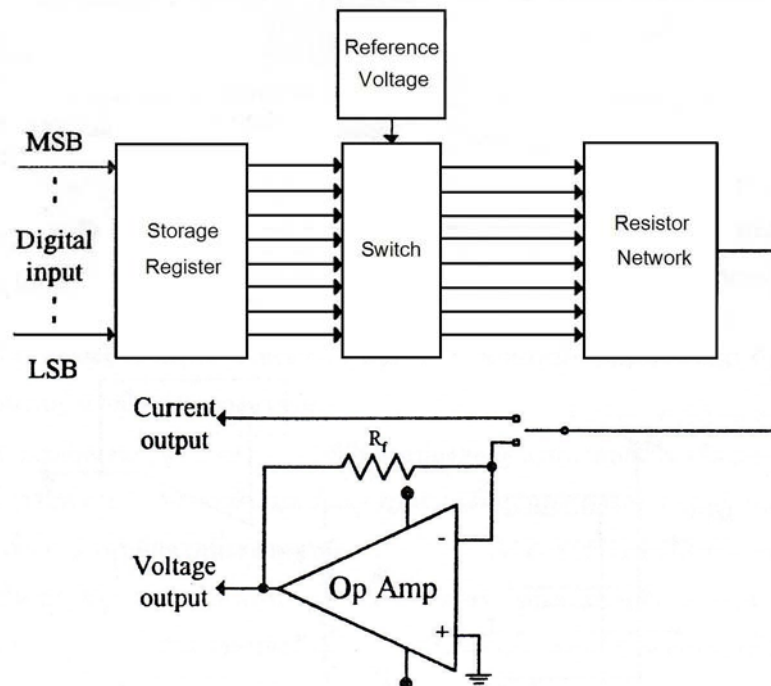
แรงดันอ้างอิงแบบแบนด์แกปได้ถูกสร้างขึ้นโดยใช้วงจรพื้นฐานในรูปที่ 17 และมีจำนวนในตัวถังคล้าย

ทรานซิสเตอร์ เช่น เบอร์ LM336 สามารถปรับขนาดของ V_{out} ได้

2.10 วงจร Digital to Analogue Converter (DAC) DAC นับเป็นอุปกรณ์สำคัญที่ทำให้ดิจิทัลคอมพิวเตอร์เชื่อมโยงกับอุปกรณ์หรือวงจรรอนาลอกอื่นๆ ตัวอย่างการใช้งาน DAC คือระบบแสดงผลบนจอภาพ ระบบสังเคราะห์เสียง เป็นต้น และที่สำคัญ DAC ยังเป็นส่วนประกอบสำคัญใน ADC ที่ใช้กันอยู่ในปัจจุบัน ในรูปที่ 18 แสดงทรานเฟอร์ฟังก์ชันของ DAC 3 บิต จะเห็นว่ารหัสดิจิทัลอินพุต 1 word จะแปลงเป็นแรงดันอนาลอก 1 ค่า ลักษณะการจัดวงจร DAC เป็นลักษณะดังรูปที่ 19



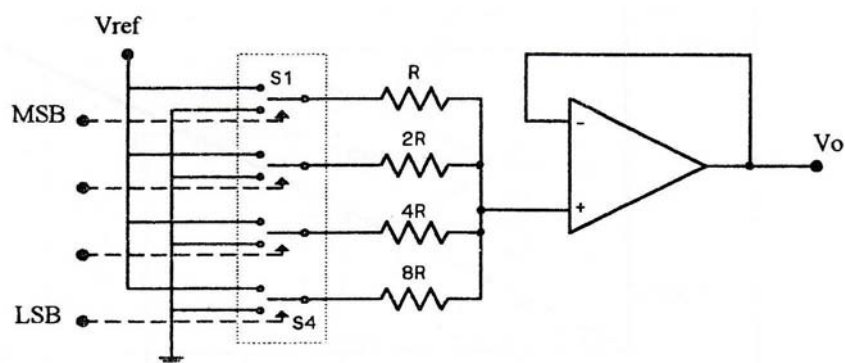
รูปที่ 18 ทรานเฟอร์ฟังก์ชันของ DAC 3 บิต ตามทฤษฎี



รูปที่ 19 บล็อกไดอะแกรมของ DAC

หัวใจสำคัญของ DAC คือ อาเรย์สวิตช์ที่ควบคุมด้วยลอจิกซึ่งมีจำนวน n ชุดเท่ากับจำนวนไบนารีบิต สวิตช์เหล่านี้จะตัดต่อแรงดันอ้างอิงขนาดหนึ่งเข้ากับวงจรอาร์เรย์รีซิสเตอร์ค่าต่างๆ ที่ weight ตามรหัสไบนารีเอพาทพุท บัพเฟอร์แอมป์ไฟเออร์จะทำหน้าที่เปลี่ยนกระแสที่ถูก weight โดยวงจรรีซิสเตอร์ให้เป็นแรงดันอนาลอกที่สัมพันธ์ต่อกัน ใน DAC บางวงจรมี digital register อยู่ในตัวเพื่อ latch รหัสอินพุทไว้ในขณะที่ DAC กำลังทำการเปลี่ยนเป็นสัญญาณอนาลอก

2.10.1 DAC แบบ Binary weight ladder_ การจัดวงจร Binary weight ladder มีลักษณะตามรูปที่ 20 สวิตช์ S_1 - S_4 จะถูกควบคุม เปิด/ปิด ด้วยรหัสดิจิตอล ตัด/ต่อ แรงดันอ้างอิงเข้ากับวงจรรีซิสเตอร์ที่มีค่า R , $2R$, $4R$, $2^n R$ ตัวอย่างกรณี DAC แบบ 4 บิต ใช้รีซิสเตอร์เป็น $10k$, $20k$, $40k$ และ $80k$ เป็นต้น

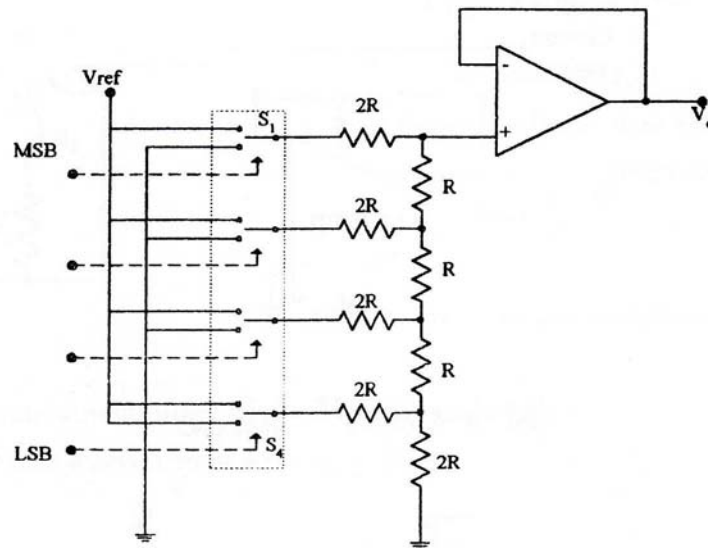


รูปที่ 20 DAC แบบ Binary weight ladder

ค่ารีซิสเตอร์ที่ weight ค่าตามรหัสดิจิทัลที่เพิ่มขึ้นจะทำให้กระแสผ่านรีซิสเตอร์เข้าไปรวมกันก่อนเข้าออปแอมป์ลดลงด้วยแฟคเตอร์ 2 ตามค่า R ที่เพิ่มขึ้น เช่น หากแรงดันอ้างอิงเป็น 10 โวลต์ ในตัวอย่างนี้ กระแสที่ไหลผ่านตัวต้านทานจะเป็น 1.0, 0.5, 0.25 และ 0.125 mA ตามลำดับ ออปแอมป์ที่เอาท์พุทจะทำหน้าที่เปลี่ยนกระแสรวมให้เป็นแรงดันเอาท์พุท

$$V_o = \left(\frac{V_{ref}}{2^{N-1}} \right) (8S_4 + 4S_3 + 2S_2 + S_1) : S \text{ closed} = 1, S \text{ open} = 0$$

2.10.2 DAC แบบ R-2R ladder ถึงแม้ว่า DAC แบบ Binary weight จะใช้รีซิสเตอร์เพียง 4 ค่าก็ตาม แต่ในการผลิต DAC แบบนี้นับเป็นข้อเสียเดียวกันก็ยังคงเป็นปัญหายากในการผลิตอยู่ดี รูปแบบที่ดีกว่า คือการจัดวงจรแบบ R-2R ที่ใช้ตัวต้านทานเพียงสองค่าดังรูปที่ 21



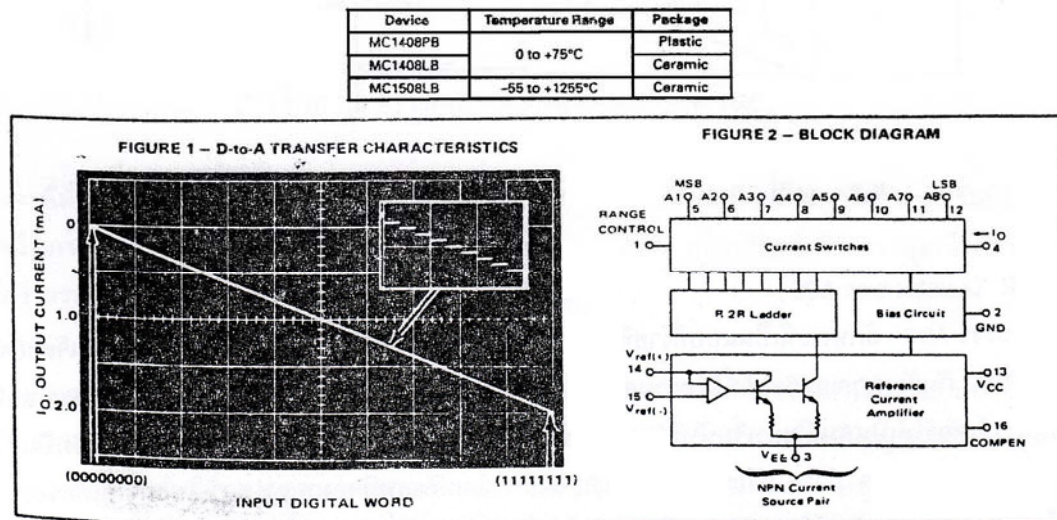
รูปที่ 21 วงจร DAC แบบ R-2R ladder ขนาด 4 บิต

ในวงจรนี้สวิตช์จะตัดต่อให้แรงดันอ้างอิงต่อเข้ากับวงจร Ladder หรือต่อ Ladder ลงกราวด์ที่ค่า 2R จะเห็นได้ว่า switch input resistor (2R) มองเข้าไปจะเห็นค่าของรีซิสเตอร์ ระหว่างจะต่อ R-2R ที่ติดกัน แรงดันเอาท์พุทจะเพิ่มลดตามรหัสดิจิทัล คือ

$$\Delta V = V_{ref}/2^{n-1}$$

แรงดันที่เอาท์พุทจะเป็นไปตามสมการ

$$V_o = \left(\frac{V_{ref}}{2^N} \right) (8S_4 + 4S_3 + 2S_2 + S_1) : S \text{ closed} = 1, S \text{ open} = 0$$

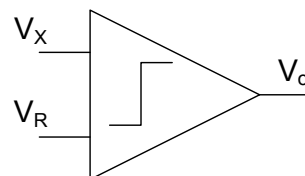


รูปที่ 22 ตัวอย่างชิปวงจรรีซิสทีฟ 2/2 ท แลคเตอร์ DAC

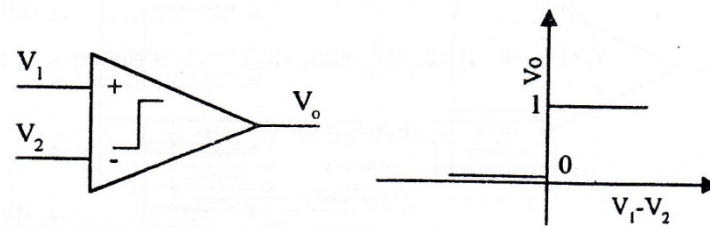
2.11 Analog to Digital Converter (ADC) ลักษณะการจัดวงจร ADC มีหลายแบบ แต่ที่นิยมใช้มีเพียงไม่กี่แบบและส่วนใหญ่จะอยู่ในรูปของวงจรรวม

2.11.1 Basic conversion method วิธีการแปลงสัญญาณอนาลอกเป็นดิจิตอลแบบง่าย ๆ แสดงในรูปที่ 23 แรงดันอินพุตที่ไม่ทราบค่า V_x จะต่อเข้ากับขาอินพุตขาหนึ่งของอนาลอกคอมพาราเตอร์ และแรงดันอ้างอิงที่ขนาดแปรตามเวลา V_R ต่อเข้ากับอินพุตอีกขาหนึ่งของคอมพาราเตอร์ ลักษณะของทรานเฟอร์ฟังก์ชัน ของคอมพาราเตอร์แสดงในรูปที่ 24 ถ้าแรงดันอินพุต V_1 มากกว่าอินพุต V_2 แล้วแรงดันเอาต์พุตจะเป็นลอจิก 1 ถ้าอินพุต V_1 น้อยกว่า V_2 แล้วเอาต์พุตจะเป็นศูนย์ วิธีในการแปลงข้อมูล คือ แรงดันอ้างอิงจะถูกแปรค่าจนกระทั่งรู้ค่าแรงดันอินพุตที่ผิดพลาดไม่เกิน Quantization error ของคอนเวอร์เตอร์ ในแนวความคิดแล้วตรรกะของ ADC คือ พยายามเลือกกลุ่มของ ส.ป.ส. ไบนารี a_j เพื่อให้ผลต่างๆ ระหว่างแรงดันอินพุต V_x และค่าที่ Quantize ได้ครั้งสุดท้าย น้อยกว่า 0.5 LSB ซึ่งเขียนเป็นสมการได้

$$\left| \left(V_x - V_{FSR} \sum_{i=1}^n a_j 2^i \right) \right| < 0.5 \text{ LSB}$$

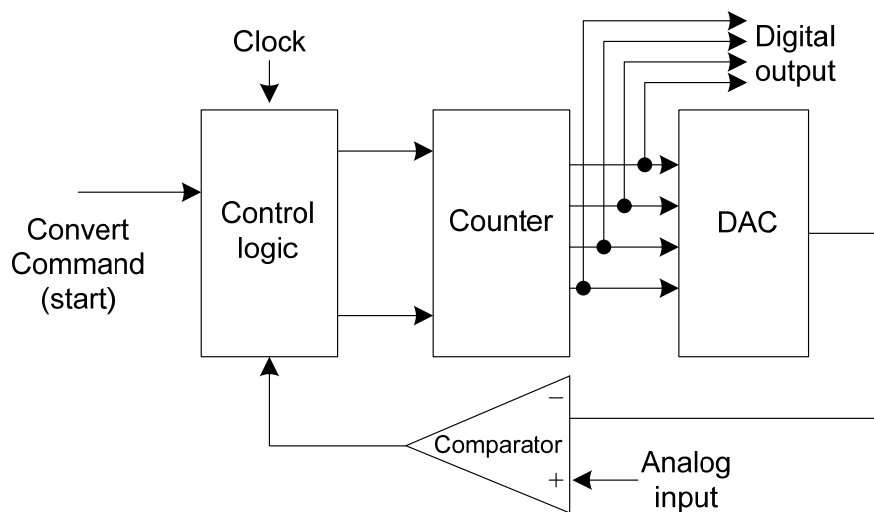


รูปที่ 23 แสดงวิธีการพื้นฐานของ ADC

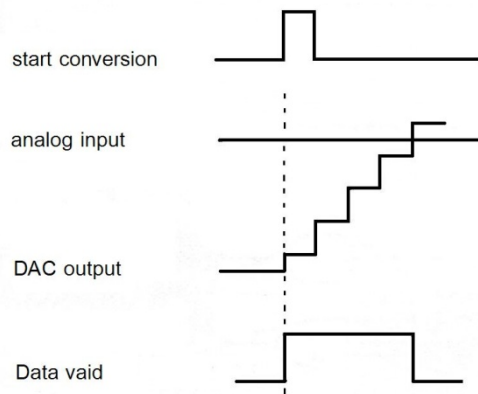


รูปที่ 24 แสดงทรานเฟอร์ฟังก์ชันของคอมพาราเตอร์

2.11.2 Counter type ADC การจัดวงจร ADC ลักษณะนี้เป็นแบบง่ายสุด หลักการทำงานของวงจรคือ การเปรียบเทียบขนาดของแรงดันที่เอาต์พุตของ DAC กับสัญญาณอนาล็อกที่ไม่ทราบค่า V_{in} การทำงานจะเริ่มโดยสัญญาณ start conversion ลอจิกคอนโทรลจะรีเซ็ตเคาน์เตอร์ให้เป็นศูนย์ แล้วเริ่มนับขึ้นจากศูนย์ เอาต์พุตของเคาน์เตอร์จะป้อนให้ DAC เพื่อแปลงเป็นสัญญาณอนาล็อกลักษณะเป็นขั้นบันได นำมาเปรียบเทียบกับสัญญาณอนาล็อกอินพุตที่คอมพาราเตอร์ โดยเคาน์เตอร์จะยังนำจนกระทั่งเอาต์พุตเท่ากับสัญญาณอนาล็อกอินพุตหรือต่างกันไม่เกิน 1 LSB คอมพาราเตอร์จะเปลี่ยนสถานะไปหยุดการนับของเคาน์เตอร์และ Latch ค่าจากเคาน์เตอร์เพื่อรอการประมวลผลต่อไป และรอรับสัญญาณ start ใหม่



รูปที่ 25 ก. บล็อกไดอะแกรมของ Counter type DAC



รูปที่ 25 ข) Timing diagram counter type DAC

วงจรนี้มีข้อเสียที่ทำงานได้ช้าเพราะการ Conversion แต่ละครั้งคอนเวอร์เตอร์จะต้องถูกรีเซ็ตและเริ่มนับจากศูนย์ทุกครั้ง ดังนั้นในการ conversion เป็นดิจิทัล n บิต จะใช้จำนวน clock ถึง 2^n เพื่อเปลี่ยนให้ได้ค่าสูงสุดเต็มสเกล ส่วนข้อดี คือ สร้างได้ง่ายเร็วกว่าค่าถูกแต่ความแม่นยำขึ้นอยู่กับ DAC ที่ใช้

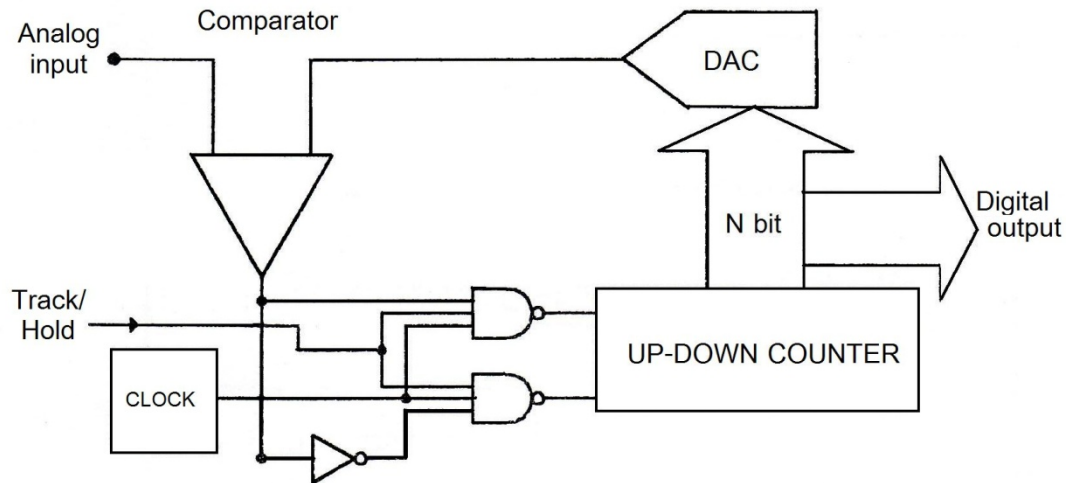
2.11.3 Tracking ADC จะปรับปรุงวงจรแบบ Counter type ทางด้านความเร็ว โดยใช้คอนเวอร์เตอร์แบบนับขึ้นลงได้ไม่จำเป็นต้องเริ่มจากการนับจากศูนย์ทุกครั้ง แต่จะเริ่มนับจากค่าที่ได้ Latch ไว้จากการเปลี่ยนสัญญาณครั้งหลังสุด ดังนั้นส่วนควบคุมทางลอจิกจึงซับซ้อนมากกว่า โดยการทำงานจะเป็นดังนี้ เอาท์พุทจาก DAC จะถูกเปรียบเทียบกับสัญญาณอินพุท (V_{in}) หาก V_{in} มากกว่า ลักษณะลอจิกของคอมพาราเตอร์จะควบคุมให้คอนเวอร์เตอร์นับขึ้น แต่ถ้า V_{in} น้อยกว่าคอนเวอร์เตอร์จะนับลงจนกว่าค่าหลังสุดของคอนเวอร์เตอร์จะต่างจากสัญญาณอนาลอก อินพุทไม่เกิน 1 LSB และค่าของคอนเวอร์เตอร์จะถูก latch ไว้จากนั้นคอนเวอร์เตอร์จะทำงานแบบติดตาม (track) สัญญาณอินพุทจนได้ค่าเท่ากันอีกครั้งก็จะ latch ค่าใหม่ไว้

จากลักษณะการทำงานดังกล่าว V_{in} จะต้องไม่เปลี่ยนแปลงเร็วมากกว่าการทำงานของคอนเวอร์เตอร์มิฉะนั้นค่าเอาท์พุทที่ได้จะไม่สอดคล้องกับสัญญาณอินพุท ตัวอย่างในกรณีสัญญาณรูปซายน์ซึ่งเปลี่ยนแปลงขนาดได้มากที่สุดเท่ากับค่าเต็มสเกล อัตราการเปลี่ยนแปลงจะเท่ากับอัตราการเปลี่ยนแปลงของเอาท์พุทของคอนเวอร์เตอร์ คือ 1 LSB/clock period ดังนั้นถ้าต้องการให้ ADC ตามอินพุทได้จะต้องให้

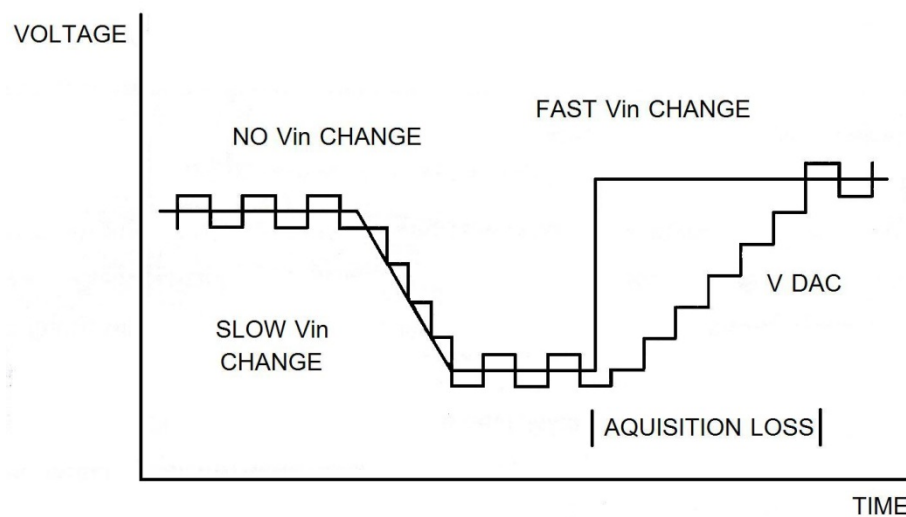
$$\frac{V_{FS}\omega_o}{2} < \frac{V_{FS}f_c}{2^n}$$

$$\text{และ } f_o = \frac{f_c}{\pi 2^n}$$

f_c คือ ความถี่ของ Clock



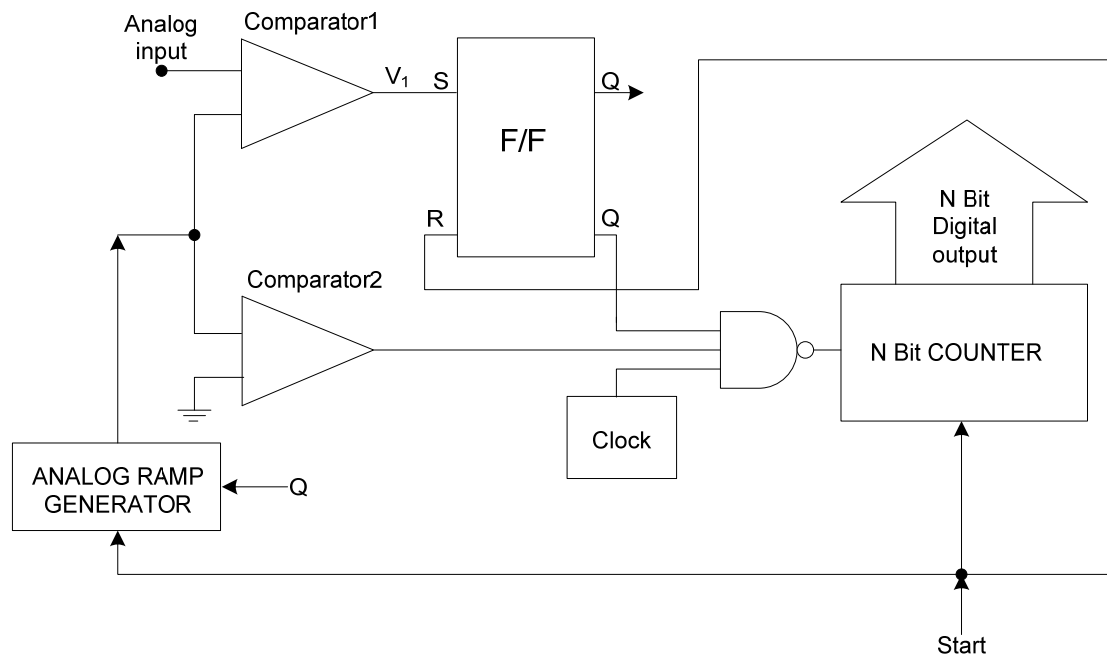
รูปที่ 26 ก. บล็อกไดอะแกรมของวงจร Tracking converter



รูปที่ 26 ข. Timing Diagram

2.11.4 Integrating ADC หัวใจสำคัญของวงจร ADC ชนิดนี้คือวงจร integrator เทคนิคของ ADC แบบ Integration คือจะใช้สัญญาณ Ramp ต่อเนื่องแทนสัญญาณขั้นบันไดจาก DAC ซึ่งแบ่งตามลักษณะการทำงานได้สองแบบ คือ Single Slope Converter และ Dual Slope Converter

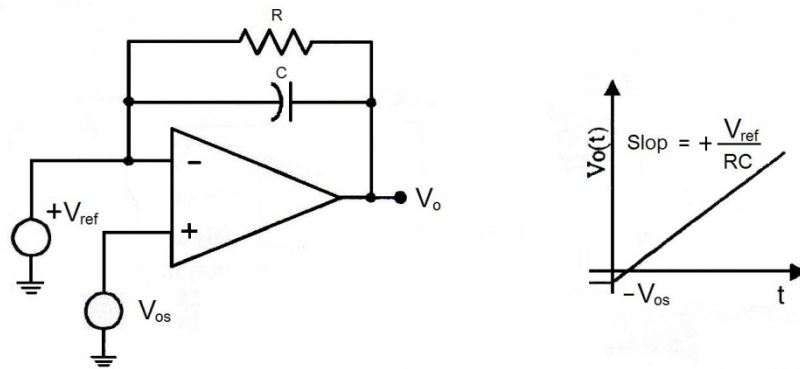
1) Single Slope Converter



รูปที่ 27 Single Slope Converter

สัญญาณนาฬิกาแบบ ramp จะใช้เป็นแรงดันอ้างอิงที่เพิ่มขึ้นอย่างคงที่จากค่าต่ำกว่าศูนย์เล็กน้อยจนถึงค่าคงที่สูงสุดค่าเต็มสเกลเล็กน้อย ซึ่งเวลาที่ใช้จากการสแกนของสัญญาณ ramp จากศูนย์ถึงค่าแรงดันอินพุทจะเป็นสัดส่วนกับแรงดันอินพุท

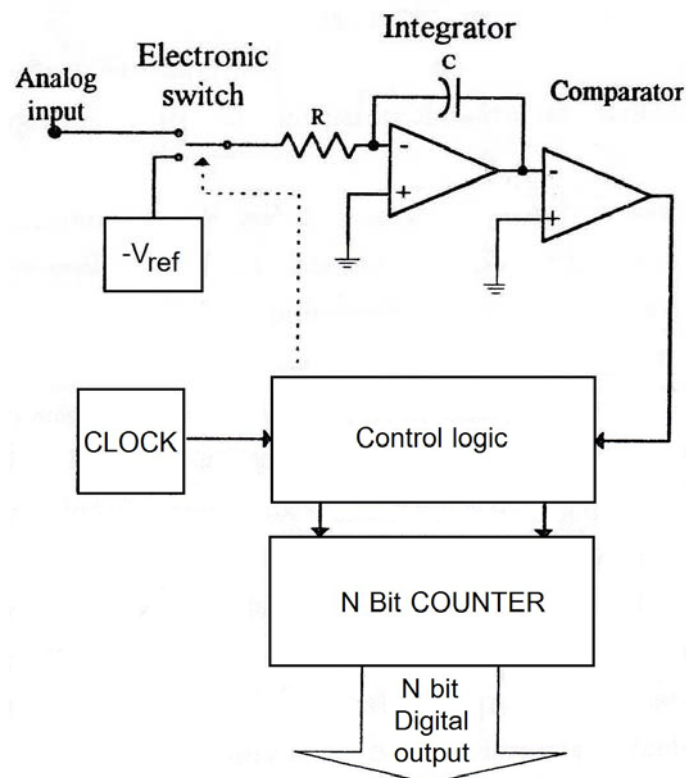
การ conversion จะเริ่มด้วยสัญญาณ start conversion ทำการรีเซ็ตไปนาฬิกาเคาน์เตอร์ และเริ่มสร้างสัญญาณ ramp จากแรงดันที่ต่ำกว่าศูนย์โวลต์ เมื่อสัญญาณ ramp ผ่านศูนย์โวลต์ เอาท์พุทจากคอมพาราเตอร์ 2 จะ high และเปิดเกตปล่อยพัลส์เข้าสู่เคาน์เตอร์ เคาน์เตอร์จะเริ่มนับจนกระทั่งสัญญาณ ramp มีขนาดเท่า แรงดันอนาล็อก อินพุท V_{in} ในเวลานี้เอาท์พุทจากคอมพาราเตอร์ 1 จะ high ละปิดเกตไม่ให้ clock เข้าสู่เคาน์เตอร์ จำนวนพัลส์จากเคาน์เตอร์จะเป็นสัดส่วนแรงดันกับอินพุท เนื่องจาก $VR=KT$ โดย R เป็นสโลปของ ramp (ซึ่งคงที่) ในหน่วยโวลต์/วินาที และ T เป็นจำนวนที่เคาน์เตอร์หารด้วย f_c ซึ่งเป็นความถี่สัญญาณ clock ถ้าเลือกให้สโลปของ ramp เป็น $V_{FSR} f_c/2^n$ จำนวนที่เคาน์เตอร์นับได้จะเท่ากับอัตราส่วนทางไปนาฬิกาหรือ V_{in} เวลาที่ใช้ในการเปลี่ยนมากที่สุดเมื่อ $V_{in}=V_{FSR}$ คือ $T_{MAX}=2^n/f_c$ และเช่นเดียวกับใน ADC แบบเคาน์เตอร์ ramp ค่าของรหัสเอาท์พุทสุดท้ายจะต่างจากค่าของ V_{in} ไม่เกิน 0.5 LSB ในรูปที่ 28 แสดงวงจรกำเนิดแรงดัน ramp อย่างง่าย โดยการต่อแรงดันอ้างอิงกับอินทิเกรเตอร์เมื่อสวิตช์เปิด C จะทำการประจุและเพิ่มขนาดแรงดันเอาท์พุท ข้อเสียประการหนึ่งคือหากใช้งานไปนานๆ การเปลี่ยนแปลงค่า RC ตามอุณหภูมิจะทำให้สโลปคลาดเคลื่อนด้วยเหตุนี้ ADC ชนิดนี้จึงไม่เป็นที่นิยมใช้ในปัจจุบัน



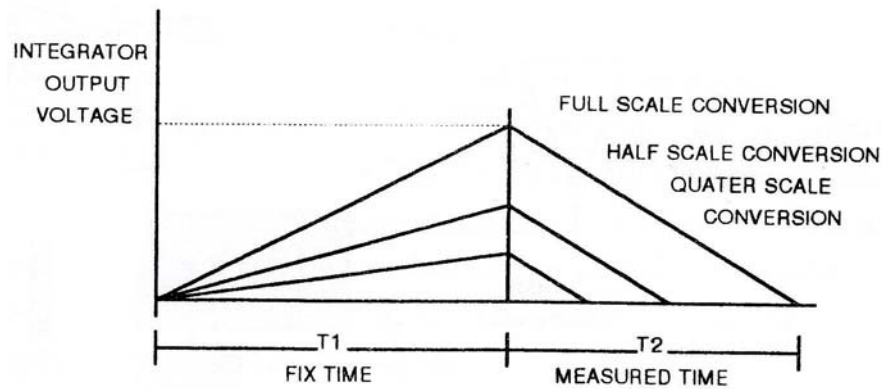
รูปที่ 28 วงจร Ramp Voltage Generator อย่างง่าย และลักษณะของเอาต์พุต

2. Dual Slope Converter

ADC แบบ Dual Slope ได้รับการพัฒนาขึ้นมาเพื่อแก้ไขจุดบกพร่องของ single slope ADC การจัดวางแสดงในรูปที่ 29 ในแต่ละวัฏจักรของการทำงานของวงจร จะมีสองช่วงคือ T_1 และ T_2 ในคาบเวลา T_1 จะเป็นช่วงเวลาที่ได้รับการออกแบบให้มีค่าแน่นอนคงที่ ในช่วงเวลานี้สัญญาณอินพุตจะต่อเข้ากับอินทิเกรเตอร์ผ่านสวิตช์ S ซึ่งทำให้เอาต์พุตที่ถูกอินทิเกรต V_{int} เป็นรูปสัญญาณ ramp ที่ขนาดเพิ่มขึ้นทางบวกและสโลปขึ้นอยู่กับขนาดของ V_{in} จนกระทั่ง V_{int} ถึงค่าค่าหนึ่งเมื่อสิ้นสุด T_1



รูปที่ 29 ก. บล็อกไดอะแกรมของ Dual Slope ADC



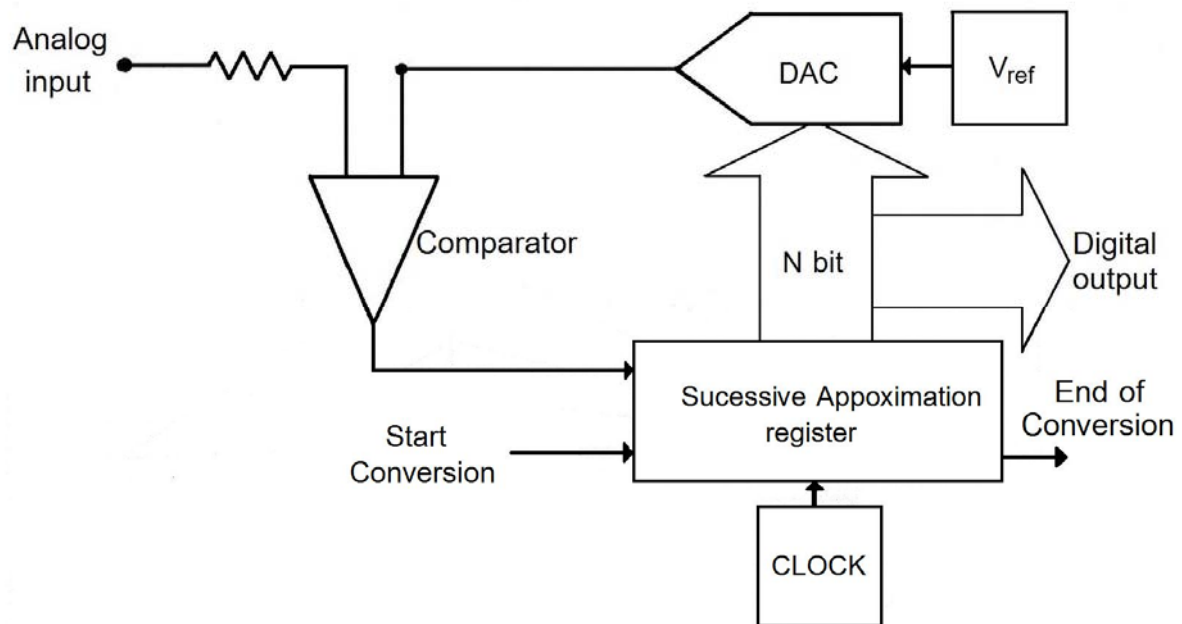
รูปที่ 29 ข. การทำงานของ Dual Slope ADC

ในช่วงเวลา T_2 อินพุตจะถูกตัดออกจากอินทิเกรเตอร์และต่อกับแรงดันอ้างอิงซึ่งมีค่าเป็นลบเข้ากับอินพุตของอินทิเกรเตอร์ โดยการควบคุมทางลอจิก ในลักษณะเช่นนี้จะทำให้ V_{int} ลดลงด้วยสโลปคงที่จากการคายประจุผ่านลง $-V_{ref}$ เมื่อเริ่มต้นเวลา T_2 คอนเวอร์เตอร์จะรีเซ็ตและเริ่มนับ จนเมื่อ V_{int} มีค่าลดลงถึงศูนย์ คอมพาราเตอร์จะเปลี่ยนสถานะไปบอกส่วนควบคุมลอจิกให้หยุดนับ และเอาท์พุตของคอนเวอร์เตอร์จะถูกแปลงเป็นรหัสดิจิตอล ความสัมพันธ์ระหว่างช่วงเวลากับแรงดันอินพุตจะเป็นไปตามสมการ

$$T_2 = T_1 \frac{V_{in}}{V_{ref}}$$

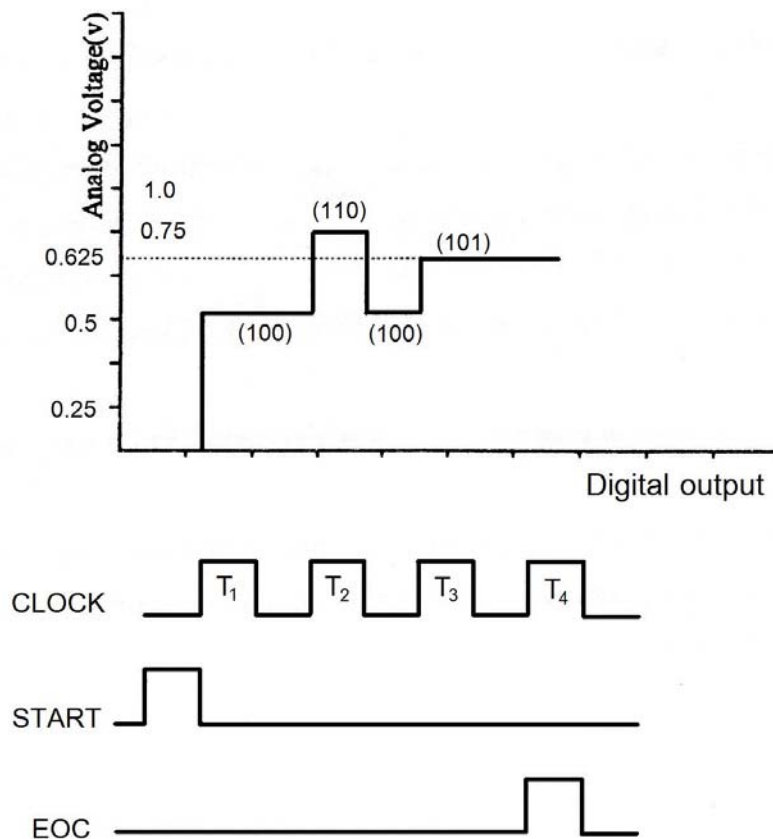
ดังนั้นรหัสดิจิตอลที่แสดงค่า T_2 จะแสดงค่าอัตราส่วนของแรงดันอินพุตต่อแรงดันอ้างอิงด้วย คุณลักษณะสำคัญของ Dual Slope มีหลายประการ คือ ประการแรกความแม่นยำของมันไม่ขึ้นอยู่กับเสถียรภาพของสัญญาณ clock และตัวเก็บประจุ แต่จะขึ้นอยู่กับค่าความเที่ยงตรงของแรงดันอ้างอิงและความเป็นเชิงเส้นของอินทิเกรเตอร์ ประการที่สองการกำจัดสัญญาณรบกวนด้วยตัวเองของวงจรสามารถกระทำได้ ถ้ารีเซ็ตให้ T_1 มีขนาดเท่ากับคาบเวลาของสัญญาณรบกวน เช่น ในการกำจัดสัญญาณ 50 เฮิรท์ T_1 จะให้มีค่า 20 ms ส่วนข้อเสียที่สำคัญของ ADC นี้ คือ ความเร็วในการ conversion ค่อนข้างต่ำจึงมักนิยมใช้กับเครื่องมือวัดที่ไม่ต้องการความเร็ว เช่น ดิจิตอลมิเตอร์ เป็นต้น

1.11.5 Successive Approximation ADC วงจร ADC ชนิดนี้ได้รับความนิยมในงานประยุกต์ที่ต้องการความเร็วปานกลางและค่อนข้างสูง การจัดวงจรจะคล้ายกันกับแบบคอนเวอร์เตอร์ ที่ทำงานในลักษณะการป้อนกลับ ซึ่งบล็อกไดอะแกรมในรูปที่ 30 แสดงฟังก์ชันต่างๆ ใน ADC ชนิดนี้ คอมพาราเตอร์จะคอยเปรียบเทียบเอาท์พุตจาก DAC กับอนาลอกอินพุต V_{in} เอาท์พุตจะไปควบคุม Successive Approximation register (SAR) ซึ่งเป็นไอซี MSI (Medium Scale Integrated Circuit) ที่ได้รับการออกแบบเป็นพิเศษเพื่อทำหน้าที่นี้โดยเฉพาะ



รูปที่ 30 บล็อกไดอะแกรมของ Successive Approximation ADC

ในรูปที่ 31 แสดงไทม์ไดอะแกรมของ ADC ที่มีระดับอนาล็อก 0.625 V เมื่อ clock เข้าไป 1 ลูก จะทำให้ MSB (most significant bit) (บิต 4) เป็น 1 ทุกบิตอื่นยังคงเป็นศูนย์ DAC จะเปลี่ยนเอาต์พุตของ SAR เป็นอนาล็อกเปรียบเทียบกับสัญญาณอนาล็อกอินพุต ถ้าผลการเปรียบเทียบที่คอมพาราเตอ์บอกว่าน้อยกว่าอินพุตก็ให้คงบิตนั้นเป็น 1 ไว้ แต่ถ้ามากกว่าจะให้บิตนั้นเป็นศูนย์ จากนั้นทำการทดสอบบิตถัดไปโดยทำให้เป็น 1 หากผลรวมของสองบิตหรือบิตหลังมากกว่าก็ทำให้บิตนั้นเป็น 0 ถ้าน้อยกว่าให้คง 1 ไว้ แล้วทดสอบบิตถัดไปตามกรรมวิธีดังกล่าวจนครบทุกบิตหรือจนกว่าเอาต์พุตจะต่างจาก V_{in} ไม่เกิน 1 LSB



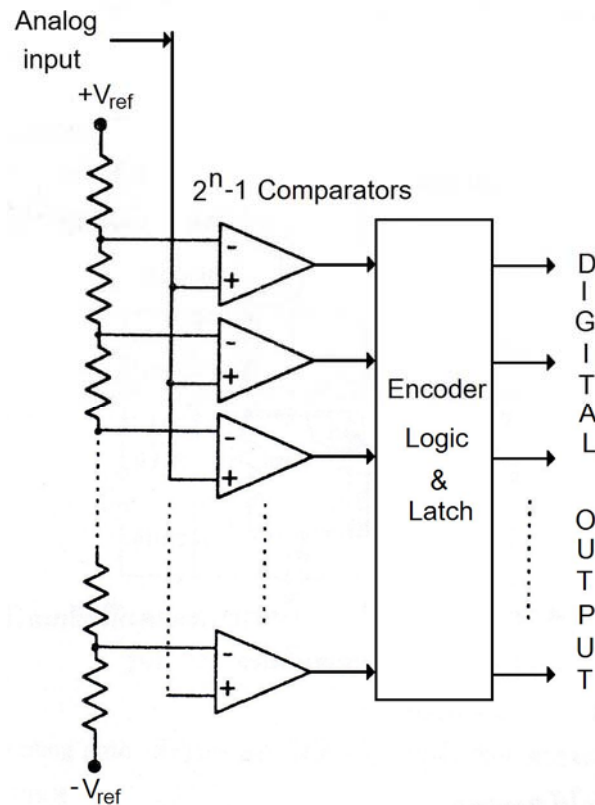
รูปที่ 31 Timing Diagram ของ SAR

การทำงานของ ADC แบบนี้เปรียบได้กับการใช้งานของตาซึ่งสองแขน เมื่อวัตถุที่ต้องการทราบน้ำหนักเสมือนเป็นอินพุตของ ADC และ เอาท์พุทที่เป็นดิจิตอลบิต เสมือนเป็นตุ้มน้ำหนักมาตรฐานที่จะวางบนจานอีกข้างหนึ่ง เมื่อตาซึ่งยังไม่สมดุล จะต้องมีการปรับตุ้มน้ำหนักมาตรฐานจนกว่าจะเกิดสมดุล ในรูปที่ 30 คอมพาราเตอร์จะเป็นตัวตรวจสอบการสมดุลดังกล่าว และ SAR จะทำหน้าที่ปรับแต่งดิจิตอลบิต (ตุ้มน้ำหนักมาตรฐาน)

มีข้อจำกัดประการหนึ่งสำหรับการ conversion คือ สัญญาณอนาลอกอินพุท จะต้องคงที่ในช่วงเวลาที่ทำการเปลี่ยนแปลงสัญญาณโดยเปลี่ยนได้ไม่เกิน $\frac{1}{2}$ LSB ในช่วงสุดท้ายของการเปลี่ยนสัญญาณดิจิตอลเอาท์พุทจะออกมามากน้อยเท่ากันทุกบิต แต่บางแบบจะให้เอาท์พุทออกมาในลักษณะอนุกรม วงจร ADC แบบนี้สามารถทำงานได้สองโหมด คือ โหมดที่ทำงานโดยอิสระ (Free run) และโหมดที่รอคำสั่ง start conversion จากภายนอก เวลาที่ใช้ในการเปลี่ยนสัญญาณใช้ $(n+1)$ ลูกของพัลส์ clock ลูกแรกจะใช้ในการรีเซ็ตรีจิสเตอร์ภายใน สุดท้าย คุณภาพของระบบจะขึ้นอยู่กับคุณภาพของ DAC ในระบบเป็นอย่างยิ่ง

1.11.6 Parallel (Flash) ADC สำหรับการแปลงสัญญาณที่ต้องการความเร็วสูงมากๆ เช่น การแปลงสัญญาณภาพโทรทัศน์ เรดาร์ จำเป็นต้องใช้ ADC แบบพิเศษ ที่เรียกว่า Parallel ADC ซึ่งแสดงบล็อกไดอะแกรมดังรูปที่ 32 หลักการทำงาน คือ จะใช้คอมพาราเตอร์ ทำการเปรียบเทียบสัญญาณอนาลอก อินพุทกับแรงดันอ้างอิงที่แบ่งแรงดันให้สอดคล้องกับรหัสดิจิตอล โดยใช้ตัวต้านทานแล้วแปลงเอาท์พุทจากคอมพาราเตอร์ให้ตรงกับรหัสดิจิตอล ซึ่งจะเห็นว่า

อุปสรรคทางด้านความเร็วจะถูกจำกัดเพียง Propagation time ของคอมพาราเตอร์เท่านั้น แต่อุปสรรคที่สำคัญต่อการพัฒนางจรชนิดนี้บนชิปไอซี คือ วงจรนี้ต้องการคอมพาราเตอร์ถึง $2^n - 1$ ตัว สำหรับ ADC 1 ตัว แต่ก็ได้ ADC ชนิดที่ทำงานได้รวดเร็วที่สุดเช่นกัน



รูปที่ 32 บล็อกไดอะแกรม Flash ADC

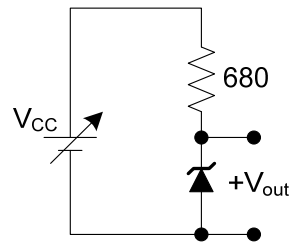
อุปกรณ์การทดลอง

- ตัวต้านทาน, ตัวเก็บประจุ, สวิตช์กดติดปล่อยดับ
- ซีเนอริไดโอด 1 ตัว, ไดโอด 1N4148 2 ตัว
- IC MC14559 1 ตัว, 74C93 1 ตัว, CD4066 1 ตัว
- IC TL072 1 ตัว, LM336 2.5 1 ตัว, NE555 1 ตัว, LM311 1 ตัว

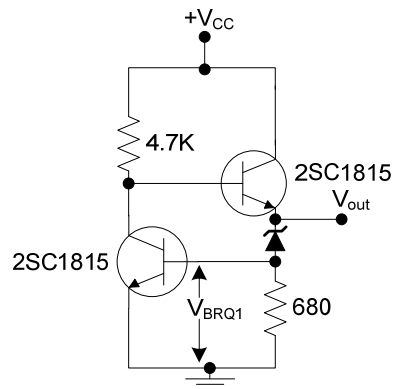
การทดลอง

3.1 แรงดันอ้างอิง Basic Voltage Reference

1. ต่อยังวงจรดังรูปที่ 33 โดยตั้ง V_{cc} ไว้ที่ 5 โวลต์
2. วัดและบันทึกแรงดันเอาต์พุต V_{out}
3. สังเกตผลทางด้าน regulation โดยปรับ V_{cc} ตามตารางที่ 1 วัดและบันทึกแรงดันเอาต์พุต V_{out} ลงในตารางที่ 1



รูปที่ 33 แรงดันอ้างอิงใช้ซีเนอร์ไดโอด

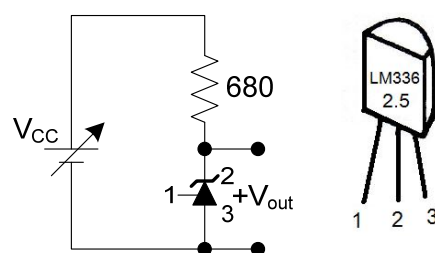


รูปที่ 34 วงจรแรงดันอ้างอิงที่ใช้จ่ายกระแสคงที่ให้ซีเนอร์ไดโอด

4. ต่อวงจรใหม่ดังรูปที่ 34
5. ทำการทดลองซ้ำเหมือนข้อ 1 ถึงข้อ 4

3.2 แรงดันอ้างอิงใช้ Band gap

1. ต่อวงจรตามรูปที่ 35



รูปที่ 35 รูปวงจรทดลองและ LM336

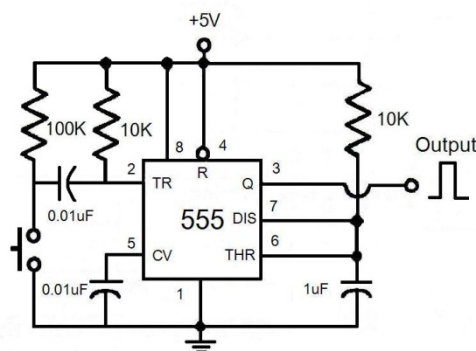
2. ทำการทดลองซ้ำเหมือนข้อ 1 ถึงข้อ 4 ของหัวข้อ 3.2.1

ตารางที่ 1 ผลการทดลอง Regulation แรงดันอ้างอิง

V_{cc} (โวลต์)	V_{out} (โวลต์)		
	Basic Voltage Reference	Constant Current Voltage Reference	Band gap Voltage Reference
3.5			
4.5			
5.0			
6.5			
7.5			

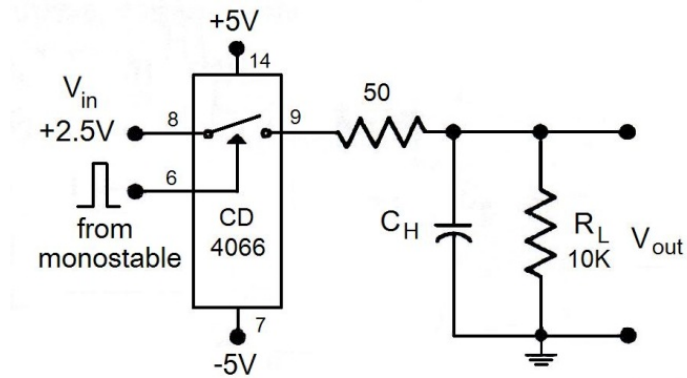
3.3 วงจร Sampling

1. ต่อวงจรโมโนสเตเบิลด้วยไอซี 555 (รูปที่ 37) เพื่อสร้างสัญญาณทริกเกอร์ (Start) สำหรับวงจร Sampling ตรวจสอบพัลส์เอาต์พุตโดยใช้ออสซิลโลสโคป



รูปที่ 37 วงจรโมโนสเตเบิล

2. ต่อวงจร Sampling gate ดังรูปที่ 38 ใช้ตัวเก็บประจุค่า 0.1 uF ตรวจสอบความเรียบร้อยของวงจรก่อนป้อนสัญญาณอินพุต
3. ต่อแหล่งจ่ายไฟ +5 โวลต์ และกราวด์กับวงจรแล้วป้อนแรงดัน 2.5 โวลต์ ทางวงจร Voltage Reference รูปที่ 37 ทำการ discharge ประจุออกจากตัวเก็บประจุให้หมดแล้ววัดแรงดันดีซีออฟเซต (DC offset) ที่เอาต์พุต
4. ให้เริ่มจับเวลาตั้งแต่ $t=0$ แล้วบันทึกค่า V_{out} (ดีซี) ทุกๆ 2 วินาที เมื่อเริ่มกดสวิตช์สัญญาณพัลส์ START ให้วงจร Sampling gate แล้วบันทึกค่าในตารางที่ 2

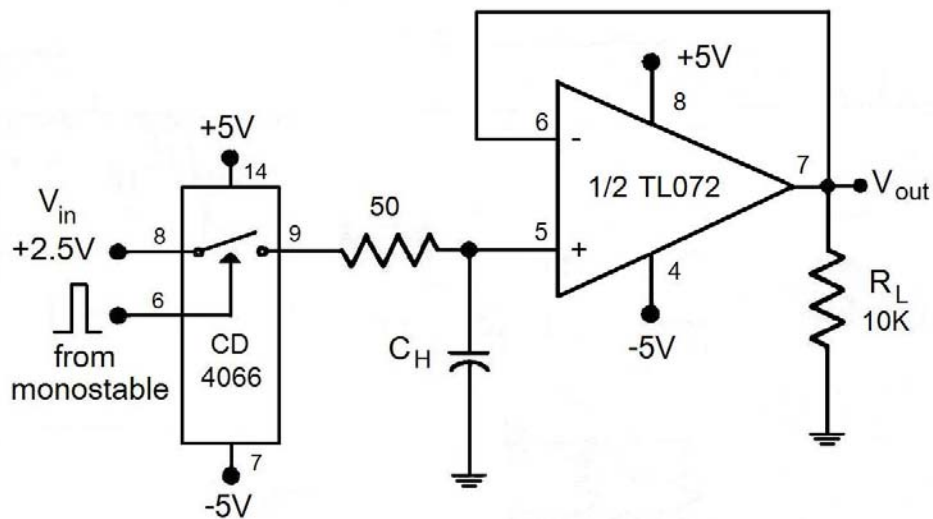


รูปที่ 38 วงจร Sampling gate

5. นำค่าในตารางที่ 2 มาพล็อตกราฟ แรงดันเอาต์พุต – เวลา บนกระดาษกราฟแผ่นเดียวกัน
6. จากกราฟคำนวณ droop จาก

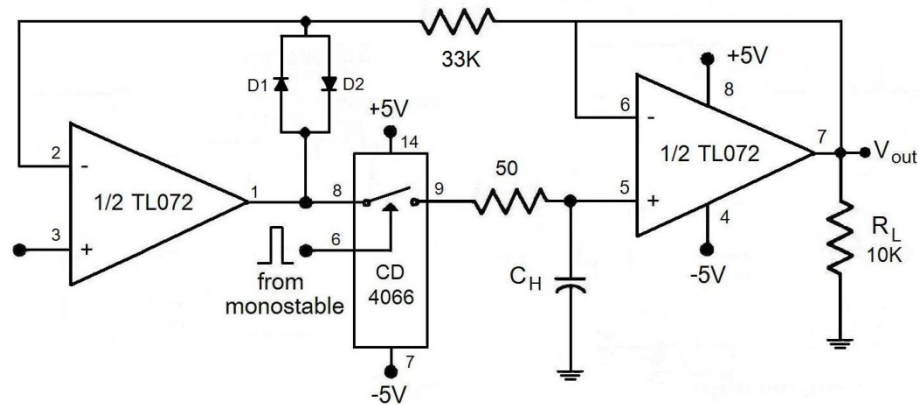
$$droop = \frac{\Delta V_{out}}{\Delta t} \text{ (โวลต์/วินาที)}$$

7. เพิ่ม buffer ให้กับวงจร Sampling gate ดังแสดงในรูปที่ 39 ทำการทดลองซ้ำ จากข้อ 3



รูปที่ 39 วงจร Sampling gate with buffer

9. ต่อวงจร Sample & Hold ดังรูปที่ 40 แล้วทำการทดลองซ้ำดังข้อ 8



รูปที่ 40 วงจร Sample & Hold

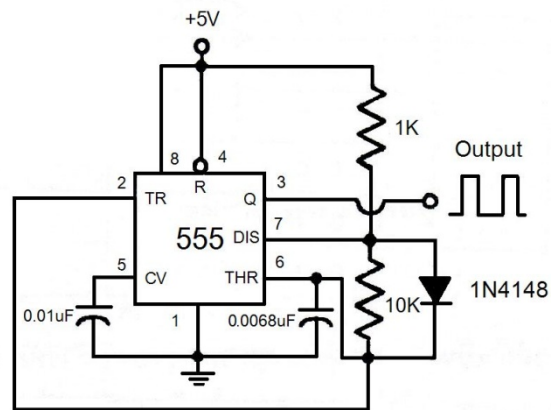
ตารางที่ 2 ผลการทดลองวงจร Sampling

เวลา	V_{out} (โวลต์)					
	Sampling gate		Sampling gate with buffer		Sample & Hold	
	$C_H=0.1\mu F$	$C_H=1\mu F$	$C_H=0.1\mu F$	$C_H=1\mu F$	$C_H=0.1\mu F$	$C_H=1\mu F$
t_{o-}						
t_{o+}						
t_1						
t_2						
t_3						
t_4						
t_5						
Droop(v/s)						
แรงดัน ออฟเซต						

หมายเหตุ t_{o-} คือเวลาก่อนการกดสวิตช์

t_{o+} คือเวลาหลังจากการกดสวิตช์

10. เปลี่ยนวงจรโมโนสเตเบิล เป็นวงจรอะสเตเบิล (รูปที่ 41) วัดและบันทึกความถี่สัญญาณเอาต์พุต



รูปที่ 41 วงจรอะอสเตเบิล

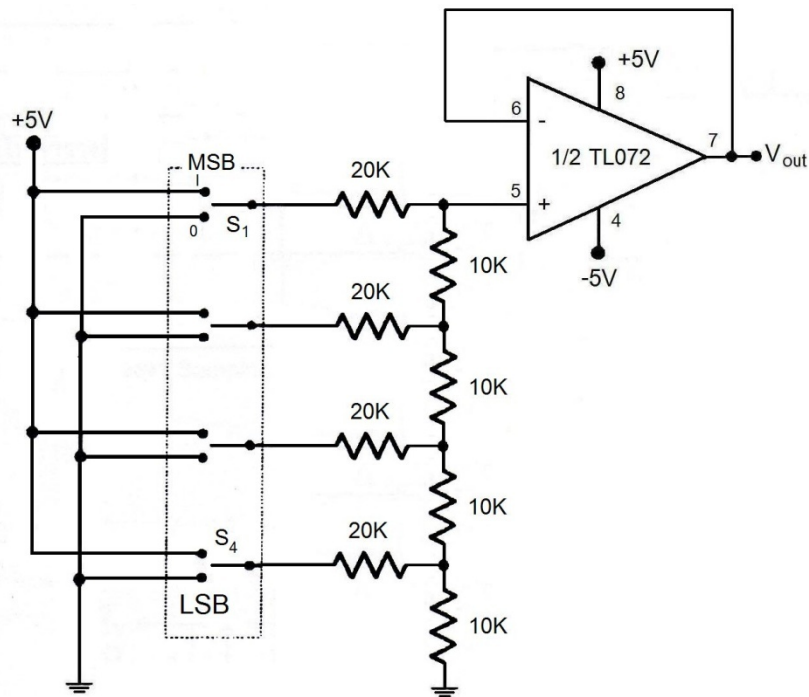
ตารางที่ 3 ผลการทดลองวงจรอะอสเตเบิล

รูปคลื่น	ขนาด (โวลต์)	ความถี่ (เฮิรท์)

11. จากวงจร S/H ในรูปที่ 40 เปลี่ยน C_H เป็น 0.1 μF แล้วป้อนสัญญาณไซน์ความถี่ 500 Hz ขนาด 4.5 V_{p-p} เข้าทางอินพุต
12. ป้อนสัญญาณ Sampling จากวงจร Astable เข้าทางขา Sampling ของวงจร S/H ให้วาดรูป คลื่นเอาต์พุต เทียบกับสัญญาณ อินพุตและสัญญาณ Sampling
13. เพิ่มความถี่ของสัญญาณอินพุตเป็น 3 KHz สังเกตรูปคลื่นเอาต์พุตให้วาดรูปคลื่นเอาต์พุต เทียบกับสัญญาณ อินพุตและสัญญาณ Sampling

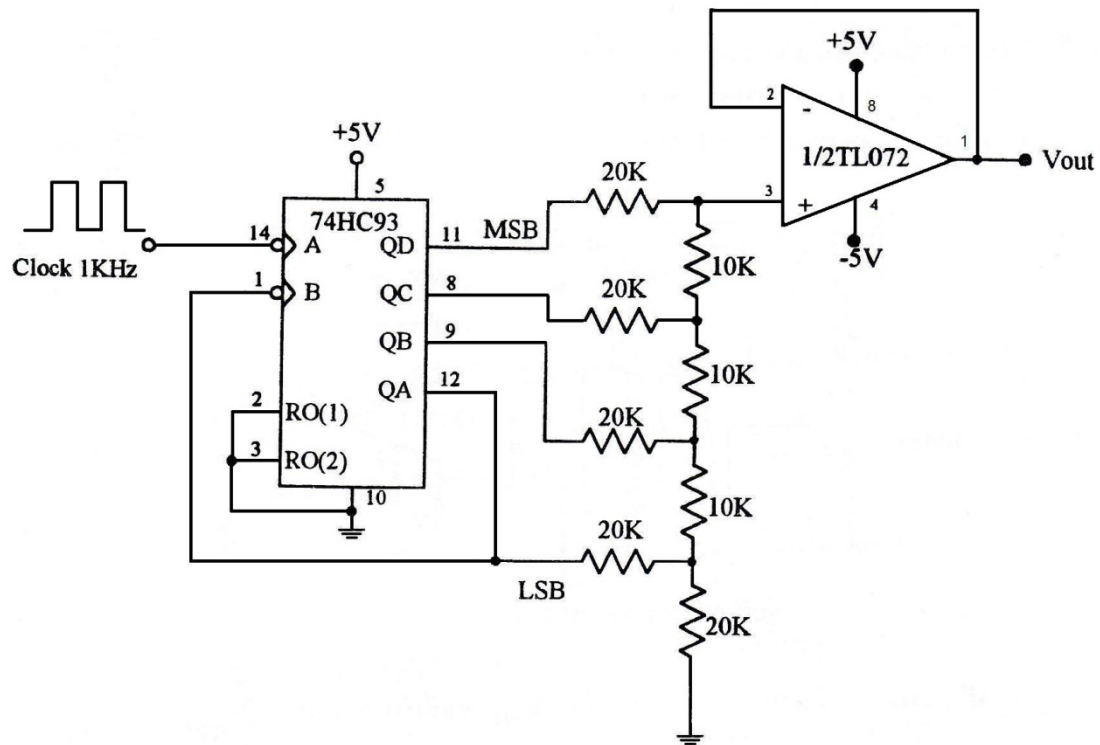
3.4 Digital to Analog converter

3.4.1 Transfer characteristic ของ R-2R Ladder ดังรูปที่ 42



รูปที่ 42 R-2R Ladder DAC

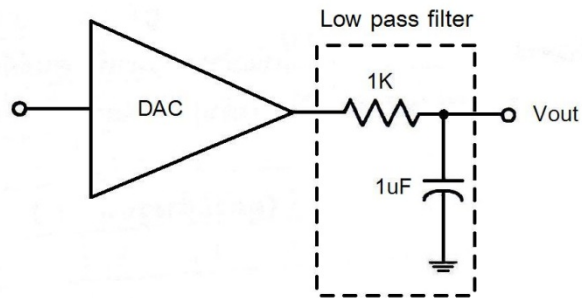
2. ป้อนรหัส ดิจิตอลจาก 0000-1111 ตามตารางที่ 4 แล้ววัด V_{out} บันทึกผลในตาราง การป้อนรหัส ให้ขีดตาของ R 20K ลงกราวด์ถ้าเป็น 0 และต่อเข้าจุด V_{ref} (+5V) ถ้ารหัสเป็น 1
3. ต่อวงจร 4 บิต Binary counter เข้ากับวงจร DAC ในรูปที่ 43
4. ป้อนสัญญาณ 1 kHz เข้าขา 14 ของไมโครคอนโทรลเลอร์ แล้ววัดและบันทึกขนาดและรูปคลื่นของ V_{out}
5. ต่อวงจร LPF ดังรูปที่ 44 เข้ากับเอาต์พุตของ DAC ในรูปที่ 43 วัดและบันทึกรูปคลื่นเปรียบเทียบกับ V_{out} ในข้อ 4
6. เปลี่ยน Cutoff Frequency ของ LPF โดยเปลี่ยน C เป็น 0.1 μF วัดและบันทึกรูปคลื่นเปรียบเทียบกับ V_{out} ในข้อ 4



รูปที่ 43 การป้อนรหัสดิจิทัลให้ DAC ด้วย Counter

ตารางที่ 4 เอาท์พุทจาก R-2R Ladder DAC

ดิจิตอลอินพุต MSB LSB	แรงดันเอาท์พุท		Error	ดิจิตอลอินพุต MSB LSB	แรงดันเอาท์พุท		Error
	วัด	คำนวณ			วัด	คำนวณ	
0 0 0 0				1 0 0 0			
0 0 0 1				1 0 0 1			
0 0 1 0				1 0 1 0			
0 0 1 1				1 0 1 1			
0 1 0 0				1 1 0 0			
0 1 0 1				1 1 0 1			
0 1 1 0				1 1 1 0			
0 1 1 1				1 1 1 1			

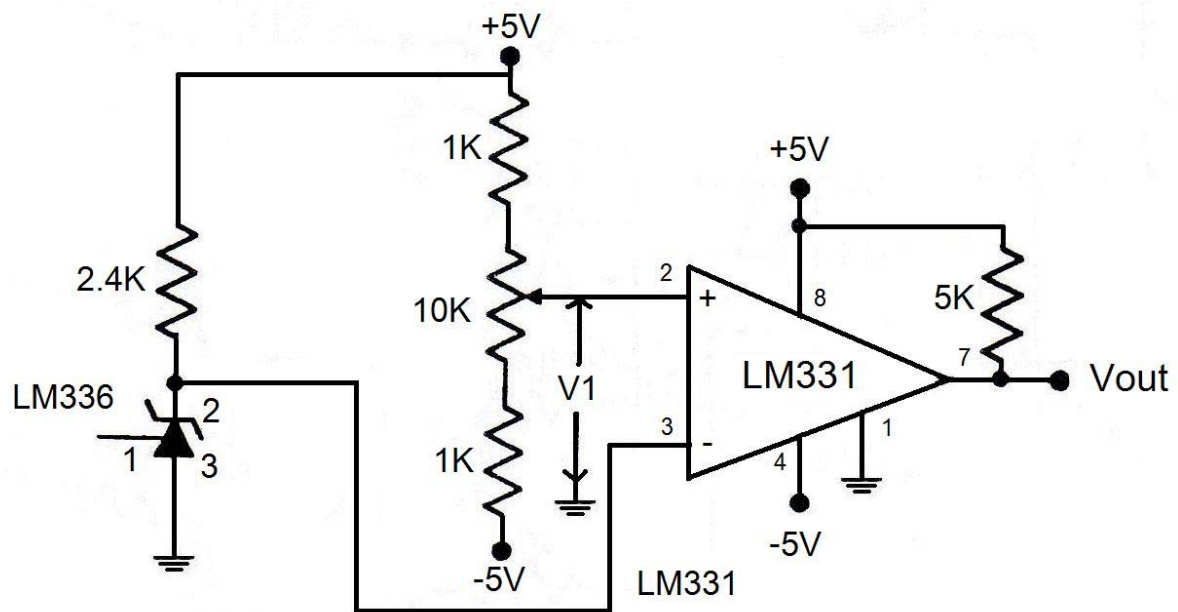


รูปที่ 44 การต่อวงจร Low pass filter กับวงจร DAC

3.5 Analog to digital converter

3.5.1 คุณสมบัติของคอมพาราเตอร์

1. ต่อวงจรคอมพาราเตอร์อย่างง่าย รูปที่ 45



รูปที่ 45 วงจรคอมพาราเตอร์อย่างง่าย

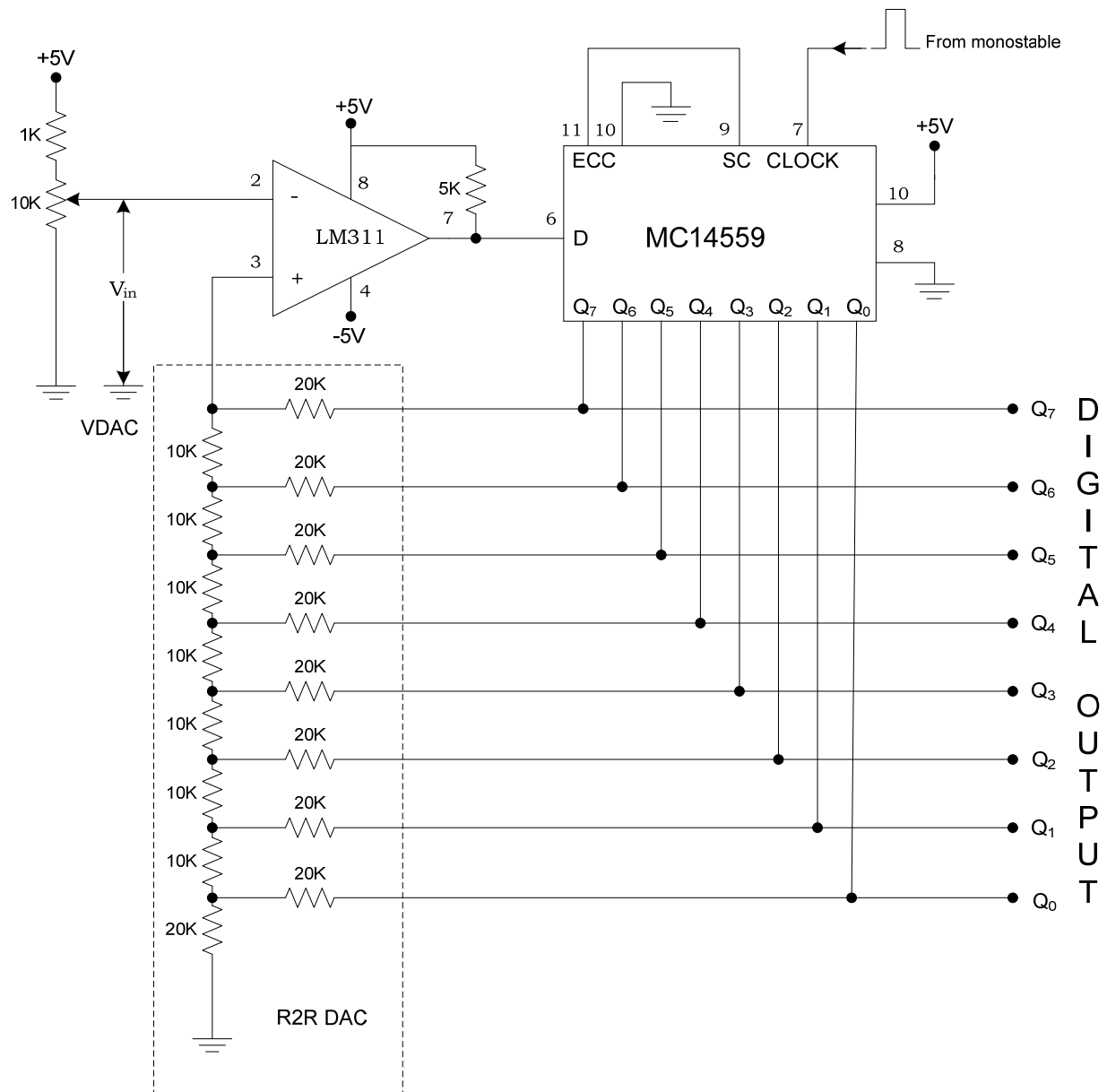
2. ปรับแรงดัน V_1 ตามตารางที่ 5 แล้ววัด V_{out} บันทึกในตาราง

ตารางที่ 5 ลักษณะสมบัติของ Comparator

$V_1(V)$	$V_{out}(V)$	$V_1(V)$	$V_{out}(V)$
3.5		2.0	
3.0		1.8	
2.8		1.6	
2.6		1.4	
2.5		1.2	
2.4		1.0	
2.3		0.5	
2.2		-0.2	

3.5.2 Successive Approximation register/ADC

1. ต่อวงจร Successive Approximation ADC ดังในรูปที่ 46 ปรับ V_{in} เป็น 1 โวลต์
2. ให้ใช้ ออสซิลโลสโคปดูสัญญาณที่ขา 11 (EOC, Start conversion SC) จากนั้นป้อนพัลส์ที่ละลูกจาก วงจรโมโนสเตเบิลในรูปที่ 37 จนกว่าแรงดันที่ขา 11 เป็น 5 โวลต์ แล้วตกลงมาเป็นศูนย์อีกครั้ง
3. เริ่มนับการป้อนพัลส์ที่ละลูกจาก 1-8 พร้อมกับวัดแรงดันและสถานะที่จุดต่างๆ ตามตารางที่ 6 รวมทั้ง Digital output
4. นำค่า Clock number มาพล็อตเทียบกับแรงดัน V_{DAC} (ดูตัวอย่างรูปที่ 31)



รูปที่ 47 วงจรทดลองเรื่อง Successive Approximation Register

ตารางที่ 6 ผลการทดลองเรื่อง Successive Approximation Register

Clock number	Digital output		V_{DAC} (โวลต์)	สถานะที่เอาต์พุตของ comparator (L/H)	สถานะที่ขา EOC ของ SAR (L/H)
	MSB	LSB			
0					
1					
2					
3					
4					
5					
6					
7					
8					

คำถาม/สรุปผล

1. จากผลการทดลองในตารางที่ 1 เปรียบเทียบคุณสมบัติทางด้าน regulation ของแรงดันอ้างอิงทั้งสามแบบ
2. ถ้าต้องการเปรียบเทียบทางด้าน Thermal stability ของแรงดันอ้างอิงทั้งสามแบบจะทดลองได้อย่างไร ตามทฤษฎีแบบไหนจะดีที่สุด
3. เปรียบเทียบคุณภาพของวงจร Sampling ทั้งสามที่ทำการทดลอง
4. สรุปผลที่ได้ตามตารางที่ 4
5. เมื่อใช้ Low Pass Filter ที่มี Cutoff frequency ต่างกันมีผลต่อรูปคลื่นของ DAC อย่างไร
6. อธิบายการเปลี่ยนสถานะที่เอาต์พุตของวงจรคอมพาราเตอร์ที่ทดลอง
7. สรุปผลที่ได้ตามตารางที่ 6