

DDR数据线顺序打乱

2018-03-30 XeonGate 来源 阅 79

分享： 微信 转藏到我的图书馆

<http://www.eda365.com/thread-92692-1-1.html>

最近做项目遇到一个问题，还请各位大侠赐教。DDR2用的是NT5TU32M16DG，ARM用的是ST的STA2165。

ARM与DDR2之间的数据线顺序，一开始画原理图时按照对应关系来接的，DDR2的DQ0接至ARM的DQ0，以此类推，DDR2的DQ15接至ARM的DQ15，也按照这个连接关系布PCB，板子出来后调软件发现DDR2这块怎么也调不通。

后来检查原理图，发现推荐的原理图DDR2和ARM的数据线顺序并不是——对应的，而是ARM的DQ[0:7]对应到DDR2的DQ[8:15]，ARM的DQ【8:15】对应到DDR2的DQ[0:7]，而且两个字节内的线序也是打乱的。

跟ST原厂的沟通了，说我们之前的接法是错误的，必须按照他们推荐的顺序接，在网上查了，有人说为了便于PCB走线，数据总线可以乱序相接，但为什么我按照DDR2的pin脚定义顺序接就不行呢？哪位大侠能帮忙解释一下原因，先谢谢啦！

回复1：字节内是可以任意打乱的，这是因为字节是最小存储单元，D0~D7（或D8~D15）8根线按什么顺序存入，那么当按相同的顺序取出时，取出的字节当然和你存进去的字节一样的。（h3 fj V1 p; f D6 Q. K2 il t % l" n) q/ us`# Z; N(S4 q7 O, Z D0~D7和D8~D15两组对调，也许人家原厂的程序是必须这样的呢。既然原厂说是对的就是对的。

回复1：DQ【0:7】组内数据线可以随便调整，因为DDR是以字节为单位的。但是DQS0 DM0是DQ【0:7】的使能、锁存时钟信号，必须是同一组

回复1：你的问题跟线序没有关系，而是DDR[0:7] DQS0 DM0不在同一组。这个是没法解决的。改版吧

转藏到我的图书馆 献花(0) 分享： 微信

来自：XeonGate > 《AM5728/DM8148》

以文找文 | 举报

上一篇：DM814X简介

下一篇：AM5728通过GPMC接口与FPGA高速数据通信实现

猜你喜欢



望京写字楼



OTG数据线



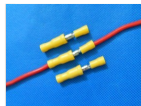
48v锂电池价格



气垫bb是什么



数据线厂



电线连接器



数据线生产厂家



气垫bb使用方法



otg数据线



接地电阻测试仪

类似文章

更多

精选文章

电路板上的线路为什么不是直线而是各种转...

[攻克存储] SRAM地址线的连接

DDR2布线经验总结，欢迎指正

2万斤西瓜被砍烂：乡村的复仇逻辑

有些时候，努力只是感动了瞎忙的自己

教你做超好吃的辣白菜



XeonGate



关注

对话

TA的最新馆藏 (共424篇)

linux udev 自动挂载 SD卡/U盘

各类EDA软件统计pin数方法

Allegro 导出 bom 和坐标文件, 用...

candence检查brd是否是dsn设计...

Cadence Allegro元件封装制作流程

AD旋转/翻转PCB、封装库

喜欢该文的人也喜欢

更多

【从组织行为学看企业管理】空降...

德国电影——《海狼 上》*

20首最高水平的宋词！首首流传千...

最美楷书，韩愈文师说，这么美的...

宋词极简史：25首名作，唱尽大宋...

汉字又又又又又又又又被玩坏...

漫画希腊罗马史，32倍快进版

为什么比你忙的人，读的书比你还...

有一种生命，是一树花开。



```
ERROR: undefined
OFFENDING COMMAND: f'~

STACK:
```