

Centro de Estudios en Microelectrónica y Sistemas Distribuidos (CEMISID)

Semestre A-2017

Práctica 4

Dr. Gerard Páez Ing. Ronald Sulbarán Prep. Miguelangel Regalado

Prep. Heberto Gutierrez

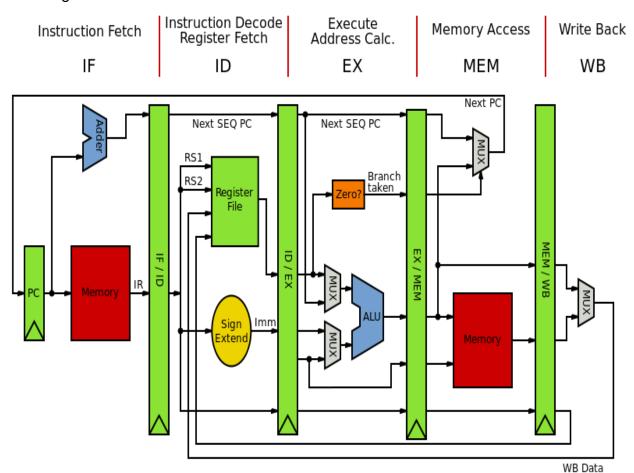
"La programación en bajo nivel es buena para el alma del programador".

John Carmack

1- Parte I

De teoría

- a. ¿En el ámbito de la informática que es para usted la memoria?
- b. ¿Qué importancia tiene la aparición de la memoria en la arquitectura de computadoras?
- c. ¿Qué es para usted un pipelining? Nombres 3 ejemplos prácticos (no necesariamente relativos a la informática).
- d. ¿Cuáles son las etapas de un pipelining?
- e. ¿Qué son los "data hazards" en un pipelining?
- f. ¿Qué métodos se utilizan para tratar los "data hazards"?
- g. Explique con sus palabras el funcionamiento del pipelining correspondiente al diseño lógico del MIPS que se muestra en la siguiente figura:



- h. ¿Qué es un Flip-flop?
- i. Tipos de flip-flops y diferencia entre ellos.
- j. ¿Qué son direcciones de memoria?
- k. ¿Qué es un registro y cómo se compone?
- I. ¿Qué es un archivo de registro y cómo se realiza la lectura/escritura sobre él?

De laboratorio

- a. ¿Qué representan los tipos de datos sc_uint<valor>, sc_int<valor> y sc_vector<valor> de la biblioteca systemC?
- b. ¿Qué tipo de datos manejan los read() y write() de las variables de systemC?
- c. ¿Qué tipo de representación permite .read().to string(SC BIN)?

2- Parte II:

- a) Realice el diseño lógico de un archivo de registro 32x8 (De 8 registros cada uno de 32 bits) que permita escritura sobre algún registro y además la lectura de 4 registros simultáneos.
- b) Apoyándose en systemC realice y pruebe el módulo correspondiente al inciso (a).

3- Parte II: Reglas de envío:

Enviar a miguelanre@hotmail.es y heberto.gutierrez8@gmail.com con el asunto ARQCOMP (Si no lo envías con este asunto tu práctica podría no ser tomada en cuenta). Enviar las partes correspondientes a teoría y diseño en un archivo .pdf (se recomienda utilizar LaTex para la realización del documento u otros programas afines para la realización de los diseños lógicos). Organizar los módulos a realizar por carpetas con sus correspondientes testbenches. Finalmente enviar la totalidad de la tarea en archivo comprimido a través de un mensaje cuyo cuerpo contenga SOLAMENTE su nombre y cédula de identidad.

FECHA LÍMITE DE ENTREGA: 30/04/17

Información adicional:

http://www.sc.ehu.es/sbweb/webcentro/automatica/web_avr/archivos/Manual_AT90S85 15/Arquitectura/Principal_arquitectura.htm

https://www.cs.umd.edu/class/sum2003/cmsc311/Notes/