

بسمه تعالی

دانشگاه شهید بهشتی

دانشکده مهندسی و علوم کامپیوتر



آزمایشگاه معماری کامپیوتر

دکتر رضا اکبر

گزارش شماره ۲

SBU_Processor

طه اقتصاد

۹۲۲۱۳۰۳۲

زهره رضایت

۹۲۲۱۳۰۹۵

هدف در بخش دوم آزمایشگاه معماری کامپیوتر، طراحی و ساخت پردازنده‌ی بهشتی است. این پردازنده، از معماری هاروارد برای حافظه و دستورات RISC است.

مشکل Push Button ها، bounce داشتن آنهاست. یک شمارنده به ازای هر کلید تعبیه شده که به تعداد 400 هزار کلاک (80ms)، داده را چک می‌کند و در صورت عدم تغییر آنها، آنها را خروجی می‌دهد. برای یکسان سازی عملکرد این دکمه‌ها و کلاک سیستم، مدار debouncer، بعد از شمردن، تنها یک کلاک سیگنال خروجی ۱ می‌دهد. مکانیزم عملکرد دکمه‌ی run به این صورت است که یک رجیستر را فعال کرده، و در صورت فعال بودن این رجیستر در سیستم، بدون توجه به دکمه‌های دیگر پردازنده عملیات اجرا و به روز رسانی PC را انجام خواهد داد. برای تمامی رجیسترها (IR, 7seg, led, PC, RB) یک سیگنال WE گذاشته شده، که مشخص می‌کند که آیا داده باید بر روی رجیستر قرار گیرد یا نه.

دکمه‌ها طبق صورت پروژه، کار می‌کنند. اما دکمه‌ی S7 که برای نشان دادن محتویات IM است و هم چنین رجیست IMTest به دلیل تکراری بودن آن در دستورات، پیاده سازی نشده اند.

بخش های اصلی این پردازنده که توسط گروه تولید شده، به شرح زیر است:

- ALU: وظیفه‌ی اجرای عملیات ریاضی را برعهده دارد. همچنین در این بخش، ۴ رجیستر نیز تعبیه شده که پرچم‌ها برای چک کردن پرش‌ها را نگهداری و بروز می‌کند. پرچم سرریز به شکل زیر تولید شده است:
$$\sim in1[7] \& \sim in2[7] \& out[7] \mid (in1[7] \& in2[7] \& \sim out[7])$$
- Jump Condition Checker: با دریافت ۴ بیت ۱۴:۱۱ دستورالعمل که نوع پرش و ۴ بیت پرچم که شرط درستی پرش را چک می‌کند، لازم‌الاجرا بودن پرش را چک می‌کند.
- Control Unit: سیگنال‌های کنترلی لازم برای مالتی پلکسر‌ها و لچ‌ها و همچنین پرشی بودن دستور یا نبودن آن را نیز بررسی می‌کند.

در ادامه، Data Path این پردازنده آمده است. تمامی بخش‌های این پردازنده به جز PC و حافظه‌ها به صورت ترکیبی طراحی و پیاده سازی شده است.

