製品仕様書

品種名 ：

注 ： MN864773A

共 通 仕 様

パナソニック株式会社

セミコンダクター社

制 定	起 案	検 印	作 成
渡岡	中野	道場	長澤

2010-09-10	2010-10-20
制 定	改 正

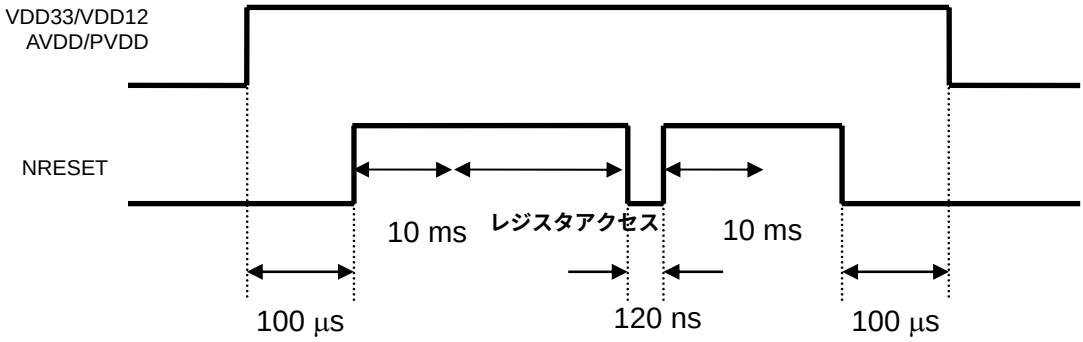
使用上の注意

1. レジスタアドレスマップ、レジスタ説明中で Reserved となっているビットは、デフォルト値で使用して下さい。書き込む場合もデフォルト値を書き込んで下さい。
   また、レジスタアドレスマップに記載のない領域には、アクセスしないで下さい。

2. 本仕様書に記載の Deep Color は、HDMI 規格 Version 1.3a 6.5 章に記載の Deep Color を意味します。YCbCr 422 の 10/12 bit 伝送は含みません。

3. 各電源（VDD33/VDD12/AVDD/PVDD）は極力同時（1秒以内）に ON、OFF してください。

4. 電源のＯＮ、ＯＦＦ時にはリセット（NRESET）端子を 100 μs 以上“L”にしてください。
   リセット解除後、10 ms 以上経過してから、レジスタアクセスを行ってください。
   また、通常動作時にリセットをかける場合は、120 ns 以上“L”にしてください。



5. DDC バスの対応周波数は 100 kHz までです。

6. HOST バス端子 HSCL 、 HSDA は I2C バス規格：STANDARD/FAST mode に準拠しています。

7. アナログ電源 AVDD、PVDD の変動幅（リップル）は、100 mV 以下（暫定）にして下さい。

8. CEC メッセージ受信時、次のメッセージを受信するまでに 0x6C:0x61 CECRXF の読み出しを完了して下さい（1 bit = 2.4 ms 時、メッセージ受信後 40 ms 以内に CECRXF の読み出しを完了して下さい）。

	製品仕様書	MN864773A	
		全ページ	ページ
		ー	3

目 次

1. 概要 5
1.1 概略仕様 5
2. システム概要 6
2.1 ブロック構成 6
3. レジスタアドレスマップ 9
3.1 レジスタアドレスマップ一覧 10
3.1.1 Slave Address 0x60: System Control: システム制御レジスタ 10
3.1.2 Slave Address 0x62: Video/Audio Control: ビデオ･オーディオ制御レジスタ 23
3.1.3 Slave Address 0x66: Data Island Packet: データアイランドパケット 32
3.1.4 Slave Address 0x68: InfoFrame Packet: InfoFrame パケット 40
3.1.5 Slave Address 0x6C: CEC Control: CEC 制御 47
3.1.6 Slave Address 0x6E: EDID: EDID アクセスレジスタ 48
4. レジスタ詳細 49
4.1 Slave Address 0x60: System Control Registers システム制御レジスタ 49
4.1.1 Device ID: デバイス ID 49
4.1.2 Software Reset Register: ソフトリセット 50
4.1.3 Software Power Down: パワーダウン 57
4.1.4 System Configuration Register: システム構成制御レジスタ 59
4.1.5 Reset Sequence Control Register: リセットシーケンス制御レジスタ 72
4.1.6 Interrupt Register Set: 割り込みレジスタ 78
4.1.7 TMDS Receiver Configuration Register Set TMDS レシーバー制御レジスタ 108
4.1.8 Clock Frequency Detection Register: クロック周波数検出 109
4.1.9 Monitor Register Set モニタ用レジスタ 129
4.2 Slave Address 0x62: Video/Audio Control Registers ビデオ･オーディオ制御レジスタ 132
4.2.1 Video Format Detect and Control: ビデオフォーマット検出･制御 132
4.2.2 Video Interface Control Registers: ビデオインターフェース制御レジスタ 147
4.2.3 Color Space Converter: カラースペースコンバータ 184
4.2.4 Audio Control Registers: オーディオ制御レジスタ 192
4.3 Slave Address 0x66: Data Island Packet データアイランドパケット 219
4.3.1 Audio Sample Packet Header Register Set: オーディオサンプルパケットヘッダ 219
4.3.2 One Bit Audio Sample Packet Header Register Set: DSD パケットヘッダ 220
4.3.3 DST Audio Sample Packet Header Register Set: DST パケットヘッダ 221
4.3.4 High Bitrate Audio Stream Packet Header Register Set: HBR パケットヘッダ 222
4.3.5 Audio Clock Regeneration Packet Register Set: N/CTS 223
4.3.6 General Control Packet Register Set: GCP 224
4.3.7 Audio Content Protection Packet Register Set: ACP パケット 225
4.3.8 ISRC1 Packet Register Set: ISRC1 パケット 227
4.3.9 ISRC2 Packet Register Set: ISRC2 パケット 229
4.3.10 Gamut Metadata Packet Register Set: Gamut Metadata パケット 231
4.3.11 Free Packet Register Set: フリーパケット 233
4.4 Slave Address 0x68: InfoFrame Packet InfoFrame パケット 235
4.4.1 Vendor-Specific InfoFrame 235
4.4.2 AVI InfoFrame 238
4.4.3 Source Product Descriptor InfoFrame 241
4.4.4 Audio InfoFrame 244
4.4.5 MPEG Source InfoFrame 247

2010-09-10	
制 定	改 正

4．4．6 HDMI Vendor-Specific InfoFrame 250
4．4．7 Received User Data.....253
4．5 Slave Address 0x6C： CEC Control Register CEC 制御レジスタ.....255
4．6 Slave Address 0x6E： EDID EDID アクセスレジスタ 287
5． 補足説明.....288
5．1 出力ピクセルクロック設定 288
5．2 DDC バスインターフェース 289
6． 更新履歴.....290

1. 概要

本 LSI は、HDMI (High Definition Multimedia Interface) 規格に準拠した受信機能を備えています。プラズマディスプレイや液晶テレビ等に搭載すれば、DVD プレーヤ・レコーダやセットトップボックス (STB) 等から HDMI で出力される高品質のデジタルデータを受信することができます。コピープロテクションには HDCP (High-bandwidth Digital Content Protection) が採用されています。

本仕様書では、ブロック図、機能等を詳細に記述しています。

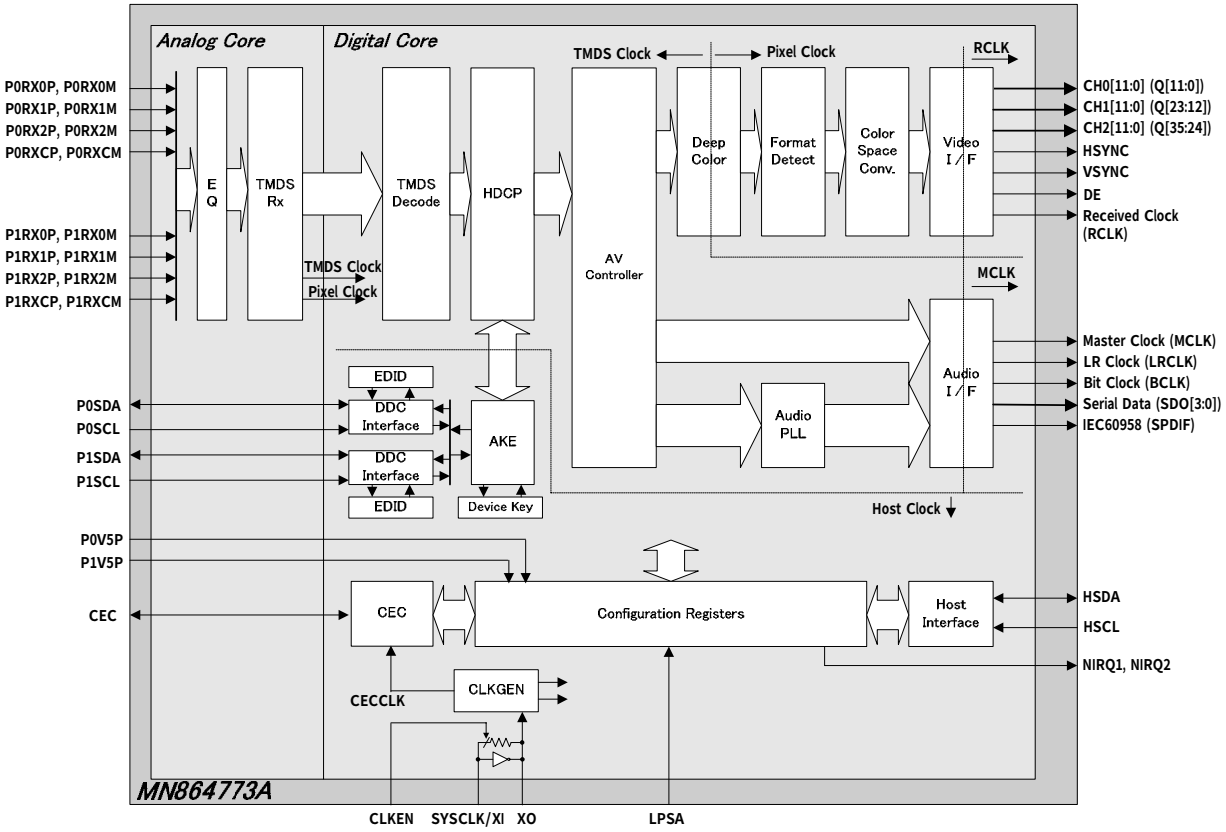
HDCP に関する機能は、仕様書 HDCP 編を参照して下さい。

1.1 概略仕様

- HDMI 規格準拠 2 ポート入力レシーバーLSI
- TMDS コア入力 最大 2.25 Gbps (1080p 36 bit Deep Color)
- TMDS クロック 最大 225 MHz
- ピクセルクロック 最大 165 MHz
- ビデオ仕様
  - Deep Color 30 / 36 / 48 bit 対応
  - CEA-861-E／PC フォーマット検出機能
  - カラースペースコンバータ (RGB → ITU-R BT601/709)
  - YCbCr 444 → YCbCr 422 間引きフィルタ
  - YCbCr 422 → YCbCr 444 補間フィルタ
  - データ演算精度: 12bit
- オーディオ仕様
  - High Bit Rate Audio 対応
  - DSD 対応
  - 3 線式オーディオインターフェース出力×4:
    前詰め／後詰め／I2S より選択、 最大 192 kHz×2 ch×4
  - IEC60958 出力×1
- HDCP 認証機能搭載
- HDCP デバイス鍵内蔵
- CEC インターフェース内蔵
  - ホストバス (IIC バス) 経由でメッセージを送受信
  - メッセージ送受信用FIFO内蔵 (送信 16 byte、受信 64 byte)
  - 自動 ACK 送信、自動アービトレーション
  - アービトレーション失敗時の自動リトライ
  - 送信時の Signal Free Time 管理
  - Line Error Notification の自動送信
  - 各種エラー検知、割り込み処理
- EDID 用 SRAM 内蔵 (256 byte×2)
- ホスト用 IIC スレーブインターフェース (最大 400 kHz)

2. システム概要

2.1 ブロック構成



- **イコライザ** (EQ)
  TMDS **差動入力に対してイコライジング処理を行い、長距離伝送を実現します。**

- TMDS Receiver
  TMDS **クロックを再生し、シリアルーパラレル変換後デジタルコアへ出力します。**
  また、PLL **を用いて** TMDS **クロックよりピクセルクロックを生成します。**DeepColor **時には、**
  ピクセルクロックが TMDS **クロックの** 4/5 **倍もしくは** 2/3 **倍もしくは** 1/2 **倍となります。**

- TMDS **デコーダ**
  TMDS **エンコードされている** 10 bit **データを元の** 8 bit **データへと変換します。**
  デジタルリシンク機能により、3 **チャンネルのデータとクロックを** 1 **つの** TMDS **クロックで**
  再同期化します。さらに、3 **チャンネル間のクロックずれ** (**スキュー補正**) **を行います。**

- HDCP
  HDCP **復号化処理を行います。**
  使用方法については HDCP **編を参照して下さい。**

・ AV Controller
オーディオパケット(Audio Sample Packet、One Bit Audio Sample Packet、DST Audio Packet、High Bitrate Audio Stream Packet)、InfoFrame パケット、データアイランドパケット(オーディオパケット, InfoFrame 以外のパケット)を分離し、オーディオパケットはオーディオインターフェースへ、その他はコンフィギュレーションレジスタへ出力します。

・ Deep Color
Deep Color 時、ピクセルパッキングを解き、30 bit / 36 bit / 48 bit データを出力します。

・ Format Detect
水平・垂直画素数よりビデオフォーマットを検出します。

・ Color Space Converter
カラースペース(RGB、ITU-R BT601/709)を相互に変換します。
また、YCbCr 444→422 間引き、 YCbCr 422→444 補間を行います。

・ Video Interface
ビデオデータを出力します。複数の出力モードを備えます。
クロック RCLK で動作し、出力モードによって RCLK がピクセルクロックの 1/4 倍、1/2 倍、1 倍、2 倍と切り替わります。
YCbCr 8 ビット出力時、Y は 0 ～ 255、CbCr は -128 ～ 127 を 0 ～ 255 で出力します(オフセットバイナリ形式)。RGB 8 ビット出力時は 0 ～ 255 で出力します。10 ビット、12 ビット出力時もこれに準じます。

・ Audio Interface
PLL を用いてオーディオクロックを再生し、IEC60958 もしくは 3 線式シリアルでオーディオデータを出力します。また、3 線式シリアルと端子兼用で DSD を出力します。

・ AKE
HDCP の認証処理(Authentication and Key Exchange)を行います。
使用方法については HDCP 編を参照して下さい。

・ DDC Intrerface
DDC のインターフェース回路です。
256 byte の EDID を 2 つ内蔵することができます。

・ CEC Intrerface
CEC のインターフェース回路です。CEC プロトコルの送信・受信を制御します。
外部クロック入力(SYSCLK = 12 MHz ～ 30 MHz)により動作します。

・ Host Interface

外部ホストとのインターフェースです。 IIC のスレーブ機能を搭載しています。
外部クロック入力 (SYSCLK = 12 MHz ～ 30 MHz) により動作します。
また、スレーブアドレスの上位 3 ビットは LPSA ピンで選択可能です (“011”もしくは“001”)。

ホストインターフェースのライトトランザクションを示します。

N バイトライト

S	Slave Address (7bit)	0	A	Offset Address (8bit)	A	Write Data 1 (8bit)	A	Write Data 2 (8bit)	A	----------	Write Data N (8bit)	A	P

ホストインターフェースのリードトランザクションを示します。

N バイトリード

S	Slave Address (7bit)	0	A	Offset Address (8bit)	A	P ※	S	Slave Address (7bit)	1	A	Read Data 1 (8bit)	A	Read Data 2 (8bit)	A	----------	Read Data N (8bit)	N A	P

S: Start Bit
P: Stop Bit
A: ACK
NA: NACK
※: この Stop Bit は無くても可

・ Configuration Register

各種機能を制御するレジスタ群です。ホストクロックで動作します。

3. レジスタアドレスマップ

機能制御レジスタは、I²C バスによりアクセス可能です。
以下にレジスタアドレスマップを示します。I²C バスのスレーブアドレスは、R/W ビットが 0 に固定された 8 ビット幅で表記しています。
HDCP 関連のレジスタアドレスについては 仕様書 HDCP 編 を参照して下さい。

Registers Address Map: レジスタアドレスマップ

Port Name	I²C Slave Address	Byte Address	Name	Description
Local	0x60	0x00-0xFF	SYS	System Control システム制御
	0x62	0x00-0xFF	VAC	Video / Audio Control ビデオ･オーディオ制御
	0x64	0x00-0xFF	HDC	HDCP HDCP レジスタ ※HDCP 編を参照して下さい
	0x66	0x00-0xFF	PKT	Packet Data Register. Packet データ用レジスタ
	0x68	0x00-0xFF	INF	InfoFrame Data Register. InfoFrame データ用レジスタ
	0x6A	0x00-0xFF	ー	Reserved
	0x6C	0x00-0x5F	ー	Reserved
		0x60-0x7F	CEC	CEC CEC 送受信用レジスタ
		0x80-0xFF	AKE	Authentication and Key Exchange HDCP 認証用レジスタ ※HDCP 編を参照して下さい
	0x6E	0x00-0xFF	EDI	EDID EDID (Port 0 / Port 1 共用)

ローカルポートの I²C スレーブアドレスは、上位 3 ビットを LPSA ピンで選択でき、“011”か”001“とすることができます。本仕様書では LPSA が“H”の場合 (上位 3 ビットが“011”の場合) を示しています。

3．1　レジスタアドレスマップ一覧

この章ではレジスタアドレスマップ全体を示します。各レジスタの詳細機能に関しては第4章以降で説明しています。

3．1．1　Slave Address 0x60： System Control： システム制御レジスタ

Slave Address 0x60 : Offset Address 0x00-0x03：
Device ID　デバイス ID

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x00	DVICID[7: 0]								0x73
0x60	0x01	DVICID[15:8]								0x07
0x60	0x02	DVICRV								0x00
0x60	0x03	Reserved								0x00

Slave Address 0x60 : Offset Address 0x04-0x07：
Software Reset Register　ソフトリセット

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x04	ALLRST	AKERST	DDCRST	AIFRST	VIFRST	AVCRST	HDCRST	DECRST	0x00
0x60	0x05	TMDRST	DPLRST	AFFRST	ACRRST	DVFRST	AVMRST	PKTRST	RSYRST	0x00
0x60	0x06	HPLRST	AKCRST	VFFRST	LKDRST	DCMRST	PFQRST	TFQRST	CFGRST	0x00
0x60	0x07	Reserved			TMRSTE	TMRSTD	TMRSTC	TMRSTB	TMRSTA	0x00

Slave Address 0x60 : Offset Address 0x08-0x0B：
Software Power Down パワーダウン

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x08	Reserved	CSCDWN	CECDWN	Reserved	APLLPDWN	SWPDWNB	SWPDWNA	SWPDWN	0x00
0x60	0x09-0B	Reserved								0x00

Slave Address 0x60 : Offset Address 0x0C-0x1F：
System Configuration Register　システム構成制御レジスタ

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x0C	TCKPOL	RCKPOL	TCKSEL	Reserved	BCHEON	PKDTCT [2:0]			0x00
0x60	0x0D	Reserved								0xF8
0x60	0x0E	Reserved				SRSTED	SRSTEC	SRSTEB	SRSTEA	0x00
0x60	0x0F	SYFILM	Reserved	SYFILT	SKWDIS	RSYAEN [1:0]		RSYDAU	RSYDIS	0x00
0x60	0x10	Reserved				APCKEN	Reserved	PCLKSL [1:0]		0x08
0x60	0x11	Reserved	APEIRM	NIRQ2P	NIRQ1P	IRQSTMD	SYSOPM [2:0]			0x04
0x60	0x12	V5PTHSEL	DDCTHSEL	OUTM	PDNCTL	ACHDRV [1:0]		VCHDRV [1:0]		0xA0
0x60	0x13	Reserved						V5FLTH[1:0]		0x00

0x60	0x14	NPRIME	Reserved	DDCFLT	DDCNCS	Reserved	PORSEL [2:0]	0x17
0x60	0x15-1B	Reserved						0x00
0x60	0x1C	Reserved					EDIDPG [1:0]	0x00
0x60	0x1D	Reserved						0xA0
0x60	0x1E	CECCDV[7:0]						0x00
0x60	0x1F	CECCDV[15:8]						0x00

Slave Address 0x60 : Offset Address 0x20-0x3F：
Reset Sequence Control リセットシーケンス制御

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x20	RSEQEN	AVCREN	LKDTEN	TMRENE	TMREND	TMRENC	TMRENB	TMRENA	0x7F
0x60	0x21	Reserved							DPCREN	0x00
0x60	0x22	DPCRTM[7:0]								0x32
0x60	0x23	DPCRTM[15:8]								0x29
0x60	0x24	TMRTMA[7:0]								0x8C
0x60	0x25	TMRTMA[15:8]								0x0A
0x60	0x26	TMRTMA[23:16]								0x00
0x60	0x27	Reserved								0x00
0x60	0x28	TMRTMB [7:0]								0x8C
0x60	0x29	TMRTMB[15:8]								0x0A
0x60	0x2A	TMRTMB[23:16]								0x00
0x60	0x2B	Reserved								0x00
0x60	0x2C	TMRTMC[7:0]								0x58
0x60	0x2D	TMRTMC[15:8]								0x0F
0x60	0x2E	TMRTMC[23:16]								0x02
0x60	0x2F	Reserved								0x00
0x60	0x30	TMRTMD[7:0]								0xB8
0x60	0x31	TMRTMD[15:8]								0x4C
0x60	0x32	TMRTMD[23:16]								0x0A
0x60	0x33	Reserved								0x00
0x60	0x34	TMRTME[7:0]								0x18
0x60	0x35	TMRTME[15:8]								0x8A
0x60	0x36	TMRTME[23:16]								0x12
0x60	0x37	Reserved								0x00
0x60	0x38	LKDTTM [7:0]								0x8C
0x60	0x39	LKDTTM [15:8]								0x0A
0x60	0x3A	LKDTTM [23:16]								0x00
0x60	0x3B	Reserved								0x00
0x60	0x3C	AVCRTM [7:0]								0xE0
0x60	0x3D	AVCRTM [15:8]								0x32
0x60	0x3E	AVCRTM [23:16]								0x29
0x60	0x3F	Reserved								0x00

Slave Address 0x60 : Offset Address 0x40-0x7F：
Interut Register Set 割り込みレジスタ

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x40	Reserved								0x00
0x60	0x41	VSYDET	FRQCHG	LFQDET	HFQDET	VFFAIL	VFSUCS	HDMCHG	LOCKDT	0x00
0x60	0x42	APLOCK	APULCK	AFOVRF	AFUNDF	NPRCHG	CTSCHG	FSCHG	LAYCHG	0x00
0x60	0x43	AFMTCHG	Reserved	CBTCHG	ADBERR	DSTDET	DSDDET	HBRDET	ASPDET	0x00
0x60	0x44	DPCLOF	DPCLON	CDPCHG	GMTCHG	ISBCHG	ISACHG	ACPCHG	AVMCHG	0x00
0x60	0x45	PKBERR	DPCARS	VAIARS	MPGCHG	AUDCHG	SPDCHG	AVICHG	VSPCHG	0x00
0x60	0x46	GMTDET	ISBDET	ISADET	ACPDET	AUDDET	SPDDET	AVIDET	VSPDET	0x00
0x60	0x47	HDCP 編を参照して下さい								
0x60	0x48	HDBERR	PBBERR	PBCERR	MPGDET	FREDET	GCPDET	ACRDET	NULDET	0x00

0x60	0x49	CECERI	CECTXI	Reserved	CECRXI	Reserved		CECBLI	Reserved	0x00
0x60	0x4A	Reserved				P1V5OF	P1V5ON	P0V5OF	P0V5ON	0x00
0x60	0x4B	STSCH	Reserved	HPLRSCMP	FLATLINE DET	CMPRS AUDDET	HDMIMODE DET	DVIMODE DET	AVMUTE DET	0x00
0x60	0x4C	Reserved		P1TCK HFQDET	P0TCK HFQDET	Reserved		P1 TCKDCH	P0 TCKDCH	0x00
0x60	0x4D	ACPNDET	GMTNDET	ASPNDET	ACRNDET	ACPDETP	GMTDETP	ASPDETP	ACRDETP	0x00
0x60	0x4E	HVENDET	HVEDETP	H3DNDET	H3DDETP	HVSNDET	HVSDETP	HVSCHG	HVSDET	0x00
0x60	0x4F	Reserved				DSDNDET	DSDDETP	HBRNDET	HBRDETP	0x00
0x60	0x50	IRQ7ST	IRQ6ST	IRQ5ST	IRQ4ST	IRQ3ST	IRQ2ST	IRQ1ST	IRQSTA	0x00
0x60	0x51	IRQFST	IRQEST	IRQDST	IRQCST	IRQBST	IRQAST	IRQ9ST	IRQ8ST	0x00

0x60	0x52	EIRQ7S	EIRQ6S	EIRQ5S	EIRQ4S	EIRQ3S	EIRQ2S	EIRQ1S	EIRQST	0x00
0x60	0x53	EIRQFS	EIRQES	EIRQDS	EIRQCS	EIRQBS	EIRQAS	EIRQ9S	EIRQ8S	0x00
0x60	0x54-57	Reserved								0x00
0x60	0x58	IRQMSA[7:0]								0x00
0x60	0x59	IRQMSB[7:0]								0x00
0x60	0x5A	EIRMSA[7:0]								0x00
0x60	0x5B	EIRMSB[7:0]								0x00
0x60	0x5C-5F	Reserved								0x00
0x60	0x60	Reserved								0x00
0x60	0x61	IR1MSK[7:0]								0x00
0x60	0x62	IR2MSK[7:0]								0x00
0x60	0x63	IR3MSK[7:0]								0x00
0x60	0x64	IR4MSK[7:0]								0x00
0x60	0x65	IR5MSK[7:0]								0x00
0x60	0x66	IR6MSK[7:0]								0x00
0x60	0x67	IR7MSK[7:0]								0x00
0x60	0x68	IR8MSK[7:0]								0x00
0x60	0x69	IR9MSK[7:0]								0x00
0x60	0x6A	IRAMSK[7:0]								0x00
0x60	0x6B	IRBMSK[7:0]								0x00
0x60	0x6C	IRCMSK[7:0]								0x00
0x60	0x6D	IRDMSK[7:0]								0x00
0x60	0x6E	IREMSK[7:0]								0x00
0x60	0x6F	IRFMSK[7:0]								0x00
0x60	0x70	Reserved								0x00
0x60	0x71	EI1MSK[7:0]								0x00
0x60	0x72	EI2MSK[7:0]								0x00
0x60	0x73	EI3MSK[7:0]								0x00
0x60	0x74	EI4MSK[7:0]								0x00
0x60	0x75	EI5MSK[7:0]								0x00
0x60	0x76	EI6MSK[7:0]								0x00
0x60	0x77	EI7MSK[7:0]								0x00
0x60	0x78	EI8MSK[7:0]								0x00
0x60	0x79	EI9MSK[7:0]								0x00
0x60	0x7A	EIAMSK[7:0]								0x00
0x60	0x7B	EIBMSK[7:0]								0x00
0x60	0x7C	EICMSK[7:0]								0x00
0x60	0x7D	EIDMSK[7:0]								0x00
0x60	0x7E	EIEMSK[7:0]								0x00
0x60	0x7F	EIFMSK[7:0]								0x00

Slave Address 0x60 : Offset Address 0x80-0xBF：
TMDS Control TMDS レシーバ制御

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x80-BF	※通常設定不要								

Slave Address 0x60 : Offset Address 0xC0-0xC3：
Clock Frequency Detection クロック周波数検知

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xC0	Reserved	PCLKFQ [2:0]			Reserved	TCLKFQ [2:0]			—
0x60	0xC1	PSETEN	PFQSET [2:0]			TSETEN	TFQSET [2:0]			0x00
0x60	0xC2	Reserved							CFDPG	0x00
0x60	0xC3	Reserved								0x00

Slave Addres 0x60 : Offset Address 0xC4-0xF3：
Clock Frequency Detection Parameter(CFDPG=0) クロック周波数検知パラメータ(CFDPG=0)

0x60	0xC4	FDTTHM[3:0]			FCHTHM[3:0]	0x22
0x60	0xC5	PDTTHM[3:0]			PCHTHM[3:0]	0x22
0x60	0xC6	Reserved	HFQDTH [2:0]	Reserved	LFQDTH [2:0]	0x51
0x60	0xC7	Reserved				0x00
0x60	0xC8	MAXTCC[7:0]				0x00
0x60	0xC9	MAXTCC[15:8]				0x00
0x60	0xCA	Resv.	MAXTCC[22:16]			0x01
0x60	0xCB	Reserved				0x00
0x60	0xCC	FCHGTH [7:0]				0x21
0x60	0xCD	FCHGTH [15:8]				0x00
0x60	0xCE	FCHGTH [23:0]				0x00
0x60	0xCF	Reserved				0x00
0x60	0xD0	FDTTHA[7:0]				0x9A
0x60	0xD1	FDTTHA [15:8]				0x59
0x60	0xD2	FDTTHA [23:16]				0x01
0x60	0xD3	Reserved				0x00
0x60	0xD4	FDTTHB [7:0]				0x9A
0x60	0xD5	FDTTHB[15:8]				0x99

0x60	0xD6	FDTTHB[23:16]	0x00
0x60	0xD7	Reserved	0x00
0x60	0xD8	FDTTHC[7:0]	0xD8
0x60	0xD9	FDTTHC [15:8]	0x50
0x60	0xDA	FDTTHC [23:16]	0x00
0x60	0xDB	Reserved	0x00
0x60	0xDC	FDTTHD [7:0]	0x32
0x60	0xDD	FDTTHD[15:8]	0x38
0x60	0xDE	FDTTHD[23:16]	0x00
0x60	0xDF	Reserved	0x00
0x60	0xE0	FDTTHE [7:0]	0x44
0x60	0xE1	FDTTHE[15:8]	0x23
0x60	0xE2	FDTTHE [23:16]	0x00
0x60	0xE3	Reserved	0x00
0x60	0xE4	FDTTHF [7:0]	0xC0
0x60	0xE5	FDTTHF[15:8]	0x13
0x60	0xE6	FDTTHF [23:16]	0x00
0x60	0xE7	Reserved	0x00
0x60	0xE8	PCHGTH [7:0]	0x80
0x60	0xE9	PCHGTH [15:8]	0x00
0x60	0xEA	PDTTHA[7:0]	0x46
0x60	0xEB	PDTTHA [15:8]	0x27
0x60	0xEC	PDTTHB[7:0]	0x4E
0x60	0xED	PDTTHB [15:8]	0x1A
0x60	0xEE	PDTTHC[7:0]	0xC9
0x60	0xEF	PDTTHC [15:8]	0x12
0x60	0xF0	PDTTHD[7:0]	0x19
0x60	0xF1	PDTTHD[15:8]	0x09
0x60	0xF2	PDTTHE[7:0]	0xF0
0x60	0xF3	PDTTHE [15:8]	0x04

Slave Address 0x60 : Offset Address 0xC4-0xEF：
Clock Frequency Detection Parameter(CFDPG=1)　クロック周波数検知パラメータ(CFDPG=1)

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xC4-C7	Reserved								0x00
0x60	0xC8	MAXHCC[7:0]								0x78
0x60	0xC9	MAXHCC[15:8]								0x69
0x60	0xCA-CB	Reserved								0x00
0x60	0xCC	TCKTHRT[7:0]								0x70
0x60	0xCD	TCKTHRT[15:8]								0x82
0x60	0xCE	Reserved				TCKTHRT[19:16]				0x03
0x60	0xCF	Reserved								0x00
0x60	0xD0	TCKTHRB[7:0]								0x20
0x60	0xD1	TCKTHRB[15:8]								0x4E
0x60	0xD2	Reserved				TCKTHRB[19:16]				0x00
0x60	0xD3	Reserved								0x00
0x60	0xD4	P0TCC[7:0]								—
0x60	0xD5	P0TCC[15:8]								—

0x60	0xD6	Reserved	P0TCC[19:16]		0x0—
0x60	0xD7	Reserved			0x00
0x60	0xD8	P1TCC[7:0]			—
0x60	0xD9	P1TCC[15:8]			—
0x60	0xDA	Reserved	P1TCC[19:16]		0x0—
0x60	0xDB-E7	Reserved			0x00
0x60	0xE8	PCKC[7:0]			0x00
0x60	0xE9	PCKC[15:8]			0x00
0x60	0xEA	Reserved	PCKC[19:16]		0x00
0x60	0xEB	Reserved			0x00
0x60	0xEC	HPRRT2[7:0]			0x8E
0x60	0xED	HPRRT1[5:0]		HPRRT2[9:8]	0x55
0x60	0xEE	Reserved	HPRRT0[1:0]	HPRRT1[7:6]	0x01
0x60	0xEF	Reserved			0x00

Slave Address 0x60 : Offset Address 0xF4-0xFF：
Monitor Register モニタレジスタ

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xF4-FB	Reserved								0x00
0x60	0xFC	ASTMON	Reserved		AVMMON	PCKMON [1:0]		DPCMON	LCKMON	—
0x60	0xFD	ACPDETS	GMTDETS	ASPDETS	ACRDETS	Reserved		P1V5MN	P0V5MN	—
0x60	0xFE	Reserved		HVSDETS	DSDDETS	HBRDETS	Reserved	P1TCKDET	P0TCKDET	—
0x60	0xFF	Reserved								0x00

3．1．2 Slave Address 0x62： Video/Audio Control： ビデオ･オーディオ制御レジスタ

Slave Address 0x62 : Offset Address 0x00-0x6F：
Video Register Set: ビデオ制御レジスタ

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	De-fault
0x62	0x00	DETVFM[7:0]								0x00
0x62	0x01-03	Reserved								0x00
0x62	0x04	DETHPE[7:0]								0x00
0x62	0x05	Reserved			DETHPE[12:8]					0x00
0x62	0x06	DETVPE[7:0]								0x00
0x62	0x07	Reserved				DETVPE[11:8]				0x00
0x62	0x08	Reserved					PRGDET	CRRVPL	CRRHPL	0x00
0x62	0x09-0F	Reserved								0x00
0x62	0x10	CRRHPE[7:0]								0x00
0x62	0x11	Reserved			CRRHPE[12:8]					0x00
0x62	0x12	CRRVPE[7:0]								0x00
0x62	0x13	Reserved				CRRVPE[11:8]				0x00
0x62	0x14	CRRHSW[7:0]								0x00
0x62	0x15	Reserved							CRRHSW[8]	0x00
0x62	0x16	CRRVSW[7:0]								0x00
0x62	0x17	CRRVSW[15:8]								0x00
0x62	0x18	CRRHDE[7:0]								0x00
0x62	0x19	Reserved			CRRHDE[12:8]					0x00
0x62	0x1A	CRRVDE[7:0]								0x00
0x62	0x1B	Reserved				CRRVDE[11:8]				0x00
0x62	0x1C	CRRHSD[7:0]								0x00
0x62	0x1D	Reserved					CRRHSD[10:8]			0x00
0x62	0x1E	CRRVSD[7:0]								0x00
0x62	0x1F	Reserved								0x00
0x62	0x20	SPTVFM[7: 0]								0x00
0x62	0x21	SPTVFM[15: 8]								0x00
0x62	0x22	SPTVFM[23:16]								0x00
0x62	0x23	SPTVFM[31:24]								0x00
0x62	0x24	SPTVFM[39:32]								0x00
0x62	0x25	SPTVFM[47:40]								0x00
0x62	0x26	SPTVFM[55:48]								0x00
0x62	0x27	SPTVFM[63:56]								0x00
0x62	0x28	SPTPFM[7: 0]								0x00
0x62	0x29	SPTPFM[15: 8]								0x00

0x62	0x2A	SPTPFM[23:16]							0x00
0x62	0x2B	SPTPFM[31:24]							0x00
0x62	0x2C	SPTPFM[39:32]							0x00
0x62	0x2D	SPTPFM[47:40]							0x00
0x62	0x2E	SPTPFM[55:48]							0x00
0x62	0x2F	SPTPFM[63:56]							0x00
0x62	0x30	AUTADM	AUTVDM	ADMUTE	VDMUTE	AVMCTL	VFMCLR	DVISET [1:0]	0x00
0x62	0x31	Reserved						AUT3DVM	0x00
0x62	0x32-33	Reserved							0x00
0x62	0x34	VVFNUM[3:0]				HVFNUM[3:0]			0x4F
0x62	0x35	SPTHFM[7:0]							0x00
0x62	0x36	SPTHFM[15:8]							0x00
0x62	0x37	SPTHFM[23:16]							0x00
0x62	0x38	Reserved		FIELDE	DEPOL	FIXPOL	VSYPOL	HSYPOL	VOUTEN	0x00
0x62	0x39	DTRATE [1:0]		BITSHF [1:0]		CHRPLC	CHALGN [2:0]		0x00
0x62	0x3A	HDELAY[7:0]							0x00
0x62	0x3B	Reserved			HDELAY [12:8]				0x00
0x62	0x3C	VDELAY[7:0]							0x00
0x62	0x3D	VDELAY[15:8]							0x00
0x62	0x3E	VDELAY[23:16]							0x00
0x62	0x3F	Reserved			VDELAY[24]	Reserved		SYDLON	0x00
0x62	0x40	VDTIVL[7:0]							0x00
0x62	0x41	VDTIVL[15:8]							0x00
0x62	0x42	VDTIVE	VDTIVL [22:16]						0x00
0x62	0x43	VDTNGL	VDTVLG	VDTBIT [1:0]		VDTCLR	VDTENA [2:0]		0x00
0x62	0x44	VDTVCT[7:0]							0x00

0x62	0x45	VDTNGC[7:0]				0x00
0x62	0x46-47	Reserved				0x00
0x62	0x48	CHABLK[7:0]				0x80
0x62	0x49	CHBBLK[7:0]				0x10
0x62	0x4A	CHCBLK[7:0]				0x80
0x62	0x4B	Reserved				0x00
0x62	0x4C	VFMTEN	VIFFMT [6:0]			0x00
0x62	0x4D	CHMULT[7:0]				0x00
0x62	0x4E	Reserved				0x00
0x62	0x4F	Reserved				0x00
0x62	0x50	VFMODE [1:0]	Reserved	RECMOD [2:0]	REC656	0x00
0x62	0x51	Reserved	ESYMOD[5:0]			0x00
0x62	0x52	ESYPRA[7:0]				0xFF
0x62	0x53	ESYPRB[7:0]				0x00
0x62	0x54	SAVBKA[7:0]				0x00
0x62	0x55	SAVVDA[7:0]				0x00
0x62	0x56	SAVBKB[7:0]				0x00
0x62	0x57	SAVVDB[7:0]				0x00
0x62	0x58	EAVBKA[7:0]				0x00
0x62	0x59	EAVVDA[7:0]				0x00
0x62	0x5A	EAVBKB[7:0]				0x00
0x62	0x5B	EAVVDB[7:0]				0x00
0x62	0x5C	ESYSTA[7:0]				0x00
0x62	0x5D	Reserved	ESYSTA[12:8]			0x00
0x62	0x5E	ESYEND[7:0]				0x00
0x62	0x5F	Reserved	ESYEND[12:8]			0x00
0x62	0x60	ESSFDA[7:0]				0x00
0x62	0x61	Reserved	ESSFDA[12:8]			0x00
0x62	0x62	ESSVDA[7:0]				0x00
0x62	0x63	Reserved	ESSVDA[12:8]			0x00
0x62	0x64	ESSBKA[7:0]				0x00
0x62	0x65	Reserved	ESSBKA[12:8]			0x00
0x62	0x66	ESSFDB[7:0]				0x00
0x62	0x67	Reserved	ESSFDB[12:8]			0x00
0x62	0x68	ESSVDB[7:0]				0x00
0x62	0x69	Reserved	ESSVDB[12:8]			0x00
0x62	0x6A	ESSBKB[7:0]				0x00
0x62	0x6B	Reserved	ESSBKB[12:8]			0x00
0x62	0x6C	STCTTD [3:0]	HVFORM [2:0]	MODETD		0x00
0x62	0x6D-6F	Reserved				0x00

Slave Address 0x62 : Offset Address 0x70-0x9F：
Color Space Converter Register Set: カラースペースコンバータ制御レジスタ

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	De-fault
0x62	0x70	ASET	MSEL	YNS	CNS	YRND	CRND	ASMOD	CSCOFF	0x80
0x62	0x71	OOFS	IOFS	CLIP	OMOD	IMOD	RPTSET [1:0]		OCLIP	0x00
0x62	0x72	ICFMT[3:0]				OCFMT[3:0]				0x00
0x62	0x73	DSSEL [1:0]		USSEL [1:0]		CVALEN	CVALSEL	BITWIDTH [1:0]		0x02
0x62	0x74	CLIPTVAL[7:0]								0x00
0x62	0x75	CLIPTVAL[15:8]								0xEB
0x62	0x76	CLIPBVAL[7:0]								0x00
0x62	0x77	CLIPBVAL[15:8]								0x10
0x62	0x78	ICFASET	RGBMODE	CSCBYPS	DVIREPM	Reserved		SUPDATE	UPDATE	0x02
0x62	0x79-7B	Reserved								0x00
0x62	0x7C	CSC00A[7: 0]								0x00
0x62	0x7D	CSC00A[15:8]								0x00
0x62	0x7E-7F	Reserved								0x00
0x62	0x80	CSC01A[7: 0]								0x00
0x62	0x81	CSC01A[15:8]								0x00
0x62	0x82-83	Reserved								0x00
0x62	0x84	CSC02A[7: 0]								0x00
0x62	0x85	CSC02A[15:8]								0x00
0x62	0x86-87	Reserved								0x00
0x62	0x88	CSC10A[7: 0]								0x00
0x62	0x89	CSC10A[15:8]								0x00
0x62	0x8A-8B	Reserved								0x00
0x62	0x8C	CSC11A[7: 0]								0x00
0x62	0x8D	CSC11A[15:8]								0x00
0x62	0x8E-8F	Reserved								0x00
0x62	0x90	CSC12A[7: 0]								0x00
0x62	0x91	CSC12A[15:8]								0x00
0x62	0x92-93	Reserved								0x00
0x62	0x94	CSC20A[7: 0]								0x00
0x62	0x95	CSC20A[15:8]								0x00

0x62	0x96-97	Reserved	0x00
0x62	0x98	CSC21A[7: 0]	0x00
0x62	0x99	CSC21A[15:8]	0x00
0x62	0x9A-9B	Reserved	0x00
0x62	0x9C	CSC22A[7: 0]	0x00
0x62	0x9D	CSC22A[15:8]	0x00
0x62	0x9E-9F	Reserved	0x00

Slave Address 0x62 : Offset Address 0xA0-0xFF：
Audio Register Set: オーディオ制御レジスタ

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xA0	PLLASET	AMUTEEN	AUTOCHG	CTSAVEN	NDEN	MHOLDEN	MCLKEN	AOEN	0xE6
0x62	0xA1	NDMOD	CTSAVMODE [2:0]			Reserved	FIFOCNT	VUCAUTO	TXVBIT	0x02
0x62	0xA2	Reserved				FIFOCNTGAIN [1:0]		PLLMODE [1:0]		0x00
0x62	0xA3	LPFEN	DPLL	APLL	FLOCK	Reserved	CBIT_SEL [2:0]			0x00
0x62	0xA4	BCLKFS	POLLRCLK	DABIT [1:0]		BCLKEDGE	FBMODE	IISMODE	ENDMOD	0x00
0x62	0xA5	Reserved					PDHALF	Reserved	DREFSEL	0x00
0x62	0xA6	THOVRF[3:0]				THUNDF[3:0]				0x00
0x62	0xA7	Reserved								0x00
0x62	0xA8	DSDMODE	BSSTOP	Reserved		DSTREN	HBRREN	OBAREN	ASREN	0x41
0x62	0xA9-AB	Reserved								0x00

0x62	0xAC	Reserved				FS32MCLK [2:0]		0x00
0x62	0xAD	Reserved	FS44MCLK [2:0]		Reserved	FS48MCLK [2:0]		0x00
0x62	0xAE	Reserved	FS88MCLK [2:0]		Reserved	FS96MCLK [2:0]		0x00
0x62	0xAF	Reserved	FS176MCLK [2:0]		Reserved	FS192MCLK [2:0]		0x00
0x62	0xB0	Reserved			LRSW3	LRSW2	LRSW1	LRSW0	0x00
0x62	0xB1	SPDIFSEL [1:0]		Reserved	CHSW [4:0]			0x00
0x62	0xB2	CHASGN[7:0]						0x00
0x62	0xB3	Reserved						0x00
0x62	0xB4	DAODIV[3:0]			DIV128[3:0]			0x00
0x62	0xB5	Reserved	DPCKSET	DPCKSEL [1:0]	DIVMCK [3:0]			0x00
0x62	0xB6	LOCKGAIN[2:0]		ULOCKGAIN[2:0]		DPCKFQ[1:0]		0x08
0x62	0xB7	Reserved		FSDIV[1:0]	Reserved			0x00
0x62	0xB8	PLLPERIOD[7:0]						0x00
0x62	0xB9	PLLPERIOD[15:8]						0x00
0x62	0xBA	GAINCTL	Reserved	RSTMODE [1:0]	PLLPERIOD [19:16]			0x00
0x62	0xBB	Reserved						0x00
0x62	0xBC	Reserved		RFMTSEL [1:0]	I2SSTOP	FADEEN	MUTE	TXSTOP	0x00

0x62	0xBD	Reserved		FADESPN [1:0]	FADESTN [1:0]	0x05
0x62	0xBE-BF	Reserved				0x00
0x62	0xC0	Reserved	MUTESTATUS	Reserved	CH_CNT [1:0]	0x00
0x62	0xC1	Reserved			RFMTSTATUS [1:0]	0x00
0x62	0xC2-C3	Reserved				0x00
0x62	0xC4	Reserved	HPLM [6:0]			0x21
0x62	0xC5	HPLKINIT[7:0]				0xDE
0x62	0xC6	HPLKINIT[15:8]				0x24
0x62	0xC7	HPLFREFSEL [1:0]	HPLDSIG MODE	HPLKINIT [20:16]		0xFE
0x62	0xC8	Reserved	HPLDIVA[4:0]			0x02
0x62	0xC9	HPLDIVB[7:0]				0x00
0x62	0xCA	Reserved	HPLDIVB[12:8]			0x0C
0x62	0xCB	Reserved	HPLGAINBB [2:0]	Reserved	HPLGAINPD [2:0]	0x20
0x62	0xCC	Reserved	HPLLPFGBPD [2:0]	Reserved	HPLLPFGAPD [1:0]	0x20
0x62	0xCD	Reserved	HPLLPFGBBB[2:0]	Reserved	HPLLPFGABB [1:0]	0x20
0x62	0xCE	Reserved	HPLREG1[4:0]			0x06
0x62	0xCF	Reserved	HPLREG2[4:0]			0x06
0x62	0xD0	Mode(Rx)	d(Rx)	c(Rx)	b(Rx)	a(Rx) 0x00
0x62	0xD1	Category Code(Rx)				0x00
0x62	0xD2	Channel Number(Rx)		Source Number(Rx)		0x00
0x62	0xD3	Sampling Extension(Rx)	Clock Accuracy(Rx)	Sampling Frequency(Rx)		0x00
0x62	0xD4	Original Sampling Frequency(Rx)		Word Length(Rx)		0x00
0x62	0xD5	RXCBIT(Reserved)			CGMS-A(Rx)	0x00
0x62	0xD6-D7	RXCBIT(Reserved)				0x00

0x62	0xD8	Mode(Tx)	d(Tx)		c(Tx)	b(Tx)	a(Tx)	0x00
0x62	0xD9	Category Code(Tx)						0x00
0x62	0xDA	Channel Number(Tx)		Source Number(Tx)				0x00
0x62	0xDB	Sampling Extension(Tx)	Clock Accuracy(Tx)	Sampling Frequency(Tx)				0x00
0x62	0xDC	Original Sampling Frequency(Tx)		Word Length(Tx)				0x00
0x62	0xDD	TXCBIT(Reserved)				CGMS-A(Tx)		0x00
0x62	0xDE-DF	Reserved						0x00
0x62	0xE0	Reserved	CTSTHR [2:0]	CRPALT	Reserved	FSALT	Reserved	0x00
0x62	0xE1	Reserved		SWFS[3:0]				0x02
0x62	0xE2	Reserved		HWFS[3:0]				0x0F
0x62	0xE3	Reserved						0x00
0x62	0xE4	NSWVAL[7:0]						0x00
0x62	0xE5	NSWVAL[15:8]						0x00
0x62	0xE6	Reserved		NSWVAL[19:16]				0x00
0x62	0xE7	Reserved						0x00
0x62	0xE8	CTSSWVAL[7:0]						0x00
0x62	0xE9	CTSSWVAL[15:8]						0x00
0x62	0xEA	Reserved		CTSSWVAL[19:16]				0x00
0x62	0xEB-FF	Reserved						0x00

3．1．3 Slave Address 0x66： Data Island Packet： データアイランドパケット

Slave Address 0x66 : Offset Address 0x00-0x03：
Audio Sample Packet Header

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x00	ASP00H [7:0]								0x00
0x66	0x01	ASP01H [7:0]								0x00
0x66	0x02	ASP02H [7:0]								0x00
0x66	0x03	ASPERR	Reserved		ASPSER	ASPS3E	ASPS2E	ASPS1E	ASPS0E	0x00

Slave Address 0x66 : Offset Address 0x04-0x07：
One Bit Audio Sample Packet Header

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x04	DSD00H [7:0]								0x00
0x66	0x05	DSD01H [7:0]								0x00
0x66	0x06	DSD02H [7:0]								0x00
0x66	0x07	DSDERR	Reserved		DSDSER	DSDS3E	DSDS2E	DSDS1E	DSDS0E	0x00

Slave Address 0x66 : Offset Address 0x08-0x0B：
DST Audio Packet Header

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x08	DST00H [7:0]								0x00
0x66	0x09	DST01H [7:0]								0x00
0x66	0x0A	DST02H [7:0]								0x00
0x66	0x0B	DSTERR	Reserved		DSTSER	DSTS3E	DSTS2E	DSTS1E	DSTS0E	0x00

Slave Address 0x66 : Offset Address 0x0C-0x0F：
High Bitrate Audio Stream Packet Header

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x0C	HBR00H [7:0]								0x00
0x66	0x0D	HBR01H [7:0]								0x00
0x66	0x0E	HBR02H [7:0]								0x00
0x66	0x0F	HBRERR	Reserved		HBRSER	HBRS3E	HBRS2E	HBRS1E	HBRS0E	0x00
0x66	0x10-1F	Reserved								0x00

Slave Address 0x66 : Offset Address 0x20-0x2F：
Audio Clock Regeneration Packet

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x20	ACR00H [7:0]								0x00
0x66	0x21	ACR01H [7:0]								0x00
0x66	0x22	ACR02H [7:0]								0x00
0x66	0x23	ACRERR	Reserved		ACRSER	ACRS3E	ACRS2E	ACRS1E	ACRS0E	0x00
0x66	0x24	ACR00P [7:0]								0x00
0x66	0x25	ACR01P [7:0]								0x00
0x66	0x26	ACR02P [7:0]								0x00
0x66	0x27	ACR03P [7:0]								0x00
0x66	0x28	ACR04P [7:0]								0x00
0x66	0x29	ACR05P [7:0]								0x00
0x66	0x2A	ACR06P [7:0]								0x00
0x66	0x2B-2F	Reserved								0x00

Slave Address 0x66 : Offset Address 0x30-0x3F
General Control Packet

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x30	GCP00H [7:0]								0x00
0x66	0x31	GCP01H [7:0]								0x00
0x66	0x32	GCP02H [7:0]								0x00
0x66	0x33	GCPERR	Reserved		GCPSER	GCPS3E	GCPS2E	GCPS1E	GCPS0E	0x00
0x66	0x34	GCP00P [7:0]								0x00
0x66	0x35	GCP01P [7:0]								0x00
0x66	0x36	GCP02P [7:0]								0x00
0x66	0x37	GCP03P [7:0]								0x00
0x66	0x38	GCP04P [7:0]								0x00
0x66	0x39	GCP05P [7:0]								0x00
0x66	0x3A	GCP06P [7:0]								0x00
0x66	0x3B-3F	Reserved								0x00

Slave Address 0x66 : Offset Address 0x40-0x5F
ACP Packet

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x40	ACP00H [7:0]								0x04
0x66	0x41	ACP01H [7:0]								0x00
0x66	0x42	ACP02H [7:0]								0x00
0x66	0x43	ACPERR	Reserved		ACPSER	ACPS3E	ACPS2E	ACPS1E	ACPS0E	0x00
0x66	0x44	ACP00P[7:0]								0x00
0x66	0x45	ACP01P[7:0]								0x00
0x66	0x46	ACP02P[7:0]								0x00
0x66	0x47	ACP03P[7:0]								0x00
0x66	0x48	ACP04P[7:0]								0x00
0x66	0x49	ACP05P[7:0]								0x00
0x66	0x4A	ACP06P[7:0]								0x00
0x66	0x4B	ACP07P[7:0]								0x00
0x66	0x4C	ACP08P[7:0]								0x00
0x66	0x4D	ACP09P[7:0]								0x00
0x66	0x4E	ACP10P[7:0]								0x00
0x66	0x4F	ACP11P[7:0]								0x00
0x66	0x50	ACP12P[7:0]								0x00
0x66	0x51	ACP13P[7:0]								0x00
0x66	0x52	ACP14P[7:0]								0x00
0x66	0x53	ACP15P[7:0]								0x00
0x66	0x54	ACP16P[7:0]								0x00
0x66	0x55	ACP17P[7:0]								0x00
0x66	0x56	ACP18P[7:0]								0x00
0x66	0x57	ACP19P[7:0]								0x00
0x66	0x58	ACP20P[7:0]								0x00
0x66	0x59	ACP21P[7:0]								0x00
0x66	0x5A	ACP22P[7:0]								0x00
0x66	0x5B	ACP23P[7:0]								0x00
0x66	0x5C	ACP24P[7:0]								0x00
0x66	0x5D	ACP25P[7:0]								0x00
0x66	0x5E	ACP26P[7:0]								0x00
0x66	0x5F	ACP27P[7:0]								0x00

Slave Address 0x66 : Offset Address 0x60-0x7F
ISRC1 Packet

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x60	ISA00H [7:0]								0x05
0x66	0x61	ISA01H [7:0]								0x00
0x66	0x62	ISA02H [7:0]								0x00
0x66	0x63	ISAERR	Reserved		ISASER	ISAS3E	ISAS2E	ISAS1E	ISAS0E	0x00
0x66	0x64	ISA00P[7:0]								0x00
0x66	0x65	ISA01P[7:0]								0x00
0x66	0x66	ISA02P[7:0]								0x00
0x66	0x67	ISA03P[7:0]								0x00
0x66	0x68	ISA04P[7:0]								0x00
0x66	0x69	ISA05P[7:0]								0x00
0x66	0x6A	ISA06P[7:0]								0x00
0x66	0x6B	ISA07P[7:0]								0x00
0x66	0x6C	ISA08P[7:0]								0x00
0x66	0x6D	ISA09P[7:0]								0x00
0x66	0x6E	ISA10P[7:0]								0x00
0x66	0x6F	ISA11P[7:0]								0x00
0x66	0x70	ISA12P[7:0]								0x00
0x66	0x71	ISA13P[7:0]								0x00
0x66	0x72	ISA14P[7:0]								0x00
0x66	0x73	ISA15P[7:0]								0x00
0x66	0x74	ISA16P[7:0]								0x00
0x66	0x75	ISA17P[7:0]								0x00
0x66	0x76	ISA18P[7:0]								0x00
0x66	0x77	ISA19P[7:0]								0x00
0x66	0x78	ISA20P[7:0]								0x00
0x66	0x79	ISA21P[7:0]								0x00
0x66	0x7A	ISA22P[7:0]								0x00
0x66	0x7B	ISA23P[7:0]								0x00
0x66	0x7C	ISA24P[7:0]								0x00
0x66	0x7D	ISA25P[7:0]								0x00
0x66	0x7E	ISA26P[7:0]								0x00
0x66	0x7F	ISA27P[7:0]								0x00

Slave Address 0x66 : Offset Address 0x80-0x9F：
ISRC2 Packet

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x80	ISB00H [7:0]								0x06
0x66	0x81	ISB01H [7:0]								0x00
0x66	0x82	ISB02H [7:0]								0x00
0x66	0x83	ISBERR	Reserved		ISBSER	ISBS3E	ISBS2E	ISBS1E	ISBS0E	0x00
0x66	0x84	ISB00P[7:0]								0x00
0x66	0x85	ISB01P[7:0]								0x00
0x66	0x86	ISB02P[7:0]								0x00
0x66	0x87	ISB03P[7:0]								0x00
0x66	0x88	ISB04P[7:0]								0x00
0x66	0x89	ISB05P[7:0]								0x00
0x66	0x8A	ISB06P[7:0]								0x00
0x66	0x8B	ISB07P[7:0]								0x00
0x66	0x8C	ISB08P[7:0]								0x00
0x66	0x8D	ISB09P[7:0]								0x00
0x66	0x8E	ISB10P[7:0]								0x00
0x66	0x8F	ISB11P[7:0]								0x00
0x66	0x90	ISB12P[7:0]								0x00
0x66	0x91	ISB13P[7:0]								0x00
0x66	0x92	ISB14P[7:0]								0x00
0x66	0x93	ISB15P[7:0]								0x00
0x66	0x94	ISB16P[7:0]								0x00
0x66	0x95	ISB17P[7:0]								0x00
0x66	0x96	ISB18P[7:0]								0x00
0x66	0x97	ISB19P[7:0]								0x00
0x66	0x98	ISB20P[7:0]								0x00
0x66	0x99	ISB21P[7:0]								0x00
0x66	0x9A	ISB22P[7:0]								0x00
0x66	0x9B	ISB23P[7:0]								0x00
0x66	0x9C	ISB24P[7:0]								0x00
0x66	0x9D	ISB25P[7:0]								0x00
0x66	0x9E	ISB26P[7:0]								0x00
0x66	0x9F	ISB27P[7:0]								0x00

Slave Address 0x66 : Offset Address 0xA0-0xBF：
Gamut Metadata Packet

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0xA0	GMT00H [7:0]								0x0A
0x66	0xA1	GMT01H [7:0]								0x00
0x66	0xA2	GMT02H [7:0]								0x00
0x66	0xA3	GMTERR	Reserved		GMTSER	GMTS3E	GMTS2E	GMTS1E	GMTS0E	0x00
0x66	0xA4	GMT00P[7:0]								0x00
0x66	0xA5	GMT01P[7:0]								0x00
0x66	0xA6	GMT02P[7:0]								0x00
0x66	0xA7	GMT03P[7:0]								0x00
0x66	0xA8	GMT04P[7:0]								0x00
0x66	0xA9	GMT05P[7:0]								0x00
0x66	0xAA	GMT06P[7:0]								0x00
0x66	0xAB	GMT07P[7:0]								0x00
0x66	0xAC	GMT08P[7:0]								0x00
0x66	0xAD	GMT09P[7:0]								0x00
0x66	0xAE	GMT10P[7:0]								0x00
0x66	0xAF	GMT11P[7:0]								0x00
0x66	0xB0	GMT12P[7:0]								0x00
0x66	0xB1	GMT13P[7:0]								0x00
0x66	0xB2	GMT14P[7:0]								0x00
0x66	0xB3	GMT15P[7:0]								0x00
0x66	0xB4	GMT16P[7:0]								0x00
0x66	0xB5	GMT17P[7:0]								0x00
0x66	0xB6	GMT18P[7:0]								0x00
0x66	0xB7	GMT19P[7:0]								0x00
0x66	0xB8	GMT20P[7:0]								0x00
0x66	0xB9	GMT21P[7:0]								0x00
0x66	0xBA	GMT22P[7:0]								0x00
0x66	0xBB	GMT23P[7:0]								0x00
0x66	0xBC	GMT24P[7:0]								0x00
0x66	0xBD	GMT25P[7:0]								0x00
0x66	0xBE	GMT26P[7:0]								0x00
0x66	0xBF	GMT27P[7:0]								0x00
0x66	0xC0-DF	Reserved								0x00

Slave Address 0x66 : Offset Address 0xE0-0xFF：
Free Packet

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0xE0	FRE00H [7:0]								0xFF
0x66	0xE1	FRE01H [7:0]								0x00
0x66	0xE2	FRE02H [7:0]								0x00
0x66	0xE3	FREERR	Reserved	FREVER	FRESER	FRES3E	FRES2E	FRES1E	FRES0E	0x00
0x66	0xE4	FRE00P[7:0]								0x00
0x66	0xE5	FRE01P[7:0]								0x00
0x66	0xE6	FRE02P[7:0]								0x00
0x66	0xE7	FRE03P[7:0]								0x00
0x66	0xE8	FRE04P[7:0]								0x00
0x66	0xE9	FRE05P[7:0]								0x00
0x66	0xEA	FRE06P[7:0]								0x00
0x66	0xEB	FRE07P[7:0]								0x00
0x66	0xEC	FRE08P[7:0]								0x00
0x66	0xED	FRE09P[7:0]								0x00
0x66	0xEE	FRE10P[7:0]								0x00
0x66	0xFF	FRE11P[7:0]								0x00
0x66	0xF0	FRE12P[7:0]								0x00
0x66	0xF1	FRE13P[7:0]								0x00
0x66	0xF2	FRE14P[7:0]								0x00
0x66	0xF3	FRE15P[7:0]								0x00
0x66	0xF4	FRE16P[7:0]								0x00
0x66	0xF5	FRE17P[7:0]								0x00
0x66	0xF6	FRE18P[7:0]								0x00
0x66	0xF7	FRE19P[7:0]								0x00
0x66	0xF8	FRE20P[7:0]								0x00
0x66	0xF9	FRE21P[7:0]								0x00
0x66	0xFA	FRE22P[7:0]								0x00
0x66	0xFB	FRE23P[7:0]								0x00
0x66	0xFC	FRE24P[7:0]								0x00
0x66	0xFD	FRE25P[7:0]								0x00
0x66	0xFE	FRE26P[7:0]								0x00
0x66	0xFF	FRE27P[7:0]								0x00

3．1．4 Slave Address 0x68: InfoFrame Packet： InfoFrame パケット

Slave Address 0x68 : Offset Address 0x00-0x1F：
Vendor Specific InfoFrame

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x68	0x00	VSP00H [7:0]								0x81
0x68	0x01	VSP01H [7:0]								0x00
0x68	0x02	VSP02H [7:0]								0x00
0x68	0x03	VSPERR	VSPCER	VSPVER	VSPSER	VSPS3E	VSPS2E	VSPS1E	VSPS0E	0x00
0x68	0x04	VSPSUM[7:0]								0x00
0x68	0x05	VSP01P[7:0]								0x00
0x68	0x06	VSP02P[7:0]								0x00
0x68	0x07	VSP03P[7:0]								0x00
0x68	0x08	VSP04P[7:0]								0x00
0x68	0x09	VSP05P[7:0]								0x00
0x68	0x0A	VSP06P[7:0]								0x00
0x68	0x0B	VSP07P[7:0]								0x00
0x68	0x0C	VSP08P[7:0]								0x00
0x68	0x0D	VSP09P[7:0]								0x00
0x68	0x0E	VSP10P[7:0]								0x00
0x68	0x0F	VSP11P[7:0]								0x00
0x68	0x10	VSP12P[7:0]								0x00
0x68	0x11	VSP13P[7:0]								0x00
0x68	0x12	VSP14P[7:0]								0x00
0x68	0x13	VSP15P[7:0]								0x00
0x68	0x14	VSP16P[7:0]								0x00
0x68	0x15	VSP17P[7:0]								0x00
0x68	0x16	VSP18P[7:0]								0x00
0x68	0x17	VSP19P[7:0]								0x00
0x68	0x18	VSP20P[7:0]								0x00
0x68	0x19	VSP21P[7:0]								0x00
0x68	0x1A	VSP22P[7:0]								0x00
0x68	0x1B	VSP23P[7:0]								0x00
0x68	0x1C	VSP24P[7:0]								0x00
0x68	0x1D	VSP25P[7:0]								0x00
0x68	0x1E	VSP26P[7:0]								0x00
0x68	0x1F	VSP27P[7:0]								0x00

Slave Address 0x68 : Offset Address 0x20-0x3F：
AVI InfoFrame

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x68	0x20	AVI00H [7:0]								0x82
0x68	0x21	AVI01H [7:0]								0x00
0x68	0x22	AVI02H [7:0]								0x00
0x68	0x23	AVIERR	AVICER	AVIVER	AVISER	AVIS3E	AVIS2E	AVIS1E	AVIS0E	0x00
0x68	0x24	AVISUM[7:0]								0x00
0x68	0x25	AVI01P[7:0]								0x00
0x68	0x26	AVI02P[7:0]								0x00
0x68	0x27	AVI03P[7:0]								0x00
0x68	0x28	AVI04P[7:0]								0x00
0x68	0x29	AVI05P[7:0]								0x00
0x68	0x2A	AVI06P[7:0]								0x00
0x68	0x2B	AVI07P[7:0]								0x00
0x68	0x2C	AVI08P[7:0]								0x00
0x68	0x2D	AVI09P[7:0]								0x00
0x68	0x2E	AVI10P[7:0]								0x00
0x68	0x2F	AVI11P[7:0]								0x00
0x68	0x30	AVI12P[7:0]								0x00
0x68	0x31	AVI13P[7:0]								0x00
0x68	0x32	AVI14P[7:0]								0x00
0x68	0x33	AVI15P[7:0]								0x00
0x68	0x34	AVI16P[7:0]								0x00
0x68	0x35	AVI17P[7:0]								0x00
0x68	0x36	AVI18P[7:0]								0x00
0x68	0x37	AVI19P[7:0]								0x00
0x68	0x38	AVI20P[7:0]								0x00
0x68	0x39	AVI21P[7:0]								0x00
0x68	0x3A	AVI22P[7:0]								0x00
0x68	0x3B	AVI23P[7:0]								0x00
0x68	0x3C	AVI24P[7:0]								0x00
0x68	0x3D	AVI25P[7:0]								0x00
0x68	0x3E	AVI26P[7:0]								0x00
0x68	0x3F	AVI27P[7:0]								0x00

Slave Address 0x68 : Offset Address 0x40-0x5F：
SPD InfoFrame

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x68	0x40	SPD00H [7:0]								0x83
0x68	0x41	SPD01H [7:0]								0x00
0x68	0x42	SPD02H [7:0]								0x00
0x68	0x43	SPDERR	SPDCER	SPDVER	SPDSER	SPDS3E	SPDS2E	SPDS1E	SPDS0E	0x00
0x68	0x44	SPDSUM[7:0]								0x00
0x68	0x45	SPD01P[7:0]								0x00
0x68	0x46	SPD02P[7:0]								0x00
0x68	0x47	SPD03P[7:0]								0x00
0x68	0x48	SPD04P[7:0]								0x00
0x68	0x49	SPD05P[7:0]								0x00
0x68	0x4A	SPD06P[7:0]								0x00
0x68	0x4B	SPD07P[7:0]								0x00
0x68	0x4C	SPD08P[7:0]								0x00
0x68	0x4D	SPD09P[7:0]								0x00
0x68	0x4E	SPD10P[7:0]								0x00
0x68	0x4F	SPD11P[7:0]								0x00
0x68	0x50	SPD12P[7:0]								0x00
0x68	0x51	SPD13P[7:0]								0x00
0x68	0x52	SPD14P[7:0]								0x00
0x68	0x53	SPD15P[7:0]								0x00
0x68	0x54	SPD16P[7:0]								0x00
0x68	0x55	SPD17P[7:0]								0x00
0x68	0x56	SPD18P[7:0]								0x00
0x68	0x57	SPD19P[7:0]								0x00
0x68	0x58	SPD20P[7:0]								0x00
0x68	0x59	SPD21P[7:0]								0x00
0x68	0x5A	SPD22P[7:0]								0x00
0x68	0x5B	SPD23P[7:0]								0x00
0x68	0x5C	SPD24P[7:0]								0x00
0x68	0x5D	SPD25P[7:0]								0x00
0x68	0x5E	SPD26P[7:0]								0x00
0x68	0x5F	SPD27P[7:0]								0x00

Slave Address 0x68 : Offset Address 0x60-0x7F：
Audio InfoFrame

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x68	0x60	AUD00H [7:0]								0x84
0x68	0x61	AUD01H [7:0]								0x00
0x68	0x62	AUD02H [7:0]								0x00
0x68	0x63	AUDERR	AUDCER	AUDVER	AUDSER	AUDS3E	AUDS2E	AUDS1E	AUDS0E	0x00
0x68	0x64	AUDSUM[7:0]								0x00
0x68	0x65	AUD01P[7:0]								0x00
0x68	0x66	AUD02P[7:0]								0x00
0x68	0x67	AUD03P[7:0]								0x00
0x68	0x68	AUD04P[7:0]								0x00
0x68	0x69	AUD05P[7:0]								0x00
0x68	0x6A	AUD06P[7:0]								0x00
0x68	0x6B	AUD07P[7:0]								0x00
0x68	0x6C	AUD08P[7:0]								0x00
0x68	0x6D	AUD09P[7:0]								0x00
0x68	0x6E	AUD10P[7:0]								0x00
0x68	0x6F	AUD11P[7:0]								0x00
0x68	0x70	AUD12P[7:0]								0x00
0x68	0x71	AUD13P[7:0]								0x00
0x68	0x72	AUD14P[7:0]								0x00
0x68	0x73	AUD15P[7:0]								0x00
0x68	0x74	AUD16P[7:0]								0x00
0x68	0x75	AUD17P[7:0]								0x00
0x68	0x76	AUD18P[7:0]								0x00
0x68	0x77	AUD19P[7:0]								0x00
0x68	0x78	AUD20P[7:0]								0x00
0x68	0x79	AUD21P[7:0]								0x00
0x68	0x7A	AUD22P[7:0]								0x00
0x68	0x7B	AUD23P[7:0]								0x00
0x68	0x7C	AUD24P[7:0]								0x00
0x68	0x7D	AUD25P[7:0]								0x00
0x68	0x7E	AUD26P[7:0]								0x00
0x68	0x7F	AUD27P[7:0]								0x00

Slave Address 0x68 : Offset Address 0x80-0x9F：
MPEG InfoFrame

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x68	0x80	MPG00H [7:0]								0x85
0x68	0x81	MPG01H [7:0]								0x00
0x68	0x82	MPG02H [7:0]								0x00
0x68	0x83	MPGERR	MPGCER	MPGVER	MPGSER	MPGS3E	MPGS2E	MPGS1E	MPGS0E	0x00
0x68	0x84	MPGSUM[7:0]								0x00
0x68	0x85	MPG01P[7:0]								0x00
0x68	0x86	MPG02P[7:0]								0x00
0x68	0x87	MPG03P[7:0]								0x00
0x68	0x88	MPG04P[7:0]								0x00
0x68	0x89	MPG05P[7:0]								0x00
0x68	0x8A	MPG06P[7:0]								0x00
0x68	0x8B	MPG07P[7:0]								0x00
0x68	0x8C	MPG08P[7:0]								0x00
0x68	0x8D	MPG09P[7:0]								0x00
0x68	0x8E	MPG10P[7:0]								0x00
0x68	0x8F	MPG11P[7:0]								0x00
0x68	0x90	MPG12P[7:0]								0x00
0x68	0x91	MPG13P[7:0]								0x00
0x68	0x92	MPG14P[7:0]								0x00
0x68	0x93	MPG15P[7:0]								0x00
0x68	0x94	MPG16P[7:0]								0x00
0x68	0x95	MPG17P[7:0]								0x00
0x68	0x96	MPG18P[7:0]								0x00
0x68	0x97	MPG19P[7:0]								0x00
0x68	0x98	MPG20P[7:0]								0x00
0x68	0x99	MPG21P[7:0]								0x00
0x68	0x9A	MPG22P[7:0]								0x00
0x68	0x9B	MPG23P[7:0]								0x00
0x68	0x9C	MPG24P[7:0]								0x00
0x68	0x9D	MPG25P[7:0]								0x00
0x68	0x9E	MPG26P[7:0]								0x00
0x68	0x9F	MPG27P[7:0]								0x00

Slave Address 0x68 : Offset Address 0xA0-0xBF：
HDMI Vendor Specific InfoFrame

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x68	0xA0	HVS00H [7:0]								0x00
0x68	0xA1	HVS01H [7:0]								0x00
0x68	0xA2	HVS02H [7:0]								0x00
0x68	0xA3	HVSERR	HVSCER	HVSVER	HVSSER	HVSS3E	HVSS2E	HVSS1E	HVSS0E	0x00
0x68	0xA4	HVSSUM[7:0]								0x00
0x68	0xA5	HVS01P[7:0]								0x00
0x68	0xA6	HVS02P[7:0]								0x00
0x68	0xA7	HVS03P[7:0]								0x00
0x68	0xA8	HVS04P[7:0]								0x00
0x68	0xA9	HVS05P[7:0]								0x00
0x68	0xAA	HVS06P[7:0]								0x00
0x68	0xAB	HVS07P[7:0]								0x00
0x68	0xAC	HVS08P[7:0]								0x00
0x68	0xAD	HVS09P[7:0]								0x00
0x68	0xAE	HVS10P[7:0]								0x00
0x68	0xAF	HVS11P[7:0]								0x00
0x68	0xB0	HVS12P[7:0]								0x00
0x68	0xB1	HVS13P[7:0]								0x00
0x68	0xB2	HVS14P[7:0]								0x00
0x68	0xB3	HVS15P[7:0]								0x00
0x68	0xB4	HVS16P[7:0]								0x00
0x68	0xB5	HVS17P[7:0]								0x00
0x68	0xB6	HVS18P[7:0]								0x00
0x68	0xB7	HVS19P[7:0]								0x00
0x68	0xB8	HVS20P[7:0]								0x00
0x68	0xB9	HVS21P[7:0]								0x00
0x68	0xBA	HVS22P[7:0]								0x00
0x68	0xBB	HVS23P[7:0]								0x00
0x68	0xBC	HVS24P[7:0]								0x00
0x68	0xBD	HVS25P[7:0]								0x00
0x68	0xBE	HVS26P[7:0]								0x00
0x68	0xBF	HVS27P[7:0]								0x00
0x68	0xC0-DF	Reserved								0x00

Slave Address 0x68 : Offset Address 0xE0-0xF6：
Received User Data

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x68	0xE0	RUDSET[7:0]								0x00
0x68	0xE1	Reserved							TESTUD	0x00
0x68	0xE2-E3	Reserved								0x00
0x68	0xE4	IU1[7:0]								0x00
0x68	0xE5	IU2[7:0]								0x00
0x68	0xE6	IU3[7:0]								0x00
0x68	0xE7	IU4[7:0]								0x00
0x68	0xE8	IU5[7:0]								0x00
0x68	0xE9	IU6[7:0]								0x00
0x68	0xEA	IU7[7:0]								0x00
0x68	0xEB	IU8[7:0]								0x00
0x68	0xEC	IU9[7:0]								0x00
0x68	0xED	IU10[7:0]								0x00
0x68	0xEE	IU11[7:0]								0x00
0x68	0xEF	IU12[7:0]								0x00
0x68	0xF0	IU13[7:0]								0x00
0x68	0xF1	IU14[7:0]								0x00
0x68	0xF2	IU15[7:0]								0x00
0x68	0xF3	IU16[7:0]								0x00
0x68	0xF4	IU17[7:0]								0x00
0x68	0xF5	IU18[7:0]								0x00
0x68	0xF6	IU19[7:0]								0x00
0x68	0xF7-FF	Reserved								0x00

3．1．5 Slave Address 0x6C: CEC Control: CEC 制御

Slave Address 0x6C : Offset Address 0x60-0x7F:
CEC Control Register Set: CEC 制御レジスタ

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	De-fault
0x6C	0x60	Reserved		CECTFC	Reserved	CECRXR	Reserved	CECWPR	CECRST	0x00
0x6C	0x61	CECRXF[7:0]								0x00
0x6C	0x62	CECRTS[7:0]								0x00
0x6C	0x63	CECRMS[7:0]								0x00
0x6C	0x64	CECTXF[7:0]								0x00
0x6C	0x65	CECTTS[7:0]								0x00
0x6C	0x66	CECTMS[7:0]								0x00
0x6C	0x67	CECBLC	Reserved				CECTXE	CECRME	CECRXE	0x00
0x6C	0x68	CECERO	CECTXO	Reserved	CECRXO	Reserved		CECBLO	Reserved	0x00
0x6C	0x69	CECERR[7:0]								0x00
0x6C	0x6A	CECROF	CECSTA [6:0]							0x00
0x6C	0x6B	Reserved								0x00
0x6C	0x6C	CECRLA	Reserved			CECLAA [3:0]				0x00
0x6C	0x6D	CECRLB	Reserved			CECLAB [3:0]				0x00
0x6C	0x6E	CECRLC	Reserved			CECLAC [3:0]				0x00

0x6C	0x6F	CECRLD	Reserved			CECLAD [3:0]			0x00
0x6C	0x70	Reserved							0x00
0x6C	0x71	Reserved							0x00
0x6C	0x72	Reserved							0x00
0x6C	0x73	Reserved							0x00
0x6C	0x74	CECPRT [3:0]				CECRTY [3:0]			0x05
0x6C	0x75	CECACM [1:0]		CECDSP	CECDLE	CECRCT	CECRCL	CECRCA	CECRCN	0x00
0x6C	0x76	Reserved		CECERS	CECNRP	CECLNH	CECLNB	CECTFM	CECACP	0x00
0x6C	0x77	Reserved							0x00
0x6C	0x78	CDLTYP[3:0]				CDHTYP[3:0]			0x88
0x6C	0x79	CLETYP[3:0]				CDWTYP[3:0]			0x88
0x6C	0x7A	CSWTYP[3:0]				CSLTYP[3:0]			0x88
0x6C	0x7B	CSGFTC[2:0]			CSGFTB[2:0]			CSGFTA[1:0]	0x49
0x6C	0x7C	CBLLIM[1:0]		CDTLIM[1:0]		CDLLIM[3:0]			0xA4
0x6C	0x7D	CDLMAX [1:0]		CDLMIN [1:0]		CDHMAX [1:0]		CDHMIN [1:0]	0xAA
0x6C	0x7E	CLEMAX [1:0]		CLEMIN [1:0]		CDWMAX [1:0]		CDWMIN [1:0]	0xAA
0x6C	0x7F	CSWMAX [1:0]		CSWMIN [1:0]		CSLMAX [1:0]		CSLMIN [1:0]	0xAA

3．1．6 Slave Address 0x6E: EDID： EDID アクセスレジスタ

Slave Address 0x6E : Offset Address 0x00-0xFF：
EDID Access Register：EDID アクセスレジスタ

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6E	0x00-FF	EDID[7:0]								0x00

4. レジスタ詳細

この章ではレジスタの詳細機能について説明します。

4.1 Slave Address 0x60: System Control Registers システム制御レジスタ

各種機能の制御や内部の状態を検知するためのレジスタ群です。外部ホストからアクセスされます。

4.1.1 Device ID: デバイス ID

Device ID Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x00	DVICID[7: 0]								0x73
0x60	0x01	DVICID[15:8]								0x07

Field	Bit	Type	Description	Default
DVICID	15:0	R	Device Identification Register. デバイス ID	0x0773

LSI のデバイス ID を示します。

Device Revision Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x02	DVICRV[7:0]								0x00

Field	Bit	Type	Description	Default
DVICRV	7:0	R	Device Revision Register. リビジョンレジスタ	0x00

LSI のリビジョンを区別するために使用します。

4．1．2 Software Reset Register: ソフトリセット

Software Reset #1

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x04	ALLRST	AKERST	DDCRST	AIFRST	VIFRST	AVCRST	HDCRST	DECRST	0x00

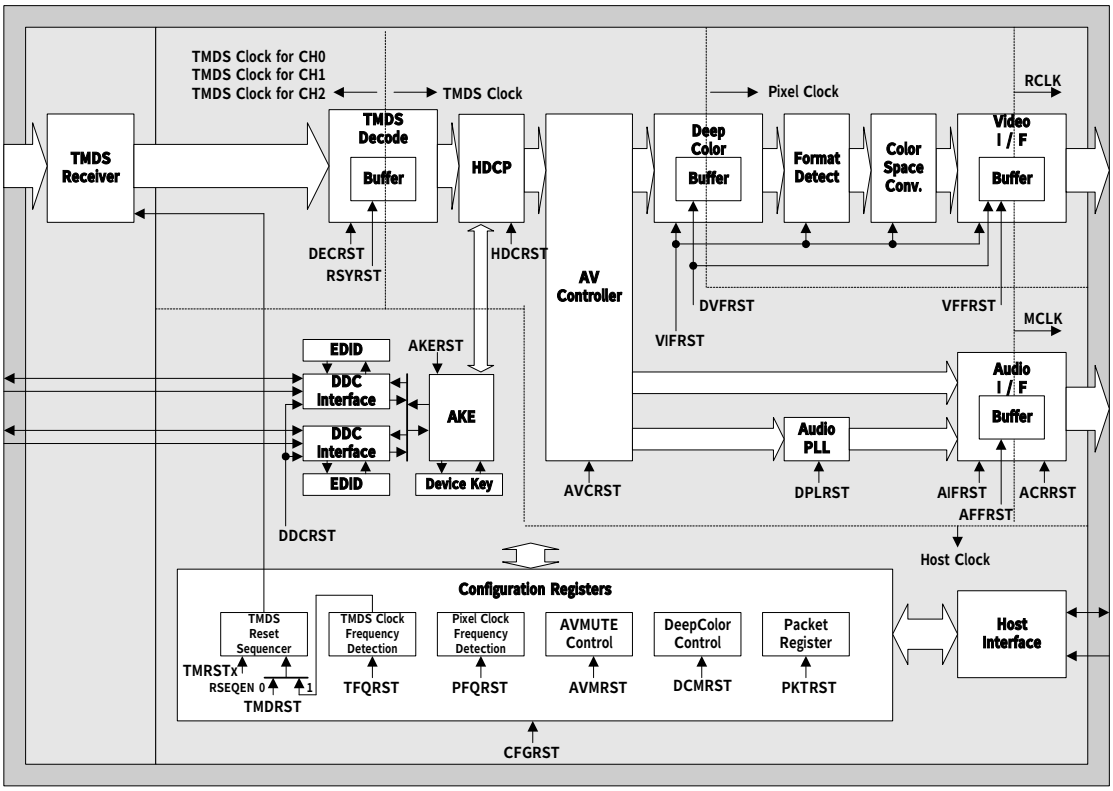
内部モジュールのソフトリセットを実行します。

Field	Bit	Type	Description	Default
ALLRST	7	R / W	Softreset all module 全モジュールのソフトリセットおよびレジスタの初期化 ※HDCP デバイス鍵と CEC モジュール、CEC の割り込みはリセットされません。CEC モジュールと CEC の割り込みは 0x6C-0x60 bit0 CECRST でソフトリセットされます。 0: 通常動作（デフォルト） 1: ソフトリセット	0
AKERST	6	R / W	Softreset AKE AKE モジュールのソフトリセットおよび AKE 関連レジスタの初期化 0: 通常動作（デフォルト） 1: ソフトリセット	0
DDCRST	5	R / W	Softreset DDC I/F DDC I/F のソフトリセット 0: 通常動作（デフォルト） 1: ソフトリセット	0
AIFRST	4	R / W	Softreset Audio I/F オーディオ I/F のソフトリセット 0: 通常動作（デフォルト） 1: ソフトリセット	0
VIFRST	3	R / W	Softreset Video I/F ビデオ I/F と DeepColor 部、カラースペースコンバータ部のソフトリセット 0: 通常動作（デフォルト） 1: ソフトリセット	0
AVCRST	2	R / W	Softreset audio/video controller AV コントローラ部のソフトリセット 0: 通常動作（デフォルト） 1: ソフトリセット	0
HDCRST	1	R / W	Softreset HDCP HDCP モジュールのソフトリセット	0

			0: 通常動作 (デフォルト) 1: ソフトリセット	
DECRST	0	R / W	Softreset TMDS decoder TMDS デコーダのソフトリセット 0: 通常動作 (デフォルト) 1: ソフトリセット	0

1 を書き込むことで、ソフトリセットが実行されます。デフォルトでは、書かれた 1 は自動的に 0 へクリアされます。0x60:0x0E の SRSTEA フィールドの設定により、自動クリアを停止できます。

ALLRST は AKERST=DDCRST=AIFRST=VIFRST=AVCRST=HDCRST=DECRST=TMDRST=DPLRST=AFFRST=ACRRST=DVFRST=AVMRST=PKTRST=RSYRST=HPLRST=AKCRST=VFFRST=LKDRST=DCMRST=PFQRST=TFQRST=CFGRST=1 と等価です。送信側より TMDS クロックが入力されていれば、ハードリセットと等価な動作です。



Software Reset #2

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x05	TMDRST	DPLRST	AFFRST	ACRRST	DVFRST	AVMRST	PKTRST	RSYRST	0x00

レジスタや FIFO のクリアを実行します。

Field	Bit	Type	Description	Default
TMDRST	7	R / W	TMDS Reset TMDS 部を初期化します。リセットシーケンスの設定に基づき、各リセットが生成されます。 0: 通常動作（デフォルト） 1: TMDS リセット	0
DPLRST	6	R / W	Digital PLL Reset 内蔵するオーディオ用デジタル PLL を初期化します。 0: 通常動作（デフォルト） 1: デジタル PLL リセット	0
AFFRST	5	R / W	Audio FIFO Reset. オーディオ出力用 FIFO をリセットします。 0: 通常動作（デフォルト） 1: Audio FIFO リセット	0
ACRRST	4	R / W	Audio Clock Regeneration Reset オーディオクロック再生時に使用する N パラメータおよび CTS パラメータの値を初期化します。このリセットで ACR パケットレジスタはクリアされません。 0: 通常動作（デフォルト） 1: ACR リセット	0
DVFRST	3	R / W	DeepColor and Video FIFO Reset DeepColor 部とビデオ I/F 部の FIFO をリセットします。 0: 通常動作（デフォルト） 1: FIFO リセット	0
AVMRST	2	R / W	AVMUTE Reset 内部の AVMUTE フラグを初期化します。 AVMUTE 状態をクリアしたい場合に使用します。 0: 通常動作（デフォルト） 1: AVMUTE リセット	0
PKTRST	1	R / W	Packet Reset レジスタに格納した各種パケット（InfoFrame パケット含む）を初期化します。 0: 通常動作（デフォルト） 1: パケットリセット	0
RSYRST	0	R / W	Resync Reset TMDS デコーダ内のデジタルリシンク回路を初期化します。	0

			0: 通常動作（デフォルト） 1: リシンク回路のリセット	

1 を書き込むことで、ソフトリセットが実行されます。デフォルトでは、書かれた 1 は自動的に 0 へクリアされます。0x60:0x0E の SRSTEB フィールドの設定により、自動クリアを停止できます。

Software Reset #3

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x06	HPLRST	AKCRST	VFFRST	LKDRST	DCMRST	PFQRST	TFQRST	CFGRST	0x00

レジスタや FIFO のクリアを実行します。

Field	Bit	Type	Description	Default
HPLRST	7	R / W	Audio Hybrid PLL Reset Audio用の Hybrid PLL のリセットシーケンスを実行します。 0: 通常動作 (デフォルト) 1: リセットシーケンス起動	0
AKCRST	6	R / W	AKE Command Reset AKE コマンドをキャンセルします。 0: 通常動作 (デフォルト) 1: AKE コマンドキャンセル	0
VFFRST	5	R / W	Video FIFO Reset ビデオ I/F 部の FIFO をリセットします。 0: 通常動作 (デフォルト) 1: FIFO リセット	0
LKDRST	4	R / W	LOCKDT Sequencer Reset 擬似的にアライメント完了信号を発生させ、LOCKDT で起動されるリセットシーケンスを実行します。詳細は 0x60:0x20 リセットシーケンス制御レジスタを参照して下さい。 0: 通常動作 (デフォルト) 1: シーケンス起動	0
DCMRST	3	R / W	Deep Color Mode Reset DeepColor モードをリセットします。このリセットで、0x60:0xFC の DPCMON ビットがクリアされます。 0: 通常動作 (デフォルト) 1: DeepColor モードリセット	0
PFQRST	2	R / W	Pixel Clock Frequency Detect Reset ピクセルクロックの周波数検知回路をリセットします。再度周波数検知が実行されます。 0: 通常動作 (デフォルト) 1: ピクセルクロック周波数検知リセット	0
TFQRST	1	R / W	TMDS Clock Frequency Detect Reset TMDS クロックの周波数検知回路をリセットします。再度周波数検知が実行されます。 0: 通常動作 (デフォルト) 1: TMDS クロック周波数検知リセット	0
CFGRST	0	R / W	Configuration Register Reset レジスタを初期化します。Software Reset #1-3, Bksv レジスタ、暗号化デバイスキーレジスタ、	0

			CEC モジュール、CEC の割り込みを除く全てのレジスタが初期化されます。 0: 通常動作（デフォルト） 1: レジスタのリセット	

1を書き込むことで、ソフトリセットが実行されます。デフォルトでは、書かれた1は自動的に0へクリアされます。0x60:0x0E の SRSTEC フィールドの設定により、自動クリアを停止できます。

Software Reset #4

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x07	Reserved			TMRSTE	TMRSTD	TMRSTC	TMRSTB	TMRSTA	0x00

TMDS 部のソフトリセットを実行します。

Field	Bit	Type	Description	Default
Reserved	7:5	R / W	Reserved	0000
TMRSTE	4	R / W	TMDS Reset E TMDS 部のシリアル・パラレル変換（ビットアライナー）をリセットします。 0: 通常動作（デフォルト） 1: TMDS 部のビットアライナーをリセット	0
TMRSTD	3	R / W	TMDS Reset D TMDS 部のディジタルフィルタをリセットします。 0: 通常動作（デフォルト） 1: TMDS 部のディジタルフィルタをリセット	0
TMRSTC	2	R / W	TMDS Reset C TMDS 部の PLL をリセットします。 0: 通常動作（デフォルト） 1: TMDS 部の PLL をリセット	0
TMRSTB	1	R / W	TMDS Reset B TMDS 部の VCO をリセットします。 0: 通常動作（デフォルト） 1: TMDS 部の VCO をリセット	0
TMRSTA	0	R / W	TMDS Reset A TMDS 部のチャージポンプをリセットします。 0: 通常動作（デフォルト） 1: TMDS 部のチャージポンプをリセット	0

1 を書き込むことで、ソフトリセットが実行されます。デフォルトでは、書かれた 1 は自動的に 0 へクリアされます。0x60:0x0E の SRSTED フィールドの設定により、自動クリアを停止できます。

TMDS 部のソフトリセットは、シーケンサーで自動実行することが可能です。
詳細は 0x60:0x20 リセットシーケンス制御レジスタを参照して下さい。

4．1．3 Software Power Down: パワーダウン

Software Power Down Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x08	Reserved	CSCDWN	CECDWN	Reserved	APLLPDWN	SWPDWNB	SWPDWNA	SWPDWN	0x00

Field	Bit	Type	Description	Default
Reserved	7	R / W	Reserved	0
CSCDWN	6	R / W	CSC Power Down Color Space Converter モジュールをパワーダウンモードにします。 ※ このモードに入れると強制的に CSC モジュールのクロック供給を絶ちます。 0x62:0x78 bit5 CSCBYPS を設定した状態以外でのパワーダウンモード移行は、動作を保証できません。 0: 通常動作（デフォルト） 1: パワーダウンモード	0
CECDWN	5	R / W	CEC Power Down CEC モジュールをパワーダウンモードにします。 ※このビットは 0x60:0x04 bit7 ALLRST および 0x60:0x06 bit0 CFGRST ではクリアされず、0x6C:0x60 bit0 CECRST でクリアされます。 0: 通常動作（デフォルト） 1: パワーダウンモード	0
Reserved	4	R / W	Reserved	0
APLLPDWN	3	R / W	APLL Power Down アナログ PLL をパワーダウンモードにします。 0: 通常動作（デフォルト） 1: パワーダウンモード	0
SWPDWNB	2	R / W	Software Power Down B AV コントローラー、Deep Color コントローラー、カラースペース、VIDEO I/F、AUDIO I/F 部のクロックを停止します。 0: 通常動作（デフォルト） 1: クロック停止	0
SWPDWNA	1	R / W	Software Power Down A SWPDWNB でのクロック停止領域に加え、TMDS クロック、ピクセルクロックを停止します。 0: 通常動作（デフォルト） 1: クロック停止	0
SWPDWN	0	R / W	Software Power Down	0

			内蔵するオーディオ PLL、TMDS レシーバ部等のアナログ部をパワーダウンします。 0: 通常動作（デフォルト） 1: パワーダウン	

4．1．4 System Configuration Register: システム構成制御レジスタ

System Configuration Register #1

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x0C	TCKPOL	RCKPOL	TCKSEL	Reserved	BCHEON	PKDTCT [2:0]			0x00

Field	Bit	Type	Description	Default
TCKPOL	7	R / W	TMDS Clock Polarity Control. TMDS から出力されるクロック信号の極性を設定します。 0: 通常動作 (デフォルト) 1: 反転	0
RCKPOL	6	R / W	Recovery Clock Polarity Control. 外部出力端子 RCLK から出力されるクロック信号の極性を設定します。 0: 通常動作 (デフォルト) 1: 反転	0
TCKSEL	5	R / W	TMDS Clock Select. TMDS クロックを設定します。 0: CRU クロック (デフォルト) 1: TMDS クロック	0
Reserved	4	R / W	Reserved	0
BCHEON	3	R / W	BCH Error Correction Circuit ON. BCH エラー訂正回路を有効にします。 0: エラー訂正しない (デフォルト) 1: エラー訂正する	0
PKDTCT [2:0]	2:0	R / W	Packet Detect Control. パケット検出条件を制御します。 000: 通常動作 (デフォルト) 001: プリアンブルに 1 ビットの エラーがあっても無視する 010: ガードバンドに 1 ビットの エラーがあっても無視する。 011: 1 ビットのプリアンブルエラー、 またはガードバンドエラーが あっても無視する。 Other: Reserved	000

System Configuration Register #2

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x0D	Reserved								0xF8

Field	Bit	Type	Description	Default
Reserved	7:0	R/W	Reserved	0xF8

System Configuration Register #3

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x0E	Reserved				SRSTED	SRSTEC	SRSTEB	SRSTEA	0x00

Field	Bit	Type	Description	Default
Reserved	7:4	R / W	Reserved	00
SRSTED	3	R / W	Software Reset #4 Auto Clear Enable Software Reset #4 のビットを自動的にクリアするかしないかを設定します 0: 自動的にクリアする (デフォルト) 1: 自動的にクリアしない。 当該ビットに 0 を書き込んでクリアして下さい	0
SRSTEC	2	R / W	Software Reset #3 Auto Clear Enable Software Reset #3 のビットを自動的にクリアするかしないかを設定します 0: 自動的にクリアする (デフォルト) 1: 自動的にクリアしない。 当該ビットに 0 を書き込んでクリアして下さい	0
SRSTEB	1	R / W	Software Reset #2 Auto Clear Enable Software Reset #2 のビットを自動的にクリアするかしないかを設定します 0: 自動的にクリアする (デフォルト) 1: 自動的にクリアしない。 当該ビットに 0 を書き込んでクリアして下さい	0
SRSTEA	0	R / W	Software Reset #1 Auto Clear Enable Software Reset #1 のビットを自動的にクリアするかしないかを設定します 0: 自動的にクリアする (デフォルト) 1: 自動的にクリアしない。 当該ビットに 0 を書き込んでクリアして下さい	0

SRSTEx = 0 の時、ホストクロックの 8 クロックで自動的にソフトリセットのビットがクリアされます。

System Configuration Register #4

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x0F	SYFILM	Reserved	SYFILT	SKWDIS	RSYAEN [1:0]		RSYDAU	RSYDIS	0x00

TMDS デコーダを設定します。

Field	Bit	Type	Description	Default
SYFILM	7	R / W	Hsync/Vsync median filter mode setting Hsync/Vsync にかけるフィルタの設定をします。 bit 5 SYFILT=1 の時に有効です。 0: 1 クロック幅のノイズを除去します。(デフォルト) 1: 2 クロック幅のノイズを除去します。	0
Reserved	6	R / W	Reserved	0
SYFILT	5	R / W	Hsync/Vsync median filter on Hsync/Vsync にフィルタをかけ、bit 7 SYFILM で設定したクロック幅のノイズを除去します。 0: フィルタを使用しない (デフォルト) 1: フィルタを使用する	0
SKWDIS	4	R / W	Skew detect disable チャンネル間のスキューを補正します。 0: 補正する (デフォルト) 1: 補正しない	0
RSYAEN [1:0]	3:2	R / W	Re-Sync auto reset enable デジタルリシンク回路の同期がはずれた時、自動的に再同期をかけます。 00: 自動動作停止 (デフォルト) 01: 自動で再同期する (感度大) 10: 自動で再同期する (感度中) 11: 自動で再同期する (感度小)	00
RSYDAU	1	R / W	Re-Sync reset disable when Re-Authentication HDCP 再認証発生時にデジタルリシンク回路の再同期をかけます。 0: 再同期をかける (デフォルト) 1: 再同期をかけない	0
RSYDIS	0	R / W	Re-Sync disalbe デジタルリシンク回路の再同期化動作を停止します。 0: 再同期をかける (デフォルト) 1: 再同期をかけない	0

System Configuration Register #5

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x10	Reserved				APCKEN	Reserved	PCLKSL [1:0]		0x08

Field	Bit	Type	Description	Default
Reserved	7:4	R / W	Reserved	0
APCKEN	3	R / W	Auto Pixel Clock Select Enable. DeepColor 時のクロック切り替えを自動で行うか設定します。 0: PCLKSL で設定する 1: GCP パケットに応じて自動で選択する（デフォルト）	1
Reserved	2	R / W	Reserved	0
PCLKSL [1:0]	1:0	R / W	Pixel Clock Select. ピクセルクロックを設定します。APCKEN=0 の時に有効です。 00: TMDS Clock （デフォルト） 01: TMDS Clock／1.25 （30 bit DeepColor） 10: TMDS Clock／1.5 （36 bit DeepColor） 11: TMDS Clock／2 （48 bit DeepColor）	00

System Configuration Register #6

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x11	Reserved	APEIRM	NIRQ2P	NIRQ1P	IRQSTMD	SYSOPM [2:0]			0x04

Field	Bit	Type	Description	Default
Reserved	7	R / W	Reserved	0
APEIRM	6	R / W	Audio Packet Error Interrupt Mask 各種オーディオパケット受信時にエラーの場合に、対応するオーディオパケット受信割込みと、パケット受信ステータスの変化を抑止します。 ※抑止の対象となる割込みは、 ASPDET (0x60:0x43 bit0) , ASPDETP (0x60:0x4D bit1) , ASPNDET (0x60:0x4D bit5) , HBRDET (0x60:0x43 bit1) , HBRDETP (0x60:0x4F bit0) , HBRNDET (0x60:0x4F bit1) , DSDDET (0x60:0x43 bit2) , DSDDETP (0x60:0x4F bit2) , DSDNDET (0x60:0x4F bit3) , DSTDET (0x60:0x43 bit3) , ASP, HBR, DSD, DST パケット受信状態変化に伴う STSCH (0x60:0x4B bit7) , ※抑止の対象となるステータスは、 ASPDETS (0x60:0xFD bit5) , HBRDETS (0x60:0xFE bit3) , DSDDETS (0x60:0xFE bit4) 0: 抑止しません (デフォルト) 1: 抑止する	0
NIRQ2P	5	R / W	NIRQ2 Polarity NIRQ2 の極性を設定します。 0: Low Active (デフォルト) 1: High Active	0
NIRQ1P	4	R / W	NIRQ1 Polarity NIRQ1 の極性を設定します。 0: Low Active (デフォルト) 1: High Active	0
IRQSTMD	3	R / W	IRQ Status Register Mode 割込みステータスレジスタ (IRQSTA, IRQ1ST〜IRQFST, EIRQST, EIRQ1S〜EIRQFS: 0x60:0x50〜0x53) に反映される割込みステータスを、	0

			割込みマスクレジスタ (IRQMSA, IRQMSB, EIRMSA, EIRMSB: 0x60:0x58〜0x5B) の設定を無視し、 マスク前のステータスを反映するように 変更します。 ※この設定は NIRQ1, NIRQ2 へのマスク動作には影響しません。 0: 通常動作:マスクレジスタが有効(デフォルト) 1: マスクレジスタの設定を無視する	
SYSOPM [2:0]	2:0	R / W	System Operation Mode. 詳細は HDCP 編を参照して下さい。	100

System Configuration Register #7

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x12	V5PTH SEL	DDCTH SEL	OUTM	PDNCTL	ACHDRV [1:0]		VCHDRV [1:0]		0xA0

Field	Bit	Type	Description	Default
V5PTHSEL	7	R / W	5V Power Threshold Setting ※通常は 1:3.3V 基準に設定して下さい。 0: 5V 基準 1: 3.3V 基準	1
DDCTHSEL	6	R / W	DDC I/F Threshold Setting 0: 5V 基準 1: 3.3V 基準	0
OUTM	5	R/W	Output Data Output Mode 以下の端子について、出力データディセーブル時の端子出力状態を設定します。 なお、出力データディセーブルのモード制御は、 0x62:0x38 bit0 VOUTEN 及び 0x62:0xA0 bit0 AOEN にて設定ください。 Q35～0, DE,HSYNC,VSYNC,RCLK,MCLK, BCLK,LRCLK,SDO3～0,SPDIF 0: Hi-Z 出力 1: L 出力	1
PDNCTL	4	R / W	Output Data Line Pulldown Control 出力データプルダウン制御 以下の端子について、プルダウンの設定をします。 Q35～0, DE,HSYNC,VSYNC,RCLK,MCLK, BCLK,LRCLK,SDO3～0,SPDIF 0: プルダウンなし 1: プルダウンあり	0
ACHDRV [1:0]	3:2	R / W	Audio Data Line Output Current Change 音声出力データドライブ電流制御 ACHDRV [1]：MCLK 0: 4 mA 1: 8 mA ACHDRV [0]：その他音声出力 0: 2 mA 1: 4 mA	00
VCHDRV [1:0]	1:0	R / W	Video Data Line Output Current Change 映像出力データドライブ電流制御 VCHDRV[1]：RCLK 0: 8 mA 1: 16 mA VCHDRV[0]：その他映像出力 0: 4 mA 1: 8 mA	00

System Configuration Register #8

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x13	Reserved						V5FLTH [1:0]		0x00

Field	Bit	Type	Description	Default
Reserved	7:2	R / W	Reserved	0000 00
V5FLTH [1:0]	1:0	R / W	Threshold of Filter for 5V Power input 5V Power 入力段のフィルタ特性を設定します。 00: 500 μs 幅以上のパルスに対して割り込みを発生させます。 01: 5 ms 幅以上のパルスに対して割り込みを発生させます。 10: 500 ns 幅以上のパルスに対して割り込みを発生させます。 11: 50 μs 幅以上のパルスに対して割り込みを発生させます。 ※SYSCLK 27 MHz 入力時	00

System Configuration Register #9

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x14	NPRIME	Reserved	DDCFLT	DDCNCS	Reserved	PORSEL [2:0]			0x17

Field	Bit	Type	Description	Default
NPRIME	7	R / W	Negative Primary Enable DDC の HDCP ポートのスレーブアドレスを設定します。 0: 0x74 (Primary) 1: 0x76 (Secondary)	0
Reserved	6	R / W	Reserved	0
DDCFLT	5	R / W	DDC Interface Sampling Filter Control. DDC I/F のフィルタ特性を切り替えます。 0: 通常動作 (デフォルト) 1: サンプリングフィルタの特性を変更	0
DDCNCS	4	R / W	DDC I/F Acknowledge Control. DDC I/F 回路のチップセレクト信号です。 0: 通常動作 1: Source へ Ack 信号を返さない (Source から Read/Write できない) (デフォルト)	1
Reserved	3	R / W	Reserved	0
PORSEL [2:0]	2:0	R / W	TMDS Port Select. 使用する TMDS のポート番号を選択します。 000: Port 0 を選択 001: Port 1 を選択 111: 未選択 (デフォルト)	111

System Configuration Register #10

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x1C	Reserved						EDIDPG [1:0]		0x00

アクセスする EDID を設定します。

Field	Bit	Type	Description	Default
Reserved	7:2	R / W	Reserved	0000 00
EDIDPG [1:0]	1:0	R / W	EDID Page Register. Port 0 / Port 1 いずれの EDID にライトアクセスするかを設定します。このレジスタにライトアクセスするポートを設定した後、アドレス 0x6E:0x00～0xFF へ設定するデータを書き込んで下さい。 00 ： Port 0 の EDID へ書き込み 01 ： Port 1 の EDID へ書き込み Other: Reserved	00

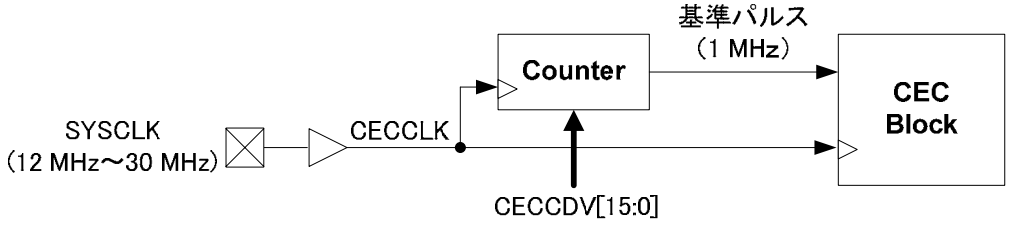
System Configuration Register #11

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x1E	CECCDV[7:0]								0x00
0x60	0x1F	CECCDV[15:8]								0x00

CECCLK の分周比を設定します。

Field	Bit	Type	Description	Default
CECCDV [15:0]	15:0	R / W	CEC Clock Divider CEC 用のクロック (CECCLK) の分周設定を行います。 ※CECCLK = SYSCLK デフォルト値（CECCDV = 0x0000）では、CECCLK = 27 MHz で使用できます。 CECCLK = 27 MHz 以外で使用する場合は、本レジスタを必ず設定して下さい。 ※このビットは 0x60:0x04 bit7 ALLRST および 0x60:0x06 bit0 CFGRST ではクリアされず、0x6C:0x60 bit0 CECRST でクリアされます。 CECCDV[15:0]: CEC 処理ブロックのクロック CECCLK より、1 MHz の基準パルスを生成するための分周を行います。CECCLK [MHz]の 1024 倍を設定します。	0x0000

・内部構成



・設定例　　※CECCLK = SYSCLK

CECCLK = 12.288 MHz の時：
CECCLK×1024 = 12582.912　　12583 = 0x3127
→ CECCDV = 0x3127

CECCLK = 13.5 MHz の時：
CECCLK×1024 = 13824 = 0x3600
→ CECCDV = 0x3600

CECCLK = 24.576 MHz の時：
CECCLK×1024 = 25165.824　　25166 = 0x624E
→ CECCDV = 0x624E

CECCLK = 27 MHz の時：
CECCLK×1024 = 27648 = 0x6C00
→ CECCDV = 0x6C00

CECCLK = 30 MHz の時：
CECCLK×1024 = 30720 = 0x7800
→ CECCDV = 0x7800

・CEC の出力波形について

CEC 規格では、出力波形が規定されており、最も厳しい箇所（スタートビットの周期）でおよそ±4 %の精度が要求されます。このため、CECCLK の精度は±1 %以下を推奨します。なお、分周誤差は以下の通りです。

CECCLK が 1 MHz の整数倍となる時：
CECCLK の精度で CEC の出力波形の精度が決まります。

CECCLK が 1 MHz の整数倍ではない時（小数部を含む時）：
CECCLK±1 クロック分のジッタが加算されます。
CECCLK = 1 MHz の時が最大で、±1 μs となりますが、
CEC 規格に対しては十分小さな値となります。

4．1．5 Reset Sequence Control Register: リセットシーケンス制御レジスタ

Reset Sequence Control Register #1

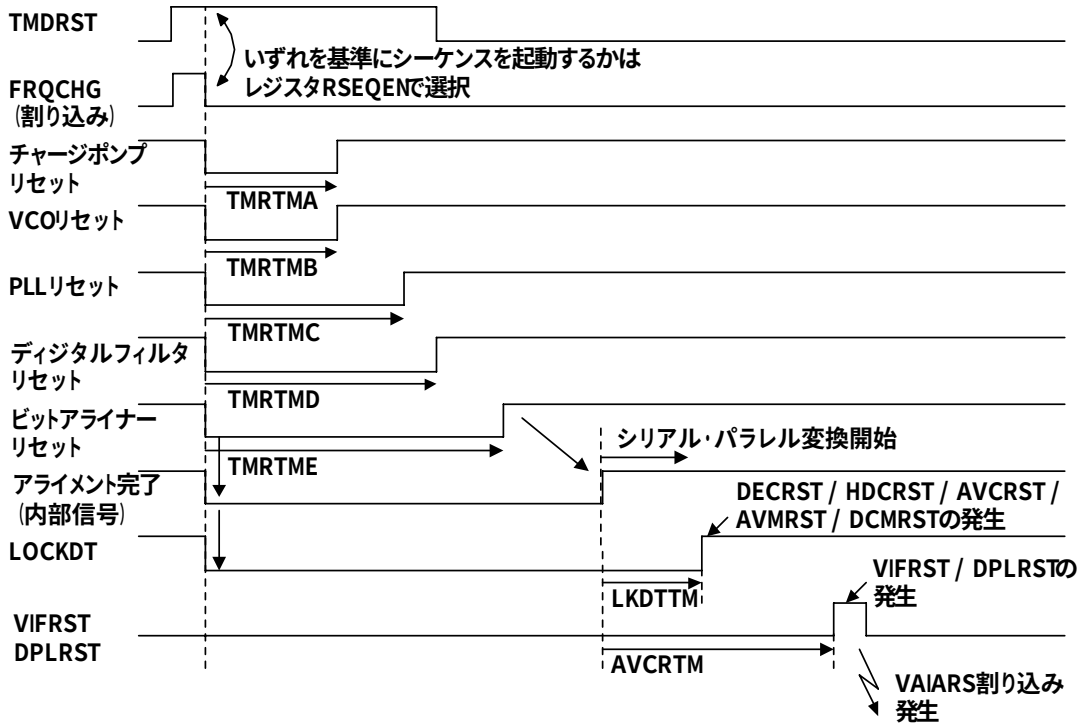
Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x20	RSEQEN	AVCREN	LKDTEN	TMRENE	TMREND	TMRENC	TMRENB	TMRENA	0x7F

リセットシーケンスのオン･オフを制御します。

Field	Bit	Type	Description	Default
RSEQEN	7	R / W	Reset Sequence Enable 周波数検知時にリセットシーケンスを自動で行うかどうかを設定します。 0： リセットシーケンスを自動で実行しません。0x60:0x05 bit7 TMDRST 実行時にシーケンスを実行します (デフォルト) 1： 周波数検知後 (0x60:0x41 bit6 FRQCHG=1 後) 、リセットシーケンスを自動的に実行します。	0
AVCREN	6	R / W	Audio/Video controler reset enable DeepColor、カラースペースコンバータ、ビデオ I/F、オーディオ I/F のソフトリセットをシーケンスに従い実行します。 0: ソフトリセットを実行しない 1: シーケンスに従いソフトリセットを実行する (デフォルト)	1
LKDTEN	5	R / W	TMDS PLL Lock Detect enable TMDS 部の PLL が正常に動作を開始したことを示す 0x60:0x41 bit0 LOCKDT 割り込みをシーケンスに従い発生させるかどうかを設定します。 0: LOCKDT 割り込みを発生させない 1: シーケンスに従い LOCKDT 割り込みを発生させる (デフォルト)	1
TMRENE	4	R / W	TMDS reset enable E TMDS 部のシリアル･パラレル変換 (ビットアライナー) をシーケンスに従いリセットします。 0: リセットを実行しない 1: シーケンスに従いリセットを実行する (デフォルト)	1
TMREND	3	R / W	TMDS reset enable D TMDS 部のディジタルフィルタをシーケンスに従いリセットします。 0: リセットを実行しない 1: シーケンスに従いリセットを実行する	1

			(デフォルト)	
TMRENC	2	R / W	TMDS reset enable C TMDS 部の PLL をシーケンスに従い リセットします。 0: リセットを実行しない 1: シーケンスに従いリセットを実行する (デフォルト)	1
TMRENB	1	R / W	TMDS reset enable B TMDS 部の VCO をシーケンスに従い リセットします。 0: リセットを実行しない 1: シーケンスに従いリセットを実行する (デフォルト)	1
TMRENA	0	R / W	TMDS reset enable A TMDS 部のチャージポンプをシーケンスに従い リセットします。 0: リセットを実行しない 1: シーケンスに従いリセットを実行する (デフォルト)	1

TMDRST もしくは FRQCHG (TMDS クロック周波数の変化検知割り込み) を基準に、設定されたリセットシーケンスに従い TMDS アナログ部のリセットと LOCKDT (Lock Detect) の生成 (LOCKDT の立ち上がりで DECRST / HDCRST / AVCRST / AVMRST / DCMRST が生成されます)、VIFRST／DPLRST の生成を実行します (LOCKDT の立ち上がりを基準にディジタル部がリセットされ、フォーマット検知や信号出力が開始されます)。それぞれの信号を生成するかどうかは、bit6-0 の設定で決定されます。それぞれの信号を生成するタイミングは、レジスタ TMRTMA～AVCRTM で設定できます。なお、0x60:0x06 bit4 LKDRST により、アライメント完了信号 (シリアル・パラレル変換が開始されたことを示す) を擬似的に発生させ、アライメント完了信号立ち上がり後のシーケンスを実行させることができます。



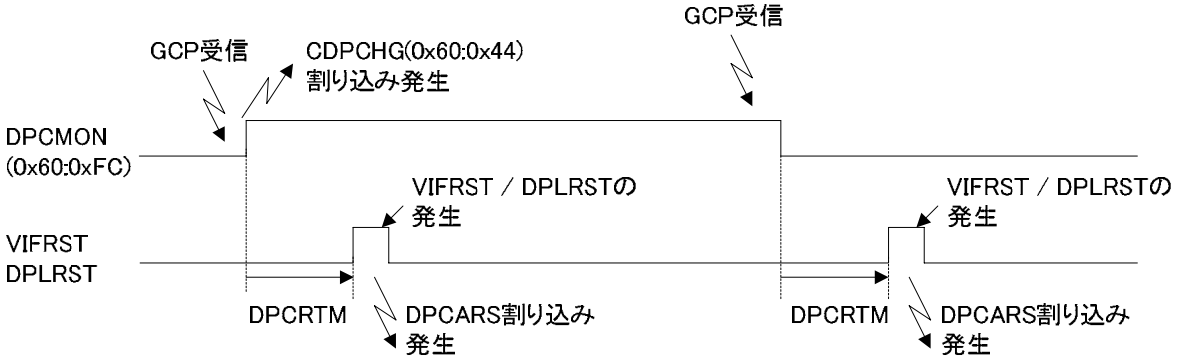
Reset Sequence Control Register #2

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x21	Reserved							DPCREN	0x00

Deep Color 切り替え時のソフトリセットを制御します。

Field	Bit	Type	Description	Default
Reserved	7:1	R / W	Reserved	0000 000
DPCREN	0	R / W	Reset Sequence Enable when Deep Color 有効な CD フィールドの GCP を受信した時に、ビデオ／オーディオ I/F のソフトリセットを実行します。 0: ソフトリセットを実行しない (デフォルト) 1: ソフトリセットを実行する	0

Deep Color 切り替え時点より 0x60:0x22~0x23 DPCRTM で設定された時間後に VIFRST, DPLRST を発生させます。GCP の CD フィールドの変化 (0x60:0x44 CDPCHG) でソフトリセットを実行します。



Reset Sequence Control Register #3

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x22	DPCRTM[7:0]								0x32
0x60	0x23	DPCRTM[15:8]								0x29

Deep Color 切り替え時のソフトリセットのタイミングを設定します。

Field	Bit	Type	Description	Default
DPCRTM	15:0	R / W	Reset Timing when Deep Color 有効な CD フィールドの GCP を受信した時に、ビデオ／オーディオ I/F のソフトリセットを実行するタイミングを設定します。	0x2932

DPCREN=1 の時、ソフトリセットのタイミングを設定します。
ホストクロックの周波数を f [Hz]とすると、タイミング t [s]，レジスタ値 r との間に以下の関係があります。

$$r = t \times f / 256$$

f = 27 MHz の時

$$\text{DPCRTM} = 100\ \text{ms} \times 27\ \text{MHz} / 256 = 10546 = 0x2932$$

Reset Sequence Control Register #4

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x24	TMRTMA[7:0]								0x8C
0x60	0x25	TMRTMA[15:8]								0x0A
0x60	0x26	TMRTMA[23:16]								0x00
0x60	0x27	Reserved								0x00
0x60	0x28	TMRTMB [7:0]								0x8C
0x60	0x29	TMRTMB[15:8]								0x0A
0x60	0x2A	TMRTMB[23:16]								0x00
0x60	0x2B	Reserved								0x00
0x60	0x2C	TMRTMC[7:0]								0x58
0x60	0x2D	TMRTMC[15:8]								0x0F
0x60	0x2E	TMRTMC[23:16]								0x02
0x60	0x2F	Reserved								0x00
0x60	0x30	TMRTMD[7:0]								0xB8
0x60	0x31	TMRTMD[15:8]								0x4C
0x60	0x32	TMRTMD[23:16]								0x0A
0x60	0x33	Reserved								0x00
0x60	0x34	TMRTME[7:0]								0x18
0x60	0x35	TMRTME[15:8]								0x8A
0x60	0x36	TMRTME[23:16]								0x12
0x60	0x37	Reserved								0x00
0x60	0x38	LKDTTM [7:0]								0x8C
0x60	0x39	LKDTTM [15:8]								0x0A
0x60	0x3A	LKDTTM [23:16]								0x00
0x60	0x3B	Reserved								0x00
0x60	0x3C	AVCRTM [7:0]								0xE0
0x60	0x3D	AVCRTM [15:8]								0x32
0x60	0x3E	AVCRTM [23:16]								0x29
0x60	0x3F	Reserved								0x00

リセットシーケンスの時間を設定します。

Field	Bit	Type	Description	Default
TMRTMA	23:0	R / W	TMDS Reset Time A TMDS 部のチャージポンプをリセットする時間をホストクロックのクロック数で設定します。	0x000A8C
TMRTMB	23:0	R / W	TMDS Reset Time B TMDS部のVCOをリセットする時間をホストクロックのクロック数で設定します。	0x000A8C
TMRTMC	23:0	R / W	TMDS Reset Time C TMDS 部の PLL をリセットする時間をホストクロックのクロック数で設定します。	0x020F58
TMRTMD	23:0	R / W	TMDS Reset Time D TMDS 部のディジタルフィルタをリセットする時間をホストクロックのクロック数で設定します。	0x0A4CB8

TMRTME	23:0	R / W	TMDS Reset Time E TMDS 部のビットアライナーをリセットする時間をホストクロックのクロック数で設定します。	0x128A18
LKDTTM	23:0	R / W	Lock Detect Time TMDS 部の PLL が正常に動作を開始したことを示す LOCKDT 割り込みを発生させる時間をホストクロックのクロック数で設定します。	0x000A8C
AVCRTM	23:0	R / W	Audio / Video I/F Reset Time AV コントローラと DeepColor、カラースペースコンバータ、ビデオ I/F、オーディオ I/F のソフトリセットの開始時間をホストクロックのクロック数で設定します。	0x2932E0

TMDS 部のリセットと LOCKDT、AVCRST を生成するタイミングを設定します。ホストクロックの周波数を f [Hz]とすると、タイミング t [s]，レジスタ値 r との間に以下の関係があります。

r ＝ t × f

f = 27 MHz の時

TMRTMA ＝ 100 µs × 27 MHz ＝ 2700 ＝ 0x000A8C
TMRTMB ＝ 100 µs × 27 MHz ＝ 2700 ＝ 0x000A8C
TMRTMC ＝ 5 ms × 27 MHz ＝ 135000 ＝ 0x020F58
TMRTMD ＝ 25 ms × 27 MHz ＝ 675000 ＝ 0x0A4CB8
TMRTME ＝ 45 ms × 27 MHz ＝1215000 ＝ 0x128A18
LKDTTM ＝ 100 µs × 27 MHz ＝ 2700 ＝ 0x000A8C
AVCRTM ＝ 100 ms × 27 MHz ＝2700000 ＝ 0x2932E0

4．1．6 Interrupt Register Set: 割り込みレジスタ

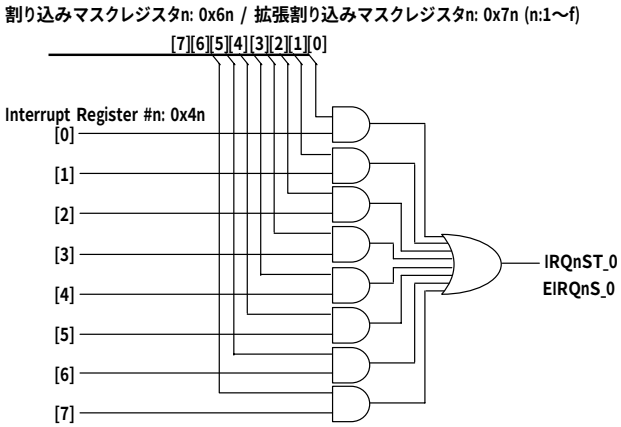
NIRQ1、NIRQ2 より出力される割り込み信号の設定を行います。 各割り込み要因は、割り込みマスクレジスタにて禁止･許可を選択可能です。

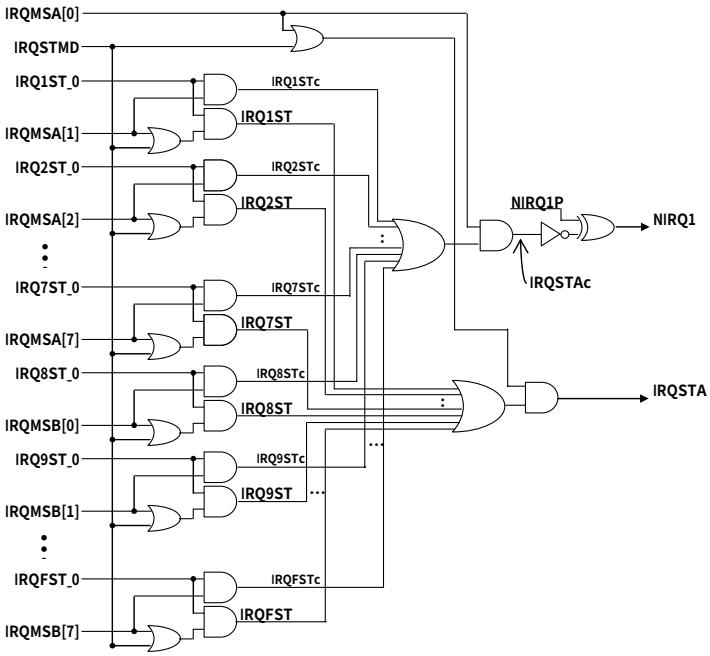
各割り込み要因レジスタ (Interrupt Register #1〜#15) と割り込みマスクレジスタ (IR1MSK〜IRFMSK、IRQMSA、IRQMSB、EI1MSK〜EIFMSK、EIRMSA、EIRMSB) は、下図のように接続されています。また、各割り込みは IRQ1ST〜IRQFST、IRQSTA、EIRQ1S〜EIRQFS、EIRQST にてモニタできます。

割り込み要因のクリアは、割り込み要因レジスタへ 1 を書き込むことで行います。

NIRQ1、NIRQ2 より出力される割り込み信号の極性は、0x60:0x11 NIRQ1P/NIRQ2P で変更できます。

割り込みステータスレジスタ (IRQ1ST〜IRQFST、IRQSTA、EIRQ1S〜EIRQFS、EIRQST) に反映される値は、IRQSTMD に 1 を設定することにより、割り込みマスクレジスタ (IRQMSA, IRQMSB, EIRMSA, EIRMSB) の設定を無視したステータスを表すように変更できます。この場合でも NIRQ1,NIRQ2 へのマスク動作は変わりません。





割り込みステータスレジスタ値に関して

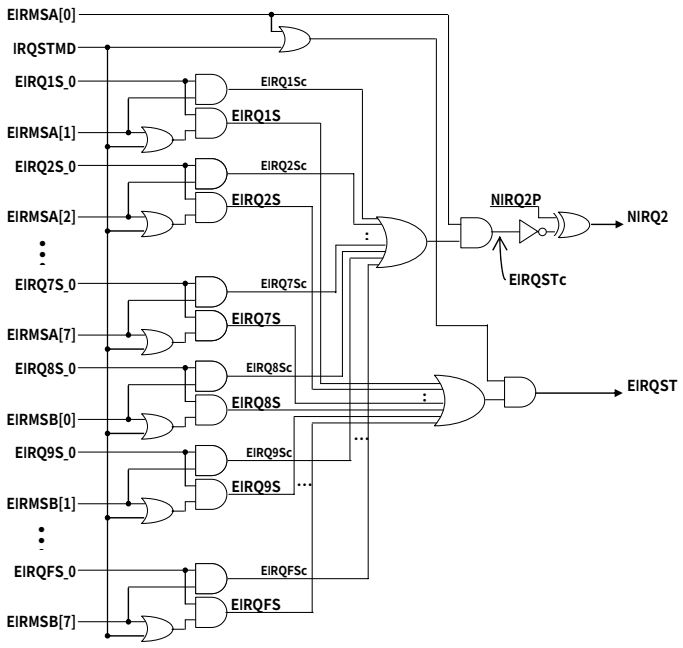
○IRQSTMD=0 のとき

IRQ1ST=IRQ1STc
IRQ2ST=IRQ2STc
…
IRQFST=IRQFSTc
IRQSTA=IRQSTAc

○IRQSTMD=1 のとき

割り込みマスクレジスタ設定 (IRQMSA,IRQMSB)を無視し

IRQ1ST=IRQ1ST_0
IRQ2ST=IRQ2ST_0
…
IRQFST=IRQFST_0
IRQSTA=IRQ1ST or IRQ2ST or … or IRQFST



割り込みステータスレジスタ値に関して

○IRQSTMD=0 **のとき**

EIRQ1S=EIRQ1Sc
EIRQ2S=EIRQ2Sc
…
EIRQFS=EIRQFSc
EIRQST=EIRQSTc

○IRQSTMD=1 **のとき**

割り込みマスクレジスタ設定
(EIRMSA,EIRMSB)**を無視し**

EIRQ1S=EIRQ1S_0
EIRQ2S=EIRQ2S_0
…
EIRQFS=EIRQFS_0
EIRQST=EIRQ1S or EIRQ2S
or … or EIRQFS

Interrupt Register #1

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x41	VSYDET	FRQCHG	LFQDET	HFQDET	VFFAIL	VFSUCS	HDMCHG	LOCKDT	0x00

ビデオ処理系の割り込み要因レジスタです。

Field	Bit	Type	Description	Default
VSYDET	7	R / W	VSYNC Detected VSYNC の立下りエッジを検出した場合に 1 にセットされます。1 を書き込むことでクリアされます。	0
FRQCHG	6	R / W	TMDS Clock Frequency Changed TMDS クロックが変化した場合に 1 にセットされます。1 を書き込むことでクリアされます。	0
LFQDET	5	R / W	Lower Frequency Detected TMDS クロックが 0x60:0xC6 bit2-0 LFQDTH レジスタで設定した周波数以下になった場合 1 がセットされます。1 を書き込むことでクリアされます。	0
HFQDET	4	R / W	Higher Frequency Detected TMDS クロックが 0x60:0xC6 bit6-4 HFQDTH レジスタで設定した周波数以上になった場合 1 がセットされます。1 を書き込むことでクリアされます。	0
VFFAIL	3	R / W	Video Format Detect Fail 想定外のフォーマットを受信した場合 1 がセットされます。1 を書き込むことでクリアされます。	0
VFSUCS	2	R / W	Video Format Detect Success ビデオフォーマットを自動検知した場合に 1 にセットされます。1 を書き込むことでクリアされます。	0
HDMCHG	1	R / W	HDMI Mode Changed HDMI モードから DVI モード、あるいは DVI モードから HDMI モードへの変化が生じた場合に 1 にセットされます。1 を書き込むことでクリアされます。	0
LOCKDT	0	R / W	TMDS PLL Lock Detect TMDS レシーバが動作を開始した時に 1 へセットされます。1 を書き込むことでクリアされます。	0

Interrupt Register #2

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x42	APLOCK	APULCK	AFOVRF	AFUNDF	NPRCHG	CTSCHG	FSCHG	LAYCHG	0x00

オーディオ処理系の割り込み要因レジスタです。

Field	Bit	Type	Description	Default
APLOCK	7	R / W	Audio PLL Lock Indicator. オーディオ用 PLL がロック状態となった場合 1 にセットされます。1 を書き込むことでクリアされます。	0
APULCK	6	R / W	Audio PLL Unlock Indicator. オーディオ用 PLL がアンロック状態となった場合 1 にセットされます。1 を書き込むことでクリアされます。	0
AFOVRF	5	R / W	Audio FIFO Overflow Error. オーディオ用 FIFO にオーバーフローエラーが発生した場合に 1 にセットされます。1 を書き込むことでクリアされます。	0
AFUNDF	4	R / W	Audio FIFO Underflow Error. オーディオ用 FIFO にアンダーフローエラーが発生した場合に 1 にセットされます。1 を書き込むことでクリアされます。	0
NPRCHG	3	R / W	Most recent N Parameter is different from previous value. 最新の N パラメータ値が、直近の値と異なる場合に 1 にセットされます。1 を書き込むことでクリアされます。	0
CTSCHG	2	R / W	CTS Packet Changed. ACR Packet の CTS が変化した時、1 にセットされます。1を書き込むことでクリアされます。	0
FSCHG	1	R / W	Cbit FS Changed 受信した CBIT の Sampling Frequency が変化した場合に1がセットされます。1 を書き込むことでクリアされます。	0
LAYCHG	0	R / W	layout bit Changed 受信した AudioSamplePacket のレイアウトが変化した場合に1がセットされます。1 を書き込むことでクリアされます。	0

Interrupt Register #3

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x43	AFMTCHG	Reserved	CBTCHG	ADBERR	DSTDET	DSDDET	HBRDET	ASPDET	0x00

オーディオ処理系の割り込み要因レジスタです。

Field	Bit	Type	Description	Default
AFMTCHG	7	R / W	Audio Received Format Changed. 受信した Audio のフォーマットが変化した時、1 にセットされます。1 を書き込むことでクリアされます。	0
Reserved	6	R / W		0
CBTCHG	5	R / W	Cbit Changed 受信した CBIT が変化した場合に1がセットされます。1 を書き込むことでクリアされます。	0
ADBERR	4	R / W	Audio Packet BCH Error Indicator. 受信した Audio Sample / One Bit Audio / DST / HBR Subpacket のデータに BCH エラーが発生した場合に 1 がセットされます。1 を書き込むことでクリアされます。	0
DSTDET	3	R / W	DST Packet Detected. DST パケットを受信した場合 1 にセットされます。1 を書き込むことでクリアされます。	0
DSDDET	2	R / W	One Bit Audio Sample Packet Detected. One Bit Audio Sample Packet を検知したときに 1 にセットされます。1 を書き込むことでクリアされます。	0
HBRDET	1	R / W	High Bit Rate Audio Stream Packet Detected. HBR Packet を検知したときに 1 にセットされます。1 を書き込むことでクリアされます。	0
ASPDET	0	R / W	Audio Sample Packet Detected. Audio Sample Packet を検知したときに 1 にセットされます。1 を書き込むことでクリアされます。	0

Interrupt Register #4

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x44	DPCLOF	DPCLON	CDPCHG	GMTCHG	ISBCHG	ISACHG	ACPCHG	AVMCHG	0x00

過去に受信したパケットと新たに受信したパケットに差異がある時、割り込みが発生します。

Field	Bit	Type	Description	Default
DPCLOF	7	R / W	Deep Color Mode Off. 24 bit 伝送へ変化した時（Deep Color がオフになった時、もしくは GCP パケットの CD フィールドが 0100 となった時）、1 にセットされます。1 を書き込むことでクリアされます。	0
DPCLON	6	R / W	Deep Color Mode On. 30/36/48 bit 伝送へ変化した時（GCP パケットの CD フィールドが 0101／0110／0111 の時）、1 にセットされます。1 を書き込むことでクリアされます。	0
CDPCHG	5	R / W	Color Depth Changed GCP パケットの CD フィールドが変化した時、1 にセットされます。1 を書き込むことでクリアされます。	0
GMTCHG	4	R / W	Gamut Metadata Packet Changed. Gamut Metadata Packet が変化した時、1 にセットされます。1 を書き込むことでクリアされます。	0
ISBCHG	3	R / W	ISRC2 Packet Changed. ISRC2 Packet が変化した時、1 にセットされます。1 を書き込むことでクリアされます。	0
ISACHG	2	R / W	ISRC1 Packet Changed. ISRC1 Packet が変化した時、1 にセットされます。1 を書き込むことでクリアされます。	0
ACPCHG	1	R / W	ACP Packet Changed. ACP Packet が変化した時、1 にセットされます。1 を書き込むことでクリアされます。	0
AVMCHG	0	R / W	AVMUTE Changed. GCP Packet の Set_AVMUTE もしくは Clear_AVMUTE が変化した時、1 にセットされます。1 を書き込むことでクリアされます。	0

Interrupt Register #5

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x45	PKBERR	DPCARS	VAIARS	MPGCHG	AUDCHG	SPDCHG	AVICHG	VSPCHG	0x00

過去に受信した InfoFrame パケットと新たに受信した InfoFrame パケットに差異がある時、割り込みが発生します。

Field	Bit	Type	Description	Default
PKBERR	7	R / W	Packet BCH Error オーディオを除くデータアイランドパケット（InfoFrame パケットを含む）の Subpacket に BCH エラーもしくはチェックサムエラーが発生した時に1がセットされます。1 を書き込むことでクリアされます。	0
DPCARS	6	R / W	DeepColor Auto Reset. DeepColor 切り替え時にリセットシーケンスの VIFRST, AIFRST が発生した時に 1 がセットされます。1を書き込むことでクリアされます。	0
VAIARS	5	R / W	Video/Audio I/F Auto Reset. リセットシーケンスの VIFRST, AIFRST が発生した時に 1 がセットされます。1 を書き込むことでクリアされます。	0
MPGCHG	4	R / W	MPEG Source InfoFrame Changed. MPEG Source InfoFrame が変化した時、1 にセットされます。1を書き込むことでクリアされます。	0
AUDCHG	3	R / W	Audio InfoFrame Changed. Audio InfoFrame が変化した時、1 にセットされます。1を書き込むことでクリアされます。	0
SPDCHG	2	R / W	Source Product Descriptor InfoFrame Changed Source Product Descriptor InfoFrame が変化した時、1 にセットされます。1 を書き込むことでクリアされます。	0
AVICHG	1	R / W	AVI InfoFrame Changed. AVI InfoFrame が変化した時、1 にセットされます。1を書き込むことでクリアされます。 ※ヘッダエラーの場合は 1 にセットされません。	0
VSPCHG	0	R / W	Vendor-Specific InfoFrame Changed. Vendor-Specific InfoFrame が変化した時、1 にセットされます。1を書き込むことでクリアされます。	0

Interrupt Register #6

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x46	GMTDET	ISBDET	ISADET	ACPDET	AUDDET	SPDDET	AVIDET	VSPDET	0x00

各種パケットを受信した時に、割り込みが発生します。

Field	Bit	Type	Description	Default
GMTDET	7	R / W	Gamut Metadata Packet Detected. Gamut Metadata パケットを受信した場合 1 にセットされます。1を書き込むことでクリアされます。	0
ISBDET	6	R / W	ISRC2 Packet Detected. ISRC2 パケットを受信した場合 1 にセットされます。1 を書き込むことでクリアされます。	0
ISADET	5	R / W	ISRC1 Packet Detected. ISRC1 パケットを受信した場合 1 にセットされます。1を書き込むことでクリアされます。	0
ACPDET	4	R / W	ACP Packet Detected. ACP パケットを受信した場合 1 にセットされます。1を書き込むことでクリアされます。	0
AUDDET	3	R / W	Audio InfoFrame Detected. Audio InfoFrame を受信した場合 1 にセットされます。1を書き込むことでクリアされます。	0
SPDDET	2	R / W	Source Product Descriptor InfoFrame Detected. Source Product Descriptor InfoFrame を受信した場合 1 にセットされます。1 を書き込むことでクリアされます。	0
AVIDET	1	R / W	AVI InfoFrame Detected. AVI InfoFrame を受信した場合 1 にセットされます。1を書き込むことでクリアされます。	0
VSPDET	0	R / W	Vendor-Specific InfoFrame Detected. Vendor-Specific InfoFrame を受信した場合 1 にセットされます。1を書き込むことでクリアされます。	0

Interrupt Register #7

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x47	※本レジスタは HDCP 編を参照して下さい。								

Interrupt Register #8

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x48	HDBERR	PBBERR	PBCERR	MPGDET	FREDET	GCPDET	ACRDET	NULDET	0x00

各種パケットを受信した時に、割り込みが発生します。また、受信エラー時にも割り込みが発生します。

Field	Bit	Type	Description	Default
HDBERR	7	R / W	Packet Header BCH Error Indicator. 受信したパケットのヘッダに BCH エラーが発生した場合に 1 がセットされます。1 を書き込むことでクリアされます。	0
PBBERR	6	R / W	Packet Body BCH Error Indicator. 受信したパケットのデータに BCH エラーが発生した場合に 1 がセットされます。1 を書き込むことでクリアされます。	0
PBCERR	5	R / W	Packet Body Checksum Error. 受信した InfoFrame Packet にチェックサムエラーが発生した場合に 1 がセットされます。1 を書き込むことでクリアされます。	0
MPGDET	4	R / W	MPEG Source InfoFrame Detected. MPEG Source InfoFrame を受信した場合 1 にセットされます。1 を書き込むことでクリアされます。	0
FREDET	3	R / W	Free Packet Detected. Free パケットを受信した場合 1 にセットされます。1 を書き込むことでクリアされます。	0
GCPDET	2	R / W	GCP Packet Detected. GCP パケットを受信した場合 1 にセットされます。1 を書き込むことでクリアされます。	0
ACRDET	1	R / W	ACR Packet Detected. ACR パケットを受信した場合 1 にセットされます。1 を書き込むことでクリアされます。	0
NULDET	0	R / W	NULL Packet Detected. NULL パケットを受信した場合 1 にセットされます。1 を書き込むことでクリアされます。	0

Interrupt Register #9

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x49	CECERI	CECTXI	Reserved	CECRXI	Reserved		CECBLI	Reserved	0x00

CEC の処理完了時に割り込みが発生します。

Field	Bit	Type	Description	Default
CECERI	7	R/W	CEC Tx/Rx Complete with Error IRQ CEC の送受信処理がエラーで終了した時、1 にセットされます。1 を書き込むとクリアされます。	0
CECTXI	6	R/W	CEC Transmit Complete IRQ CEC の送信処理が完了した時、1 にセットされます。1 を書き込むとクリアされます。 エラーで終了した時は、CECTXI に加えて CECERI が 1 となります。	0
Reserved	5	R/W	Reserved	0
CECRXI	4	R/W	Receive Complete IRQ CEC の受信処理が完了した時、1 にセットされます。1 を書き込むとクリアされます。 エラーで終了した時は、CECRXI に加えて CECERI が 1 となります。	0
Reserved	3:2	R/W	Reserved	00
CECBLI	1	R/W	Bus Low Check Complete IRQ CEC バス 0 固定のチェックが完了した時、1 にセットされます。1 を書き込むとクリアされます。 エラーで終了した時は、CECBLI に加えて CECERI が 1 となります。	0
Reserved	0	R/W	Reserved	0

送信がエラーで終了した時、CECERI = CECTXI = 1 となります。
受信がエラーで終了した時、CECERI = CECRXI = 1 となります。
同様にその他の処理がエラーで終了した時も、当該ビットと CECERI が1となります。
※この割り込みは 0x60:0x04 bit7 ALLRST および 0x60:0x06 bit0 CFGRST ではクリアされず、
0x6C:0x60 bit0 CECRST でクリアされます。

Interrupt Register #10

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x4A	Reserved				P1V5OF	P1V5ON	P0V5OF	P0V5ON	0x00

5V Power が変化した時に割り込みが発生します。

Field	Bit	Type	Description	Default
Reserved	7:4	R/W	Reserved	0000
P1V5OF	3	R/W	Port 1 5V Power OFF ポート 1 の 5V Power が High → Low となった場合に 1 がセットされます。1 を書き込むことでクリアされます。	0
P1V5ON	2	R/W	Port 1 5V Power ON ポート1の 5V Power が Low → High となった場合に 1 がセットされます。1 を書き込むことでクリアされます。	0
P0V5OF	1	R/W	Port 0 5V Power OFF ポート0の 5V Power が High → Low となった場合に 1 がセットされます。1 を書き込むことでクリアされます。	0
P0V5ON	0	R/W	Port 0 5V Power ON ポート0の 5V Power が Low → High となった場合に 1 がセットされます。1 を書き込むことでクリアされます。	0

Interrupt Register #11

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x4B	STSCH	Reserved	HPLRSCMP	FLATLINE DET	CMPRS AUDDET	HDMIMODE DET	DVIMODE DET	AVMUTE DET	0x00

Field	Bit	Type	Description	Default
STSCH	7	R/W	Audio Mute Status Changed Audio Mute Status が変化した場合1にセットされます。 1を書き込むことでクリアされます。	0
Reserved	6	R/W	Reserved	0
HPLRSCMP	5	R/W	Hybrid PLL Reset Sequence Complete オーディオ用ハイブリッド PLL のリセットシーケンスが完了した場合1にセットされます。 1を書込むことでクリアされます。	0
FLATLINE DET	4	R/W	FLATLINE Detected Audio Sample Packet 内の FLATLINE ビットを検知した場合1にセットされます。 1を書込むことでクリアされます。	0
CMPRSAUD DET	3	R/W	Compressed Audio Data Detected 圧縮されたオーディオデータ（ビットストリーム）を受信した場合1にセットされます。 1を書込むことでクリアされます。	0
HDMIMODE DET	2	R/W	HDMIMODE Detected DVI モードから HDMI モードに変化した場合1にセットされます。 1を書込むことでクリアされます。	0
DVIMODE DET	1	R/W	DVIMODE Detected HDMI モードから DVI モードに変化した場合1にセットされます。 1を書込むことでクリアされます。	0
AVMUTE DET	0	R/W	Set AVMUTE Detected General Control Packet 内に Set_AVMUTE を検知した場合1にセットされます。 1を書込むことでクリアされます。	0

Interrupt Register #12

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x4C	Reserved		P1TCK HFQDET	P0TCK HFQDET	Reserved		P1 TCKDCH	P0 TCKDCH	0x00

Field	Bit	Type	Description	Default
Reserved	7:6	R/W	Reserved	00
P1TCK HFQDET	5	R/W	Port1 TMDS Clock High Freq Detected ポート1に 0x60:0xCC〜0xCE TCKTHRT に設定されている周波数以上のクロックが入力されていることを検知した場合1にセットされます。 1を書込むことでクリアされます。	0
P0TCK HFQDET	4	R/W	Port0 TMDS Clock High Freq Detected ポート0に 0x60:0xCC〜0xCE TCKTHRT に設定されている周波数以上のクロックが入力されていることを検知した場合1にセットされます。 1を書込むことでクリアされます。	0
Reserved	3:2	R/W	Reserved	00
P1TCKDCH	1	R/W	Port1 TMDS Clock Input Detected or Not ポート1へのクロック入力状態が変化したことを検知した場合1にセットされます。 1を書込むことでクリアされます。	0
P0TCKDCH	0	R/W	Port0 TMDS Clock Input Detected or Not ポート0へのクロック入力状態が変化したことを検知した場合1にセットされます。 1を書込むことでクリアされます。	0

Interrupt Register #13

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x4D	ACPNDET	GMTNDET	ASPNDET	ACRNDET	ACPDETP	GMTDETP	ASPDETP	ACRDETP	0x00

Field	Bit	Type	Description	Default
ACPNDET	7	R/W	ACP Packet Not Detect ACP パケットを受信した後、3 フレーム以上受信しなかった場合 1 にセットされます。 1を書き込むことでクリアされます。	0
GMTNDET	6	R/W	Gamut Metadata Packet Not Detect Gamut Metadata パケットを受信した後、3 フレーム以上受信しなかった場合 1 にセットされます。 1を書き込むことでクリアされます。	0
ASPNDET	5	R/W	Audio Sample Packet Not Detect Audio Sample パケットを 3 フレーム以上受信しなかった場合 1 にセットされます。 1を書き込むことでクリアされます。	0
ACRNDET	4	R/W	ACR Packet Not Detect ACR パケットを 3 フレーム以上受信しなかった場合 1 にセットされます。 1を書き込むことでクリアされます。	0
ACPDETP	3	R/W	ACP Packet Detect ACP パケットを受信した場合 1 にセットされます。 1を書き込むことでクリアされます。	0
GMTDETP	2	R/W	Gamut Metadata Packet Detect Gamut Metadata パケットを受信した場合 1 にセットされます。 1を書き込むことでクリアされます。	0
ASPDETP	1	R/W	Audio Sample Packet Detect Audio Sample パケットを受信した場合 1 にセットされます。 1を書き込むことでクリアされます。	0
ACRDETP	0	R/W	ACR Packet Detect ACR パケットを受信した場合 1 にセットされます。 1を書き込むことでクリアされます。	0

Interrupt Register #14

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x4E	HVENDET	HVEDETP	H3DNDET	H3DDETP	HVSNDET	HVSDETP	HVSCHG	HVSDET	0x00

Field	Bit	Type	Description	Default
HVENDET	7	R/W	Extended resolusion format on HDMI Vendor Specific InfoFrame Packet Not Detect HDMI Vendor Specific InfoFrame パケットで HDMI_Video_Format=001 (4k2k) を受信後に、HDMI Vendor Specific InfoFrame パケットで HDMI_Video_Format=001 (4k2k) ではないパケットを受信開始した場合、あるいは HDMI Vendor Specific InfoFrame パケットを 3 フレーム以上受信しなかった場合 1 にセットされます。 1を書き込むことでクリアされます。	0
HVEDETP	6	R/W	Extended resolusion format on HDMI Vendor Specific InfoFrame Packet Detect Start HDMI Vendor Specific InfoFrame パケットで HDMI_Video_Format=001 (4k2k) を受信開始した場合 1 にセットされます。 1を書き込むことでクリアされます。	0
H3DNDET	5	R/W	3D format indication on HDMI Vendor Specific InfoFrame Packet Not Detect HDMI Vendor Specific InfoFrame パケットで HDMI_Video_Format=010 (3D) を受信後に、HDMI Vendor Specific InfoFrame パケットで HDMI_Video_Format=010 (3D) ではないパケットを受信開始した場合、あるいは HDMI Vendor Specific InfoFrame パケットを 3 フレーム以上受信しなかった場合 1 にセットされます。 1を書き込むことでクリアされます。	0
H3DDETP	4	R/W	3D format indication on HDMI Vendor Specific InfoFrame Packet Detect Start HDMI Vendor Specific InfoFrame パケットで HDMI_Video_Format=010 (3D) を受信開始した場合 1 にセットされます。 1を書き込むことでクリアされます。	0
HVSNDET	3	R/W	HDMI Vendor Specific InfoFrame Packet Not Detect HDMI Vendor Specific InfoFrame パケットを受信した後に、HDMI Vendor Specific InfoFrame パケットを 3 フレーム以上受信しなかった場合 1 にセットされます。 1を書き込むことでクリアされます。	0

HVSDETP	2	R/W	HDMI Vendor Specific InfoFrame Packet Detect Start HDMI Vendor Specific InfoFrame パケットを受信開始した場合 1 にセットされます。 1を書き込むことでクリアされます。	0
HVSCHG	1	R/W	HDMI Vendor Specific InfoFrame Packet Detect Start HDMI Vendor Specific InfoFrame パケットが変化した時、1 にセットされます。 1を書き込むことでクリアされます。	0
HVSDET	0	R/W	HDMI Vendor Specific InfoFrame Packet Detect HDMI Vendor Specific InfoFrame パケットを受信する毎に 1 へセットされます。 1を書き込むことでクリアされます。	0

0x68:0xA0〜0xBF で HDMI Vendor Specific InfoFrame パケットを受信するためには初期設定が必要です。
HDMI Vendor Specific InfoFrame Packet の項を参照して下さい。

Interrupt Register #15

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x4F	Reserved				DSDNDET	DSDDETP	HBRNDET	HBRDETP	0x00

Field	Bit	Type	Description	Default
Reserved	7:4	R/W	Reserved	0000
DSDNDET	3	R/W	One Bit Audio Sample Packet Not Detect One Bit Audio Sample パケットを 3 フレーム以上受信しなかった場合 1 にセットされます。 1を書き込むことでクリアされます。	0
DSDDETP	2	R/W	One Bit Audio Sample Packet Detect One Bit Audio Sample パケットを受信開始した場合 1 にセットされます。 1を書き込むことでクリアされます。	0
HBRNDET	1	R/W	HBR Audio Stream Packet Not Detect HBR パケットを 3 フレーム以上受信しなかった場合 1 にセットされます。 1を書き込むことでクリアされます。	0
HBRDETP	0	R/W	HBR Audio Stgream Packet Detect HBR パケットを受信開始した場合 1 にセットされます。 1を書き込むことでクリアされます。	0

Interrupt Status Register #0

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x50	IRQ7ST	IRQ6ST	IRQ5ST	IRQ4ST	IRQ3ST	IRQ2ST	IRQ1ST	IRQSTA	0x00

NIRQ1 端子から出力される割り込みが、どの割り込み要因で発生したかを通知します。

Field	Bit	Type	Description	Default
IRQ7ST	7	R	Interrupt Register #7 Status Indicator. Interrupt Register #7 の割り込み要因が発生したことを示します。	0
IRQ6ST	6	R	Interrupt Register #6 Status Indicator. Interrupt Register #6 の割り込み要因が発生したことを示します。	0
IRQ5ST	5	R	Interrupt Register #5 Status Indicator. Interrupt Register #5 の割り込み要因が発生したことを示します。	0
IRQ4ST	4	R	Interrupt Register #4 Status Indicator. Interrupt Register #4 の割り込み要因が発生したことを示します。	0
IRQ3ST	3	R	Interrupt Register #3 Status Indicator. Interrupt Register #3 の割り込み要因が発生したことを示します。	0
IRQ2ST	2	R	Interrupt Register #2 Status Indicator. Interrupt Register #2 の割り込み要因が発生したことを示します。	0
IRQ1ST	1	R	Interrupt Register #1 Status Indicator. Interrupt Register #1 の割り込み要因が発生したことを示します。	0
IRQSTA	0	R	Interrupt Register Status Indicator. Interrupt Register #1～#15 のいずれかの割り込み要因が発生したことを示します。	0

IRQSTA = 1 にて、NIRQ1 の発生が示されます。
IRQ1ST～IRQFST = 1 にて、どの割り込み要因が発生したかが示されます。
Interrupt Register #1～#15 にて、具体的な割り込み要因が示されます。
0x60:0x11 bit3 IRQSTMD の設定の状態によって、IRQSTA, IRQ1ST～IRQFST に反映される割り込みステータスの状態が変わります。詳細は IRQSTMD の項を参照してください。

Interrupt Status Register #1

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x51	IRQFST	IRQEST	IRQDST	IRQCST	IRQBST	IRQAST	IRQ9ST	IRQ8ST	0x00

NIRQ1 端子から出力される割り込みが、どの割り込み要因で発生したかを通知します。

Field	Bit	Type	Description	Default
IRQFST	7	R	Interrupt Register #15 Status Indicator. Interrupt Register #15 の割り込み要因が発生したことを示します。	0
IRQEST	6	R	Interrupt Register #14 Status Indicator. Interrupt Register #14 の割り込み要因が発生したことを示します。	0
IRQDST	5	R	Interrupt Register #13 Status Indicator. Interrupt Register #13 の割り込み要因が発生したことを示します。	0
IRQCST	4	R	Interrupt Register #12 Status Indicator. Interrupt Register #12 の割り込み要因が発生したことを示します。	0
IRQBST	3	R	Interrupt Register #11 Status Indicator. Interrupt Register #11 の割り込み要因が発生したことを示します。	0
IRQAST	2	R	Interrupt Register #10 Status Indicator. Interrupt Register #10 の割り込み要因が発生したことを示します。	0
IRQ9ST	1	R	Interrupt Register #9 Status Indicator. Interrupt Register #9 の割り込み要因が発生したことを示します。	0
IRQ8ST	0	R	Interrupt Register #8 Status Indicator. Interrupt Register #8 の割り込み要因が発生したことを示します。	0

Extended Interrupt Status Register #0

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x52	EIRQ7S	EIRQ6S	EIRQ5S	EIRQ4S	EIRQ3S	EIRQ2S	EIRQ1S	EIRQST	0x00

NIRQ2 端子から出力される割り込みが、どの割り込み要因で発生したかを通知します。

Field	Bit	Type	Description	Default
EIRQ7S	7	R	Extended Interrupt Register #7 Status Indicator. Interrupt Register #7 の割り込み要因が発生したことを示します。	0
EIRQ6S	6	R	Extended Interrupt Register #6 Status Indicator. Interrupt Register #6 の割り込み要因が発生したことを示します。	0
EIRQ5S	5	R	Extended Interrupt Register #5 Status Indicator. Interrupt Register #5 の割り込み要因が発生したことを示します。	0
EIRQ4S	4	R	Extended Interrupt Register #4 Status Indicator. Interrupt Register #4 の割り込み要因が発生したことを示します。	0
EIRQ3S	3	R	Extended Interrupt Register #3 Status Indicator. Interrupt Register #3 の割り込み要因が発生したことを示します。	0
EIRQ2S	2	R	Extended Interrupt Register #2 Status Indicator. Interrupt Register #2 の割り込み要因が発生したことを示します。	0
EIRQ1S	1	R	Extended Interrupt Register #1 Status Indicator. Interrupt Register #1 の割り込み要因が発生したことを示します。	0
EIRQST	0	R	Extended Interrupt Register Status Indicator. Interrupt Register #1～#15 のいずれかの割り込み要因が発生したことを示します。	0

EIRQST = 1 にて、NIRQ2 の発生が示されます。
EIRQ1S～EIRQFS = 1 にて、どの割り込み要因が発生したかが示されます。
Interrupt Register #1～#15 にて、具体的な割り込み要因が示されます。
Interrupt Register #1～#15 は NIRQ1 と共通です。
0x60:0x11 bit3 IRQSTMD の設定の状態によって、EIRQST, EIRQ1S～EIRQFS に反映される割り込みステータスの状態が変わります。詳細は IRQSTMD の項を参照してください。

Extended Interrupt Status Register #1

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x53	EIRQFS	EIRQES	EIRQDS	EIRQCS	EIRQBS	EIRQAS	EIRQ9S	EIRQ8S	0x00

NIRQ2 端子から出力される割り込みが、どの割り込み要因で発生したかを通知します。

Field	Bit	Type	Description	Default
EIRQFS	7	R	Extended Interrupt Register #15 Status Indicator. Interrupt Register #15 の割り込み要因が発生したことを示します。	0
EIRQES	6	R	Extended Interrupt Register #14 Status Indicator. Interrupt Register #14 の割り込み要因が発生したことを示します。	0
EIRQDS	5	R	Extended Interrupt Register #13 Status Indicator. Interrupt Register #13 の割り込み要因が発生したことを示します。	0
EIRQCS	4	R	Extended Interrupt Register #12 Status Indicator. Interrupt Register #12 の割り込み要因が発生したことを示します。	0
EIRQBS	3	R	Extended Interrupt Register #11 Status Indicator. Interrupt Register #11 の割り込み要因が発生したことを示します。	0
EIRQAS	2	R	Extended Interrupt Register #10 Status Indicator. Interrupt Register #10 の割り込み要因が発生したことを示します。	0
EIRQ9S	1	R	Extended Interrupt Register #9 Status Indicator. Interrupt Register #9 の割り込み要因が発生したことを示します。	0
EIRQ8S	0	R	Extended Interrupt Register #8 Status Indicator. Interrupt Register #8 の割り込み要因が発生したことを示します。	0

Interrupt Mask Register #0 Mask

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x58	IRQMSA[7:0]								0x00

NIRQ1 の Interrupt Status Register #0 の割り込みをマスクします。

Field	Bit	Type	Description	Default
IRQMSA [7:0]	7:0	R / W	Interrupt Status Register #0 Mask ※IRQMSA[0]は 0x60:0x04 bit7 ALLRST および 0x60:0x06 bit0 CFGRST ではクリアされません。クリアする時は0を書き込んで下さい。 0： Interrupt Status Register #0 の割り込みをマスクします。 1： Interrupt Status Register #0 の割り込みを許可します。	0x00

0x60:0x11 bit3 IRQSTMD に1を設定すると、Interrupt Status Register #0 に反映される割り込みステータスは、IRQMSA の設定値を無視するように動作が変わります。詳細は IRQSTMD の項を参照してください。

Interrupt Mask Register #1 Mask

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x59	IRQMSB[7:0]								0x00

NIRQ1 の Interrupt Status Register #1 の割り込みをマスクします。

Field	Bit	Type	Description	Default
IRQMSB [7:0]	7:0	R / W	Interrupt Status Register #1 Mask ※IRQMSB[1]は 0x60:0x04 bit7 ALLRST および 0x60:0x06 bit0 CFGRST ではクリアされず、0x6C:0x60 bit0 CECRST でクリアされます。 0： Interrupt Status Register #1 の割り込みをマスクします。 1： Interrupt Status Register #1 の割り込みを許可します。	0x00

0x60:0x11 bit3 IRQSTMD に1を設定すると、Interrupt Status Register #1 に反映される割り込みステータスは、IRQMSB の設定値を無視するように動作が変わります。詳細は IRQSTMD の項を参照してください。

Interrupt Mask Register #0 Mask

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x5A	EIRMSA[7:0]								0x00

NIRQ2 の Extended Interrupt Status Register #0 の割り込みをマスクします。

Field	Bit	Type	Description	Default
EIRMSA [7:0]	7:0	R / W	Extented Interrupt Status Register #0 Mask ※EIRMSA[0]は 0x60:0x04 bit7 ALLRST および 0x60:0x06 bit0 CFGRST ではクリアされません。クリアする時は 0 を書き込んで下さい。 0： Extented Interrupt Status Register #0 の割り込みをマスクします。 1： Extented Interrupt Status Register #0 の割り込みを許可します。	0x00

0x60:0x11 bit3 IRQSTMD に1を設定すると、Extended Interrupt Status Register #0 に反映される割り込みステータスは、EIRMSA のマスク値を無視するように動作が変わります。詳細は IRQSTMD の項を参照して下さい。

Interrupt Mask Register #1 Mask

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x5B	EIRMSB[7:0]								0x00

NIRQ2 の Extended Interrupt Status Register #1 の割り込みをマスクします。

Field	Bit	Type	Description	Default
EIRMSB [7:0]	7:0	R / W	Extented Interrupt Status Register #1 Mask ※EIRMSB[1]は 0x60:0x04 bit7 ALLRST および 0x60:0x06 bit0 CFGRST ではクリアされず、0x6C:0x60 bit0 CECRST でクリアされます。 0： Extented Interrupt Status Register #1 の割り込みをマスクします。 1： Extented Interrupt Status Register #1 の割り込みを許可します。	0x00

0x60:0x11 bit3 IRQSTMD に1を設定すると、Extended Interrupt Status Register #1 に反映される割り込みステータスは、EIRMSB のマスク値を無視するように動作が変わります。詳細は IRQSTMD の項を参照して下さい。

Interrupt Mask Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x60	Reserved								0x00
0x60	0x61	IR1MSK[7:0]								0x00
0x60	0x62	IR2MSK[7:0]								0x00
0x60	0x63	IR3MSK[7:0]								0x00
0x60	0x64	IR4MSK[7:0]								0x00
0x60	0x65	IR5MSK[7:0]								0x00
0x60	0x66	IR6MSK[7:0]								0x00
0x60	0x67	IR7MSK[7:0]								0x00
0x60	0x68	IR8MSK[7:0]								0x00
0x60	0x69	IR9MSK[7:0]								0x00
0x60	0x6A	IRAMSK[7:0]								0x00
0x60	0x6B	IRBMSK[7:0]								0x00
0x60	0x6C	IRCMSK[7:0]								0x00
0x60	0x6D	IRDMSK[7:0]								0x00
0x60	0x6E	IREMSK[7:0]								0x00
0x60	0x6F	IRFMSK[7:0]								0x00

NIRQ1 の割り込み要因をマスクします。

Field	Bit	Type	Description	Default
IR1MSK [7:0]	7:0	R / W	Interrupt Register #1 Mask 0： Interrupt Register #1 の割り込みをマスクします。 1： Interrupt Register #1 の割り込みを許可します。	0x00
IR2MSK [7:0]	7:0	R / W	Interrupt Register #2 Mask 0： Interrupt Register #2 の割り込みをマスクします。 1： Interrupt Register #2 の割り込みを許可します。	0x00
IR3MSK [7:0]	7:0	R / W	Interrupt Register #3 Mask 0： Interrupt Register #3 の割り込みをマスクします。 1： Interrupt Register #3 の割り込みを許可します。	0x00
IR4MSK [7:0]	7:0	R / W	Interrupt Register #4 Mask 0： Interrupt Register #4 の割り込みをマスクします。 1： Interrupt Register #4 の割り込みを許可します。	0x00
IR5MSK [7:0]	7:0	R / W	Interrupt Register #5 Mask 0： Interrupt Register #5 の割り込みをマスクします。 1： Interrupt Register #5 の割り込みを許可します。	0x00

IR6MSK [7:0]	7:0	R / W	Interrupt Register #6 Mask 0： Interrupt Register #6 の割り込みをマスクします。 1： Interrupt Register #6 の割り込みを許可します。	0x00
IR7MSK [7:0]	7:0	R / W	Interrupt Register #7 Mask 0： Interrupt Register #7 の割り込みをマスクします。 1： Interrupt Register #7 の割り込みを許可します。	0x00
IR8MSK [7:0]	7:0	R / W	Interrupt Register #8 Mask 0： Interrupt Register #8 の割り込みをマスクします。 1： Interrupt Register #8 の割り込みを許可します。	0x00
IR9MSK [7:0]	7:0	R / W	Interrupt Register #9 Mask ※IR9MSK は 0x60:0x04 bit7 ALLRST および 0x60:0x06 bit0 CFGRST ではクリアされず、0x6C:0x60 bit0 CECRST でクリアされます。 0： Interrupt Register #9 の割り込みをマスクします。 1： Interrupt Register #9 の割り込みを許可します。	0x00
IRAMSK [7:0]	7:0	R / W	Interrupt Register #10 Mask 0： Interrupt Register #10 の割り込みをマスクします。 1： Interrupt Register #10 の割り込みを許可します。	0x00
IRBMSK [7:0]	7:0	R / W	Interrupt Register #11 Mask 0： Interrupt Register #11 の割り込みをマスクします。 1： Interrupt Register #11 の割り込みを許可します。	0x00
IRCMSK [7:0]	7:0	R / W	Interrupt Register #12 Mask 0： Interrupt Register #12 の割り込みをマスクします。 1： Interrupt Register #12 の割り込みを許可します。	0x00
IRDMSK [7:0]	7:0	R / W	Interrupt Register #13 Mask 0： Interrupt Register #13 の割り込みをマスクします。 1： Interrupt Register #13 の割り込みを許可します。	0x00
IREMSK [7:0]	7:0	R / W	Interrupt Register #14 Mask 0： Interrupt Register #14 の割り込みをマスクします。 1： Interrupt Register #14 の割り込み	0x00

			を許可します。	
IRFMSK [7:0]	7:0	R / W	Interrupt Register #15 Mask 0： Interrupt Register #15 の割り込みをマスクします。 1： Interrupt Register #15 の割り込みを許可します。	0x00

Extended Interrupt Mask Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0x70	Reserved								0x00
0x60	0x71	EI1MSK[7:0]								0x00
0x60	0x72	EI2MSK[7:0]								0x00
0x60	0x73	EI3MSK[7:0]								0x00
0x60	0x74	EI4MSK[7:0]								0x00
0x60	0x75	EI5MSK[7:0]								0x00
0x60	0x76	EI6MSK[7:0]								0x00
0x60	0x77	EI7MSK[7:0]								0x00
0x60	0x78	EI8MSK[7:0]								0x00
0x60	0x79	EI9MSK[7:0]								0x00
0x60	0x7A	EIAMSK[7:0]								0x00
0x60	0x7B	EIBMSK[7:0]								0x00
0x60	0x7C	EICMSK[7:0]								0x00
0x60	0x7D	EIDMSK[7:0]								0x00
0x60	0x7E	EIEMSK[7:0]								0x00
0x60	0x7F	EIFMSK[7:0]								0x00

NIRQ2 の割り込み要因をマスクします。

Field	Bit	Type	Description	Default
EI1MSK [7:0]	7:0	R / W	Extended Interrupt Register #1 Mask 0： Extended Interrupt Register #1 の割り込みをマスクします。 1： Extended Interrupt Register #1 の割り込みを許可します。	0x00
EI2MSK [7:0]	7:0	R / W	Extended Interrupt Register #2 Mask 0： Extended Interrupt Register #2 の割り込みをマスクします。 1： Extended Interrupt Register #2 の割り込みを許可します。	0x00
EI3MSK [7:0]	7:0	R / W	Extended Interrupt Register #3 Mask 0： Extended Interrupt Register #3 の割り込みをマスクします。 1： Extended Interrupt Register #3 の割り込みを許可します。	0x00
EI4MSK [7:0]	7:0	R / W	Extended Interrupt Register #4 Mask 0： Extended Interrupt Register #4 の割り込みをマスクします。 1： Extended Interrupt Register #4 の割り込みを許可します。	0x00
EI5MSK [7:0]	7:0	R / W	Extended Interrupt Register #5 Mask 0： Extended Interrupt Register #5 の割り込みをマスクします。 1： Extended Interrupt Register #5 の割り込みを許可します。	0x00

EI6MSK [7:0]	7:0	R / W	Extended Interrupt Register #6 Mask 0： Extended Interrupt Register #6 の割り込みをマスクします。 1： Extended Interrupt Register #6 の割り込みを許可します。	0x00
EI7MSK [7:0]	7:0	R / W	Extended Interrupt Register #7 Mask 0： Extended Interrupt Register #7 の割り込みをマスクします。 1： Extended Interrupt Register #7 の割り込みを許可します。	0x00
EI8MSK [7:0]	7:0	R / W	Extended Interrupt Register #8 Mask 0： Extended Interrupt Register #8 の割り込みをマスクします。 1： Extended Interrupt Register #8 の割り込みを許可します。	0x00
EI9MSK [7:0]	7:0	R / W	Extended Interrupt Register #9 Mask ※EI9MSK は 0x60:0x04 bit7 ALLRST および 0x60:0x06 bit0 CFGRST ではクリアされず、0x6C:0x60 bit0 CECRST でクリアされます。 0： Extended Interrupt Register #9 の割り込みをマスクします。 1： Extended Interrupt Register #9 の割り込みを許可します。	0x00
EIAMSK [7:0]	7:0	R / W	Extended Interrupt Register #10 Mask 0： Extended Interrupt Register #10 の割り込みをマスクします。 1： Extended Interrupt Register #10 の割り込みを許可します。	0x00
EIBMSK [7:0]	7:0	R / W	Extended Interrupt Register #11 Mask 0： Extended Interrupt Register #11 の割り込みをマスクします。 1： Extended Interrupt Register #11 の割り込みを許可します。	0x00
EICMSK [7:0]	7:0	R / W	Extended Interrupt Register #12 Mask 0： Extended Interrupt Register #12 の割り込みをマスクします。 1： Extended Interrupt Register #12 の割り込みを許可します。	0x00
EIDMSK [7:0]	7:0	R / W	Extended Interrupt Register #13 Mask 0： Extended Interrupt Register #13 の割り込みをマスクします。 1： Extended Interrupt Register #13 の割り込みを許可します。	0x00
EIEMSK [7:0]	7:0	R / W	Extended Interrupt Register #14 Mask 0： Extended Interrupt Register #14 の割り込みをマスクします。 1： Extended Interrupt Register #14	0x00

			の割り込みを許可します。	
EIFMSK [7:0]	7:0	R / W	Extended Interrupt Register #15 Mask 0： Extended Interrupt Register #15 の割り込みをマスクします。 1： Extended Interrupt Register #15 の割り込みを許可します。	0x00

4．1．7 TMDS Receiver Configuration Register Set TMDS レシーバー制御レジスタ

TMDS レシーバーの特性を制御するためのレジスタです。
これらのレジスタは通常初期化時にのみ使用され、動作中は使用しません。

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	default
0x60	0x80-BF	※通常設定不要								

4.1.8 Clock Frequency Detection Register: クロック周波数検出

Clock Frequency Detection Register #1

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xC0	Reserved	PCLKFQ [2:0]			Reserved	TCLKFQ [2:0]			—

クロック周波数の検知結果を格納します。 （クロック周波数検知パラメータを参照下さい）

Field	Bit	Type	Description	Default
Reserved	7	R	Reserved	0
PCLKFQ [2:0]	6:4	R	Pixel clock frequency 検知したピクセルクロックの周波数を示します。 000: 未検出 001: PDTTHA で設定される周波数以下 （デフォルト 0 MHz ～ 44 MHz） 010: PDTTHA ～ PDTTHB で設定される周波数 （デフォルト 44 MHz ～ 65.7 MHz） 011: PDTTHB～PDTTHC で設定される 周波数 （デフォルト 65.7 MHz ～ 92 MHz） 100: PDTTHC ～ PDTTHD で設定される 周波数 （デフォルト 92 MHz ～ 190 MHz） 101: PDTTHD ～ PDTTHE で設定される 周波数 （デフォルト 190 MHz ～ 350 MHz） 110: PDTTHE で設定される周波数以上 （デフォルト 350 MHz ～） Other： リザーブ	—
Reserved	3	R	Reserved	0
TCLKFQ [2:0]	2:0	R	TMDS clock frequency 検知した TMDS クロックの周波数を示します。 000: 未検出 001: FDTTHA で設定される周波数以下 （デフォルト 0 MHz ～ 20 MHz） 010: FDTTHA～FDTTHB で設定される 周波数 （デフォルト 20 MHz ～ 45 MHz） 011: FDTTHB～FDTTHC で設定される 周波数 （デフォルト 45 MHz ～ 85.5 MHz） 100: FDTTHC～FDTTHD で設定される 周波数 （デフォルト 85.5 MHz ～ 123 MHz） 101: FDTTHD～FDTTHE で設定される 周波数 （デフォルト 123 MHz ～ 196 MHz） 110: FDTTHE～FDTTHF で設定される 周波数 （デフォルト 196 MHz ～ 350 MHz） 111: FDTTHF で設定される周波数以上 （デフォルト 350 MHz～）	—

Clock Frequency Detection Register #2

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xC1	PSETEN	PFQSET [2:0]			TSETEN	TFQSET [2:0]			0x00

クロック周波数の検知結果をレジスタ設定値に切り替えます。

Field	Bit	Type	Description	Default
PSETEN	7	R / W	PFQSET enable 強制的にピクセルクロックの検知結果を設定します。 0: 自動検出 (デフォルト) 1: 強制的に PFQSET を設定	0
PFQSET [2:0]	6:4	R / W	Pixel clock frequency set PSETEN = 1 のとき、強制的にピクセルクロックの周波数検知結果を設定します。	000
TSETEN	3	R / W	TFQSET enable 強制的に TMDS クロックの検知結果を設定します。 0: 自動検出 (デフォルト) 1: 強制的に TFQSET を設定	0
TFQSET [2:0]	2:0	R / W	TMDS clock frequency set TSETEN = 1 のとき、強制的に TMDS クロックの周波数検知結果を設定します。	000

Clock Frequency Detection Register #3

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xC2	Reserved							CFDPG	0x00

クロック周波数検知パラメータ設定レジスタのページを設定します。

Field	Bit	Type	Description	Default
Reserved	7:1	R / W	Reserved	0x00
CFDPG	0	R / W	Clock Frequency Detection Register Page アドレス 0x60:0xC4〜0x60:0xEF には、複数のレジスタが割り当てられています。これらのレジスタは、当レジスタの設定にて切替られます。 0： ページ 0 (デフォルト) 1： ページ 1	0

Clock Frequency Detection Parameter Register

各種パラメータを設定します。
※0x60:0xC2 bit0 CFDPG の設定により同一アドレスに複数のレジスタが割り当てられています。

CFDPG	Slave Addr	Offset Addr	7	6	5	4	3	2	1	0
0	0x60	0xC4	FDTTHM[3:0]				FCHTHM[3:0]			
	0x60	0xC5	PDTTHM[3:0]				PCHTHM[3:0]			
	0x60	0xC6	Reserved	HFQDTH [2:0]			Reserved	LFQDTH [2:0]		
	0x60	0xC7	Reserved							
	0x60	0xC8	MAXTCC[7:0]							
	0x60	0xC9	MAXTCC[15:8]							
	0x60	0xCA	Reserved	MAXTCC [22:16]						
	0x60	0xCB	Reserved							
	0x60	0xCC	FCHGTH [7:0]							
	0x60	0xCD	FCHGTH [15:8]							
	0x60	0xCE	FCHGTH [23:16]							
	0x60	0xCF	Reserved							
	0x60	0xD0	FDTTHA[7:0]							
	0x60	0xD1	FDTTHA[15:8]							
	0x60	0xD2	FDTTHA[23:16]							
	0x60	0xD3	Reserved							
	0x60	0xD4	FDTTHB[7:0]							
	0x60	0xD5	FDTTHB[15:8]							
	0x60	0xD6	FDTTHB[23:16]							
	0x60	0xD7	Reserved							
	0x60	0xD8	FDTTHC[7:0]							
	0x60	0xD9	FDTTHC[15:8]							
	0x60	0xDA	FDTTHC[23:16]							
	0x60	0xDB	Reserved							
	0x60	0xDC	FDTTHD[7:0]							
	0x60	0xDD	FDTTHD[15:8]							
	0x60	0xDE	FDTTHD[23:16]							
	0x60	0xDF	Reserved							
	0x60	0xE0	FDTTHE[7:0]							
	0x60	0xE1	FDTTHE[15:8]							
	0x60	0xE2	FDTTHE[23:16]							
	0x60	0xE3	Reserved							
	0x60	0xE4	FDTTHF[7:0]							
	0x60	0xE5	FDTTHF[15:8]							
	0x60	0xE6	FDTTHF[23:16]							
	0x60	0xE7	Reserved							

	0x60	0xE8	PCHGTH[7:0]
	0x60	0xE9	PCHGTH[15:8]
	0x60	0xEA	PDTTHA[7:0]
	0x60	0xEB	PDTTHA[15:8]
	0x60	0xEC	PDTTHB[7:0]
	0x60	0xED	PDTTHB[15:8]
	0x60	0xEE	PDTTHC[7:0]
	0x60	0xEF	PDTTHC[15:8]
	0x60	0xF0	PDTTHD[7:0]
	0x60	0xF1	PDTTHD[15:8]
	0x60	0xF2	PDTTHE[7:0]
	0x60	0xF3	PDTTHE[15:8]

CFDPG	Slave Addr	Offset Addr	7	6	5	4	3	2	1	0
1	0x60	0xC4-C7	Reserved							
	0x60	0xC8	MAXHCC[7:0]							
	0x60	0xC9	MAXHCC[15:8]							
	0x60	0xCA-CB	Reserved							
	0x60	0xCC	TCKTHRT[7:0]							
	0x60	0xCD	TCKTHRT[15:8]							
	0x60	0xCE	Reserved				TCKTHRT[19:16]			
	0x60	0xCF	Reserved							
	0x60	0xD0	TCKTHRB[7:0]							
	0x60	0xD1	TCKTHRB[15:8]							
	0x60	0xD2	Reserved				TCKTHRB[19:16]			
	0x60	0xD3	Reserved							
	0x60	0xD4	P0TCC[7:0]							
	0x60	0xD5	P0TCC[15:8]							
	0x60	0xD6	Reserved				P0TCC[19:16]			
	0x60	0xD7	Reserved							
	0x60	0xD8	P1TCC[7:0]							
	0x60	0xD9	P1TCC[15:8]							
	0x60	0xDA	Reserved				P1TCC[19:16]			
	0x60	0xDB-E7	Reserved							
	0x60	0xE8	PCKC[7:0]							
	0x60	0xE9	PCKC[15:8]							
	0x60	0xEA	Reserved				PCKC[19:16]			
	0x60	0xEB	Reserved							
	0x60	0XEC	HPRRT2[7:0]							
	0x60	0xED	HPRRT1[5:0]						HPRRT2[9:8]	
	0x60	0xEE	Reserved				HPRRT0[1:0]		HPRRT1[7:6]	
	0x60	0xEF-F3	Reserved							

Clock Frequency Detection Parameter Register (CFDPG=0) #1

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xC4	FDTTHM [3:0]				FCHTHM [3:0]				0x22

TMDS クロック周波数検知時のフィルタの時定数を設定します。

Field	Bit	Type	Description	Default
FDTTHM [3:0]	7:4	R/W	TMDS Clock Frequency Detect Threshold for Median Filter 何回連続して同じ値が続くとTMDSクロック周波数を検知するか、を設定します。 0000： 1 回 0001： 2 回 0010： 4 回 0011： 8 回 0100： 12 回 0101： 16 回 0110： 32 回 0111： 48 回 1000： 64 回 1001： 80 回 1010： 96 回 1011： 112 回 1100： 128 回 1101： 256 回 1110： 384 回 1111： 511 回	0x2
FCHTHM [3:0]	3:0	R/W	TMDS Clock Frequency Change Detect Threshold for Median Filter 何回連続して TMDS クロック周波数が異なると周波数の変化点と見なすか、を設定します。 0000： 1 回 0001： 2 回 0010： 4 回 0011： 8 回 0100： 12 回 0101： 16 回 0110： 32 回 0111： 48 回 1000： 64 回 1001： 80 回 1010： 96 回 1011： 112 回 1100： 128 回 1101： 256 回 1110： 384 回 1111： 511 回	0x2

Clock Frequency Detection Parameter Register (CFDPG=0) #2

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xC5	PDTTHM [3:0]				PCHTHM [3:0]				0x22

ピクセルクロック周波数検知時のフィルタの時定数を設定します。

Field	Bit	Type	Description	Default
PDTTHM [3:0]	7:4	R/W	Pixel Clock Frequency Detect Threshold for Median Filter 何回連続して同じ値が続くとピクセルクロック周波数を検知するか、を設定します。 0000： 1 回 0001： 2 回 0010： 4 回 0011： 8 回 0100： 12 回 0101： 16 回 0110： 32 回 0111： 48 回 1000： 64 回 1001： 80 回 1010： 96 回 1011： 112 回 1100： 128 回 1101： 256 回 1110： 384 回 1111： 511 回	0x2
PCHTHM [3:0]	3:0	R/W	Pixel Clock Frequency Change Detect Threshold for Median Filter 何回連続してピクセルクロック周波数が異なると周波数の変化点と見なすか、を設定します。 0000： 1 回 0001： 2 回 0010： 4 回 0011： 8 回 0100： 12 回 0101： 16 回 0110： 32 回 0111： 48 回 1000： 64 回 1001： 80 回 1010： 96 回 1011： 112 回 1100： 128 回 1101： 256 回 1110： 384 回 1111： 511 回	0x2

Clock Frequency Detection Parameter Register (CFDPG=0) #3

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xC6	Reserved	HFQDTH [2:0]			Reserved	LFQDTH [2:0]			0x51

TMDS クロックの周波数検知時の上限周波数と下限周波数を設定します。

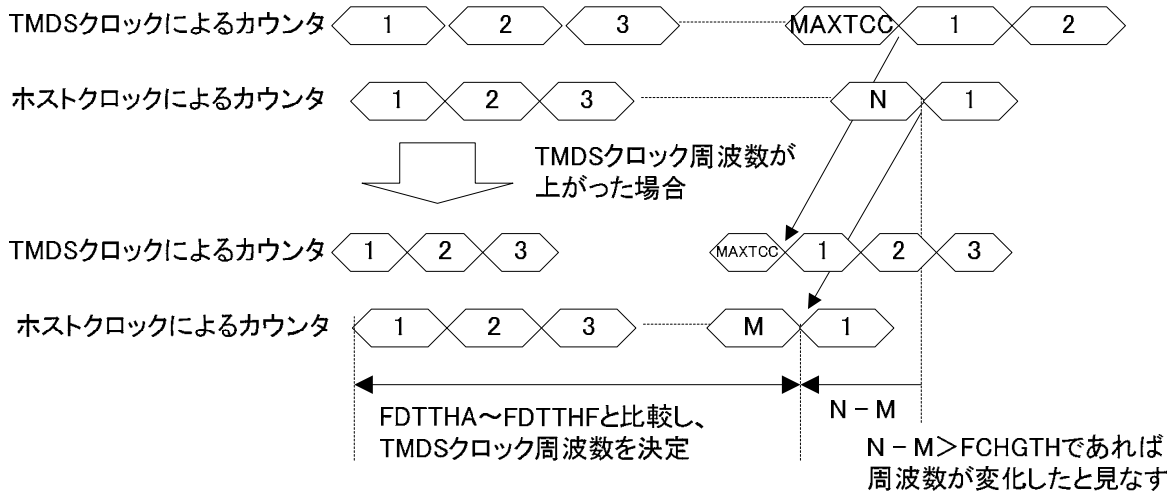
Field	Bit	Type	Description	Default
Reserved	7	R / W	Reserved	0
HFQDTH [2:0]	6:4	R / W	High Frequency Detect Threshold TMDS クロックが設定した周波数 HFQDTH より大きい場合に割り込み HFQDET を発生させます。 000: 周波数の検出をしない 001: FDTTHA で設定される周波数以上 (デフォルト 20 MHz～) 010: FDTTHB で設定される周波数以上 (デフォルト 45 MHz～) 011: FDTTHC で設定される周波数以上 (デフォルト 85.5 MHz～) 100: FDTTHD で設定される周波数以上 (デフォルト 123 MHz～) 101: FDTTHE で設定される周波数以上 (デフォルト 196 MHz～) 110: FDTTHF で設定される周波数以上 (デフォルト 350 MHz～) Other: リザーブ	101
Reserved	3	R / W	Reserved	0
LFQDTH [2:0]	2:0	R / W	Lower Frequency Detect Threshold TMDS クロックが設定した周波数 LFQDTH より小さい場合に割り込み LFQDET を発生させます。 000: 周波数の検出をしない 001: FDTTHA で設定される周波数以下 (デフォルト ～20 MHz) 010: FDTTHB で設定される周波数以下 (デフォルト ～45 MHz) 011: FDTTHC で設定される周波数以下 (デフォルト ～85.5 MHz) 100: FDTTHD で設定される周波数以下 (デフォルト ～123 MHz) 101: FDTTHE で設定される周波数以下 (デフォルト ～196 MHz) 110: FDTTHF で設定される周波数以下 (デフォルト ～350 MHz) Other: リザーブ	001

Clock Frequency Detection Parameter Register (CFDPG=0) #4

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xC8	MAXTCC[7:0]								0x00
0x60	0xC9	MAXTCC[15:8]								0x00
0x60	0xCA		MAXTCC[22:16]							0x01

TMDS **クロック周波数を検知する際の、最小検知単位を設定します。**

Field	Bit	Type	Description	Default
MAXTCC [22:0]	22:0	R / W	Max TMDS Clock Counter using TMDS Clock TMDS **クロックによる** TMDS **クロック周波数検出用のカウンタの最大値を設定します。**	0x010000



Clock Frequency Detection Parameter Register (CFDPG=0) #5

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xCC	FCHGTH [7:0]								0x21
0x60	0xCD	FCHGTH [15:8]								0x00
0x60	0xCE	FCHGTH [23:0]								0x00

TMDS クロック周波数を検知する際の、周波数変化検出のしきい値を設定します。

Field	Bit	Type	Description	Default
FCHGTH [23:0]	23:0	R / W	TMDS Clock Frequency Change Detect Threshold using Host Clock ホストクロックによる TMDS クロック周波数の変化検出用のカウンタのしきい値を設定します。	0x000021

Clock Frequency Detection Parameter Register (CFDPG=0) #6

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xD0	FDTTHA[7:0]								0x9A
0x60	0xD1	FDTTHA [15:8]								0x59
0x60	0xD2	FDTTHA [23:8]								0x01
0x60	0xD3	Reserved								0x00
0x60	0xD4	FDTTHB [7:0]								0x9A
0x60	0xD5	FDTTHB[15:8]								0x99
0x60	0xD6	FDTTHB[23:8]								0x00
0x60	0xD7	Reserved								0x00
0x60	0xD8	FDTTHC[7:0]								0xD8
0x60	0xD9	FDTTHC [15:8]								0x50
0x60	0xDA	FDTTHC [23:8]								0x00
0x60	0xDB	Reserved								0x00
0x60	0xDC	FDTTHD [7:0]								0x32
0x60	0xDD	FDTTHD[15:8]								0x38
0x60	0xDE	FDTTHD[23:8]								0x00
0x60	0xDF	Reserved								0x00
0x60	0xE0	FDTTHE [7:0]								0x44
0x60	0xE1	FDTTHE[15:8]								0x23
0x60	0xE2	FDTTHE [23:8]								0x00
0x60	0xE3	Reserved								0x00
0x60	0xE4	FDTTHF [7:0]								0xC0
0x60	0xE5	FDTTHF[15:8]								0x13
0x60	0xE6	FDTTHF [23:8]								0x00
0x60	0xE7	Reserved								0x00

TMDS クロック周波数を検知する際の、周波数検出範囲のしきい値を設定します。

Field	Bit	Type	Description	Default
FDTTHA [23:0]	23:0	R / W	TMDS Clock Frequency Detect Threshold A using Host Clock ホストクロックによる TMDS クロック周波数検出用のカウンタのしきい値を設定します。 このレジスタには 20 MHz 相当のしきい値を設定します。	0x01599A
FDTTHB [23:0]	23:0	R / W	TMDS Clock Frequency Detect Threshold B using Host Clock ホストクロックによる TMDS クロック周波数検出用のカウンタのしきい値を設定します。 このレジスタには 45 MHz 相当のしきい値を設定します。	0x00999A
FDTTHC [23:0]	23:0	R / W	TMDS Clock Frequency Detect Threshold C using Host Clock ホストクロックによる TMDS クロック周波数検出用のカウンタのしきい値を設定します。 このレジスタには 85.5 MHz 相当のしきい値を設定します。	0x0050D8

FDTTHD [23:0]	23:0	R / W	TMDS Clock Frequency Detect Threshold D using Host Clock ホストクロックによる TMDS クロック周波数検出用のカウンタのしきい値を設定します。 このレジスタには 123 MHz 相当のしきい値を設定します。	0x003832
FDTTHE [23:0]	23:0	R / W	TMDS Clock Frequency Detect Threshold E using Host Clock ホストクロックによる TMDS クロック周波数検出用のカウンタのしきい値を設定します。 このレジスタには 196 MHz 相当のしきい値を設定します。	0x002344
FDTTHF [23:0]	23:0	R / W	TMDS Clock Frequency Detect Threshold F using Host Clock ホストクロックによる TMDS クロック周波数検出用のカウンタのしきい値を設定します。 このレジスタには 350 MHz 相当のしきい値を設定します。	0x0013C0

ホストクロックによる TMDS クロック周波数検出用のカウンタのしきい値を設定します。ホストクロックの周波数を f [Hz]とすると、カウンタの最大値 MAXTCC，レジスタ値 r としきい値周波数 Ftとの間に以下の関係があります。

$$r = (MAXTCC / Ft) \times f$$

f = 27 MHz， MAXTCC＝65536 の時

Ft ＝ 20 MHz ： FDTTHA ＝(65536 ／ 20) × 27 ＝ 88474 ＝ 0x01599A
Ft ＝ 45 MHz ： FDTTHB ＝(65536 ／ 45) × 27 ＝ 39322 ＝ 0x00999A
Ft ＝ 85.5 MHz： FDTTHC ＝(65536 ／ 85.5) × 27 ＝ 20696 ＝ 0x0050D8
Ft ＝ 123 MHz ： FDTTHD ＝(65536 ／ 123) × 27 ＝ 14386 ＝ 0x003832
Ft ＝ 196 MHz ： FDTTHE ＝(65536 ／ 196) × 27 ＝ 9028 ＝ 0x002344
Ft ＝ 350 MHz ： FDTTHF ＝(65536 ／ 350) × 27 ＝ 5056 ＝ 0x0013C0

なお、0＜FDTTHF－FCHGTH＜FDTTHF＜FDTTHE＜FDTTHD＜FDTTHC＜FDTTHB＜FDTTHA＜FDTTHA＋FCHGTH＜25'h1000000 でなければなりません。

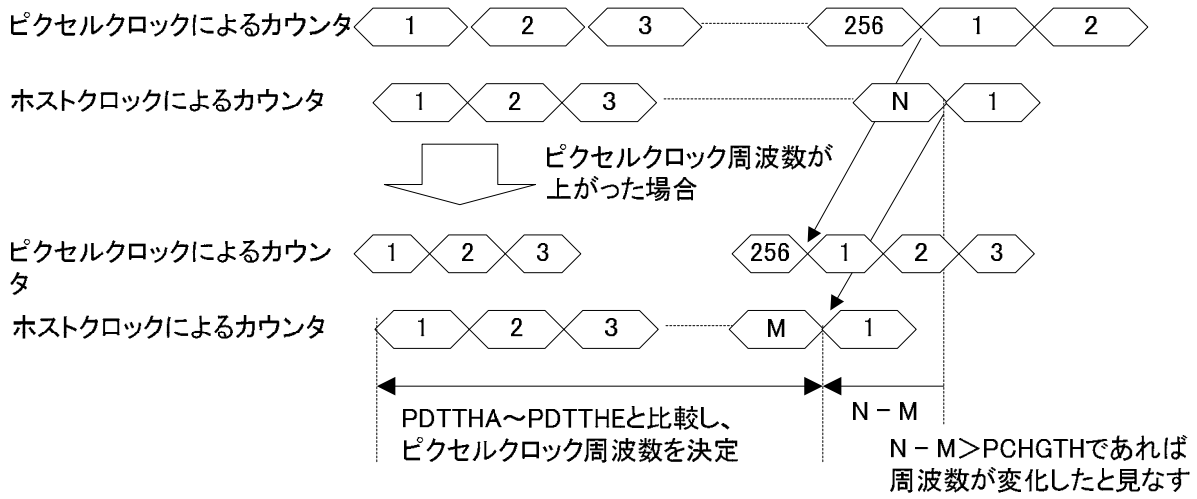
Clock Frequency Detection Parameter Register (CFDPG=0) #7

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xE8	PCHGTH [7:0]								0x80
0x60	0xE9	PCHGTH [15:8]								0x00

ピクセルクロック周波数を検知する際の、周波数変化検出のしきい値を設定します。

Field	Bit	Type	Description	Default
PCHGTH [15:0]	15:0	R / W	Pixel Clock Frequency Change Detect Threshold using Host Clock **ホストクロックによるピクセルクロック周波数の変化点検出用のカウンタのしきい値を設定します。**	0x0080

ホストクロックに応じて最適値を設定して下さい (0x60:0xFA=0x01 **を設定して下さい**)。
ホストクロック 12 MHz **以上での推奨値**: 0x0080



Clock Frequency Detection Parameter Register (CFDPG=0) #8

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xEA	PDTTHA[7:0]								0x46
0x60	0xEB	PDTTHA [15:8]								0x27
0x60	0xEC	PDTTHB[7:0]								0x4E
0x60	0xED	PDTTHB [15:8]								0x1A
0x60	0xEE	PDTTHC[7:0]								0xC9
0x60	0xEF	PDTTHC [15:8]								0x12
0x60	0xF0	PDTTHD[7:0]								0x19
0x60	0xF1	PDTTHD[15:8]								0x09
0x60	0xF2	PDTTHE[7:0]								0xF0
0x60	0xF3	PDTTHE[15:8]								0x04

ピクセルクロック周波数を検知する際の、周波数検出範囲のしきい値を設定します。

Field	Bit	Type	Description	Default
PDTTHA [15:0]	15:0	R / W	Pixel Clock Frequency Detect Threshold A using Host Clock ホストクロックによるピクセルクロック周波数検出用のカウンタのしきい値を設定します。 このレジスタには 44 MHz 相当のしきい値を設定します。	0x2746
PDTTHB [15:0]	15:0	R / W	Pixel Clock Frequency Detect Threshold B using Host Clock ホストクロックによるピクセルクロック周波数検出用のカウンタのしきい値を設定します。 このレジスタには 65.7 MHz 相当のしきい値を設定します。	0x1A4E
PDTTHC [15:0]	15:0	R / W	Pixel Clock Frequency Detect Threshold C using Host Clock ホストクロックによるピクセルクロック周波数検出用のカウンタのしきい値を設定します。 このレジスタには 92 MHz 相当のしきい値を設定します。	0x12C9
PDTTHD [15:0]	15:0	R / W	Pixel Clock Frequency Detect Threshold D using Host Clock ホストクロックによるピクセルクロック周波数検出用のカウンタのしきい値を設定します。 このレジスタには 190 MHz 相当のしきい値を設定します。	0x0919
PDTTHE [15:0]	15:0	R / W	Pixel Clock Frequency Detect Threshold E using Host Clock ホストクロックによるピクセルクロック周波数検出用のカウンタのしきい値を設定します。 このレジスタには 350 MHz 相当のしきい値を設定します。	0x04F0

	製品仕様書	MN864773A	
		全ページ	ページ
		ー	123

ホストクロックによるピクセルクロック周波数検出用のカウンタのしきい値を設定します。ホストクロックの周波数を f [Hz]とすると、カウンタの最大値 16384，レジスタ値 r としきい値周波数 Ftとの間に以下の関係があります（0x60:0xFA=0x01 を設定して下さい）。

r ＝ （16384／ Ft） × f

f = 27 MHz の時

Ft ＝ 44 MHz ： PDTTHA ＝（16384 ／ 44 ）× 27 ＝ 10054 ＝ 0x2746
Ft ＝ 65.7 MHz ： PDTTHB ＝（16384 ／ 65.7 ）× 27 ＝ 6734 ＝ 0x1A4E
Ft ＝ 92 MHz ： PDTTHC ＝（16384 ／ 92 ）× 27 ＝ 4809 ＝ 0x12C9
Ft ＝ 190 MHz ： PDTTHD ＝（16384 ／ 190 ）× 27 ＝ 2329 ＝ 0x0919
Ft ＝ 350 MHz ： PDTTHE ＝（16384 ／ 350 ）× 27 ＝ 1264 ＝ 0x04F0

なお、0＜PDTTHE－PCHGTH＜PDTTHE＜PDTTHD＜PDTTHC＜PDTTHB＜PDTTHA＜PDTTHA＋PCHGTH＜17'h10000 でなければなりません。

2010-09-10	
制 定	改 正

Clock Frequency Detection Parameter Register (CFDPG=1) #1

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xC8	MAXHCC[7:0]								0x78
0x60	0xC9	MAXHCC[15:8]								0x69

TMDS クロック周波数を検知する際の、最小検知単位を設定します。

Field	Bit	Type	Description	Default
MAXHCC [15:0]	15:0	R/W	Max Host Clock Counter using TMDS Clock ホストクロックによる TMDS クロック周波数検出用のカウンタの最大値を設定します。	0x6978

TMDS クロック周波数の検知単位を設定します。
ホストクロック：27 MHz の時、検知周期：1 ms にしたい場合は、下記のように設定します。

$$(27 \times 10^{6}) \ / \ (1 / 1 \times 10^{-3}) = 27000 = 0x6978$$

Clock Frequency Detection Parameter Register (CFDPG=1) #2

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xCC	TCKTHRT[7:0]								0x70
0x60	0xCD	TCKTHRT[15:8]								0x82
0x60	0xCE	Reserved				TCKTHRT[19:16]				0x03
0x60	0xCF	Reserved								0x00
0x60	0xD0	TCKTHRB [7:0]								0x20
0x60	0xD1	TCKTHRB[15:8]								0x4E
0x60	0xD2	Reserved				TCKTHRB[19:16]				0x00

TMDS クロック周波数を検知する際の、上限/下限のカウンター値を設定します。

Field	Bit	Type	Description	Default
TCKTHRT [19:0]	19:0	R/W	Threshold Top Value to detect TMDS Clock TMDS クロック周波数の最大値を設定します。	0x38270
TCKTHRB [19:0]	19:0	R/W	Threshold Bottom Value to detect TMDS Clock TMDS クロック周波数の最小値を設定します。	0x04E20

P0TCC の値が TCKTHRT の値を上回った場合、P0TCKHFQDET 割込み、
P1TCC の値が TCKTHRT の値を上回った場合、P1TCKHFQDET 割込みが発生します。

P0TCC の値が TCKTHRT の値を上回るか下回った場合、P0TCKDCH 割込み、
P1TCC の値が TCKTHRT の値を上回るか下回った場合、P1TCKDCH 割込みが発生します。

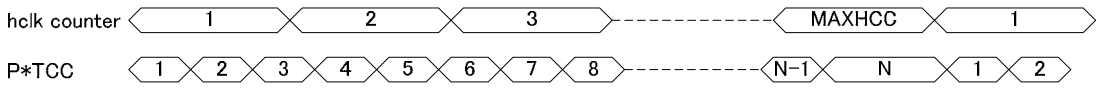
Clock Frequency Detection Parameter Register (CFDPG=1) #3

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xD4	P0TCC[7:0]								—
0x60	0xD5	P0TCC[15:8]								—
0x60	0xD6	Reserved				P0TCC[19:16]				0x0—
0x60	0xD7	Reserved								0x00
0x60	0xD8	P1TCC[7:0]								—
0x60	0xD9	P1TCC [15:8]								—
0x60	0xDA	Reserved				P1TCC [19:16]				0x0—
0x60	0xDB	Reserved								0x00

TMDS クロック周波数のカウンター値を示します。

Field	Bit	Type	Description	Default
P0TCC [19:0]	19:0	R	**Port0 TMDS Clock Counter Value** ポート0の TMDS クロックでカウントした値を示します。	—
P1TCC [19:0]	19:0	R	**Port1 TMDS Clock Counter Value** ポート1の TMDS クロックでカウントした値を示します。	—

ホストクロックで MAXHCC までカウントするまでの期間、TMDS クロックでカウントしたカウント値を示します。
下記の図の場合、N の値がリードできます。



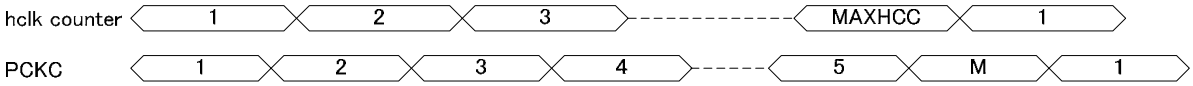
Clock Frequency Detection Parameter Register (CFDPG=1) #4

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xE8	PCKC[7:0]								―
0x60	0xE9	PCKC [15:8]								―
0x60	0xEA	Reserved				PCKC [19:16]				0x0―

ピクセルクロック周波数のカウンター値を示します。

Field	Bit	Type	Description	Default
PCKC [19:0]	19:0	R	Pixel Clock Counter Value ピクセルクロックでカウントした値を示します。	―

ホストクロックで MAXHCC までカウントするまでの期間、ピクセルクロックでカウントした
カウント値を示します。
下記の図の場合、M の値がリードできます。



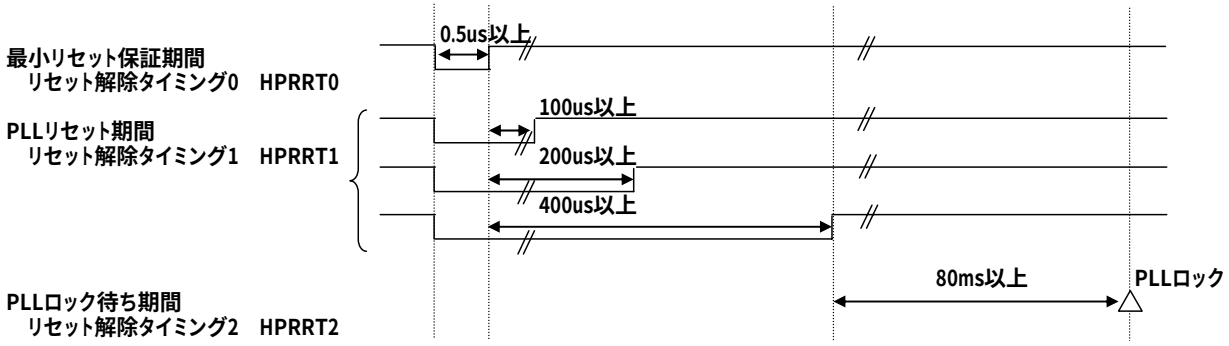
Clock Frequency Detection Parameter Register (CFDPG=1) #5

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xEC	HPRRT2[7:0]								0x8E
0x60	0xED	HPRRT1[5:0]						HPRRT2[9:8]		0x55
0x60	0xEE	Reserved				HPRRT0[1:0]		HPRRT1[7:6]		0x01

Audio 用 Hybrid PLL のリセットシーケンスの各リセット解除タイミングを設定します。

Field	Bit	Type	Description	Default
HPRRT2 [9:0]	9:0	R / W	Hybrid PLL Reset Release Timing 2 下の計算式にしたがって値を決定してください。	0x18E
HPRRT1 [7:0]	7:0	R / W	Hybrid PLL Reset Release Timing 1 下の計算式にしたがって値を決定してください。	0x55
HPRRT0 [1:0]	1:0	R / W	Hybrid PLL Reset Release Timing 0 下の計算式にしたがって値を決定してください。	0x0

Hybrid PLL のリセットシーケンスにおいて下図のタイミング制約があります。このタイミング制約に対して、3 つのパラメータをホストクロック周波数に応じて決定します。



ホストクロックの周波数を f [Hz]とすると、各パラメータは下記の式で計算できます。

リセット解除タイミング 0 (HPRRT0[1:0])は、 0.5[us] / (16 / f [Hz]) – 1
リセット解除タイミング 1 (HPRRT1[7:0])は、 100[us] / (32 / f [Hz])
リセット解除タイミング 2 (HPRRT2[9:0])は、 80[ms] / (32 / f [Hz] × HPRRT1) / 2
※小数点以下は切り上げて下さい。

f = 27 MHz の時の計算例 (レジスタ初期値)

HPRRT0: 0.5[us] / (16 / 27M[Hz]) -1 = 0 = 0x0
HPRRT1: 100[us] / (32 / 27M[Hz]) = 85 = 0x55
HPRRT2: 80[ms] / (32 / 27M[Hz] × 85) / 2 = 398 = 0x18E

4．1．9 Monitor Register Set モニタ用レジスタ

内部ノードをモニタするレジスタです。

Monitor Register #1

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xFC	ASTMON	Reserved		AVMMON	PCKMON [1:0]		DPCMON	LCKMON	—

内部ノードをモニタします。

Field	Bit	Type	Description	Default
ASTMON	7	R	Audio Mute Status Monitor Audio Mute Status が変化したときに 1 となります。	—
Reserved	6:5	R	Reserved	00
AVMMON	4	R	AVMUTE Moniter Set_AVMUTE 受信時に 1、Clear_AVMUTE 受信時に 0 となります。このビットは AVMRST=1 でクリアされます。	—
PCKMON [1:0]	3:2	R	Pixel Clock Select Monitor 0x60:0x10 bit3 APCKEN=1 の時、選択されているピクセルクロックを示します。 00: TMDS Clock (24 bit Normal) 01: TMDS Clock／1.25 (30 bit DeepColor) 10: TMDS Clock／1.5 (36 bit DeepColor) 11: TMDS Clock／2 (48 bit DeepColor)	—
DPCMON	1	R	Deep Color Mode Monitor GCP パケットの CD フィールドが≠0 の時、Deep Color へ移行し 1 となります。CD フィールドが 4 フィールドを越えて＝0、もしくは DPMRST=1 の時にクリアされます。	—
LCKMON	0	R	LOCKDT Monitor LOCKDT を出力します。	—

※ DVI / HDMI を自動検出した結果は BSTATUS レジスタの HDMI_MODE フィールドに格納されます。
詳細は HDCP 編を参照して下さい。

Monitor Register #2

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xFD	ACPDETS	GMTDETS	ASPDETS	ACRDETS	Reserved		P1V5MN	P0V5MN	—

Field	Bit	Type	Description	Default
ACPDETS	7	R	ACP Packet Detect. ACP パケットを受信しているときに 1 にセットされます。	—
GMTDETS	6	R	Gamut Metadata Packet Detect. Gamut Metadata パケットを受信しているときに 1 にセットされます。	—
ASPDETS	5	R	Audio Sample Packet Detect. Audio Sample Packet を受信しているときに 1 にセットされます。	—
ACRDETS	4	R	ACR Packet Detect. ACR パケットを受信しているときに 1 にセットされます。	—
Reserved	3:2	R	Reserved	00
P1V5MN	1	R	Port 1 5V Power Monitor ポート1の 5V Power をモニタします。	—
P0V5MN	0	R	Port 0 5V Power Monitor ポート0の 5V Power をモニタします。	—

Monitor Register #3

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x60	0xFE	Reserved		HVSDETS	DSDDETS	HBRDETS	Reserved	P1TCKDET	P0TCKDET	—

Field	Bit	Type	Description	Default
Reserved	7:6	R	Reserved	00
HVSDETS	5	R	HDMI Vendor Specific InfoFrame Packet Detect. HDMI Vendor Specific InfoFrame パケットを受信しているときに 1 にセットされます。	—
DSDDETS	4	R	One Bit Audio Sample Packet Detect. One Bit Audio Sample Packet を受信しているときに 1 にセットされます。	—
HBRDETS	3	R	High Bit Rate Audio Stream Packet Detect. HBR Packet を受信しているときに 1 にセットされます。	—
Reserved	2	R	Reserved	0
P1TCKDET	1	R	Port1 TMDS Clock Input Detect. ポート1へのクロック入力状態であるときに1にセットされます。	—
P0TCKDET	0	R	Port0 TMDS Clock Input Detect. ポート0へのクロック入力状態であるときに1にセットされます。	—

4．2 Slave Address 0x62： Video/Audio Control Registers ビデオ･オーディオ制御レジスタ

ビデオ信号，オーディオ信号の受信制御を行うためのレジスタ群です。

4．2．1 Video Format Detect and Control： ビデオフォーマット検出･制御

Video Format Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x00	DETVFM[7:0]								0x00

受信した映像信号のビデオフォーマットを検出します。検出はピクセルクロックが再生されている場合に行われます。

なお、接続開始時等でピクセルクロックが不安定な時、正しく検出できない場合があります。このような場合には、ピクセルクロックが安定化した後に、ソフトリセット 0x60:0x04 bit3 VIFRST=1 もしくは 0x62:0x30 bit2 VFMCLR=1→0 として、再度フォーマット検出を実行して下さい。

Field	Bit	Type	Description	Default
DETVFM [7:0]	7:0	R / W	Detected Video Format. 検出されたビデオフォーマットの値を格納します。 DETVFM は EIA/CEA-861E の VIC6-0 に準じます。 DETVFM=0x00 の場合は、ビデオフォーマットの検出が正常に行われなかったことを示します。 DETVFM とビデオフォーマット（検出条件）の関係は下記の通りです （検出範囲　水平：±16 ピクセル、垂直：±2 ライン）。	0x00

DETVFM	861E Format #	水平×垂直	水平有効×垂直有効	PCLKFQ [2:0]	PRGDET
0x00	Unknown	ー	ー	ー	ー
0x01	1	800× 525	ー	ー	ー
0x02	2 or 3	858× 525	ー	001	ー
0x04	4	1650× 750	ー	011	ー
0x05	5	2200×1125	ー	011	ー
0x06	6 or 7	1716× 525	ー	001	0
0x08	8 or 9	1716× 262	ー	ー	1
0x0a	10 or 11	3432× 525	ー	ー	0
0x0c	12 or 13	3432× 262	ー	ー	1
0x0e	14 or 15	1716× 525	ー	010	ー
0x10	16	2200×1125	ー	100	ー
0x11	17 or 18	864× 625	ー	001	ー
0x13	19	1980× 750	ー	011	ー
0x14	20	2640×1125	ー	011	ー
0x15	21 or 22	1728× 625	ー	001	0

0x17	23 or 24	1728× 312	ー	ー	1
0x19	25 or 26	3456× 625	ー	ー	0
0x1b	27 or 28	3456× 313	ー	ー	1
0x1d	29 or 30	1728× 625	ー	ー	ー
0x1f	31	2640×1125	ー	100	ー
0x20	32	2750×1125	ー	ー	ー
0x21	33	2640×1125	ー	011	ー
0x22	34	2200×1125	ー	011	ー
0x23	35 or 36	3432× 525	ー	ー	ー
0x25	37 or 38	3456× 625	ー	ー	ー
0x27	39	2304×1250	ー	ー	ー
0x28	40	2640×1125	ー	100	ー
0x29	41	1980× 750	ー	100	ー
0x2A	42 or 43	864× 625	ー	010	ー
0x2C	44 or 45	1728× 625	ー	010	ー
0x2E	46	2200×1125	ー	100	ー
0x2F	47	1650× 750	ー	100	ー
0x30	48 or 49	858× 525	ー	010	ー
0x32	50 or 51	1716× 525	ー	010	ー
0x34	52 or 53	864× 625	ー	100	ー
0x36	54 or 55	1728× 625	ー	100	ー
0x38	56 or 57	858× 525	ー	100	ー
0x3A	58 or 59	1716× 525	ー	100	ー
0x3C	60	3300× 750	ー	010	ー
0x3D	61	3960× 750	ー	ー	ー
0x3E	62	3300× 750	ー	011	ー

DETVFM	861E Format #	水平×垂直	水平有効 ×垂直有効	PCLKFQ [2:0]	PRGDET
0x81	VGA	ー	640× 480	ー	ー
0x82	WVGA	ー	800× 480	ー	ー
0x83	SVGA	ー	800× 600	ー	ー
0x84	WSVGA	ー	1024× 600	ー	ー
0x85	XGA	ー	1024× 768	ー	ー
0x86	WXGA	ー	1280× 768	ー	ー
0x87	WSXGA	ー	1280× 800	ー	ー
0x88	WXGA+	ー	1440× 900	ー	ー
0x89	QVGA	ー	1280× 960	ー	ー
0x8a	SXGA	ー	1280×1024	ー	ー
0x8b	SXGA+	ー	1400×1050	ー	ー
0x8c	WSXGA+	ー	1680×1050	ー	ー
0x8d	UXGA	ー	1600×1200	ー	ー
0x8e	WUXGA	ー	1920×1200	ー	ー
0x8f	QXGA	ー	2048×1536	ー	ー
0x90	QSXGA	ー	2560×2048	ー	ー
0x91	QSXGA+	ー	2800×2100	ー	ー
0x92	QUXGA	ー	3200×2400	ー	ー
0x93	ー	ー	640× 400	ー	ー
0x94	ー	ー	720× 400	ー	ー
0x95	ー	ー	848× 480	ー	ー
0x96	ー	ー	1360× 768	ー	ー

			DETVFM	861E Format #	水平×垂直	水平有効×垂直有効	PCLKFQ [2:0]	PRGDET	
			0xC1	720p 3D/60Hz	1650×1500	ー	ー	ー	
			0xC2	720p 3D/50Hz	1980×1500	ー	ー	ー	
			0xC7	1080p 3D/24Hz	2750×2250	ー	ー	ー	
			Others	Reserved	ー	ー	ー	ー	

1） 0x62:0x20〜0x27 SPTVFM に値が設定されている時

1 水平周期、1 垂直周期を検出し、その結果よりビデオフォーマットを決定します。1 水平周期、1 垂直周期が同じでピクセルクロック周波数が異なるフォーマットに対しては、0x60:0xC0 PCLKFQ および 0x62:0x08 PRGDET の結果と合わせてフォーマットを決定します。インターレースの場合は 1 フィールドのライン数（1 垂直周期/2）を検出しています。

EIA/CEA-861E フォーマットに対して、水平±16 ピクセル、垂直±2 ラインの範囲内ならフォーマットに一致したと判断します。1 水平周期、1 垂直周期の検出感度は、0x62:0x34 HVFNUM、VVFNUM で設定されます。

検出された 1 水平周期、1 垂直周期は，それぞれ 0x62:0x04〜0x07 DETHPE, DETVPE レジスタに格納されます。

2） 0x62:0x28〜0x2F SPTPFM に値が設定されている時

水平有効画素数、垂直有効画素数を検出し、その結果より DETVFM を決定します。上表に対して、水平±16 ピクセル、垂直±2 ラインの範囲内ならフォーマットに一致したと判断します。 水平有効画素数、垂直有効画素数の検出感度は、0x62:0x34 HVFNUM、VVFNUM で設定されます。

検出された時の 1 水平周期、1 垂直周期は，それぞれ 0x62:0x04〜0x07 DETHPE, DETVPE レジスタに格納されます。

3） 0x62:0x35〜0x37 SPTHFM に値が設定されている時

1 水平周期、1 垂直周期を検出し、その結果よりビデオフォーマットを決定します。HDMI Vendor Specific InfoFrame Packet で規定されるフォーマットに対して、水平±16 ピクセル、垂直±2 ラインの範囲内ならフォーマットに一致したと判断します。1 水平周期、1 垂直周期の検出感度は、0x62:0x34 HVFNUM、VVFNUM で設定されます。

検出された 1 水平周期、1 垂直周期は，それぞれ 0x62:0x04〜0x07 DETHPE, DETVPE レジスタに格納されます。

※ 1 水平周期、1 垂直周期はブランキングを含みます。
水平有効画素数、垂直有効画素数にはブランキングを含みません。

フォーマットの検知が完了すると、0x60:0x41 VFSUCS 割り込みが発生します。
フォーマット検知開始後 60Vsync 期間検知が完了しなければ、0x60:0x41 VFFAIL 割り込みが発生し DETVFM=0x00（unknown）となります（Vsync を受信していなければ、VFFAIL 割り込みは発生しません）。このような場合は、0x62:0x08 以降の CRRHPE, CRRVPE 等を用いてソフトウェアでフォーマットを検出して下さい。SPTVFM、 SPTPFM 、SPTHFM で設定できないフォーマットに関しても同様に、CRRHPE, CRRVPE 等を用いてソフトウェアでフォーマットを検出して下さい。

Horizontal / Vertical Period

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x04	DETHPE[7:0]								0x00
0x62	0x05	Reserved			DETHPE[12:8]					0x00
0x62	0x06	DETVPE[7:0]								0x00
0x62	0x07	Reserved				DETVPE[11:8]				0x00

検出された 1 水平周期、1 垂直周期の値を格納します。

Field	Bit	Type	Description	Default
DETHPE [12:0]	12:0	R / W	Detected Horizontal Period 検出された 1 水平周期の値（ピクセル数）を格納します。	0x000
DETVPE [11:0]	11:0	R / W	Detected Vertical Period 検出された 1 垂直周期の値（ライン数）を格納します。インターレース信号の場合、1 フレームのライン数が格納されます。	0x000

DETHPE、DETVPE より DETVFM が決定されます。

Current Sync

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x08	Reserved					PRGDET	CRRVPL	CRRHPL	0x00

現在の Hsync、Vsync の極性と、インターレース･プログレッシブの検知結果を格納します。

Field	Bit	Type	Description	Default
Reserved	7:3	R / W	Reserved	00000
PRGDET	2	R	Progressive Detection インターレース／プログレッシブの検知結果を示します 0: インターレース 1: プログレッシブ	0
CRRVPL	1	R	Current Active Vsync polarity. 現在の Vsync の極性を示します 0: Low Active 1: High Active	0
CRRHPL	0	R	Current Active Hsync polarity. 現在の Hsync の極性を示します 0: Low Active 1: High Active	0

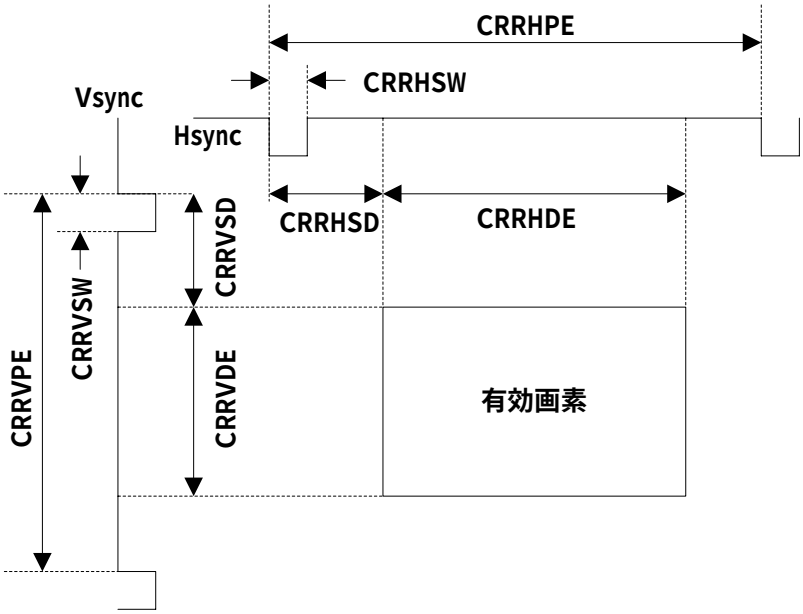
Current Horizontal / Vertical Period

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x10	CRRHPE[7:0]								0x00
0x62	0x11	Reserved			CRRHPE[12:8]					0x00
0x62	0x12	CRRVPE[7:0]								0x00
0x62	0x13	Reserved				CRRVPE[11:8]				0x00
0x62	0x14	CRRHSW[7:0]								0x00
0x62	0x15	Reserved							CRRHSW[8]	0x00
0x62	0x16	CRRVSW[7:0]								0x00
0x62	0x17	CRRVSW[15:8]								0x00
0x62	0x18	CRRHDE[7:0]								0x00
0x62	0x19	Reserved				CRRHDE[12:8]				0x00
0x62	0x1A	CRRVDE[7:0]								0x00
0x62	0x1B	Reserved				CRRVDE[11:8]				0x00
0x62	0x1C	CRRHSD[7:0]								0x00
0x62	0x1D	Reserved					CRRHSD[10:8]			0x00
0x62	0x1E	CRRVSD[7:0]								0x00
0x62	0x1F	Reserved								0x00

現在の1水平周期、1垂直周期の値を格納します。

Field	Bit	Type	Description	Default
CRRHPE [12:0]	12:0	R	Current Horizontal Period 現在の 1 水平周期のピクセル数を格納します。	0x0000
CRRVPE [11:0]	11:0	R	Current Vertical Period 現在の 1 垂直周期のライン数を格納します。 インターレース信号の場合、現在のフィールドのライン数が格納されます。	0x000
CRRHSW [8:0]	8:0	R	Current Hsync Width 現在の Hsync の幅 (ピクセル数) を格納します。	0x000
CRRVSW [15:0]	15:0	R	Current Vsync Width 現在の Vsync の幅 (ピクセル数) を格納します。	0x0000
CRRHDE [12:0]	12:0	R	Current Horizontal Data Enable Period 現在の DE の H 方向のピクセル数を格納します。	0x0000
CRRVDE [11:0]	11:0	R	Current Vertical Data Enable Period 現在の DE の V 方向のライン数を格納します。	0x000
CRRHSD [10:0]	10:0	R	Current Hsync -DE Period 現在の Hsync から DE までのピクセル数を格納します。	0x000
CRRVSD [7:0]	7:0	R	Current Vsync -DE Period 現在の Vsync から DE までのライン数を格納します。	0x00

現在受信している映像信号の水平ピクセル数、垂直ピクセル数等を格納します。
時間方向のフィルタリングは行わずに，計数した値をそのまま格納します。



Supported Video Format

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x20	SPTVFM [7: 0]								0x00
0x62	0x21	SPTVFM [15: 8]								0x00
0x62	0x22	SPTVFM [23:16]								0x00
0x62	0x23	SPTVFM [31:24]								0x00
0x62	0x24	SPTVFM [39:32]								0x00
0x62	0x25	SPTVFM [47:40]								0x00
0x62	0x26	SPTVFM [55:48]								0x00
0x62	0x27	SPTVFM [63:56]								0x00

DETVFM (0x62:0x00) で検出する EIA/CEA-861E のフォーマットを設定します。

Field	Bit	Type	Description	Default
SPTVFM [63:0]	63:0	R/W	Supported Video Format at Receiver. DETVFM で検出するビデオフォーマットを示します。各フォーマットに割り当てられた値の論理和で表記されます。	0x0000_0000_0000_0000

DETVFM で検出するビデオフォーマットは、以下の表のように割り当てられています。
SPTVFM には、サポートする各フォーマットに割り当てられた値の論理和を設定してください。

例） DETVFM でフォーマット#2, 3, 5, 17, 18, 20 を検出する時

SPTVFM = 0x0000_0000_0000_0002 or
0x0000_0000_0000_0008 or
0x0000_0000_0000_0400 or
0x0000_0000_0000_1000
= 0x0000_0000_0000_140A

SPTVFM	EIA/CEA-861E Format #
0x0000_0000_0000_0001	1
0x0000_0000_0000_0002	2 or 3
0x0000_0000_0000_0004	4
0x0000_0000_0000_0008	5
0x0000_0000_0000_0010	6 or 7
0x0000_0000_0000_0020	8 or 9
0x0000_0000_0000_0040	10 or 11
0x0000_0000_0000_0080	12 or 13
0x0000_0000_0000_0100	14 or 15
0x0000_0000_0000_0200	16
0x0000_0000_0000_0400	17 or 18
0x0000_0000_0000_0800	19
0x0000_0000_0000_1000	20
0x0000_0000_0000_2000	21 or 22
0x0000_0000_0000_4000	23 or 24
0x0000_0000_0000_8000	25 or 26

0x0000_0000_0001_0000	27 or 28
0x0000_0000_0002_0000	29 or 30
0x0000_0000_0004_0000	31
0x0000_0000_0008_0000	32
0x0000_0000_0010_0000	33
0x0000_0000_0020_0000	34
0x0000_0000_0040_0000	35 or 36
0x0000_0000_0080_0000	37 or 38
0x0000_0000_0100_0000	39
0x0000_0000_0200_0000	40
0x0000_0000_0400_0000	41
0x0000_0000_0800_0000	42 or 43
0x0000_0000_1000_0000	44 or 45
0x0000_0000_2000_0000	46
0x0000_0000_4000_0000	47
0x0000_0000_8000_0000	48 or 49
0x0000_0001_0000_0000	50 or 51
0x0000_0002_0000_0000	52 or 53
0x0000_0004_0000_0000	54 or 55
0x0000_0008_0000_0000	56 or 57
0x0000_0010_0000_0000	58 or 59
0x0000_0020_0000_0000	60
0x0000_0040_0000_0000	61
0x0000_0080_0000_0000	62
Other	Reserved

Supported PC Format

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x28	SPTPFM [7: 0]								0x00
0x62	0x29	SPTPFM [15: 8]								0x00
0x62	0x2A	SPTPFM [23:16]								0x00
0x62	0x2B	SPTPFM [31:24]								0x00
0x62	0x2C	SPTPFM [39:32]								0x00
0x62	0x2D	SPTPFM [47:40]								0x00
0x62	0x2E	SPTPFM [55:48]								0x00
0x62	0x2F	SPTPFM [63:56]								0x00

DETVFM (0x62:0x00) で検出する PC フォーマットを設定します。

Field	Bit	Type	Description	Default
SPTPFM [63:0]	63:0	R/W	Supported PC Format at Receiver. DETVFM で検出する PC フォーマットを示します。各フォーマットに割り当てられた値の論理和で表記されます。	0x0000_0000_0000_0000

DETVFM で検出する PC フォーマットは、以下の表のように割り当てられています。
SPTPFM には、サポートする各フォーマットに割り当てられた値の論理和を設定してください。

例） DETVFM = 0x81 と 0x8a を検出する時
SPTPFM = 0x0000_0000_0000_0001 or 0x0000_0000_0000_0200
= 0x0000_0000_0000_0201

SPTPFM	DETVFM	Format
0x0000_0000_0000_0001	0x81	VGA
0x0000_0000_0000_0002	0x82	WVGA
0x0000_0000_0000_0004	0x83	SVGA
0x0000_0000_0000_0008	0x84	WSVGA
0x0000_0000_0000_0010	0x85	XGA
0x0000_0000_0000_0020	0x86	WXGA
0x0000_0000_0000_0040	0x87	WSXGA
0x0000_0000_0000_0080	0x88	WXGA+
0x0000_0000_0000_0100	0x89	QVGA
0x0000_0000_0000_0200	0x8a	SXGA
0x0000_0000_0000_0400	0x8b	SXGA+
0x0000_0000_0000_0800	0x8c	WSXGA+
0x0000_0000_0000_1000	0x8d	UXGA
0x0000_0000_0000_2000	0x8e	WUXGA
0x0000_0000_0000_4000	0x8f	QXGA
0x0000_0000_0000_8000	0x90	QSXGA
0x0000_0000_0001_0000	0x91	QSXGA+
0x0000_0000_0002_0000	0x92	QUXGA
0x0000_0000_0004_0000	0x93	640×400
0x0000_0000_0008_0000	0x94	720×400
0x0000_0000_0010_0000	0x95	848×480

0x0000_0000_0020_0000	0x96	1360×768
Other	Reserved	

Mode Control

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x30	AUTADM	AUTVDM	ADMUTE	VDMUTE	AVMCTL	VFMCLR	DVISET [1:0]		0x00

Field	Bit	Type	Description	Default
AUTADM	7	R / W	Auto Audio Mute FRQCHG 割り込み (0x60:0x41 bit6) 発生時 (TMDS クロック周波数が変化した時)、オーディオ出力をミュートします。 0: 通常動作 (デフォルト) 1: FRQCHG 割り込み発生時に ADMUTE=1 を設定し、オーディオ出力をミュートします。ミュート解除は ADMUTE フィールドに 0 を書き込んで下さい。	0
AUTVDM	6	R / W	Auto Video Mute FRQCHG 割り込み (0x60:0x41 bit6) 発生時 (TMDS クロック周波数が変化した時)、ビデオ出力をミュートします。 0: 通常動作 (デフォルト) 1: FRQCHG 割り込み発生時に VDMUTE=1 を設定し、ビデオ出力をミュートします。ミュート解除は VDMUTE フィールドに 0 を書き込んで下さい。	0
ADMUTE	5	R / W	Audio Mute オーディオ出力をミュートします。 Clear_AVMUTE 時にも有効です。 0: 通常出力 (デフォルト) 1: オーディオミュート	0
VDMUTE	4	R / W	Video Mute ビデオ出力をミュートします。 Clear_AVMUTE 時にも有効です。 0: 通常出力 (デフォルト) 1: ビデオミュート	0
AVMCTL	3	R / W	AVMUTE Control. AVMUTE 時の動作を設定します 0: 送信側から送られる Set_AVMUTE, Clear_AVMUTE に従って、映像出力、音声出力を停止します。映像出力値はレジスタで設定された値になります。(デフォルト) 1: 送信側から送られる Set_AVMUTE, Clear_AVMUTE を無視します。	0

			Set_AVMUTE 受信時も、映像･音声は LSI より出力されます。	
VFMCLR	2	R / W	Video Format Clear. 自動検出したビデオフォーマットの検出結果を強制的にクリアし、再検出します。 0: デフォルト 1: ビデオフォーマットを再検出し、結果を DETVFM に格納する。	0
DVISET [1:0]	1:0	R / W	DVI / HDMI Set 強制的に DVI モードか HDMI モードに設定します。デフォルトは入力ビデオストリームから自動検出したモードになります。なお、自動検出したモードは HDCP の BSTATUS レジスタに格納されます。 00: 自動検出 (デフォルト) 01: 強制的に DVI へ設定 10: 強制的に HDMI へ設定 11: Reserved	00

Mode Control2

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x31	Reserved							AUT3DVM	0x00

Field	Bit	Type	Description	Default
AUT3DVM	0	R / W	Auto 3D Video Mute H3DNDET 割り込み (0x60:0x4e bit5) あるいは H3DDETP 割り込み(0x60:0x4e bit4)発生時、ビデオ出力をミュートします。 0: 通常動作 (デフォルト) 1: H3DNDET 割り込みあるいは H3DDETP 割り込み発生時に VDMUTE=1 を設定し、ビデオ出力をミュートします。ミュート解除は VDMUTE フィールドに 0 を書き込んで下さい。	0

Horizontal / Vertical Video Format Detect Number of pixel counter

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x34	VVFNUM [3:0]				HVFNUM [3:0]				0x4F

Field	Bit	Type	Description	Default
VVFNUM [3:0]	7:4	R / W	Vertical Video Format Detect Number of line counter 垂直ライン数の自動検出を行うために必要な内部カウンタの検出繰り返し回数を指定します。垂直ライン数が VVFNUM 回連続して同じ値となった時に、これを垂直ライン数として検知します。	0x4
HVFNUM [3:0]	3:0	R / W	Horizontal Video Format Detect Number of pixel counter 水平ピクセル数の自動検出を行うために必要な内部カウンタの検出繰り返し回数を指定します。水平ピクセル数が HVFNUM 回連続して同じ値となった時に、これを水平ピクセル数として検知します。	0xF

ビデオフォーマット検出の検出感度を設定します。値が大きい程、検出に時間を要します。
0x62:0x20〜0x28 SPTVFM、0x62:0x35〜0x37 SPTHFM に設定されたフォーマットに対しては、ブランキングを含む垂直周期、水平周期を検出する感度として使用されます。
0x62:0x28〜0x2F SPTPFM に設定されたフォーマットに対しては、ブランキングを含まない垂直有効画素数、水平有効画素数を検出する感度として使用されます。

Supported Video Format on HDMI Vendor Specific InfoFrame Packet

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x35	SPTHFM [7: 0]								0x00
0x62	0x36	SPTHFM [15: 8]								0x00
0x62	0x37	SPTHFM [23:16]								0x00

DETVFM (0x62:0x00) で検出する、HDMI Vendor Specific InfoFrame Packet で規定されたビデオフォーマットを設定します。

Field	Bit	Type	Description	Default
SPTHFM [23:0]	23:0	R/W	Supported Video Format at Receiver. DETVFM で検出するビデオフォーマットを示します。各フォーマットに割り当てられた値の論理和で表記されます。	0x00_00_00

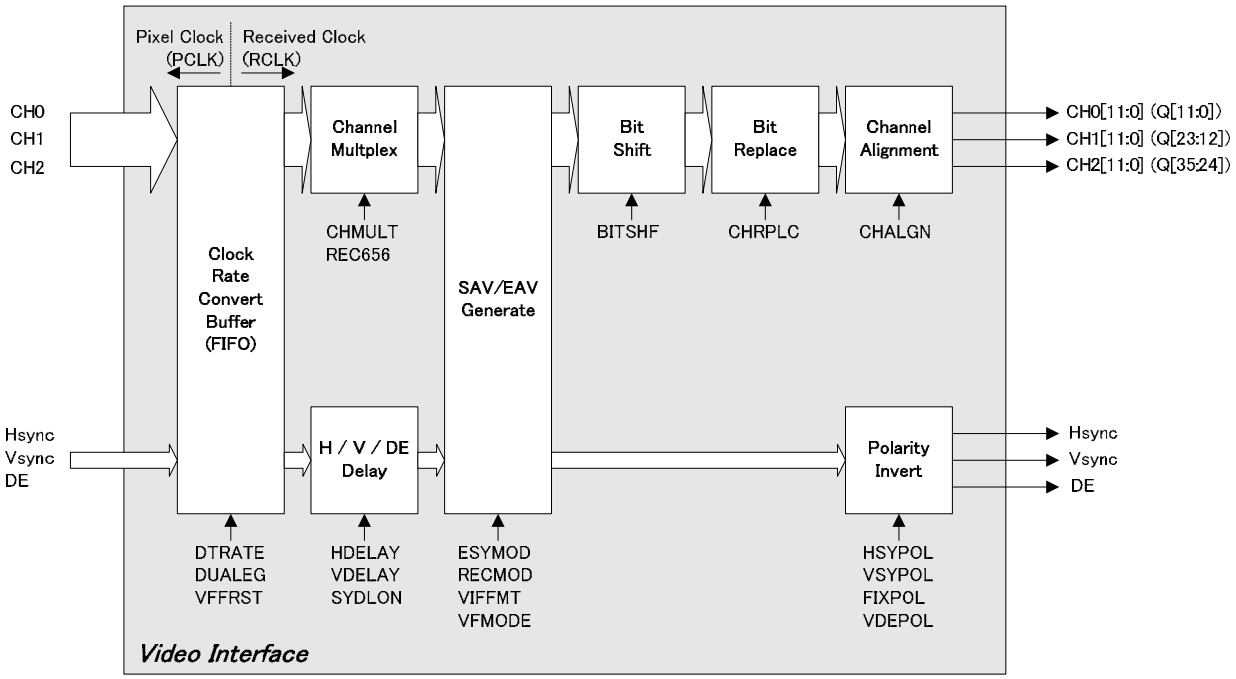
DETVFM で検出するビデオフォーマットは、以下の表のように割り当てられています。
SPTHFM には、サポートする各フォーマットに割り当てられた値の論理和を設定してください。

例） DETVFM で 720p 3D / 60Hz と 1080p 3D / 24Hz を検出する時
SPTHFM = 0x00_0001 or
0x00_0040
= 0x00_0041

SPTHFM	
0x00_0001	720p 3D / 60Hz
0x00_0002	720p 3D / 50Hz
0x00_0040	1080p 3D / 24Hz
Other	Reserved

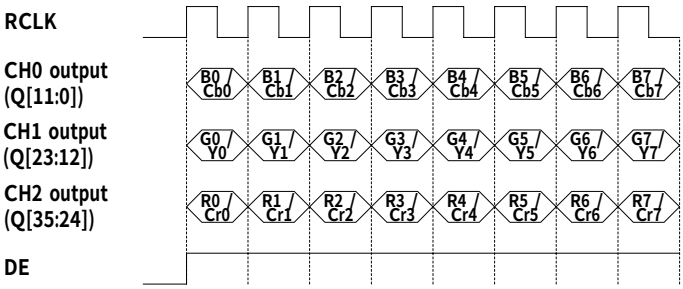
4．2．2 Video Interface Control Registers： ビデオインターフェース制御レジスタ

LSI より外部へ出力する信号形式を設定します。

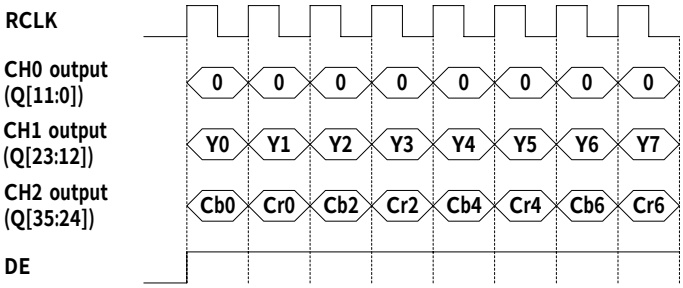


デフォルトでは以下のフォーマットで出力されます（ビデオインターフェースへの入力は 16 ビットですが、出力時に下位 4 ビットがカットされ 12 ビットになります）。

RGB / YCbCr444 の時



YCbCr422 の時



Video Output Control

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x38	Reserved		FIELDE	DEPOL	FIXPOL	VSYPOL	HSYPOL	VOUTEN	0x00

端子から出力する Hsync / Vsync / DE の極性を制御します。

Field	Bit	Type	Description	Default
Reserved	7:6	R / W	Reserved	00
FIELDE	5	R / W	Field ID output enable. DE ピンから Field ID を出力します。 0: DE ピンより DE を出力 (デフォルト) 1: DE ピンより Field ID を出力 第 1 フィールド (even) で 0、 第 2 フィールド (odd) で 1 となります。 DEPOL で極性を反転できます。	0
DEPOL	4	R / W	DE Polarity Control. DE ピンから出力される DE (Data Enable) の極性を制御します。 0: ビデオデータ時に 1、ブランキングで 0 1: ビデオデータ時に 0、ブランキングで 1 FIELDE=1 の時は、Field ID の極性を制御します。 0: 第1フィールド (even) で 0、 第2フィールド (odd) で 1 1: 第1フィールド (even) で 1、 第2フィールド (odd) で 0	0
FIXPOL	3	R / W	Fixed Hsync / Vsync Polarity HSYNC / VSYNC ピンから出力される HSYNC / VSYNC の極性を制御します。 0: HSYPOL, VSYPOL の設定に応じて、受信した Hsync、Vsync そのまま、または反転 (デフォルト) 1: HSYPOL, VSYPOL の設定に応じて、極性を固定	0
VSYPOL	2	R / W	VSYNC Polarity Control. VSYNC ピンから出力される VSYNC の極性を制御します。FIXPOL によって動作が異なります。 FIXPOL=0 の時 0: 受信した Vsync のまま (デフォルト) 1: 受信した Vsync を反転出力 FIXPOL=1 の時 0: Low Active 固定 1: High Active 固定	0

HSYPOL	1	R / W	HSYNC Polarity Control. HSYNC ピンから出力される HSYNC の極性を制御します。FIXPOL によって動作が異なります。 FIXPOL=0 の時 0: 受信した Hsync のまま (デフォルト) 1: 受信した Hsync を反転出力 FIXPOL=1 の時 0: Low Active 固定 1: High Active 固定	0
VOUTEN	0	R / W	Video Output Enable ビデオ出力を制御します。ビデオ信号を出力するには、1 をセットする必要があります。 また、出力データディセーブル設定時は、OUTM レジスタにて、HI-Z または、L ドライブ状態を選択可能です。 以下のビデオ系出力端子が対象となります。 Q35〜0, DE,HSYNC,VSYNC,RCLK 0: 出力データディセーブル (デフォルト) 1: 通常出力	0

Video Output Mode

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x39	DTRATE [1:0]		BITSHF [1:0]		CHRPLC	CHALGN [2:0]			0x00

出力するビデオデータのビットアサイン、チャンネルアサイン等を設定します。

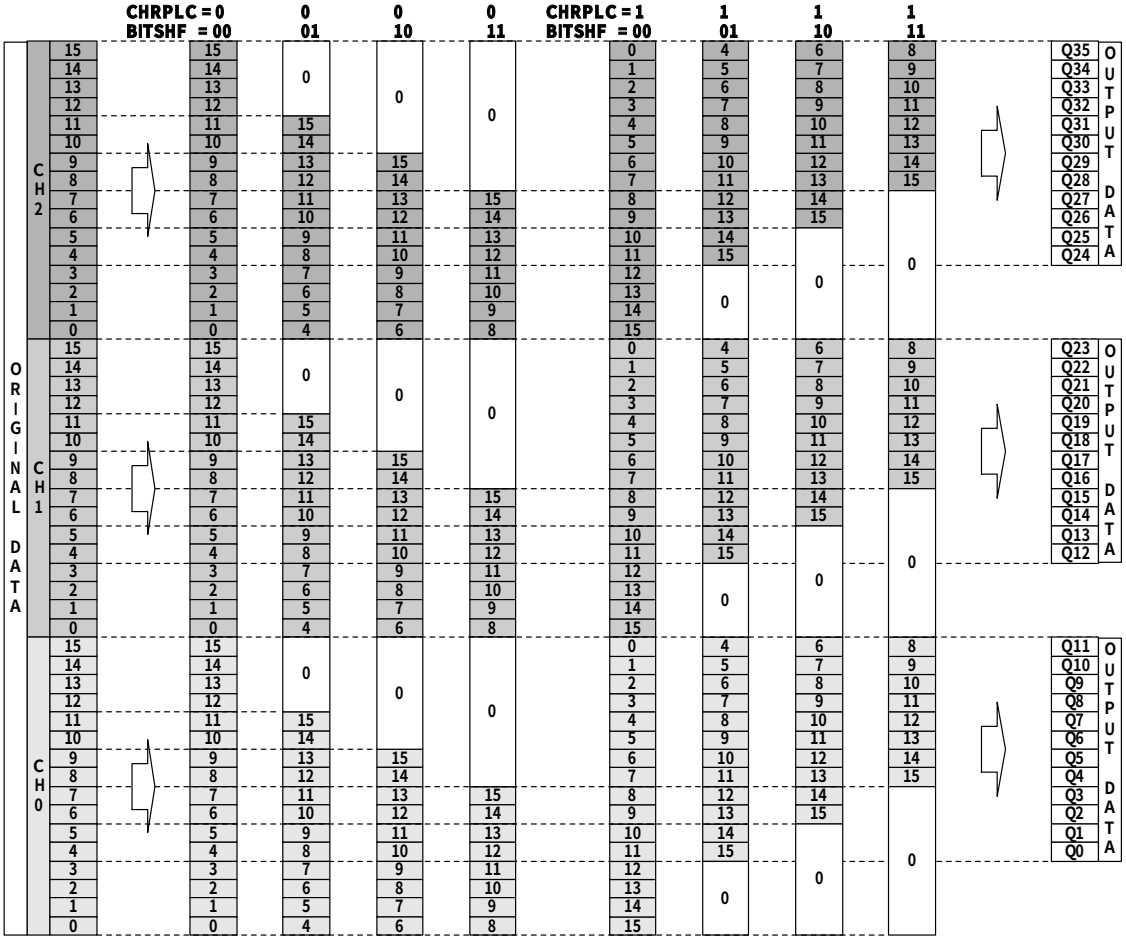
Field	Bit	Type	Description	Default
DTRATE [1:0]	7:6	R / W	Output Data Rate データを 1/2、1/4 に間引いて出力します。 00: 間引きを行わない (デフォルト) 01: 1/2 に間引きます。 出力クロック RCLK はピクセルクロック PCLK の 2 分周となります。 10: 1/4 に間引きます。 出力クロック RCLK はピクセルクロック PCLK の 4 分周となります。 11: format の値に応じて間引きを切り替えます format は下記のようにモードによって参照する値が異なります。 通常時 ： DETVFMを参照 3D モード時 ： AVI InfoFrame の VIC (0x68:0x28)を参照 format= 6,(7)： 1/2 間引き (480i, repetition 2) format=10,(11)： 1/4 間引き (480i, repetition 4) format=14,(15)： 1/2 間引き (480p, repetition 2) format= 21,(22)： 1/2 間引き (576i, repetition 2) format=25,(26)： 1/4 間引き (576i, repetition 4) format=29,(30)： 1/2 間引き (576p, repetition 2) format=35,(36)： 1/4 間引き (480p, repetition 4) format=37,(38)： 1/4 間引き (576p, repetition 4) その他のフォーマット： 間引きなし ※format の"( )"の値は 3D モード時のみ検出可能	00

BITSHF [1:0]	5:4	R / W	Bit Shift 信号を LSB 側へシフトして出力します。 00: ビットシフトしない (デフォルト) 01: LSB 側へ 4 ビットシフト 10: LSB 側へ 6 ビットシフト 11: LSB 側へ 8 ビットシフト	00
CHRPLC	3	R / W	Channel Bit Replace 出力信号の上位/下位bitの入れ替えを行います。 0: 受信したデータのまま出力 (デフォルト) 1: ビット順を上位/下位逆順で出力 (MSB を LSB 側に LSB を MSB 側に出力)	0
CHALGN [2:0]	2:0	R / W	Channel Alingment ビデオデータ出力チャンネルを入れ替えます。 CHALGN と Q35-0 に出力されるチャンネルの関係は以下の通りです。	000

CHALGN	Q35-Q24	Q23-Q12	Q11-Q0
000	CH2	CH1	CH0
001	CH1	CH2	CH0
010	CH0	CH2	CH1
011	CH2	CH0	CH1
100	CH1	CH0	CH2
101	CH0	CH1	CH2
Other	Reserved		

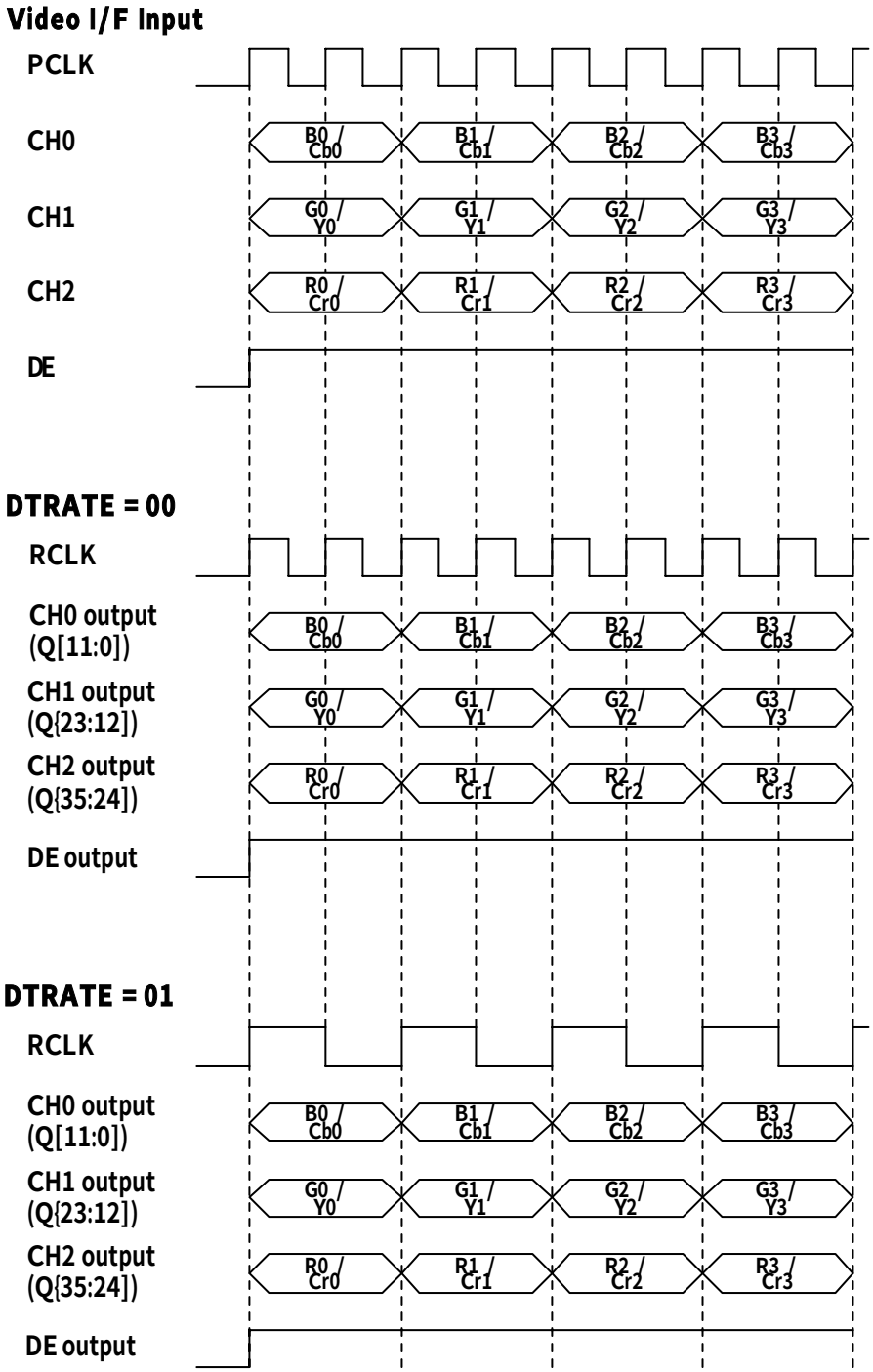
	製品仕様書	MN864773A	
		全ページ	ページ
		—	152

CHRPLC と BITSHF の組み合わせで、出力が以下のように変化します。
※内部では各チャンネル 16 ビットで処理されていますが、出力されるのは上位 12 ビットのみです。
※0x62:0x73 bit1-0 BITWIDTH で 8 bit/10 bit 出力を選択すると、下位ビットには 0 が出力されます。

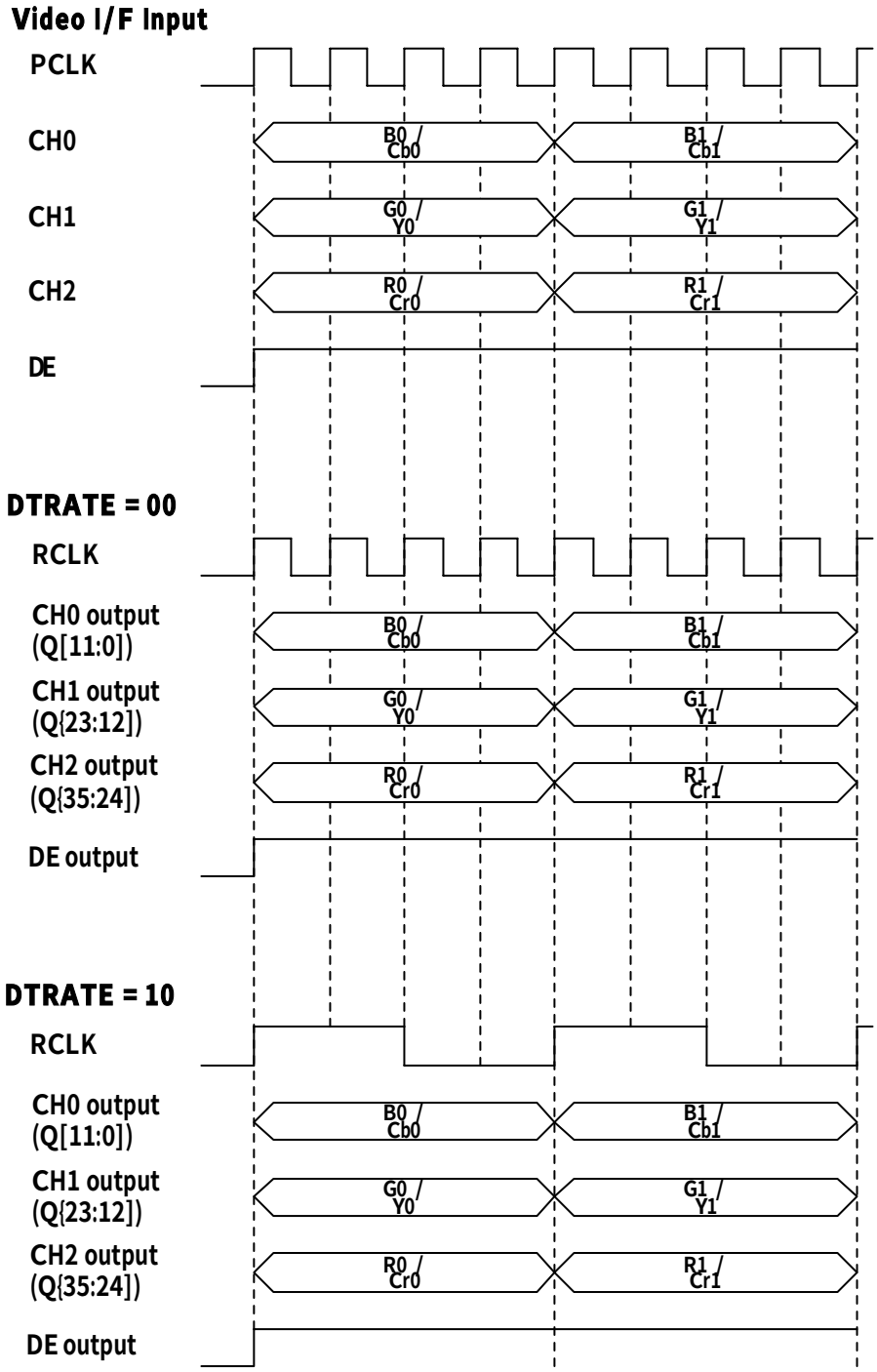


Repetition 2 / Repetition 4 の時、DTRATE を設定することで、データのレートと出力クロック RCLK のレートを一致させることができます。

Repetition 2 の時



Repetition 4 の時



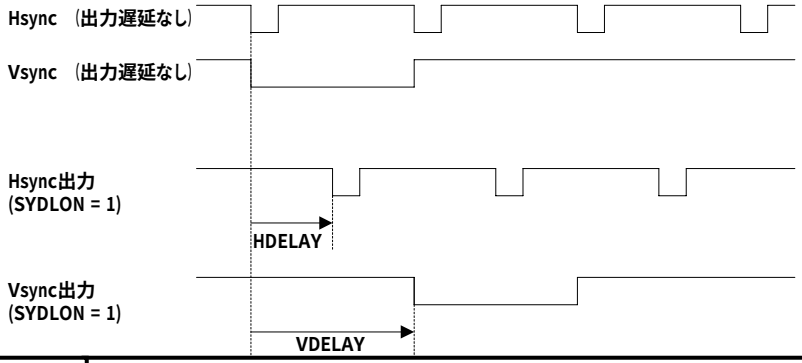
Hsync / Vsync Delay

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x3A	HDELAY[7:0]								0x00
0x62	0x3B	Reserved			HDELAY [12:8]					0x00
0x62	0x3C	VDELAY[7:0]								0x00
0x62	0x3D	VDELAY [15:8]								0x00
0x62	0x3E	VDELAY [23:16]								0x00
0x62	0x3F	Reserved			VDELAY [24]	Reserved			SYDLON	0x00

本 LSI より出力する Hsync, Vsync の遅延値を設定します。

Field	Bit	Type	Description	Default
HDELAY [12:0]	12:0	R / W	Hsync Delay 本 LSI より出力する Hsync の遅延値を設定します。 設定可能な最小値は 0、最大値は 0x1FFE です。	0x0000
VDELAY [24:0]	24:0	R / W	Vsync Delay 本 LSI より出力する Vsync の遅延値を設定します。 設定可能な最小値は 0、最大値は 0x1FF_FFFE です。	0x000_0000
SYDLON	0	R / W	Sync Delay On 本 LSI より出力する Hsync / Vsync を遅延させます。 0: 遅延させずにそのまま出力します（デフォルト）。 1: HDELAY, VDELAY で設定したクロック数だけ Hsync / Vsync を遅延します。	0

0x62:0x3F の SYDLON フィールド＝1 の時、本 LSI より出力する Hsync, Vsync に遅延を付加します。



Video data test using pseudo-random number sequence

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x40	VDTIVL[7:0]								0x00
0x62	0x41	VDTIVL[15:8]								0x00
0x62	0x42	VDTIVE	VDTIVL[22:16]							0x00
0x62	0x43	VDTNGL	VDTVLG	VDTBIT[1:0]		VDTCLR	VDTENA[2:0]			0x00
0x62	0x44	VDTVCT[7:0]								0x00
0x62	0x45	VDTNGC[7:0]								0x00

送信側より擬似乱数列を送信し、内部生成した擬似乱数列と比較することで、ビデオデータのテストを行います。比較は DE=1 の期間で行います。
本レジスタはテスト時にのみ使用します。通常時はデフォルト値で使用して下さい。

Field	Bit	Type	Description	Default
VDTIVL [22:0]	22:0	R / W	Initial Value when Video Data Test 擬似乱数列の初期値を設定します。 使用する場合は VDTIVL=0 以外を設定して下さい。	0x00_0000
VDTIVE	7	R / W	Initial Value Enable when Video Data Test 0: ハードリセット後、内部の初期値を使用し擬似乱数列を生成します。 1: Vsync 毎に擬似乱数列を VDTIVL で初期化します。	0
VDTNGL	7	R / W	NG Counter Log Format when Video Data Test VDTNGC レジスタの出力フォーマットを指定します。 0: (検知されたエラーの数) を出力します。エラーの数が 255 を越えた場合は 255 が出力されます。 1: (検知されたエラーの数) を対数変換 (底 2) して出力します。	0
VDTVLG	6	R / W	V Counter Log Format when Video Data Test VDTVCT レジスタの出力フォーマットを指定します。 0: (入力された Vsync の数) ／128 を出力します。 1: (入力された Vsync の数) を対数変換 (底 2) して出力します。	0

VDTBIT [1:0]	5:4	R / W	Bit Mask when Video Data Test テストするデータのビット数を設定します。 00: 8bit 比較 (下位 8bit マスク) 01: 10bit 比較 (下位 6bit マスク) 10: 12bit 比較 (下位 4bit マスク) 11: リザーブ	00
VDTCLR	3	R / W	Clear Counter when Video Data Test 0: 通常動作 (デフォルト) 1: 内部カウンタをクリアします。 エラー出力は 0、VDTVCT、VDTNGC も 0 にクリアされます。	0
VDTENA [2:0]	2:0	R / W	Video Data Test Enable ビデオデータのテストを行います。 000: 通常動作 (デフォルト) 001: DE 端子よりビットエラーを出力します。 エラーなしなら 0、一旦ビットエラーを 検知すると 1 を保持します。 010: DE 端子より CH0 のビットエラーを 出力します。ビットエラー発生時にのみ 1 が出力されます。 100: DE 端子より CH1 のビットエラーを 出力します。ビットエラー発生時にのみ 1 が出力されます。 110: DE 端子より CH2 のビットエラーを 出力します。ビットエラー発生時にのみ 1 が出力されます。 111: HSYNC 端子より CH0 のビットエラー、 VSYNC 端子より CH1 のビットエラー、 DE 端子より CH2 のビットエラーを 出力します。ビットエラー発生時にのみ 1 が出力されます。	000
VDTVCT [7:0]	7:0	R / W	V Counter Log when Video Data Test Vsync のカウンタです。VDTENA =000 もしくは VDTCLR=1 でクリアされます。 VDTVLG の設定で、出力フォーマットを 指定します。	0x00
VDTNGC [7:0]	7:0	R / W	NG Counter Log when Video Data Test 検知されたエラー数のカウンタです。 VDTENA =000 もしくは VDTCLR=1 で クリアされます。 VDTNGL の設定で、出力フォーマットを 指定します。	0x00

VDTVCT

内蔵された Vsync のカウンタ値（20 bit）を出力します。20 bit を越えるとカウント値は 0 に戻ります。

VDTVLG＝1'b0 の時

Vsync のカウンタ値の 1/128 が出力されます。255 を越えると 0 に戻ります。

VDTVLG＝1'b1 の時

Vsync のカウンタ値が対数（底 2）変換され、その値が出力されます。

（出力例） Vsync のカウンタ値≧2^{19} かつ Vsync のカウンタ値＜2^{20} の時 19
Vsync のカウンタ値≧2^{10} かつ Vsync のカウンタ値＜2^{11} の時 10
Vsync のカウンタ値≧2^{1} かつ Vsync のカウンタ値＜2^{2} の時 1

VDTNGC

内蔵されたエラーのカウンタ値（10 bit）を出力します。10 bit を越えると内蔵されたカウント値は 1023 に固定されます。

VDTNGL＝1'b0 の時

エラーのカウンタ値の下位 8 bit が出力されます。255 を越えると VDTNGC=255 となります。

VDTNGL＝1'b1 の時

エラーのカウンタ値が対数（底 2）変換され、その値が出力されます。

（出力例） エラーのカウンタ値＝$2^{(10-1)}$ ＝ 1023 の時 10
エラーのカウンタ値≧2^{9} かつ エラーのカウンタ値＜$2^{(10-1)}$ の時 9
エラーのカウンタ値≧2^{5} かつ エラーのカウンタ値＜2^{6} の時 5
エラーのカウンタ値≧2^{1} かつ エラーのカウンタ値＜2^{2} の時 1

使用例

・VDTIVL に 0 以外の任意の値を設定します（送信側にも同じ値を設定します）。
・VDTIVE=1、VDTENA=001 とします。
・VDTCLR=1→0 とし、計測を開始します。
・DE 端子出力＝1 であれば、エラーが発生しています。エラーの数は VDTNGC で確認できます。
・使用フォーマットが 480p の時

VDTVCT＝23 で VDTNGC＝0であれば

480p の 1 フレームあたりの有効画素数＝720×480＝345600
VDTVCT＝23 では有効画素の総数＝345600×128×23＝1.02×10^{9}
1.02×10^{9} 画素の間、誤りが0なので、誤り率は 10^{-9} 以下となります。

・使用フォーマットが 1080p の時

VDTVCT＝4 で VDTNGC＝0であれば

1080p の 1 フレームあたりの有効画素数＝1920×1080＝2073600
VDTVCT＝4 では有効画素の総数＝2073600×128×4＝1.06×10^{9}
1.06×10^{9} 画素の間、誤りが 0 なので、誤り率は 10^{-9} 以下となります。

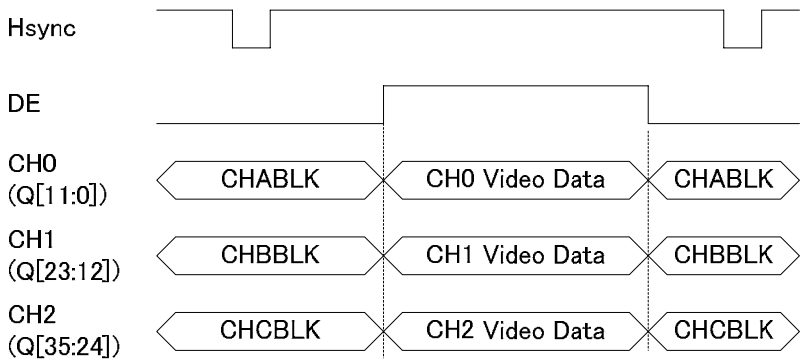
Video Blank Data

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x48	CHABLK[7:0]								0x80
0x62	0x49	CHBBLK[7:0]								0x10
0x62	0x4A	CHCBLK[7:0]								0x80

ブランキング期間中のビデオデータを設定します。

Field	Bit	Type	Description	Default
CHABLK [7:0]	7:0	R / W	Channel 0 video data output value during video blanking period. ビデオブランキング期間中のチャネル 0 信号の値を設定します。	0x80
CHBBLK [7:0]	7:0	R / W	Channel 1 video data output value during video blanking period. ビデオブランキング期間中のチャネル 1 信号の値を設定します。	0x10
CHCBLK [7:0]	7:0	R / W	Channel 2 video data output value during video blanking period. ビデオブランキング期間中のチャネル 2 信号の値を設定します。	0x80

DE=0 となる期間（ブランキング期間）中に出力するビデオデータの値を設定します。
DE=1 の期間には、受信したビデオデータが出力されます。ビデオミュート時は、DE=1 の期間にもこのレジスタで設定したビデオデータが出力されます。



Video Format for Video Interface

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x4C	VFMTEN	VIFFMT [6:0]							0x00

Embedded Sync を挿入する際の引数となるビデオフォーマットを設定します。

Field	Bit	Type	Description	Default
VFMTEN	7	R / W	Video Format Enable VIFFMT の設定を有効にします。 0: ビデオフォーマットとして DETVFM を使用します。 1: ビデオフォーマットとして VIFFMT を使用します。	0
VIFFMT [6:0]	6:0	R / W	Video Format for Video I/F ビデオ I/F で使用されるビデオフォーマットを設定します。VFMTEN=1 の時に有効です。	0x00

Embedded Sync を挿入する時、挿入ラインはビデオフォーマットに応じて決定されます。
VFMTEN = 0 の時、ビデオフォーマットに 0x62:0x00 DETVFM を使用します。
VFMTEN = 1 の時、ビデオフォーマットに VIFFMT を使用します。
これらのレジスタは 0x62:0x50 REC656 フィールド=1 の時にも有効です。

Channel Mutiplex

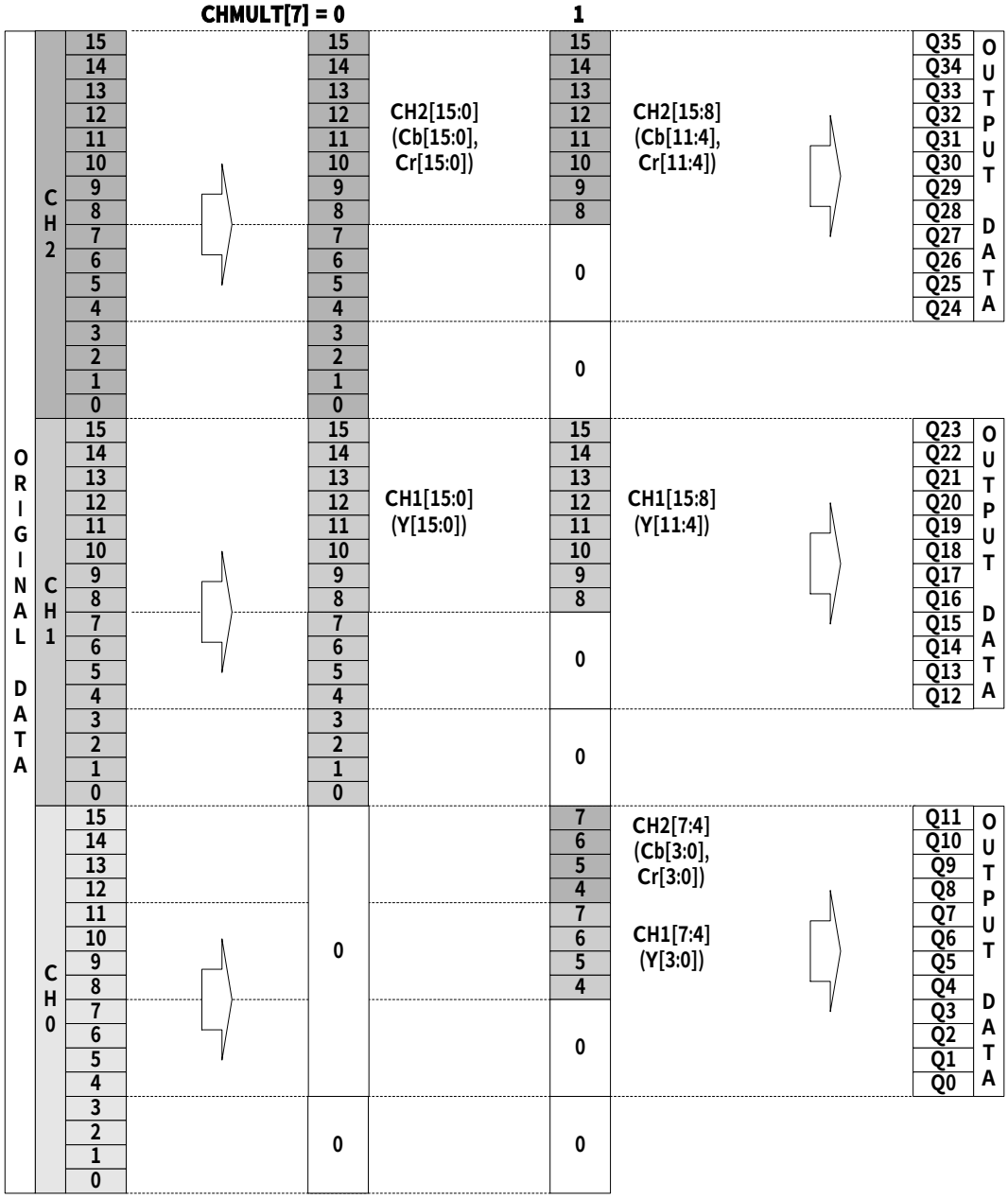
Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x4D	CHMULT[7:0]								0x00

複数チャンネルを多重して出力します。

Field	Bit	Type	Description	Default
CHMULT [7:0]	7:0	R / W	Channel Mutiplex 複数チャンネルを多重出力します。 CHMULT[7] 0: 通常出力（デフォルト） 1: YCbCr422 12 bit データを 8 bit×3 チャンネルで出力します。Y と CbCr の下位 4 ビットが CH0 へ出力されます。CHMULT[4:0]=0、かつ 0x62:0x50 REC656=0 で使用して下さい。 CHMULT[6] 0: 通常出力（デフォルト） 1: LSB / MSB をビット逆順で出力します。CHMULT[4:0]と合わせて設定します。 CHMULT[5] 0: 通常出力（デフォルト） 1: LSB 詰めで出力します。CHMULT[4:0]と合わせて設定します。 CHMULT[4:0] 01_001 ～ 01_110： 8 bit×3 チャンネルのデータを 12 bit×1 チャンネルに多重し出力します。CHMULT[2:0]で多重する順番を設定します。 00_111 / 01_111 / 10_111 / 11_111： YCbCr422 を 1 チャンネルに多重して出力します。 00_000： 通常出力（デフォルト） その他：設定禁止	0x00

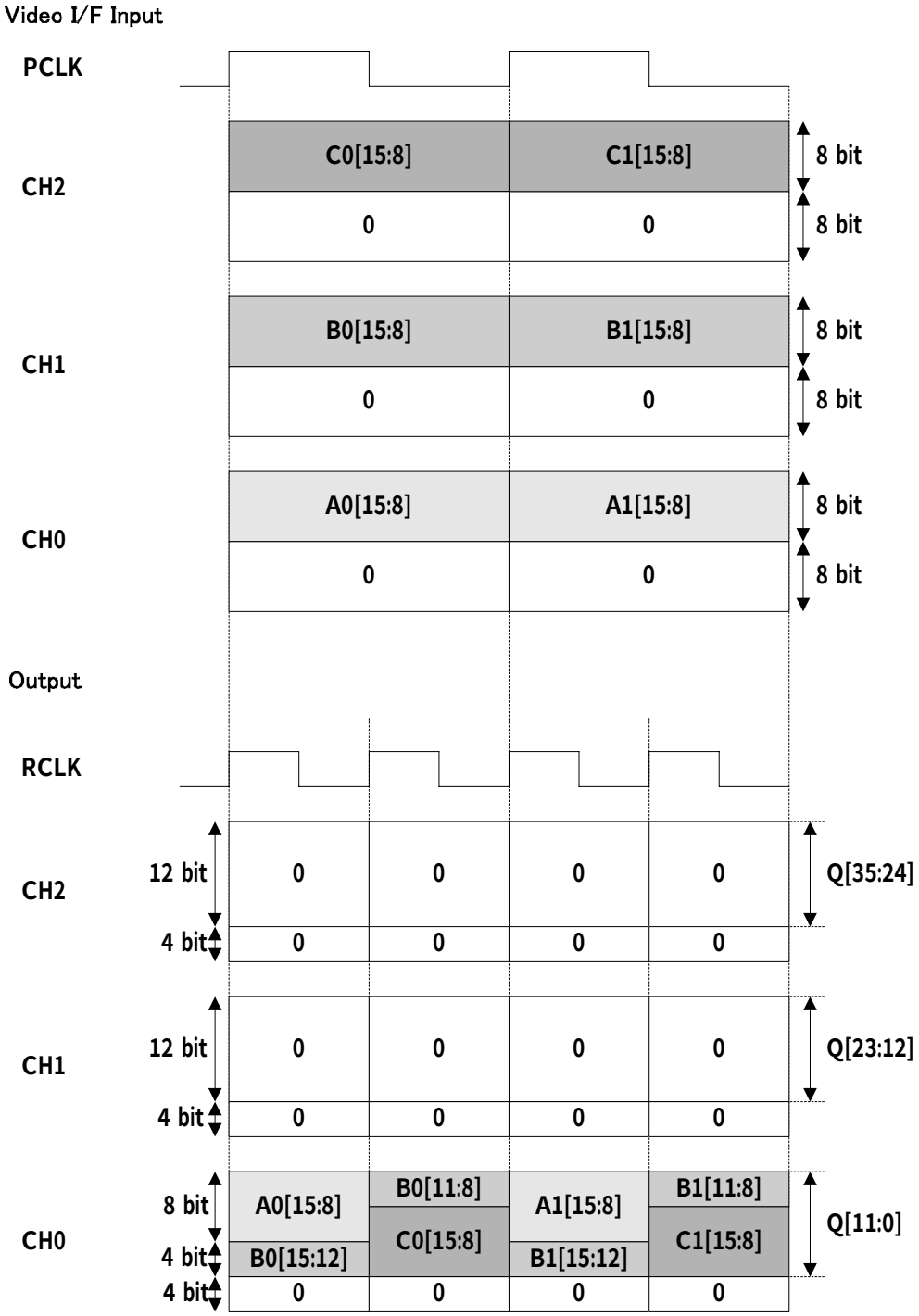
CHMULT[7]

YCbCr422 の時、Y の上位 8 bit を CH1 へ、CbCr の上位 8 bit を CH2 へ、Y の下位 4 bit、CbCr の下位 4 bit を CH0 へ出力します（HDMI 規格の YCbCr422 伝送フォーマットと同一のフォーマットです）。

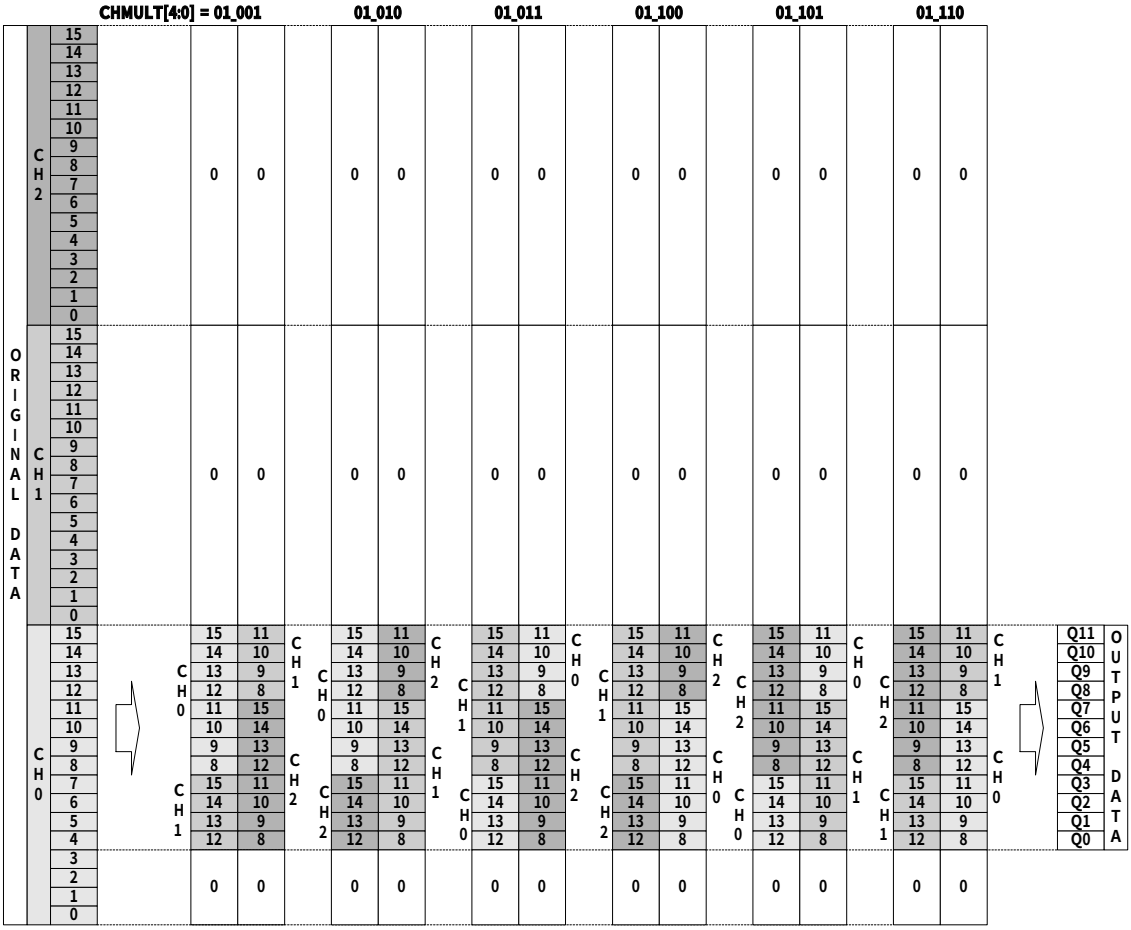


CHMULT[4:0] = 01_001〜01_110

8 bit×3 チャンネルのデータを 12 bit×1 チャンネルで出力します。

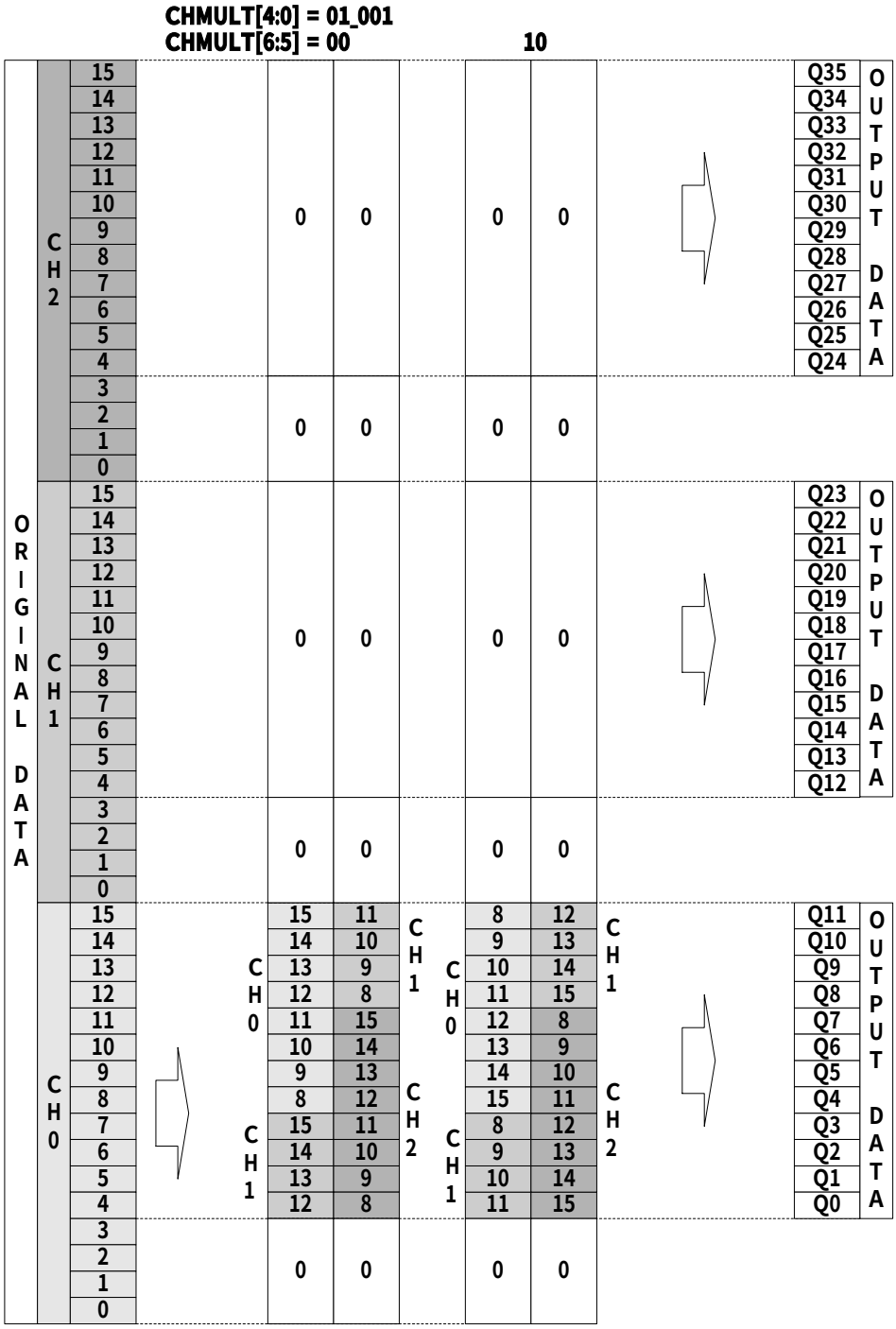


CHMULT[2:0]で、多重する順序を選択できます。



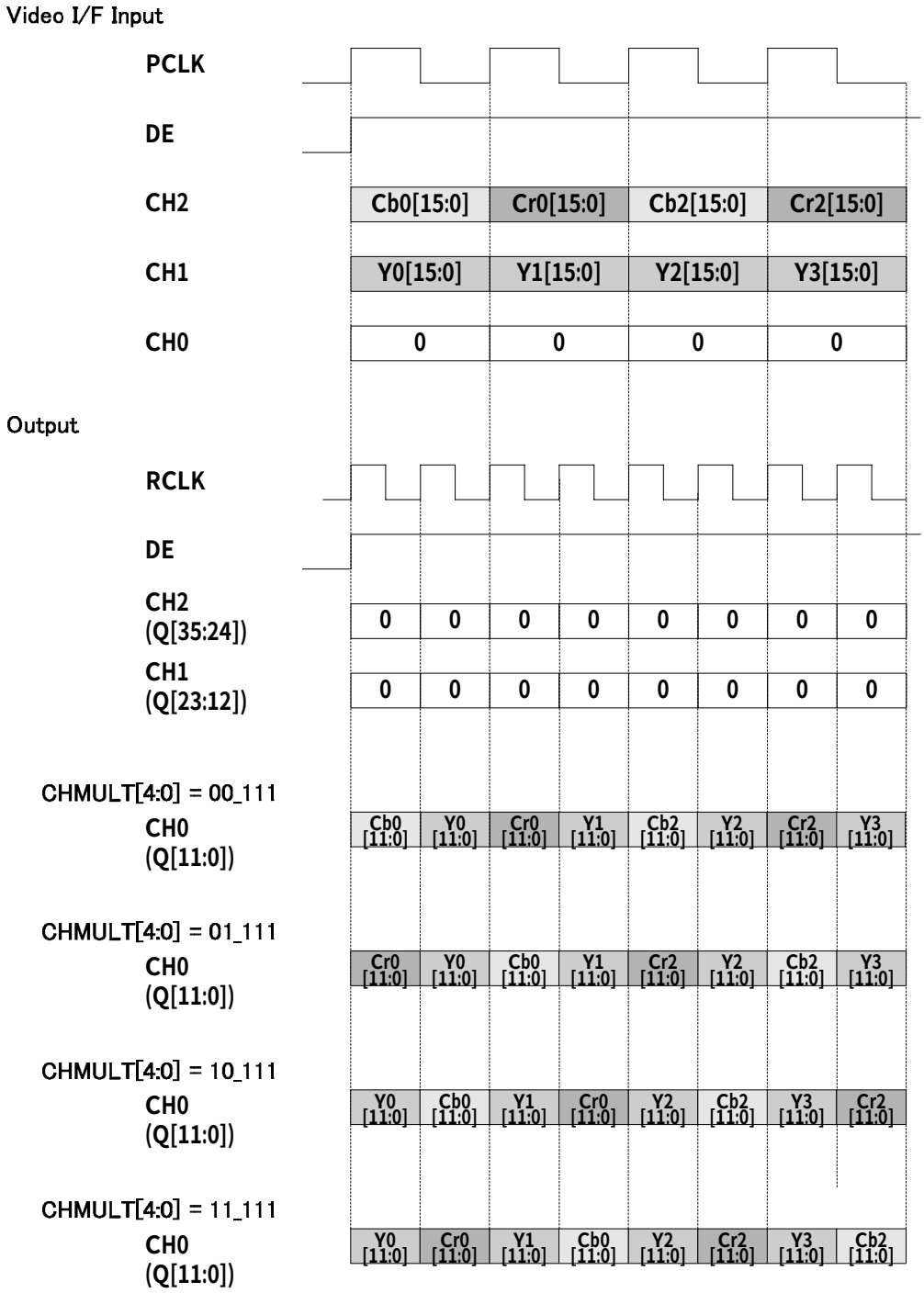
	製品仕様書	MN864773A	
		全ページ	ページ
		ー	165

CHMULT[6:5]で、LSB 詰め／MSB 詰め／ビット順を選択できます。
CHMULT[4:0] = 01_001 の場合を示しますが、他の場合も同様です。



CHMULT[4:0] = 00_111 / 01_111 / 10_111 / 11_111

YCbCr422 のデータを 1 チャンネルに多重して出力します。
CHMULT[4:3]で、YCbCr を多重する順序が選択できます。



REC656 Control

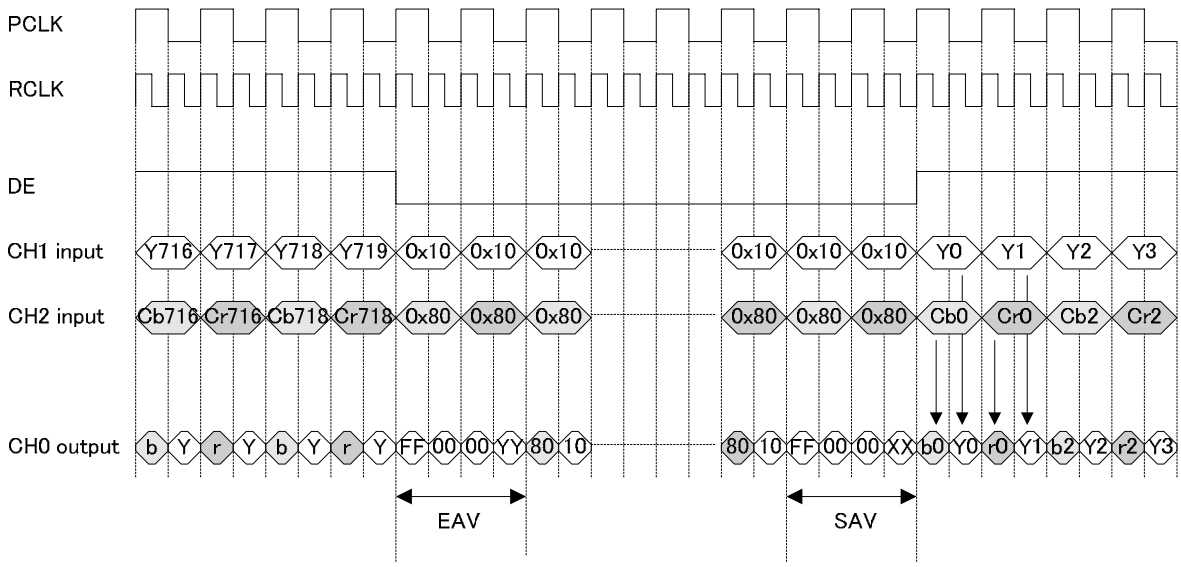
Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x50	VFMODE [1:0]		Reserved		RECMOD[2:0]			REC656	0x00

YCbCr422 の時、Y と CbCr の多重出力を行います。

Field	Bit	Type	Description	Default
VFMODE [1:0]	7:6	R / W	Video Format Mode フォーマット#8, 9, 12, 13, 23, 24, 27, 28 のライン数を設定します。 フォーマット#8, 9, 12, 13 の時 VFMODE[1:0] 00: 262 ライン 01: 263 ライン フォーマット#23, 24, 27, 28 の時 VFMODE[1:0] 00: 312 ライン 01: 313 ライン 10: 314 ライン	00
Reserved	5:4	R / W	Reserved	00
RECMOD [2:0]	3:1	R / W	REC656 Mode SAV / EAV の挿入ラインを制御します。 000: CCIR-R656 / BTA T-1004 準拠 その他: 以下の説明を参照して下さい。	000
REC656	0	R / W	REC656 On CCIR-R656 / BTA T-1004 準拠 (REC656 フォーマット) で出力します。 0: 通常出力 (デフォルト) 1: REC656 フォーマットで出力	0

REC656

480i / 480p / 576i / 576p の信号に対して、Y／CbCr／Hsync／Vsync を多重し、CH0 より出力します。ピクセルクロック PCLK の 2 倍のレートで出力します。ビデオデータの前後 4 クロックに SAV （Start of Active Video）と EAV （End of Active Video）が付加されます。



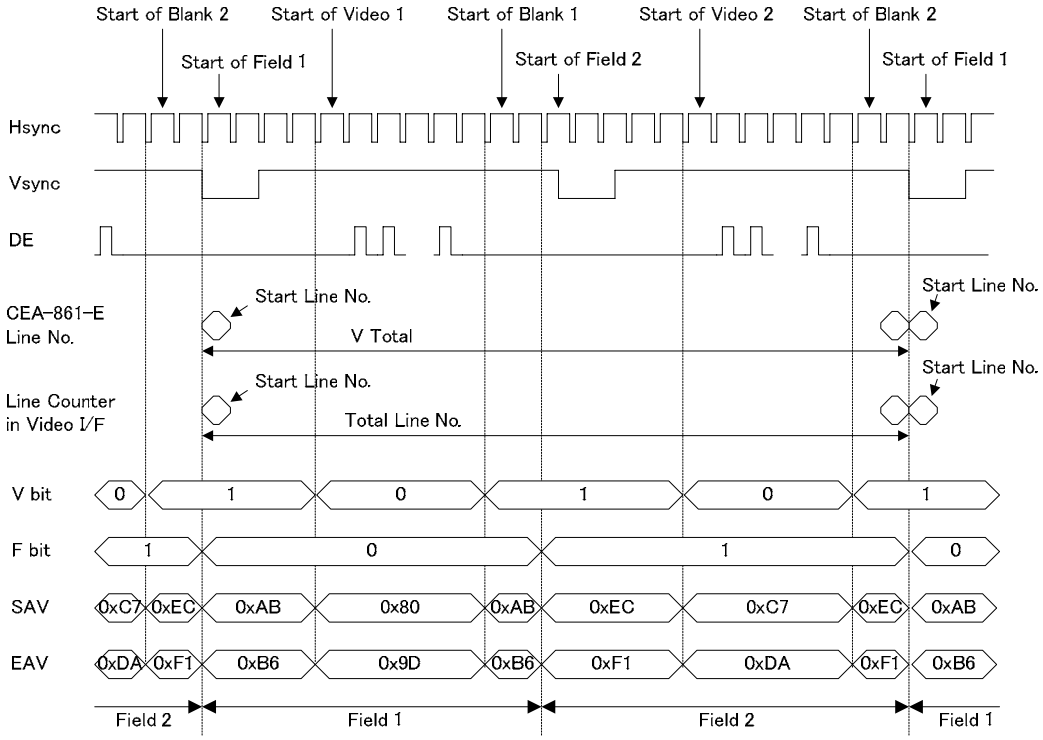
RECMOD

SAV／EAV **の挿入ラインを切り替えます。**
0x62:0x51 ESYMOD[4:3] = 00 **の時、下表に基づき** SAV / EAV **が挿入されます。**
下表と異なるラインへ SAV / EAV **を挿入する場合は、**ESYMOD[4:3] = 01 / 10 / 11 **として、**
挿入ラインをレジスタ設定して下さい。

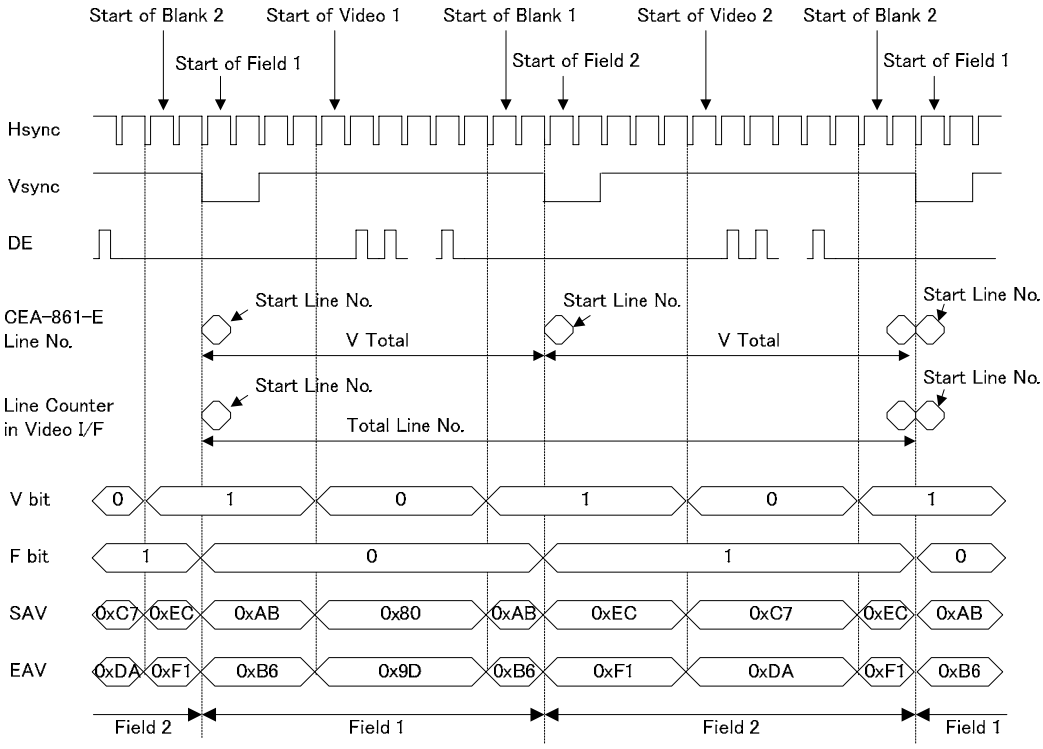
HDMI Video Format	3D structure	REC MOD	CEA861E Format No.	Format	Start Line No.	Total Line No.	Start of Field 1	Start of Video 1	Start of Blank 1	Start of Field 2	Start of Video 2	Start of Blank 2
000	xxxx	000	6, 7, 10, 11	480i	4	525	4	20	264	266	283	1
			2, 3, 14, 15, 35, 36	480p	7	525(1050)	7	39	2(527)	6(531)	40(565)	1
			21, 22, 25, 26	576i	1	625	1	23	311	313	336	624
			17, 18, 29, 30, 37, 38	576p	1	625(1250)	1	45	621	625	46(671)	622(1247)
		001	6, 7, 10, 11	480i	5	525	4	20	264	266	283	1
			2, 3, 14, 15, 35, 36	480p	9	525(1050)	7	39	2(527)	6(531)	40(565)	1
		010	2, 3, 14, 15, 35, 36	480p	8	525(1050)	1	43	1(526)	1(526)	43(568)	1
			17, 18, 29, 30, 37, 38	576p	6	625(1250)	1	50	1(626)	1(626)	50(675)	1
		1xx	17, 18, 29, 30, 37, 38	576p	1	625(1250)	1	45	621	625	45(670)	621(1246)
010	0000	000	6, 7, 10, 11	480i	4	1050(2100)	4	20	1(1051)	4(1054)	20(1070)	1
			2, 3, 14, 15, 35, 36	480p	7	1050(2100)	7	39	1(1051)	7(1057)	39(1089)	1
			21, 22, 25, 26	576i	1	1250(2500)	1	23	1249	1(1251)	23(1273)	1249(2499)
			17, 18, 29, 30, 37, 38	576p	1	1250(2500)	1	45	1247	1(1251)	45(1295)	1247(2497)
		001	6, 7, 10, 11	480i	5	1050(2100)	4	20	1(1051)	4(1054)	20(1070)	1
			2, 3, 14, 15, 35, 36	480p	9	1050(2100)	7	39	1(1051)	7(1057)	39(1089)	1
		010	2, 3, 14, 15, 35, 36	480p	8	1050(2100)	1	43	1(1051)	1(1051)	43(1093)	1
			17, 18, 29, 30, 37, 38	576p	6	1250(2500)	1	50	1(1251)	1(1251)	50(1300)	1
		1xx	17, 18, 29, 30, 37, 38	576p	1	1250(2500)	1	45	1246	1(1251)	45(1295)	1246(2496)
	0001	000	6, 7, 10, 11	480i	4	1050	4	20	526	529	545	1
			21, 22, 25, 26	576i	1	1250	1	23	624	626	648	1249
		001	6, 7, 10, 11	480i	5	1050	4	20	526	529	545	1
	0010	000	2, 3, 14, 15, 35, 36	480p	7	1050(2100)	7	77	1(1051)	7(1057)	77(1127)	1
			17, 18, 29, 30, 37, 38	576p	1	1250(2500)	1	95	1247	1(1251)	95(1345)	1247(2497)
		001	2, 3, 14, 15, 35, 36	480p	9	1050(2100)	7	77	1(1051)	7(1057)	77(1127)	1
		010	2, 3, 14, 15, 35, 36	480p	8	1050(2100)	1	85	1(1051)	1(1051)	85(1135)	1
			17, 18, 29, 30, 37, 38	576p	6	1250(2500)	1	99	1(1251)	1(1251)	99(1349)	1
		1xx	17, 18, 29, 30, 37, 38	576p	1	1250(2500)	1	94	1246	1(1251)	94(1344)	1246(2496)
	0011 or 1000	000	6, 7, 10, 11	480i	4	525	4	20	264	266	283	1
			2, 3, 14, 15, 35, 36	480p	7	525(1050)	7	39	2(527)	6(531)	40(565)	1
			21, 22, 25, 26	576i	1	625	1	23	311	313	336	624
			17, 18, 29, 30, 37, 38	576p	1	625(1250)	1	45	621	625	46(671)	622(1247)
		001	6, 7, 10, 11	480i	5	525	4	20	264	266	283	1
			2, 3, 14, 15, 35, 36	480p	9	525(1050)	7	39	2(527)	6(531)	40(565)	1
		010	2, 3, 14, 15, 35, 36	480p	8	525(1050)	1	43	1(526)	1(526)	43(568)	1
			17, 18, 29, 30, 37, 38	576p	6	625(1250)	1	50	1(626)	1(626)	50(675)	1
		1xx	17, 18, 29, 30, 37, 38	576p	1	625(1250)	1	45	621	625	45(670)	621(1246)
	0100	000	2, 3, 14, 15, 35, 36	480p	7	1050(2100)	7	39	1(1051)	7(1057)	39(1089)	1
			17, 18, 29, 30, 37, 38	576p	1	1250(2500)	1	45	1247	1(1251)	45(1295)	1247(2497)
		001	2, 3, 14, 15, 35, 36	480p	9	1050(2100)	7	39	1(1051)	7(1057)	39(1089)	1
		010	2, 3, 14, 15, 35, 36	480p	8	1050(2100)	1	43	1(1051)	1(1051)	43(1093)	1
			17, 18, 29, 30, 37, 38	576p	6	1250(2500)	1	50	1(1251)	1(1251)	50(1300)	1
		1xx	17, 18, 29, 30, 37, 38	576p	1	1250(2500)	1	45	1246	1(1251)	45(1295)	1246(2496)

※カッコ内は内部ラインカウンタの値、 x は don't care

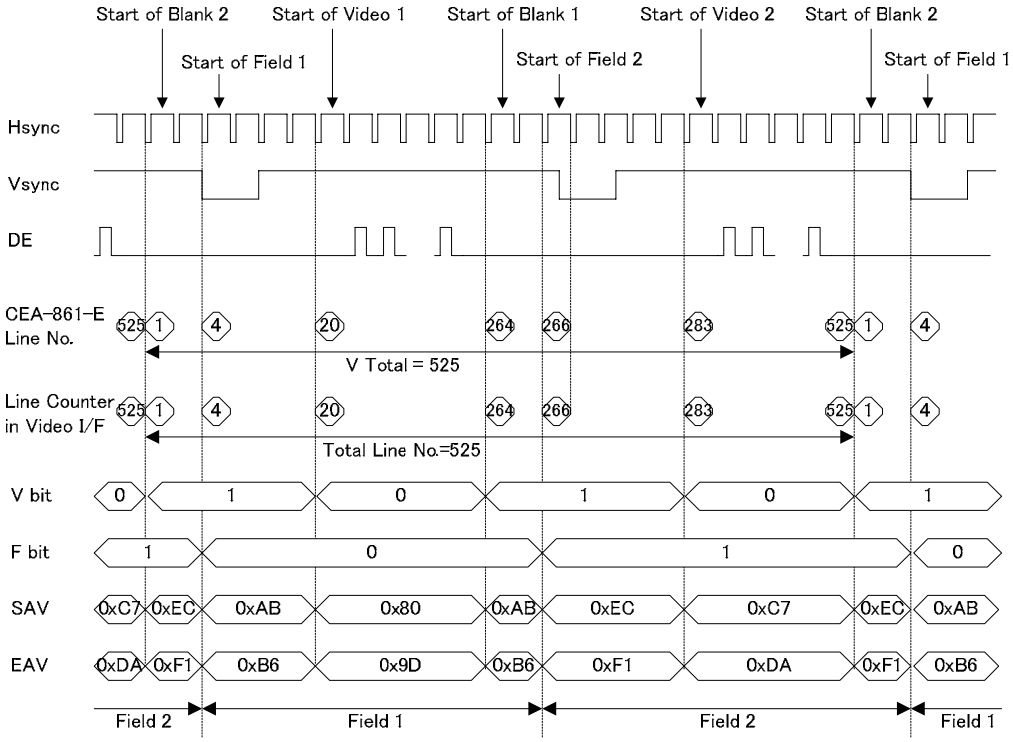
・インターレース時のラインナンバーと内部ラインカウンタ、SAV／EAV の挿入ライン



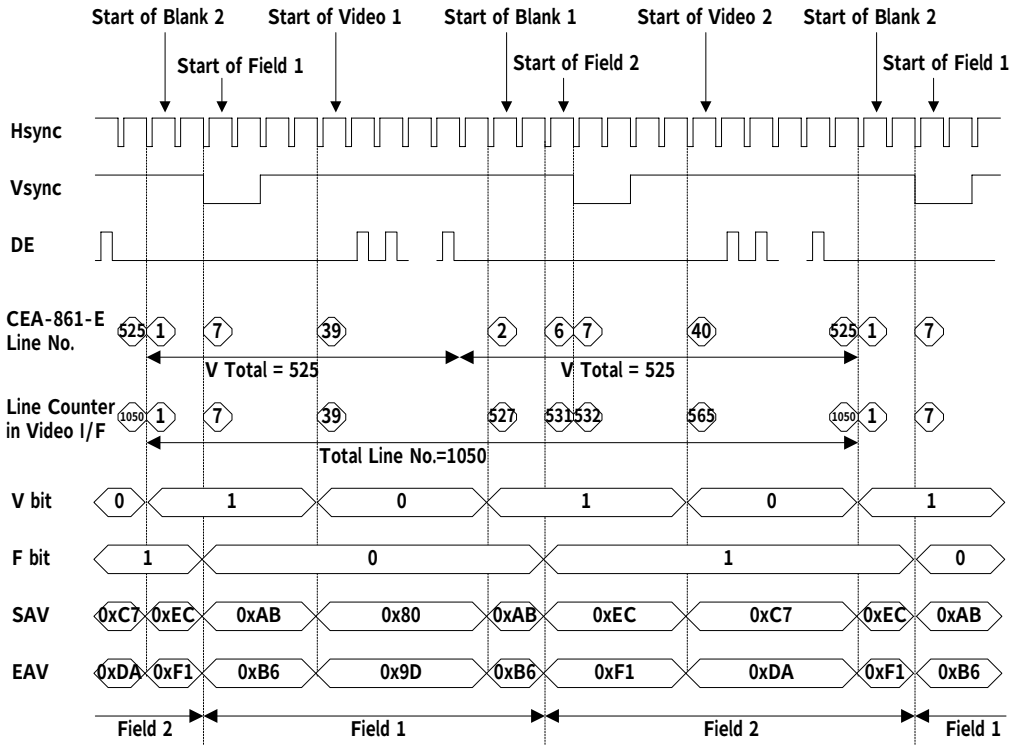
・プログレッシブ時のラインナンバーと内部ラインカウンタ、SAV／EAV の挿入ライン



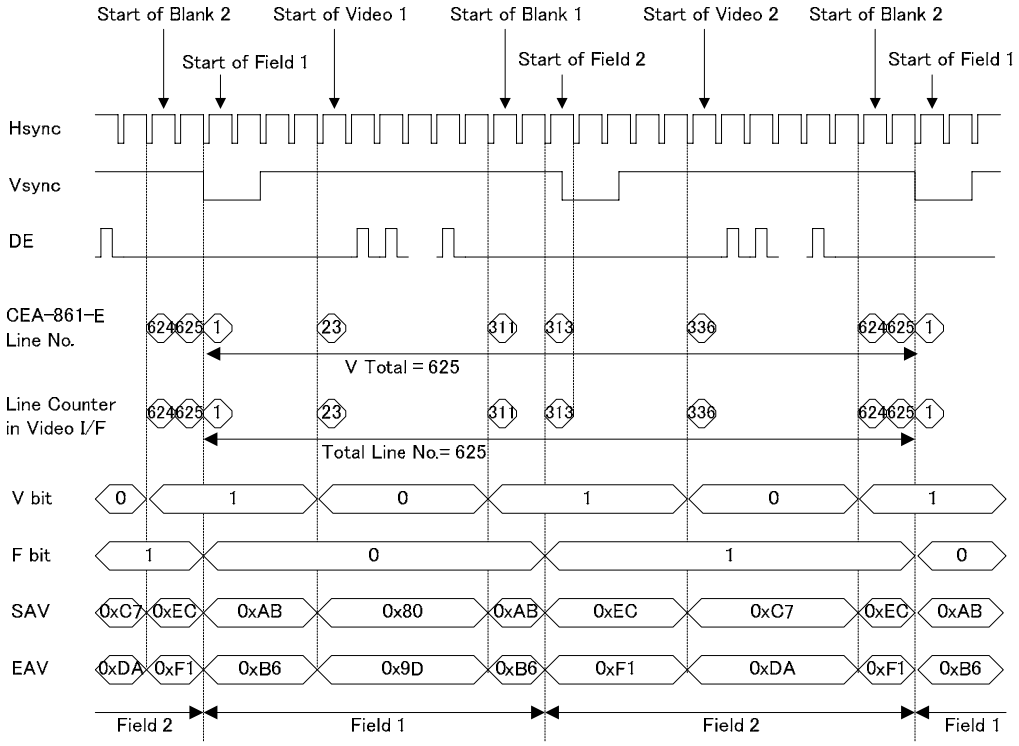
・RECMOD = 000、 480i の時 (3D モード設定無)



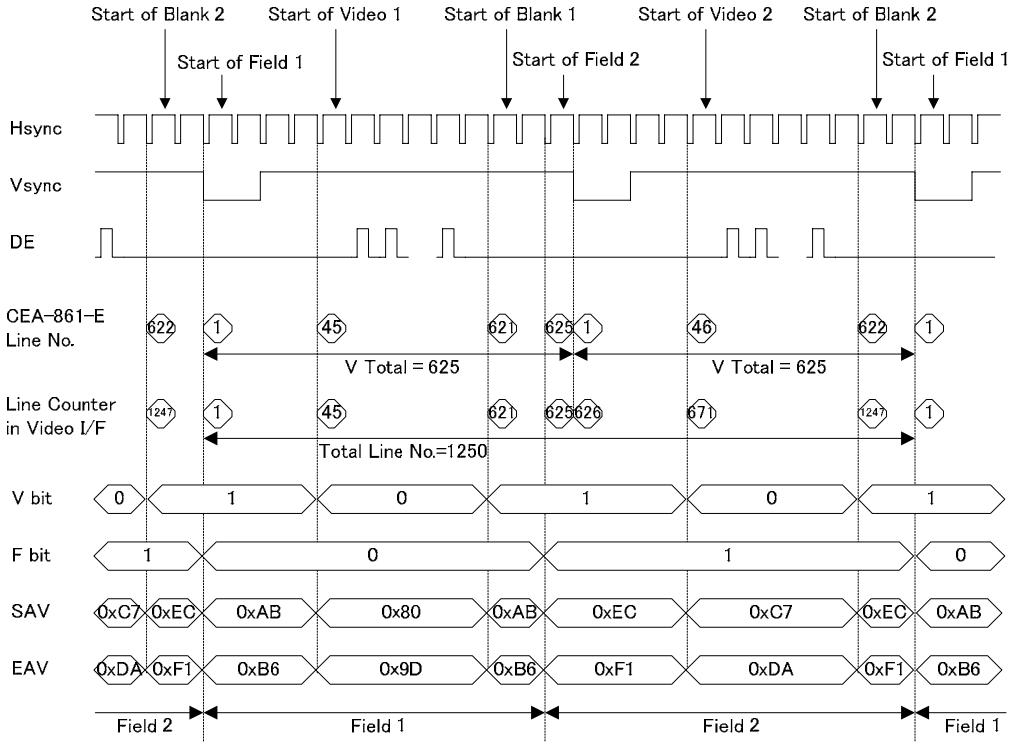
・RECMOD = 000、 480p の時 (3D モード設定無)



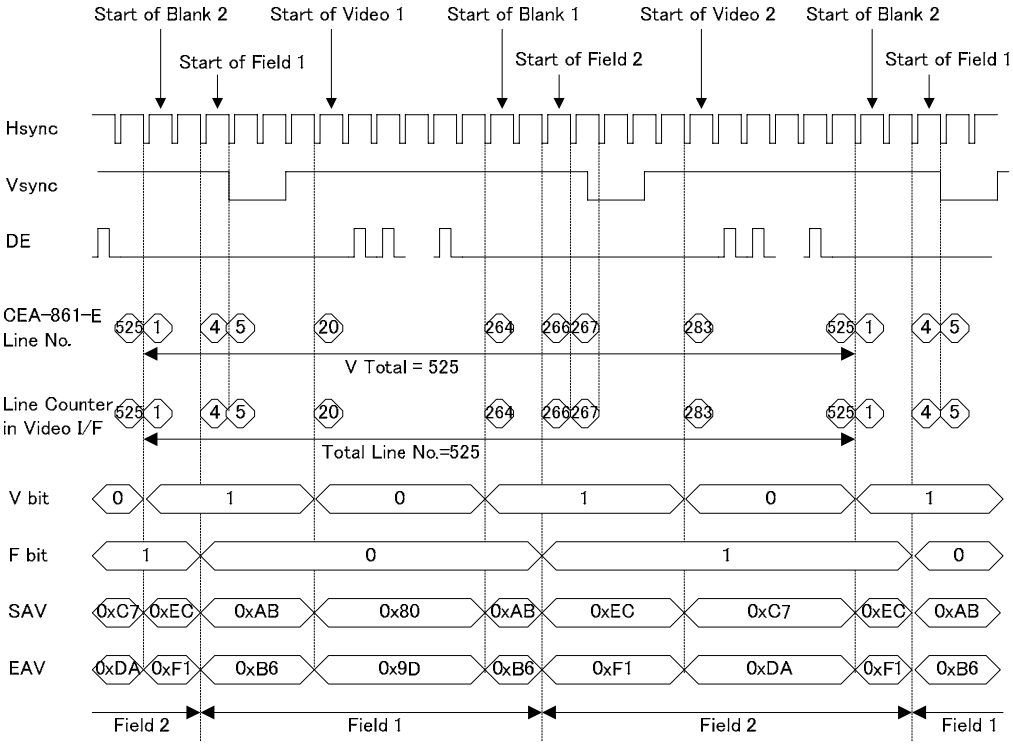
・RECMOD = 000、 576i の時 (3D モード設定無)



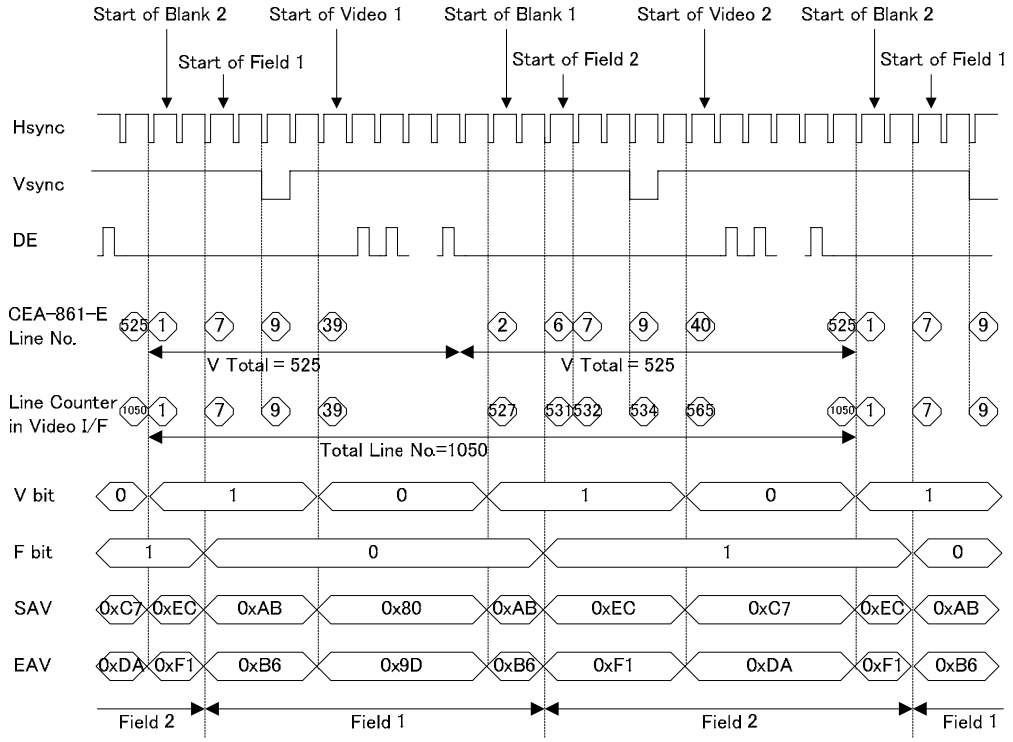
・RECMOD = 000、 576p の時 (3D モード設定無)



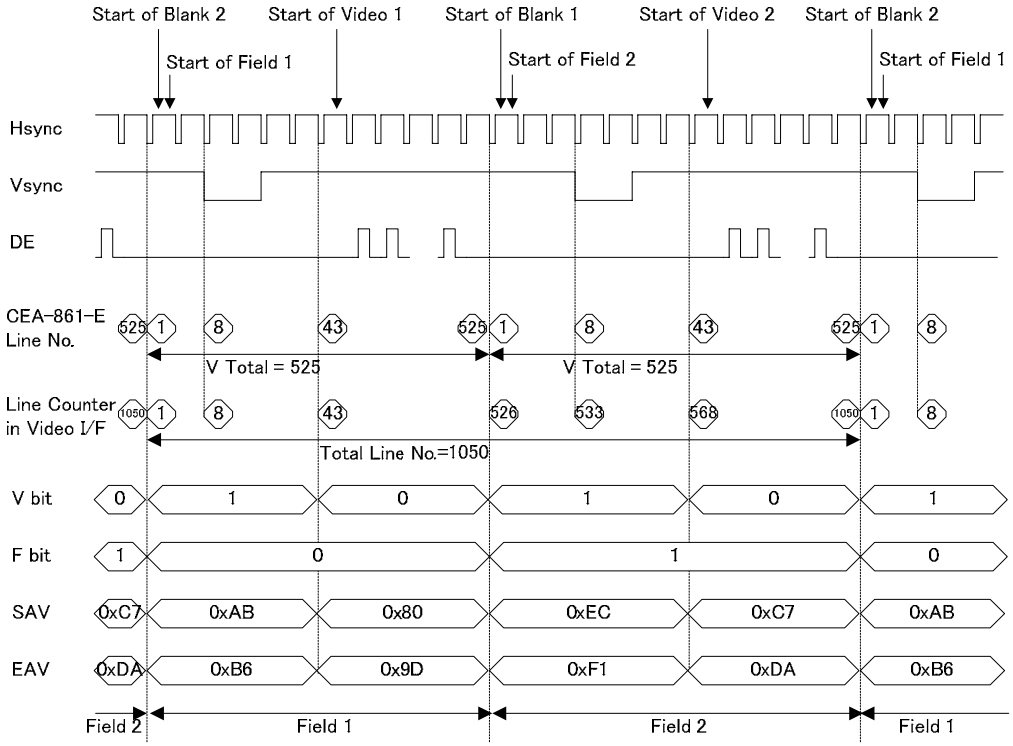
・RECMOD = 001、 480i の時 (3D モード設定無)



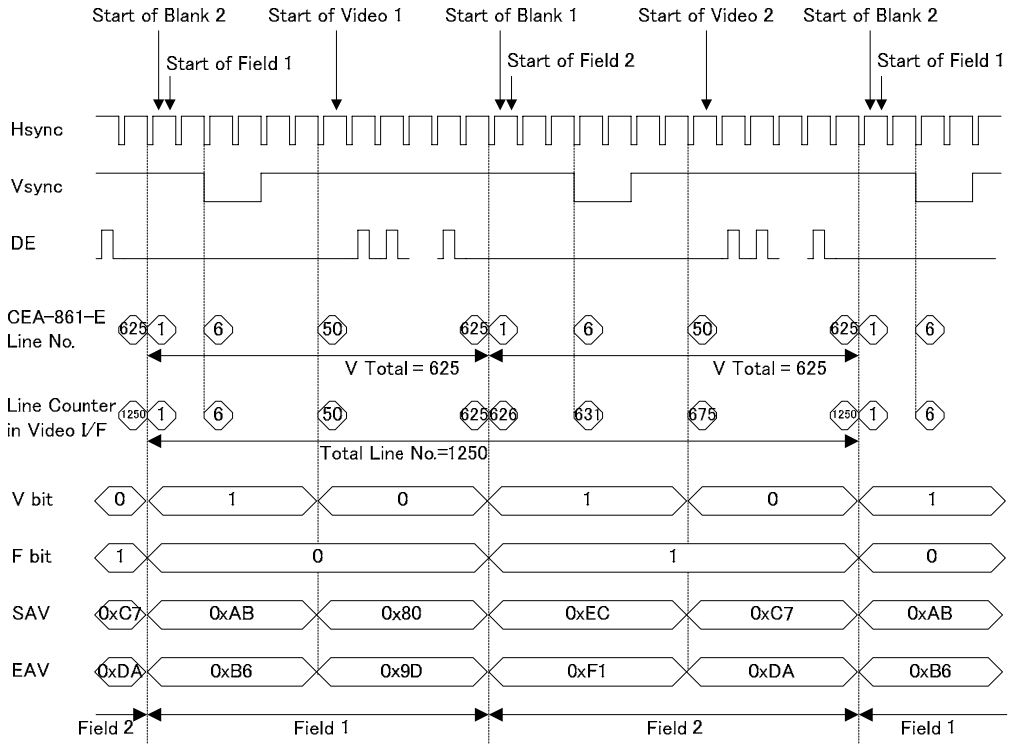
・RECMOD = 001、 480p の時 (3D モード設定無)



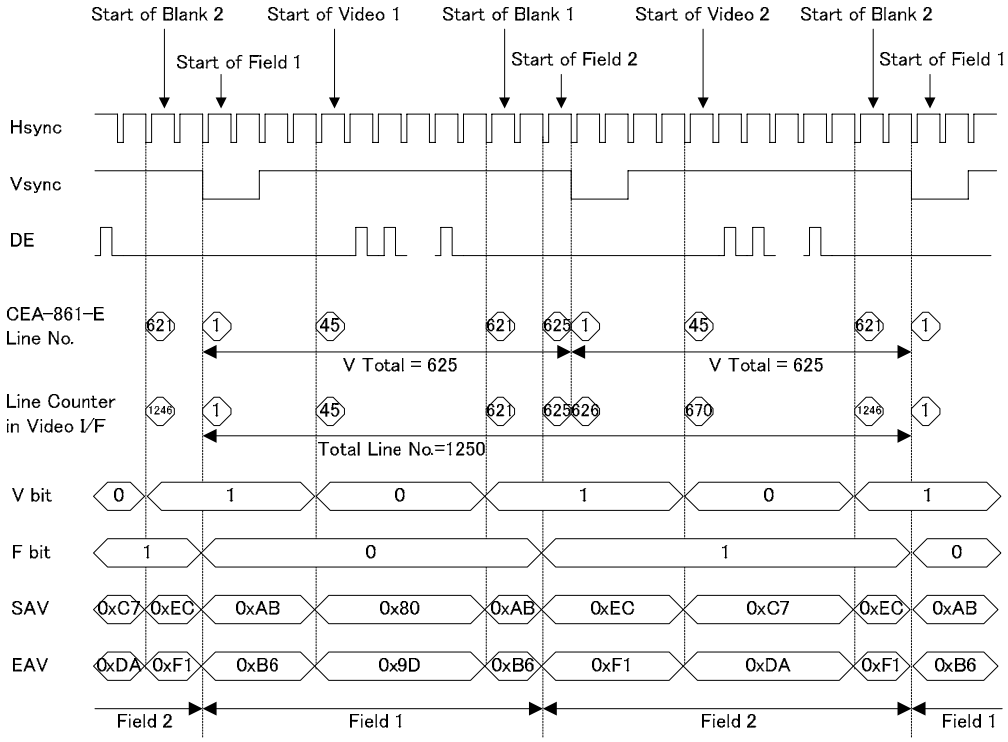
・RECMOD = 010、 480p の時 (3D モード設定無)



・RECMOD = 010、 576p の時 (3D モード設定無)



・RECMOD = 1xx、 576p の時 (3D モード設定無)



Embedded Sync Mode

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x51	Reserved		ESYMOD[5:0]						0x00

ビデオデータの前後に、3 クロックのプリアンブル (FF 00 00) で始まる 4 クロックの SAV と EAV (Embedded Sync) を付加することで、ビデオデータに Hsync / Vsync を多重して出力します。

Field	Bit	Type	Description	Default
Reserved	7:6	R / W	Reserved	00
ESYMOD [5:0]	5:0	R / W	Embedded Sync Mode ビデオデータに Hsync / Vsync を多重して出力します。 ESYMOD[5] 0: Embedded Sync 付加時に Hsync / Vsync / DE の出力を停止します。 1: Embedded Sync 付加時に Hsync / Vsync / DE を出力します。 ESYMOD[4] 0: ビデオフォーマットより Embedded Sync の挿入ラインを決定します。 1: レジスタ設定により Embedded Sync の挿入ラインを決定します。 ESYMOD[3] 0: ビデオフォーマットよりラインカウンタの開始･終了ラインを決定します。 1: レジスタ設定によりラインカウンタの開始･終了ラインを決定します。 ESYMOD[2] 0: Field ID を挿入します。 1: Field ID を 0 に固定します。 (この時 SAV/EAV は Field1 の値のみ出力されます) ESYMOD[1:0] 00: Embedded Sync を挿入しません (デフォルト) 01: CH0 に Embedded Sync を挿入します。 10: CH1 に Embedded Sync を挿入します。 11: CH2 に Embedded Sync を挿入します。	0x00

ESYMOD[4:3] = 00 の時、SAV / EAV の挿入ラインはビデオフォーマットと 0x62:0x50 RECMOD フィールドより自動的に設定されます (0x62:0x5C ～ 0x6B のレジスタ設定参照)。

ESYMOD[4:3] = 01 / 10 / 11 の時、SAV / EAV は 0x62:0x5C ～ 0x6B のレジスタ設定で設定されるラインへ挿入されます。

EAV / SAV Code Lower 8 bit for Embedded Sync

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x52	ESYPRA[7:0]								0xFF
0x62	0x53	ESYPRB[7:0]								0x00
0x62	0x54	SAVBKA[7:0]								0x00
0x62	0x55	SAVVDA[7:0]								0x00
0x62	0x56	SAVBKB[7:0]								0x00
0x62	0x57	SAVVDB[7:0]								0x00
0x62	0x58	EAVBKA[7:0]								0x00
0x62	0x59	EAVVDA[7:0]								0x00
0x62	0x5A	EAVBKB[7:0]								0x00
0x62	0x5B	EAVVDB[7:0]								0x00

SAV / EAV の下位 8 bit を設定します。

Field	Bit	Type	Description	Default
ESYPRA [7:0]	7:0	R / W	Embedded Sync Preamble Word (FF) EAV / SAV の先頭1ワードの下位 8 bit を設定します。上位 8 bit は 0xFF 固定です。	0xFF
ESYPRB [7:0]	7:0	R / W	Embedded Sync Preamble Word (00) EAV / SAV の 2, 3 ワード目の下位 8 bit を設定します。上位 8 bit は 0x00 固定です。	0x00
SAVBKA [7:0]	7:0	R / W	SAV Blank 1 Word SAV の 4 ワード目の下位 8 bit を設定します。上位 8 bit は 0xAB 固定です。	0x00
SAVVDA [7:0]	7:0	R / W	SAV Video 1 Word SAV の 4 ワード目の下位 8 bit を設定します。上位 8 bit は 0x80 固定です。	0x00
SAVBKB [7:0]	7:0	R / W	SAV Blank 2 Word SAV の 4 ワード目の下位 8 bit を設定します。上位 8 bit は 0xEC 固定です。	0x00
SAVVDB [7:0]	7:0	R / W	SAV Video 2 Word SAV の 4 ワード目の下位 8 bit を設定します。上位 8 bit は 0xC7 固定です。	0x00
EAVBKA [7:0]	7:0	R / W	EAV Blank 1 Word EAV の 4 ワード目の下位 8 bit を設定します。上位 8 bit は 0xB6 固定です。	0x00
EAVVDA [7:0]	7:0	R / W	EAV Video 1 Word EAV の 4 ワード目の下位 8 bit を設定します。上位 8 bit は 0x9D 固定です。	0x00
EAVBKB [7:0]	7:0	R / W	EAV Blank 2 Word EAV の 4 ワード目の下位 8 bit を設定します。上位 8 bit は 0xF1 固定です。	0x00
EAVVDB [7:0]	7:0	R / W	EAV Video 2 Word EAV の 4 ワード目の下位 8 bit を設定します。上位 8 bit は 0xDA 固定です。	0x00

CCIR R656 規格では、8 bit の SAV / EAV が規定されています。
上位 8 bit は CCIR R656 と同一ですが、下位 8 bit はこのレジスタで設定します。
これらのレジスタは 0x62:0x50 REC656 フィールド=1 の時にも有効です。

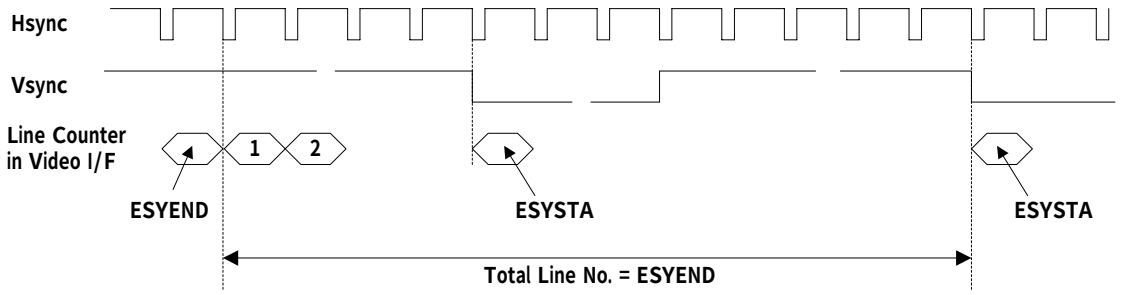
Start / End Line for Embedded Sync

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x5C	ESYSTA[7: 0]								0x00
0x62	0x5D	Reserved			ESYSTA[12: 8]					0x00
0x62	0x5E	ESYEND [7: 0]								0x00
0x62	0x5F	Reserved			ESYEND[12: 8]					0x00

内部ラインカウンタを任意の値に設定します。

Field	Bit	Type	Description	Default
ESYSTA [12:0]	12:0	R / W	Start Line for Embedded Sync Embedded Sync を挿入する際に使用するパラメータです。 Vsync 入力時の内部ラインカウンタの値を設定します。 ESYMOD[3]=1 の時に有効です。	0x0000
ESYEND [12:0]	12:0	R / W	End Line for Embedded Sync Embedded Sync を挿入する際に使用するパラメータです。 1フレームあたりのライン数を設定します。 ESYMOD[3]=1 の時に有効です。	0x0000

内部ラインカウンタには、Vsync の有効エッジで ESYSTA がロードされ、1H 毎に 1 ずつインクリメントされます。内部ラインカウンタの値が ESYEND と一致すると、1 から再度カウントを開始します。
インターレース時、ESYEND には1フレームのライン数を設定します。
プログレッシブ時、ESYEND には1フレームのライン数の 2 倍を設定します。
CCIR R656 準拠で 480i の場合、ESYSTA = 4、ESYEND = 525 です。
BTA T-1004 準拠で 480p の場合、ESYSTA = 7、ESYEND = 1050 です。



Start Line for Embedded Sync

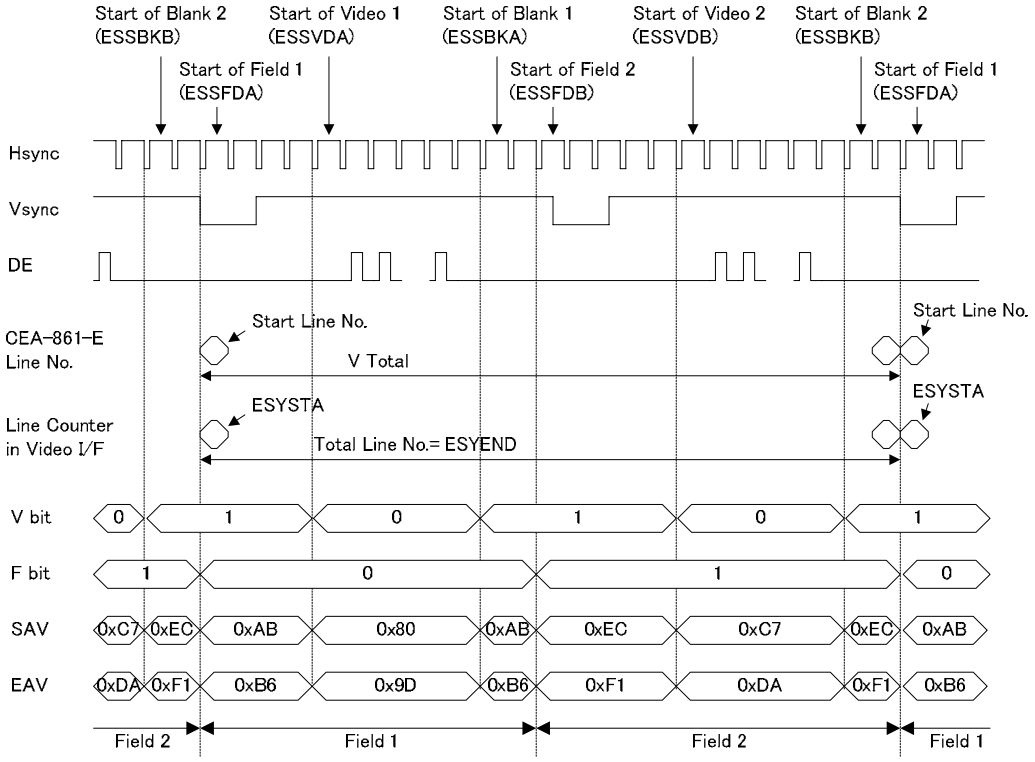
Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x60	ESSFDA [7:0]								0x00
0x62	0x61	Reserved			ESSFDA [12:8]					0x00
0x62	0x62	ESSVDA[7:0]								0x00
0x62	0x63	Reserved			ESSVDA [12:8]					0x00
0x62	0x64	ESSBKA[7:0]								0x00
0x62	0x65	Reserved			ESSBKA [12:8]					0x00
0x62	0x66	ESSFDB [7:0]								0x00
0x62	0x67	Reserved			ESSFDB [12:8]					0x00
0x62	0x68	ESSVDB[7:0]								0x00
0x62	0x69	Reserved			ESSVDB [12:8]					0x00
0x62	0x6A	ESSBKB[7:0]								0x00
0x62	0x6B	Reserved			ESSBKB [12:8]					0x00

SAV / EAV の挿入ラインを設定します。

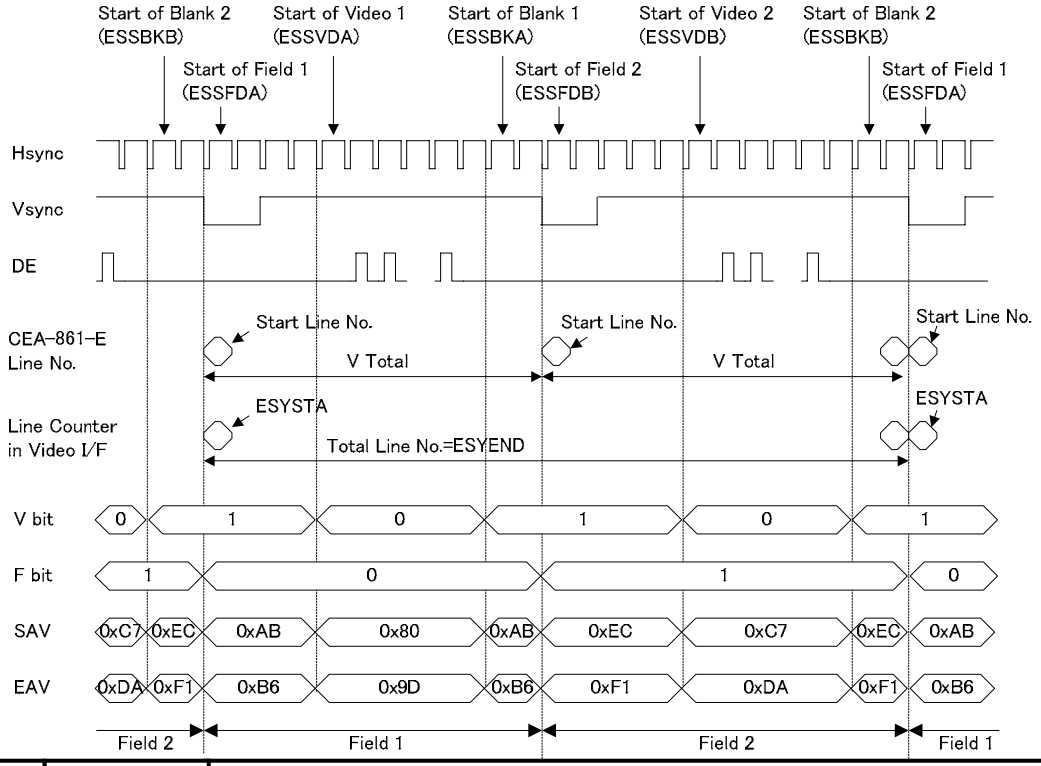
Field	Bit	Type	Description	Default
ESSFDA [12:0]	12:0	R / W	Embedded Sync Field 1 Start Field 1 のスタートライン。 ESYMOD[4]=1 の時に有効です。	0x0000
ESSVDA [12:0]	12:0	R / W	Embedded Sync Video 1 Start Video 1 のスタートライン。 ESYMOD[4]=1 の時に有効です。	0x0000
ESSBKA [12:0]	12:0	R / W	Embedded Sync Blank 1 Start Blank 1 のスタートライン。 ESYMOD[4]=1 の時に有効です。	0x0000
ESSFDB [12:0]	12:0	R / W	Embedded Sync Field 2 Start Field 2 のスタートライン。 ESYMOD[4]=1 の時に有効です。	0x0000
ESSVDB [12:0]	12:0	R / W	Embedded Sync Video 2 Start Video 2 のスタートライン。 ESYMOD[4]=1 の時に有効です。	0x0000
ESSBKB [12:0]	12:0	R / W	Embedded Sync Blank 2 Start Blank 2 のスタートライン。 ESYMOD[4]=1 の時に有効です。	0x0000

0x62:0x5C ～ 0x5F ESYSTA、ESYEND の設定と合わせると、任意のラインに SAV / EAV を挿入できます。

インターレース時



プログレッシブ時



ESYMOD[4:3] = 00 の時、SAV / EAV の挿入ラインはビデオフォーマットと 0x62:0x50 RECMOD フィールドより自動的に内部で設定されます（下表）。 ただし、これらの値は 0x62:0x5C ～ 0x6B のレジスタより読み出すことはできません。

ESYMOD[4:3] = 01 / 10 / 11 の時、SAV / EAV は 0x62:0x5C ～ 0x6B のレジスタ設定で設定されるラインへ挿入されます。下表以外のフォーマットに対して SAV / EAV を挿入する、あるいは下表とは異なるラインへ SAV / EAV を挿入する場合は、ESYMOD[4:3] = 01 / 10 / 11 として挿入ラインを設定して下さい。

製品仕様書

MN864773A

全ページ	ページ
—	182

HDMI Video Format	3D structure	REC MOD	CEA861E Format No.	Format	Start Line No. (evscsn)	Total Line No. (evscen)	Start of Field 1 (stlfda)	Start of Video 1 (stlvda)	Start of Blank 1 (stlbka)	Start of Field 2 (stlfdb)	Start of Video 2 (stlvdb)	Start of Blank 2 (stlbkb)
000	xxxx	000	6, 7, 10, 11	480i	4	525	4	20	264	266	283	1
			2, 3, 14, 15, 35, 36	480p	7	1050	7	39	527	531	565	1
			21, 22, 25, 26	576i	1	625	1	23	311	313	336	624
			17, 18, 29, 30, 37, 38	576p	1	1250	1	45	621	625	671	1247
		001	6, 7, 10, 11	480i	5	525	4	20	264	266	283	1
			2, 3, 14, 15, 35, 36	480p	9	1050	7	39	527	531	565	1
		010	2, 3, 14, 15, 35, 36	480p	8	1050	1	43	526	526	568	1
			17, 18, 29, 30, 37, 38	576p	6	1250	1	50	626	626	675	1
		1xx	17, 18, 29, 30, 37, 38	576p	1	1250	1	45	621	625	670	1246
		xxx	5, 20, 40, 46	1080i	1	1125	1	21	561	563	584	1124
			4, 19, 41, 47	720p	1	1500	1	26	746	751	776	1496
			16, 31, 32, 33, 34	1080p	1	2250	1	42	1122	1126	1167	2247
			1	VGA	1	1050	1	36	516	526	561	1041
010	0000	000	6, 7, 10, 11	480i	4	2100	4	20	1051	1054	1070	1
			2, 3, 14, 15, 35, 36	480p	7	2100	7	39	1051	1057	1089	1
			21, 22, 25, 26	576i	1	2500	1	23	1249	1251	1273	2499
			17, 18, 29, 30, 37, 38	576p	1	2500	1	45	1247	1251	1295	2497
		001	6, 7, 10, 11	480i	5	2100	4	20	1051	1054	1070	1
			2, 3, 14, 15, 35, 36	480p	9	2100	7	39	1051	1057	1089	1
		010	2, 3, 14, 15, 35, 36	480p	8	2100	1	43	1051	1051	1093	1
			17, 18, 29, 30, 37, 38	576p	6	2500	1	50	1251	1251	1300	1
		1xx	17, 18, 29, 30, 37, 38	576p	1	2500	1	45	1246	1251	1295	2496
		xxx	5, 20, 40, 46	1080i	1	4500	1	21	2249	2251	2271	4499
			4, 19, 41, 47	720p	1	3000	1	26	1496	1501	1526	2996
			16, 31, 32, 33, 34	1080p	1	4500	1	42	2247	2251	2292	4497
			1	VGA	1	2100	1	36	1041	1051	1086	2091
	0001	000	6, 7, 10, 11	480i	4	1050	4	20	526	529	545	1
			21, 22, 25, 26	576i	1	1250	1	23	624	626	648	1249
		001	6, 7, 10, 11	480i	5	1050	4	20	526	529	545	1
		xxx	5, 20, 40, 46	1080i	1	2250	1	21	1124	1126	1146	2249
	0010	000	2, 3, 14, 15, 35, 36	480p	7	2100	7	77	1051	1057	1127	1
			17, 18, 29, 30, 37, 38	576p	1	2500	1	95	1247	1251	1345	2497
		001	2, 3, 14, 15, 35, 36	480p	9	2100	7	77	1051	1057	1127	1
		010	2, 3, 14, 15, 35, 36	480p	8	2100	1	85	1051	1051	1135	1
			17, 18, 29, 30, 37, 38	576p	6	2500	1	99	1251	1251	1349	1
		1xx	17, 18, 29, 30, 37, 38	576p	1	2500	1	94	1246	1251	1344	2496
		xxx	4, 19, 41, 47	720p	1	3000	1	56	1496	1501	1556	2996
			16, 31, 32, 33, 34	1080p	1	4500	1	87	2247	2251	2337	4497
			1	VGA	1	2100	1	81	1041	1051	1131	2091
	0011 or 1000	000	6, 7, 10, 11	480i	4	525	4	20	264	266	283	1
			2, 3, 14, 15, 35, 36	480p	7	1050	7	39	527	531	565	1
			21, 22, 25, 26	576i	1	625	1	23	311	313	336	624
			17, 18, 29, 30, 37, 38	576p	1	1250	1	45	621	625	671	1247
		001	6, 7, 10, 11	480i	5	525	4	20	264	266	283	1
			2, 3, 14, 15, 35, 36	480p	9	1050	7	39	527	531	565	1
		010	2, 3, 14, 15, 35, 36	480p	8	1050	1	43	526	526	568	1
			17, 18, 29, 30, 37, 38	576p	6	1250	1	50	626	626	675	1
		1xx	17, 18, 29, 30, 37, 38	576p	1	1250	1	45	621	625	670	1246
		xxx	5, 20, 40, 46	1080i	1	1125	1	21	561	563	584	1124
			4, 19, 41, 47	720p	1	1500	1	26	746	751	776	1496
			16, 31, 32, 33, 34	1080p	1	2250	1	42	1122	1126	1167	2247
			1	VGA	1	1050	1	36	516	526	561	1041
	0100	000	2, 3, 14, 15, 35, 36	480p	7	2100	7	39	1051	1057	1089	1
			17, 18, 29, 30, 37, 38	576p	1	2500	1	45	1247	1251	1295	2497
		001	2, 3, 14, 15, 35, 36	480p	9	2100	7	39	1051	1057	1089	1
		010	2, 3, 14, 15, 35, 36	480p	8	2100	1	43	1051	1051	1093	1
			17, 18, 29, 30, 37, 38	576p	6	2500	1	50	1251	1251	1300	1
		1xx	17, 18, 29, 30, 37, 38	576p	1	2500	1	45	1246	1251	1295	2496
		xxx	4, 19, 41, 47	720p	1	3000	1	26	1496	1501	1526	2996
			16, 31, 32, 33, 34	1080p	1	4500	1	42	2247	2251	2292	4497
			1	VGA	1	2100	1	36	1041	1051	1086	2091

x は don't care

2010-09-10	
制 定	改 正

3D Format Control：

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	de-fault
0x62	0x6C	STCTTD [3:0]				HVFORM [2:0]			MODETD	0x00

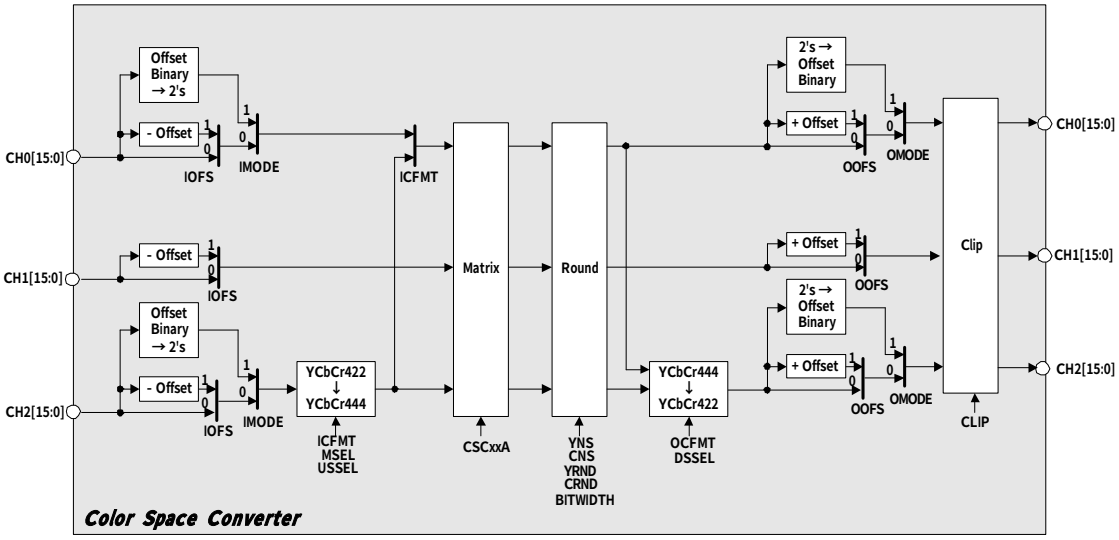
Field	Bit	Type	Description	Default
STCTTD [3:0]	7:4	R/W	3D structure 3D format の出力フレームを選択します。 0000： Frame packing 0001： Field alternative 0010： Line alternative 0011： Side-by-Side(Full) 0100： L+depth 1000： Side-by-Side(Half) その他： Reserved	0x0
HVFORM [2:0]	3:1	R/W	HDMI_Video Format ビデオフォーマットが通常format/3D formatかを選択します 000：通常format（デフォルト） 010：3D format その他：Reserved	0x0
MODETD	0	R/W	3D auto/manual control 3D モードの自動/手動選択します。 0： 自動設定(デフォルト) 1： 手動設定	0

MODETD=1’b1 を設定した時には、0x62:0x6C の bit3-1 のレジスタ設定により 3D format か否かを設定し、bit7-4 のレジスタ設定により 3D structure の設定ができます。

自動検出を行う際は MODETD=1’b0 に設定します。その場合 3D format であるか否かは HVS パケットの値(0x68:0xA8 bit7-5)が参照され、3D structure は HVS パケットの値(0x68:0xA9 bit7-4)が参照されます。

4．2．3 Color Space Converter： カラースペースコンバータ

YCbCr444/422 と RGB との相互変換を行います。
パラメータの自動設定機能を備え、入力カラーフォーマットと出力カラーフォーマット
(0x62:0x72　ICFMT / OCFMT) を指定すれば、各種パラメータが自動的に設定されます。



Color Space Converter Mode Setting #1

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x70	ASET	MSEL	YNS	CNS	YRND	CRND	ASMOD	CSCOFF	0x80

カラースペースコンバータを設定します。

Field	Bit	Type	Description	Default
ASET	7	R / W	Color Space Converter Auto Setting カラースペースコンバータ自動設定のイネーブルです。 0: 手動設定。全てのパラメータを設定する必要があります。 1: 自動設定。ICFMT と OCFMT を設定すれば、その他のパラメータは自動的に設定されます。	0x1
MSEL	6	R / W	YCbCr Mode Select YCbCr4:2:2 → YCbCr4:4:4 変換設定です。 0: 前値補間 1: 補間 tap 数設定(USSEL)に合わせて補間	0x0
YNS	5	R / W	CH1 Noise Shaping Setting CH1(Y、G)の丸め方法を設定します。 0: 四捨五入 (デフォルト) 1: ノイズシェーピング	0x0
CNS	5	R / W	CH0, CH2 Noise Shaping Setting CH0, CH2 (CbCr、B、R) の丸め方法を設定します。 0: 四捨五入 (デフォルト) 1: ノイズシェーピング	0x0
YRND	3	R / W	CH1 Round Setting CH1(Y、G)の丸め設定です。 0: 切捨て (デフォルト) 1: 出力 Bit 幅(0x62:0x73 bit1-0 BITWIDTH)に合わせて丸め	0x0
CRND	2	R / W	CH0, CH2 Round Setting CH0, CH2 (CbCr、B、R) の丸め設定です。 0: 切捨て (デフォルト) 1: 出力 Bit 幅(0x62:0x73 bit1-0 BITWIDTH)に合わせて丸め	0x0
ASMOD	1	R / W	Color Space Converter Auto Setting Mode カラースペースコンバータ自動設定のモードを選択します。 0: カラースペースコンバータのパラメータ (マトリックス変換の係数含む) を全て自動的に設定します (デフォルト) 1: マトリックス変換の係数のみ自動的に設定します。	0x0
CSCOFF	0	R / W	Color Space Converter OFF カラースペース変換を停止します。 0: カラースペース変換 ON (デフォルト) 1: カラースペース変換 OFF	0x0

Color Space Converter Mode Setting #2

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x71	OOFS	IOFS	CLIP	OMOD	IMOD	RPTSET [1:0]		OCLIP	0x00

カラースペースコンバータを設定します。

Field	Bit	Type	Description	Default
OOFS	7	R / W	Output Offset Setting 出力時のオフセットを設定します。 0：オフセットを加算しません。(デフォルト) 1：bit4 = 0 (RGB 出力) の時 RGB 全てにオフセット (4096) を加算します。 bit4 = 1 (YCbCr 出力) の時 Y にのみオフセット (4096) を加算します。	0x0
IOFS	6	R / W	Input Offset Setting 入力時のオフセットを設定します。 0：オフセットを減算しません。(デフォルト) 1：bit3 = 0 (RGB 入力) の時 RGB 全てからオフセット(4096)を減算します。 bit3 = 1 (YCbCr 入力) の時 Y からのみオフセット(4096)を減算します。	0x0
CLIP	5	R/W	Clip Setting 手動パラメータ時、出力データを設定値に Clip して出力します。 0：クリップを行いません。(デフォルト) 1：CVALEN の設定に合わせてクリップを行います。	0x0
OMODE	4	R / W	2's / binary Output Mode Setting 出力側の 2's / binary を選択します。 0：binary (RGB 出力) (デフォルト) 1：2's (YCbCr 出力)	0x0
IMODE	3	R / W	2's / binary Input Mode Setting 入力側の 2's / binary を選択します。 0：binary (RGB 入力) (デフォルト) 1：2's (YCbCr 入力)	0x0
RPTSET [1:0]	2:1	R / W	Pixel Clock Repetition Setting ピクセルクロックのリピティションを選択します。 00：×0 (デフォルト) 01：×2 10：×4 11：Reserved	0x0
OCLIP	0	R / W	Output Clipping Data Enable 自動パラメータ時、出力データを設定値に Clip して出力します。 0：クリップを行いません。(デフォルト) 1：CVALEN の設定に合わせてクリップを行います。	0x0

Color Space Converter Mode Setting #3

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x72	ICFMT [3:0]				OCFMT [3:0]				0x00

カラースペースコンバータの入力／出力フォーマットを設定します。

Field	Bit	Type	Description	Default
ICFMT [3:0]	7:4	R / W	Input Color Format 入力カラーフォーマットを設定します。 0000： YCbCr4:2:2 BT.601 0001： xvYCC601 4:2:2 0010： YCbCr4:4:4 BT.601 0011： xvYCC601 4:4:4 0100： YCbCr4:2:2 BT.709 0101： xvYCC709 4:2:2 0110： YCbCr4:4:4 BT.709 0111： xvYCC709 4:4:4 1000： RGB Full Range 1010： RGB Limited Range 1001： Offset Full RGB 1011： Offset Limited RGB Other： Reserved	0x0
OCFMT [3:0]	3:0	R / W	Output Color Format 出力カラーフォーマットを設定します。 0000： YCbCr4:2:2 BT.601 0001： xvYCC601 4:2:2 0010： YCbCr4:4:4 BT.601 0011： xvYCC601 4:4:4 0100： YCbCr4:2:2 BT.709 0101： xvYCC709 4:2:2 0110： YCbCr4:4:4 BT.709 0111： xvYCC709 4:4:4 1000： RGB Full Range 1010： RGB Limited Range 1001： Offset Full RGB 1011： Offset Limited RGB 1100： Auto Setting YCbCr4:2:2 1101： Auto Setting xvYCC4:2:2 1110： Auto Setting YCbCr4:4:4 1111： Auto Setting xvYCC4:4:4 Other： Reserved ※ Auto Setting YCbCr の時は、検出したビデオフォーマットにしたがって、BT.601 と BT.709 を自動設定します。	0x0

Color Space Converter Mode Setting #4

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x73	DSSEL [1:0]		USSEL [1:0]		CVALEN	CVALSEL	BITWIDTH [1:0]		0x02

カラースペースコンバータを設定します。

Field	Bit	Type	Description	Default
DSSEL [1:0]	7:6	R / W	Down Sampling Mode Select YCbCr4:4:4 → YCbCr4:2:2 に変換するときの間引きフィルタを設定します。 01：1 次フィルタ (四捨五入) 10：2 次フィルタ (四捨五入) Other：間引きのみ	0x0
USSEL [1:0]	5:4	R / W	Up Sampling Mode Select YCbCr4:2:2 → YCbCr4:4:4 に変換するときの補間フィルタを設定します。 00：2tap (四捨五入) 01：4tap (四捨五入) 10：6tap (四捨五入) 11：8tap (四捨五入) ※Pixel Repetition なしのときのみ有効です。 ※Pixel Repetition ありのときは、2tap の設定となります。	0x0
CVALEN	3	R / W	Data Clipping Value Select Enable Clip の値を変更可能にします。 0：Clip 値は固定 R/G/B/Y 4096 ～ 60160 Cb/Cr 4096 ～ 61440 1：Clip 値の変更可能 CVALSEL、CLIPTVAL、CLIPBVAL で設定してください。	0x0
CVALSEL	2	R / W	Data Clipping Value Select Clip の値を変更するフォーマットを指定します。 0：R/B/G/Y 1：Cb/Cr	0x0
BITWIDTH [1:0]	1:0	R / W	Output Bit Width カラースペースコンバータから出力するビット幅 (＝ビデオインターフェースへ入力されるビット幅) を設定します。 0x62:0x70 bit3 YRND、bit2 CRND の設定により切り捨て／丸めが行われ、8 bit / 10 bit / 12 bit を選択した時は下位ビットに 0 が埋められます。 00：8 ビット (下位 8 ビットは 0) 01：10 ビット (下位 6 ビットは 0) 10：12 ビット (下位 4 ビットは 0) (デフォルト) 11：16 ビット	0x2

Clipping Value Setting Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x74	CLIPTVAL[7:0]								0x00
0x62	0x75	CLIPTVAL[15:8]								0xEB
0x62	0x76	CLIPBVAL[7:0]								0x00
0x62	0x77	CLIPBVAL[15:8]								0x10

ビデオ信号のクリップレベルを設定します。

Field	Bit	Type	Description	Default
CLIPTVAL [15:0]	15:0	R / W	Data Clipping Top Value Setting 出力データを Clip する上限値を設定します。 CVALSEL (0x62:0x73) で、設定する対象を設定します。	0xEB00
CLIPBVAL [15:0]	15:0	R / W	Data Clipping Bottom Value Setting 出力データを Clip する下限値を設定します。 CVALSEL (0x62:0x73) で、設定する対象を設定します。	0x1000

＜設定例＞
注) 12 bit 以下で設定したい場合は、下位を 0 を埋めて設定してください。

◇R/G/B/Y の上限値を 61440、下限値を 4096 に設定したい場合は次のように設定してください。
〔設定値〕　CVALSEL=0x0、 CLIPTVAL=0xF000、 CLIPBVAL=0x1000

◇Cb/Cr の上限値を 60160、下限値を 4096 に設定したい場合は次のように設定してください。
〔設定値〕　CVALSEL=0x1、 CLIPTVAL=0xEB00、 CLIPBVAL=0x1000

Color Space Converter Update Control

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x78	ICFASET	RGBMODE	CSCBYPS	DVIREPM	Reserved		SUPDATE	UPDATE	0x02

Field	Bit	Type	Description	Default
ICFASET	7	R / W	Input Color Format Auto Setting ICFMT を AVI Infoframe の情報から自動設定します 0： AVI Infoframe の情報を使用します。 1： ICFMT レジスタの設定を使用します。	0x0
RGBMODE	6	R / W	RGB Mode AVI Infoframe の RGB Quantization が Default、あるいは Reserved のときの RGB レンジを設定します。(ICFASET=0 の時のみ有効) 0： Full Range 1： Limited Range AVI Infoframe レジスタの 0x68_0x25 AVI01P[6:5](Y1,Y0)=00、かつ 0x68_0x27 AVI03P[3:2](Q1,Q0)=00 or 11 の場合に有効となります。	0x0
CSCBYPS	5	R / W	Color Space Converter Bypass Mode. カラースペースコンバータをバイパスします。 0： カラースペースコンバータを通ります。 1： カラースペースコンバータをバイパスします。 ※バイパス時には、CSCDWN の設定で動作電力削減できます。	0x0
DVIREPM	4	R / W	DVI MODE Repetition Mode DVI モード時の、480i, 576i の Repetition Mode を設定します。 0： Repetition 0 として動作します。 1： Repetition 2 として動作します。	0x0
Reserved	3:2	R / W	Reserved	0x0
SUPDATE	1	R / W	Color Space Converter Software Update 0：UPDATE を使用して、カラースペースコンバータの レジスタ設定を内部レジスタへ格納します。 1：Vsync とは無関係に、カラースペースコンバータの レジスタ設定を内部レジスタへ格納します。	0x1
UPDATE	0	R / W	Color Space Converter Update 0：通常 1：Vsync に同期してカラースペースコンバータのレジスタ設定を内部レジスタへ格納します。 ※1 が書き込まれた後、ホストクロックの 8 クロックで 自動的に 0 へクリアされます。	0x0

Color Space Converter Matrix Coefficient

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0x7C	CSC00A[7: 0]								0x00
0x62	0x7D	CSC00A[15:8]								0x00
0x62	0x7E-7F	Reserved								0x00
0x62	0x80	CSC01A[7: 0]								0x00
0x62	0x81	CSC01A[15:8]								0x00
0x62	0x82-83	Reserved								0x00
0x62	0x84	CSC02A[7: 0]								0x00
0x62	0x85	CSC02A[15:8]								0x00
0x62	0x86-87	Reserved								0x00
0x62	0x88	CSC10A[7: 0]								0x00
0x62	0x89	CSC10A[15:8]								0x00
0x62	0x8A-8B	Reserved								0x00
0x62	0x8C	CSC11A[7: 0]								0x00
0x62	0x8D	CSC11A[15:8]								0x00
0x62	0x8E-8F	Reserved								0x00
0x62	0x90	CSC12A[7: 0]								0x00
0x62	0x91	CSC12A[15:8]								0x00
0x62	0x92-93	Reserved								0x00
0x62	0x94	CSC20A[7: 0]								0x00
0x62	0x95	CSC20A[15:8]								0x00
0x62	0x96-97	Reserved								0x00
0x62	0x98	CSC21A[7: 0]								0x00
0x62	0x99	CSC21A[15:8]								0x00
0x62	0x9A-9B	Reserved								0x00
0x62	0x9C	CSC22A[7: 0]								0x00
0x62	0x9D	CSC22A[15:8]								0x00
0x62	0x9E-9F	Reserved								0x00

Field	Bit	Type	Description	Default
CSC00A[15:0]	15:0	R / W	Coefficient of Color Space Converter	0x0000
CSC01A[15:0]	15:0	R / W	色変換マトリックスの係数を設定します。	0x0000
CSC02A[15:0]	15:0	R / W		0x0000
CSC10A[15:0]	15:0	R / W	$\begin{pmatrix} G \\ B \\ R \end{pmatrix} = \begin{pmatrix} CSC00A & CSC01A & CSC02A \\ CSC10A & CSC11A & CSC12A \\ CSC20A & CSC21A & CSC22A \end{pmatrix} \begin{pmatrix} Y \\ Cb \\ Cr \end{pmatrix}$	0x0000
CSC11A[15:0]	15:0	R / W		0x0000
CSC12A[15:0]	15:0	R / W		0x0000
CSC20A[15:0]	15:0	R / W		0x0000
CSC21A[15:0]	15:0	R / W		0x0000
CSC22A[15:0]	15:0	R / W		0x0000

4．2．4 Audio Control Registers： オーディオ制御レジスタ

Audio Mode Setting Register #1

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xA0	PLLASET	AMUTEEN	AUTOCHG	CTSAVEN	NDEN	MHOLDEN	MCLKEN	AOEN	0xE6

Field	Bit	Type	Description	Default
PLLASET	7	R / W	PLL Parameter Auto Setting. PLL の逓倍比を自動的に設定する場合に 1 をセットします。 0: レジスタ設定 1: 自動設定 (デフォルト)	1
AMUTEEN	6	R / W	Auto Mute Enable 自動ミュート機能を制御します。 0: 自動ミュートを使用しない 1: 自動ミュートを使用する(デフォルト)	1
AUTOCHG	5	R / W	Auto Audio Format Change 受信している Audio フォーマットに合わせて 自動的に受信モードを変更します。 0: RFMTSEL で設定した受信モード 1: 自動受信モード (デフォルト)	1
CTSAVEN	4	R / W	CTS Parameter Mode Enable CTS パラメータを制御します。 0: ディセーブル(デフォルト) 1: イネーブル	0
NDEN	3	R/W	N Parameter Mode Enable N パラメータを制御します。 0: ディセーブル(デフォルト) 1: イネーブル	0
MHOLDEN	2	R / W	Audio Mute Hold Enable 音声 MUTE 時のデータを制御します。 0: MUTE 時データ 0 1: MUTE 時最終データを保持 (デフォルト)	1
MCLKEN	1	R / W	Master Clock Output Enable マスタクロック出力を制御します。 0: マスタクロック出力停止 1: マスタクロック出力 (デフォルト)	1
AOEN	0	R / W	Audio Signal Output Enable. オーディオ信号出力を制御します。 オーディオ信号を出力するには、1 をセットする必要があります。	0

			また、出力データディセーブル設定時は、OUTM レジスタにて、HI-Z または、L ドライブ状態を選択可能です。 以下のオーディオ系出力端子が対象となります。 MCLK,BCLK,LRCLK,SDO3〜0,SPDIF 0: 出力データディセーブル (デフォルト) 1: オーディオ出力	

Audio Mode Setting Register #2

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xA1	NDMOD	CTSAVMODE [2:0]			Reserved	FIFOCNT	VUCAUTO	TXVBIT	0x02

Field	Bit	Type	Description	Default
NDMOD	7	R / W	N Parameter Mode Setting N パラメータ制御モードを設定します。	0
CTSAVMODE [2:0]	6:4	R / W	CTS Parameter Mode Setting CTS パラメータ制御モードを設定します。	000
Reserved	3	R / W		0
FIFOCNT	2	R / W	Audio FIFO Control Enable FIFO を制御し、アンダーフロー、オーバーフローの発生を抑制するモードを設定します。 0: Audio FIFO を制御しない (デフォルト) 1: Audio FIFO を制御する	0
VUCAUTO	1	R / W	VUC bit auto insertion. IEC60958 フォーマットにおける VUC ビットの自動設定を制御します。 0: レジスタ設定値を出力 1: 入力データ値を出力 (デフォルト)	1
TXVBIT	0	R / W	V bit value. VUCAUTO=0 時における V bit の値です。	0

Audio Mode Setting Register #3

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xA2	Reserved				FIFOCNT GAIN[1:0]		PLLMODE [1:0]		0x00

Field	Bit	Type	Description	Default
Reserved	7:4	R / W	Reserved	0x0
FIFOCNTGAIN [1:0]	3:2	R / W	FIFO Control Gain FIFO コントロールのゲインを設定します。 00: 1 倍 (デフォルト) 01: 2 倍 10: 4 倍 11: 8 倍	00
PLLMODE [1:0]	1:0	R / W	Digital PLL Mode 音声用デジタル PLL のテストモードを設定します。 00：モード 1 (NDEN=1 時推奨) 01：モード 2 (従来互換) 10、11：モード 3 (NDEN=0 時推奨)	00

Audio Mode Setting Register #4

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xA3	LPFEN	DPLL	APLL	FLOCK	Reserved	CBIT_SEL [2:0]			0x00

Field	Bit	Type	Description	Default
LPFEN	7	R / W	Analog PLL LPF Setting Enable アナログ PLL の LPF の特性を変更可能にします。 0: 内蔵 LPF 1: 外部に LPF を追加	0
DPLL	6	R / W	Digital PLL mode setting. デジタル PLL の動作モードを設定します。 0: デジタル PLL + アナログ PLL (デフォルト) 1: デジタル PLL のみで動作	0
APLL	5	R / W	Analog PLL mode setting. アナログ PLL の動作モードを設定します。 0: 内部アナログ PLL を使用 (デフォルト) 1: 外付アナログ PLL を使用	0
FLOCK	4	R / W	Digital PLL Force Lock Enable デジタル PLL を強制的にロックさせるモードを設定します。 0: 通常動作 (デフォルト) 1: デジタル PLL を強制ロック	0
Reserved	3	R / W	Reserved	0
CBIT_SEL [2:0]	2:0	R / W	CBIT Read Data Channel Select CBIT を読み取るチャンネルを設定します。 000: 1 ch (L) (デフォルト) 001: 2 ch (R) 010: 3 ch (L) 011: 4 ch (R) 100: 5 ch (L) 101: 6 ch (R) 110: 7 ch (L) 111: 8 ch (R)	000

Audio Mode Setting Register #5

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xA4	BCLKFS	POLLRCLK	DABIT [1:0]		BCLKEDGE	FBMODE	IISMODE	ENDMOD	0x00

Field	Bit	Type	Description	Default
BCLKFS	7	R / W	Bit Clock Frequency setting. ビットクロック(Fs)の分周比を設定します。 0: 64 Fs (デフォルト) 1: 32 Fs	0
POLLRCLK	6	R / W	Polarity L/R clock. LRCLK の極性を設定します。 0: Lch=Low,Rch=High (デフォルト) 1: Lch=High,Rch=Low	0
DABIT [1:0]	5:4	R / W	Audio Data Bit Width. オーディオ出力データビット数を設定します。 00: 16 bit (デフォルト) 01: 18 bit 10: 20 bit 11: 24 bit	00
BCLKEDGE	3	R / W	Bit Clock Edge Select. BCLK クロックに同期して出力されるデータの出力変化タイミングを選択します。 0: BCLK の立ち上がりエッジに同期 (デフォルト) 1: BCLK の立ち下がりエッジに同期	0
FBMODE	2	R / W	Audio Data Start bit setting. オーディオデータの開始位置を設定します。 0: 後詰め (デフォルト) 1: 前詰め	0
IISMODE	1	R / W	I2S Mode Setting. I2S モードを設定します。 0: I2S モード OFF (デフォルト) 1: I2S モード ON	0
ENDMOD	0	R / W	Transmit Data Endian Mode Setting 送信データのエンディアン切り替え 0: MSB ファースト (デフォルト) 1: LSB ファースト	0

Audio Mode Setting Register #6

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xA5	Reserved					PDHALF	Reserved	DREFSEL	0x00

Field	Bit	Type	Description	Default
Reserved	7:3	R / W		00000
PDHALF	2	R / W	DPLL Half Speed DPLL の位相比較部の動作クロックを設定します。 0:DPLL クロック 1:DPLL クロック/2	0
Reserved	1	R / W		0
DREFSEL	0	R / W	HPLL DREF Select HPLL のデジタルリファレンスクロックを選択します。 0:固定分周クロック 1:DPLL 分周クロック	0

Audio Mode Setting Register #7

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xA6	THOVRF[3:0]				THUNDF[3:0]				0x00

Field	Bit	Type	Description	Default
THOVRF [3:0]	7:4	R / W	Audio FIFO Overflow Indicator Threshold オーバーフロー発生の閾値を設定します。	0000
THUNDF [3:0]	3:0	R / W	Audio FIFO Underflow Indicator Threshold アンダーフロー発生の閾値を設定します。	0000

Audio Mode Setting Register #8

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xA8	DSDMODE	BSSTOP	Reserved		DSTREN	HBRREN	OBAREN	ASREN	0x41

Field	Bit	Type	Description	Default
DSDMODE	7	R / W	DSD Mode 音声出力を DSD モードに設定します。 0: SPDIF/SDO/LRCLK/BCLK 1: DSDO/DSDCLK	0
BSSTOP	6	R/W	Bit Stream Output Stop ビットストリームのデータ出力を設定します。 0: SPDIF 及び、SDO からデータ出力します。 1: SPDIF からのみデータ出力します。	1
Reserved	5:4	R / W		00
DSTREN	3	R / W	DST Mode Enable DST データの処理を設定します。 0: DST モードディセーブル 1: DST モードイネーブル	0
HBRREN	2	R / W	Hi-Bit Rate Audio Mode Enable Hi-Bit Rate Audio データの処理を設定します。 0: HBR モードディセーブル 1: HBR モードイネーブル	0
OBAREN	1	R / W	One Bit Audio Mode Enable One Bit Audio データの処理を設定します。 0: OBA モードディセーブル 1: OBA モードイネーブル	0
ASREN	0	R / W	Audio Sample Mode Enable Audio Sample データの処理を設定します。 0: AS モードディセーブル 1: AS モードイネーブル	1

Master Clock Parameter Setting Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xAC	Reserved					FS32MCLK [2:0]			0x00
0x62	0xAD	Reserved	FS44MCLK [2:0]			Reserved	FS48MCLK [2:0]			0x00
0x62	0xAE	Reserved	FS88MCLK [2:0]			Reserved	FS96MCLK [2:0]			0x00
0x62	0xAF	Reserved	FS176MCLK [2:0]			Reserved	FS192MCLK [2:0]			0x00

Field	Bit	Type	Description	Default
Reserved	7:3	R / W	Reserved	00000
FS32MCLK [2:0]	2:0	R / W	Master Clock Setting(Fs:32 kHz) Fs:32 kHz 時のマスタークロックを設定します。	000
Reserved	7	R / W	Reserved	0
FS44MCLK [2:0]	6:4	R / W	Master Clock Setting(Fs:44.1 kHz) Fs:44.1 kHz 時のマスタークロックを設定します。	000
Reserved	3	R / W	Reserved	0
FS48MCLK [2:0]	2:0	R / W	Master Clock Setting(Fs:48 kHz) Fs:48 kHz 時のマスタークロックを設定します。	000
Reserved	7	R / W	Reserved	0
FS88MCLK [2:0]	6:4	R / W	Master Clock Setting(Fs:88.2 kHz) Fs:88.2 kHz 時のマスタークロックを設定します。	000
Reserved	3	R / W	Reserved	0
FS96MCLK [2:0]	2:0	R / W	Master Clock Setting(Fs:96 kHz) Fs:96 kHz 時のマスタークロックを設定します。	000
Reserved	7	R / W	Reserved	0
FS176MCLK [2:0]	6:4	R / W	Master Clock Setting(Fs:176.4 kHz) Fs:176.4 kHz 時のマスタークロックを設定します。	000
Reserved	3	R / W	Reserved	0
FS192MCLK [2:0]	2:0	R / W	Master Clock Setting(Fs:192 kHz) Fs:192 kHz 時のマスタークロックを設定します。	000

Master Clock Parameter 設定値一覧表

	32 kHz	44.1 kHz	48 kHz	88.2 kHz	96 kHz	176.4 kHz	192 kHz
000	256 Fs	256 Fs	256 Fs	256 Fs	256 Fs	256 Fs	256 Fs
001	128 Fs	128 Fs	128 Fs	128 Fs	128 Fs	128 Fs	128 Fs
010	256 Fs	256 Fs	256 Fs	256 Fs	256 Fs	256 Fs	256 Fs
011	384 Fs	384 Fs	384 Fs	384 Fs	384 Fs	設定不可	
100	512 Fs	512 Fs	512 Fs	512 Fs	512 Fs	設定不可	
101	768 Fs	768 Fs	768 Fs	設定不可			
110	1024 Fs	1024 Fs	1024 Fs	設定不可			
111	設定不可						

Audio Data Channel Setting Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xB0	Reserved				LRSW3	LRSW2	LRSW1	LRSW0	0x00
0x62	0xB1	SPDIFSEL [1:0]		Reserved	CHSW [4:0]					0x00
0x62	0xB2	CHASGN[7:0]								0x00

Field	Bit	Type	Description	Default
Reserved	7:4	R / W	Reserved	0x0
LRSW3	3	R / W	LR Sample Swap No.3 SDO3 の LR サンプルを入替えます。 0: 入れ替えない 1: 入れ替える	0x0
LRSW2	2	R / W	LR Sample Swap No.2 SDO2 の LR サンプルを入替えます。 0: 入れ替えない 1: 入れ替える	0x0
LRSW1	1	R / W	LR Sample Swap No.1 SDO1 の LR サンプルを入替えます。 0: 入れ替えない 1: 入れ替える	0x0
LRSW0	0	R / W	LR Sample Swap No.0 SDO0 の LR サンプルを入替えます。 0: 入れ替えない 1: 入れ替える	0x0
SPDIFSEL [1:0]	7:6	R / W	SPDIF Output Data Select. マルチチャンネル受信時、SPDIF へ出力するチャネルを選択します。 00: チャネル 2/1 01: チャネル 4/3 10: チャネル 6/5 11: チャネル 8/7	0x0
Reserved	5	R / W	Reserved	0x0
CHSW [4:0]	4:0	R / W	Channel Assignment Swap. SDO3-0 端子とチャネル番号の対応を 2ch 単位で設定します。 (Channel Number の小さい側が L-ch)	0x00

CHSW	SDO			
	3	2	1	0
	Channel Number			
00000	8/7	6/5	4/3	2/1
00001	6/5	8/7	4/3	2/1
00010	8/7	4/3	6/5	2/1
00011	6/5	4/3	8/7	2/1

			00100	4/3	8/7	6/5	2/1	
			00101	4/3	6/5	8/7	2/1	
			00110	6/5	4/3	2/1	8/7	
			00111	8/7	4/3	2/1	6/5	
			01000	4/3	6/5	2/1	8/7	
			01001	4/3	8/7	2/1	6/5	
			01010	8/7	6/5	2/1	4/3	
			01011	6/5	8/7	2/1	4/3	
			01100	4/3	2/1	8/7	6/5	
			01101	4/3	2/1	6/5	8/7	
			01110	6/5	2/1	8/7	4/3	
			01111	8/7	2/1	6/5	4/3	
			10000	6/5	2/1	4/3	8/7	
			10001	8/7	2/1	4/3	6/5	
			10010	2/1	8/7	6/5	4/3	
			10011	2/1	6/5	8/7	4/3	
			10100	2/1	8/7	4/3	6/5	
			10101	2/1	6/5	4/3	8/7	
			10110	2/1	4/3	8/7	6/5	
			10111	2/1	4/3	6/5	8/7	
			Other	Reserved				
CHASGN [7:0]	7:0	R / W	Channel Assignment Setting. チャンネルアサインの設定を行います。					0x00

Channel Assignment (Audio Infoframe Data Byte#4)

	Channel Number							
	8	7	6	5	4	3	2	1
00000000	—	—	—	—	—	—	FR	FL
00000001	—	—	—	—	—	LFE	FR	FL
00000010	—	—	—	—	FC	—	FR	FL
00000011	—	—	—	—	FC	LFE	FR	FL
00000100	—	—	—	RC	—	—	FR	FL
00000101	—	—	—	RC	—	LFE	FR	FL
00000110	—	—	—	RC	FC	—	FR	FL
00000111	—	—	—	RC	FC	LFE	FR	FL
00001000	—	—	RR	RL	—	—	FR	FL
00001001	—	—	RR	RL	—	LFE	FR	FL
00001010	—	—	RR	RL	FC	—	FR	FL
00001011	—	—	RR	RL	FC	LFE	FR	FL
00001100	—	RC	RR	RL	—	—	FR	FL
00001101	—	RC	RR	RL	—	LFE	FR	FL
00001110	—	RC	RR	RL	FC	—	FR	FL
00001111	—	RC	RR	RL	FC	LFE	FR	FL
00010000	RRC	RLC	RR	RL	—	—	FR	FL
00010001	RRC	RLC	RR	RL	—	LFE	FR	FL
00010010	RRC	RLC	RR	RL	FC	—	FR	FL
00010011	RRC	RLC	RR	RL	FC	LFE	FR	FL
00010100	FRC	FLC	—	—	—	—	FR	FL
00010101	FRC	FLC	—	—	—	LFE	FR	FL
00010110	FRC	FLC	—	—	FC	—	FR	FL
00010111	FRC	FLC	—	—	FC	LFE	FR	FL
00011000	FRC	FLC	—	RC	—	—	FR	FL
00011001	FRC	FLC	—	RC	—	LFE	FR	FL
00011010	FRC	FLC	—	RC	FC	—	FR	FL

00011011	FRC	FLC	—	RC	FC	LFE	FR	FL
00011100	FRC	FLC	RR	RL	—	—	FR	FL
00011101	FRC	FLC	RR	RL	—	LFE	FR	FL
00011110	FRC	FLC	RR	RL	FC	—	FR	FL
00011111	FRC	FLC	RR	RL	FC	LFE	FR	FL
Other	Reserved							

詳細は、EIA/CEA-861B（CEA-861-D） Audio Infoframe **の項を参照してください。**

PLL Parameter Setting Register #1

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xB4	DAODIV[3:0]				DIV128[3:0]				0x00
0x62	0xB5	Reserved	DPCKSET	DPCKSEL [1:0]		DIVMCK [3:0]				0x00
0x62	0xB6	LOCKGAIN [2:0]			ULOCKGAIN [2:0]			DPCKFQ [1:0]		0x08
0x62	0xB7	Reserved			FSDIV[1:0]		Reserved			0x00

Field	Bit	Type	Description	Default
DAODIV [3:0]	7:4	R / W	DPLL output clock Dividing Parameter. DPLL から出力されるクロックの分周比を設定します。(PLLASET=0 のとき有効) 0000: 1 分周 0001: 2 分周 0010: 3 分周 0011: 4 分周 0100: 6 分周 0101: 8 分周 0110: 12 分周 0111: 16 分周 1000: 18 分周 1001: 24 分周 その他: 32 分周	0000
DIV128 [3:0]	3:0	R / W	Audio Sampling Frequency setting. Fs128 の分周比を設定します。 (PLLASET=0 のとき有効) 0000: 1 分周 0001: 2 分周 0010: 3 分周 0011: 4 分周 0100: 6 分周 0101: 8 分周 0110: 9 分周 0111: 12 分周 1000: 16 分周 1001: 18 分周 1010: 24 分周 1011: 32 分周 その他: 36 分周	0000
Reserved	7	R / W		0
DPCKSET	6	R / W	Digital PLL Clock Select Enable. デジタル PLL の動作クロック選択を有効にします。 0: 自動設定	0

			1: DPCKSEL で選択したクロックで動作します。	
DPCKSEL [1:0]	5:4	R / W	Digital PLL Clock Select デジタル PLL の動作クロックを選択します。 00: ピクセルクロック 01: ピクセルクロック/2 10: ピクセルクロック×2 11: ピクセルクロック×4 (ピクセルクロック =27MHz のときのみ設定可能)	00
DIVMCK [3:0]	3:0	R / W	Master Clock Frequency setting. マスタクロックの分周比を設定します。 (PLLASET=0 のとき有効) 0000: 1 分周 0001: 2 分周 0010: 3 分周 0011: 4 分周 0100: 6 分周 0101: 8 分周 0110: 9 分周 0111: 12 分周 1000: 16 分周 1001: 18 分周 1010: 24 分周 1011: 32 分周 その他: 36 分周	0000
LOCKGAIN [2:0]	7:5	R / W	Digital PLL Lock Gain Setting. PLL ロック時のデジタル PLL の位相比較器のゲインを設定します。 000: ×1 001: ×2 010: ×4 011: ×6 100: ×8 101: ×12 110: ×16 111: ×24	000
ULOCKGAIN [2:0]	4:2	R / W	Digital PLL Unlock Gain Setting. PLL アンロック時のデジタル PLL の位相比較器のゲインを設定します。 000: ×2 001: ×4 010: ×6 011: ×8 100: ×12 101: ×16 110: ×32 111: ×48	010
DPCKFQ [1:0]	1:0	R / W	Digital PLL Clock Frequency Setting デジタル PLL の動作クロックの周波数を設定します。(PLLASET=0 のとき有効) 00: 0 MHz ～ 40 MHz	00

			01: 40 MHz ～ 90 MHz 10: 90 MHz ～ 180 MHz 11: 180 MHz 以上	
Reserved	7:5	R / W		0x0
FSDIV [1:0]	4:3	R / W	Sampling Frequency Divider Setting. Fs への分周値を設定します。 00: 128 分周 01: 256 分周 10: 512 分周 Other: 128 分周	0x0
Reserved	2:0	R / W		0x0

PLL Parameter Setting Register #2

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xB8	PLLPERIOD[7:0]								0x00
0x62	0xB9	PLLPERIOD[15:8]								0x00
0x62	0xBA	GAINCTL	Reserved	RSTMODE		PLLPERIOD [19:16]				0x00

Field	Bit	Type	Description	Default
PLLPERIOD [19:0]	19:0	R / W	Digital PLL clock period デジタル PLL の発振周期を強制設定します。 0: 通常動作 上記以外: 設定周期で自走 (周波数:ピクセルクロック÷設定値)	0x00000
GAINCTL	7	R / W	Digital PLL Gain Control デジタル PLL のゲインを変更します。 0: アンロック時は、アンロック時のゲインを使用。 1: アンロック時も、ロック時のゲインを使用	0
Reserved	6	R / W	Reserved	0
RSTMODE [1:0]	5:4	R / W	Digital PLL Reset Mode デジタル PLL アンロック時に自動的に実施するリセットのモードを設定します。 00: アンロック時にリセットします。(感度 大) 01: アンロック時にリセットします。(感度 中) 10: アンロック時にリセットします。(感度 小) 11: 自動リセットを行いません。	00

Audio Output Control Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xBC	Reserved		RFMTSEL [1:0]		I2SSTOP	FADEEN	MUTE	TXSTOP	0x00
0x62	0xBD	Reserved				FADESPN		FADESTN		0x05

Field	Bit	Type	Description	Default
Reserved	7:6	R / W	Reserved	00
RFMTEL [1:0]	5:4	R / W	Receive Audio Format Select Audio 受信モードを選択します 00: AS モード 01: OBA モード 10: HBR モード 11: DST モード	00
I2SSTOP	3	R / W	Audio Data(I2S) Output Stop 0: I2S データ出力(デフォルト) 1: I2S データ 0 出力	0
FADEEN	2	R / W	Audio Data Fade-in/out Setting. MUTE=1 時の動作モードを設定します。 0: ミュート(デフォルト) 1: フェードイン/フェードアウト	0
MUTE	1	R / W	Audio Data Mute Setting. オーディオデータの出力を制御します。 0: 通常動作 (デフォルト) 1: ミュート	0
TXSTOP	0	R / W	Audio Data (IEC60958) Output Stop. 0: IEC60958 データ出力 (デフォルト) 1: IEC60958 データ 0 出力	0
Reserved	7:4	R / W	Reserved	0000
FADESPN	3:2	R / W	Fade Period Sample Number フェード時の 1 ステップにおけるサンプル数を設定します。 00: 128 sample 01: 64 sample 10: 32 sample 11: 16 sample	01
FADESTN	1:0	R / W	Fade Period Step Number フェード時のステップ数を設定します。 00: 256 step 01: 128 step 10: 64 step 11: 32 step	01

Audio Status Monitor Register #1

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xC0	Reserved			MUTE STATUS	Reserved		CH_CNT [1:0]		0x00

Field	Bit	Type	Description	Default
Reserved	7:5	R / W	Reserved	000
MUTE STATUS	4	R	MUTE Current Status. オーディオミュートの状態を示します。 0: 通常状態 1: オーディオミュート状態	0
Reserved	3:2	R / W	Reserved	00
CH_CNT [1:0]	1:0	R	Received Audio Channel Number. 受信しているオーディオデータのチャンネル数を示します。 00: 2 ch 01: 4 ch 10: 6 ch 11: 8 ch HDMI では、2 ch 単位での伝送であるため 2 ch, 4 ch, 6 ch, 8 ch 以外の表示はありません。	00

Audio Status Monitor Register #2

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xC1	Reserved						RFMT STATUS [1:0]		0x00

Field	Bit	Type	Description	Default
Reserved	7:2	R / W	Reserved	0x00
RFMT STATUS [1:0]	1:0	R	Received Audio Format Status. 受信フォーマットを自動で設定している場合の受信モード状態を示します。 00: AS モード 01: OBA モード 10: HBR モード 11: DST モード	00

Audio Hybrid PLL Setting Register #1

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xC4	Reserved	HPLM[6:0]							0x21
0x62	0xC5	HPLKINIT[7:0]								0xDE
0x62	0xC6	HPLKINIT[15:8]								0x24
0x62	0xC7	HPL FREFSEL [1:0]		HPL DSIGMODE	HPLKINIT[20:16]					0xFE
0x62	0xC8	Reserved			HPLDIVA[4:0]					0x02
0x62	0xC9	HPLDIVB[7:0]								0x00
0x62	0xCA	Reserved			HPLDIVB[12:8]					0x0C
0x62	0xCB	Reserved	HPLGAINBB [2:0]			Reserved	HPLGAINPD [2:0]			0x20
0x62	0xCC	Reserved	HPL LPFGBPD [2:0]			Reserved		HPL LPFGAPD [1:0]		0x20
0x62	0xCD	Reserved	HPL LPFGBBB [2:0]			Reserved		HPL LPFGABB [1:0]		0x20
0x62	0xCE	Reserved			HPLREG1[4:0]					0x06
0x62	0xCF	Reserved			HPLREG2[4:0]					0x06

Field	Bit	Type	Description	Default
Reserved	7	R / W	Reserved	0
HPLM	6:0	R / W	Hybrid PLL M Parameter. PLL のパラメータ M を設定します。	0x21
HPLKINIT	20:0	R / W	Hybrid PLL KINIT Parameter. PLL のパラメータ KINIT を設定します。	0x1E24DE
HPLFREFSEL	7:6	R / W	Hybrid PLL FREFSEL Parameter. PLL のパラメータ FREFSEL を設定します。	0x3
HPLDSIGMODE	5	R / W	Hybrid PLL DSIGMODE Parameter. PLL のパラメータ DSIGMODE を設定します。	0x1
Reserved	7:5	R / W	Reserved	0
HPLDIVA	4:0	R / W	Hybrid PLL DIVA Parameter. PLL のパラメータ DIVA を設定します。	0x02
Reserved	7:5	R / W	Reserved	0
HPLDIVB	12:0	R / W	Hybrid PLL DIVB Parameter. PLL のパラメータ DIVB を設定します。	0x0C00
Reserved	7	R / W	Reserved	0
HPLGAINBB	6:4	R / W	Hybrid PLL GAINBB Parameter. PLL のパラメータ GAINBB を設定します。	0x2
Reserved	3	R / W	Reserved	0
HPLGAINPD	2:0	R / W	Hybrid PLL GAINPD Parameter. PLL のパラメータ GAINPD を設定します。	0x0
Reserved	7	R / W	Reserved	0
HPLLPFGBPD	6:4	R / W	Hybrid PLL LPFGBPD Parameter. PLL のパラメータ LPFGBPD を設定します。	0x2
Reserved	3:2	R / W	Reserved	0
HPLLPFGAPD	1:0	R / W	Hybrid PLL LPFGAPD Parameter. PLL のパラメータ LPFGAPD を設定します。	0x0
Reserved	7	R / W	Reserved	0
HPLLPFGBBB	6:4	R / W	Hybrid PLL LPFGBBB Parameter. PLL のパラメータ LPFGBBB を設定します。	0x2
Reserved	3:2	R / W	Reserved	0
HPLLPFGABB	1:0	R / W	Hybrid PLL LPFGABB Parameter. PLL のパラメータ LPFGABB を設定します。	0x0
Reserved	7:5	R / W	Reserved	0
HPLREG1	4:0	R / W	Hybrid PLL REG1 Parameter. PLL のパラメータ REG1 を設定します。	0x06
Reserved	7:5	R / W	Reserved	0
HPLREG2	4:0	R / W	Hybrid PLL REG2 Parameter. PLL のパラメータ REG2 を設定します。	0x06

Received Channel Status Bit Monitor Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xD0	Mode(Rx)		d(Rx)			c(Rx)	b(Rx)	a(Rx)	0x00
0x62	0xD1	Category Code(Rx)								0x00
0x62	0xD2	Channel Number(Rx)				Source Number(Rx)				0x00
0x62	0xD3	Sampling Extension(Rx)		Clock Accuracy(Rx)		Sampleing Frequency(Rx)				0x00
0x62	0xD4	Original Sampling Frequency(Rx)				Word Length(Rx)				0x00
0x62	0xD5	RXCBIT(Reserved)						CGMS-A(Rx)		0x00
0x62	0xD6-D7	RXCBIT(Reserved)								0x00

Field	Bit	Type	Description	Default
Mode(Rx)	7:6	R	Received Cbit “Mode”. 受信した Cbit の Mode ビットを示します。	00
d(Rx)	5:3	R	Received Cbit “d”. 受信した Cbit の d ビットを示します。	000
c(Rx)	2	R	Received Cbit “c”. 受信した Cbit の c ビットを示します。	0
b(Rx)	1	R	Received Cbit “b”. 受信した Cbit の b ビットを示します。	0
a(Rx)	0	R	Received Cbit “a”. 受信した Cbit の a ビットを示します。	0
Category Code (Rx)	7:0	R	Received Cbit “Category Code”. 受信した Cbit の Category Code ビットを示します。	0x00
Channel Number (Rx)	7:4	R	Received Cbit “Channel Number”. 受信した Cbit の Channel Number ビットを示します。	0x0
Source Number (Rx)	3:0	R	Received Cbit “Source Number”. 受信した Cbit の Source Number ビットを示します。	0x0
Sampling Extension(Rx)	7:6	R	Received Cbit “Sampling Extension”. 受信した Cbit の Sampling Extension ビットを示します。	00
Clock Accuracy(Rx)	5:4	R	Received Cbit “Clock Accuracy”. 受信した Cbit の Clock Accuracy ビットを示します。	00
Sampling Frequency(Rx)	3:0	R	Received Cbit “Sampling Frequency”. 受信した Cbit の Sampling Frequency ビットを示します。	0x0
Original Sampling Frequency(Rx)	7:4	R	Received Cbit “Original Sampling Frequency”. 受信した Cbit の Original Sampling Frequency ビットを示します。	0x0
Word Length(Rx)	3:0	R	Received Cbit “Word Length”. 受信した Cbit の Word Length ビットを示します。	0x0
Reserved	7:2	R	Reserved	0x00
CGMS-A(Rx)	1:0	R	Received Cbit “CGMS-A”. 受信した Cbit の CGMS-A ビットを示します。	00

IEC60958 Transmit Channel Status Bit SettingRegister

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xD8	Mode(Tx)		d(Tx)			c(Tx)	b(Tx)	a(Tx)	0x00
0x62	0xD9	Category Code(Tx)								0x00
0x62	0xDA	Channel Number(Tx)				Source Number(Tx)				0x00
0x62	0xDB	Sampling Extension(Tx)		Clock Accuracy(Tx)		Sampleing Frequency(Tx)				0x00
0x62	0xDC	Original Sampling Frequency(Tx)				Word Length(Tx)				0x00
0x62	0xDD	TXCBIT(Reserved)						CGMS-A(Tx)		0x00
0x62	0xDE-DF	TXCBIT(Reserved)								0x00

Field	Bit	Type	Description	Default
Mode(Tx)	7:6	R / W	Transmit Cbit “Mode”. AMTX へ出力する Cbit の Mode ビットを設定します。	00
d(Tx)	5:3	R / W	Transmit Cbit “d”. AMTX へ出力する Cbit の d ビットを設定します。	000
c(Tx)	2	R / W	Transmit Cbit “c”. AMTX へ出力する Cbit の c ビットを設定します。	0
b(Tx)	1	R / W	Transmit Cbit “b”. AMTX へ出力する Cbit の b ビットを設定します。	0
a(Tx)	0	R / W	Transmit Cbit “a”. AMTX へ出力する Cbit の a ビットを設定します。	0
Category Code (Tx)	7:0	R / W	Transmit Cbit “Category Code”. AMTX へ出力する Cbit の Category Code ビットを設定します。	0x00
Channel Number (Tx)	7:4	R / W	Transmit Cbit “Channel Number”. AMTX へ出力する Cbit の Channel Number ビットを設定します。	0x0
Source Number (Tx)	3:0	R / W	Transmit Cbit “Source Number”. AMTX へ出力する Cbit の Source Number ビットを設定します。	0x0
Sampling Extension(Tx)	7:6	R / W	Transmit Cbit “Sampling Extension”. AMTX へ出力する Cbit の Sampling Extension ビットを設定します。	00
Clock Accuracy(Tx)	5:4	R / W	Transmit Cbit “Clock Accuracy”. AMTX へ出力する Cbit の Clock Accuracy ビットを設定します。	00
Sampling Frequency(Tx)	3:0	R / W	Transmit Cbit “Sampling Frequency”. AMTX へ出力する Cbit の Sampling Frequency ビットを設定します。	0x0
Original Sampling Frequency(Tx)	7:4	R / W	Transmit Cbit “Original Sampling Frequency”. AMTX へ出力する Cbit の Original Sampling Frequency ビットを設定します。	0x0
Word Length(Tx)	3:0	R / W	Transmit Cbit “Word Length”. AMTX へ出力する Cbit の Word Length ビットを設定します。	0x0
Reserved	7:2	R / W	Reserved	0x00
CGMS-A(Tx)	1:0	R / W	Transmit Cbit “CGMS-A”. AMTX へ出力する Cbit の CGMS-A ビットを設定します。	00

Audio Clock Recovery (ACR) Registers

HDMI 規格では、オーディオ再生用のマスタクロックを直接送信する代わりに、Data Island Packet 中に周波数情報をエンコードして送信します。受信中のピクセルクロックとオーディオクロックの関係は、N および CTS の値から求められます。ピクセルクロックの周波数や、オーディオクロックが変化した場合には、N および CTS の値は更新されます。

Audio Clock Regeneration Control Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xE0	Reserved	CTSTHR			CRPALT	Reserved	FSALT	Reserved	0x00

Field	Bit	Type	Description	Default
Reserved	7	R / W	Reserved	0
CTSTHR	6:4	R / W	CTS Threshold 0x60:0x42 bit2 CTSCHG 割り込みを発生させる CTS の変化量を設定します。 000: CTS が±1以上変化した時に割り込みを発生 001: CTS が±2以上変化した時に割り込みを発生 010: CTS が±4以上変化した時に割り込みを発生 011: CTS が±8以上変化した時に割り込みを発生 100: CTS が±16以上変化した時に割り込みを発生 101: CTS が±32以上変化した時に割り込みを発生 110: CTS が±64以上変化した時に割り込みを発生 111: CTS が±128以上変化した時に割り込みを発生	000
CRPALT	3	R / W	N/CTS Value Alternate. N/CTS 値を受信した ACR パケットの値(H/W 値)、あるいはレジスタに書き込まれた値(S/W 値)のいずれを使用するか選択します。 0: H/W 値を選択（デフォルト） ※ACR01P ～ ACR06P を使用 1: S/W 値を選択 ※NSWVAL[19:0]/CTSSWVAL[19:0]を使用	0
Reserved	2	R / W	Reserved	0
FSALT	1	R / W	Audio Sample Frequency Alternate. オーディオサンプリング周波数 Fs の値をハードウエアで検知した値(H/W 値)、あるいはレジスタに書き込まれた値(S/W 値)のいずれを使用するか選択します。 0: H/W 値を選択（デフォルト） ※HWFS[3:0]を使用 1: S/W 値を選択 ※SWFS[3:0]を使用	0
Reserved	0	R / W	Reserved	0

Sampling Frequency(Fs) Control Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xE1	Reserved				SWFS[3:0]				0x02
0x62	0xE2	Reserved				HWFS[3:0]				0x0F

Field	Bit	Type	Description	Default
Reserved	7:4	R / W	Reserved	0000
SWFS	3:0	R / W	Software Audio Sampling Frequency (Fs). オーディオサンプリング周波数を設定します。 0000: 44.1 kHz 0010: 48 kHz (デフォルト) 0011: 32 kHz 1000: 88.2 kHz 1001: 768 kHz 1010: 96 kHz 1100: 176.4 kHz 1110: 192 kHz 上記以外: Reserved ※FSALT[0x62:0xE0]=1 の時に選択されます。	0010
Reserved	7:4	R	Reserved	0000
HWFS	3:0	R	Hardware Audio Sampling Frequency (Fs). 受信したオーディオサンプリング周波数を示します。 この値は受信したチャネルステータスビット(IEC60958 規格) の Sampling Frequency ビットの値と同値です。 0000: 44.1 kHz 0010: 48 kHz 0011: 32 kHz 1000: 88.2 kHz 1001: 768 kHz 1010: 96 kHz 1100: 176.4 kHz 1110: 192 kHz 上記以外: Reserved (デフォルト) ※FSALT[0x62:0xE0]=0 の時に選択されます	1111

N/CTS Parameter Software Control Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x62	0xE4	NSWVAL[7:0]								0x00
0x62	0xE5	NSWVAL[15:8]								0x00
0x62	0xE6	Reserved				NSWVAL[19:16]				0x00
0x62	0xE7	Reserved								0x00
0x62	0xE8	CTSSWVAL[7:0]								0x00
0x62	0xE9	CTSSWVAL[15:8]								0x00
0x62	0xEA	Reserved				CTSSWVAL[19:16]				0x00
0x62	0xEB-FF	Reserved								0x00

Field	Bit	Type	Description	Default
NSWVAL	19:0	R / W	Software set Parameter N. パラメータ N を設定します。 ※CRPALT[0x62:0xE0]=1 の時に選択されます。	0x00000
Reserved	7:4	R / W	Reserved	0000
CTSSWVAL	19:0	R / W	Software set Parameter CTS. パラメータ CTS を設定します。 ※CRPALT[0x62:0xE0]=1 の時に選択されます。	0x00000
Reserved	7:4	R / W	Reserved	0000

4．3 Slave Address 0x66： Data Island Packet データアイランドパケット

受信したデータアイランドパケットを格納するレジスタ群です。

4．3．1 Audio Sample Packet Header Register Set： オーディオサンプルパケットヘッダ

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x00	ASP00H [7:0]								0x00
0x66	0x01	ASP01H [7:0]								0x00
0x66	0x02	ASP02H [7:0]								0x00
0x66	0x03	ASPERR	Reserved		ASPSER	ASPS3E	ASPS2E	ASPS1E	ASPS0E	0x00

Audio Sample Packet を受信した場合に設定されるレジスタです。このレジスタは Audio Sample Packet を受信する毎に更新されます。

Field	Bit	Type	Description	Default
ASP00H ASP01H ASP02H	7:0	R / W	Audio Sample Packet Header Byte 0-2 Audio Sample Packet の HB0 ～ HB2 の値が出力されます。Packet Type の値が 0x02 の時にのみ、更新されます。	0x00 0x00 0x00
ASPERR	7	R / W	Audio Sample Packet BCH Error 受信したパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
Reserved	6:5	R / W	Reserved	00
ASPSER	4	R / W	Audio Sample Subpacket BCH Error 受信したサブパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
ASPS3E ASPS2E ASPS1E ASPS0E	3:0	R / W	Audio Sample Subpacket n BCH Error 受信したサブパケット 0～3 に BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0000

4．3．2 One Bit Audio Sample Packet Header Register Set： DSD パケットヘッダ

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x04	DSD00H [7:0]								0x00
0x66	0x05	DSD01H [7:0]								0x00
0x66	0x06	DSD02H [7:0]								0x00
0x66	0x07	DSDERR	Reserved		DSDSER	DSDS3E	DSDS2E	DSDS1E	DSDS0E	0x00

One Bit Audio Sample Packet を受信した場合に設定されるレジスタです。このレジスタは One Bit Audio Sample Packet を受信する毎に更新されます。

Field	Bit	Type	Description	Default
DSD00H DSD01H DSD02H	7:0	R / W	DSD Packet Header Byte 0-2 DSD Packet の HB0 ～ HB2 の値が出力されます。Packet Type の値が 0x07 の時にのみ、更新されます。	0x00 0x00 0x00
DSDERR	7	R / W	DSD Packet BCH Error 受信したパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
Reserved	6:5	R / W	Reserved	00
DSDSER	4	R / W	DSD Subpacket BCH Error 受信したサブパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
DSDS3E DSDS2E DSDS1E DSDS0E	3:0	R / W	DSD Subpacket n BCH Error 受信したサブパケット 0 ～ 3 に BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0000

4．3．3 DST Audio Sample Packet Header Register Set： DST パケットヘッダ

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x08	DST00H [7:0]								0x00
0x66	0x09	DST01H [7:0]								0x00
0x66	0x0A	DST02H [7:0]								0x00
0x66	0x0B	DSTERR	Reserved		DSTSER	DSTS3E	DSTS2E	DSTS1E	DSTS0E	0x00

DST Audio Sample Packet を受信した場合に設定されるレジスタです。このレジスタは DST Audio Sample Packet を受信する毎に更新されます。

Field	Bit	Type	Description	Default
DST00H DST01H DST02H	7:0	R / W	DST Packet Header Byte 0-2 DST Packet の HB0 ～ HB2 の値が出力されます。Packet Type の値が 0x08 の時にのみ、更新されます。	0x00 0x00 0x00
DSTERR	7	R / W	DST Packet BCH Error 受信したパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
Reserved	6:5	R / W	Reserved	00
DSTSER	4	R / W	DST Subpacket BCH Error 受信したサブパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
DSTS3E DSTS2E DSTS1E DSTS0E	3:0	R / W	DST Subpacket n BCH Error 受信したサブパケット 0 ～ 3 に BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0000

4．3．4 High Bitrate Audio Stream Packet Header Register Set： HBR パケットヘッダ

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x0C	HBR00H [7:0]								0x00
0x66	0x0D	HBR01H [7:0]								0x00
0x66	0x0E	HBR02H [7:0]								0x00
0x66	0x0F	HBRERR	Reserved		HBRSER	HBRS3E	HBRS2E	HBRS1E	HBRS0E	0x00

High Bitrate Audio Stream Packet を受信した場合に設定されるレジスタです。このレジスタは High Bitrate Audio Stream Packet を受信する毎に更新されます。

Field	Bit	Type	Description	Default
HBR00H HBR01H HBR02H	7:0	R / W	HBR Packet Header Byte 0-2 HBR Packet の HB0 ～ HB2 の値が出力されます。Packet Type の値が 0x09 の時にのみ、更新されます。	0x00 0x00 0x00
HBRERR	7	R / W	HBR Packet BCH Error 受信したパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
Reserved	6:5	R / W	Reserved	00
HBRSER	4	R / W	HBR Subpacket BCH Error 受信したサブパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
HBRS3E HBRS2E HBRS1E HBRS0E	3:0	R / W	HBR Subpacket n BCH Error 受信したサブパケット 0 ～ 3 に BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0000

4．3．5 Audio Clock Regeneration Packet Register Set： N/CTS

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x20	ACR00H [7:0]								0x00
0x66	0x21	ACR01H [7:0]								0x00
0x66	0x22	ACR02H [7:0]								0x00
0x66	0x23	ACRERR	Reserved		ACRSER	ACRS3E	ACRS2E	ACRS1E	ACRS0E	0x00
0x66	0x24	ACR00P [7:0]								0x00
0x66	0x25	ACR01P [7:0]								0x00
0x66	0x26	ACR02P [7:0]								0x00
0x66	0x27	ACR03P [7:0]								0x00
0x66	0x28	ACR04P [7:0]								0x00
0x66	0x29	ACR05P [7:0]								0x00
0x66	0x2A	ACR06P [7:0]								0x00
0x66	0x2B-2F	Reserved								0x00

Audio Clock Regeneration Packet (N/CTS) を受信した場合に設定されるレジスタです。

Field	Bit	Type	Description	Default
ACR00H- ACR02H	7:0	R / W	ACR Header Byte 0-2 Audio Clock Regeneration Packet の HB0 ～ HB2 の値が出力されます。Packet Type の値が 0x01 の時にのみ、更新されます。	0x00 0x00 0x00
ACRERR	7	R / W	ACR Packet BCH Error 受信したパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
Reserved	6:5	R / W	Reserved	00
ACRSER	4	R / W	ACR Subpacket BCH Error 受信したサブパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
ACRS3E ACRS2E ACRS1E ACRS0E	3:0	R / W	ACR Subpacket n BCH Error 受信したサブパケット 0 ～ 3 に BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0000
ACR00P- ACR06P	7:0	R / W	Packet Data Bytes 0-6 サブパケットのデータ SB0-6 の値が出力されます。	0x00

4．3．6 General Control Packet Register Set： GCP

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x30	GCP00H [7:0]								0x00
0x66	0x31	GCP01H [7:0]								0x00
0x66	0x32	GCP02H [7:0]								0x00
0x66	0x33	GCPERR	Reserved		GCPSER	GCPS3E	GCPS2E	GCPS1E	GCPS0E	0x00
0x66	0x34	GCP00P [7:0]								0x00
0x66	0x35	GCP01P [7:0]								0x00
0x66	0x36	GCP02P [7:0]								0x00
0x66	0x37	GCP03P [7:0]								0x00
0x66	0x38	GCP04P [7:0]								0x00
0x66	0x39	GCP05P [7:0]								0x00
0x66	0x3A	GCP06P [7:0]								0x00
0x66	0x3B-3F	Reserved								0x00

General Control Packet (GCP) を受信した場合に設定されるレジスタです。

Field	Bit	Type	Description	Default
GCP00H- GCP02H	7:0	R / W	GCP Header Byte 0-2 General Control Packet の HB0 ～ HB2 の値が出力されます。Packet Type の値が 0x03 の時にのみ、更新されます。	0x00 0x00 0x00
GCPERR	7	R / W	GCP Packet BCH Error 受信したパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
Reserved	6:5	R / W	Reserved	00
GCPSER	4	R / W	GCP Subpacket BCH Error 受信したサブパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
GCPS3E GCPS2E GCPS1E GCPS0E	3:0	R / W	GCP Subpacket n BCH Error 受信したサブパケット 0 ～ 3 に BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0000
GCP00P- GCP06P	7:0	R / W	Packet Data Bytes 0-6 サブパケットのデータ SB0-6 の値が出力されます。GCP00P[0]が Set_AVMUTE、GCP00P[4]が Clear_AVMUTE です。	0x00

4．3．7 Audio Content Protection Packet Register Set： ACP パケット

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x40	ACP00H [7:0]								0x04
0x66	0x41	ACP01H [7:0]								0x00
0x66	0x42	ACP02H [7:0]								0x00
0x66	0x43	ACPERR	Reserved		ACPSER	ACPS3E	ACPS2E	ACPS1E	ACPS0E	0x00
0x66	0x44	ACP00P[7:0]								0x00
0x66	0x45	ACP01P[7:0]								0x00
0x66	0x46	ACP02P[7:0]								0x00
0x66	0x47	ACP03P[7:0]								0x00
0x66	0x48	ACP04P[7:0]								0x00
0x66	0x49	ACP05P[7:0]								0x00
0x66	0x4A	ACP06P[7:0]								0x00
0x66	0x4B	ACP07P[7:0]								0x00
0x66	0x4C	ACP08P[7:0]								0x00
0x66	0x4D	ACP09P[7:0]								0x00
0x66	0x4E	ACP10P[7:0]								0x00
0x66	0x4F	ACP11P[7:0]								0x00
0x66	0x50	ACP12P[7:0]								0x00
0x66	0x51	ACP13P[7:0]								0x00
0x66	0x52	ACP14P[7:0]								0x00
0x66	0x53	ACP15P[7:0]								0x00
0x66	0x54	ACP16P[7:0]								0x00
0x66	0x55	ACP17P[7:0]								0x00
0x66	0x56	ACP18P[7:0]								0x00
0x66	0x57	ACP19P[7:0]								0x00
0x66	0x58	ACP20P[7:0]								0x00
0x66	0x59	ACP21P[7:0]								0x00
0x66	0x5A	ACP22P[7:0]								0x00
0x66	0x5B	ACP23P[7:0]								0x00
0x66	0x5C	ACP24P[7:0]								0x00
0x66	0x5D	ACP25P[7:0]								0x00
0x66	0x5E	ACP26P[7:0]								0x00
0x66	0x5F	ACP27P[7:0]								0x00

Audio Content Protection Packet (ACP) を受信した場合に設定されるレジスタです。

Field	Bit	Type	Description	Default
ACP00H	7:0	R / W	ACP Header Byte 0 ACP Packet の Packet Type を設定します。通常デフォルト値のままで使用して下さい。	0x04
ACP01H- ACP02H	7:0	R / W	ACP Header Byte 1-2 ACP Packet の HB1 ～ HB2 の値が出力されます。	0x00 0x00
ACPERR	7	R / W	ACP Packet BCH Error 受信したパケットに BCH エラーが発生した場合、1にセットされます。正常パケットを受信した時にクリアされます。	0
Reserved	6:5	R / W	Reserved	00
ACPSER	4	R / W	ACP Subpacket BCH Error 受信したサブパケットに BCH エラーが発生した場合、1にセットされます。正常パケットを受信した時にクリアされます。	0
ACPS3E ACPS2E ACPS1E ACPS0E	3:0	R / W	ACP Subpacket n BCH Error 受信したサブパケット 0 ～ 3 に BCH エラーが発生した場合、1にセットされます。正常パケットを受信した時にクリアされます。	0000
ACP00P- ACP27P	7:0	R / W	Packet Bytes 0-27 Packet contents のデータ PB0-27 の値が出力されます。	0x00

ACP00H に設定される Packet Type のパケットを受信するので、ACP00H に受信したい Packet Type を設定すれば、ACP Packet 以外を受信することも可能です。デフォルトでは ACP Packet を受信します

4．3．8 ISRC1 Packet Register Set： ISRC1 パケット

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x60	ISA00H [7:0]								0x05
0x66	0x61	ISA01H [7:0]								0x00
0x66	0x62	ISA02H [7:0]								0x00
0x66	0x63	ISAERR	Reserved		ISASER	ISAS3E	ISAS2E	ISAS1E	ISAS0E	0x00
0x66	0x64	ISA00P[7:0]								0x00
0x66	0x65	ISA01P[7:0]								0x00
0x66	0x66	ISA02P[7:0]								0x00
0x66	0x67	ISA03P[7:0]								0x00
0x66	0x68	ISA04P[7:0]								0x00
0x66	0x69	ISA05P[7:0]								0x00
0x66	0x6A	ISA06P[7:0]								0x00
0x66	0x6B	ISA07P[7:0]								0x00
0x66	0x6C	ISA08P[7:0]								0x00
0x66	0x6D	ISA09P[7:0]								0x00
0x66	0x6E	ISA10P[7:0]								0x00
0x66	0x6F	ISA11P[7:0]								0x00
0x66	0x70	ISA12P[7:0]								0x00
0x66	0x71	ISA13P[7:0]								0x00
0x66	0x72	ISA14P[7:0]								0x00
0x66	0x73	ISA15P[7:0]								0x00
0x66	0x74	ISA16P[7:0]								0x00
0x66	0x75	ISA17P[7:0]								0x00
0x66	0x76	ISA18P[7:0]								0x00
0x66	0x77	ISA19P[7:0]								0x00
0x66	0x78	ISA20P[7:0]								0x00
0x66	0x79	ISA21P[7:0]								0x00
0x66	0x7A	ISA22P[7:0]								0x00
0x66	0x7B	ISA23P[7:0]								0x00
0x66	0x7C	ISA24P[7:0]								0x00
0x66	0x7D	ISA25P[7:0]								0x00
0x66	0x7E	ISA26P[7:0]								0x00
0x66	0x7F	ISA27P[7:0]								0x00

ISRC1 Packet を受信した場合に設定されるレジスタです。

Field	Bit	Type	Description	Default
ISA00H	7:0	R / W	ISRC1 Header Byte 0 ISRC1 Packet の Packet Type を設定します。通常デフォルト値のままで使用して下さい。	0x05
ISA01H- ISA02H	7:0	R / W	ISRC1 Header Byte 1-2 ISRC1 Packet の HB1 ～ HB2 の値が出力されます。	0x00 0x00
ISAERR	7	R / W	ISRC1 Packet BCH Error 受信したパケットに BCH エラーが発生した場合、1にセットされます。正常パケットを受信した時にクリアされます。	0
Reserved	6:5	R / W	Reserved	00
ISASER	4	R / W	ISRC1 Subpacket BCH Error 受信したサブパケットに BCH エラーが発生した場合、1にセットされます。正常パケットを受信した時にクリアされます。	0
ISAS3E ISAS2E ISAS1E ISAS0E	3:0	R / W	ISRC1 Subpacket n BCH Error 受信したサブパケット 0 ～ 3 に BCH エラーが発生した場合、1にセットされます。正常パケットを受信した時にクリアされます。	0000
ISA00P- ISA27P	7:0	R / W	Packet Bytes 0-27 Packet contents のデータ PB0-27 の値が出力されます。	0x00

ISA00H に設定される Packet Type のパケットを受信するので、ISA00H に受信したい Packet Type を設定すれば、ISRC1 Packet 以外を受信することも可能です。デフォルトでは ISRC1 Packet を受信します。

4．3．9 ISRC2 Packet Register Set： ISRC2 パケット

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0x80	ISB00H [7:0]								0x06
0x66	0x81	ISB01H [7:0]								0x00
0x66	0x82	ISB02H [7:0]								0x00
0x66	0x83	ISBERR	Reserved		ISBSER	ISBS3E	ISBS2E	ISBS1E	ISBS0E	0x00
0x66	0x84	ISB00P[7:0]								0x00
0x66	0x85	ISB01P[7:0]								0x00
0x66	0x86	ISB02P[7:0]								0x00
0x66	0x87	ISB03P[7:0]								0x00
0x66	0x88	ISB04P[7:0]								0x00
0x66	0x89	ISB05P[7:0]								0x00
0x66	0x8A	ISB06P[7:0]								0x00
0x66	0x8B	ISB07P[7:0]								0x00
0x66	0x8C	ISB08P[7:0]								0x00
0x66	0x8D	ISB09P[7:0]								0x00
0x66	0x8E	ISB10P[7:0]								0x00
0x66	0x8F	ISB11P[7:0]								0x00
0x66	0x90	ISB12P[7:0]								0x00
0x66	0x91	ISB13P[7:0]								0x00
0x66	0x92	ISB14P[7:0]								0x00
0x66	0x93	ISB15P[7:0]								0x00
0x66	0x94	ISB16P[7:0]								0x00
0x66	0x95	ISB17P[7:0]								0x00
0x66	0x96	ISB18P[7:0]								0x00
0x66	0x97	ISB19P[7:0]								0x00
0x66	0x98	ISB20P[7:0]								0x00
0x66	0x99	ISB21P[7:0]								0x00
0x66	0x9A	ISB22P[7:0]								0x00
0x66	0x9B	ISB23P[7:0]								0x00
0x66	0x9C	ISB24P[7:0]								0x00
0x66	0x9D	ISB25P[7:0]								0x00
0x66	0x9E	ISB26P[7:0]								0x00
0x66	0x9F	ISB27P[7:0]								0x00

ISRC2 Packet を受信した場合に設定されるレジスタです。

Field	Bit	Type	Description	Default
ISB00H	7:0	R / W	ISRC2 Header Byte 0 ISRC2 Packet の Packet Type を設定します。通常デフォルト値のままで使用して下さい。	0x06
ISB01H- ISB02H	7:0	R / W	ISRC2 Header Byte 1-2 ISRC2 Packet の HB1 ～ HB2 の値が出力されます。	0x00 0x00
ISBERR	7	R / W	ISRC2 Packet BCH Error 受信したパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
Reserved	6:5	R / W	Reserved	00
ISBSER	4	R / W	ISRC2 Subpacket BCH Error 受信したサブパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
ISBS3E ISBS2E ISBS1E ISBS0E	3:0	R / W	ISRC2 Subpacket n BCH Error 受信したサブパケット 0 ～ 3 に BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0000
ISB00P- ISB27P	7:0	R / W	Packet Bytes 0-27 Packet contents のデータ PB0-27 の値が出力されます。	0x00

ISB00H に設定される Packet Type のパケットを受信するので、ISB00H に受信したい Packet Type を設定すれば、ISRC2 Packet 以外を受信することも可能です。デフォルトでは ISRC2 Packet を受信します。

4.3.10 Gamut Metadata Packet Register Set： Gamut Metadata パケット

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0xA0	GMT00H [7:0]								0x0A
0x66	0xA1	GMT01H [7:0]								0x00
0x66	0xA2	GMT02H [7:0]								0x00
0x66	0xA3	GMTERR	Reserved		GMTSER	GMTS3E	GMTS2E	GMTS1E	GMTS0E	0x00
0x66	0xA4	GMT00P[7:0]								0x00
0x66	0xA5	GMT01P[7:0]								0x00
0x66	0xA6	GMT02P[7:0]								0x00
0x66	0xA7	GMT03P[7:0]								0x00
0x66	0xA8	GMT04P[7:0]								0x00
0x66	0xA9	GMT05P[7:0]								0x00
0x66	0xAA	GMT06P[7:0]								0x00
0x66	0xAB	GMT07P[7:0]								0x00
0x66	0xAC	GMT08P[7:0]								0x00
0x66	0xAD	GMT09P[7:0]								0x00
0x66	0xAE	GMT10P[7:0]								0x00
0x66	0xAF	GMT11P[7:0]								0x00
0x66	0xB0	GMT12P[7:0]								0x00
0x66	0xB1	GMT13P[7:0]								0x00
0x66	0xB2	GMT14P[7:0]								0x00
0x66	0xB3	GMT15P[7:0]								0x00
0x66	0xB4	GMT16P[7:0]								0x00
0x66	0xB5	GMT17P[7:0]								0x00
0x66	0xB6	GMT18P[7:0]								0x00
0x66	0xB7	GMT19P[7:0]								0x00
0x66	0xB8	GMT20P[7:0]								0x00
0x66	0xB9	GMT21P[7:0]								0x00
0x66	0xBA	GMT22P[7:0]								0x00
0x66	0xBB	GMT23P[7:0]								0x00
0x66	0xBC	GMT24P[7:0]								0x00
0x66	0xBD	GMT25P[7:0]								0x00
0x66	0xBE	GMT26P[7:0]								0x00
0x66	0xBF	GMT27P[7:0]								0x00

Gamut Metadata Packet を受信した場合に設定されるレジスタです。

Field	Bit	Type	Description	Default
GMT00H	7:0	R / W	Gamut Header Byte 0 Gamut Packet の Packet Type を設定します。通常デフォルト値のままで使用して下さい。	0x0A
GMT01H- GMT02H	7:0	R / W	Gamut Header Byte 1-2 Gamut Packet の HB1 ～ HB2 の値が出力されます。	0x00 0x00
GMTERR	7	R / W	Gamut Packet BCH Error 受信したパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
Reserved	6:5	R / W	Reserved	00
GMTSER	4	R / W	Gamut Subpacket BCH Error 受信したサブパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
GMTS3E GMTS2E GMTS1E GMTS0E	3:0	R / W	Gamut Subpacket n BCH Error 受信したサブパケット 0 ～ 3 に BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0000
GMT00P- GMT27P	7:0	R / W	Packet Bytes 0-27 Packet contents のデータ PB0-27 の値が出力されます。	0x00

GMT00H に設定される Packet Type のパケットを受信するので、GMT00H に受信したい Packet Type を設定すれば、Gamut Packet 以外を受信することも可能です。デフォルトでは Gamut Packet を受信します。

4．3．11 Free Packet Register Set: フリーパケット

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x66	0xE0	FRE00H [7:0]								0xFF
0x66	0xE1	FRE01H [7:0]								0x00
0x66	0xE2	FRE02H [7:0]								0x00
0x66	0xE3	FREERR	Reserved	FREVER	FRESER	FRES3E	FRES2E	FRES1E	FRES0E	0x00
0x66	0xE4	FRE00P[7:0]								0x00
0x66	0xE5	FRE01P[7:0]								0x00
0x66	0xE6	FRE02P[7:0]								0x00
0x66	0xE7	FRE03P[7:0]								0x00
0x66	0xE8	FRE04P[7:0]								0x00
0x66	0xE9	FRE05P[7:0]								0x00
0x66	0xEA	FRE06P[7:0]								0x00
0x66	0xEB	FRE07P[7:0]								0x00
0x66	0xEC	FRE08P[7:0]								0x00
0x66	0xED	FRE09P[7:0]								0x00
0x66	0xEE	FRE10P[7:0]								0x00
0x66	0xFF	FRE11P[7:0]								0x00
0x66	0xF0	FRE12P[7:0]								0x00
0x66	0xF1	FRE13P[7:0]								0x00
0x66	0xF2	FRE14P[7:0]								0x00
0x66	0xF3	FRE15P[7:0]								0x00
0x66	0xF4	FRE16P[7:0]								0x00
0x66	0xF5	FRE17P[7:0]								0x00
0x66	0xF6	FRE18P[7:0]								0x00
0x66	0xF7	FRE19P[7:0]								0x00
0x66	0xF8	FRE20P[7:0]								0x00
0x66	0xF9	FRE21P[7:0]								0x00
0x66	0xFA	FRE22P[7:0]								0x00
0x66	0xFB	FRE23P[7:0]								0x00
0x66	0xFC	FRE24P[7:0]								0x00
0x66	0xFD	FRE25P[7:0]								0x00
0x66	0xFE	FRE26P[7:0]								0x00
0x66	0xFF	FRE27P[7:0]								0x00

任意のパケットを受信します。

Field	Bit	Type	Description	Default
FRE00H	7:0	R / W	Free Packet Header Byte 0 受信したい Packet Type の値を設定します。 存在しない Packet Type を設定すれば、 パケットの受信を行いません（デフォルト）。	0xFF
FRE01H- FRE02H	7:0	R / W	Free Packet Header Byte 1-2 Free Packet の HB1 ～ HB2 の値が出力されます。Packet Type の値が FRE00H に設定した値に等しい時にのみ、更新されます。	0x00 0x00
FREERR	7	R / W	Free Packet BCH Error 受信したパケットに BCH エラーが発生した場合、1にセットされます。正常パケットを受信した時にクリアされます。	0
Reserved	6	R / W	Reserved	0
FREVER	5	R / W	Free Subpacket Detect using Version Number パケットの受信条件を FRE00H のみとするか、FRE00H と FRE01H にするかを切り替えます。 0： 受信したパケットの HB0 が FRE00H に等しい時、そのパケットを受信し格納します。 1： 受信したパケットの HB0 が FRE00H に HB1 が FRE01H に等しい時、そのパケットを受信し格納します。	0
FRESER	4	R / W	Free Subpacket BCH Error 受信したサブパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
FRES3E FRES2E FRES1E FRES0E	3:0	R / W	Free Subpacket n BCH Error 受信したサブパケット 0 ～ 3 に BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0000
FRE00P- FRE27P	7:0	R / W	Packet Bytes 0-27 Packet contents のデータ PB0-27 の値が出力されます。	0x00

4．4 Slave Address 0x68： InfoFrame Packet InfoFrame パケット

受信した InfoFrame パケットを格納するレジスタ群です。

4．4．1 Vendor-Specific InfoFrame

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x68	0x00	VSP00H [7:0]								0x81
0x68	0x01	VSP01H [7:0]								0x00
0x68	0x02	VSP02H [7:0]								0x00
0x68	0x03	VSPERR	VSPCER	VSPVER	VSPSER	VSPS3E	VSPS2E	VSPS1E	VSPS0E	0x00
0x68	0x04	VSPSUM[7:0]								0x00
0x68	0x05	VSP01P[7:0]								0x00
0x68	0x06	VSP02P[7:0]								0x00
0x68	0x07	VSP03P[7:0]								0x00
0x68	0x08	VSP04P[7:0]								0x00
0x68	0x09	VSP05P[7:0]								0x00
0x68	0x0A	VSP06P[7:0]								0x00
0x68	0x0B	VSP07P[7:0]								0x00
0x68	0x0C	VSP08P[7:0]								0x00
0x68	0x0D	VSP09P[7:0]								0x00
0x68	0x0E	VSP10P[7:0]								0x00
0x68	0x0F	VSP11P[7:0]								0x00
0x68	0x10	VSP12P[7:0]								0x00
0x68	0x11	VSP13P[7:0]								0x00
0x68	0x12	VSP14P[7:0]								0x00
0x68	0x13	VSP15P[7:0]								0x00
0x68	0x14	VSP16P[7:0]								0x00
0x68	0x15	VSP17P[7:0]								0x00
0x68	0x16	VSP18P[7:0]								0x00
0x68	0x17	VSP19P[7:0]								0x00
0x68	0x18	VSP20P[7:0]								0x00
0x68	0x19	VSP21P[7:0]								0x00
0x68	0x1A	VSP22P[7:0]								0x00
0x68	0x1B	VSP23P[7:0]								0x00
0x68	0x1C	VSP24P[7:0]								0x00
0x68	0x1D	VSP25P[7:0]								0x00
0x68	0x1E	VSP26P[7:0]								0x00
0x68	0x1F	VSP27P[7:0]								0x00

HDMI Vendor-Specific InfoFrame 以外の Vendor-Specific InfoFrame を受信した場合に設定されるレジスタです。

Field	Bit	Type	Description	Default
VSP00H	7:0	R / W	Vendor-Specific InfoFrame Header Byte 0 Vendor-Specific InfoFrame の Packet Type を設定します。通常デフォルト値のままで使用して下さい。	0x81
VSP01H- VSP02H	7:0	R / W	Vendor-Specific InfoFrame Header Byte 1-2 Vendor-Specific InfoFrame の HB1 ～ HB2 の値が出力されます。	0x00 0x00
VSPERR	7	R / W	Vendor-Specific InfoFrame Error 受信したパケットにエラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
VSPCER	6	R / W	Vendor-Specific InfoFrame Checksum Error 受信したパケットにチェックサムエラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
VSPVER	5	R / W	Vendor-Specific InfoFrame Detect using Version Number パケットの受信条件を VSP00H のみとするか、VSP00H と VSP01H にするかを切り替えます。 0： 受信したパケットの HB0 が VSP00H に等しい時、そのパケットを受信し格納します。 1： 受信したパケットの HB0 が VSP00H に HB1 が VSP01H に等しい時、そのパケットを受信し格納します。	0
VSPSER	4	R / W	Vendor-Specific InfoFrame Subpacket BCH Error 受信したサブパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
VSPS3E VSPS2E VSPS1E VSPS0E	3:0	R / W	Vendor-Specific InfoFrame Subpacket n BCH Error 受信したサブパケット 0～ 3 に BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0000
VSPSUM	7:0	R / W	Checksum 受信したチェックサムの値が出力されます。	0x00
VSP01P- VSP27P	7:0	R / W	Packet Bytes 1-27 Packet contents のデータ PB1-27 の値が出力されます。	0x00

VSP00H に設定される Packet Type のパケットを受信するので、VSP00H に受信したい Packet Type を設定すれば、Vendor-Specific InfoFrame 以外を受信することも可能です。デフォルトでは Vendor-Specific InfoFrame を受信します。

Vendor-Specific InfoFrame レジスタは以下の条件でリセットされます。（ハードリセット除く）

①0x60_0x06 bit0 CFGRST=1

②0x60_0x05 bit1 PKTRST=1

③0x60_0x41 bit0 LOCKDT の立上がり
④0x62_0x30 bit1:0 DVISET[1:0]=10 状態から 00 or 01 書き込み
⑤HDMI モードから DVI モードへの遷移

※VSP00H は①のみでリセットされます。
VSP01H、VSP02H、VSPERR、VSPCER、VSPVER、VSPSER、VSPS3E-VSPS0E は
④、⑤でリセットされません。
また、VSP01H、VSPVER は VSPVER=1 の場合、②、③でもリセットされません。

4．4．2 AVI InfoFrame

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x68	0x20	AVI00H [7:0]								0x82
0x68	0x21	AVI01H [7:0]								0x00
0x68	0x22	AVI02H [7:0]								0x00
0x68	0x23	AVIERR	AVICER	AVIVER	AVISER	AVIS3E	AVIS2E	AVIS1E	AVIS0E	0x00
0x68	0x24	AVISUM[7:0]								0x00
0x68	0x25	AVI01P[7:0]								0x00
0x68	0x26	AVI02P[7:0]								0x00
0x68	0x27	AVI03P[7:0]								0x00
0x68	0x28	AVI04P[7:0]								0x00
0x68	0x29	AVI05P[7:0]								0x00
0x68	0x2A	AVI06P[7:0]								0x00
0x68	0x2B	AVI07P[7:0]								0x00
0x68	0x2C	AVI08P[7:0]								0x00
0x68	0x2D	AVI09P[7:0]								0x00
0x68	0x2E	AVI10P[7:0]								0x00
0x68	0x2F	AVI11P[7:0]								0x00
0x68	0x30	AVI12P[7:0]								0x00
0x68	0x31	AVI13P[7:0]								0x00
0x68	0x32	AVI14P[7:0]								0x00
0x68	0x33	AVI15P[7:0]								0x00
0x68	0x34	AVI16P[7:0]								0x00
0x68	0x35	AVI17P[7:0]								0x00
0x68	0x36	AVI18P[7:0]								0x00
0x68	0x37	AVI19P[7:0]								0x00
0x68	0x38	AVI20P[7:0]								0x00
0x68	0x39	AVI21P[7:0]								0x00
0x68	0x3A	AVI22P[7:0]								0x00
0x68	0x3B	AVI23P[7:0]								0x00
0x68	0x3C	AVI24P[7:0]								0x00
0x68	0x3D	AVI25P[7:0]								0x00
0x68	0x3E	AVI26P[7:0]								0x00
0x68	0x3F	AVI27P[7:0]								0x00

AVI InfoFrame を受信した場合に設定されるレジスタです。

Field	Bit	Type	Description	Default
AVI00H	7:0	R / W	AVI InfoFrame Header Byte 0 AVI InfoFrame の Packet Type を設定します。 通常デフォルト値のままで使用して下さい。	0x82
AVI01H- AVI02H	7:0	R / W	AVI InfoFrame Header Byte 1-2 AVI InfoFrame の HB1 ～ HB2 の値が出力されます。	0x00 0x00
AVIERR	7	R / W	AVI InfoFrame Error 受信したパケットにエラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。 ※ヘッダエラーの場合は 1 にセットされません。	0
AVICER	6	R / W	AVI InfoFrame Checksum Error 受信したパケットにチェックサムエラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。 ※ヘッダエラーの場合は 1 にセットされません。	0
AVIVER	5	R / W	AVI InfoFrame Detect using Version Number パケットの受信条件を AVI00H のみとするか、AVI00H と AVI01H にするかを切り替えます。 0： 受信したパケットの HB0 が AVI00H に等しい時、そのパケットを受信し格納します。 1： 受信したパケットの HB0 が AVI00H に HB1 が AVI01H に等しい時、そのパケットを受信し格納します。	0
AVISER	4	R / W	AVI InfoFrame Subpacket BCH Error 受信したサブパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
AVIS3E AVIS2E AVIS1E AVIS0E	3:0	R / W	AVI InfoFrame Subpacket n BCH Error 受信したサブパケット 0 ～ 3 に BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0000
AVISUM	7:0	R / W	Checksum 受信したチェックサムの値が出力されます。	0x00
AVI01P- AVI27P	7:0	R / W	Packet Bytes 1-27 Packet contents のデータ PB1-27 の値が出力されます。	0x00

AVI00H に設定される Packet Type のパケットを受信するので、AVI00H に受信したい Packet Type を設定すれば、AVI InfoFrame 以外を受信することも可能です。デフォルトでは AVI InfoFrame を受信します。

AVI InfoFrame レジスタは以下の条件でリセットされます。（ハードリセット除く）

①0x60_0x06 bit0 CFGRST=1
②0x60_0x05 bit1 PKTRST=1
③0x60_0x41 bit0 LOCKDT の立上がり

④0x62_0x30 bit1:0 DVISET[1:0]=10 状態から 00 or 01 書き込み
⑤HDMI モードから DVI モードへの遷移
※AVI00H は①のみでリセットされます。
AVI01H、AVI02H、AVIERR、AVICER、AVIVER、AVISER、AVIS3E-AVIS0E は
④、⑤でリセットされません。
また、AVI01H、AVIVER は AVIVER=1 の場合、②、③でもリセットされません。

4.4.3 Source Product Descriptor InfoFrame

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x68	0x40	SPD00H [7:0]								0x83
0x68	0x41	SPD01H [7:0]								0x00
0x68	0x42	SPD02H [7:0]								0x00
0x68	0x43	SPDERR	SPDCER	SPDVER	SPDSER	SPDS3E	SPDS2E	SPDS1E	SPDS0E	0x00
0x68	0x44	SPDSUM[7:0]								0x00
0x68	0x45	SPD01P[7:0]								0x00
0x68	0x46	SPD02P[7:0]								0x00
0x68	0x47	SPD03P[7:0]								0x00
0x68	0x48	SPD04P[7:0]								0x00
0x68	0x49	SPD05P[7:0]								0x00
0x68	0x4A	SPD06P[7:0]								0x00
0x68	0x4B	SPD07P[7:0]								0x00
0x68	0x4C	SPD08P[7:0]								0x00
0x68	0x4D	SPD09P[7:0]								0x00
0x68	0x4E	SPD10P[7:0]								0x00
0x68	0x4F	SPD11P[7:0]								0x00
0x68	0x50	SPD12P[7:0]								0x00
0x68	0x51	SPD13P[7:0]								0x00
0x68	0x52	SPD14P[7:0]								0x00
0x68	0x53	SPD15P[7:0]								0x00
0x68	0x54	SPD16P[7:0]								0x00
0x68	0x55	SPD17P[7:0]								0x00
0x68	0x56	SPD18P[7:0]								0x00
0x68	0x57	SPD19P[7:0]								0x00
0x68	0x58	SPD20P[7:0]								0x00
0x68	0x59	SPD21P[7:0]								0x00
0x68	0x5A	SPD22P[7:0]								0x00
0x68	0x5B	SPD23P[7:0]								0x00
0x68	0x5C	SPD24P[7:0]								0x00
0x68	0x5D	SPD25P[7:0]								0x00
0x68	0x5E	SPD26P[7:0]								0x00
0x68	0x5F	SPD27P[7:0]								0x00

Source Product Descriptor InfoFrame を受信した場合に設定されるレジスタです。

Field	Bit	Type	Description	Default
SPD00H	7:0	R / W	Source Product Descriptor InfoFrame Header Byte 0 Source Product Descriptor InfoFrame の Packet Type を設定します。通常デフォルト値のままで使用して下さい。	0x83
SPD01H- SPD02H	7:0	R / W	Source Product Descriptor InfoFrame Header Byte 1-2 Source Product Descriptor InfoFrame の HB1 ～ HB2 の値が出力されます。	0x00 0x00
SPDERR	7	R / W	Source Product Descriptor InfoFrame Error 受信したパケットにエラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
SPDCER	6	R / W	Source Product Descriptor InfoFrame Checksum Error 受信したパケットにチェックサムエラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
SPDVER	5	R / W	Source Product Descriptor InfoFrame Detect using Version Number パケットの受信条件を SPD00H のみとするか、SPD00H と SPD01H にするかを切り替えます。 0： 受信したパケットの HB0 が SPD00H に等しい時、そのパケットを受信し格納します。 1： 受信したパケットの HB0 が SPD00H に HB1 が SPD01H に等しい時、そのパケットを受信し格納します。	0
SPDSER	4	R / W	Source Product Descriptor InfoFrame Sub-packet BCH Error 受信したサブパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
SPDS3E SPDS2E SPDS1E SPDS0E	3:0	R / W	Source Product Descriptor InfoFrame Sub-packet n BCH Error 受信したサブパケット 0 ～ 3 に BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0000
SPDSUM	7:0	R / W	Checksum 受信したチェックサムの値が出力されます。	0x00
SPD01P- SPD27P	7:0	R / W	Packet Bytes 1-27 Packet contents のデータ PB1-27 の値が出力されます。	0x00

SPD00H に設定される Packet Type のパケットを受信するので、SPD00H に受信したい Packet Type を設定すれば、Source Product Descriptor InfoFrame 以外を受信することも可能です。デフォルトでは Source Product Descriptor InfoFrame を受信します。

Source Product Descriptor InfoFrame レジスタは以下の条件でリセットされます。（ハードリセット除く）

①0x60_0x06 bit0 CFGRST=1
②0x60_0x05 bit1 PKTRST=1
③0x60_0x41 bit0 LOCKDT の立上がり
④0x62_0x30 bit1:0 DVISET[1:0]=10 状態から 00 or 01 書き込み
⑤HDMI モードから DVI モードへの遷移

※SPD00H は①のみでリセットされます。
SPD01H、SPD02H、SPDERR、SPDCER、SPDVER、SPDSER、SPDS3E-SPDS0E は
④、⑤でリセットされません。
また、SPD01H、SPDVER は SPDVER=1 の場合、②、③でもリセットされません。

4．4．4 Audio InfoFrame

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x68	0x60	AUD00H [7:0]								0x84
0x68	0x61	AUD01H [7:0]								0x00
0x68	0x62	AUD02H [7:0]								0x00
0x68	0x63	AUDERR	AUDCER	AUDVER	AUDSER	AUDS3E	AUDS2E	AUDS1E	AUDS0E	0x00
0x68	0x64	AUDSUM[7:0]								0x00
0x68	0x65	AUD01P[7:0]								0x00
0x68	0x66	AUD02P[7:0]								0x00
0x68	0x67	AUD03P[7:0]								0x00
0x68	0x68	AUD04P[7:0]								0x00
0x68	0x69	AUD05P[7:0]								0x00
0x68	0x6A	AUD06P[7:0]								0x00
0x68	0x6B	AUD07P[7:0]								0x00
0x68	0x6C	AUD08P[7:0]								0x00
0x68	0x6D	AUD09P[7:0]								0x00
0x68	0x6E	AUD10P[7:0]								0x00
0x68	0x6F	AUD11P[7:0]								0x00
0x68	0x70	AUD12P[7:0]								0x00
0x68	0x71	AUD13P[7:0]								0x00
0x68	0x72	AUD14P[7:0]								0x00
0x68	0x73	AUD15P[7:0]								0x00
0x68	0x74	AUD16P[7:0]								0x00
0x68	0x75	AUD17P[7:0]								0x00
0x68	0x76	AUD18P[7:0]								0x00
0x68	0x77	AUD19P[7:0]								0x00
0x68	0x78	AUD20P[7:0]								0x00
0x68	0x79	AUD21P[7:0]								0x00
0x68	0x7A	AUD22P[7:0]								0x00
0x68	0x7B	AUD23P[7:0]								0x00
0x68	0x7C	AUD24P[7:0]								0x00
0x68	0x7D	AUD25P[7:0]								0x00
0x68	0x7E	AUD26P[7:0]								0x00
0x68	0x7F	AUD27P[7:0]								0x00

Audio InfoFrame を受信した場合に設定されるレジスタです。

Field	Bit	Type	Description	Default
AUD00H	7:0	R / W	Audio InfoFrame Header Byte 0 Audio InfoFrame の Packet Type を設定します。通常デフォルト値のままで使用して下さい。	0x84
AUD01H- AUD02H	7:0	R / W	Audio InfoFrame Header Byte 1-2 Audio InfoFrame の HB1 ～ HB2 の値が出力されます。	0x00 0x00
AUDERR	7	R / W	Audio InfoFrame Error 受信したパケットにエラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
AUDCER	6	R / W	Audio InfoFrame Checksum Error 受信したパケットにチェックサムエラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
AUDVER	5	R / W	Audio InfoFrame Detect using Version Number パケットの受信条件を AUD00H のみとするか、AUD00H と AUD01H にするかを切り替えます。 0： 受信したパケットの HB0 が AUD00H に等しい時、そのパケットを受信し格納します。 1： 受信したパケットの HB0 が AUD00H に HB1 が AUD01H に等しい時、そのパケットを受信し格納します。	0
AUDSER	4	R / W	Audio InfoFrame Subpacket BCH Error 受信したサブパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
AUDS3E AUDS2E AUDS1E AUDS0E	3:0	R / W	Audio InfoFrame Subpacket n BCH Error 受信したサブパケット 0 ～ 3 に BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0000
AUDSUM	7:0	R / W	Checksum 受信したチェックサムの値が出力されます。	0x00
AUD01P- AUD27P	7:0	R / W	Packet Bytes 1-27 Packet contents のデータ PB1-27 の値が出力されます。	0x00

AUD00H に設定される Packet Type のパケットを受信するので、AUD00H に受信したい Packet Type を設定すれば、Audio InfoFrame 以外を受信することも可能です。デフォルトでは Audio InfoFrame を受信します。

Audio InfoFrame レジスタは以下の条件でリセットされます。（ハードリセット除く）

①0x60_0x06 bit0 CFGRST=1
②0x60_0x05 bit1 PKTRST=1
③0x60_0x41 bit0 LOCKDT の立上がり
④0x62_0x30 bit1:0 DVISET[1:0]=10 状態から 00 or 01 書き込み

⑤HDMI モードから DVI モードへの遷移

※AUD00H は①のみでリセットされます。

AUD01H、AUD02H、AUDERR、AUDCER、AUDVER、AUDSER、AUDS3E-AUDS0E は④、⑤でリセットされません。

また、AUD01H、AUDVER は AUDVER=1 の場合、②、③でもリセットされません。

4．4．5 MPEG Source InfoFrame

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x68	0x80	MPG00H [7:0]								0x85
0x68	0x81	MPG01H [7:0]								0x00
0x68	0x82	MPG02H [7:0]								0x00
0x68	0x83	MPGERR	MPGCER	MPGVER	MPGSER	MPGS3E	MPGS2E	MPGS1E	MPGS0E	0x00
0x68	0x84	MPGSUM[7:0]								0x00
0x68	0x85	MPG01P[7:0]								0x00
0x68	0x86	MPG02P[7:0]								0x00
0x68	0x87	MPG03P[7:0]								0x00
0x68	0x88	MPG04P[7:0]								0x00
0x68	0x89	MPG05P[7:0]								0x00
0x68	0x8A	MPG06P[7:0]								0x00
0x68	0x8B	MPG07P[7:0]								0x00
0x68	0x8C	MPG08P[7:0]								0x00
0x68	0x8D	MPG09P[7:0]								0x00
0x68	0x8E	MPG10P[7:0]								0x00
0x68	0x8F	MPG11P[7:0]								0x00
0x68	0x90	MPG12P[7:0]								0x00
0x68	0x91	MPG13P[7:0]								0x00
0x68	0x92	MPG14P[7:0]								0x00
0x68	0x93	MPG15P[7:0]								0x00
0x68	0x94	MPG16P[7:0]								0x00
0x68	0x95	MPG17P[7:0]								0x00
0x68	0x96	MPG18P[7:0]								0x00
0x68	0x97	MPG19P[7:0]								0x00
0x68	0x98	MPG20P[7:0]								0x00
0x68	0x99	MPG21P[7:0]								0x00
0x68	0x9A	MPG22P[7:0]								0x00
0x68	0x9B	MPG23P[7:0]								0x00
0x68	0x9C	MPG24P[7:0]								0x00
0x68	0x9D	MPG25P[7:0]								0x00
0x68	0x9E	MPG26P[7:0]								0x00
0x68	0x9F	MPG27P[7:0]								0x00

MPEG Source InfoFrame を受信した場合に設定されるレジスタです。

Field	Bit	Type	Description	Default
MPG00H	7:0	R / W	MPEG Source InfoFrame Header Byte 0 MPEG Source InfoFrame の Packet Type を設定します。通常デフォルト値のままで使用して下さい。	0x85
MPG01H- MPG02H	7:0	R / W	MPEG Source InfoFrame Header Byte 1-2 MPEG Source InfoFrame の HB1 ～ HB2 の値が出力されます。	0x00 0x00
MPGERR	7	R / W	MPEG Source InfoFrame Error 受信したパケットにエラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
MPGCER	6	R / W	MPEG Source InfoFrame Checksum Error 受信したパケットにチェックサムエラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
MPGVER	5	R / W	MPEG Source InfoFrame Detect using Version Number パケットの受信条件を MPG00H のみとするか、MPG00H と MPG01H にするかを切り替えます。 0： 受信したパケットの HB0 が MPG00H に等しい時、そのパケットを受信し格納します。 1： 受信したパケットの HB0 が MPG00H に HB1 が MPG01H に等しい時、そのパケットを受信し格納します。	0
MPGSER	4	R / W	MPEG Source InfoFrame Subpacket BCH Error 受信したサブパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
MPGS3E MPGS2E MPGS1E MPGS0E	3:0	R / W	MPEG Source InfoFrame Subpacket n BCH Error 受信したサブパケット 0 ～ 3 に BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0000
MPGSUM	7:0	R / W	Checksum 受信したチェックサムの値が出力されます。	0x00
MPG01P- MPG27P	7:0	R / W	Packet Bytes 1-27 Packet contents のデータ PB1-27 の値が出力されます。	0x00

MPG00H に設定される Packet Type のパケットを受信するので、MPG00H に受信したい Packet Type を設定すれば、MPEG Source InfoFrame 以外を受信することも可能です。デフォルトでは MPEG Source InfoFrame を受信します。

MPEG Source InfoFrame レジスタは以下の条件でリセットされます。（ハードリセット除く）

①0x60_0x06 bit0 CFGRST=1
②0x60_0x05 bit1 PKTRST=1
③0x60_0x41 bit0 LOCKDT の立上がり
④0x62_0x30 bit1:0 DVISET[1:0]=10 状態から 00 or 01 書き込み
⑤HDMI モードから DVI モードへの遷移

※MPG00H は①のみでリセットされます。
MPG01H、MPG02H、MPGERR、MPGCER、MPGVER、MPGSER、MPGS3E-MPGS0E は
④、⑤でリセットされません。
また、MPG01H、MPGVER は MPGVER=1 の場合、②、③でもリセットされません。

4.4.6 HDMI Vendor-Specific InfoFrame

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x68	0xA0	HVS00H [7:0]								0x00
0x68	0xA1	HVS01H [7:0]								0x00
0x68	0xA2	HVS02H [7:0]								0x00
0x68	0xA3	HVSERR	HVSCER	HVSVER	HVSSER	HVSS3E	HVSS2E	HVSS1E	HVSS0E	0x00
0x68	0xA4	HVSSUM[7:0]								0x00
0x68	0xA5	HVS01P[7:0]								0x00
0x68	0xA6	HVS02P[7:0]								0x00
0x68	0xA7	HVS03P[7:0]								0x00
0x68	0xA8	HVS04P[7:0]								0x00
0x68	0xA9	HVS05P[7:0]								0x00
0x68	0xAA	HVS06P[7:0]								0x00
0x68	0xAB	HVS07P[7:0]								0x00
0x68	0xAC	HVS08P[7:0]								0x00
0x68	0xAD	HVS09P[7:0]								0x00
0x68	0xAE	HVS10P[7:0]								0x00
0x68	0xAF	HVS11P[7:0]								0x00
0x68	0xB0	HVS12P[7:0]								0x00
0x68	0xB1	HVS13P[7:0]								0x00
0x68	0xB2	HVS14P[7:0]								0x00
0x68	0xB3	HVS15P[7:0]								0x00
0x68	0xB4	HVS16P[7:0]								0x00
0x68	0xB5	HVS17P[7:0]								0x00
0x68	0xB6	HVS18P[7:0]								0x00
0x68	0xB7	HVS19P[7:0]								0x00
0x68	0xB8	HVS20P[7:0]								0x00
0x68	0xB9	HVS21P[7:0]								0x00
0x68	0xBA	HVS22P[7:0]								0x00
0x68	0xBB	HVS23P[7:0]								0x00
0x68	0xBC	HVS24P[7:0]								0x00
0x68	0xBD	HVS25P[7:0]								0x00
0x68	0xBE	HVS26P[7:0]								0x00
0x68	0XBF	HVS27P[7:0]								0x00

HDMI Vendor-Specific InfoFrame を受信した場合に設定されるレジスタです。

Field	Bit	Type	Description	Default
HVS00H	7:0	R / W	HDMI Vendor-Specific InfoFrame Header Byte 0 Vendor-Specific InfoFrame の Packet Type を	0x00

			設定します。通常は 0x81 を初期設定して使用して下さい。	
HVS01H- HVS02H	7:0	R / W	HDMI Vendor-Specific InfoFrame Header Byte 1-2 HDMI Vendor-Specific InfoFrame の HB1 ～ HB2 の値が出力されます。	0x00 0x00
HVSERR	7	R / W	HDMI Vendor-Specific InfoFrame Error 受信したパケットにエラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
HVSCER	6	R / W	HDMI Vendor-Specific InfoFrame Checksum Error 受信したパケットにチェックサムエラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
HVSVER	5	R / W	HDMI Vendor-Specific InfoFrame Detect using Version Number パケットの受信条件を HVS00H のみとするか、HVS00H と HVS01H にするかを切り替えます。 0： 受信したパケットの HB0 が HVS00H に等しい時、そのパケットを受信し格納します。 1： 受信したパケットの HB0 が HVS00H に HB1 が HSP01H に等しい時、そのパケットを受信し格納します。	0
HVSSER	4	R / W	HDMI Vendor-Specific InfoFrame Subpacket BCH Error 受信したサブパケットに BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0
HVSS3E HVSS2E HVSS1E HVSS0E	3:0	R / W	HDMI Vendor-Specific InfoFrame Subpacket n BCH Error 受信したサブパケット 0～ 3 に BCH エラーが発生した場合、1 にセットされます。正常パケットを受信した時にクリアされます。	0000
HVSSUM	7:0	R / W	Checksum 受信したチェックサムの値が出力されます。	0x00
HVS01P- HVS03P	7:0	R / W	Packet Bytes 1-3 Packet contents のデータ PB1-3 の値が出力されます。 HDMI Vendor-Specific InfoFrame を受信するためには、IEEE Registration Identifier (0x000C03) を初期設定して、使用してください。	0x00
HVS04P- HVS27P	7:0	R / W	Packet Bytes 4-27 Packet contents のデータ PB4-27 の値が出力されます。	0x00

HVS00H に設定される Packet Type で、かつ HVS03P〜HVS01P に設定されるIDを持つパケットを、受信します。これ以外の Vendor-Specific InfoFrame は、全て 0x68-00〜1F Vendor Specific InfoFrame で受信されます。デフォルトでは、全ての Vender Specific InfoFrame Packet を 0x68-00〜1F Vendor Specific InfoFrame で受信します（デフォルトでは、HDMI Vendor-Specific InfoFrame も 0x68-00〜1F Vendor Specific InfoFrame で受信します）。

HDMI Vendor-Specific InfoFrame を受信するには、HVS01P に 0x03 を、HVS02P に 0x0C を設定した後、HVS00H に 0x81 を設定して下さい。この時、HDMI Vendor-Specific InfoFrame 以外の Vendor-Specific InfoFrame は、全て 0x68-00〜1F Vendor Specific InfoFrame で受信されます。

なお、HVS03P〜HVS01P に受信したい ID を設定した後、HVS00H に受信したい Packet Type を設定すれば、HDMI Vendor-Specific InfoFrame 以外を受信することも可能です。この時、HVS03P〜HVS01P に設定された ID 以外の ID を持つ Vendor-Specific InfoFrame は、全て 0x68-00〜1F Vendor Specific InfoFrame で受信されます。

HDMI Vendor-Specific InfoFrame レジスタは以下の条件でリセットされます。（ハードリセット除く）

①0x60_0x06 bit0 CFGRST=1
②0x60_0x05 bit1 PKTRST=1
③0x60_0x41 bit0 LOCKDT の立上がり
④0x62_0x30 bit1:0 DVISET[1:0]=10 状態から 00 or 01 書き込み
⑤HDMI モードから DVI モードへの遷移
⑥0x60_0x4E bit3 HVSNDET の立上がり

※HVS00H はハードリセットのみでリセットされます。
HVS01H、HVS02H、HVSERR、HVSCER、HVSVER、HVSSER、HVSS3E-HVSS0E は④、⑤でリセットされません。
また、HVS01H、HVSVER は HVSVER=1 の場合、①、②、③、⑥でもリセットされません。

4．4．7 Received User Data

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x68	0xE0	RUDSET[7:0]								0x00
0x68	0xE1	Reserved							TESTUD	0x00
0x68	0xE2-E3	Reserved								0x00
0x68	0xE4	IU1[7:0]								0x00
0x68	0xE5	IU2[7:0]								0x00
0x68	0xE6	IU3[7:0]								0x00
0x68	0xE7	IU4[7:0]								0x00
0x68	0xE8	IU5[7:0]								0x00
0x68	0xE9	IU6[7:0]								0x00
0x68	0xEA	IU7[7:0]								0x00
0x68	0xEB	IU8[7:0]								0x00
0x68	0xEC	IU9[7:0]								0x00
0x68	0xED	IU10[7:0]								0x00
0x68	0xEE	IU11[7:0]								0x00
0x68	0xEF	IU12[7:0]								0x00
0x68	0xF0	IU13[7:0]								0x00
0x68	0xF1	IU14[7:0]								0x00
0x68	0xF2	IU15[7:0]								0x00
0x68	0xF3	IU16[7:0]								0x00
0x68	0xF4	IU17[7:0]								0x00
0x68	0xF5	IU18[7:0]								0x00
0x68	0xF6	IU19[7:0]								0x00

IEC60958 で規定される User Data を受信した場合に設定されるレジスタです。

Field	Bit	Type	Description	Default
RUDSET	7:0	R / W	Received User Data Setting レジスタに反映する User Data を設定します。 0xE0： SMPTE time code: LTC 0xE1： SMPTE time code: VITC 0xF0： Latency Other： Reserved	0x00
Reserved	7:1	R/W	Reserved	0x00
TESTUD	0	R / W	User Data Test Mode Userdata を受信するテストモードです。 0： 通常動作 (デフォルト) 1： RUDSET の設定にかかわらず、受信した User Data をレジスタに反映します。	0
IU1-19	7:0	R / W	Received Infomation Unit #1-19 受信した User Data の 1st ～ 19th の Information Unit を示します。	0x00

4．5　Slave Address 0x6C：　CEC Control Register　　CEC 制御レジスタ

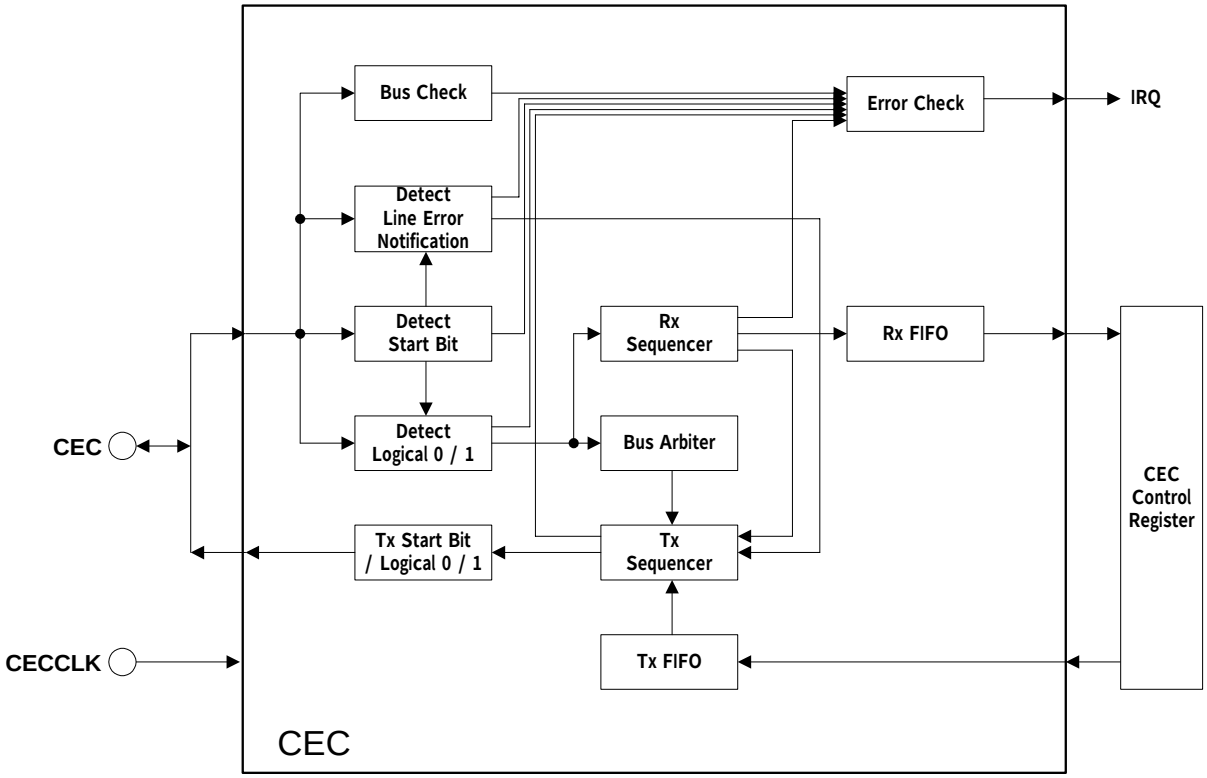
CEC を制御するレジスタ群です。主な機能は以下の通りです。

- メッセージの送受信
  - 送信用 FIFO 16 byte
  - 受信用 FIFO　64 byte
- 自動 ACK 送信
- 送信時の自動アービトレーション
- アービトレーション失敗時の自動リトライ
- 送信時の Siginal Free 管理
- Line Error Notification の自動送信
- 各種エラー検知
- 送受信完了･エラー発生時の割り込み通知（割り込みレジスタは4．4章参照）

※レジスタ設定上の注意

受信データの判定閾値を設定する各種レジスタには、CEC 規格を逸脱した設定値を設定可能なパラメータがありますが、これらのレジスタ設定によって CEC 規格を逸脱した信号を正常に受信できるようになる訳ではありません。

必ず CEC 規格に準拠した信号を入力してください。



CEC Soft Reset

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x60	Reserved		CECTFC	Reserved	CECRXR	Reserved	CECWPR	CECRST	0x00

ソフトリセットを実行します。

Field	Bit	Type	Description	Default
Reserved	7:6	R/W	Reserved	00
CECTFC	5	R/W	CEC Tx FIFO Clear 送信 FIFO を全てクリアします。	0
Reserved	4	R/W	Reserved	0
CECRXR	3	R/W	CEC Rx Soft Reset 受信動作をリセットします。	0
Reserved	2	R/W	Reserved	0
CECWPR	1	R/W	CEC Soft Reset without Parameter アドレス 0x6C:0x74 ～ 0x6C:0x7F の各種パラメータ以外をリセットします。受信、送信 FIFO もリセットされます。	0
CECRST	0	R/W	CEC Soft Reset ソフトリセットを実行します。 以下の CEC 関連レジスタが初期化されます。 （0x60:0x04 bit7 ALLRST では初期化されません。） 0x6C:0x61～0x7F の全レジスタ 0x60:0x1E～0x1F CECCDV 0x60:0x51 割り込みステータス 0x60:0x59 bit7 IRQMSB[7] 0x60:0x5B bit7 EIRMSB[7] 0x60:0x69 IR9MSK	0

当該ビットに1を書き込むことでソフトリセットが実行されます。0へのクリアは自動的に行われます。

CEC Rx FIFO Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x61	CECRXF								0x00

Field	Bit	Type	Description	Default
CECRXF	7:0	R	CEC Rx FIFO 受信したメッセージが格納される FIFO です。 EOM と ACK を除く 1 byte 単位で格納されます。 CECRMS≠0 の時に CECRMS バイト読み出して下さい。 ※CECRXF から CECRMS バイトを超えて読み出さないで下さい。読み出した場合動作を保証しません。	0x00

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x62	CECRTS								0x00

Field	Bit	Type	Description	Default
CECRTS	7:0	R	CEC Received Total Message Size 受信したメッセージの総バイト数が格納されます。	0x00

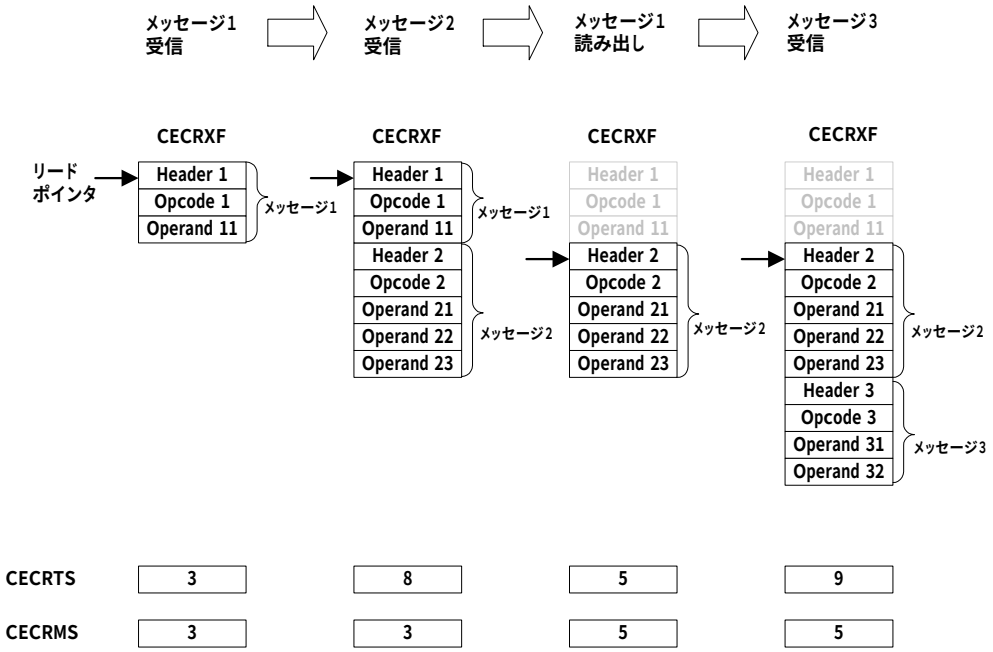
Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x63	CECRMS								0x00

Field	Bit	Type	Description	Default
CECRMS	7:0	R	CEC Received Message Size 受信した 1 メッセージのバイト数が格納されます。 スタートビットから EOM＝1 までを 1 メッセージとし、EOM と ACK を除くバイト数が格納されます。	0x00

受信した 1 メッセージを読み出すためには、CECRXF をオフセットアドレスに指定し、シーケンシャルリードで受信 FIFO からデータを CECRMS バイトだけ読み出します。CECRMS バイト読み出すと、CECRMS は次の 1 メッセージのバイト数に変化し、CECRTS は CECRMS バイトだけ小さくなります。FIFO から全てのデータを読み出すと、CECRTS＝CECRMS＝0 となります。

CECRXF をオフセットアドレスに指定せず、CECRXF を跨ぐようにシーケンシャルリードしても、CECRTS は変化しません。

受信イメージ


メッセージ1
受信
メッセージ2
受信
メッセージ1
読み出し
メッセージ3
受信
CECRXF
CECRXF
CECRXF
CECRXF
リード
ポインタ
Header 1
Opcode 1
Operand 11
メッセージ1
Header 1
Opcode 1
Operand 11
メッセージ1
Header 2
Opcode 2
Operand 21
Operand 22
Operand 23
メッセージ2
Header 1
Opcode 1
Operand 11
Header 2
Opcode 2
Operand 21
Operand 22
Operand 23
メッセージ2
Header 1
Opcode 1
Operand 11
Header 2
Opcode 2
Operand 21
Operand 22
Operand 23
メッセージ2
Header 3
Opcode 3
Operand 31
Operand 32
メッセージ3
CECRTS
3
8
5
9
CECRMS
3
3
5
5

CEC Tx FIFO Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x64	CECTXF								0x00

Field	Bit	Type	Description	Default
CECTXF	7:0	R/W	CEC Tx FIFO 送信するメッセージを格納する FIFO です。 送信する前であれば、書き込んだメッセージを読み出すことが可能です。 最大 16 バイトまで設定可能です。 メッセージをクリアする時は 0x6C:0x60 bit5 CECTFC で行って下さい。 ※CECTXF から CECTTS バイトを超えて読み出さないで下さい。読み出した場合動作を保証しません。	0x00

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x65	CECTTS								0x00

Field	Bit	Type	Description	Default
CECTTS	7:0	R	CEC Transmitting Total Message Size 送信するメッセージの総バイト数が格納されます。	0x00

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x66	CECTMS								0x00

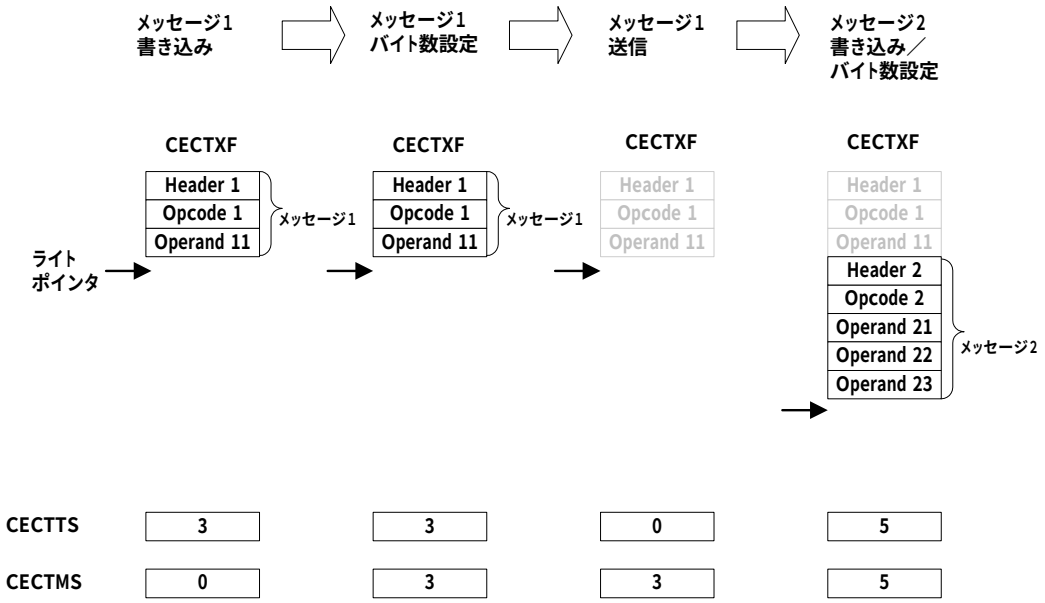
Field	Bit	Type	Description	Default
CECTMS	7:0	R/W	CEC Transmitting Message Size 送信する 1 メッセージのバイト数を格納します。 CECTTS と同じ値を設定して下さい。	0x00

CECTXF をオフセットアドレスに指定し、シーケンシャルライトで送信 FIFO へメッセージを書き込みます。書き込んだ総バイト数は CECTTS から読み出せます。

CECTMS に送信するバイト数を設定し、CECTXE＝1 にすると送信が開始されます。EOM と ACK は自動的に処理されます。送信が終了すると CECTXE＝0 となり、CECTTS は 0 になります。

CECTXF をオフセットアドレスに指定せず、CECTXF を跨ぐようにシーケンシャルライトしても、FIFO へのメッセージの書き込みは行われず、CECTTS も変化しません。

送信イメージ


メッセージ1
書き込み
メッセージ1
バイト数設定
メッセージ1
送信
メッセージ2
書き込み／
バイト数設定
CECTXF
CECTXF
CECTXF
CECTXF
Header 1
Opcode 1
Operand 11
メッセージ1
Header 1
Opcode 1
Operand 11
メッセージ1
Header 1
Opcode 1
Operand 11
Header 1
Opcode 1
Operand 11
Header 2
Opcode 2
Operand 21
Operand 22
Operand 23
メッセージ2
ライト
ポインタ
CECTTS
3
3
0
5
CECTMS
0
3
3
5

CEC Tx/Rx Control Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x67	CECBLC	Reserved				CECTXE	CECRME	CECRXE	0x00

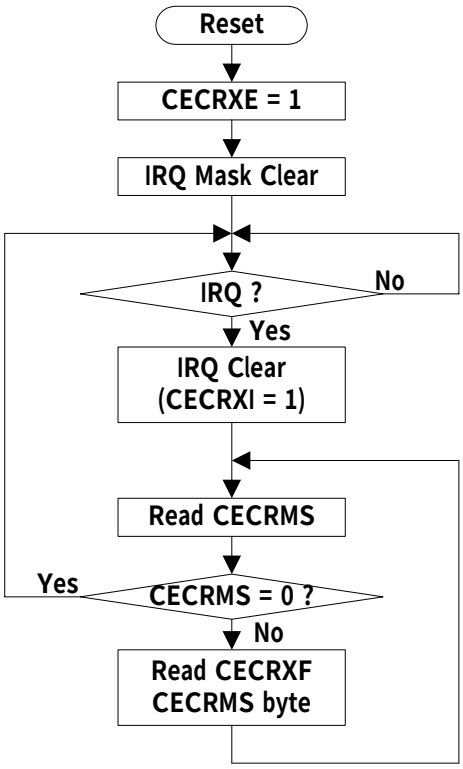
CEC の送受信を制御するレジスタです。

Field	Bit	Type	Description	Default
CECBLC	7	R/W	CEC Bus Low Check CEC バスが 0 固定かどうかをチェックし、割り込みを発生させます。0 固定の場合はエラー終了します。 チェックを実行する時は、このビットを 1 にして下さい。チェック終了時、このビットは自動的に 0 へクリアされます。割り込みマスクがされていなければ、0x60:0x49 bit1 CECBLI が 1 となり、割り込みが発生します。	0
Reserved	6:3	R/W	Reserved	0x0
CECTXE	2	R/W	Transmit Enable CECTXF に格納されているデータを送信し、送信完了時に割り込みを発生させます。 メッセージを送信する時は、このビットを 1 にして下さい。送信終了時、このビットは自動的に0へクリアされます。割り込みマスクがされていなければ、0x60:0x49 bit6 CECTXI が 1 となり、割り込みが発生します。 ※CECTXF が空の時送信開始しないで下さい。空の状態で送信開始した場合動作を保証しません。	0
CECRME	1	R/W	Receive a Message Enable CECLAA と Destination Address が一致した 1 フレームのメッセージのみ受信し CECRXF に格納し、割り込みを発生させます。メッセージを 1 フレームだけ受信する時は、このビットを 1 にして下さい。受信完了時、このビットは自動的に 0 へクリアされます。割り込みマスクがされていなければ、0x60:0x49 bit4 CECRXI が 1 となり、割り込みが発生します。 CECRME＝1、CECRXE＝0 で受信すると、1 フレームのメッセージのみ受信し、再度 CECRME＝1 とするまでにデータを受信しても No ACK を返します。	0

CECRXE	0	R/W	Receive Enable CECLAA と Destination Address が一致したメッセージを CECRXF に格納し、割り込みマスクがされていなければ、0x60:0x49 bit4 CECRXI が 1 となり、割り込みを発生させます。ACK は自動的に送信します。CECRXF がオーバーフローした時は No ACK を返します。 CECRME＝0、CECRXE＝0 の時、No ACK を返しデータを受信しません。CECRME ＝1、CECRXE＝1 は使用できません。	0

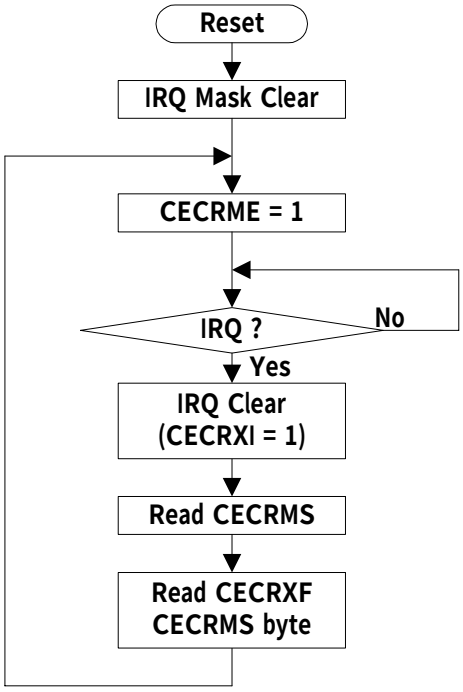
CECRXE：

簡単なフローチャートの例を示します（この他にエラー処理等が必要です）。



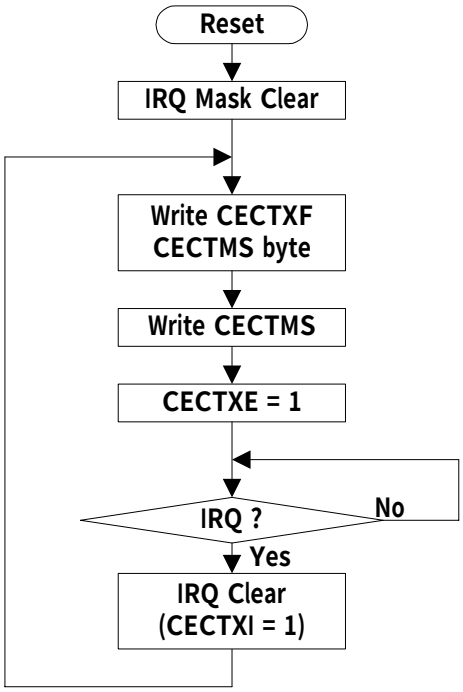
CECRME：

簡単なフローチャートの例を示します（この他にエラー処理等が必要です）。



CECTXE：

簡単なフローチャートの例を示します（この他にエラー処理等が必要です）。



CEC Interrupt Status Register

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x68	CECERO	CECTXO	Reserved	CECRXO	Reserved		CECBLO	Reserved	0x00

CEC 関連の割り込みをモニタします。

Field	Bit	Type	Description	Default
CECERO	7	R	CEC Tx/Rx Complete with Error IRQ Monitor CEC の送受信処理がエラーで終了した時、1 にセットされます。	0
CECTXO	6	R	CEC Transmit Complete IRQ Monitor CEC の送信処理が完了した時、1 にセットされます。	0
Reserved	5	R	Reserved	0
CECRXO	4	R	Receive Complete IRQ Monitor CEC の受信処理が完了した時、1 にセットされます。	0
Reserved	3:2	R	Reserved	00
CECBLO	1	R	Bus Low Check Complete IRQ Monitor CEC バス 0 固定のチェックが完了した時、1 にセットされます。	0
Reserved	0	R	Reserved	0

このレジスタは割り込みのモニタ用です。
割り込みのクリアは、0x60:0x49 で行って下さい。

送信がエラーで終了した時、CECERO = CECTXO = 1 となります。
受信がエラーで終了した時、CECERO = CECRXO = 1 となります。
同様にその他の処理がエラーで終了した時も、当該ビットと CECERO が 1 となります。

CEC Error

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x69	CECERR								0x00

Field	Bit	Type	Description	Default
CECERR	7:0	R	CEC Error エラーコードを出力します。 次の送信、受信が完了した時点でエラーコードは上書きされます（正常終了した場合は0にクリアされます）。	0x00

0x6C:0x76 bit5 CECERS=0 の時、以下のエラーコードを出力します。

CECERR	エラー内容
0x00	正常終了（エラーなし）。
0x01	受信時、0 期間の幅が CDLLIM より短い（CECDSP＝1 の時のみ）。
0x02	送信中に Line Error Notification を受信（CECRCL＝1 の時のみ）。
0x03	CEC バスが 0 に固定されている。
0x04	受信時に Line Error を検知した（CECDLE＝1 の時のみ）。 （受信時、0 期間の幅が CDHMIN より短く CDLLIM より長い、もしくは Logical 0 / 1 の幅が CDWMIN より短い）
0x05	受信時、0 期間の幅が CDHMAX より長く CDLMIN より短い。
0x06	受信時、0 期間の幅が CDLMAX より長く CSLMIN より短い。
0x07	受信時、0 期間の幅が CSLMAX より長い。
0x08	受信時、スタートビットの幅が CSWMAX より長い。
0x09	受信時、Logical 0 の幅が CDWMAX より長い。
0x0A	受信時、Logical 1 の幅が CDWMAX より長い。
0x0B	受信時、Logical 0 / 1 の幅が CDTLIM を越えている。 （EOM=1 となる前に受信メッセージが終了した）
0x0C	送信したメッセージとそれを受信したメッセージが一致しない（CECRCT＝1 の時のみ）。
0x0D	送信時、アービトレーションに失敗（CECRCA＝1 の時のみ）。
0x0E	送信メッセージに対して No ACK を受信（CECRCN＝1 の時のみ）。
0x0F	<Abort>メッセージを broadcast で受信した（通常このエラーは無視して下さい）。
0x10	送信リトライが CECRTY を超えた。
0x12	CECRXF がオーバーフローした。
0x14	Initiator Address と Destination Address が等しい<Polling Message>送信時に Ack を受信した（CECACP＝0 の時のみ）。 Initiator Address と Destination Address が等しい<Polling Message>送信時に Ack を受信しなかった（CECACP＝1 の時のみ）。
0x15	送信するメッセージが存在しない CECTMS が 0、もしくは CECTMS＞CECTTS
0x17	送信完了後に Line Error Notification を受信した
0x18	Header Block 受信時に Line Error が発生した（CECLNH＝1 の時のみ）
0x19	broadcast 受信時に Data Block で Line Error が発生した（CECLNB＝1 の時のみ）

0x6C:0x76 bit5 CECERS=1 の時、以下のエラーコードを出力します。

CECERR[4:0]	受信エラー内容
0x00	正常終了（エラーなし）。
0x01	受信時、0期間の幅が CDLLIM より短い（CECDSP＝1の時のみ）。
0x03	CEC バスが 0 に固定されている。
0x04	受信時に Line Error を検知した（CECDLE＝1の時のみ）。 （受信時、0期間の幅が CDHMIN より短く CDLLIM より長い、もしくは Logical 0 / 1 の幅が CDWMIN より短い）
0x05	受信時、0期間の幅が CDHMAX より長く CDLMIN より短い。
0x06	受信時、0期間の幅が CDLMAX より長く CSLMIN より短い。
0x07	受信時、0期間の幅が CSLMAX より長い。
0x08	受信時、スタートビットの幅が CSWMAX より長い。
0x09	受信時、Logical 0 の幅が CDWMAX より長い。
0x0A	受信時、Logical 1 の幅が CDWMAX より長い。
0x0B	受信時、Logical 0 / 1 の幅が CDTLIM を越えている。
0x0F	<Abort>メッセージを broadcast で受信した（通常このエラーは無視して下さい）。
0x12	CECRXF がオーバーフローした。
0x17	送信完了後に Line Error Notification を受信した
0x18	Header 受信時に Line Error が発生した（CECLNH＝1の時のみ）
0x19	broadcast 受信時に Line Error が発生した（CECLNB＝1の時のみ）

CECERR[7:5]	送信エラー内容
000	正常終了（エラーなし）。
001	送信リトライが CECRTY を超えた。（CECERS=0 の時のエラーコード 0x10 と同じ）
010	Initiator Address と Destination Address が等しい<Polling Message>送信時に Ack を受信した（CECACP＝0の時のみ）。 Initiator Address と Destination Address が等しい<Polling Message>送信時に Ack を受信しなかった（CECACP＝1の時のみ）。 （CECERS=0 の時のエラーコード 0x14 と同じ）
011	CEC バスが 0 に固定されている。（CECERS=0 の時のエラーコード 0x03 と同じ）
100	送信するメッセージが存在しない CECTMS が0、もしくは CECTMS＞CECTTS、もしくは CECTLA が0 （CECERS=0 の時のエラーコード 0x15 と同じ）
101	・送信中に Line Error Notification を受信（CECRCL＝1の時のみ）。 （CECERS=0 の時のエラーコード 0x02 と同じ） ・送信したメッセージとそれを受信したメッセージが一致しない（CECRCT＝1の時のみ）。（CECERS=0 の時のエラーコード 0x0C と同じ） ・送信時、アービトレーションに失敗（CECRCA＝1の時のみ）。 （CECERS=0 の時のエラーコード 0x0D と同じ） ・送信メッセージに対して No ACK を受信（CECRCN＝1の時のみ）。 （CECERS=0 の時のエラーコード 0x0E と同じ）

※注1　EOM=1 となった以降もメッセージを受信した時、EOM=1 までのメッセージが受信され、
それ以降は無視されます。エラー出力はされません。

※注2　受信時にエラーが発生した時、スタートビットを受信するまでは CEC バスに Hi-Z を
出力します。

※注3　連続してエラーが発生した場合、CECERR は最新のエラーコードに上書きされます。

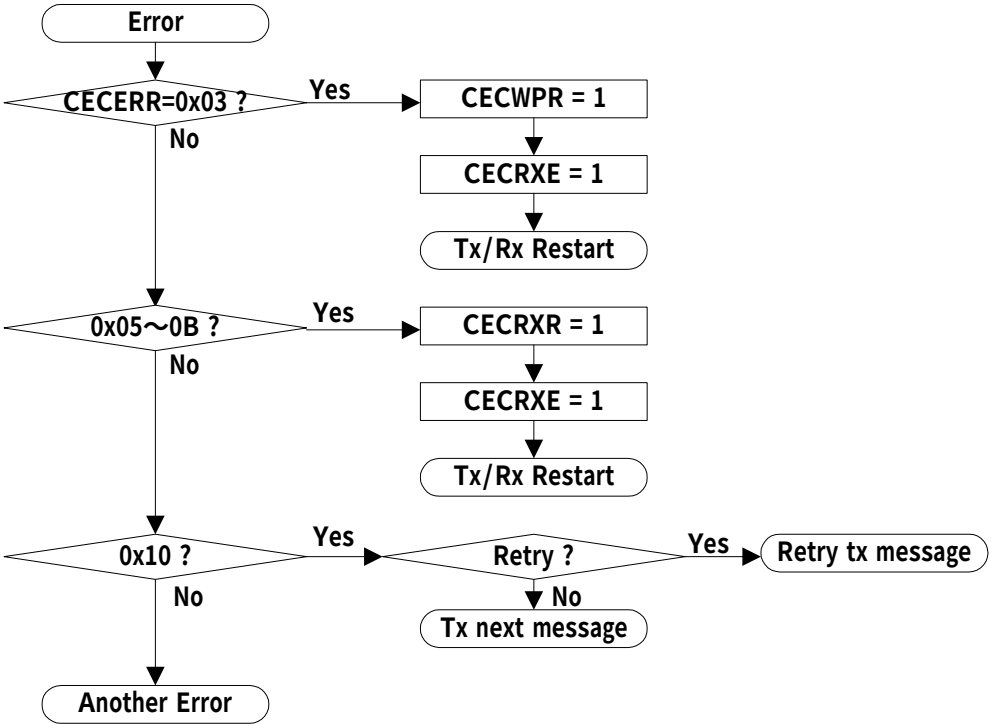
※注4　CEC 異常時に、CECERR=0x03 のエラーで終了します。このような場合、
0x6C:0x60 bit1 CECWPR=1 としソフトリセットして下さい。

※注5　受信時ケーブル抜け等が発生した場合に、CECERR=0x05 ～ 0x0B のエラーで終了します。
このような場合、0x6C:0x60 bit3 CECRXR=1 としソフトリセットして下さい。
その後、0x6C:0x67 CECRXE or CECRME を設定し、受信を再開して下さい。

※注6　送信先の機器がビジーあるいはケーブル抜け等で不在となった場合に、CECERR=0x10 の
エラーで終了します。このような場合、必要に応じてメッセージを再送信して下さい。

※注7　Initiator Address と Destination Address が等しい<Polling Message>送信時、
エラーコード 0x14 が使用されます。Initiator Address と Destination Address が異なる
<Polling Message>送信時、Destination Address の機器が ACK を返さなければ
エラーコード 0x10 で終了します。ACK を返せば正常終了します。

・エラー処理の例　(0x6C:0x67 bit0 CECRXE = 1 の場合の例)



CEC Status

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x6A	CECROF	CECSTA							0x00

Field	Bit	Type	Description	Default
CECROF	7	R	CEC Rx FIFO Overflow 受信 FIFO がオーバーフローした時、1 にセットされます。 例) 受信 FIFO 残り 2 byte で 3 byte のメッセージを受信した → 3 byte のメッセージは受信できず、破棄されます。 結局残り 2 byte のままなので CECROF=0 となります。 受信 FIFO 残り 2 byte で 2 byte のメッセージを受信した → FIFO がフルになり、CECROF=1 となります。	0
CECSTA	6:0	R	CEC Status 内部ステータスを出力します。	0x00

CECSTA	
000 0000	アイドル
xxx 1001	Header 受信中
xxx 1010	Opcode 受信中
xxx 1011	Operand 受信中
1xx 0000	送信待ち
1xx 0001	Signal Free Time のウエイト中
1xx 0010	アービトレーション中
1xx 0011	メッセージ送信中
110 0000	送信リトライ待ち
110 0001	送信リトライの Signal Free Time のウエイト中
110 0010	アービトレーションリトライ中
110 0011	メッセージ送信リトライ中
xxx 0101	CEC バス Low のチェック中
xxx 0110	Line Error Notification 送信中

CECSTA は現在のステータスを示します。例えば割り込み処理が遅れ、次の割り込みが発生した時は、次の割り込み発生時のステータスに上書きされます。0x6C:0x69 CECERR も同様に、次の割り込み発生時のエラーコードに上書きされます。

CEC Logical Address

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x6C	CECRLA	Reserved			CECLAA				0x00
0x6C	0x6D	CECRLB	Reserved			CECLAB				0x00
0x6C	0x6E	CECRLC	Reserved			CECLAC				0x00
0x6C	0x6F	CECRLD	Reserved			CECLAD				0x00

Logical Address を設定します。最大 4 個まで設定可能です。
※注1　Logical Address が 4 個に満たない場合は CECLAA、CECLAB、CECLAC、CECLAD の順に設定してください。
※注2　送受信途中で書き換えないで下さい。書き換えた場合動作を保証しません。

Field	Bit	Type	Description	Default
CECRLA CECRLB CECRLC CECRLD	7	R/W	CEC Receive Logical Address Enable 受信時に CECLAx を有効にします。 0：Logical Address が CECLAx に等しいメッセージを受信しても無視します。 1：Logical Address が CECLAx に等しいメッセージを受信します。	0
Reserved	6:4	R/W	Reserved	000
CECLAA CECLAB CECLAC CECLAD	3:0	R/W	CEC Logical Address Logical Address を設定します。	0x0

※注3　CECLAx='0xF'を設定した場合、対応する CECRLx が'1'であれば、Destination Address='0xF' のメッセージに対して Broadcast メッセージではなく自分宛のメッセージとして受信動作します。

CEC Tx Retry

送信リトライ回数を設定します。

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x74	CECPRT				CECRTY				0x05

※ 送受信途中で書き換えないで下さい。書き換えた場合動作を保証しません。

Field	Bit	Type	Description	Default
CECPRT	7:4	R/W	CEC Tx Retry times for Polling Message <Polling Message>の送信リトライの回数を設定します。 Initiator Address と Destination Address が等しくない場合、CECPRT だけリトライします。＝0の時はリトライしません。 0x6C:0x76 bit0 CECACP=1 の時 Initiator Address と Destination Address が等しい場合、CECPRT だけリトライします。＝0の時はリトライしません。 0x6C:0x76 bit0 CECACP=0 の時 Initiator Address と Destination Address が等しい場合、No ACK であれば正常終了します（リトライは行いません）。ACK があればエラー終了します。	0x0
CECRTY	3:0	R/W	CEC Tx Retry times <Polling Message>以外のメッセージの送信リトライ回数を設定します。＝0 の時はリトライしません。	0x5

CEC Mode Register #1

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x75	CECACM		CECDSP	CECDLE	CECRCT	CECRCL	CECRCA	CECRCN	0x00

各種処理を選択します。

※ 送受信途中で書き換えないで下さい。書き換えた場合動作を保証しません。

Field	Bit	Type	Description	Default
CECACM	7:6	R/W	CEC ACK Mode 受信時の ACK 動作を設定します。受信設定されている必要があります (0x6C:0x67 CECRME もしくは CECRXE が 1)。 00：自動的に ACK を送信します。 受信 FIFO に空きがある時、Broadcast メッセージに対しては Hi-Z を、そうでない時は Logical 0 を ACK として送信します。 受信 FIFO がフルの時、Broadcast メッセージに対しては Logical 0 を、そうでない時は Hi-Z を ACK として送信します。 01：リザーブ。 10：No-ACK を送信します。 Broadcast メッセージに対しては Logical 0 を、そうでない時は Hi-Z を ACK として送信します。 受信データは受信 FIFO には格納されません。 11：CEC バスより全てのデータを受信しますが、ACK には全て Hi-Z で応答します。 バスをモニタする時は 0x6C:0x67 bit 2 CECTXE = 0 0x6C:0x75 bit 4 CECDLE = 1 とし、全ての送信動作を停止して下さい。	00
CECDSP	5	R/W	Detect Spurious Pulse 受信時、CDLLIM より短い Low パルスをエラーとして検知します。 0：CDLLIM より短い Low パルスは無視する。 1：CDLLIM より短い Low パルスを受信した時、エラー割り込みを発生させる。	0
CECDLE	4	R/W	Detect Line Error 受信時、CDHMIN より短く CDLLIM より長い Low	0

			パルス、もしくは 1 bit 幅が CDWMIN より短いデータビットを Line Error として検知します。 0：CDHMIN より短く CDLLIM より長い Low パルス、もしくは 1 bit 幅が CDWMIN より短いデータビットは Line Error とし自動的に Line Error Notification を送信する。 1：CDHMIN より短く CDLLIM より長い Low パルス、もしくは 1 bit 幅が CDWMIN より短いデータビットを受信した時、エラー割り込みを発生させる。	
CECRCT	3	R/W	Retry Control when transmit unsuccessfully 送信したデータビットとそれをモニタ受信したデータビットが一致しない時（送信異常時）、リトライするかどうかを設定します。 0：送信異常時にリトライする。リトライ回数は CECRTY レジスタで設定する。 1：送信異常時は、エラー割り込みを発生させ送信を終了する。	0
CECRCL	2	R/W	Retry Control when Line Error Notification 送信時の Line Error Notification をエラーとして検知します。 0：Line Error Notification 時は送信リトライする。リトライ回数は CECRTY レジスタで設定する。 1：Line Error Notification 時、エラー割り込みを発生させ送信を終了する。	0
CECRCA	1	R/W	Retry Control when lost arbitration アービトレーションに失敗した時、リトライするかどうかを設定します。 0：アービトレーションに失敗するとリトライする。リトライ回数は CECRTY レジスタで設定する。 1：アービトレーションに失敗すると、エラー割り込みを発生させ送信を終了する。	0
CECRCN	0	R/W	Retry Control when No ACK 送信に対して No ACK が返ってきた時、リトライするかどうかを設定します。 0：No ACK が返った時はリトライする。リトライ回数は CECRTY レジスタで設定する。 1：No ACK が返った時は、エラー割り込みを発生させ送信を終了する。	0

CEC Mode Register #2

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x76	Reserved		CECERS	CECNRP	CECLNH	CECLNB	CECTFM	CECACP	0x00

各種処理を選択します。

※ 送受信途中で書き換えないで下さい。書き換えた場合動作を保証しません。

Field	Bit	Type	Description	Default
Reserved	7:6	R/W	Reserved	00
CECERS	5	R/W	Select Error Code 送信時のエラーコードと受信時のエラーコードを分離して出力するかどうかを選択します。 0：0x6C:0x69 CECERR[7:0]にエラーコードを出力します。 1：CECERR[7:5]に送信時のエラーコードを CECERR[4:0]に受信時のエラーコードを出力します。	0
CECNRP	4	R/W	Do not receive Polling Message <Polling Message>に対して ACK を返しますが、受信したメッセージを格納しません。 0：<Polling Message>を受信します。 1：<Polling Message>に対して ACK を返しますが、0x6C:0x61 CECRXF にメッセージを格納しません。 0x6C:0x63 CECRMS も0のままです。 受信割り込みも発生しません。	0
CECLNH	3	R/W	Line Error Notification when Header Header 受信時に Line Error を検知した時、Line Error Notification を送信するかどうかを選択します。 0：Line Error Notification を送信する。 1：Line Error Notification は送信しない。 エラーコード 0x18 で受信終了します。	0
CECLNB	2	R/W	Line Error Notification when Broadcast Broadcast 受信時に Line Error を検知した時、Line Error Notification を送信するかどうかを選択します。 0：Line Error Notification を送信する。 1：Line Error Notification は送信しない。 エラーコード 0x19 で受信終了します。	0

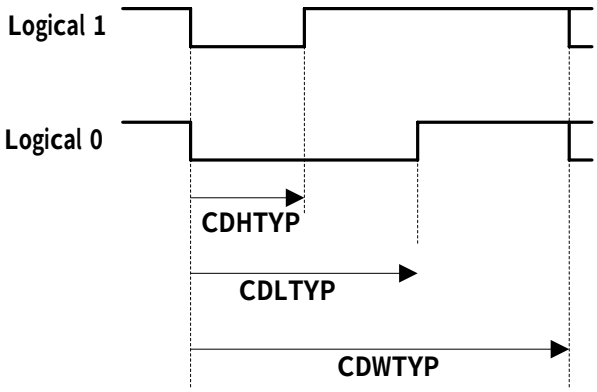
CECTFM	1	R/W	Tx FIFO Clear Mode 送信エラー終了時に、送信 FIFO をクリアするかどうかを選択します。 0：送信がエラーで終了した時、送信 FIFO がクリアされます。 送信しようとしたメッセージは消去されます。 1：送信がエラーで終了した時、送信 FIFO はクリアされません。送信しようとしたメッセージが FIFO に残されます。 FIFO に残されたメッセージのクリアは 0x6C:0x60 bit5 CECTFC で行って下さい。	0
CECACP	0	R/W	ACK Mode for Polling Message Initiator Address と Destination Address が等しい Polling Message 送信時、ACK / No ACK いずれでエラーにするかを選択します。 0：ACK が返った時はエラー終了する（エラーコード 0x14）。 Logical Address 取得時に、Address が重なっていればエラー終了します。 1：No ACK が返った時はエラー終了する（エラーコード 0x14）。 ACK がなければエラー終了します。 正常終了時は Logical Address が重なっています。	0

CEC Parameter Register #1

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x78	CDLTYP				CDHTYP				0x88

※ 送受信途中で書き換えないで下さい。書き換えた場合動作を保証しません。

Field	Bit	Type	Description	Default
CDLTYP	7:4	R/W	CEC Logical 0 data typical low period 送信時の Logical 0 の Low 期間を設定します。 8 : 1.5 ms（デフォルト） ※デフォルト値を変更しないでください。	0x8
CDHTYP	3:0	R/W	CEC Logical 1 data typical low period 送信時の Logical 1 の Low 期間を設定します。 8 : 0.6 ms（デフォルト） ※デフォルト値を変更しないでください。	0x8

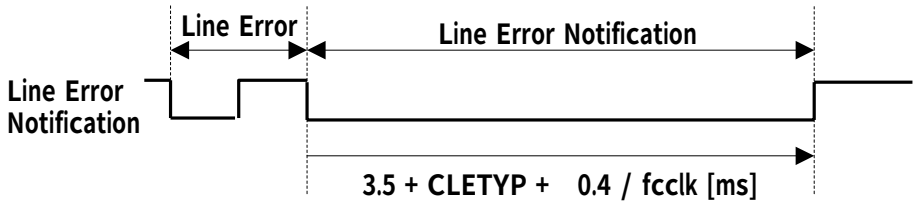

Logical 1
Logical 0
CDHTYP
CDLTYP
CDWTYP

CEC Parameter Register #2

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x79	CLETYP				CDWTYP				0x88

※ 送受信途中で書き換えないで下さい。書き換えた場合動作を保証しません。

Field	Bit	Type	Description	Default
CLETYP	7:4	R/W	Line Error Notification typical period Line Error 発生時の Line Error Notification の Low 期間幅Wを設定します。CEC 処理ブロックのクロック CECCLK (0x60:0x1E〜0x1F CECCDV 参照) の周波数 fcclk [MHz] と Low 期間幅 W の間には W [ms] = 3.5 + CLETYP + 0.4 / fcclk の関係があります。3.4 ＜ W < 3.8 [ms]となるように CLETYP を設定して下さい。 0 : ー0.40 [ms] … 6: ー0.10 [ms] 7: ー0.05 [ms] 8 : 0 [ms] (デフォルト) 9 : + 0.05 [ms] 10 : + 0.10 [ms] … 15 : + 0.35 [ms] (例) fcclk = 2 MHz の時、デフォルトでは W = 3.5 + 0 + 0.4 / 2 = 3.7 < 3.8	0x8
CDWTYP	3:0	R/W	CEC data typical width 送信時のデータの 1 ビット時間を設定します。 8 : 2.4 ms (デフォルト) ※デフォルト値を変更しないでください。	0x8

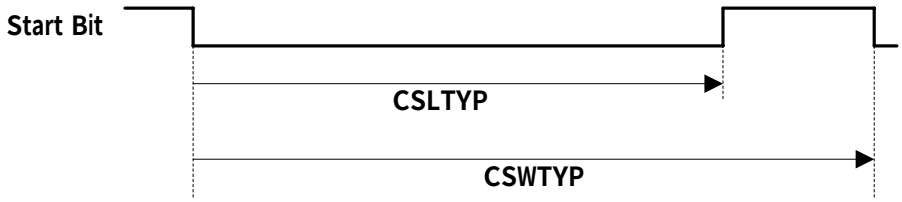


CEC Parameter Register #3

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x7A	CSWTYP				CSLTYP				0x88

※ 送受信途中で書き換えないで下さい。書き換えた場合動作を保証しません。

Field	Bit	Type	Description	Default
CSWTYP	7:4	R/W	Start Bit typical width 送信時のスタートビットのデータ幅設定します。 8 : 4.5 ms (デフォルト) ※デフォルト値を変更しないでください。	0x8
CSLTYP	3:0	R/W	Start Bit typical low period 送信時のスタートビットの Low 期間を設定します。 8 : 3.7 ms (デフォルト) ※デフォルト値を変更しないでください。	0x8



CEC Parameter Register #4

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x7B	CSGFTC			CSGFTB			CSGFTA		0x49

※ 送受信途中で書き換えないで下さい。書き換えた場合動作を保証しません。

Field	Bit	Type	Description	Default
CSGFTC	7:5	R/W	Signal Free Time when initiator wants to send another frame 継続して送信する時の Signal Free Time を設定します。 2 : 7 bit = 16.8 ms (デフォルト) ※デフォルト値を変更しないでください。	0x2
CSGFTB	4:2	R/W	Signal Free Time when new initiator wants to send a frame 新規送信時の Signal Free Time を設定します。 2 : 5 bit = 12.0 ms (デフォルト) ※デフォルト値を変更しないでください。	0x2
CSGFTA	1:0	R/W	Signal Free Time when previous attempt to send frame unsuccessful 送信エラー時の Signal Free Time を設定します。 1 : 3 bit = 7.2 ms (デフォルト) ※デフォルト値を変更しないでください。	0x1

CEC Parameter Register #5

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x7C	CBLLIM		CDTLIM		CDLLIM				0xA4

※ 送受信途中で書き換えないで下さい。書き換えた場合動作を保証しません。

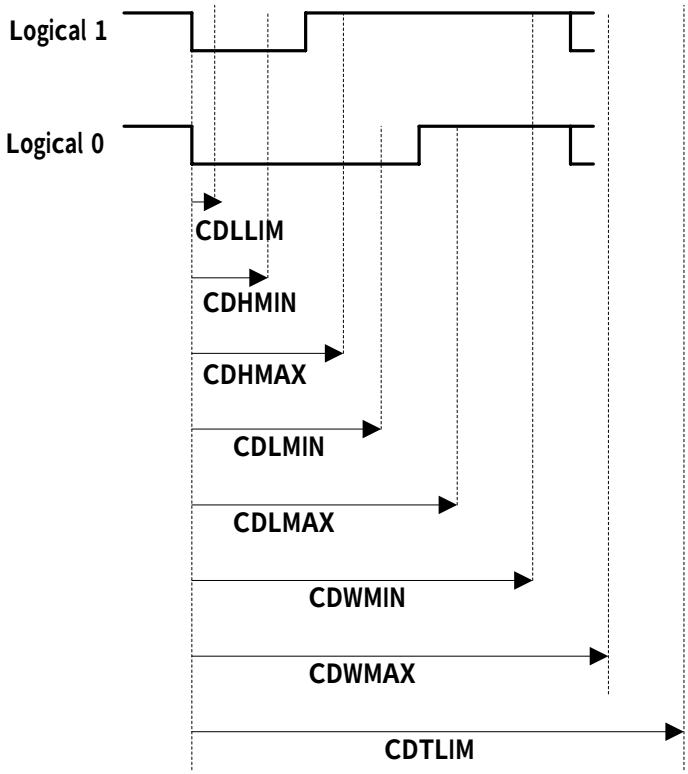
Field	Bit	Type	Description	Default
CBLLIM	7:6	R/W	CEC Bus Low limit CEC バスが Low 固定となっている時、この時間以上経過するとエラーとなります。 0 : 2 bit = 4.8 ms 1 : 3 bit = 7.2 ms 2 : 4 bit = 9.6 ms （デフォルト） 3 : 5 bit = 12 ms	0x2
CDTLIM	5:4	R/W	CEC data width limit 受信時に Logical 0 /1 を検知する最大時間です。 CEC バスの立ち下がりから、この時間以上経過しても再び立ち下がらない時（EOM を除きます）、エラーとなります。 0 : 1.2 bit = 2.88 ms 1 : 1.4 bit = 3.36 ms 2 : 1.6 bit = 3.84 ms （デフォルト） 3 : 1.8 bit = 4.32 ms	0x2
CDLLIM	3:0	R/W	CEC data low width limit 受信時に CEC バスが Low となる時間の最小値を設定します。この時間より幅の短い Low パルスは無視します。 0 : 0.01 ms 以下を無視します。 1 : 0.02 ms 以下を無視します。 2 : 0.03 ms 以下を無視します。 3 : 0.06 ms 以下を無視します。 4 : 0.09 ms 以下を無視します。（デフォルト） 5 : 0.12 ms 以下を無視します。 6 : 0.15 ms 以下を無視します。 7 : 0.18 ms 以下を無視します。 8 以上 ： 設定禁止	0x4

CEC Parameter Register #6

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x7D	CDLMAX		CDLMIN		CDHMAX		CDHMIN		0xAA

※ 送受信途中で書き換えないで下さい。書き換えた場合動作を保証しません。

Field	Bit	Type	Description	Default
CDLMAX	7:6	R/W	CEC Logical 0 data maximum low period Logical 0 受信時の Low 時間の最大値を設定します。 CDLMIN より長く、CDLMAX より短い Low パルスを検知した時に、Logical 0 の Low 期間と見なします。 0 : 1.7 ms 1 : 1.8 ms 2 : 1.9 ms (デフォルト) 3 : 設定禁止	0x2
CDLMIN	5:4	R/W	CEC Logical 0 data minimum low period Logical 0 受信時の Low 時間の最小値を設定します。 CDLMIN より長く、CDLMAX より短い Low パルスを検知した時に、Logical 0 の Low 期間と見なします。 0 : 1.3 ms 1 : 1.15 ms 2 : 1.05 ms (デフォルト) 3 : 設定禁止	0x2
CDHMAX	3:2	R/W	CEC Logical 1 data maximum low period Logical 1 受信時の Low 時間の最大値を設定します。 CDHMIN より長く、CDHMAX より短い Low パルスを検知した時に、Logical 1 の Low 期間と見なします。 0 : 0.8 ms 1 : 0.95 ms 2 : 1.05 ms (デフォルト) 3 : 設定禁止	0x2
CDHMIN	1:0	R/W	CEC Logical 1 data minimum low period Logical 1 受信時の Low 時間の最小値を設定します。 CDHMIN より長く、CDHMAX より短い Low パルスを検知した時に、Logical 1 の Low 期間と見なします。 0 : 0.4 ms 1 : 0.3 ms 2 : 0.2 ms (デフォルト) 3 : 設定禁止 ※Logical 1 の Low 期間が 0.26 ms よりも小さいと正常に受信できません。	0x2

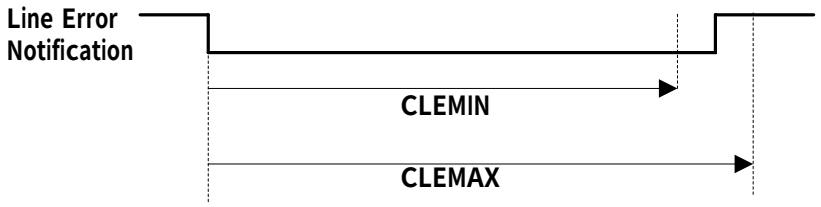

Logical 1
Logical 0
CDLLIM
CDHMIN
CDHMAX
CDLMIN
CDLMAX
CDWMIN
CDWMAX
CDTLIM

CEC Parameter Register #7

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x7E	CLEMAX		CLEMIN		CDWMAX		CDWMIN		0xAA

※ 送受信途中で書き換えないで下さい。書き換えた場合動作を保証しません。

Field	Bit	Type	Description	Default
CLEMAX	7:6	R/W	Line Error Notification maximum period Line Error Notification の Low パルス幅の最大値を設定します。送信時に CLEMIN より長く、CLEMAX より短い Low パルスを検知した時、Line Error Notification となります。 0 : 3.84 ms 1 : 4.0 ms 2 : 4.2 ms (デフォルト) 3 : 設定禁止	0x2
CLEMIN	5:4	R/W	Line Error Notification minimum period Line Error Notification の Low パルス幅の最小値を設定します。送信時に CLEMIN より長く、CLEMAX より短い Low パルスを検知した時、Line Error Notification となります。 0 : 3.36 ms 1 : 3.2 ms 2 : 3.0 ms (デフォルト) 3 : 設定禁止	0x2
CDWMAX	3:2	R/W	CEC data maximum width データの 1 ビット時間の最大値を設定します。 CDWMIN より長く、CDWMAX より短いデータを検知した時に、Logical 0 or 1 を受信します。 0 : 2.75 ms 1 : 2.9 ms 2 : 3.1 ms (デフォルト) 3 : 設定禁止	0x2
CDWMIN	1:0	R/W	CEC Logical 1 data minimum width データの 1 ビット時間の最小値を設定します。 CDWMIN より長く、CDWMAX より短いデータを検知した時に、Logical 0 or 1 を受信します。 0 : 2.05 ms 1 : 2.0 ms 2 : 1.9 ms (デフォルト) 3 : 設定禁止	0x2

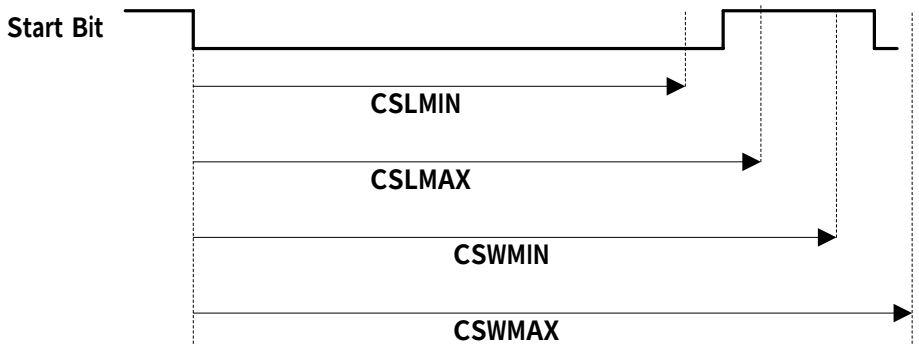


CEC Parameter Register #8

Slave Addr	Offset Addr	7	6	5	4	3	2	1	0	Default
0x6C	0x7F	CSWMAX		CSWMIN		CSLMAX		CSLMIN		0xAA

※ 送受信途中で書き換えないで下さい。書き換えた場合動作を保証しません。

Field	Bit	Type	Description	Default
CSWMAX	7:6	R/W	Start Bit maximum width スタートビットのデータ幅の最大値を設定します。 CSWMIN より長く、CSWMAX より短いデータを検知した時に、スタートビットを受信します。 0 : 4.7 ms 1 : 4.9 ms 2 : 5.1 ms (デフォルト) 3 : 設定禁止	0x2
CSWMIN	5:4	R/W	Start Bit minimum width スタートビットのデータ幅の最小値を設定します。 CSWMIN より長く、CSWMAX より短いデータを検知した時に、スタートビットを受信します。 0 : 4.3 ms 1 : 4.2 ms 2 : 4.1 ms (デフォルト) 3 : 設定禁止	0x2
CSLMAX	3:2	R/W	Start Bit maximum low period スタートビットの Low 期間の最大値を設定します。CSLMIN より長く、CSLMAX より短い Low 期間を検知した時に、スタートビットを受信したと見なします。 0 : 3.9 ms 1 : 4.0 ms 2 : 4.1 ms (デフォルト) 3 : 設定禁止	0x2
CSLMIN	1:0	R/W	Start Bit minimum low period スタートビットの Low 期間の最小値を設定します。CSLMIN より長く、CSLMAX より短い Low 期間を検知した時に、スタートビットを受信したと見なします。 0 : 3.5 ms 1 : 3.3 ms 2 : 3.1 ms (デフォルト) 3 : 設定禁止	0x2


Start Bit
CSLMIN
CSLMAX
CSWMIN
CSWMAX

4．6 Slave Address 0x6E： EDID EDID アクセスレジスタ

本 LSI には 256 byte の EDID 用メモリが DDC 各ポートに1つずつ内蔵されており、0x60:0x11 SYSOPM の設定で DDC より EDID として読み出すことができます（ピン設定は HDCP 編参照）。

内蔵されたメモリには、Slave Address 0x6E: Offset Address 0x00-0xFF の 256 byte を介して、アクセスします。いずれの EDID へアクセスするかは、0x60:0x1C EDIDPG と 0x60:0x14 PORSEL で設定します。

設定例）

ポート0の EDID をアクセスする → EDIDPG = 00, PORSEL = 000
ポート1の EDID をアクセスする → EDIDPG = 01, PORSEL = 001

5. 補足説明

5.1 出力ピクセルクロック設定

検知したビデオフォーマットと AVI InfoFrame の Pixel Repetition の情報に基づいて、出力ピクセルクロックを設定して下さい。

スルー出力 (受信したピクセルクロックで出力)

Register Name	Slave Address	Offset Address	bit	Value	Description
DTRATE	0x62	0x39	7:6	00	スルー出力

480p rep2 受信／480p 出力 or 576p rep2 受信／576p 出力

Register Name	Slave Address	Offset Address	bit	Value	Description
DTRATE	0x62	0x39	7:6	01	1／2間引き

480p rep4 受信／480p 出力 or 576p rep4 受信／576p 出力

Register Name	Slave Address	Offset Address	bit	Value	Description
DTRATE	0x62	0x39	7:6	10	1／4間引き

480i rep2 受信／480i 出力 or 576i rep2 受信／576i 出力

Register Name	Slave Address	Offset Address	bit	Value	Description
DTRATE	0x62	0x39	7:6	01	1／2間引き

480i rep4 受信／480i 出力 or 576i rep4 受信／576i 出力

Register Name	Slave Address	Offset Address	bit	Value	Description
DTRATE	0x62	0x39	7:6	10	1／4間引き

480i rep4 受信／480i rep2 出力 or 576i rep4 受信／576i rep2 出力

Register Name	Slave Address	Offset Address	bit	Value	Description
DTRATE	0x62	0x39	7:6	01	1／2間引き

5．2　DDC バスインターフェース

内蔵された DDC バスインターフェース回路が動作保証するバス周波数は最大 100 kHz です。また DDC インターフェース部については、デフォルトでは Ack 信号を返さない（Read/Write できない）状態になっています。ローカルホストからレジスタに以下の値を設定してください。

Register Name	Slave Address	Offset Address	bit	Value	Description
DDCNCS	0x60	0x14	4	0	I2C Acknowledge Control 0: 通常動作 1: Ack 信号を返さない（デフォルト）

6． 更新履歴

更新日	Revision	備考
2010/09/10	1.00	初版
2010/09/16	1.01	0x60-0x08 bit7：STANDBY 機能を削除 P11,57 STANDBY レジスタの項目を削除し、Reserved に変更

	製品仕様書	MN864773A	
		全ページ	ページ
		ー	291

本書に記載の技術情報は製品の代表特性および応用回路例を示したものであり、弊社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を意味するものではありません。上記に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありません。

2010-09-10	
制 定	改 正

製 品 規 格

品種名:

注: MN864773A	
共 通 規 格	
ﾊﾟｯｹｰｼﾞ ｺｰﾄﾞ名	HQFP144-P-2020

パナソニック株式会社

セミコンダクター社

制 定	起 案	検 印	作 成
渡岡	中野	道場	長澤

2010-09-10	
制 定	改 正

注意書き

本書に記載の技術情報は製品の代表特性および応用回路例を示したものであり、弊社もしくは第三者の知的財産権その他の権利に対する保証または実施権の許諾を意味するものではありません。上記に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありません。

使用上の注意

ご使用の際は、本 IC の向きに注意してください。間違った向きで実装した場合には破壊し、発煙や発火の恐れがありますので、十分に注意してご使用ください。

種 別	CMOS 型　集積回路
機 能	CMOS STANDARD CELL
用 途	HDMI 規格準拠の受信 LSI HDCP 認証機能を内蔵
接 続	仕様書を参照

注1)　全ての電源端子を、外部でそれぞれ電源に直接接続してください。
注2)　全ての VDD 端子は端子近くにセラミックコンデンサー (0.1 μF 以上) でグランドに最短距離でバイパスしてください。

A. 絶対最大定格

GND(VSS) = 0 V

項 目		記 号	定 格	単 位
A1	外部用電源電圧 (*1)	V_{DD33}	-0.3 ～ +4.6	V
A2	アナログ用電源電圧 (*1)	A_{VDD} P_{VDD}	-0.3 ～ +4.6	V
A3	内部用電源電圧 (*1)	V_{DD12}	-0.3 ～ +1.7	V
A4	入力端子電圧	V_I	-0.3 ～ V_{DD33}+0.3 (V_{DD33}+0.3 V が 4.6 V を超えないこと)	V
A5	入力端子電圧 (P0SCL、P0SDA、P1SCL、P1SDA、P0V5P、P1V5P)	V_I	-0.3 ～ +5.5	V
A6	出力端子電圧	V_O	-0.3 ～ V_{DD33}+0.3 (V_{DD33}+0.3 V が 4.6 V を超えないこと)	V
A7	出力電流(2 mA セル)	I_O	±6	mA
A8	出力電流(4 mA セル)	I_O	±12	mA
A9	出力電流(8 mA セル)	I_O	±24	mA
A10	出力電流(16 mA セル)	I_O	±48	mA
A11	電源入力電流	I_V	±60 (1 端子あたり)	mA
A12	許容損失	P_D	1500 (4 層基板 ﾀﾞｲﾊﾟｯﾄﾞ接続有)	mW
A13	動作周囲温度	T_{opr}	0 ～ +70	℃
A14	保存温度	T_{str}	-50 ～ +150	℃

(*1)　V_{DD33} または V_{DD12} の一方が OFF している場合、貫通電流が流れ出力は不定の状態になります。
全ての電源の立ち上げおよび立ち下げは極力同時に行ってください。

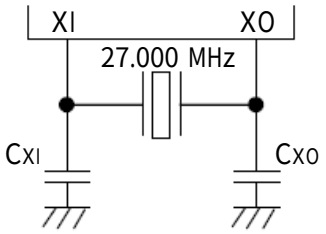
注3)　絶対最大定格は、チップに印加しても破損を生じない限界値であり、
動作を保証するものではありません。

B. 推奨動作条件

GND(VSS) = 0 V

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
B1	外部用電源電圧	V_{DD33}		3.00	3.30	3.60	V
B2	アナログ用電源電圧	A_{VDD} P_{VDD}		3.00	3.30	3.60	
B3	内部用電源電圧	V_{DD12}		1.08	1.2	1.32	
B4	SYSCLK クロック入力周波数	f_{ck}		12		30	MHz
B5	XI、XO 発振周波数 (*1)	f_{xtal}	27.000 MHz Xtal 推奨	20	27.000	30	MHz
B6	周囲温度	T_a		0		70	℃

(*1)



外付容量値 C_{XI}、C_{XO} は評価の上、決定して下さい。

注) 発振特性は、使用する水晶振動子やプリント基板、外付容量により変化しますので、
評価用サンプルによる事前評価が必要です。

C. 入出力容量

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
C1	入力端子	C_{IN}	V_{DD33} = 0 V V_{DD12} = 0 V V_I = 0 V f = 1 MHz T_a = 25 ℃		4.0		pF
C2	出力端子	C_{OUT}			4.0		pF
C3	入出力端子	C_{IO}			4.0		pF
C4	差動入力端子	C_{DIFF}			1.5		pF

D. 電気的特性

(1) DC 特性

V_{DD33} = A_{VDD} = P_{VDD} = 3.0 V ～ 3.6 V、 V_{DD12} = 1.08 V ～ 1.32 V
GND(VSS) = 0 V　周囲温度 0 ℃ ～ 70 ℃

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
条件： f = 148.5 MHz・・ (ピクセルクロック) 入力映像フォーマット： 1080p @ 60 Hz 入力カラーフォーマット： RGB 出力カラーフォーマット： RGB (36 bit : 12 bit×3) 受信ポート： ポート 0 V_{DD33} = A_{VDD} = P_{VDD} = 3.6 V　V_{DD12} = 1.32 V GND (VSS) = 0 V 周囲温度： 70 ℃ 出力開放 外部負荷容量 10 pF 以下 デジタル端子の出力ドライブ電流設定 クロック系： 8 mA / 16 mA 出力切り替え端子で 16 mA を選択 RCLK データ系：4 mA / 8 mA 出力切り替え端子で 8 mA を選択 VSYNC, HSYNC, DE, Q0, Q1, Q2, Q3, Q4, Q5, Q6, Q7, Q8, Q9, Q10, Q11, Q12, Q13, Q14, Q15, Q16, Q17, Q18, Q19, Q20, Q21, Q22, Q23, Q24, Q25, Q26, Q27, Q28, Q29, Q30, Q31, Q32, Q33, Q34, Q35							
D1	I/O 部電源 動作時電源電流	IDD_{IO}				60	mA
D2	内部電源 動作時電源電流	IDD_{IN}				375	mA
D3	アナログ電源 動作時電源電流	IDD_{A1}				190	mA

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
2 mA / 4 mA 切替付出力端子(LVCMOS、 2 mA – Fast / 4 mA – Slew) ： SPDIF/DSDR0, SDO0/DSDL0, SDO1/DSDR1, SDO2/DSDL1, SDO3/DSDR2, LRCLK/DSDL2, BCLK/DSDCLK							
D4	出力電圧ハイレベル	V_{OH2m}	Io = -2 mA (2 mA 時)	V_{DD33}-0.6			V
D5	出力電圧ロウレベル	V_{OL2m}	Io = 2 mA (2 mA 時)			0.4	V
D6	出力電圧ハイレベル	V_{OH4m}	Io = -4 mA (4 mA 時)	V_{DD33}-0.6			V
D7	出力電圧ロウレベル	V_{OL4m}	Io = 4 mA (4 mA 時)			0.4	V
D8	出力リーク電流	I_{OZ}	Vo = Hi-Z 状態 Vo = V_{DD33} or VSS プルダウン抵抗 OFF	-5		5	μA
D9	プルダウン抵抗	R_{IL}	V_I = V_{DD33}	10	30	90	kΩ

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
4 mA / 8 mA 切替付出力端子(LVCMOS、 4 mA – Fast / 8 mA – Slew) ： VSYNC, HSYNC, DE, Q0, Q1, Q2, Q3, Q4, Q5, Q6, Q7, Q8, Q9, Q10, Q11, Q12, Q13, Q14, Q15, Q16, Q17, Q18, Q19, Q20, Q21, Q22, Q23, Q24, Q25, Q26, Q27, Q28, Q29, Q30, Q31, Q32, Q33, Q34, Q35, MCLK							
D10	出力電圧ハイレベル	V_{OH4m}	Io = -4 mA (4 mA 時)	V_{DD33}-0.6			V
D11	出力電圧ロウレベル	V_{OL4m}	Io = 4 mA (4 mA 時)			0.4	V
D12	出力電圧ハイレベル	V_{OH8m}	Io = -8 mA (8 mA 時)	V_{DD33}-0.6			V
D13	出力電圧ロウレベル	V_{OL8m}	Io = 8 mA (8 mA 時)			0.4	V
D14	出力リーク電流	I_{OZ}	Vo = Hi-Z 状態 Vo = V_{DD33} or VSS プルダウン抵抗 OFF	-5		5	μA
D15	プルダウン抵抗	R_{IL}	V_I = V_{DD33}	10	30	90	kΩ

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
8 mA / 16 mA 切替付出力端子(LVCMOS、 8 mA – Fast / 16 mA – Fast) ： RCLK							
D16	出力電圧ハイレベル	V_{OH8m}	Io = -8 mA (8 mA 時)	V_{DD33}-0.6			V
D17	出力電圧ロウレベル	V_{OL8m}	Io = 8 mA (8 mA 時)			0.4	V
D18	出力電圧ハイレベル	V_{OH16m}	Io = -16 mA (16 mA 時)	V_{DD33}-0.6			V
D19	出力電圧ロウレベル	V_{OL16m}	Io = 16 mA (16 mA 時)			0.4	V
D20	出力リーク電流	I_{OZ}	V_O = Hi-Z 状態 V_O = V_{DD33} or VSS プルダウン抵抗 OFF	-5		5	μA
D21	プルダウン抵抗	R_{IL}	V_I = V_{DD33}	10	30	90	kΩ

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
入力端子(LVCMOS) ： TESTM0							
D22	入力電圧ハイレベル	V_{IH}		V_{DD33} ×0.7		V_{DD33}	V
D23	入力電圧ロウレベル	V_{IL}		0		V_{DD33} ×0.3	V
D24	入力リーク電流	I_{LI}	V_I = VSS	-10		10	μA
D25	プルダウン抵抗	R_{IL}	V_I = V_{DD33}	10	30	90	kΩ

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
TMDS 入力端子 ： P0RXCP, P0RXCM, P0RX0P, P0RX0M, P0RX1P, P0RX1M, P0RX2P, P0RX2M P1RXCP, P1RXCM, P1RX0P, P1RX0M, P1RX1P, P1RX1M, P1RX2P, P1RX2M							
D26	差動入力電圧	V_{DIFF}		150		1200	mV
D27	同相入力電圧	V_{CM}		A_{VDD} -0.4		A_{VDD} -0.0375	V
D28	内蔵抵抗	R_{INT}		45	50	55	Ω

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
オープンドレイン型出力端子(LVCMOS, 4 mA－Slew) ： NIRQ1, NIRQ2							
D29	出力電圧ロウレベル	V_{OL}	Io = 4 mA			0.4	V
D30	出力リーク電流	I_{OZ}	Vo = Hi-Z 状態 Vo = V_{DD33} or VSS	-5		5	μA

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
5 V 耐圧シュミット付オープンドレイン型入出力端子(LVTTL, 4 mA－Slew) ： P0SDA, P0SCL, P1SDA, P1SCL							
D31	入力 スレッショルド電圧	V_{T+}	レジスタ 60h-12h[6] * が 1'b0 の場合		2.16	3.5	V
D32		V_{T-}		1.5	1.98		V
D33	入力 スレッショルド電圧	V_{T+}	レジスタ 60h-12h[6] * が 1'b1 の場合		1.80	2.31	V
D34		V_{T-}		0.99	1.53		V
D35	出力電圧ロウレベル	V_{OL}	Io = 4 mA			0.4	V
D36	出力リーク電流	Ioz	Vo = Hi-Z 状態 Vo = 5.25 V			10	μA
D37	出力リーク電流	Ioz	Vo = Hi-Z 状態 Vo = VSS			50	μA

* レジスタ設定(60h-12h[6] (DDCTHSEL))については、仕様書を参照してください。

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
5 V 耐圧シュミット付入力端子(LVTTL) ： P0V5P, P1V5P							
D38	入力 スレッショルド電圧	V_{T+}	レジスタ 60h-12h[7] * が 1'b0 の場合		2.16	3.5	V
D39		V_{T-}		1.5	1.98		V
D40	入力 スレッショルド電圧	V_{T+}	レジスタ 60h-12h[7] * が 1'b1 の場合		1.80	2.31	V
D41		V_{T-}		0.99	1.53		V
D42	入力リーク電流	I_{LI}	V_I = 5.25 V			10	μA
D43	入力リーク電流	I_{LI}	V_I = VSS			50	μA

* レジスタ設定(60h-12h[7] (V5PTHSEL)) については、仕様書を参照してください。

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
シュミット付オープンドレイン型入出力端子(LVTTL, 4 mA－Slew) ： HSDA							
D44	入力 スレッショルド電圧	V_{T+}			1.80	2.31	V
D45		V_{T-}		0.99	1.53		V
D46	出力電圧ロウレベル	V_{OL}	I_O = 4 mA			0.4	V
D47	出力リーク電流	I_{OZ}	V_O = Hi-Z 状態 V_I = 5.25 V			10	μA
D48	出力リーク電流	I_{OZ}	V_O = Hi-Z 状態 V_I = VSS			50	μA

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
シュミット付入力端子(LVTTL) ： HSCL							
D49	入力 スレッショルド電圧	V_{T+}			1.80	2.31	V
D50		V_{T-}		0.99	1.53		V
D51	入力リーク電流	I_{LI}	V_I = 5.25 V			10	μA
D52	入力リーク電流	I_{LI}	V_I = VSS			50	μA

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
シュミット付オープンドレイン型入出力端子(LVTTL, 4 mA－Slew) ： CEC							
D53	入力 スレッショルド電圧	V_{T+}	V_{DD33} ＝ 3.0 V ～ 3.6 V		1.6	2.0	V
D54		V_{T-}		0.8	1.2		V
D55	出力電圧ロウレベル	V_{OL}	I_O = 4 mA			0.4	V
D56	出力リーク電流	I_{OZ}	V_O = Hi-Z 状態 V_I = V_{DD33} or VSS	-1.8		1.8	μA

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
シュミット付入力端子(LVCMOS) ： CLKEN							
D57	入力 スレッショルド電圧	V_{T+}	V_{DD33} ＝ 3.0 V ～ 3.6 V		1.85	V_{DD33} ×0.7	V
D58		V_{T-}		V_{DD33} ×0.3	1.45		V
D59	入力リーク電流	I_{LI}	V_I= V_{DD33} or VSS プルダウン抵抗 OFF	-5		5	μA
D60	プルダウン抵抗	R_{IL}	V_I = 3.3 V	10	30	90	kΩ

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
シュミット付入力端子(LVCMOS) ： TESTM1, TESTM2							
D61	入力 スレッショルド電圧	V_{T+}	V_{DD33} ＝ 3.0 V ～ 3.6 V		1.85	V_{DD33} ×0.7	V
D62		V_{T-}		V_{DD33} ×0.3	1.45		V
D63	入力リーク電流	I_{LI}	V_I = VSS	-10		10	μA
D64	プルダウン抵抗	R_{IL}	V_I = 3.3 V	10	30	90	kΩ

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
シュミット付入力端子(LVCMOS) ： LPSA							
D65	入力 スレッショルド電圧	V_{T+}	V_{DD33} ＝ 3.0 V ～ 3.6 V		1.85	V_{DD33} ×0.7	V
D66		V_{T-}		V_{DD33} ×0.3	1.45		V
D67	入力リーク電流	I_{LI}	V_I= V_{DD33} or VSS プルアップ抵抗 OFF	-5		5	μA
D68	プルアップ抵抗	R_{IH}	V_I = VSS	10	30	90	kΩ

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
シュミット付入力端子(LVCMOS) ： NTEST							
D69	入力 スレッショルド電圧	V_{T+}	V_{DD33} ＝ 3.0 V ～ 3.6 V		1.85	V_{DD33} ×0.7	V
D70		V_{T-}		V_{DD33} ×0.3	1.45		V
D71	入力リーク電流	I_{LI}	V_I= V_{DD33} or VSS プルアップ抵抗 OFF	-5		5	μA
D72	プルアップ抵抗	R_{IH}	V_I = VSS	10	30	90	kΩ

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
シュミット付入力端子(LVCMOS) ： NRESET							
D73	入力 スレッショルド電圧	V_{T+}	V_{DD33} ＝ 3.0 V ～ 3.6 V		1.85	V_{DD33} ×0.7	V
D74		V_{T-}		V_{DD33} ×0.3	1.45		V
D75	入力リーク電流	I_{LI}	V_I = V_{DD33} or VSS	-5		5	μA

項 目		記 号	条 件	許 容 量			単 位
				最 小	標 準	最 大	
発振端子 ： XO、XI							
D76	内蔵帰還抵抗 (注 1)	RFB	$V_I(X_I)$= V_{DD33} or VSS V_{DD33}＝3.3 V	0.51	1.01	2.52	MΩ
D77	出力電流ハイレベル (XO)	I_{OH}	V_{DD33}＝3.3 V V_I =VSS, V_O =VSS	5.16	12.9	25.8	mA
D78	出力電流ロウレベル (XO)	I_{OL}	V_{DD33}＝3.3 V V_I = V_{DD33}, V_O = V_{DD33}	4.72	11.8	23.6	mA
D79	入力電圧ハイレベル (XI)	V_{IH}		V_{DD33} ×0.7		V_{DD33}	V
D80	入力電圧ロウレベル (XI)	V_{IL}		0		V_{DD33} ×0.3	V

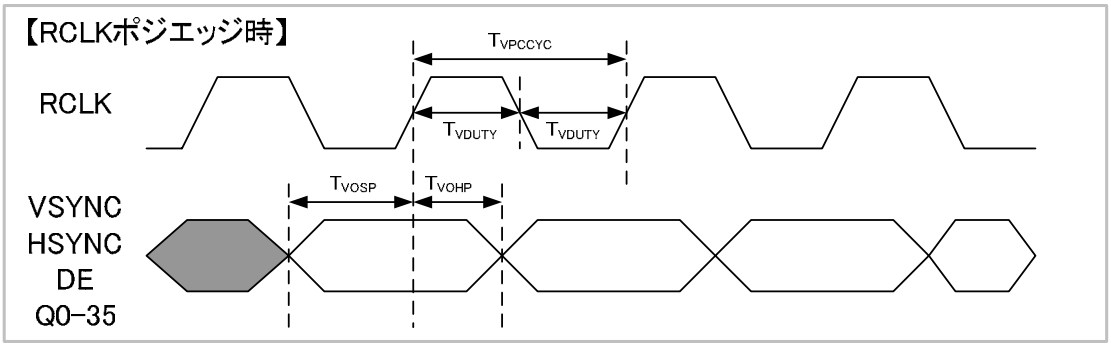
(注 1)　内蔵帰還抵抗が ON の時。

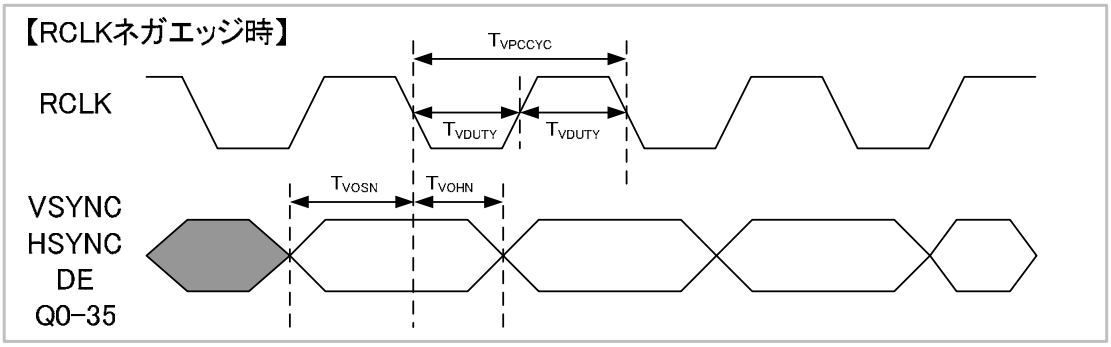
(2) AC 特性

V_{DD33} = 3.0 V ～ 3.6 V　V_{DD12} = 1.08 V ～ 1.32 V　VSS = 0.00 V　T_a = 0 ℃ ～ 70 ℃において

項 目		記 号	条 件	許 容 量			単 位
				最小	標準	最大	
外部インターフェース ： ビデオインターフェース 信号タイミング 共通条件： レジスタ * 60h-12h[1:0] が 2'b00 の場合 (ピクセルクロック 8 mA 駆動、ビデオインターフェース信号 4 mA 駆動) 外部負荷容量 10 pF 以下							
D81	ピクセルクロックサイクル時間 (RCLK)	T_{VPCCYC}		6		40.0	ns
D82	ピクセルクロックデューティ比 (RCLK)	T_{VDUTY}		45		55	%
D83	ビデオインターフェース信号 セットアップ時間ポジエッジ側 (VSYNC, HSYNC, DE, Q0-Q35)	T_{VOSP}	レジスタ * 60h-0Ch[6] が 1'b0 の場合	2.0			ns
D84	ビデオインターフェース信号 セットアップ時間ネガエッジ側 (VSYNC, HSYNC, DE, Q0-Q35)	T_{VOSN}	レジスタ * 60h-0Ch[6] が 1'b1 の場合	2.0			ns
D85	ビデオインターフェース信号 ホールド時間ポジエッジ側 (VSYNC, HSYNC, DE, Q0-Q35)	T_{VOHP}	レジスタ * 60h-0Ch[6] が 1'b0 の場合	1.2			ns
D86	ビデオインターフェース信号 ホールド時間ネガエッジ側 (VSYNC, HSYNC, DE, Q0-Q35)	T_{VOHN}	レジスタ * 60h-0Ch[6] が 1'b1 の場合	1.2			ns

* レジスタ設定(60h-12h[1:0] (VCHDRV)) 及び、(60h-0Ch[6] (RCKPOL)) については、仕様書を参照してください。

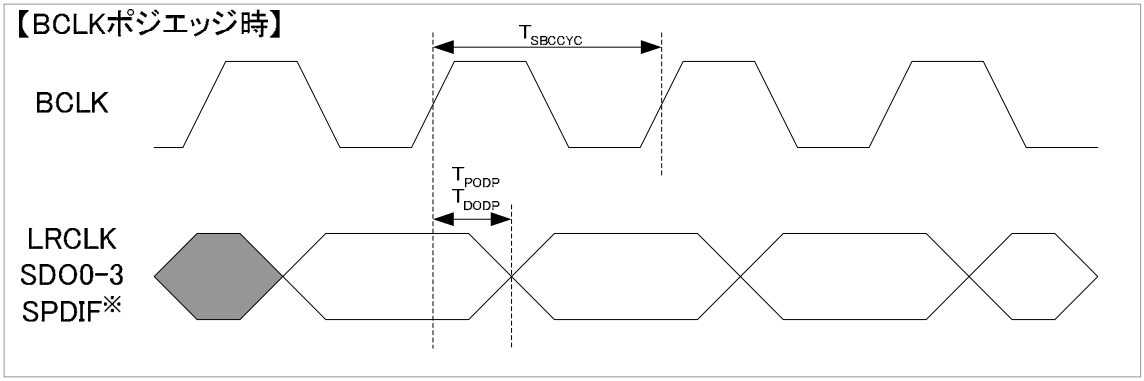


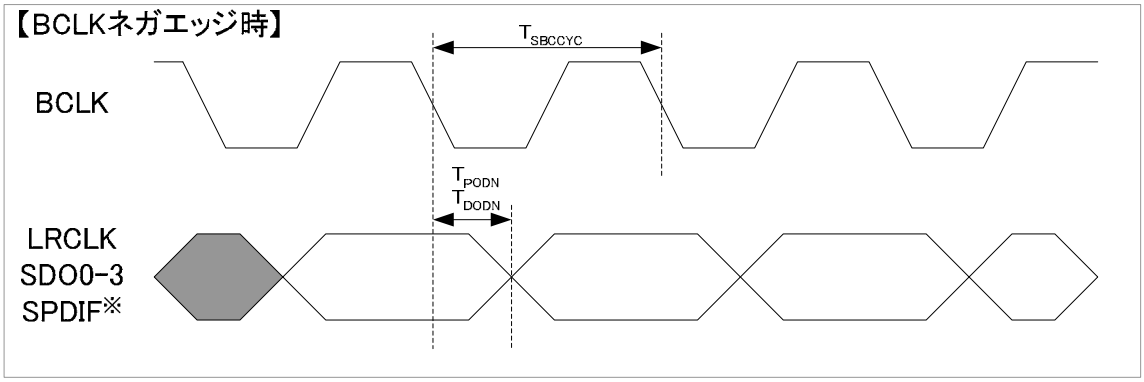


V_{DD33} = 3.0 V ～ 3.6 V　V_{DD12} = 1.08 V ～ 1.32 V　VSS = 0.00 V　T_a = 0 ℃ ～ 70 ℃において

項 目		記 号	条 件	許 容 量			単 位
				最小	標準	最大	
外部インターフェース ： オーディオインターフェース 信号タイミング							
D87	ビットクロックサイクル時間 (BCLK)	T_{SBCCYC}		82.0	1/64 fs		ns
D88	オーディオインターフェース信号出力遅延時間ポジエッジ側 (LRCLK, SDO0-3)	T_{PODP}	PCM データ時	0.0		10.0	ns
D89	オーディオインターフェース信号出力遅延時間ネガエッジ側 (LRCLK, SDO0-3)	T_{PODN}	PCM データ時	0.0		10.0	ns
D90	オーディオインターフェース信号出力遅延時間ポジエッジ側 (LRCLK, SDO0-3, SPDIF)	T_{DODP}	DSD データ時	0.0		10.0	ns
D91	オーディオインターフェース信号出力遅延時間ネガエッジ側 (LRCLK, SDO0-3, SPDIF)	T_{DODN}	DSD データ時	0.0		10.0	ns

※ fs は、オーディオインターフェースにおけるサンプリング周波数です。

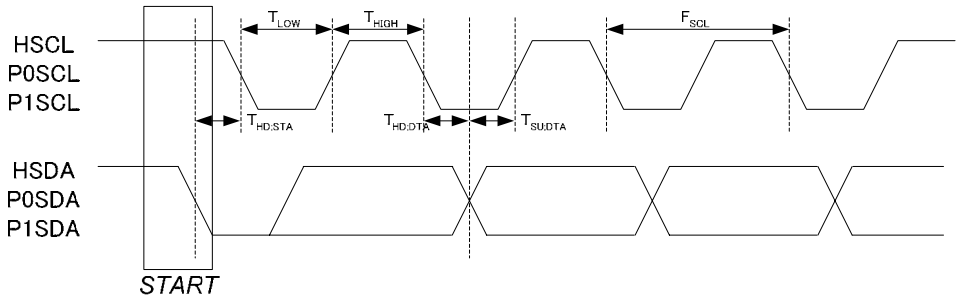


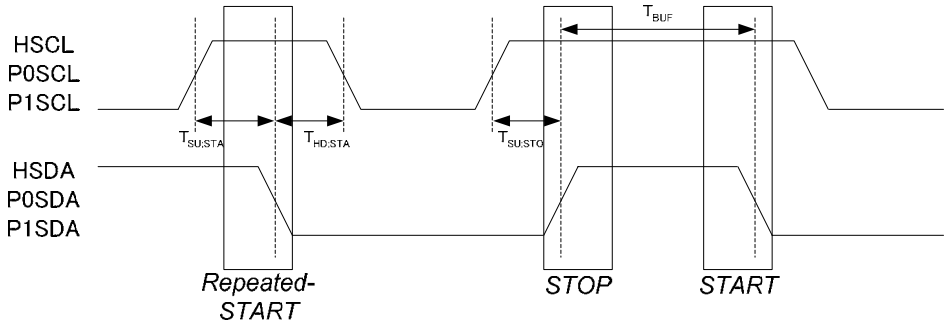


V_{DD33} = 3.0 V ～ 3.6 V　V_{DD12} = 1.08 V ～ 1.32 V　VSS = 0.00 V　T_a = 0 ℃ ～ 70 ℃において

項 目		記 号	条 件	許 容 量						単位
				標準モード			高速モード			
				最小	標準	最大	最小	標準	最大	
外部インターフェース ： I2C 信号タイミング										
D92	SCL クロック周波数	F_{SCL}		0		100	0		400	kHz
D93	repeated-START条件のホールド時間	$T_{HD;STA}$		4.0			0.6			μs
D94	SCL クロックの“L”期間	T_{LOW}		4.7			1.3			μs
D95	SCL クロックの“H”期間	T_{HIGH}		4.0			0.6			μs
D96	repeated-START条件のセットアップ時間	$T_{SU;STA}$		4.7			0.6			μs
D97	データホールド時間	$T_{HD;DAT}$		0		3.45	0		0.9	μs
D98	データセットアップ時間	$T_{SU;DAT}$		250			100			ns
D99	STOP条件のセットアップ時間	$T_{SU;STO}$		4.0			0.6			μs
D100	STOP 条件と START 条件との間のバス･フリー時間	T_{BUF}		4.7			1.3			μs

※ DDC インターフェース (P0SDA, P0SCL, P1SDA, P1SCL) は標準モードのみ対応しています。





パッケージ
規 格 書

パッケージコード	HQFP144-P-2020

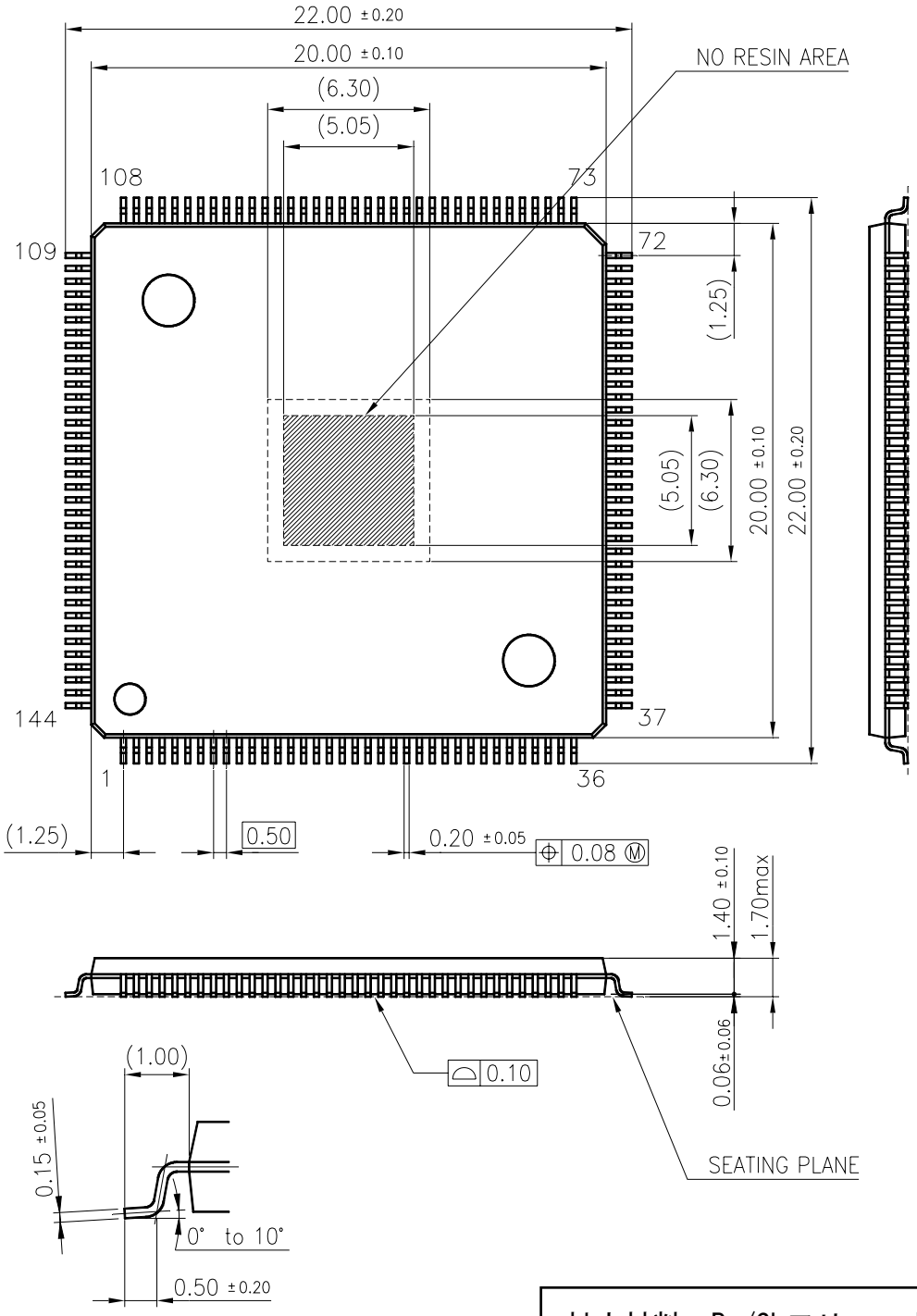
松下電器産業株式会社　　半導体社

制定	起案	検印	作成
小路	吉田	岡嶋	成本

Established: 2006-10-10
Revised : 2007-11-02

1. 外形図

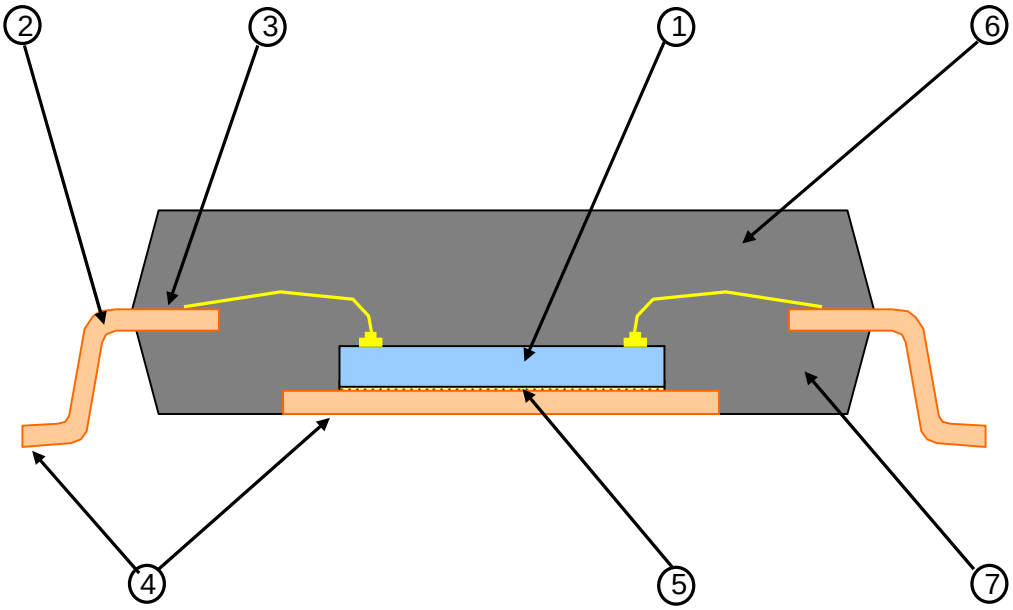
単位:mm



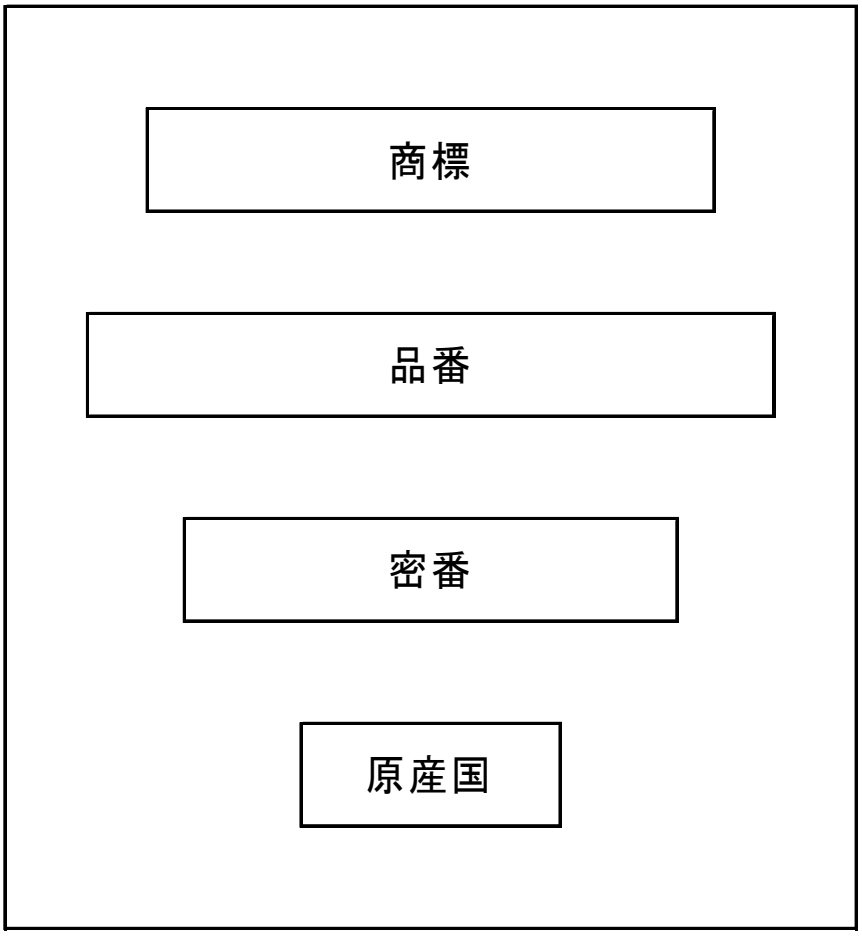
封止材料：Br/Sbフリーエポキシ樹脂	
リード材質	： Ｃｕ合金
リード表面処理：	Ｐｄめっき

2. 構造断面図（技術資料：参考値）

チップ材質		Si	①
リードフレーム材質		Cu合金	②
インナーリード部表面処理		Pdめっき	③
アウターリード部表面処理		Pdめっき	④
チップマウント	方法	樹脂接着法	⑤
	材質	接着材	
ワイヤボンド	方法	超音波熱圧着	⑥
	材質	Au	
モールド	方法	トランスファーモールド	⑦
	材質	Br/Sbフリーエポキシ樹脂	
質量		1,347mg	



3. マーク図



PACKAGE STANDARDS

Package Code	HQFP144-P-2020

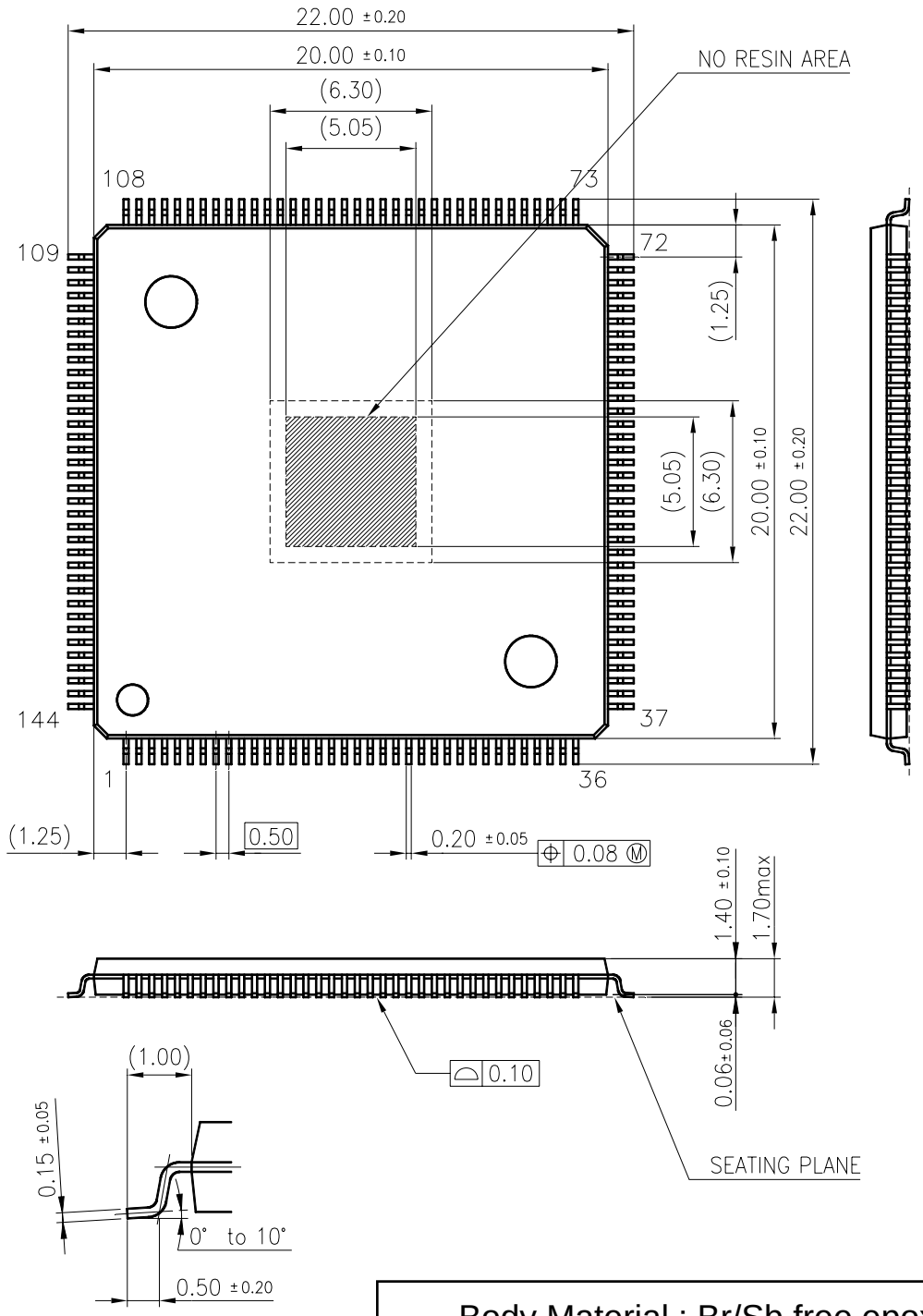
Semiconductor Company
Matsushita Electric Industrial Co., Ltd.

Established by	Applied by	Checked by	Prepared by
K.Komichi	H.Yoshida	M.Okajima	D.Narimoto

Established: 2006-10-10
Revised : 2007-11-02

1. Outline Drawing

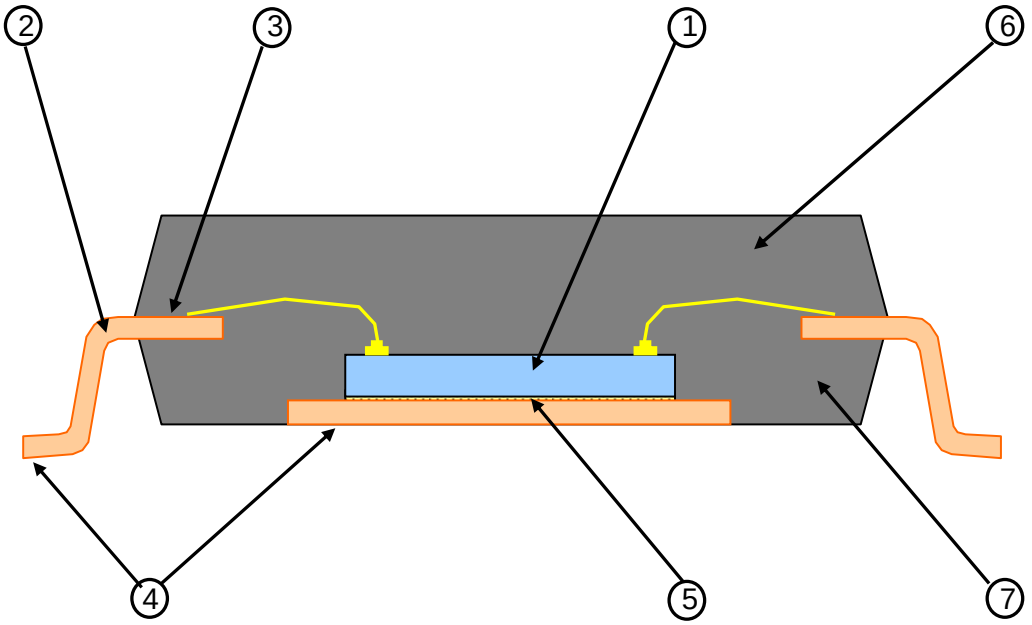
Unit:mm



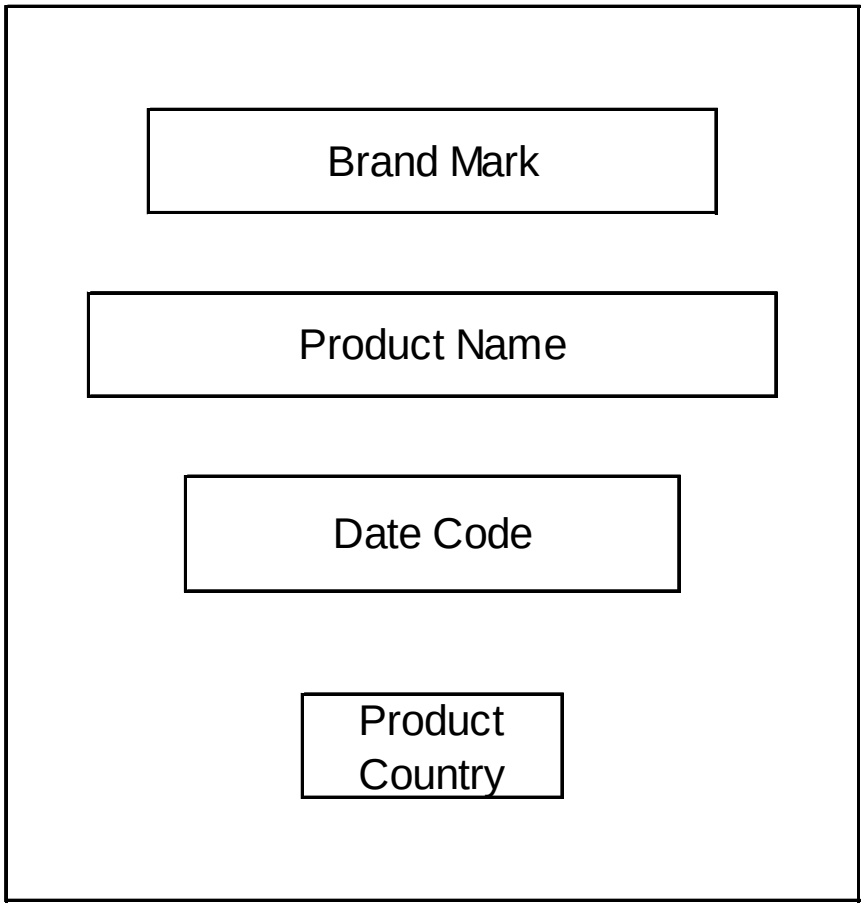
Body Material : Br/Sb free epoxy resin
Lead Material : Cu Alloy
Lead Finish Method : Pd Plating

2. Package Structure (Technical Report : Reference Value)

Chip Material		Si	①
Leadframe material		Cu alloy	②
Inner lead surface		Pd plating	③
Outer lead surface		Pd plating	④
Chip mount	Method	Resin adhesive method	⑤
	Material	Adhesive material	
Wirebond	Method	Thermo-compression bonding	⑥
	Material	Au	
Molding	Method	Transfer molding	⑦
	Material	Br/Sb free epoxy resin	
Mass		1,347mg	

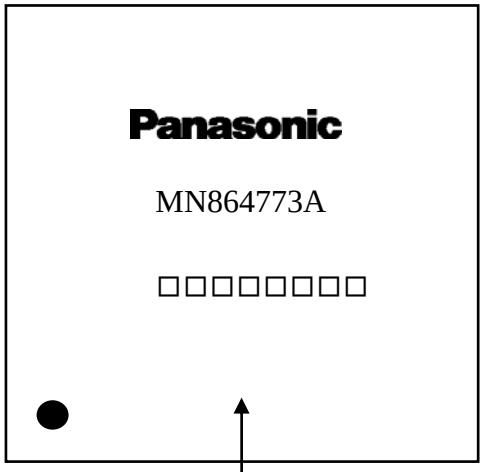


3. Mark Drawing



	マーキング 図	MN864773A			
		全頁数	1	頁番号	1

マーク印字図



密番: ６～８桁密番の英数字で表示

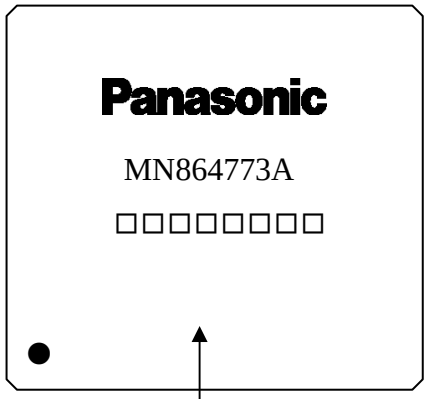
(例)

□	□ □	□	□ □ □ □
⇧	週コード	⇧	工程管理用
西暦年 下一桁		組立 出荷工場	
2009年⇒9 2010年⇒0 2011年⇒1 2012年⇒2	第１週⇒０１ 第２週⇒０２	魚津 ⇒U 新井 ⇒A PSCID ⇒ C PSCSH ⇒ P PSCSG ⇒ S	

備考:週の初めは月曜日とし、その年の1月4日を
含む週を第1週として01からスタートする。
図中のマーク文字、記号は「表示例」を示したものである。

パナソニック株式会社セミコンダクター社

Descriptions of Marking



Date code: 5- to 8-digit date code (alphanumeric)

Mark⇒□ ↑ Last digit of year

□ □ Week code

□ ↑ Assembly and shipping plant

□ □ □ □ For production control

(Example)

2009 ⇒9
2010 ⇒0
2011 ⇒1
2012 ⇒2

First week ⇒01
Second week ⇒02

Uozu ⇒U
Arai⇒A
PSCID⇒ C
PSCSH ⇒ P
PSCSG ⇒ S

Note ・The first day of week shall be Monday and the week including January 4 be the year's first week which is to be marked as 01.
・Logo, mark, and symbol in the above are just guideline.

発行日： 2011 年 7 月 5 日

パイオニア株式会社　　御中

半導体デバイスの半田実装方法

半導体デバイスを実装する場合の実施条件を示します。
詳細は、別紙添付資料をご参照下さい。

品種名： ＭＮ８６４７７３Ａ シリーズ

パッケージコード： ＨＱＦＰ１４４－Ｐ－２０２０

管理No. ： １１－０６４

管理No. 11-064

半導体デバイスの半田実装方法

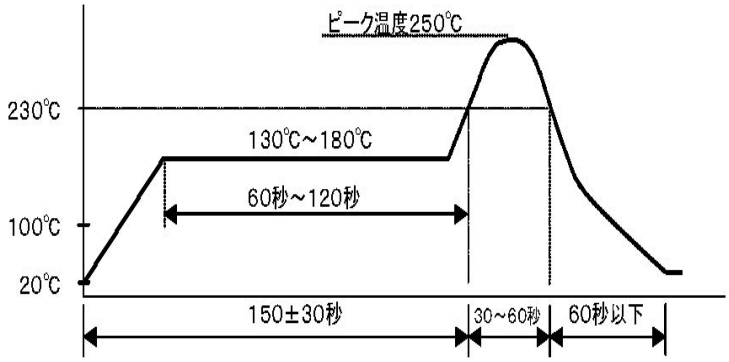
パッケージコード： ＨＱＦＰ１４４－Ｐ－２０２０

パナソニック(株) セミコンダクター社
グローバル品質管理センター
組立信頼性技術グループ

1．半田実装条件

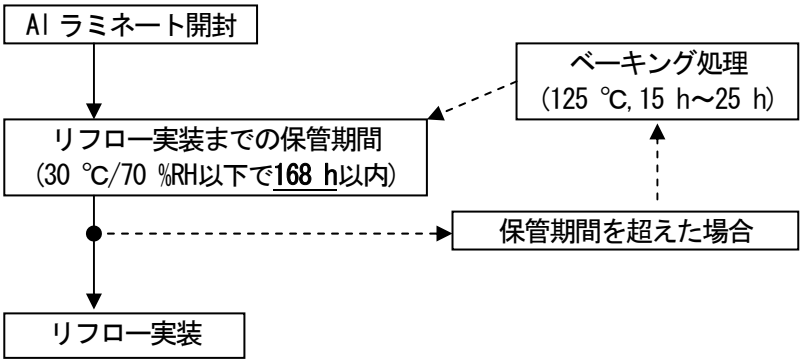
半導体デバイスを実装する場合には、以下の条件で実施して下さい。

リフロー：本プロファイルは、温風リフロー・赤外線リフロー等に適用する



＊ピーク温度：250 ℃以下
＊ピーク温度時間：10 s±3 s
＊高温領域：230 ℃以上
＊高温領域時間：30 s～60 s

2．Al ﾗﾐﾈｰﾄ防湿包装開封後の保管条件



3．実装時のご注意

① 製品の保管環境：吸湿防止の為、Ta=30 ℃以下, RH=70 %以内として下さい
② リード部の酸化防止の為、ベーキングは１回のみとして下さい
③ リフロー回数：最大２回
（２回リフローの場合、２回目のリフローが完了するまでの期間が168 h以内です）
④ フラックス：無塩素のロジンフラックスを推奨（洗浄は十分に行なって下さい）
⑤ 超音波洗浄を行なう場合、周波数･基板形状などによっては共振を起こし、リード強度に影響する事がありますので十分注意して下さい

4．特記事項

手付け半田の場合：こて温度 350 ℃, 3 s 以下（デバイスリード温度：270 ℃, 10 s 以下）

－ 以 上 －

Jul. 5, 2011

The soldering method to mount the semiconductor devices

Type : MN864773A series

Package : HQFP144-P-2020

Document No. : 11-064 (refer to attachment sheet)

No. 11-064

The soldering method to mount the semiconductor devices

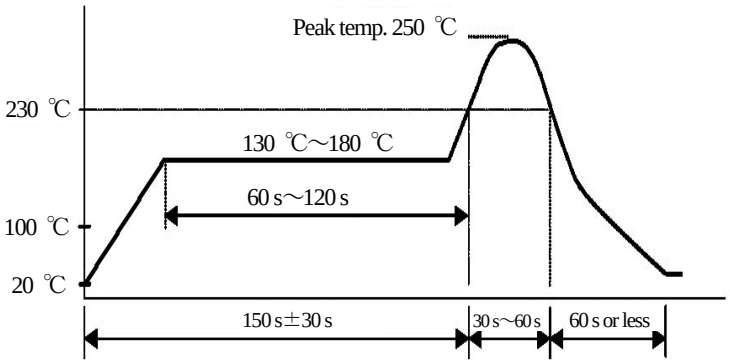
Package code： ＨＱＦＰ１４４－Ｐ－２０２０

Assembly Reliability Engineering Group
Global Quality Control Center
Semiconductor Company
Panasonic Co., Ltd.
K. Matsushita

1. Recommended Conditions for Surface-mounting

In case that the semiconductor SMD packages are mounted on the PCB, the soldering should be performed under the following conditions:

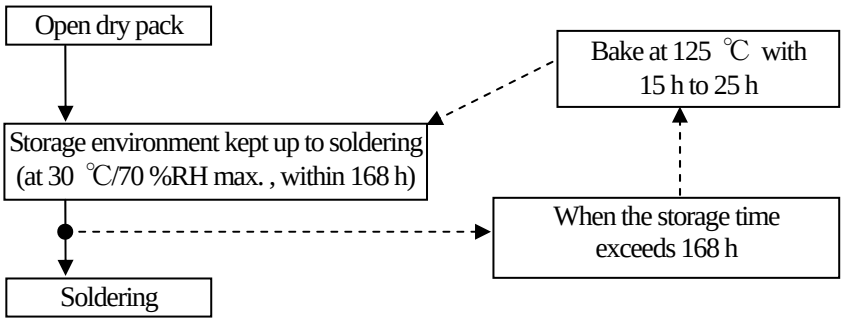
Reflow soldering



* Peak temp.：250 ℃ or less
* Peak temp. hold time：10 s±3 s
* High temperature area：230 ℃ or more
*High temp. region hold time：30 s～60 s
* Number of reflow：within 2 times

＊temperature are measured package surface point

2. Recommended Conditions Soldering



3. Notes

① Storage environment conditions: keep the following conditions Ta=5 ℃～30 ℃、RH=30 %～70 %.
② Storage period before opening dry pack shall be 1year from a shipping day under Ta=5 ℃～30 ℃、RH=30 %～70 %. When the storage exceeds, Bake at 125 ℃ with 15 h to 25 h.
③ Baking cycle should be only one time.
Please be cautious of solderability at baking.
④ Reflow soldering: max. two times. (In case that use reflow two times, 2nd reflow must be finished within 168 hours.)
⑤ Remove flux sufficiently from product in the washing process.
(Flux : Chlorineless rosin flux is recommended.)
⑥ In case that use ultrasonic for product washing,
There is the possibility that the resonance may occur due to the frequency and shape of PCB.
It may be affected to the strength of lead. Please be cautious of this matter.

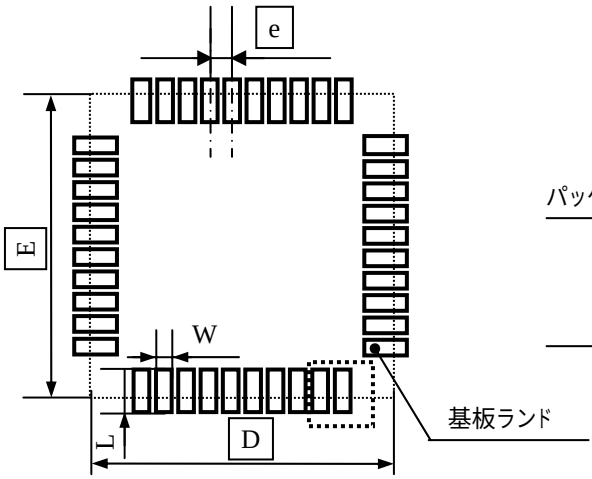
4. Special mention

Manual soldering method: Iron temperature; 350 ℃ , 3 s max. (Device lead temperature; 270 ℃ , 10 s max.)

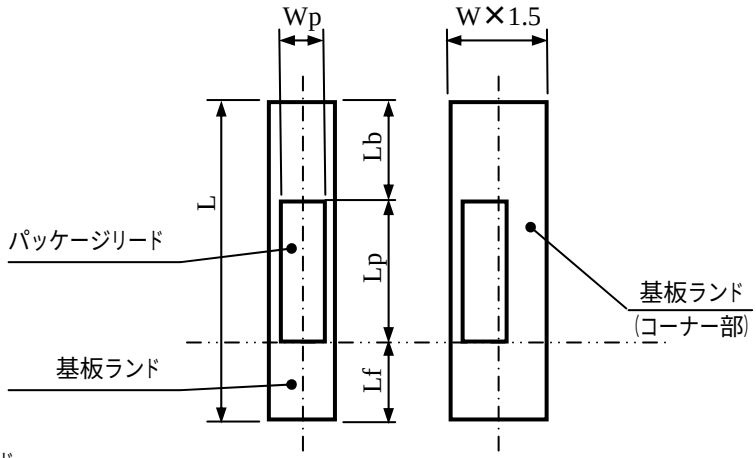
HQFP用 実装基板＆メタルマスク仕様（参考） ver.1.0

パナソニック株式会社 セミコンダクター社
アセンブリ技術センター カスタマ実装技術T

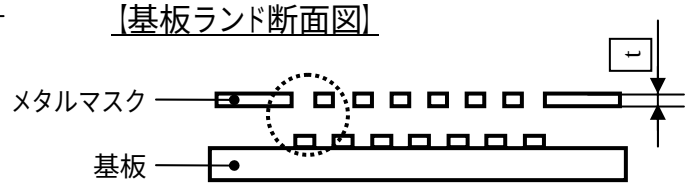
【基板ランドパターン概略図】



部拡大（基板ランドーパッケージランド配置）

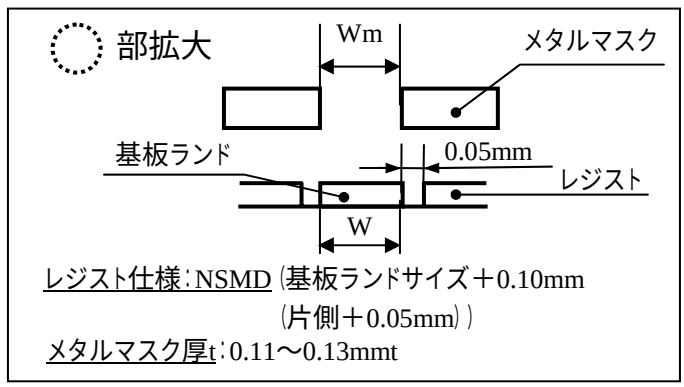


【基板ランド断面図】



【照合文字名称】

照合文字	名称
D	パッケージ長さ
E	パッケージ幅
e	端子ピッチ



【参考寸法】

単位：mm

端子ピッチ e	パッケージリード		基板ランド				メタルマスク開口	
	幅 Wp	長さ Lp	幅 W	全長 L	ﾌﾛﾝﾄﾌｨﾚｯﾄ Lf	ﾊﾞｯｸﾌｨﾚｯﾄ Lb	幅 Wm	長さ Lm
0.40mmP	0.16	0.50	0.20	1.00～1.20	0.20～0.30	0.30～0.40	基板ランドと同寸	
0.50mmP	0.20	0.50	0.30	1.20～1.40	0.30～0.40	0.40～0.50	基板ランドと同寸	
0.65mmP	0.30	0.50	0.35	1.40～1.60	0.40～0.50	0.50～0.60	基板ランドと同寸	
0.80mmP	0.35	0.50	0.45	1.40～1.60	0.40～0.50	0.50～0.60	基板ランドと同寸	

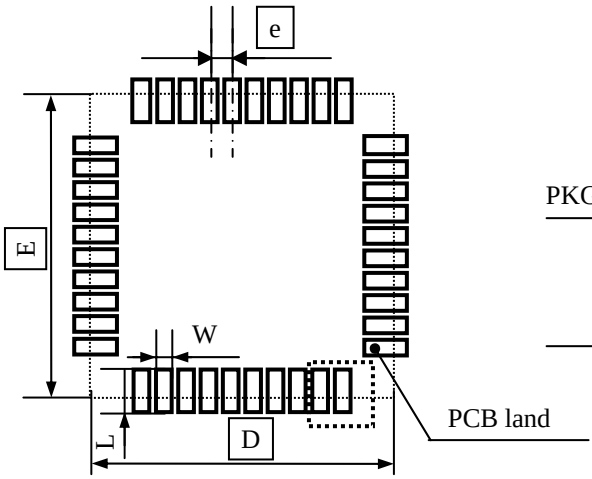
*上記参考値は、実装信頼性を保証するものではありません。御社での実際の実装条件・環境による実装評価をお願いいたします。

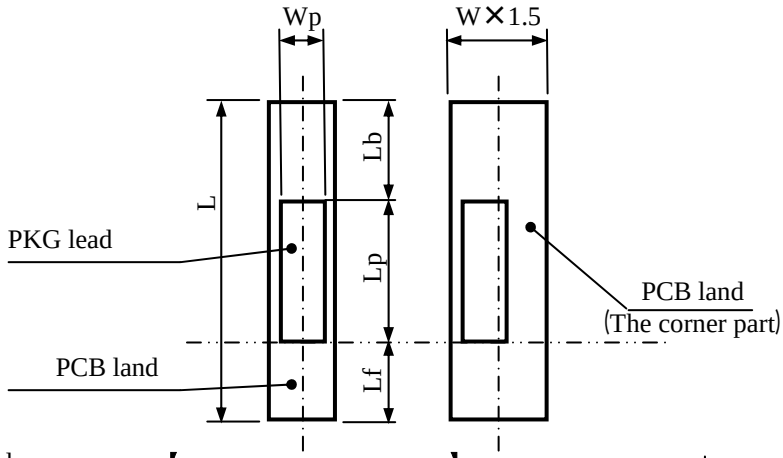
The reference spec. of PCB & Mask for HQFP ver.1.0

Assembly Technology Center
Semiconductor Company
Panasonic Co.,Ltd.

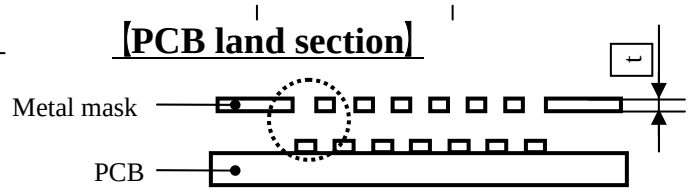
Expansion of ⬚ (The layout of the PCB land and PKG lead)

【PCB land figure】



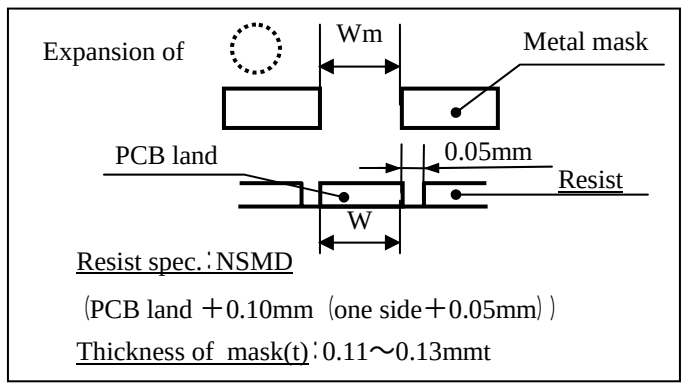


【PCB land section】



【Name of the collation letter】

Collation letter	Name
D	PKG length
E	PKG width
e	Lead pitch

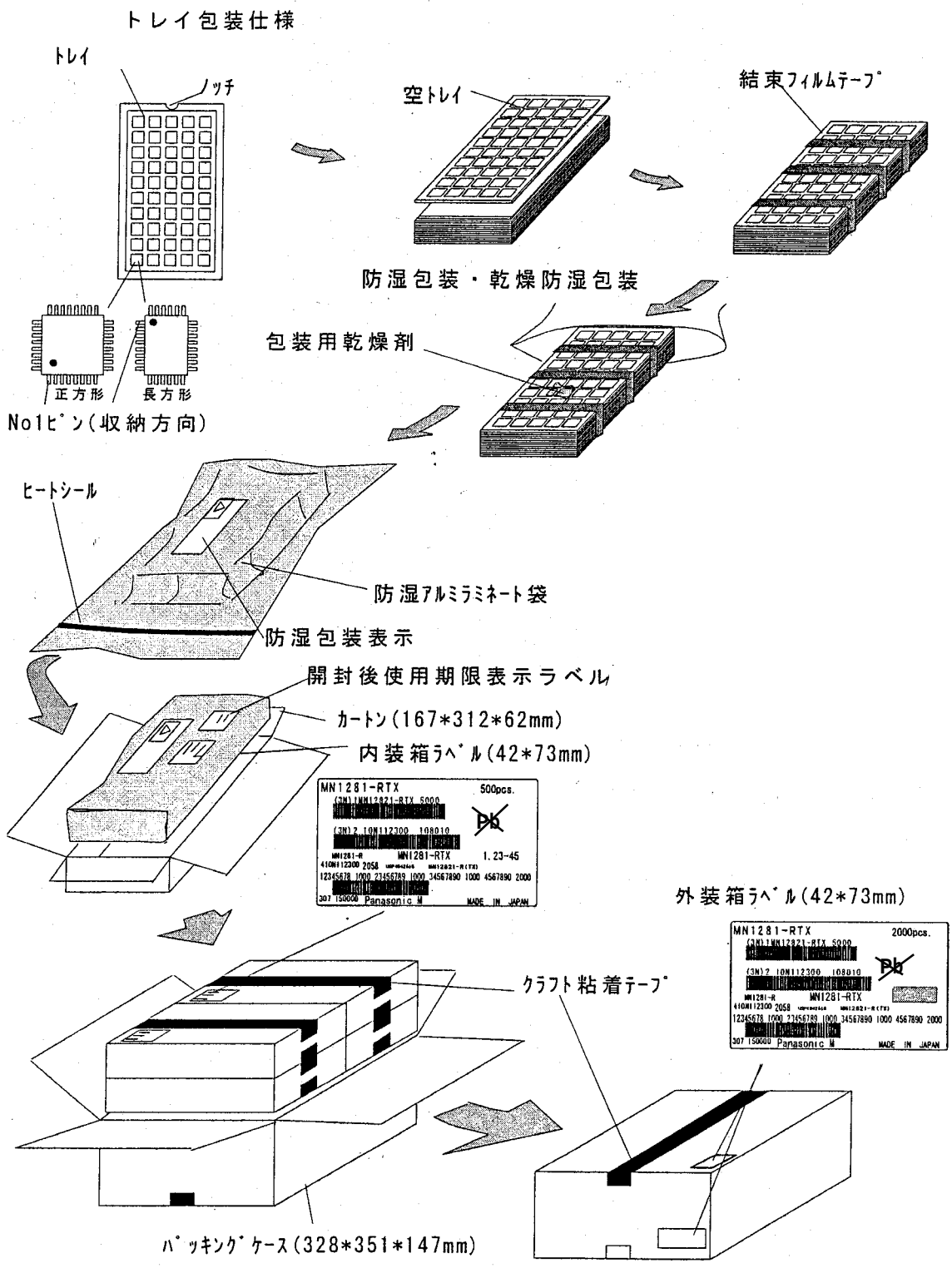


【Reference spec.】

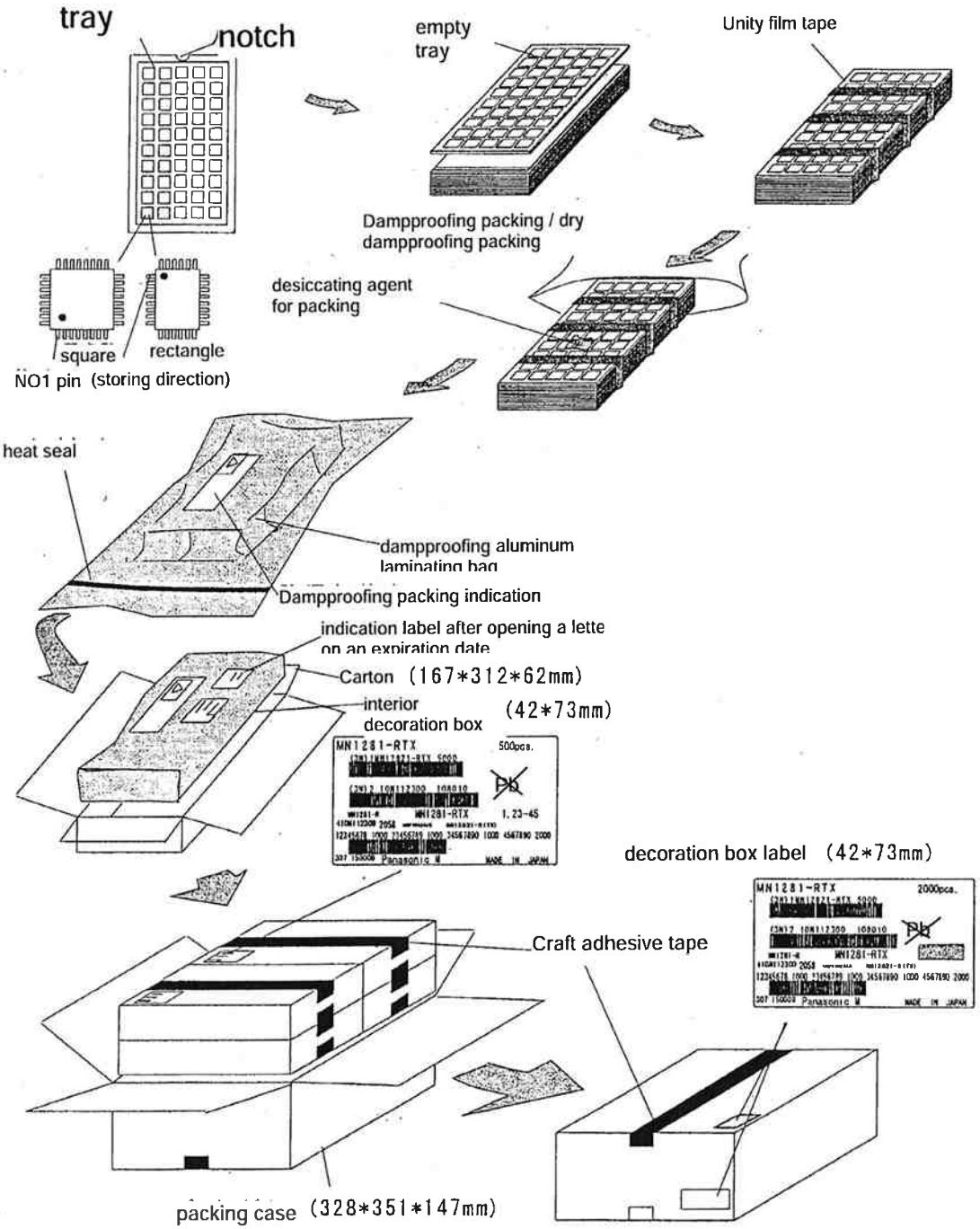
unit：mm

Lead pitch e	PKG lead		PCB land				Metal mask openning	
	width Wp	length Lp	width W	length L	Front fillet Lf	Back fillet Lb	width Wm	length Lm
0.40mmP	0.16	0.50	0.20	1.00～1.20	0.20～0.30	0.30～0.40	The same as PCB land	
0.50mmP	0.20	0.50	0.30	1.20～1.40	0.30～0.40	0.40～0.50	The same as PCB land	
0.65mmP	0.30	0.50	0.35	1.40～1.60	0.40～0.50	0.50～0.60	The same as PCB land	
0.80mmP	0.35	0.50	0.45	1.40～1.60	0.40～0.50	0.50～0.60	The same as PCB land	

*The above size is calculated based on the experiment results by Panasonic Corporation, and is not intended as a guarantee of mounting reliability. Mounting reliability can vary depending on factors such as the equipment specifications and conditions, material specifications and properties, and environmental conditions. To ensure satisfactory results, your company should evaluate and confirm actual mounting performance.


トレイ包装仕様
トレイ
ノッチ
空トレイ
結束フィルムテープ
防湿包装・乾燥防湿包装
包装用乾燥剤
正方形
長方形
No1ピン(収納方向)
ヒートシール
防湿アルミラミネート袋
防湿包装表示
開封後使用期限表示ラベル
カートン(167*312*62mm)
内装箱ラベル(42*73mm)
MN1281-RTX
500pcs.
外装箱ラベル(42*73mm)
2000pcs.
クラフト粘着テープ
パッキングケース(328*351*147mm)

	PACKING FORM	Total Sheet	—	Sheet NO	1



Semiconductor Company Panasonic Corporation

	QC工程図（概要） QC Process Flow Chart （Summary）	MN864773A Series	
		Total pages	page
		1	1

ﾊﾟｯｹｰｼﾞﾀｲﾌﾟ/Package Type : HQFP144-P-2020

生産工場 Productive plant	ﾌﾛｰﾁｬｰﾄ Flowchart	工程名 Process name	管理項目 Control item	管理方法/Control method ｻﾝﾌﾟﾘﾝｸﾞ/Sampling	規格/standard	測定方法/Method	記録/record	備考 Note
新井工場 ARAI	ウェーハ wafer	◇ ｳｪｰﾊ検収 Wafer inspection	厚み Thickness	全ｳｪｰﾊ All wafer	個別規格 Individual spec.	ｳﾙﾄﾗｹﾞｰｼﾞ Ultra gage	設備管理表 Equipment control sheet	
			ﾌﾗｯﾄﾈｽ Flatness	全ｳｪｰﾊ All wafer	個別規格 Individual spec.	ｳﾙﾄﾗｹﾞｰｼﾞ Ultra gage	設備管理表 Equipment control sheet	
	ｶﾞｽ、薬品 Gas ,Medicals	○ 拡散 Diffusion	酸化膜厚 Oxide thickness	5点×1ｳｪｰﾊ/日 5Point×1Wafer/Day	個別規格 Individual spec.	膜厚測定器 Film thickness measurement instrument	CIM CIM	
			ｹﾞｰﾄ寸法 Gate size	5点×1ｳｪｰﾊ/ﾛｯﾄ 5Point×1Wafer/Lot	個別規格 Individual spec.	測長SEM Length measurement SEM	CIM CIM	
			配線寸法 Wiring size	5点×1ｳｪｰﾊ/ﾛｯﾄ 5Point×1Wafer/Lot	個別規格 Individual spec.	測長SEM Length measurement SEM	CIM CIM	
			保護膜厚 Passivasion thickness	9点×1ｳｪｰﾊ/週 9Point×1Wafer/Week	個別規格 Individual spec.	膜厚測定器 Film thickness measurement instrument	CIM CIM	
		○ 裏面研磨 Back grinding	厚み Thickness	全ﾏｼﾝ×1ｳｪｰﾊ/日 All machine×1Wafer/Day	個別規格 Individual spec.	ﾊｲﾄｹﾞｰｼﾞ Height gage	ﾁｪｯｸｼｰﾄ Check sheet	
		◇ ﾌﾟﾛｰﾌﾞ検査 Probe test	PCM電気特性 PCM Electric characteristic	全ｳｪｰﾊ All wafer	個別規格 Individual spec.	PCMﾃｽﾀｰ PCM Tester	ロット票/CIM Lot sheet/CIM	
			電気特性 Electric characteristic	全数 All	個別規格 Individual spec.	LSIﾃｽﾀｰ LSI Tester	ロット票/CIM Lot sheet/CIM	
PSCSH （ﾊﾟﾅｿﾆｯｸ ｾﾐｺﾝﾀﾞｸﾀｰ 上海 有限会社）	ﾘｰﾄﾞﾌﾚｰﾑ Lead Frame Agﾍﾟｰｽﾄ Ag paste	○ ﾀﾞｲｼﾝｸﾞ Dicing	外観検査 Visual inspection	1ｳｴﾊ/1ｶｾｯﾄ、及びﾂｰﾙ切換え時 1Wafer/1Cassette or Tool exchange	不良見本/限度見本 Defective sample/Limit sample	金属顕微鏡 Metallographical microscope	作業日報 Operation daily report	
		○ ﾀﾞｲﾎﾞﾝﾄﾞ Die Bond	外観検査 Visual inspection	1ﾌﾚｰﾑ/ﾏｶﾞｼﾞﾝ、及び品種切換え時10ﾌﾚｰﾑ 1Frame/Magazine,or Product type change 10Frame	限度見本 Limit sample	金属顕微鏡 Metallographical microscope	作業日報 Operation daily report	
	金ﾜｲﾔｰ Au Wire	○ ﾜｲﾔﾎﾞﾝﾄﾞ Wire Bond	ﾜｲﾔｰ引張強度 Wire pull strength	4ﾜｲﾔｰ/日/ﾏｼｰﾝ毎 品種/ﾜｲﾔﾎﾞﾝﾄﾞﾊﾟﾗﾒｰﾀｰ変更/ｷｬﾋﾟﾗﾘｰ切替時 4Wire/Day/Machine Product type /parameter or Tool change	個別規格 Individual spec.	ﾌﾟﾙﾃｽﾀｰ Pull tester	チェックシート Check sheet	
			外観検査 Visual inspection	1ﾌﾚｰﾑ/ﾏｶﾞｼﾞﾝ 、及び品種/ﾂｰﾙ切換え時 1Frame/magazine,or Product type change/Tool exchange	限度見本 Limit sample	実体顕微鏡 Stereoscopic microscope	作業日報 Operation daily report	
	樹脂 Resin	○ 封止（ｷｭｱ） Molding（Cure）	外観検査 Visual inspection	1ｼｮｯﾄ/ﾛｯﾄ、及び金型交換時 1Shot/Lot,or Mold exchange	限度見本 Limit sample	実体顕微鏡 Stereoscopic microscope	作業日報 Operation daily report	
		○ ﾏｰｷﾝｸﾞ Marking	外観検査 Visual inspection	1ﾌﾚｰﾑ/ﾛｯﾄ 1Frame/Lot	限度見本 Limit sample	目視 Visual	作業日報 Operation daily report	
		○ ﾘｰﾄﾞ加工 Lead trim&form	外観検査 Visual inspection	1ｼｮｯﾄ/ﾛｯﾄ 1Shot/Lot	限度見本 Limit sample	実体顕微鏡 Stereoscopic microscope	作業日報 Operation daily report	
		◇ 最終検査 Final test	電気特性 Electric characteristic	全数 All	F検規格 F test specifications	検査装置 Inspection apparatus	ロット票/CIM Lot sheet/CIM	
			外観検査 Visual inspection	全数 All	外観検査規格 Visual inspection spec	検査装置 Inspection apparatus	ロット票/CIM Lot sheet/CIM	
		◇ 出荷検査 Delivery inspection	電気特性 Electric characteristic	出検基準に準じる According to delivery inspection standard	Ⅱ検規格 Ⅱ test specifications	検査装置 Inspection apparatus	検査票 Inspection sheet	
	包装材料 Packing materials		外観検査 Visual inspection		外観検査規格 Visual inspection spec	目視 Visual	検査票 Inspection sheet	
		○ 包装 Packing	表示、数量ﾁｪｯｸ Check of label and quantity	ﾛｯﾄ毎 Per lot	包装規定 Packing spec.	目視/ﾊﾞｰｺｰﾄﾞ Visual/Barcode	ロット票 lot sheet	
		◇ 出荷 Shipping	表示、現物ﾁｪｯｸ Check of label and box	包装毎 Per packing	包装規定 Packing spec.	目視/ﾊﾞｰｺｰﾄﾞ Visual/Barcode	CIM CIM	

使用記号/Graphical symbols for Process chart
○：加工/Process　◇：品質の検査又はチェック/Quality inspection or check

No. 11-056

2011/7/5	
Prepared	Revised

	信頼性試験結果	全ページ	ページ
		2	1

品 種 名: MN864773A

パッケージ: HQFP144-P-2020

発 行 部 署	確認印
パナソニック株式会社 セミコンダクター社 グローバル品質管理センター 拡散・組立信頼性技術グループ	

試験項目	試 験 条 件		試験結果 (不良数/評価数)	判定基準
動作寿命試験	Ta=125℃, t=1000h, VDD(max)		0/15	製品規格の電気特性を満足する事
高温保存試験	Ta=150℃, t=1000h		0/15	
低温保存試験	Ta=-65℃, t=1000h		0/15	
高温高湿バイアス試験	Ta=85℃, RH=85%, t=1000h, VDD(max)		0/15	
高温高湿保存試験	Ta=85℃, RH=85%, t=1000h		0/15	
熱衝撃試験	Ta=-65℃～＋150℃, 各5min, 50ｻｲｸﾙ		0/15	
温度サイクル試験	Ta=-65℃～＋150℃, 各30min, 100ｻｲｸﾙ		0/15	
はんだ耐熱性試験	Ta=245℃＋5℃-0℃, 10s±3s (リフロー)		0/15	
はんだ付け性試験	Ta=230℃, 5s		0/15	浸漬部分の95%以上
静電破壊試験	HBM (ﾋｭｰﾏﾝﾎﾞﾃﾞｨｰﾓﾃﾞﾙ)	C=100pF, Rs=1.5kΩ	0/3 ｸﾗｽ4 ※	製品規格の電気特性を満足する事
	M.M(ﾏｼﾝﾓﾃﾞﾙ) ＜参考＞	C=200pF, Rs=0 Ω	0/3 ±200V	
PCT ＜参考＞	Ta=121℃, 2atm, RH=100%, t=100h		0/15	
ラッチアップ試験	パルス電流注入法	VDD(max)	0/3 ±100mA以上	ラッチアップしない事
	電源過電圧法	VDD(max)	0/3 絶対最大定格値以上	

※ ｸﾗｽ1 :±1000V未満 ｸﾗｽ2 :±1000V～±1500V
ｸﾗｽ3 :±1500V～±2000V ｸﾗｽ4 :±2000V以上

No. 11-108

2011.7.5		
作成	改正	

パナソニック株式会社 セミコンダクター社

	Reliability Test Result	Total pages	page
		2	2

Product name : MN864773A

Package : HQFP144-P-2020

Issued by
Wafer process reliability engineering group Assembly reliability engineering group Global quality control center Semiconductor company, Panasonic corporation

Reaffirmed by
K. Matsushita

Test items	Test conditions		Test results (Failure qty. / Evaluation qty.)	Judgment criteria
High temperature operating life test	Ta=125℃, t=1000h, VDD(max)		0/15	Electrical characteristics within specification
High temperature storage test	Ta=150℃, t=1000h		0/15	
Low temperature storage test	Ta=-65℃, t=1000h		0/15	
Temperature humidity bias test	Ta=85℃, RH=85%, t=1000h, VDD(max)		0/15	
Temperature humidity storage test	Ta=85℃, RH=85%, t=1000h		0/15	
Thermal shock test	Ta=-65℃ to +150℃, 5min each, 50 cycles		0/15	
Temperature cycle test	Ta=-65℃ to +150℃, 30min each, 100cycles		0/15	
Resistance to solder heat test	Ta=245℃+5℃-0℃, 10s±3s (Reflow)		0/15	
Solderability test	Ta=230℃, 5s		0/15	Over 95% of solder dip part
ESD test	HBM (Human Body Model)	C=100pF, Rs=1.5kΩ	0/3 Class4 *	Electrical characteristics within specification
	MM (Machine Model) (Reference)	C=200pF, Rs=0 Ω	0/3 ±200V	
PCT (Reference)	Ta=121℃, 2atm, RH=100%, t=100h		0/15	
Latch-up test	Pulse current injection method	VDD(max)	0/3 Over ±100mA	No latch-up
	Supply overvoltage method	VDD(max)	0/3 Over absolute maximum rating	

* Class 1 : Under ±1000V Class 2 : ±1000V～±1500V
Class 3 : ±1500V～±2000V Class 4 : Over ±2000V

No. 11-108

2011.7.5	
Prepared	Revised

Semiconductor Company, Panasonic Corporation