

Nome e Cognome: _____

(IN STAMPATELLO MAIUSCOLO)

Codice Persona o Matricola: _____



**POLITECNICO
MILANO 1863**

RETI LOGICHE

☐ Prof. William Fornaciari

☐ Prof. Gianluca Palermo

☐ Prof. Fabio Salice

Appello del 15 Febbraio 2024

!!! CON BOZZA DI SOLUZIONI !!!

Prima di iniziare la prova si prega di leggere con attenzione i seguenti punti:

- Il tempo massimo a disposizione per svolgere la prova é di 1h:40min
- Non è permessa la consultazione di alcun materiale didattico durante lo svolgimento della prova. È severamente vietato colloquiare durante l'esame con i compagni di corso o utilizzare telefoni, PC, libri e appunti.
- In caso di necessità, il docente potrà richiedere lo svolgimento di una prova orale.
- Tutte le risposte devono essere riportate su questi fogli. Non saranno considerate valide le risposte fornite su fogli diversi da quelli contenuti in questo plico.
- Si segnali chiaramente sulla prima pagina il docente di riferimento
- Il punteggio degli esercizi è da considerarsi INDICATIVO
- **LE PARTI SCRITTE IN FORMATO NON LEGGIBILE DAL DOCENTE SARANNO CONSIDERATE ERRATE IN FASE DI CORREZIONE**

NOTA: Per un voto sufficiente sarà necessario avere almeno **7 punti** sul totale degli **Esercizi 1 e 2** e almeno **7 punti** sul totale degli **Esercizi 4 e 5**

	Esercizio 1	Esercizio 2	Esercizio 3	Esercizio 4	Esercizio 5
PUNTI	7	7	4	7	7
Esame					
TOTALE					

ESERCIZIO 1 – Algebra di Boole

Date le seguenti espressioni algebriche nelle variabili A, B, C e D:

- $F = B'D' + C'D' + AC' + BCD$
- $G = A'C' + AB$

Si richiede di operare come indicato nel seguito:

- Si applichi alla funzione $F(A, B, C, D)$ il teorema di espansione di Shannon rispetto alla variabile C . Si esplicitino i co-fattori identificati;
- Si semplifichino i co-fattori usando le regole dell'algebra di Boole;
- Si disegni il circuito che produce l'uscita $F(A, B, C, D)$, usando come stadio finale un multiplexer a 2 ingressi e C come segnale di selezione del multiplexer;
- Considerando le due funzioni F e G , si ricavano tutti gli implicant primari di funzione multipla condivisi tra F e G (intersezione, ovvero prodotto logico) utilizzando le sole mappe di Karnaugh. Si scrivano le espressioni algebriche di tutti gli implicant primari identificati;
- Tra gli implicant primari trovati al punto precedente, dire quali di questi sono anche *essenziali*.

SOLUZIONE

passo (a - b)

$$F = (B'D' + C'D' + AC' + BCD) = C(B'D' + BD) + C'(B'D' + D' + A) = C(B'D' + BD) + C'(D' + A)$$

$$F_c = B'D' + BD$$

$$F_{c'} = B'D' + D' + A = D' + A$$

passo (d.1)

F:

CD/AB	00	01	11	10
00	1	1	1	1
01	0	0	1	1
11	0	1	1	0
10	1	0	0	1

G:

CD/AB	00	01	11	10
00	1	1	1	0
01	1	1	1	0
11	0	0	1	0
10	0	0	1	0

F*G

CD/AB	00	01	11	10
00	1	1	1	0
01	0	0	1	0
11	0	0	1	0
10	0	0	0	0

passo (d.2)

A' C' D' Essenziale

B C' D'

A B C'

A B D Essenziale

ESERCIZIO 2 – Quine McCluskey

- (a) Identificare la copertura minima per la tabella di copertura sotto riportata utilizzando il metodo di Quine-McCluskey, e i letterali come funzione di costo;
- (b) Si giustifichi in modo sintetico ma preciso (eventualmente facendo uso di un esempio) perchè, contrariamente a quanto succede nella dominanza di riga, nella dominanza di colonna è la colonna con più "marche" ad essere eliminata.

NOTA: Per la soluzione del punto (a) è obbligatorio seguire ordinatamente i passaggi indicati qui di seguito:

- *ESSENZIALITÀ \Rightarrow DOM. DI RIGA \Rightarrow DOM. DI COLONNA \Rightarrow ESSENZIALITÀ \Rightarrow etc.*

Solo dopo l'applicazione di tutte le dominanze si deve tornare a valutare le essenzialità. Ogni trasformazione (essenzialità/dominanza) deve essere chiaramente elencata anche in modo testuale (es: I1 domina I2 oppure m1 domina m5 oppure I1 essenziale in m0). Prima di procedere con l'applicazione di una nuova ESSENZIALITA', è obbligatorio riscrivere la tabella di copertura; su quest'ultima si deve applicare contemporaneamente la DOMINANZA DI RIGA E LA DOMINANZA DI COLONNA.

Per garantire la validità delle risposte, è necessario mostrare tutti i passaggi fatti, in modo chiaro e inequivocabile. Trascizioni non chiare, cancellazioni equivocate ed ogni altra parte non leggibile renderanno quella parte dell'esercizio nulla.

Implicanti	m_a	m_b	m_c	m_d	m_e	m_f	m_g	m_h	COSTO
I_1		x				x			3
I_2		x	x		x			x	3
I_3					x		x		3
I_4	x	x							3
I_5		x		x			x		3
I_6	x	x		x					2
I_7	x		x		x	x			2
I_8			x		x	x		x	2

SOLUZIONE

No ESS

Costo		a	b	c	d	e	f	g	h
3	1		x				x		
3	2		x	x		x			x
3	3					x		x	
3	4	x	x						
3	5		x		x			x	
2	6	x	x		x				
2	7	x		x		x	x		
2	8			x		x	x		x

riga 6 domina 4

Costo		a	b	c	d	e	f	g	h
3	1		x				x		
3	2		x	x		x			x
3	3					x		x	
3	5		x		x			x	
2	6	x	x		x				
2	7	x		x		x	x		
2	8			x		x	x		x

colonna h domina c e e

colonna d domina b

NO ESS

	a	d	f	g	h
3	1		x		
3	2				x
3	3			x	
3	5		x		x
2	6	x	x		
2	7	x		x	
2	8			x	x

riga 5 domina 3

riga 7 domina 1

riga 8 domina 2

	a	b	f	g	h
3	5	x		x	
2	6	x	x		
2	7	x		x	
2	8			x	x

colonna g domina b

colonna h domina f

	a	g	h
3	5	x	
2	6	x	
2	7	x	
2	8		x

ESSENZIALITA' 5 in g

8 in h

	a
2	6
2	7

Due soluzioni

ESERCIZIO 3 – Progetto FSM

Identificare e disegnare il diagramma degli stati di una macchina sincrona di tipo MEALY, con un ingresso a un bit x e una uscita a un bit z , che rispetti la seguente specifica.

- Ogni qualvolta viene riconosciuta la sequenze 101 oppure la sequenza 11, allora l'uscita z va a 1 per un solo periodo del clock in corrispondenza dell'ultimo bit dell'ingresso x . Diversamente l'uscita z rimane a 0. Le sequenze utili NON sono sovrapposte.

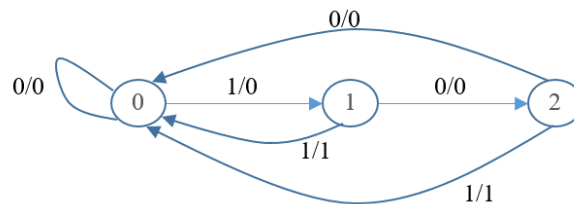
Si verifichi inoltre che il numero di stati della macchina sia minimo (in caso contrario lo si minimizzi), riportando infine la tabella degli stati. Si consideri come stato iniziale / reset, uno stato in cui si arriva da una sequenza ipoteticamente infinita di 0 e l'uscita sia 0.

Stato presente	Ingresso	
	$x = 0$	$x = 1$
S_p		
0		
1		
2		
...		

Stato Prossimo / Uscita

SOLUZIONE

La macchina minima ha tre stati che, peraltro, è la lunghezza della sequenza più lunga da riconoscere.



Stato presente	Ingresso	
	$x = 0$	$x = 1$
S_p		
0	0/0	1/0
1	2/0	0/1
2	0/0	0/1

Stato Prossimo / Uscita

ESERCIZIO 4 – Progetto contatori

Si deve progettare un contatore caratterizzato dal seguente ciclo di conteggio, usando obbligatoriamente le tre tipologie di flip-flip indicate: T per Q_2 , D per Q_1 e SR per Q_0 . Lo stato di reset (stato iniziale) è "000".

Q_2	Q_1	Q_0
0	0	0
0	0	1
0	1	0
1	0	1
1	1	1

Table 1: Ciclo di conteggio.

Si risponda alle seguenti domande:

- (a) Si determinino le funzioni di eccitazioni dei bistabili, indicandole anche nella tabella delle eccitazioni riportata qui di seguito;
- (b) Facendo uso di un contatore binario naturale mod(5) (che non va progettato ma solo utilizzato) le cui uscite sono U_2, U_1, U_0 : 000→001→010→011→100→000..., si progetti la rete combinatoria che permette di ottenere in uscita lo stesso ciclo di conteggio presente in tabella (rete di transcodifica).
NOTA: il contatore mod(5) è un modulo fornito di reset e clock e non è possibile agire o modificare il suo circuito interno: è un modulo fornito e non modificabile.
- (c) Si **disegni** il circuito risultante con tutti i segnali necessari al suo corretto funzionamento.
NOTA: Si utilizzino **solo** porte a **due ingressi**.

NOTA: si completi la tabella riportata qui di seguito come risposta *ESCLUSIVA* al punto (a). Per il punto (b), si scrivano le mappe di Karnaugh e le equazioni risultanti. Per il punto (c) si disegni il circuito mostrando con chiarezza i punti di connessione, le connessioni del clock e del segnale di reset e ogni altro elemento necessario.

Stato presente			Funz. Eccitazione			
Q_2	Q_1	Q_0	T_2	D_1	S_0	R_0
0	0	0				
0	0	1				
0	1	0				
1	0	1				
1	1	1				

SOLUZIONE

se FF0=SC

Stato presente			Funz. Eccitazione			
Q_2	Q_1	Q_0	T_2	D_1	S_0	C_0
0	0	0	0	0	1	0
0	0	1	0	1	0	1
0	1	0	1	0	1	0
1	0	1	0	1	-	0
1	1	1	1	0	0	1

$$T2 = Q1, S0 = Q0', C0 = Q2'Q0 + Q1Q0, D1 = Q1'Q0 \quad \text{oppure} \quad C0 = Q2' \quad Q0 + Q2Q1,$$

SOLUZIONE se FF0=JK, NON RICHIESTO

Stato presente			Funz. Eccitazione			
Q_2	Q_1	Q_0	T_2	D_1	J_0	K_0
0	0	0	0	0	1	-
0	0	1	0	1	-	1
0	1	0	1	0	1	-
1	0	1	0	1	-	0
1	1	1	1	0	-	1

$$T2 = Q1, J0 = 1, K0 = Q1 + Q2', D1 = Q1'Q0$$

Il contatore binario ha il medesimo periodo del ciclo di conteggio indicato. E' sufficiente progettare una rete di transcodifica sulle uscite. Gli ingressi di tale rete sono le U_i , mentre le uscite sono $(Q2, Q1, Q0)$ che debbono replicare quelli di partenza

Ingressi			Uscite		
U_2	U_1	U_0	Q_2	Q_1	Q_0
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	1	0	1
1	0	0	1	1	1

Come rete a due livelli con porte qualunque

$$Q2 = U2 * U1' * U0' + U2' * U1 * U0,$$

$$Q1 = U2' * U1 * U0' + U2 * U1' * U0',$$

$$Q0 = U2' * U0 + U2 * U1' * U0'$$

Con sole porte logiche a 2 ingressi (aumenta di un livello)

$$Q2 = (U2 * (U1' * U0')) + (U2' * (U1 * U0)),$$

$$Q1 = (U2' * (U1 * U0')) + (U2 * (U1' * U0')),$$

$$Q0 = U2' * U0 + (U2 * (U1' * U0'))$$

Come rete a due livelli ottimizzata (Karnaugh) - E' già con porte a 2 ingressi

$$Q2 = U2 + U1 * U0,$$

$$Q1 = U2 + U1' * U0',$$

$$Q0 = U2 + U0$$

ESERCIZIO 5 – Minimizzazione FSM non completamente specificate

Data la seguente macchina a stati non completamente specificata (ingresso x_1 e x_0 - uscita y)

S \ $x_1 x_0$	00	01	10	11
S0 (RST)	S0 / 0	S2 / -	S1 / 1	S5 / 0
S1	S0 / -	- / -	- / 1	- / 0
S2	S5 / 0	- / 1	S5 / 1	S5 / -
S3	S4 / 1	S3 / 0	S0 / 0	S4 / 0
S4	S5 / 1	S1 / 1	S1 / 0	S5 / 1
S5	S2 / -	- / 0	- / 1	S1 / -

- (A) partendo dallo stato di reset S_0 , analizzare la raggiungibilità. Si utilizzi il metodo che si ritiene più efficiente e rapido. Eliminare gli eventuali stati irraggiungibili a partire dallo stato di reset S_0 e riscrivere la tabella degli stati minima;
- (B) analizzare la compatibilità attraverso la tabella delle implicazioni;
- (C) identificare le classi di massima compatibilità utilizzando l'algoritmo da albero;
- (D) scrivere la tabella degli stati della macchina minima ottenuta mediante le classi di massima compatibilità.
- (D) Scrivere la tabella delle eccitazioni utilizzando FF JK.
- (E) Disegnare il circuito indicando con precisione tutti i segnali coinvolti.

NOTA: Per garantire la validità delle risposte, è necessario mostrare, in modo chiaro e completo, tutti i passaggi fatti.

SOLUZIONE

Gli stati irraggiungibili sono 3 e 4; Restano solo 0, 1, 2, 5

S \ $x_1 x_0$	00	01	10	11
S0	S0 / 0	S2 / -	S1 / 1	S5 / 0
S1	S0 / -	- / -	- / 1	- / 0
S2	S5 / 0	- / 1	S5 / 1	S5 / -
S5	S2 / -	- / 0	- / 1	S1 / -

Analisi di compatibilità

S1	V		
S2	{0-5} {1-5}	{0-5}	
S5	{0-2} {5-1}	{0-2}	X
	S0	S1	S2

Propagazione delle distinguibilità:

Non ci sono propagazioni. La tabella iniziale coincide con quella finale

Identificazione delle classi di massima compatibilità:

Insieme degli stati: 0,1,2,5

Analizzo S_0 : nessuna incompatibilità \Rightarrow 0,1,2,5,

Analizzo S1: nessuna incompatibilità $\Rightarrow 0,1,2,5$,

Analizzo S2: incompatibile con 5 $\Rightarrow 0,1,2,0,1,5$,

Classi: A: 0,1,2 B: 0,1,5

Tabella degli stati della macchina minima

S \ x1 x0	00	01	10	11
A	B / 0	A / 1	B / 1	B / 0
B	A / 0	A / 0	A (o B) / 1	B / 0

Tabella delle transizioni della macchina minima (codifica A=0, B=1)

S \ x1 x0	00	01	10	11
0	1 / 0	0 / 1	1 / 1	1 / 0
1	0 / 0	0 / 0	0 / 1	1 / 0

Tabella delle eccitazioni JK

Q \ x1 e x0	00	01	10	11
0	1- / 0	0- / 1	1- / 1	1- / 0
1	-1 / 0	-1 / 0	-1 / 1	-0 / 0

Mappe di Karnaugh

J:

Q \ x1 x0	00	01	11	10
0	1	0	1	1
1	-	-	-	-

$J=x0' + x1$;

K:

Q \ x1 x0	00	01	11	10
0	-	-	-	-
1	1	1	0	1

$K=x1' + x0'$

OUT:

Q \ x1 x0	00	01	11	10
0	0	1	0	1
1	0	0	0	1

$OUT=Q x1' x0' + x1 x0'$