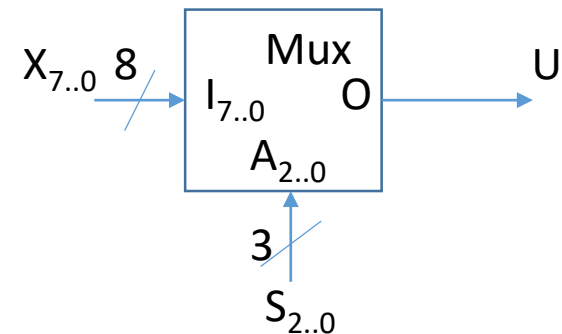
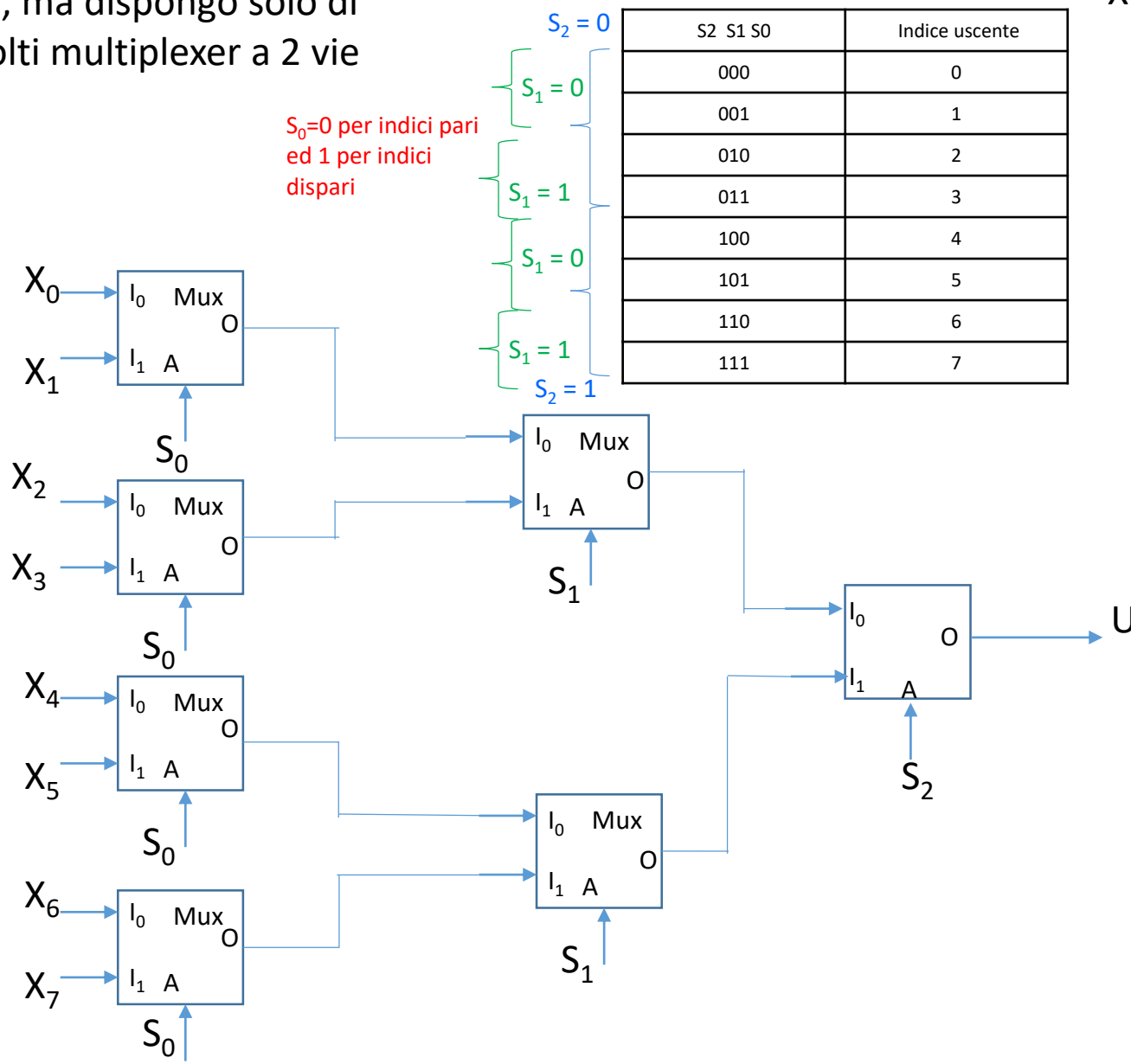


# Approfondimento multiplexer

Mi serve un multiplexer a 8 vie, ma dispongo solo di molti multiplexer a 2 vie



Tre selezioni successive:  
S2b seleziona fra X3..0 ed X7..4;  
S1 seleziona fra X0 ed X2 (oppure fra X4 ed X6) mentre S0 si occupa della restante selezione fra indici pari e dispari

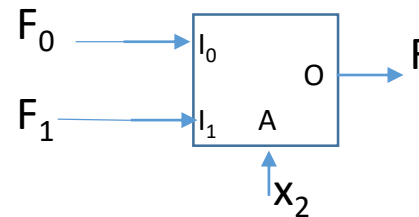
# Approfondimento multiplexer

I multiplexer possono aiutare nella sintesi?

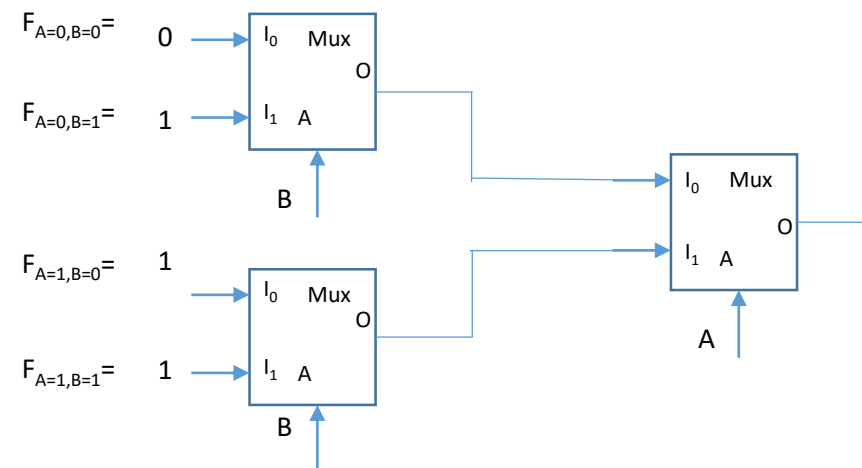
Risposta: sì, in quanto se la funzione di partenza è complessa (ha molti ingressi), essa può essere spezzata in due sotto-funzioni più semplici (con una variabile in meno) in ingresso a un mux a 2 vie. La variabile eliminata viene usata come selettore del mux

$$F(x_2, x_1, x_0) = x_2 F_1(x_1, x_0) + \bar{x}_2 F_0(x_1, x_0)$$

Se  $F$  è rappresentata come somma di prodotti tutti i termini che contengono  $x_2$  vanno in  $F_1$ , quelli che contengono  $\bar{x}_2$  vanno in  $F_0$ , gli altri termini vanno sia in  $F_0$  che in  $F_1$  se in una determinata  $F$  non ci sono termini allora essa vale 0

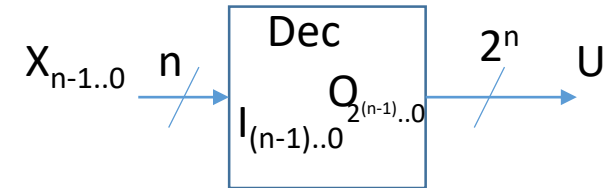
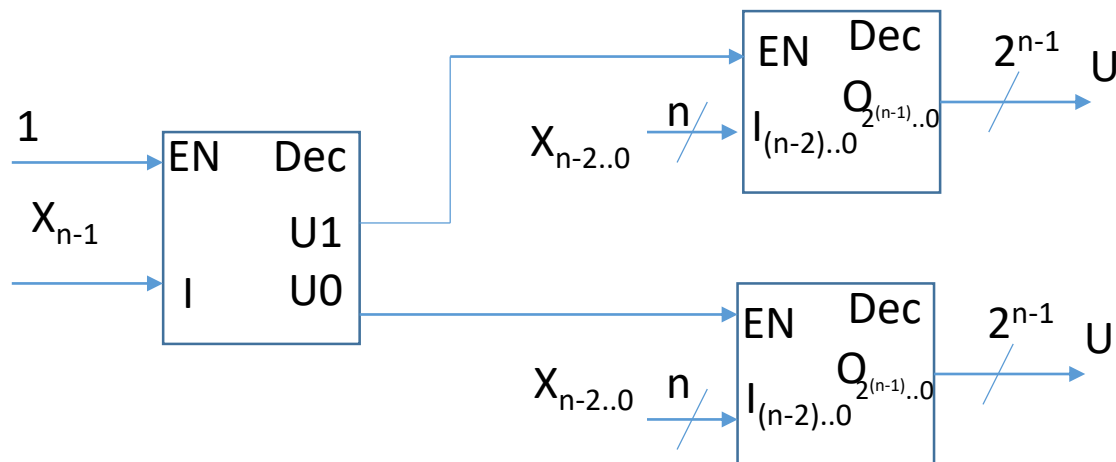


Iterando indefinitamente il procedimento di eliminazione delle variabili (espansione) si arriva ad avere intere funzioni realizzate tramite alberi di multiplexer in cui il primo stadio ha in ingresso i valori della tabella di verità, ad esempio un OR a 2 ingressi con tabella di verità in cui scriviamo prima la variabile  $A$  e poi la variabile  $B$  diventerebbe pari allo schema a destra. Se vogliamo corrispondenza con la tabella di verità dell'ordine degli 1 e degli 0 letti dall'alto verso il basso nel disegno ad albero di MUX, le variabili di selezione vanno riportate nello schema ad albero in ordine opposto rispetto a quello della tabella di verità, **provare con la somma ed il carry out ed albero a 3 stadi**



# Approfondimento decoder

Voglio un decoder per  $n$  ingressi, ma dispongo solo di decoder al massimo con  $n-p$  ingressi. E' supposto  $p \ll n$



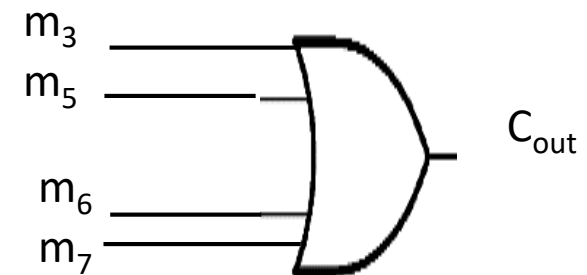
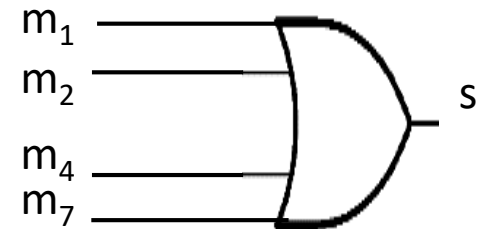
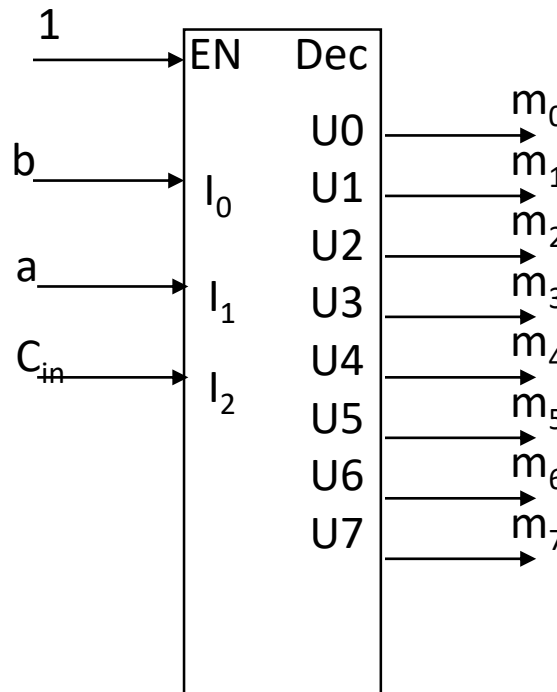
Uso un decoder a  $p$  ingressi con Enable pari ad 1 le cui uscite sono collegate al segnale di Enable di  $2^p$  decoder ad  $n-p$  ingressi. Sopra è riportato un esempio con  $p = 1$

# Approfondimento decoder

Dispongo di un decoder a n ingressi e di operatori or. Posso realizzare qualsiasi funzione logica ad n ingressi?

Sì, ricordando la forma canonica espressa come somma di prodotti e considerando che le uscite di un decoder corrispondono a dei mintermini. Vediamo come si applica al Full Adder

$C_{in}$	a	b	$C_{out}$	s
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



		cd			
		00	01	11	10
ab	00	0	0	0	0
	01	1	1	1	0
	11	0	1	1	1
	10	0	0	1	0

ef=00

		cd			
		00	01	11	10
ab	00	0	0	0	0
	01	0	1	0	1
	11	1	1	0	0
	10	1	1	0	1

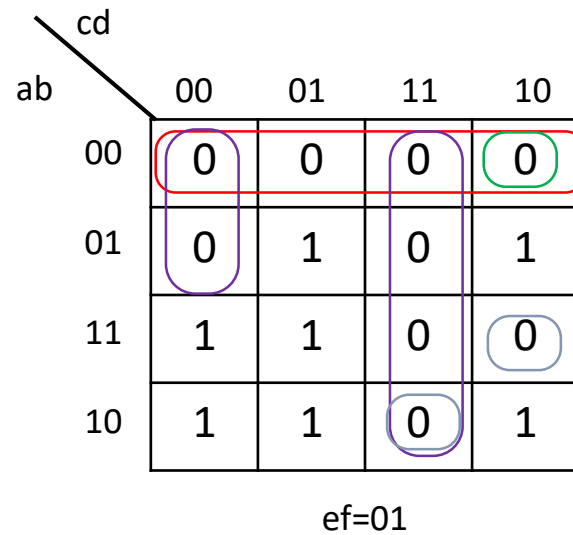
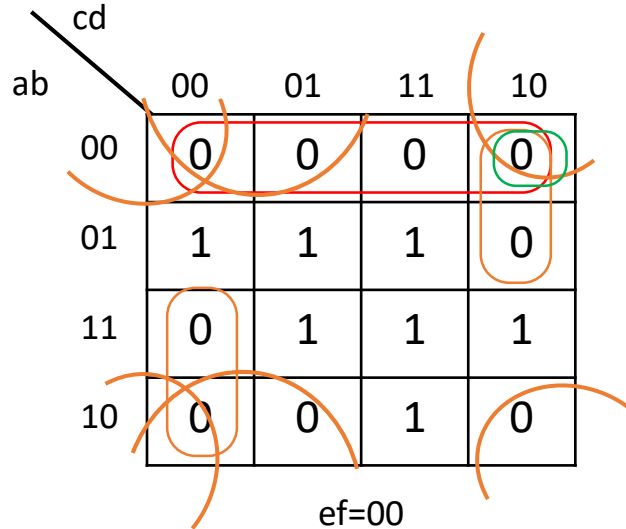
ef = 01


		ef=00			
		cd			
ab		00	01	11	10
	00	0	0	0	0
	01	0	0	0	0
	11	0	1	0	1
	10	0	0	1	0


ef=10


		ef = 01			
		cd			
ab		00	01	11	10
	00	1	1	1	0
	01	0	1	1	0
	11	1	1	1	0
	10	1	1	0	1


ef = 11





Single 

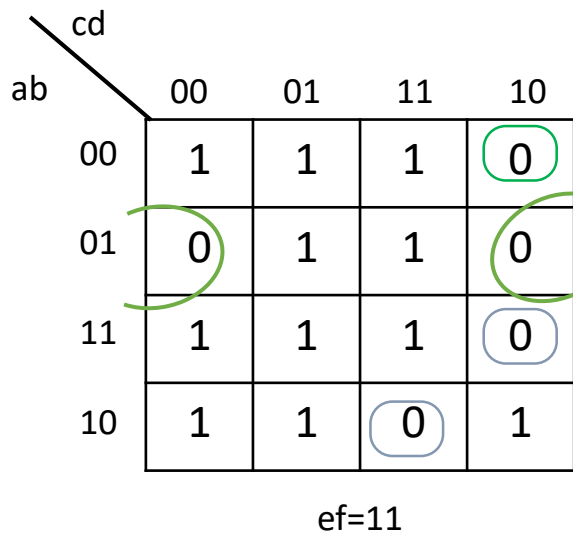
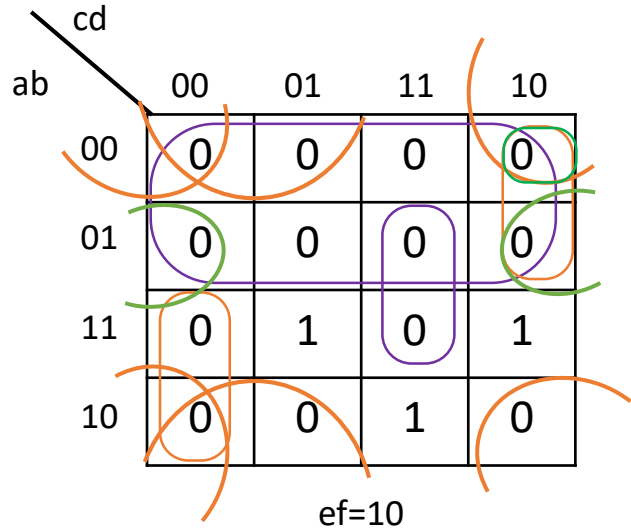
00 01 

00 10 

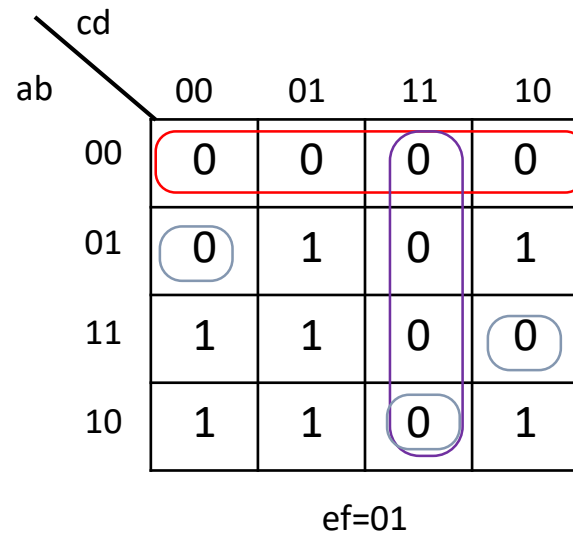
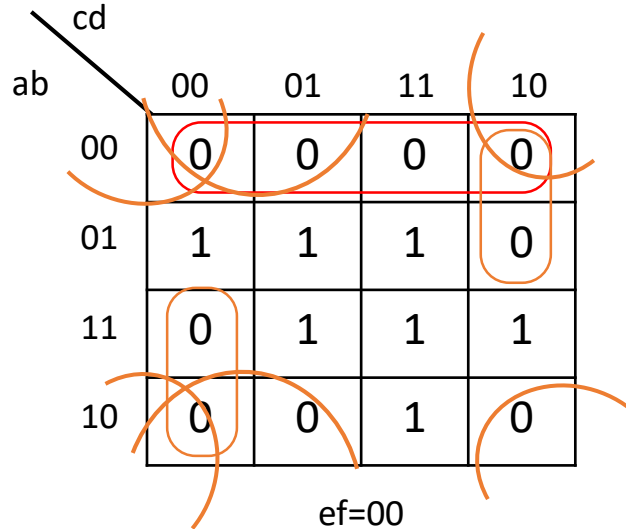
01 11 







11 10 

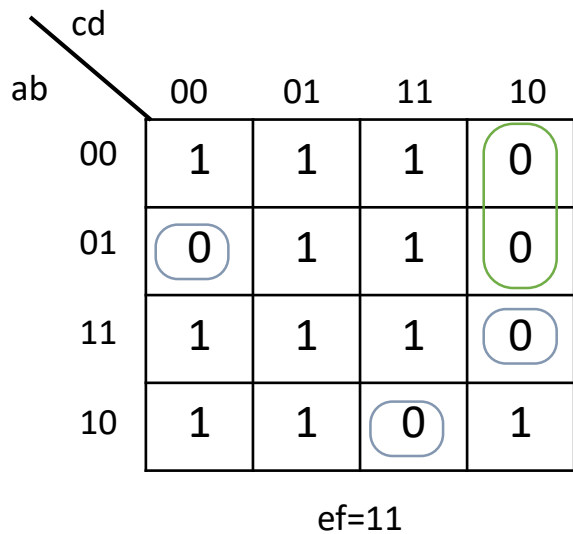
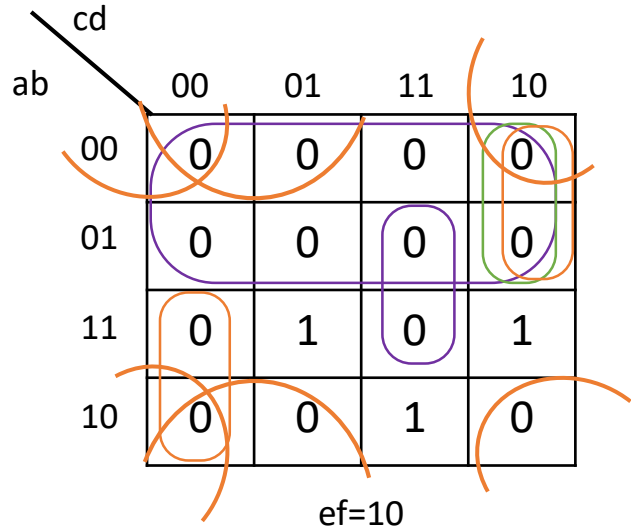
all 



$(b+d+f)(\bar{a}+c+d+f)(b+c+f)(a+\bar{c}+d+f)(a+b+e)(a+b+\bar{c}+d)(a+c+d+e+\bar{f})(\bar{c}+\bar{d}+e+\bar{f}) + (\bar{a}+b+\bar{c}+\bar{d}+\bar{f})$   
 $(\bar{a}+\bar{b}+\bar{c}+d+\bar{f})(a+\bar{b}+d+\bar{e})(a+\bar{e}+f)(\bar{b}+\bar{c}+\bar{d}+\bar{e}+f)$  14 component 65 connessioni



Single   
 00 01   
 00 10   
 01 11   
 11 10   
 all 



$(b+d+f)(\bar{a}+c+d+f)(b+c+f)(a+\bar{c}+d+f)(a+b+e)(\bar{c}+\bar{d}+e+\bar{f})(\bar{a}+b+\bar{c}+\bar{d}+\bar{f})(a+\bar{b}+c+d+\bar{f})$   
 $(\bar{a}+\bar{b}+\bar{c}+d+\bar{f})(a+c+\bar{d}+e)(a+\bar{e}+f)(\bar{b}+\bar{c}+\bar{d}+\bar{e}+f)$  13 component 60 connessioni

		cd			
ab		00	01	11	10
	00	0	0	0	0
	01	1	1	1	0
	11	0	1	1	1
	10	0	0	1	0

ef=00

		cd			
ab		00	01	11	10
	00	0	0	0	0
	01	0	1	0	1
	11	1	1	0	0
	10	1	1	0	1




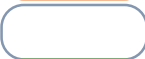


ef=01

		cd			
ab		00	01	11	10
	00	0	0	0	0
	01	0	0	0	0
	11	0	1	0	1
	10	0	0	1	0

ef=10

		cd			
ab		00	01	11	10
	00	1	1	1	0
	01	0	1	1	0
	11	1	1	1	0
	10	1	1	0	1

ef=11

Single	
00 01	
00 10	
01 11	
11 10	
all	

$\bar{a}\bar{b}\bar{c}\bar{e}\bar{f} + b\bar{c}\bar{e}\bar{f} + a\bar{b}\bar{c}d + a\bar{b}c\bar{d}\bar{f} + b\bar{c}d\bar{e} + \bar{a}b\bar{c}d\bar{e}\bar{f} + \bar{a}c\bar{f} + a\bar{b}d\bar{f} + \bar{b}\bar{c}ef + \bar{a}def + bdef$

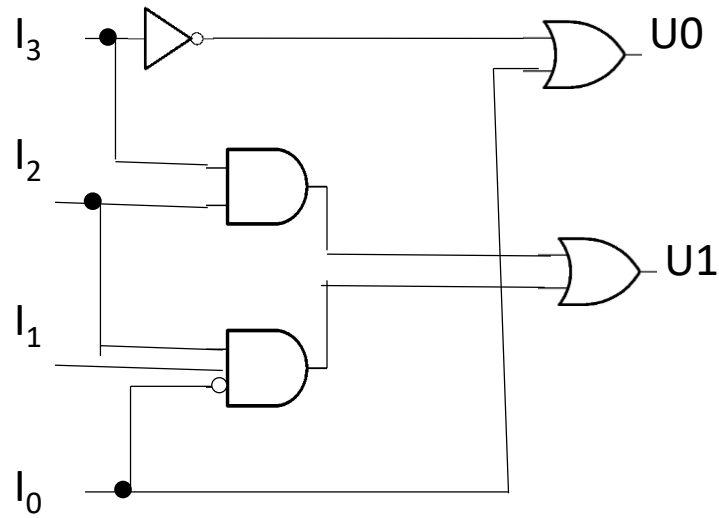
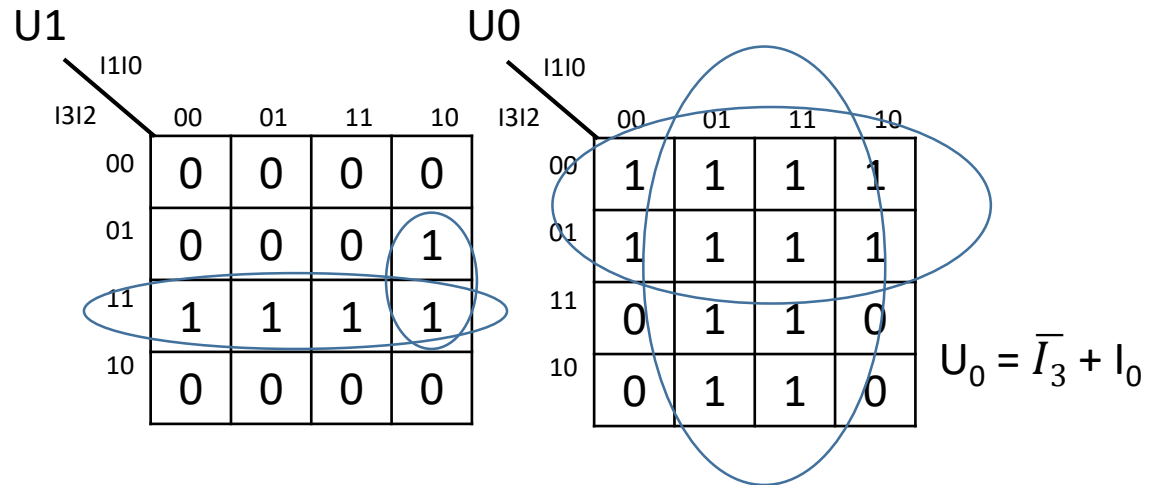
12 componenti 58 connessioni

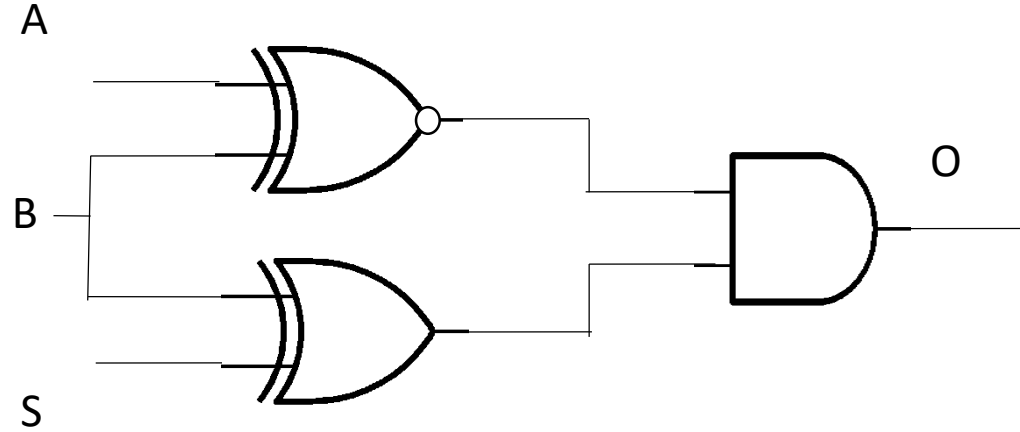


Progettare una rete a 4 ingressi  $I_{3..0}$  e 2 uscite  $U_1$  ed  $U_0$ ,  $U_0$  vale 1 se la configurazione degli ingressi è inferiore a 8 oppure se la configurazione degli ingressi è superiore a 8 e dispari. L'uscita  $U_1$  è pari ad  $I_3 I_2 (I_2 + I_1) + I_2 I_1 \bar{I}_0$ . Usare le mappe di Karnaugh per giungere ad una rete minima

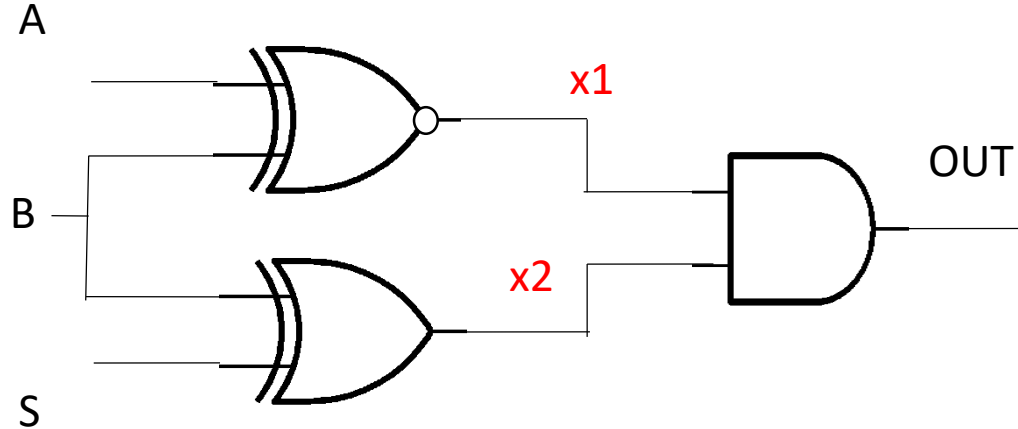
$$U_1 = I_3 I_2 (I_2 + I_1) + I_2 I_1 \bar{I}_0 = I_3 I_2 + I_2 I_1 \bar{I}_0.$$

$I_{3..0}$	U1	U0
0000	0	1
0001	0	1
0010	0	1
0011	0	1
0100	0	1
0101	0	1
0110	0	1
0111	1	1
1000	0	0
1001	0	1
1010	0	0
1011	0	1
1100	1	0
1101	1	1
1110	1	0
1111	1	1





Descrivere il funzionamento della rete sopra. In particolare provare ad immaginarla applicata ad operandi e/o risultati di una somma in complemento a 2.



$$x1 = AB + \bar{A}\bar{B} ; x2 = \bar{B}S + B\bar{S} ; OUT = (AB + \bar{A}\bar{B}) (\bar{B}S + B\bar{S}) =$$

$$AB\bar{B}S + ABB\bar{S} + \bar{A}\bar{B}\bar{B}S + \bar{A}\bar{B}B\bar{S} = AB\bar{S} + \bar{A}\bar{B}S$$

ABS	OUT
000	0
001	1
010	0
011	0
100	0
101	0
110	1
111	0

Qui ho già un prodotto di somme, posso procedere verso la tabella di verità in a seconda delle mie preferenze con (1)mappe (2) tabella di verità tramite valutazione (3) eseguendo i prodotti e tentando di semplificare. Qui si applica la strategia 3

La rete dà in uscita uno quando A e B sono uguali ed S è diverso. La rete potrebbe ad esempio identificare overflow nella somma in complemento a 2 se gli ingressi fossero i segni degli operandi ed S il segno del risultato

# Esercizi proposti

- Si disegni lo schema logico di un sommatore **SUM4** di numeri binari da 4 bit rappresentati in complemento a due realizzato con 4 Full Adder
- Si ridisegni **SUM4** in modo che funzioni anche da comparatore da 4 bit. Si deve quindi aggiungere un ingresso  $x$ , una uscita  $z$  e si deve opportunamente modificare il sommatore in modo da soddisfare la seguente specifica:
  - $x=0 \rightarrow$  la rete è un sommatore a 4 bit
  - $x=1 \rightarrow$  la rete è un comparatore da 4 bit
  - se i due operandi sono uguali e  $x=1$  allora  $z=1$
  - se  $x=0$  allora il valore di  $z$  è indifferente
- Si ridisegni **SUM4** in modo che funzioni anche da rete che calcola l'and bit a bit dei due operandi. Si deve quindi aggiungere un ingresso  $x$ , e si deve opportunamente modificare il sommatore con l'inserimento del minor numero possibile di componenti in modo da soddisfare la seguente specifica:
  - $x=0 \rightarrow$  la rete è un sommatore a 4 bit
  - $x=1 \rightarrow$  la rete genera l'and bit a bit dei due operandi
  - Su quali piedini troviamo il risultato nel caso in cui  $x=1$ ?

# Esercizi proposti

- In un sommatore da 4 bit utilizzato per sommare numeri con segno qual è l'informazione contenuta nel bit di OVERFLOW ( $\text{cin}_3 \text{ xor } \text{cout}_3$ )?
- Qual è la rappresentazione grafica di un MUX a due vie in uno schema logico?
- Qual è l'espressione logica della sua uscita?
- Qual è la mappa della sua uscita?
- La rete logica disegnata qui sotto rappresenta due decoder connessi "in cascata". DEC-2 è un decoder di due variabili, mentre DEC-3 è un decoder di 3 variabili. Entrambi i decoder hanno l'ingresso di enable EN.
  - Quali sono gli ingressi delle rete logica assegnata?
  - Quante sono le righe della sua tdv?
  - Quali sono le espressioni logiche dei due ingressi a e b dell'OR?
  - a è un mintermine delle variabili di ingresso della rete?
  - b è un mintermine delle variabili di ingresso della rete?
  - Si dica e si motivi infine se la rete assegnata è combinatoria o sequenziale

