

Nome e Cognome: _____
(IN STAMPATELLO MAIUSCOLO)

Codice Persona o Matricola: _____



**POLITECNICO
MILANO 1863**

RETI LOGICHE

Prof. William Fornaciari

Prof. Gianluca Palermo

Prof. Fabio Salice

Appello del 3 Luglio 2023

Prima di iniziare la prova si prega di leggere con attenzione i seguenti punti:

- Il tempo massimo a disposizione per svolgere la prova è di 1h:45min
- Non è permessa la consultazione di alcun materiale didattico durante lo svolgimento della prova. È severamente vietato colloquiare durante l'esame con i compagni di corso o utilizzare telefoni, PC, libri e appunti.
- In caso di necessità, il docente potrà richiedere lo svolgimento di una prova orale.
- Tutte le risposte devono essere riportate su questi fogli. Non saranno considerate valide le risposte fornite su fogli diversi da quelli contenuti in questo plico.
- Si segnali chiaramente sulla prima pagina il docente di riferimento
- Il punteggio degli esercizi è da considerarsi INDICATIVO
- LE PARTI SCRITTE IN FORMATO NON LEGGIBILE DAL DOCENTE SARANNO CONSIDERATE ERRATE IN FASE DI CORREZIONE

NOTA: Per un voto sufficiente sarà necessario avere almeno **7 punti** sul totale degli **Esercizi 1 e 2** e almeno **7 punti** sul totale degli **Esercizi 4 e 5**

	Esercizio 1	Esercizio 2	Esercizio 3	Esercizio 4	Esercizio 5
PUNTI	7	7	4	7	7
Esame					
TOTALE					

Voto in 10/10 da passare

ESERCIZIO 1

Data la seguente espressione algebrica, $F(A, B, C, D) = BC' + ABD + ABC$, si svolgano i seguenti punti solo attraverso un processo algebrico.

3 (a) si ricavi la funzione $G=F'$ (complemento di F) senza semplificare F e si porti la funzione G come SOM ottimizzata, applicando solo un processo algebrico il cui primo passo è l'applicazione della legge di DeMorgan

3 (b) Si ottimizzi $F(A, B, C, D) = BC' + ABD + ABC$ sempre e solo utilizzando le regole dell'algebra Booleana

4 (c) si verifichi che il risultato ottenuto al punto (a) e al punto (b) siano corretti sapendo che due funzioni sono complementari se e solo se hanno intersezione nulla ($F_1 \text{ and } F_0 = 0$) è la loro unione è 1 ($F_1 \text{ or } F_2 = 1$). Si usino sempre e solo le regole dell'algebra Booleana

NOTA: Per garantire la validità di ogni risposta, è essenziale fornire una descrizione esplicita delle proprietà e/o teoremi dell'algebra Booleana che sono stati utilizzati per rispondere in ogni richiesta.

$$\begin{aligned} a) \quad & (BC' + ABD + ABC)' = (BC')' \cdot (ABD)' \cdot (ABC)' = \\ & = (\overline{B+C}) \cdot (A'+\overline{B}+\overline{D}) \cdot (A'+\overline{B}+\overline{C}) = \\ & = (\overline{B}+\overline{A}C+\overline{C}\overline{D}) (A'+\overline{B}+\overline{C}) = \\ & = B' + \overline{A}C \end{aligned}$$

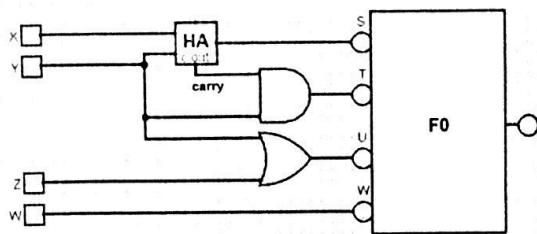
$$\begin{aligned} b) \quad & B(C' + AD + AC) = B(C' + AC + A + AD) = \text{consunse} \\ & = B(C' + A) = \text{Assorb.} \\ & = BC' + AB \end{aligned}$$

$$\begin{aligned} c) \quad 1) \quad & (\overline{B} + \overline{A}C)(BC' + AB) = \cancel{B} \cancel{BC'} + \cancel{B} \cancel{B'A} + \cancel{A} \cancel{BC'} + \cancel{A} \cancel{ACB} = 0 \\ & \underbrace{\overline{B} + \overline{A}B + A}_{\text{consunse}} \\ 2) \quad & \underbrace{\overline{B} + \overline{A}C + BC' + AB}_{\text{consunse}} = \overline{B} + \overline{A} + \overline{B} + \cancel{C} + \overline{A}C = \\ & = \overline{B} + \overline{A} + \underbrace{\overline{C} + \overline{A}C + \overline{A}}_{1} = \\ & = 1 \end{aligned}$$

ESERCIZIO 2

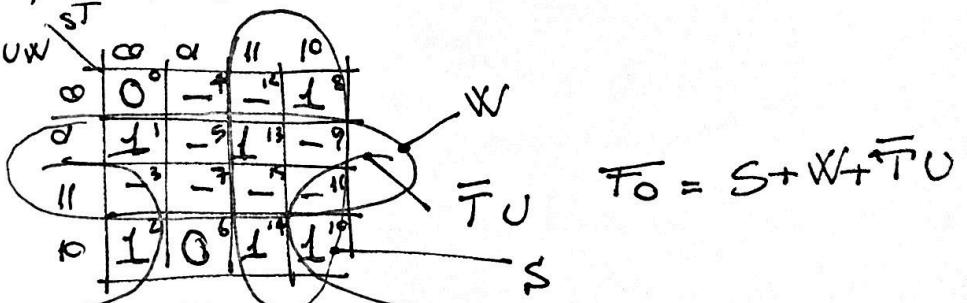
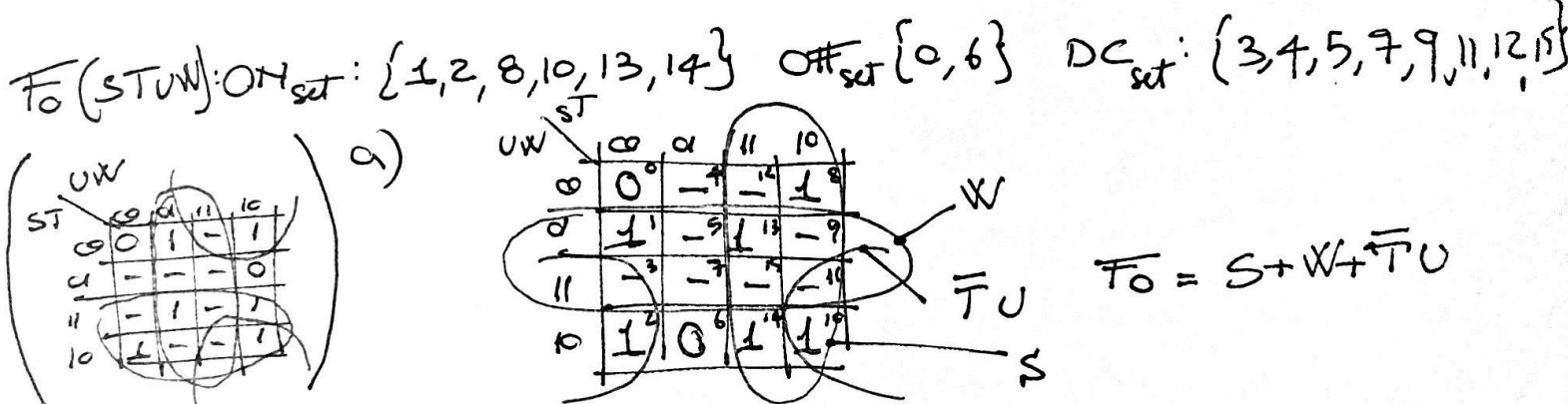
Data la rete combinatoria descritta in figura dove, HA è un Half Adder e

$$F_0(S, T, U, W) : \text{ONset}\{1, 2, 8, 10, 13, 14\}, \text{OFF}\{0, 6\}$$



- 2 (a) Sintetizzare $F_0(S, T, U, W)$ utilizzando una mappa di Karnaugh
- 4 (b) Identificare le condizioni di indifferenza di $F_0(S, T, U, W)$ rispetto agli ingressi primari (X, Y, Z, W), dovute quindi alla controllabilità (CDC).
- 2.5 (c) Applicare le condizioni di indifferenza alla funzione di partenza $F_0(S, T, U, W)$ e trovare, se esiste, la nuova funzione minima.
- 4.5 (d) Calcolare i costi in termini di letterali della funzione di partenza e calcolare quanto guadagno produce l'utilizzo delle condizioni di indifferenza (in %) e disegnare il circuito relativo alla funzione algebrica di costo minore.

NOTA: Per garantire la validità di ogni risposta e dell'esercizio nel suo insieme, è essenziale che ogni richiesta sia soddisfatta in modo chiaro e esaustivo.



$$\begin{aligned} U &= Z + Y \Rightarrow U = 0 \text{ quando } Z = Y = 0 \\ T &= \text{Carry} \cdot Y \Rightarrow \bar{T} = 1 \text{ quando } \text{Carry} \cdot Y = 1 \\ S &\text{ è bit di parità tra } X \text{ e } Y \end{aligned}$$

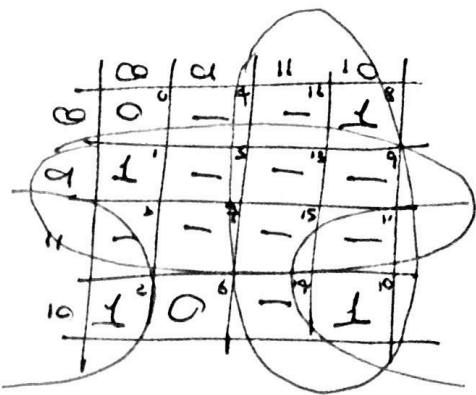
$$CDC : \{m_4, m_5, m_{12}, m_{13}, m_4, m_{15}\}$$

$$DC_{set} = DC_{set} \cup CDC =$$

$$\{3, 4, 5, 7, 9, 11, 12, 15\} \cup \{4, 5, 12, 13, 14, 15\}$$

$$= \{3, 4, 5, 7, 9, 11, 12, 13, 14, 15\}$$

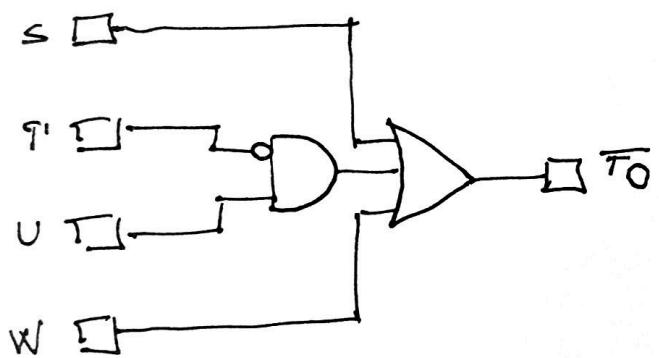
Nota: si aggiungono $m_{13} \subset m_{14}$



$$\overline{F}_0^N = S + \overline{W} + \overline{T}U$$

F_0 e \overline{F}_0^N sono identiche : non c'e' quaderno (0%)

c)



ESERCIZIO 3

Data la seguente specifica VHDL di una rete multilivello, svolgere i seguenti passi:

- 2 (a) si descriva la rete con il modello utilizzato per le reti multi livello, (ingressi e uscite primarie, nodi intermedi, e le connsioni tra nodi);
- 4 (b) avendo come obiettivo una implementazione su di una PAL con OR a 2 ingressi, si indichino esplicitamente e con chiarezza tutti i termini prodotto del piano AND, le espressioni relative al piano OR, e i nomi simbolici delle uscite che devono essere retroazionate. **La rete NON deve essere semplificata.** Ogni espressione algebrica può essere solo divisa in sotto espressioni per dover rispettare i vincoli imposti dalla architettura della PAL.
- 4 (c) Si disegni lo schema logico del dispositivo programmato. Lo studente può usare lo schema della pagina successiva per rappresentare le connessioni e retroazioni mancanti. Si indichino esplicitamente i nomi dei nodi relativi alle espressioni dei termini prodotti e dei termini somma.

```

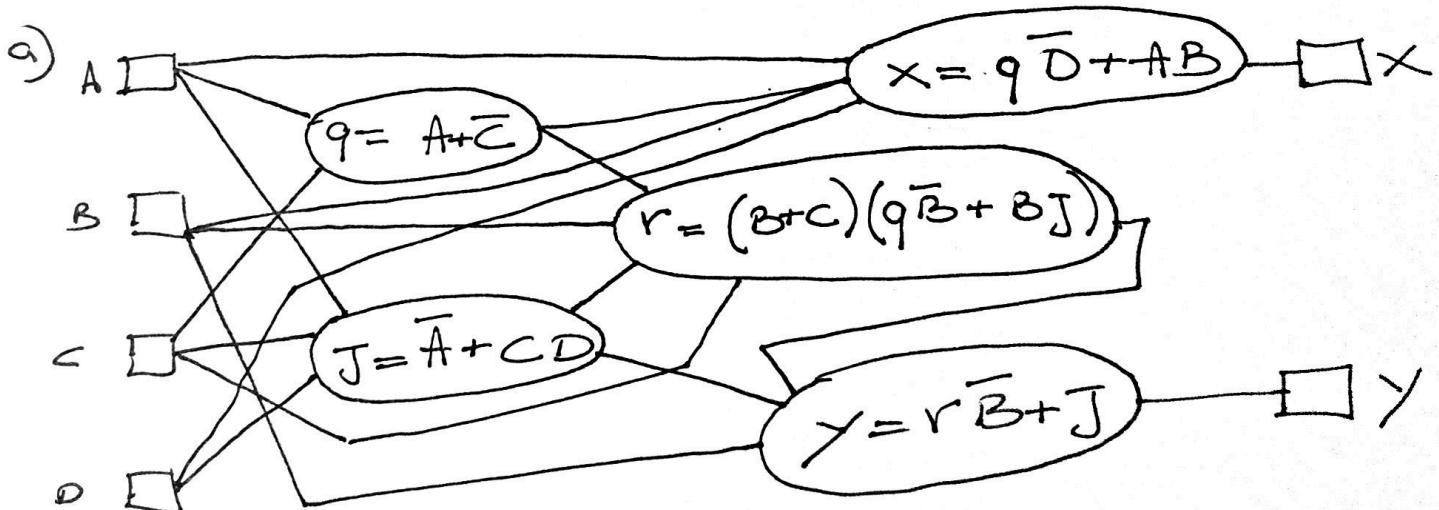
library ieee;
use ieee.std_logic_1164.all;
entity multi_level_PAL is
port( a, b, c, d : in std_logic;
      x, y : out std_logic; );
end entity;

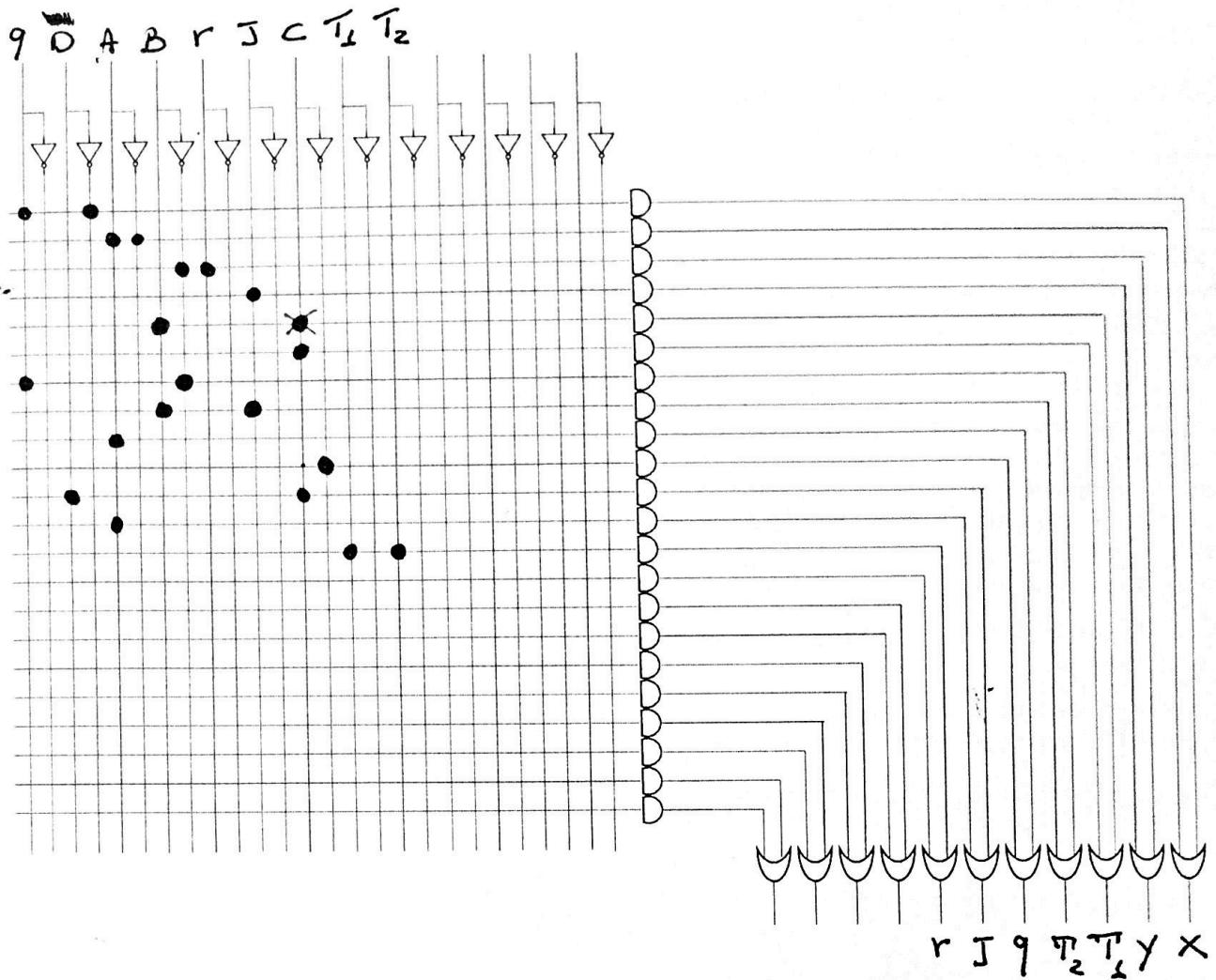
architecture rtl of multi_level_PAL is
signal q, j : std_logic;
begin
  x <= (q and (not d)) or (a and b);
  y <= (r and (not b)) or j;
  r <= (b or c) and (((q and (not b)) or (b and j)));
  q <= a or (not c);
  j <= (not a) or (c and d);
end rtl;

```

$$\begin{aligned}
 x &= q \bar{D} + AB \\
 y &= r \bar{B} + J \\
 r &= (B+C)(q \bar{B} + BJ) \\
 q &= A + \bar{C} \\
 J &= A + CD
 \end{aligned}$$

NOTA: Per garantire la validità di ogni risposta e dell'esercizio nel suo insieme, è essenziale che ogni richiesta sia soddisfatta in modo chiaro e esaustivo.





AND

1: $q \bar{D}$

2: $A B$

3: $r \bar{B}$

4: J

5: B

6: C

7: $q \bar{B}$

8: $B J$

9: A

10: C

11: $C D$

12: A

13: $T_1, T_2 (r)$

OR

X: $1+2$

Y: $3+4$

T_1 : $5+6$

T_2 : $7+8$

q: $9+10$

J: $11+12$

r: $13 (+0)$

ESERCIZIO 4

10

Si deve progettare (il risultato è il solo diagramma degli stati) una macchina a stati (Mealy) come descritto qui di seguito.

La macchina è dotata di un ingresso X e di una uscita Y, ciascuno da 1 bit. L'uscita Y va a 1 per un solo periodo di clock (poi torna a 0 dopo il riconoscimento), se e solo se è riconosciuta tra gli ultimi simboli ricevuti la sequenza $0(0)^+1(1)^+$ ($^+$: è un operatore unario che rappresenta la concatenazione di uno o più istanze, ≥ 1 , dei simboli rappresentati in parentesi). Cioè sull'ingresso X si presentano almeno due "0" consecutivi (per esempio due "0", tre "0", quattro "0") seguiti da un numero dispari di "1" con almeno tre "1" (per esempio, tre "1", cinque "1" etc.). In tutti gli altri casi l'uscita Y è pari a 0.

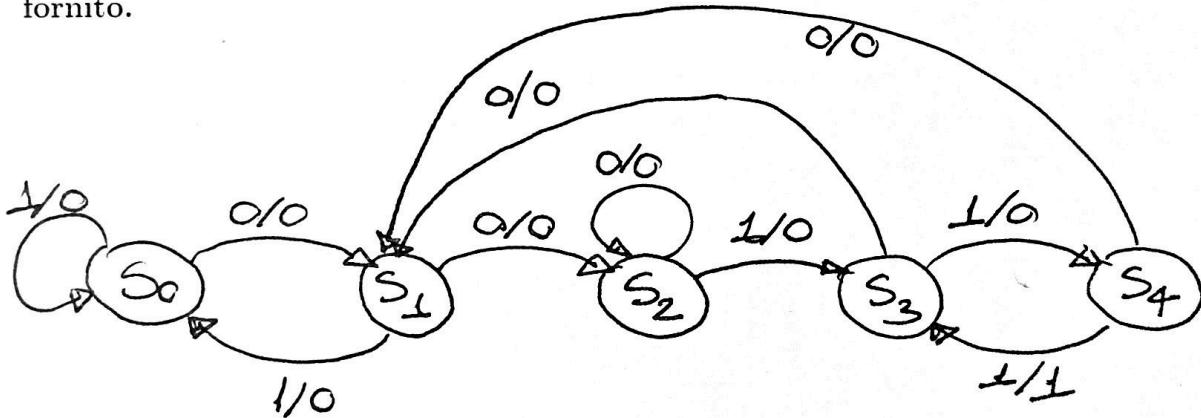
Si supponga che esista un segnale di reset (da non rappresentare) che porta la macchina in uno stato di iniziale (RST) nel quale viene persa qualsiasi memoria della sequenza di ingresso fino a quel momento ricevuta.

Si faccia attenzione che (i) la macchina ha un funzionamento ciclico, cioè dopo aver riconosciuto una sequenza continua nella identificazione, e che (ii) le sequenze possono essere sovrapposte.

Esempio:

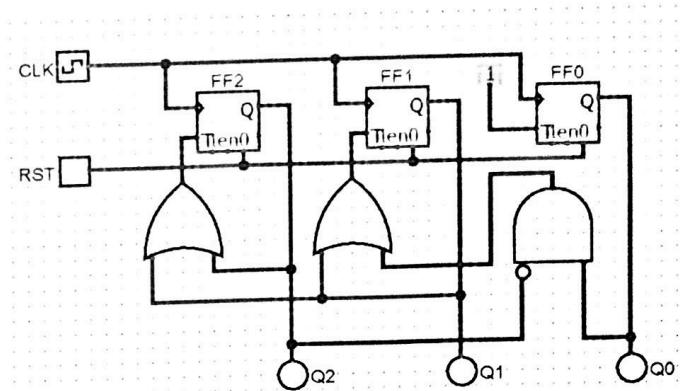
X: 1 0 1 0 0 0 0 1 1 1 1 1 0 0 1 1 1 1 0 1 1 1 0 0 0 1 1 1 1 1 1 ...
Y: 0 0 0 0 0 0 0 0 1 0 1 0 0 0 0 1 0 0 0 0 0 0 0 0 0 1 0 1 0 ...

NOTA: Per garantire la validità della risposta è essenziale fornire una descrizione chiara, pulita ed esplicita del risultato e di averne verificato la funzionalità almeno sull'esempio fornito.



ESERCIZIO 5

Sia dato il seguente schema che rappresenta un contatore realizzato con FF di tipo T.



Si richiede di:

- 5**
- Ricavare il ciclo di conteggio, compilando opportunamente la tabella sotto riportata e indicare il modulo del contatore (ovvero la durata del ciclo di conteggio) motivandone la risposta. Si supponga di partire da una condizione di reset in cui $Q_2 = Q_1 = Q_0 = 0$
 - Considerando il contatore ricavato al primo punto, si chiede di modificare opportunamente il circuito al fine di realizzare un contatore di modulo 3, composto dai soli primi 3 stati. Si illustrino le ipotesi fatte, il procedimento seguito e si disegni il circuito risultante.

4 (2 se
riprogetto)

NOTA: Per garantire la validità di ogni risposta e dell'esercizio nel suo insieme, è essenziale che ogni richiesta sia soddisfatta in modo chiaro e esaustivo. $T_0 = 1$

	Q_{2t}	Q_{1t}	Q_{0t}	Q_{2t+1}	Q_{1t+1}	Q_{0t+1}	T_2	T_1	T_0
s_0	0	0	0	0	0	1	0	0	1
s_1	0	0	1	0	1	0	0	1	1
s_2	0	1	0	1	0	1	1	1	1
s_3	0	1	1	1	0	0	1	1	1
s_4	1	0	0	0	0	1	1	0	1
s_5	1	0	1	0	0	0	1	1	1
s_6	1	1	0	0	0	1	1	1	1
s_7	1	1	1	0	0	0	1	1	1

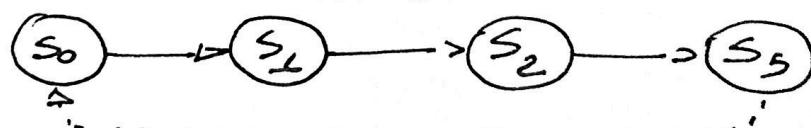
→ nuovo stato futuro

$$T_2 = Q_0 \bar{Q}_2 + Q_1$$

$$T_2 = Q_2 + Q_1$$

1)

RAGGIUNGIBILITÀ DA $s_0 = 000$



Ciclo di conteggio $101 \xrightarrow{000} 001 \xrightarrow{001} 010 \xrightarrow{010} 101$ Modulo 4

2) Modifica del circuito: RST quando identifico 101

