An Elastic and Scalable FPGA-based Accelerator for Bayesian Network Structure Learning (ベイジアンネットワーク構造学習のための可塑性と拡張性を備えたFPGAアクセラレータ)

- ▶ 計算機・通信技術の高性能化・低コスト化
- ▶ インターネットを介して膨大な量のデータが蓄積される (ビッグデータ)
- ▶ 機械学習を用いて既知のデータを学習し、未知のデータを予測したい!

ベイジアンネットワーク

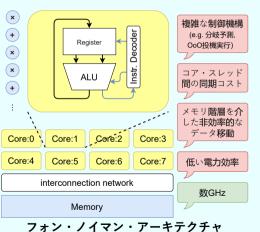
- ▶ 確率変数の条件付独立関係を DAG に符号化したモデル
- ▶ DAG の探索空間が膨大になるため、データから構造を学習することが難しい

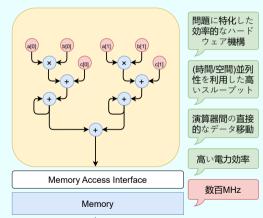


▶ 本研究の提案: 構造学習を FPGA を用いたデータフロー計算によって高速化する

準備: FPGA

- ▶ 任意の論理回路を繰り返し書き換えて実行できるデバイス
- 問題に特化したデータフロー・アーキテクチャによって…





FPGAによるデータフロー・アーキテクチャ

準備: ベイジアンネットワーク

- ▶ 離散確率変数間の 条件付き独立関係 を DAG に符号化した確率モデル
- ightharpoonup 確率変数 $\mathbf{V} = \{X_1, X_2, \cdots, X_n\}$ 上のベイジアンネットワークは以下で定義.
 - 各変数 X に対する親変数の集合 $\mathbf{Pa}_{\mathbf{Y}}^{\mathcal{G}}$ (つまり, DAG \mathcal{G} を規定)
 - 条件付き確率パラメータ集合 $\Theta = \{p(X \mid \mathbf{Pa}_{\mathbf{v}}^{\mathcal{G}})\}$ (条件付き確率テーブル)



Т	F			
0.3	0.7			
X5: 呼吸困難				
がん	Т	F		
Т	0.65	0.35		
F	0.30	0.70		

X3 : 肺 がん				
汚染	喫煙	Т	F	
Н	Т	0.05	0.95	
Н	F	0.02	0.98	
L	Т	0.03	0.97	
L	F	0.01	0.99	

- 確率変数の推論に利用(医療診断など)
 - 例えば, 喫煙習慣のある人 $(X_2 = T)$ が, 肺がんであるのにかかわらず $(X_3 = T)$, 胸部 X 線検査で見逃される $(X_4 = F)$ の確率: $p(X_4 = F \mid X_2 = T, X_3 = T)$

準備: ベイジアンネットワークの嬉しさ

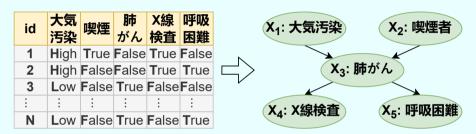
▶ ベイジアンネットワークは符号化された条件付き独立性を利用して、同時確率分布をコンパクトな条件付き確率の積に因数分解する.

$$p(X_1, X_2, \cdots, X_n) = \prod_{X \in \mathbf{V}} p(X \mid \mathbf{Pa}_X^{\mathcal{G}}).$$
 (1)

- ▶ (左辺)離散確率変数の同時確率分布を直接推定すると…
 - △ 組み合わせ爆発によって指数的な数のパラメータが必要
 - △ 各パラメータの妥当な推定値を得るために必要なサンプルのも膨大
- ▶ (右辺) 因数分解,各条件付き確率は非常に小さい変数集合の関係のみに注目
 - 少ないパラメータで記述可能
 - 比較的少数・疎なサンプル集合からも頑健な推定が可能
 - → ベイジアンネットワークは離散確率変数の同時確率分布の圧縮表現
- ▶ ただし、このような DAG/因数分解の候補の数は膨大…

|準備: ベイジアンネットワークの構造学習

ightharpoonup N 個のサンプルをもとに適切な m DAG 構造 $m {\it G}$ を推定



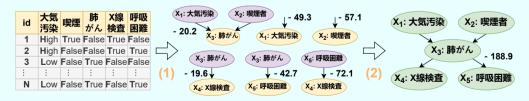
- ightharpoonup score-based: サンプル集合 f S からスコアを最大化する DAG m G を探索 \leftarrow target
 - 少ないデータからも優良な構造が得られる
 - △ NP 困難,組合せ爆発による膨大な時間・空間計算量が問題
- ▶ constraint-based: 条件付き独立性検定 (CI test) による
 - サンプル数の増加に伴って漸近的に真の条件付き独立構造を推定できる
 - △ 必要なサンプル数が膨大となる可能性が実験によって示唆

準備: ベイジアンネットワークの score-based 構造学習

▶ DAG 全体のスコアは局所スコア(Local Score, LS)に分解できる.

$$p(\mathbf{S} \mid \mathcal{G}) = \prod_{X \in \mathbf{V}} LS(X, \mathbf{Pa}_X^{\mathcal{G}}),$$
 (2)

- ▶ あらかじめ、局所スコアによって局所構造の候補を評価・メモ化しておくと…?
 - 異なる大域構造の探索において再利用できる
 - 有望でない候補を除いておくことで、大域構造の探索空間を小さくできる
- ▶ 結果として、構造学習は以下のように2ステップに分割できる.
 - (1) 親集合同定: 膨大な局所構造 (X, \mathbf{Pa}_X) を評価し、そのうち有望なものを抽出
 - (2) 大域構造学習: 有望な局所構造候補を組み合わせて, 大域構造を学習する



準備: 親集合同定

- ▶ 一般的に,すべての可能な局所構造を評価するのは難しいので,小さな正定数 m を定めて $|\mathbf{Pa}_X| \leq m$ なる局所構造のみ評価する
- ト これらの局所スコアの計算には $|\mathbf{X}| \le m+1$ となるような全ての確率変数集合 $\mathbf{X} \subseteq \mathbf{V}$ についての頻度表の構築が必要である.

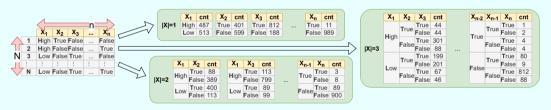


Figure: m=2 の場合の例. この場合, $|\mathbf{X}| \leq 3$ の頻度表の構築が必要となる

→ このような頻度表の構築が構造学習全体のボトルネックとなっている

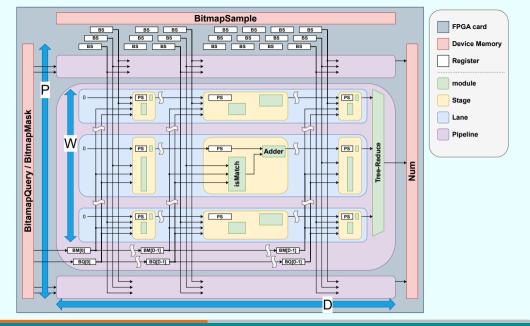
提案手法

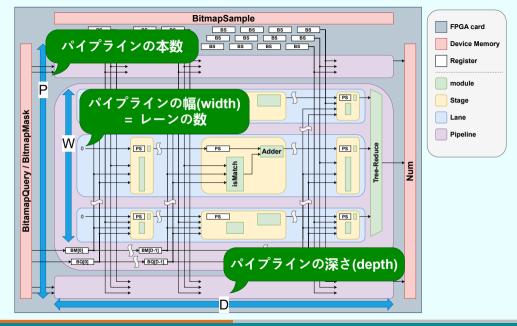
目的: 「 $|\mathbf{X}| \le m+1$ となる全ての確率変数集合 $\mathbf{X} \subseteq \mathbf{V}$ についての頻度表の構築」を高速化する

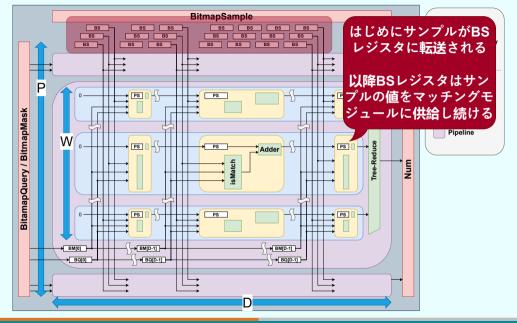
- ▶ 必要な頻度表およびセルの数は組み合わせ爆発的
- ▶ 十分な精度を得るためのサンプル数 N は比較的少数(数千から数万)

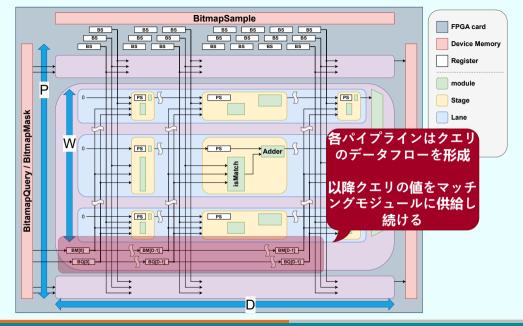
提案: データフロー計算に適した形に問題をシフト

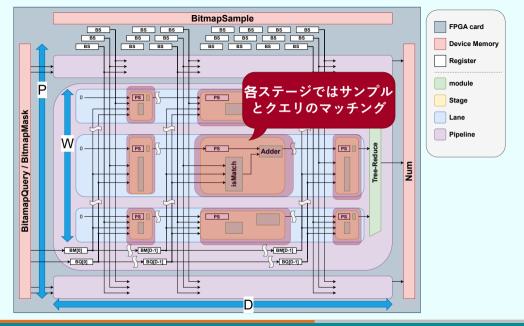
- ▶ 計算が必要な頻度表のセルごとにクエリを発行
- ▶ サンプルおよびサンプルとクエリのマッチングモジュールを展開
- ▶ マッチングモジュールの並列パイプラインにクエリのデータフローを形成
- \rightarrow サンプルの数 N による複雑さを抑制
- \rightarrow サンプルの数 N に比例する数のモジュールが用意できた場合,あるパターンを満たすサンプルの個数を定数クロックで数えることができる

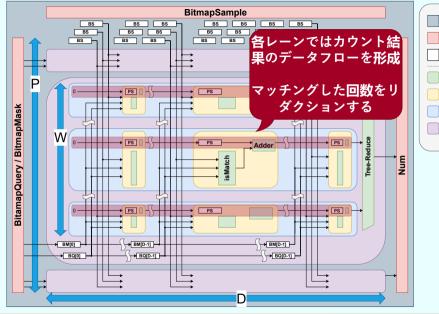












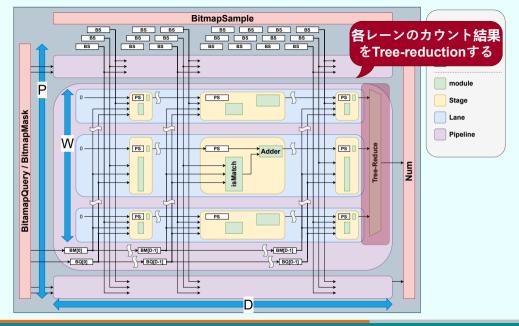
FPGA card

Register

Stage

Lane Pipeline

Device Memory



提案手法: Elasic Sample Filter

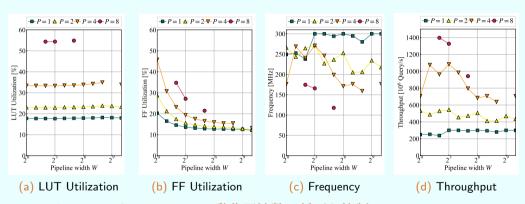
- ightharpoonup 各クエリはパイプラインを通過する間に、 $W \times D$ 個のサンプルとマッチング
- ▶ さらに、P個のクエリが並列に処理される
- ▶ ただし、高い並列度はリソース使用量および配置配線の複雑さとトレードオフ
 - マッチングモジュールや加算器は LUT を消費する
 - D が大きくなるとパイプラインレジスタが FF を消費する
 - サンプルのレジスタは P のファンアウトを持つ
 - クエリのレジスタは W のファンアウトを持つ

これらが,動作周波数の低下を招く可能性がある

→ 並列度構成を**可塑的に**制御することで高い並列度と動作周波数を両立できる

評価: ESFの設計空間探索

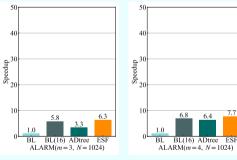
▶ Xilinx Alveo U50 / Vitis 2020.2 / 高位合成 (C++) / $W \times D = N = 1000$

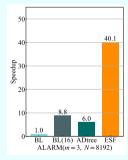


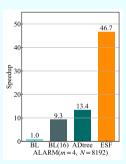
- ightarrow D によって W をバランスして動作周波数の低下を抑制
- → 最も高い性能を引き出す構成を同定

評価: ESFの性能比較

- ▶ 37 変数 / 親変数数の上限 *m* / サンプル数 *N*
- ▶ ベースライン手法、マルチスレッド実装、ADtree、ESF がすべての局所スコア を求める時間を比較。







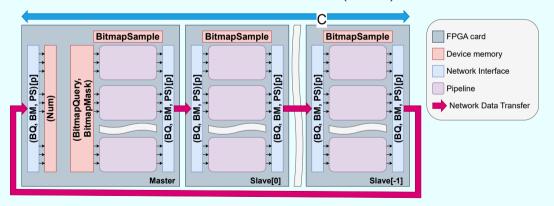
- (e) m = 3, N = 1024 (f) m = 4, N = 1024 (g) m = 3, N = 8192

- (h) m = 4, N = 8192

 \rightarrow サンプル数 N による複雑さを抑制できていることを実証

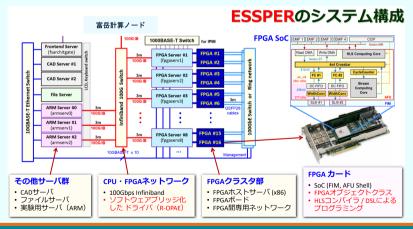
提案手法: ESSF (Elastic Scalable Sample Filter)

- ▶ 基本アイデア: ESF を直列に接続、データフローを一つに統合
- ▶ C 枚の ESF を直列にリング型のトポロジーで接続
- → 複数 FPGA カードを用いてより性能を向上できる (拡張性)



富岳 FPGA クラスタ ESSPER

- ▶ 高性能計算のための柔軟かつスケーラブルな FPGA クラスタの試作システム
- ▶ FPGA サーバ 8 台, それぞれに Intel FPGA PAC D5005 が 2 枚搭載
- ▶ D5005 は Intel Stratex 10 SX280 FPGA が搭載



評価: 富岳 FPGA クラスタ ESSPER での帯域幅のモデリング

- ▶ FPGA カード同士は専用ネットワークによって任意のトポロジーで接続可能
- ▶ FPGA はネットワークとの接点にクレジットベースのフロー制御機構を搭載
- ▶ ネットワーク帯域幅(256-bit@390MHz = 100Gbps)の 96%程度が利用可
- ightharpoonup ESSF はデータの bit 幅 w, 動作周波数 f とすると、必要な帯域幅は

$$(2 \times w + 32) \times P \times f[Mbps].(4) \tag{3}$$

- ▶ → 実用的に支障のない制約で、ほぼストールなく稼働できる.
 - w = 64, f = 200 だと, $P \le 3$ が必要
 - w = 64, f = 300 だと, $P \le 2$ が必要
 - w = 64, f = 400 だと, $P \le 1$ が必要

宮城 竜大 21/22

ベイジアンネットワークのスコアベース構造学習におけるボトルネックとなる親集合 同定を高速化

- ▶ データフロー計算に適した形に問題をシフトし、それを体現する FPGA ベース のアクセラレータ Elastic Sample Filter (ESF) を提案
- ▶ 提案する ESF の設計空間探索により、最も高い性能を導く設計指針を同定
- ト マルチスレッドベースライン手法に対して最大 $5.0\times$, ADtree に対して最大 $6.7\times$ の高速化を達成
- ▶ さらにスケーラビリティを備えた Elastic Scalable Sample Filter (ESSF) を提案

Future Work

► ESSPER での大規模実験評価

Thank you for your attention.

有望な局所構造とは

- ▶ 最適な構造に絶対に現れない局所構造は存在する
- ▶ 例えば,

$$\mathbf{Pa}_X \subseteq \mathbf{Pa}_X'$$

かつ

$$LS(X, \mathbf{Pa}_X) > LS(X, \mathbf{Pa}_X')$$

なる変数 X の親集合候補 \mathbf{Pa}_X , \mathbf{Pa}_X' があるとき,局所構造 (X,\mathbf{Pa}_X') を局所構造 (X,\mathbf{Pa}_X) に置き換えることで,巡回を作らずに全体のスコアを大きくすることができる.これにより,変数 X の親集合の候補から \mathbf{Pa}_x' を除くことができる.

▶ 有望の定義は他にも考えうる

局所スコアの性質

ightharpoonup 変数集合 $X \sqcup \mathbf{Pa}_X$ による頻度表から $\mathrm{LS}(X,\mathbf{Pa}_X)$ が計算できる

Case:0 $\{X_2, X_3\}$ の観測が X_1 の予測に寄与しない \cdots スコア低 \searrow Case:1 $\{X_2, X_3\}$ の観測が X_1 の予測に寄与する \cdots スコア高 \nearrow

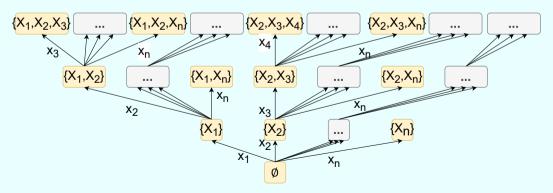


▶ 有望な局所構造を取りこぼさないために、できるだけ大きなmまで計算できることが望ましい

頻度表の構築 (ADtree)

all-dimensions tree, ADtree

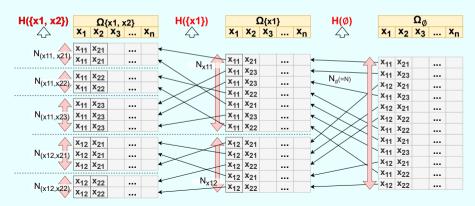
- ▶ ノード \mathbf{X} は $\forall X_i \in \mathbf{X}, j > i$ を満たすノード $\mathbf{X} \sqcup X_j$ へのエッジをもつ(\emptyset が根).
- ノード X は Ω(X) の分割表を持つ.
- ト そのため,m+1 の深さまでの ADtree を構築すれば,親変数数が m 以下の局所 スコアをすべて求められる.



頻度表の構築 (ADtree)

all-dimensions tree, ADtree

- ▶ ADtree は根からエッジに沿って、サンプルをバケットソートのように割り振っていくことで、効率的に構築することができる.
- lackbox 変数集合 f X の分割表の構築は $X\in f X$ に対して $O(|X(\Omega)|N)$



頻度表の構築に関する競合手法との比較

- ▶ ベースライン手法 (サンプル全体を走査して、数え上げる)
 - Δ 変数集合 \mathbf{X} の分割表の構築は $O(|\mathbf{X}(\Omega)|N)$
 - 容易に並列化可能

ADtree

- \bigcirc 変数集合 \mathbf{X} の分割表の構築は $X \in \mathbf{X}$ に対して $O(|X(\Omega)|N)$
- Δ 親集合の大きさに制限があるとき、ADtree は十分に深くならない (すなわち、 $|\mathbf{X}(\Omega)|$ が $|X(\Omega)|$ になることによる計算量の削減は小さい)
- △ ランダムアクセスとデータの依存性から並列化が困難
- ▶ ESF (サンプルの個数に比例するモジュールを用意できる場合)
 - \odot 変数集合 \mathbf{X} の分割表の構築は $O(|\mathbf{X}(\Omega)|)$