

计算机考研系列书课包

玩转操作系统



主讲人

刘财政

第四讲 内存管理

【大显身手】

1. 【南京理工大学 2017】请求分页管理系统中，页面大小为1KB，采用固定分配局部置换策略。访存一次时间为50ns，访快表一次的时间为10ns，处理一次缺页的平均时间为50ms(已包括更新TLB和页表的时间)。设快表初始为空，快表未命中时，忽略快表的更新时间。系统为某进程分配3个页框，其页表如表所示。设该进程有逻辑地址访问序列256H, D65H, AB7H, 456H, 6B7H，若采用CLOCK置换算法（查询被置换页的指针初始在0号页，查找顺序按表由上至下）。

页号	页框号	访问位
0	6	1
1	7	0
2	4	0

(1)请问遵循上述地址访问序列，访问虚地址256H, D65H, 6B7H各需多少时间？

【解析】 (1)页面大小为1 KB，占10位，256H = 0010 0101 0110对应的页号为0，0号页在页表中，不在快表中，则需时间10ns+50ns+50ns=110(ns)；

- ❑ 快表+内存
- ❑ 快表 + 页表 + 内存
- ❑ 快表 + 页表 + 中断 + 快表 + 内存

1. 【南京理工大学 2017】请求分页管理系统中，页面大小为1KB，采用固定分配局部置换策略。访存一次时间为50ns，访快表一次的时间为10ns，处理一次缺页的平均时间为50ms(已包括更新TLB和页表的时间)。设快表初始为空，快表未命中时，忽略快表的更新时间。系统为某进程分配3个页框，其页表如表所示。设该进程有逻辑地址访问序列256H, D65H, AB7H, 456H, 6B7H, 若采用CLOCK置换算法（查询被置换页的指针初始在0号页，查找顺序按表由上至下）。

页号	页框号	访问位
0	6	1
1	7	0
2	4	0

(1)请问遵循上述地址访问序列，访问虚地址256H, D65H, 6B7H各需多少时间？

【解析】 (1)页面大小为1 KB，占10位，D65H=1101 0110 0101对应的页号为3，3号页不在页表中，也不在快表中，则需时间为10ns+50ns+50ms+10ns+50ns=50000120(ns)；

- ❑ 快表+内存
- ❑ 快表 + 页表 + 内存
- ❑ 快表 + 页表 + 中断 + 快表 + 内存

1. 【南京理工大学 2017】请求分页管理系统中，页面大小为1KB，采用固定分配局部置换策略。访存一次时间为50ns，访快表一次的时间为10ns，处理一次缺页的平均时间为50ms(已包括更新TLB和页表的时间)。设快表初始为空，快表未命中时，忽略快表的更新时间。系统为某进程分配3个页框，其页表如表所示。设该进程有逻辑地址访问序列256H, D65H, AB7H, 456H, 6B7H，若采用CLOCK置换算法（查询被置换页的指针初始在0号页，查找顺序按表由上至下）。

页号	页框号	访问位
0	6	1
1	7	0
2	4	0

(1)请问遵循上述地址访问序列，访问虚地址256H, D65H, 6B7H各需多少时间？

【解析】 (1)页面大小为1 KB，占10位，6B7H=0110 1011 0111B对应的页号为1，1号页在页表中，不在快表中，则需时间为10ns+50ns+50ns=110(ns)。

- ❑ 快表+内存
- ❑ 快表 + 页表 + 内存
- ❑ 快表 + 页表 + 中断 + 快表 + 内存

1. 【南京理工大学 2017】请求分页管理系统中，页面大小为1KB，采用固定分配局部置换策略。访存一次时间为50ns，访快表一次的时间为10ns，处理一次缺页的平均时间为50ms(已包括更新TLB和页表的时间)。设快表初始为空，快表未命中时，忽略快表的更新时间。系统为某进程分配3个页框，其页表如表所示。设该进程有逻辑地址访问序列256H, D65H, AB7H, 456H, 6B7H，若采用CLOCK置换算法（查询被置换页的指针初始在0号页，查找顺序按表由上至下）。

页号	页框号	访问位
0	6	1
1	7	0
2	4	0

(2)遵循题目中给出的地址访问序列，写出逻辑地址256H，D65H，456H对应的物理地址（十六进制表示）。

【解析】逻辑地址256H = 0010 0101 0110的页号为0，对应的块号为6，则物理地址为011010 0101 0110=1A56H；

1. 【南京理工大学 2017】请求分页管理系统中，页面大小为1KB，采用固定分配局部置换策略。访存一次时间为50ns，访快表一次的时间为10ns，处理一次缺页的平均时间为50ms(已包括更新TLB和页表的时间)。设快表初始为空，快表未命中时，忽略快表的更新时间。系统为某进程分配3个页框，其页表如表所示。设该进程有逻辑地址访问序列256H, D65H, AB7H, 456H, 6B7H，若采用CLOCK置换算法（查询被置换页的指针初始在0号页，查找顺序按表由上至下）。

页号	页框号	访问位
0	6	1
1	7	0
2	4	0

(2)遵循题目中给出的地址访问序列，写出逻辑地址256H, D65H, 456H对应的物理地址（十六进制表示）。

【解析】逻辑地址D65H=1101 0110 0101对应的页号为3，淘汰1号页，将3号页替换1号页，3号页对应的块号为7，则物理地址为011101 0110 0101=1D65H；

1. 【南京理工大学 2017】请求分页管理系统中，页面大小为1KB，采用固定分配局部置换策略。访存一次时间为50ns，访快表一次的时间为10ns，处理一次缺页的平均时间为50ms(已包括更新TLB和页表的时间)。设快表初始为空，快表未命中时，忽略快表的更新时间。系统为某进程分配3个页框，其页表如表所示。设该进程有逻辑地址访问序列256H, D65H, AB7H, 456H, 6B7H，若采用CLOCK置换算法（查询被置换页的指针初始在0号页，查找顺序按表由上至下）。

页号	页框号	访问位
0	6	1
1	7	0
2	4	0

(2)遵循题目中给出的地址访问序列，写出逻辑地址256H, D65H, 456H对应的物理地址（十六进制表示）。

【解析】逻辑地址456H = 0100 0101 0110对应的页号为1，1号页不在内存，2号页淘汰，将1号页替换2号页，则1号页对应的块号为4，则物理地址为010000 0101 0110=1056H。

2. 【南京工业大学 2013】请求分页管理系统中，假设某进程的页表内容如表所示。

页号	页框号	访问位
0	2C8H	1
1	-	0
2	3A5H	0

- ❑ 快表+内存
- ❑ 快表 + 页表 + 内存
- ❑ 快表 + 页表 + 中断
+ 快表 + 内存

页面大小为4 KB，一次内存的访问时间是60ns，一次快表(TLB)的访问时间是10ns，处理一次缺页的平均时间为2000ns(已含更新TLB和页表的时间)。进程的驻留集大小固定为2，采用最近最久未使用页面置换算法(LRU)和局部淘汰策略，假设

- ①TLB初始为空
- ②地址转换时先访问TLB，若TLB未命中，再访问页表（忽略访问页表之后的TLB更新时间）
- ③有效位为0表示页面不在内存，产生缺页中断，缺页中断后已获得新调入页所在的页框号，无须再访问页表或快表，

设有虚地址访问序列23E2H， 1566H， 2CB7H。请问：

(1)依次访问上述三个虚地址，各需多少时间？给出计算过程。

【解析】(1)页面大小为4KB，占12位，23E2H = 0010 0011 1110 0010的页号为2，2号页不在快表中，在页表中，则需要时间为10ns+60ns+60ns=130(ns);

2. 【南京工业大学 2013】请求分页管理系统中，假设某进程的页表内容如表所示。

页号	页框号	访问位
0	2C8H	1
1	-	0
2	3A5H	0

页面大小为4 KB，一次内存的访问时间是60ns，一次快表(TLB)的访问时间是10ns，处理一次缺页的平均时间为2000ns(已含更新TLB和页表的时间)。进程的驻留集大小固定为2，采用最近最久未使用页面置换算法(LRU)和局部淘汰策略，假设

- ①TLB初始为空
- ②地址转换时先访问TLB，若TLB未命中，再访问页表（忽略访问页表之后的TLB更新时间）
- ③有效位为0表示页面不在内存，产生缺页中断，缺页中断后已获得新调入页所在的页框号，无须再访问页表或快表，

设有虚地址访问序列23E2H，1566H，2CB7H。请问：

(1)依次访问上述三个虚地址，各需多少时间？给出计算过程。

【解析】(1)页面大小为4KB，占12位，1566H = 0001 0101 0110 0110的页号为1，1号页不在内存中，则需要时间为10ns+60ns+2000ns+60ns=2130(ns)

- ❑ 快表+内存
- ❑ 快表 + 页表 + 内存
- ❑ 快表 + 页表 + 中断
+ 快表 + 内存

2. 【南京工业大学 2013】请求分页管理系统中，假设某进程的页表内容如表所示。

页号	页框号	访问位
0	2C8H	1
1	-	0
2	3A5H	0

页面大小为4 KB，一次内存的访问时间是60ns，一次快表(TLB)的访问时间是10ns，处理一次缺页的平均时间为2000ns(已含更新TLB和页表的时间)。进程的驻留集大小固定为2，采用最近最久未使用页面置换算法(LRU)和局部淘汰策略，假设

- ①TLB初始为空
- ②地址转换时先访问TLB，若TLB未命中，再访问页表（忽略访问页表之后的TLB更新时间）
- ③有效位为0表示页面不在内存，产生缺页中断，缺页中断后已获得新调入页所在的页框号，无须再访问页表或快表，

设有虚地址访问序列23E2H，1566H，2CB7H。请问：

(1)依次访问上述三个虚地址，各需多少时间？给出计算过程。

【解析】(1)页面大小为4KB，占12位，2CB7H = 0010 1100 1011 0111的页号也为2，2号页在快表中，也在页表中，则时间为10ns+60ns=70(ns)。

- ❑ 快表+内存
- ❑ 快表 + 页表 + 内存
- ❑ 快表 + 页表 + 中断
+ 快表 + 内存

2. 【南京工业大学 2013】请求分页管理系统中，假设某进程的页表内容如表所示。

页号	页框号	访问位
0	2C8H	1
1	-	0
2	3A5H	0

页号	页框号	访问位
0	-	0
1	2C8H	1
2	3A5H	0

页面大小为4 KB，一次内存的访问时间是60ns，一次快表(TLB)的访问时间是10ns，处理一次缺页的平均时间为2000ns(已含更新TLB和页表的时间)。进程的驻留集大小固定为2，采用最近最久未使用页面置换算法(LRU)和局部淘汰策略，假设

①TLB初始为空

②地址转换时先访问TLB，若TLB未命中，再访问页表（忽略访问页表之后的TLB更新时间）

③有效位为0表示页面不在内存，产生缺页中断，缺页中断后已获得新调入页所在的页框号，无须再访问页表或快表，

设有虚地址访问序列23E2H，1566H，2CB7H。请问：

(2)基于上述访问序列，虚地址1566H的物理地址是多少？请说明理由。

【解析】采用最近最久未使用页面置换算法，0001 0101 0110 0110的页号为1，1号页不在内存中，则淘汰0号页，将1号页调入内存，此时1号页的地址为2C8H，则虚地址1566H的物理地址是2C8566H。

3. 页式存储管理允许用户的编程空间为32个页面（每页1KB），主存为16 KB。如有一用户程序有10页长，且某时刻该用户程序页表如表所示。若分别遇到三个逻辑地址0AC5H, 1AC5H, 3AC5H的操作，试计算并说明存储管理系统将如何处理。

逻辑页号	物理块号
0	8
1	7
2	4
3	10

【解析】 页面大小为1KB，所以低10位为页内偏移地址；用户编程空间为32个页面，即逻辑地址高5位为虚页号；主存为16个页面，即物理地址高4位为物理块号。

3. 页式存储管理允许用户的编程空间为32个页面（每页1KB），主存为16 KB。如有一用户程序有10页长，且某时刻该用户程序页表如表所示。若分别遇到三个逻辑地址0AC5H，1AC5H，3AC5H的操作，试计算并说明存储管理系统将如何处理。

逻辑页号	物理块号
0	8
1	7
2	4
3	10

【解析】

□ 逻辑地址0AC5H转换为二进制为000101011000101B，虚页号为2(00010B)，映射至物理块号4，故系统访问物理地址12C5H(01001011000101B)。

3. 页式存储管理允许用户的编程空间为32个页面（每页1KB），主存为16 KB。如有一用户程序有10页长，且某时刻该用户程序页表如表所示。若分别遇到三个逻辑地址0AC5H，1AC5H，3AC5H的操作，试计算并说明存储管理系统将如何处理。

逻辑页号	物理块号
0	8
1	7
2	4
3	10

【解析】

□ 逻辑地址1AC5H转换为二进制为001101011000101B，虚页号为6(00110B)，不在页面映射表中，会产生缺页中断，系统进行缺页中断处理。

3. 页式存储管理允许用户的编程空间为32个页面（每页1KB），主存为16 KB。如有一用户程序有10页长，且某时刻该用户程序页表如表所示。若分别遇到三个逻辑地址0AC5H，1AC5H，3AC5H的操作，试计算并说明存储管理系统将如何处理。

逻辑页号	物理块号
0	8
1	7
2	4
3	10

【解析】

- 逻辑地址3AC5H转换为二进制为011101011000101B，虚页号为14，而该用户程序只有10页，故系统产生越界中断。

4、有一个虚拟存储系统，物理内存共有3页，其中一页用来存放程序，其余两页用于存放数据。假设程序已在内存中占一页，其余两页空闲，且矩阵是行优先存储。

程序A:

```
for(i=0;i<100;i++)  
    for(j=0;j<100;j++)  
        A[i,j] =0;
```

按行访问

程序B:

```
for(j=0;j<100;j++)  
    for(i=0;i<100;i++)  
        A[i, j] =0;
```

按列访问

若每页可存放200个整数，程序A和程序B的执行过程各会发生多少次缺页？若每页只能存放100个整数，程序A和程序B的执行过程各会发生多少次缺页？以上说明了什么问题？

【解析】由题意可知，数组a有 $100 \times 100 = 10000$ （个）整数，系统中共有2个内存页用于存放数组信息，数组中的元素按行编址。若每页能够存放200个整数，则1个内存页中能够存放2行数组元素，

4、有一个虚拟存储系统，物理内存共有3页，其中一页用来存放程序，其余两页用于存放数据。假设程序已在内存中占一页，其余两页空闲，且矩阵是行优先存储。

程序A：

```
for(i=0;i<100;i++)  
    for(j=0;j<100;j++)  
        A[i,j] =0;
```

按行访问

对于程序A，数组元素的访问顺序为

a[0][0],a[0][1],...,a[0][99]

a[1][0],a[1][1],...,a[1][99]

a[99][0], a[99][1],...a[99][99]

可见，程序A对数组a的访问顺序和存储顺序是一致的，也是按行进行的。因此程序A每访问2行数组将产生一次缺页中断，则访问整个数组将产生 $100/2=50$ (次)缺页中断。

4、有一个虚拟存储系统，物理内存共有3页，其中一页用来存放程序，其余两页用于存放数据。假设程序已在内存中占一页，其余两页空闲，且矩阵是行优先存储。

程序B:

```
for(j=0; j<100; j++)  
    for(i=0; i<100; i++)  
        A[i, j] = 0;
```

按列访问

对于程序B，数组元素的访问顺序为

a[0][0], a[1][0], ..., a[99][0]

a[0][1], a[1][1], ..., a[99][1]

a[0][99], a[1][99], ..., a[99][99]

可见，程序B对数组a的访问顺序和存储顺序不一致。因此程序B每访问2个元素将产生一次缺页中断，则访问整个数组将产生 $10000/2 = 5000$ (次)缺页中断。

4、有一个虚拟存储系统，物理内存共有3页，其中一页用来存放程序，其余两页用于存放数据。假设程序已在内存中占一页，其余两页空闲，且矩阵是行优先存储。

程序A：

```
for(i=0;i<100;i++)  
    for(j=0;j<100;j++)  
        A[i,j] =0;
```

按行访问

若每页只能存放100个整数，程序A和程序B的执行过程各会发生多少次缺页？以上说明了什么问题？

若每页只能存放100个整数，则一个内存页中只能存放1行数组元素。对于程序A，每访问1行数组元素将产生一次缺页中断，则访问整个数组将产生100次缺页中断；

4、有一个虚拟存储系统，物理内存共有3页，其中一页用来存放程序，其余两页用于存放数据。假设程序已在内存中占一页，其余两页空闲，且矩阵是行优先存储。

程序B：

```
for(j=0; j<100; j++)  
    for(i=0; i<100; i++)  
        A[i, j] = 0;
```

按列访问

若每页只能存放100个整数，程序A和程序B的执行过程各会发生多少次缺页？以上说明了什么问题？

对于程序B，每访问1行数组将产生一次缺页中断，则访问整个数组将产生10000次缺页中断。

以上情况说明，缺页中断的次数和数据存放方法及程序访问数据的方法有很大关系，当缺页次数较少时，减小页面对系统效率及程序的执行大小影响不大；当缺页次数很多时，页面的减小对系统效率及程序的执行会带来很大影响。

5. 某一个计算机系统采用虚拟页式存储管理方式，当前在处理器上执行的某一个进程的页表如表所示，所有的数字均为十进制，每一项的起始编号是0，并且所有的地址均按字节编址，每页的大小为1024 B。

逻辑页号	存在位	引用位	修改位	页框号
0	1	1	0	4
1	1	1	1	3
2	0	0	0	—
3	1	0	0	1
4	0	0	0	—
5	1	0	1	5

【解析】地址转换过程一般是先将逻辑页号取出，然后查找页表，得到页框号，再将页框号与页内偏移量相加，即可获得物理地址。若取不到页框号，那么该页不在内存，于是产生缺页中断，开始请求调页。若内存有足够的物理页面，那么可以再分配一个新的页面。若没有页面，则必须在现有的页面之中找到一页，将新的页与之置换，这个页可以是系统中的任意一页，也可以是本进程中的一页。

5. 某一个计算机系统采用虚拟页式存储管理方式，当前在处理器上执行的某一个进程的页表如表所示，所有的数字均为十进制，每一项的起始编号是0，并且所有的地址均按字节编址，每页的大小为1024 B。

逻辑页号	存在位	引用位	修改位	页框号
0	1	1	0	4
1	1	1	1	3
2	0	0	0	—
3	1	0	0	1
4	0	0	0	—
5	1	0	1	5

(1)将下列逻辑地址转换为物理地址，写出计算过程，对不能计算的说明其原因。

0793, 1197, 2099, 3320, 4188, 5332

(1)根据题意，每页大小为1024 B，地址又是按字节编址，计算逻辑地址的页号和页内偏移量。

□ 页号： $\text{int}(0793/1024)=0$ ，页内偏移： $0793\%1024=793$ ，页号0对应块号4，则物理地址为 $4\times1024+793=4889$ 。

5. 某一个计算机系统采用虚拟页式存储管理方式，当前在处理器上执行的某一个进程的页表如表所示，所有的数字均为十进制，每一项的起始编号是0，并且所有的地址均按字节编址，每页的大小为1024 B。

逻辑页号	存在位	引用位	修改位	页框号
0	1	1	0	4
1	1	1	1	3
2	0	0	0	—
3	1	0	0	1
4	0	0	0	—
5	1	0	1	5

(1)将下列逻辑地址转换为物理地址，写出计算过程，对不能计算的说明其原因。

0793, 1197, 2099, 3320, 4188, 5332

(1)根据题意，每页大小为1024 B，地址又是按字节编址，计算逻辑地址的页号和页内偏移量。

❑ 页号： $\text{int}(1197/1024)=1$ ，页内偏移： $1197\%1024=173$ ，页号1对应块号3，则物理地址为 $3\times1024+173=3245$ 。

5. 某一个计算机系统采用虚拟页式存储管理方式，当前在处理器上执行的某一个进程的页表如表所示，所有的数字均为十进制，每一项的起始编号是0，并且所有的地址均按字节编址，每页的大小为1024 B。

逻辑页号	存在位	引用位	修改位	页框号
0	1	1	0	4
1	1	1	1	3
2	0	0	0	—
3	1	0	0	1
4	0	0	0	—
5	1	0	1	5

(1)将下列逻辑地址转换为物理地址，写出计算过程，对不能计算的说明其原因。

0793, 1197, 2099, 3320, 4188, 5332

(1)根据题意，每页大小为1024 B，地址又是按字节编址，计算逻辑地址的页号和页内偏移量。

❑ 页号： $\text{int}(2099/1024)=2$ ，页内偏移： $2099\%1024=51$ ，页号2对应的块号不存在，发生缺页中断。

5. 某一个计算机系统采用虚拟页式存储管理方式，当前在处理器上执行的某一个进程的页表如表所示，所有的数字均为十进制，每一项的起始编号是0，并且所有的地址均按字节编址，每页的大小为1024 B。

逻辑页号	存在位	引用位	修改位	页框号
0	1	1	0	4
1	1	1	1	3
2	0	0	0	—
3	1	0	0	1
4	0	0	0	—
5	1	0	1	5

(1)将下列逻辑地址转换为物理地址，写出计算过程，对不能计算的说明其原因。

0793, 1197, 2099, 3320, 4188, 5332

(1)根据题意，每页大小为1024 B，地址又是按字节编址，计算逻辑地址的页号和页内偏移量。

▣ 页号： $\text{int}(3320/1024)=3$ ，页内偏移： $3320\%1024=248$ ，页号3对应块号1，则物理地址为 $1\times1024+248=1272$ 。

5. 某一个计算机系统采用虚拟页式存储管理方式，当前在处理器上执行的某一个进程的页表如表所示，所有的数字均为十进制，每一项的起始编号是0，并且所有的地址均按字节编址，每页的大小为1024 B。

逻辑页号	存在位	引用位	修改位	页框号
0	1	1	0	4
1	1	1	1	3
2	0	0	0	—
3	1	0	0	1
4	0	0	0	—
5	1	0	1	5

(1)将下列逻辑地址转换为物理地址，写出计算过程，对不能计算的说明其原因。

0793, 1197, 2099, 3320, 4188, 5332

(1)根据题意，每页大小为1024 B，地址又是按字节编址，计算逻辑地址的页号和页内偏移量。

❑ 页号： $\text{int}(4188/1024)=4$ ，页内偏移： $4188\%1024=92$ ，页号4对应的块号不存在，发生缺页中断。

5. 某一个计算机系统采用虚拟页式存储管理方式，当前在处理器上执行的某一个进程的页表如表所示，所有的数字均为十进制，每一项的起始编号是0，并且所有的地址均按字节编址，每页的大小为1024 B。

逻辑页号	存在位	引用位	修改位	页框号
0	1	1	0	4
1	1	1	1	3
2	0	0	0	—
3	1	0	0	1
4	0	0	0	—
5	1	0	1	5

(1)将下列逻辑地址转换为物理地址，写出计算过程，对不能计算的说明其原因。

0793, 1197, 2099, 3320, 4188, 5332

(1)根据题意，每页大小为1024 B，地址又是按字节编址，计算逻辑地址的页号和页内偏移量。

▣ 页号： $\text{int}(5332/1024)=5$ ，页内偏移： $5332\%1024=212$ ，页号5对应块号5，则物理地址为5332。

5. 某一个计算机系统采用虚拟页式存储管理方式，当前在处理器上执行的某一个进程的页表如表所示，所有的数字均为十进制，每一项的起始编号是0，并且所有的地址均按字节编址，每页的大小为1024 B。

逻辑页号	存在位	引用位	修改位	页框号
0	1	1	0	4
1	1	1	1	3
2	0	0	0	—
3	1	0	0	1
4	0	0	0	—
5	1	0	1	5

(2)假设程序欲访问第2页，页面置换算法为改进的CLOCK算法，请问该淘汰哪页？页表该如何修改？上述地址的转换结果是否改变？变成多少？

【解析】第2页不在内存，产生缺页中断，根据改进的CLOCK算法，第3页为没有引用和没有修改的页面，故淘汰。因为页面2调入是为了使用，所以页面2的引用位必须改为1。

逻辑页号	存在位	引用位	修改位	页框号
0	1	1	0	4
1	1	1	1	3
2	0	0	0	—
3	1	0	0	1
4	0	0	0	—
5	1	0	1	5

【解析】第2页不在内存，产生缺页中断，根据改进的CLOCK算法，第3页为没有引用和没有修改的页面，故淘汰。因为页面2调入是为了使用，所以页面2的引用位必须改为1。

逻辑页号	存在位	引用位	修改位	页框号
0	1	1	0	4
1	1	1	1	3
2	1	1	0	1
3	0	0	0	-
4	0	0	0	—
5	1	0	1	5

6. 设一进程共有5页，其中程序占3页，常数占1页，工作单元占1页，它们依次存放在外存的第45,46,98,99和100块。现在程序段已分配在内存的第7,10,19页，而常数区和工作区尚未获得内存，请回答下述问题：

(1)页表应包括哪些项目？填写此页表。

【解析】 (1)页表应该包含页号、内存块号、状态位、修改位、引用位、外存地址、存取控制和其他信息。页表如表所示：

页号	物理块号	状态位	外存块号
0	7	1	45
1	10	1	46
2	19	1	98
3	—	0	99
4	9	1	100

6. 设一进程共有5页，其中程序占3页，常数占1页，工作单元占1页，它们依次存放在外存的第45,46,98,99和100块。现在程序段已分配在内存的第7,10,19页，而常数区和工作区尚未获得内存，请回答下述问题：

(2)在运行过程中因需要使用常数而发生中断，假定此时内存无空闲页面，需要把第9页淘汰，操作系统应如何处理？页表又将发生什么变换？

(2)如果使用时因常数而发生中断，而内存中又无空闲页，将会发生页面替换，操作系统按照某种页面替换算法将内存中的某一页替换出去，如果该页已被修改，则需回写到磁盘。第9页将分配给常数使用，页表变化情况是第3页对应物理块9，如表所示。

页号	物理块号	状态位	外存块号
0	7	1	45
1	10	1	46
2	19	1	98
3	9	1	99
4	-	0	100

7. 【广东工业大学 2014】在分页存储管理系统中，存取一次内存的时间是8ns，查询一次快表的时间是1ns，缺页中断的时间是20ns。假设页表的查询与快表的查询同时进行，当查询页表时，如果该页在内存但快表中没有页表项，系统将自动把该页页表项送入快表。一个作业最多可保留3个页面在内存。现在开始执行一作业，系统连续对作业的2,4,5,2,7,6,4,8页面的数据进行一次存取，如分别采用FIFO算法和最优页面置换算法，对每种置换算法求：

(1)存取这些数据需要的总时间。

【解析】 (1)内存访问时间：8ns，查询一次快表的时间：1ns，缺页中断的时间：20ns，页表的查询与快表的查询同时进行。FIFO算法，如表所示。

页面序列	2	4	5	2	7	6	4	8
3个内存块	2	2	2	2	7	7	7	8
		4	4	4	4	6	6	6
			5	5	5	5	4	4
缺页标记	*	*	*		*	*	*	*

7. 【广东工业大学 2014】在分页存储管理系统中，存取一次内存的时间是 $8ns$ ，查询一次快表的时间是 $1ns$ ，缺页中断的时间是 $20ns$ 。假设页表的查询与快表的查询同时进行，当查询页表时，如果该页在内存但快表中没有页表项，系统将自动把该页页表项送入快表。一个作业最多可保留3个页面在内存。现在开始执行一作业，系统连续对作业的2,4,5,2,7,6,4,8页面的数据进行一次存取，如分别采用FIFO算法和最优页面置换算法，对每种置换算法求：

(1)存取这些数据需要的总时间。

【解析】 (1)内存访问时间： $8ns$ ，查询一次快表的时间： $1ns$ ，缺页中断的时间： $20ns$ ，页表的查询与快表的查询同时进行。

缺页中断所需时间为 $8ns+20ns+1ns+8ns=37(ns)$ ，

快表命中的时间 $1ns+8ns=9(ns)$ 。

快表不命中但页表命中的时间 $8ns+8ns=16(ns)$ 。

页面序列	2	4	5	2	7	6	4	8
3个内存块	2	2	2	2	7	7	7	8
		4	4	4	4	6	6	6
			5	5	5	5	4	4
缺页标记	*	*	*		*	*	*	*

- ❑ 快表+内存
- ❑ 快表 + 页表 + 内存
- ❑ 快表 + 页表 + 中断
+ 快表 + 内存

存取作业2用的时间为 $8ns+20ns+1ns+8ns=37(ns)$;

存取作业4用的时间为 $8ns+20ns+1ns+8ns=37(ns)$;

存取作业5用的时间为 $8ns+20ns+1ns+8ns=37(ns)$;

存取作业2用的时间为 $1ns+8ns=9(ns)$;

存取作业7用的时间为 $8ns+20ns+1ns+8ns=37(ns)$;

存取作业6用的时间为 $8ns+20ns+1ns+8ns=37(ns)$;

存取作业4用的时间为 $8ns+20ns+1ns+8ns=37(ns)$;

存取作业8用的时间为 $8ns+20ns+1ns+8ns=37(ns)$;

则存取这些数据需要的总时间为 $7\times 37ns+9ns=268(ns)$ 。

7. 【广东工业大学 2014】在分页存储管理系统中，存取一次内存的时间是8ns，查询一次快表的时间是1ns，缺页中断的时间是20ns。假设页表的查询与快表的查询同时进行，当查询页表时，如果该页在内存但快表中没有页表项，系统将自动把该页页表项送入快表。一个作业最多可保留3个页面在内存。现在开始执行一作业，系统连续对作业的2,4,5,2,7,6,4,8页面的数据进行一次存取，如分别采用FIFO算法和最优页面置换算法，对每种置换算法求：

(1)存取这些数据需要的总时间。

【解析】 (1)内存访问时间：8ns，查询一次快表的时间：1ns，缺页中断的时间：20ns，页表的查询与快表的查询同时进行。最优页面置换算法算法，如表所示。

页面序列	2	4	5	2	7	6	4	8
3个内存块	2	2	2	2	7	6	6	8
		4	4	4	4	4	4	4
			5	5	5	5	5	5
缺页标记	*	*	*		*	*		*

7. 【广东工业大学 2014】在分页存储管理系统中，存取一次内存的时间是 8ns ，查询一次快表的时间是 1ns ，缺页中断的时间是 20ns 。假设页表的查询与快表的查询同时进行，当查询页表时，如果该页在内存但快表中没有页表项，系统将自动把该页页表项送入快表。一个作业最多可保留3个页面在内存。现在开始执行一作业，系统连续对作业的2,4,5,2,7,6,4,8页面的数据进行一次存取，如分别采用FIFO算法和最优页面置换算法，对每种置换算法求：

(1)存取这些数据需要的总时间。

【解析】 (1)内存访问时间： 8ns ，查询一次快表的时间： 1ns ，缺页中断的时间： 20ns ，页表的查询与快表的查询同时进行。

缺页中断所需时间为 $8\text{ns}+20\text{ns}+1\text{ns}+8\text{ns}=37(\text{ns})$ ，

快表命中的时间 $1\text{ns}+8\text{ns}=9(\text{ns})$ 。

快表不命中但页表命中的时间 $8\text{ns}+8\text{ns}=16(\text{ns})$ 。

页面序列	2	4	5	2	7	6	4	8
3个内存块	2	2	2	2	7	6	6	8
		4	4	4	4	4	4	4
			5	5	5	5	5	5
缺页标记	*	*	*		*	*		*

- ❑ 快表+内存
- ❑ 快表 + 页表 + 内存
- ❑ 快表 + 页表 + 中断
+ 快表 + 内存

存取作业2用的时间为 $8ns+20ns+1ns+8ns=37(ns)$ ；

存取作业4用的时间为 $8ns+20ns+1ns+8ns=37(ns)$ ；

存取作业5用的时间为 $8ns+20ns+1ns+8ns=37(ns)$ ；

存取作业2用的时间为 $1ns+8ns=9(ns)$ ；

存取作业7用的时间为 $8ns+20ns+1ns+8ns=37(ns)$ ；

存取作业6用的时间为 $8ns+20ns+1ns+8ns=37(ns)$ ；

存取作业4用的时间为 $1ns+8ns=9(ns)$ ；

存取作业8用的时间为 $8ns+20ns+1ns+8ns=37(ns)$ ；

则存取这些数据需要的总时间为 $6\times 37ns+2\times 9ns=240(ns)$ 。

7. 【广东工业大学 2014】在分页存储管理系统中，存取一次内存的时间是8ns，查询一次快表的时间是1ns，缺页中断的时间是20ns。假设页表的查询与快表的查询同时进行，当查询页表时，如果该页在内存但快表中没有页表项，系统将自动把该页页表项送入快表。一个作业最多可保留3个页面在内存。现在开始执行一作业，系统连续对作业的2,4,5,2,7,6,4,8页面的数据进行一次存取，如分别采用FIFO算法和最优页面置换算法，对每种置换算法求：

(2)产生缺页中断的次数（包括初次调入）。

页面序列	2	4	5	2	7	6	4	8
3个内存块	2	2	2	2	7	7	7	8
		4	4	4	4	6	6	6
			5	5	5	5	4	4
缺页标记	*	*	*		*	*	*	*

FIFO算法：产生缺页中断的次数为7；

7. 【广东工业大学 2014】在分页存储管理系统中，存取一次内存的时间是8ns，查询一次快表的时间是1ns，缺页中断的时间是20ns。假设页表的查询与快表的查询同时进行，当查询页表时，如果该页在内存但快表中没有页表项，系统将自动把该页页表项送入快表。一个作业最多可保留3个页面在内存。现在开始执行一作业，系统连续对作业的2,4,5,2,7,6,4,8页面的数据进行一次存取，如分别采用FIFO算法和最优页面置换算法，对每种置换算法求：

(2)产生缺页中断的次数（包括初次调入）。

页面序列	2	4	5	2	7	6	4	8
3个内存块	2	2	2	2	7	6	6	8
		4	4	4	4	4	4	4
			5	5	5	5	5	5
缺页标记	*	*	*		*	*		*

最优页面置换算法：产生缺页中断的次数为6。

8. 【燕山大学 2012】在分页存储管理系统中，页面的大小为1KB，存取一次内存的时间是 $10\mu\text{s}$ ，查询一次快表的时间是 $1\mu\text{s}$ ，缺页中断的时间是 $1000\mu\text{s}$ 。现开始执行一作业，连续访问0E3F, 134F, 1720, 0E4A, 1E41, 1811, 136A, 0E10逻辑地址上的数据。假设：一个作业最多可保留3个页面在内存，页表的查询与快表的查询同时进行，快表容量足够大，当查询页表时，如果该页在内存但快表中没有页表项，系统将自动地把该页页表项送入快表。如分别采用FIFO和OPT(最优页面置换算法)，试求：

(1)这个作业依次访问了哪些逻辑页面？

【解析】 (1)页面的大小为1KB，占10位，
逻辑地址0E3F的页号为0000 11b=3；
逻辑地址134F的页号为000100b=4；
逻辑地址1720的页号为0001 01b=5；
逻辑地址0E4A的页号为0000 11b=3；

8. 【燕山大学 2012】在分页存储管理系统中，页面的大小为1KB，存取一次内存的时间是 $10\mu\text{s}$ ，查询一次快表的时间是 $1\mu\text{s}$ ，缺页中断的时间是 $1000\mu\text{s}$ 。现开始执行一作业，连续访问0E3F, 134F, 1720, 0E4A, 1E41, 1811, 136A, 0E10逻辑地址上的数据。假设：一个作业最多可保留3个页面在内存，页表的查询与快表的查询同时进行，快表容量足够大，当查询页表时，如果该页在内存但快表中没有页表项，系统将自动地把该页页表项送入快表。如分别采用FIFO和OPT(最优页面置换算法)，试求：

(1)这个作业依次访问了哪些逻辑页面？

【解析】 (1)页面的大小为1KB，占10位，

逻辑地址1E41的页号为0001 11b=7；

逻辑地址1811的页号为0001 10b=6；

逻辑地址13 6A的页号为0001 00b=4；

逻辑地址0E10的页号为0000 11b=3，

这个作业依次访问了3,4,5,3,7,6,4,3号逻辑页面。

8. 【燕山大学 2012】在分页存储管理系统中，页面的大小为1KB，存取一次内存的时间是10μs，查询一次快表的时间是1μs，缺页中断的时间是1000μs。现开始执行一作业，连续访问0E3F，134F，1720，0E4A，1E41，1811，136A，0E10逻辑地址上的数据。假设：一个作业最多可保留3个页面在内存，页表的查询与快表的查询同时进行，快表容量足够大，当查询页表时，如果该页在内存但快表中没有页表项，系统将自动地把该页页表项送入快表。如分别采用FIFO和OPT(最优页面置换算法)，试求：

(2)每种算法各发生几次缺页中断？

(2) FIFO算法，如表所示。

页面序列	3	4	5	3	7	6	4	3
3个内存块	3	3	3	3	7	7	7	3
		4	4	4	4	6	6	6
			5	5	5	5	4	4
缺页标记	*	*	*		*	*	*	*

FIFO算法发生了7次缺页中断。

8. 【燕山大学 2012】在分页存储管理系统中，页面的大小为1KB，存取一次内存的时间是10μs，查询一次快表的时间是1μs，缺页中断的时间是1000μs。现开始执行一作业，连续访问0E3F，134F，1720，0E4A，1E41，1811，136A，0E10逻辑地址上的数据。假设：一个作业最多可保留3个页面在内存，页表的查询与快表的查询同时进行，快表容量足够大，当查询页表时，如果该页在内存但快表中没有页表项，系统将自动地把该页页表项送入快表。如分别采用FIFO和OPT(最优页面置换算法)，试求：

(2)每种算法各发生几次缺页中断？

OPT(最优页面置换算法)

页面序列	3	4	5	3	7	6	4	3
3个内存块	3	3	3	3	3	3	3	3
		4	4	4	4	4	4	4
			5	5	7	6	6	6
缺页标记	*	*	*		*	*		

OPT算法发生了5次缺页中断。

8. 【燕山大学 2012】在分页存储管理系统中，页面的大小为1KB，存取一次内存的时间是 $10\mu\text{s}$ ，查询一次快表的时间是 $1\mu\text{s}$ ，缺页中断的时间是 $1000\mu\text{s}$ 。现开始执行一作业，连续访问0E3F, 134F, 1720, 0E4A, 1E41, 1811, 136A, 0E10逻辑地址上的数据。假设：一个作业最多可保留3个页面在内存，页表的查询与快表的查询同时进行，快表容量足够大，当查询页表时，如果该页在内存但快表中没有页表项，系统将自动地把该页页表项送入快表。如分别采用FIFO和OPT(最优页面置换算法)，试求：

(3)每种算法下，每次数据访问需要的时间？（需列式子）

8. 【燕山大学 2012】在分页存储管理系统中，页面的大小为1KB，存取一次内存的时间是 $10\mu\text{s}$ ，查询一次快表的时间是 $1\mu\text{s}$ ，缺页中断的时间是 $1000\mu\text{s}$ 。现开始执行一作业，连续访问0E3F, 134F, 1720, 0E4A, 1E41, 1811, 136A, 0E10逻辑地址上的数据。假设：一个作业最多可保留3个页面在内存，页表的查询与快表的查询同时进行，快表容量足够大，当查询页表时，如果该页在内存但快表中没有页表项，系统将自动地把该页页表项送入快表。如分别采用FIFO和OPT(最优页面置换算法)，试求：

(3)每种算法下，每次数据访问需要的时间？（需列式子）

- 缺页中断所需时间为 $10\mu\text{s} + 1000\mu\text{s} + 1\mu\text{s} + 10\mu\text{s} = 1021(\mu\text{s})$,
- 快表命中所需时间为 $1\mu\text{s} + 10\mu\text{s} = 11(\mu\text{s})$ 。
- 快表不命中，但页表命中的时间是 $10\mu\text{s} + 10\mu\text{s} = 20\mu\text{s}$

- 快表+内存
- 快表 + 页表 + 内存
- 快表 + 页表 + 中断
+ 快表 + 内存

FIFO算法，如表所示。

页面序列	3	4	5	3	7	6	4	3
3个内存块	3	3	3	3	7	7	7	3
		4	4	4	4	6	6	6
			5	5	5	5	4	4
缺页标记	*	*	*		*	*	*	*

- ❑ 访问逻辑地址0E3F的时间为 $10\mu\text{s}+1000\mu\text{s}+1\mu\text{s}+10\mu\text{s}=1021(\mu\text{s})$;
- ❑ 访问逻辑地址134F的时间为 $10\mu\text{s}+1000\mu\text{s}+1\mu\text{s}+10\mu\text{s}=1021(\mu\text{s})$;
- ❑ 访问逻辑地址1720的时间为 $10\mu\text{s}+1000\mu\text{s}+1\mu\text{s}+10\mu\text{s}=1021(\mu\text{s})$;
- ❑ 访问逻辑地址0E4A的时间为 $1\mu\text{s}+10\mu\text{s}=11(\mu\text{s})$;
- ❑ 访问逻辑地址1E41的时间为 $10\mu\text{s}+1000\mu\text{s}+1\mu\text{s}+10\mu\text{s}=1021(\mu\text{s})$;
- ❑ 访问逻辑地址1811的时间为 $10\mu\text{s}+1000\mu\text{s}+1\mu\text{s}+10\mu\text{s}=1021(\mu\text{s})$;
- ❑ 访问逻辑地址136A的时间为 $10\mu\text{s}+1000\mu\text{s}+1\mu\text{s}+10\mu\text{s}=1021(\mu\text{s})$;
- ❑ 访问逻辑地址0E10的时间为 $10\mu\text{s}+1000\mu\text{s}+1\mu\text{s}+10\mu\text{s}=1021(\mu\text{s})$ 。

OPT(最优页面置换算法)

页面序列	3	4	5	3	7	6	4	3
3个内存块	3	3	3	3	3	3	3	3
		4	4	4	4	4	4	4
			5	5	7	6	6	6
缺页标记	*	*	*		*	*		

- ❑ 访问逻辑地址0E3F的时间为 $10\mu\text{s} + 1000\mu\text{s} + 1\mu\text{s} + 10\mu\text{s} = 1021(\mu\text{s})$;
- ❑ 访问逻辑地址134F的时间为 $10\mu\text{s} + 1000\mu\text{s} + 1\mu\text{s} + 10\mu\text{s} = 1021(\mu\text{s})$;
- ❑ 访问逻辑地址1720的时间为 $10\mu\text{s} + 1000\mu\text{s} + 1\mu\text{s} + 10\mu\text{s} = 1021(\mu\text{s})$;
- ❑ 访问逻辑地址0E4A的时间为 $1\mu\text{s} + 10\mu\text{s} = 11(\mu\text{s})$;
- ❑ 访问逻辑地址1E41的时间为 $10\mu\text{s} + 1000\mu\text{s} + 1\mu\text{s} + 10\mu\text{s} = 1021(\mu\text{s})$;
- ❑ 访问逻辑地址1811的时间为 $10\mu\text{s} + 1000\mu\text{s} + 1\mu\text{s} + 10\mu\text{s} = 1021(\mu\text{s})$;
- ❑ 访问逻辑地址136A的时间为 $1\mu\text{s} + 10\mu\text{s} = 11(\mu\text{s})$;
- ❑ 访问逻辑地址0E10的时间为 $1\mu\text{s} + 10\mu\text{s} = 11(\mu\text{s})$ 。

9. 【西南大学 2018, 西北大学 2018】在一个采用页式虚拟存储管理的系统中, 有一用户作业, 它依次要访问的字地址序列是115,228,120,88,446,102,321,432,260,167, 若该作业的第0页已经装入主存, 现分配给该作业的主存共300字, 页的大小为100字, 请回答下列问题:

(1)现分配给该作业的主存为3, 按FIFO调度算法和LRU调度算法将分别产生多少次缺页中断, 缺页中断率为多少?

(1)页的大小为100字, 则

- 逻辑地址115对应的页号为 $\text{int}(115/100)=1$; 逻辑地址228对应的页号为 $\text{int}(228/100)=2$;
- 逻辑地址120对应的页号为 $\text{int}(120/100)=1$; 逻辑地址88对应的页号为 $\text{int}(88/100)=0$;
- 逻辑地址446对应的页号为 $\text{int}(446/100)=4$; 逻辑地址102对应的页号为 $\text{int}(102/100)=1$;
- 逻辑地址321对应的页号为 $\text{int}(321/100)=3$; 逻辑地址432对应的页号为 $\text{int}(432/100)=4$;
- 逻辑地址260对应的页号为 $\text{int}(260/100)=2$; 逻辑地址167对应的页号为 $\text{int}(167/100)=1$ 。

9. 【西南大学 2018, 西北大学 2018】在一个采用页式虚拟存储管理的系统中, 有一用户作业, 它依次要访问的字地址序列是115,228,120,88,446,102,321,432,260,167, 若该作业的第0页已经装入主存, 现分配给该作业的主存共300字, 页的大小为100字, 请回答下列问题:

(1)现分配给该作业的主存为3, 按FIFO调度算法和LRU调度算法将分别产生多少次缺页中断, 缺页中断率为多少?

(1)FIFO算法

页面序列	1	2	1	0	4	1	3	4	2	1
M=3	0	0	0	0	4	4	4	4	4	4
	1	1	1	1	1	1	3	3	3	3
		2	2	2	2	2	2	2	2	1
缺页标记	*	*			*		*			*

FIFO算法M=3产生了5次缺页中断, 缺页中断率为5/10。

9. 【西南大学 2018, 西北大学 2018】在一个采用页式虚拟存储管理的系统中, 有一用户作业, 它依次要访问的字地址序列是115,228,120,88,446,102,321,432,260,167, 若该作业的第0页已经装入主存, 现分配给该作业的主存共300字, 页的大小为100字, 请回答下列问题:

(1)现分配给该作业的主存为3, 按FIFO调度算法和LRU调度算法将分别产生多少次缺页中断, 缺页中断率为多少?

LRU调度算法:

页面序列	1	2	1	0	4	1	3	4	2	1
M=3	0	0	0	0	0	0	3	3	3	1
	1	1	1	1	1	1	1	1	2	2
		2	2	2	4	4	4	4	4	4
缺页标记	*	*			*		*		*	*

LRU算法M=3产生了6次缺页中断, 缺页中断率为6/10。

9. 【西南大学 2018, 西北大学 2018】在一个采用页式虚拟存储管理的系统中, 有一用户作业, 它依次要访问的字地址序列是115,228,120,88,446,102,321,432,260,167, 若该作业的第0页已经装入主存, 现分配给该作业的主存共300字, 页的大小为100字, 请回答下列问题:

(2)现分配给该作业的主存块为4, 按FIFO调度算法和LRU调度算法将分别产生多少次缺页中断, 缺页中断率为多少?

(1)FIFO算法

页面序列	1	2	1	0	4	1	3	4	2	1
M=4	0	0	0	0	0	0	3	3	3	3
	1	1	1	1	1	1	1	1	1	1
		2	2	2	2	2	2	2	2	2
					4	4	4	4	4	4
缺页标记	*	*			*		*			

FIFO算法M=4产生了4次缺页中断, 缺页中断率为4/10。

9. 【西南大学 2018, 西北大学 2018】在一个采用页式虚拟存储管理的系统中, 有一用户作业, 它依次要访问的字地址序列是115,228,120,88,446,102,321,432,260,167, 若该作业的第0页已经装入主存, 现分配给该作业的主存共300字, 页的大小为100字, 请回答下列问题:

(2)现分配给该作业的主存块为4, 按FIFO调度算法和LRU调度算法将分别产生多少次缺页中断, 缺页中断率为多少?

LRU调度算法:

页面序列	1	2	1	0	4	1	3	4	2	1
M=4	0	0	0	0	0	0	0	0	2	2
	1	1	1	1	1	1	1	1	1	1
		2	2	2	2	2	3	3	3	3
					4	4	4	4	4	4
缺页标记	*	*			*		*		*	

LRU算法M=4产生了5次缺页中断, 缺页中断率为5/10。

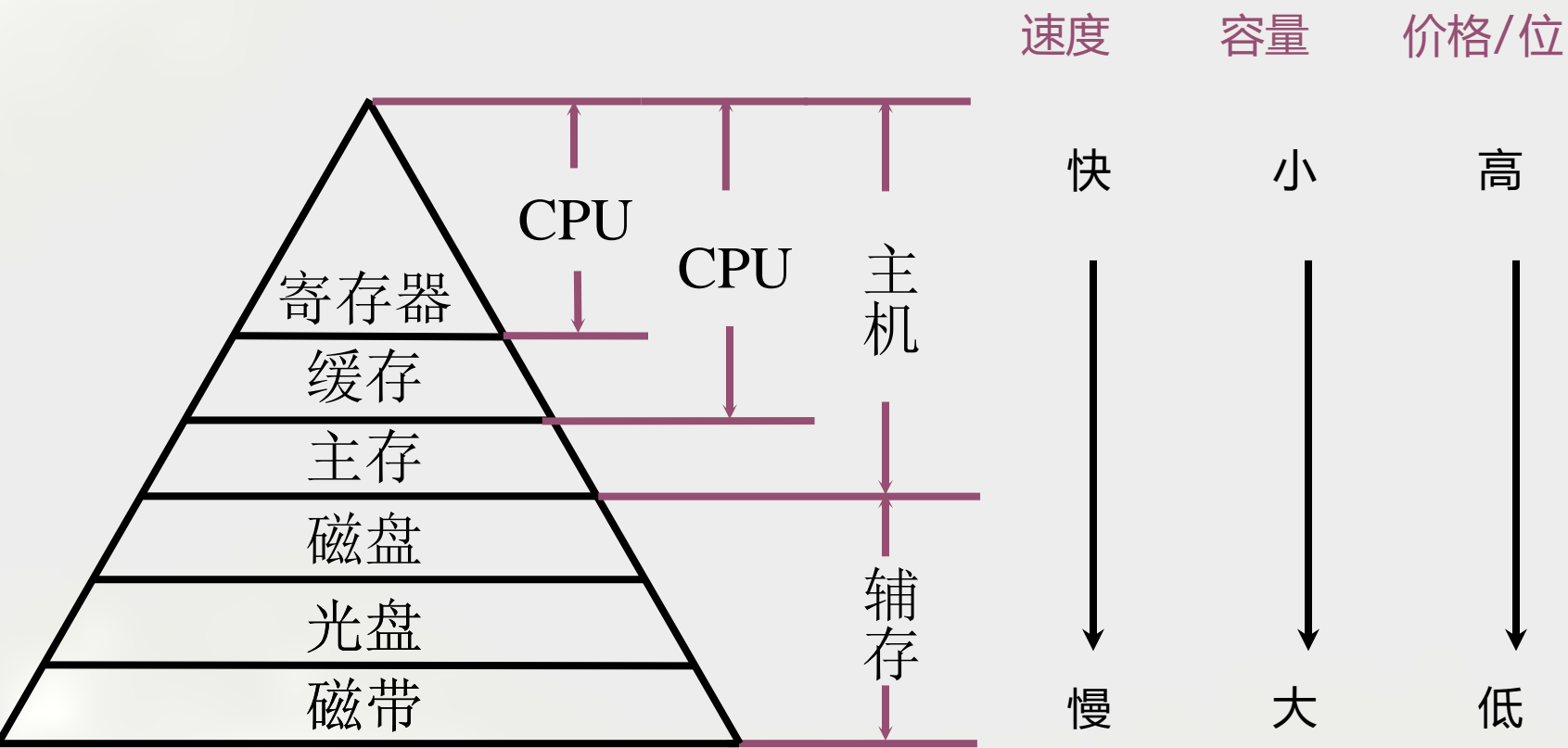
谢谢大家

考点五:

带快表的两级系统的地址翻译过程

考点五: 带快表的两级系统的地址翻译过程

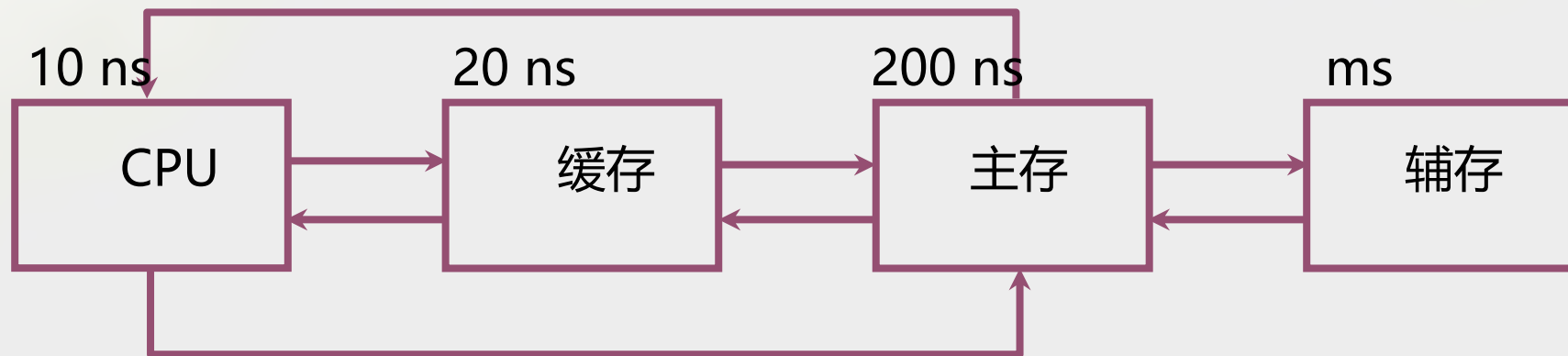
🕒 存储器三个主要特性的关系



考点五: 带快表的两级系统的地址翻译过程



存储器系统的两级架构



(速度)

(容量)

缓存 — 主存

主存 — 辅存

主存储器

虚拟存储器

实地址

虚地址

物理地址

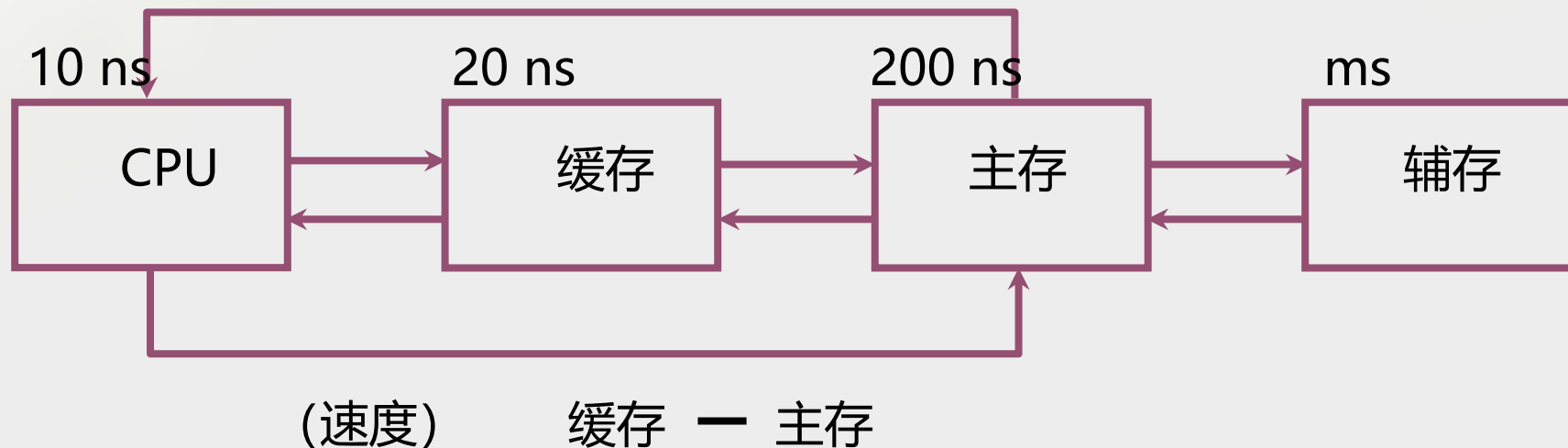
逻辑地址



考点五: 带快表的两级系统的地址翻译过程



存储器系统的两级架构

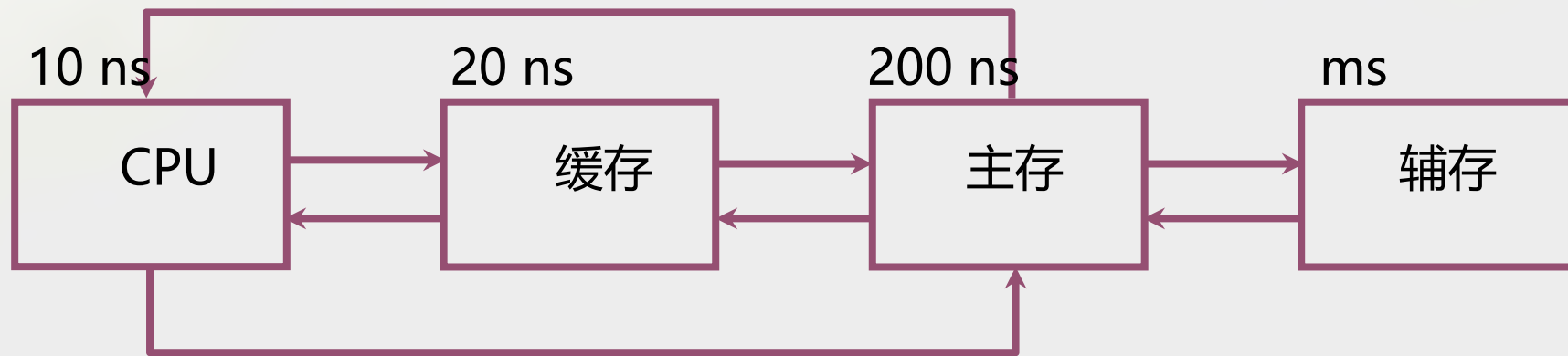


(1) **Cache - 主存层次**: 缓存-主存层次主要解决CPU 和主存**速度不匹配**的问题。由于缓存的速度比主存的速度高,只要将CPU近期要用的信息调入缓存,CPU便可以直接从缓存中获取信息,从而提高访存速度。通过**硬件**实现,对**用户透明**,旨在解决内存速度与CPU速度不匹配的问题。

考点五: 带快表的两级系统的地址翻译过程



存储器系统的两级架构

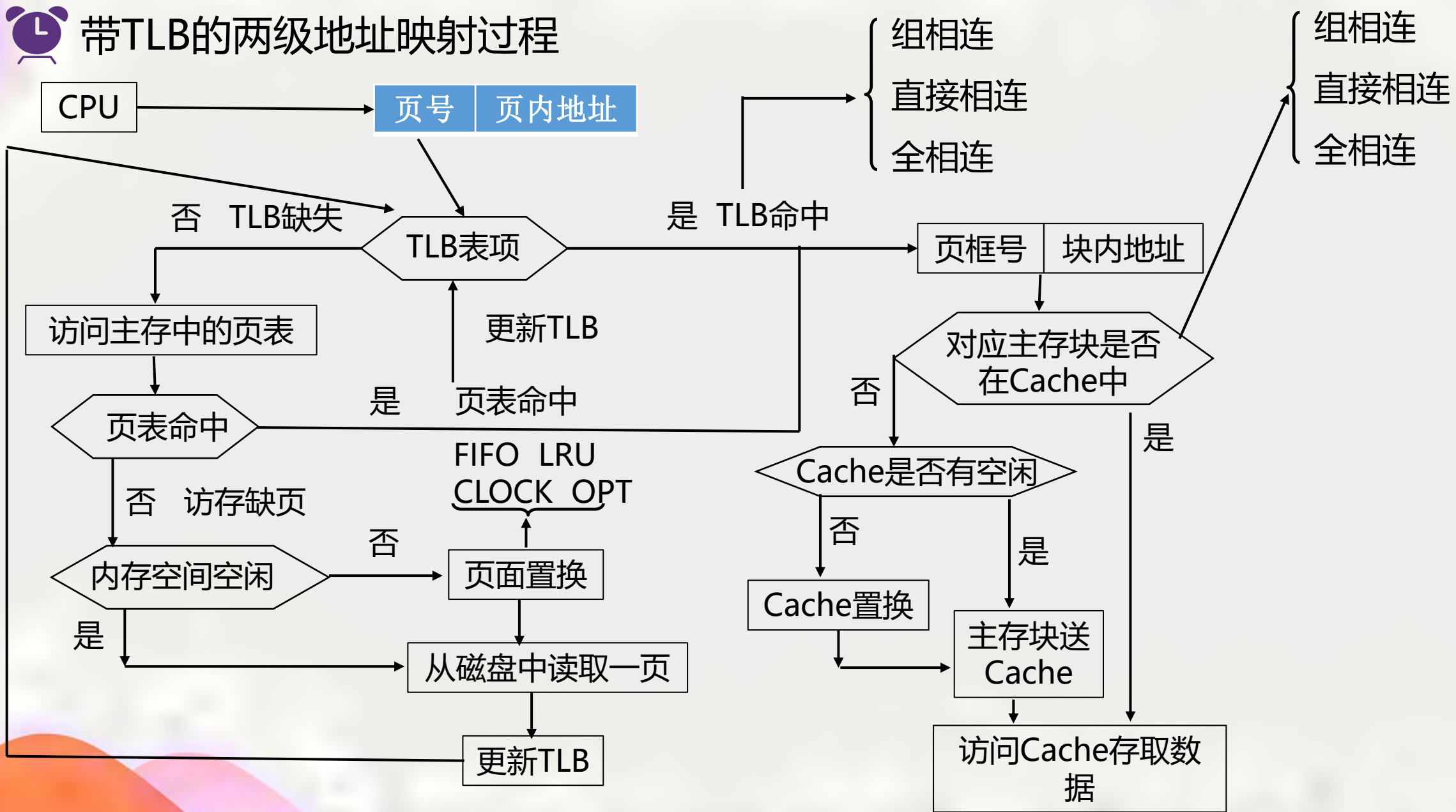


主存 — 辅存 (容量)

(2) **主存 - 辅存层次**: 辅存的速度比主存的速度低,而且不能和CPU直接交换信息,但它的容量比主存大得多,可以存放大量暂时未用到的信息。当CPU需要用到这些信息时,再将辅存的内容调入主存,供CPU直接访问,旨在解决内存容量不足的问题。主存和辅存之间的数据调动是由**硬件和操作系统**共同完成的。



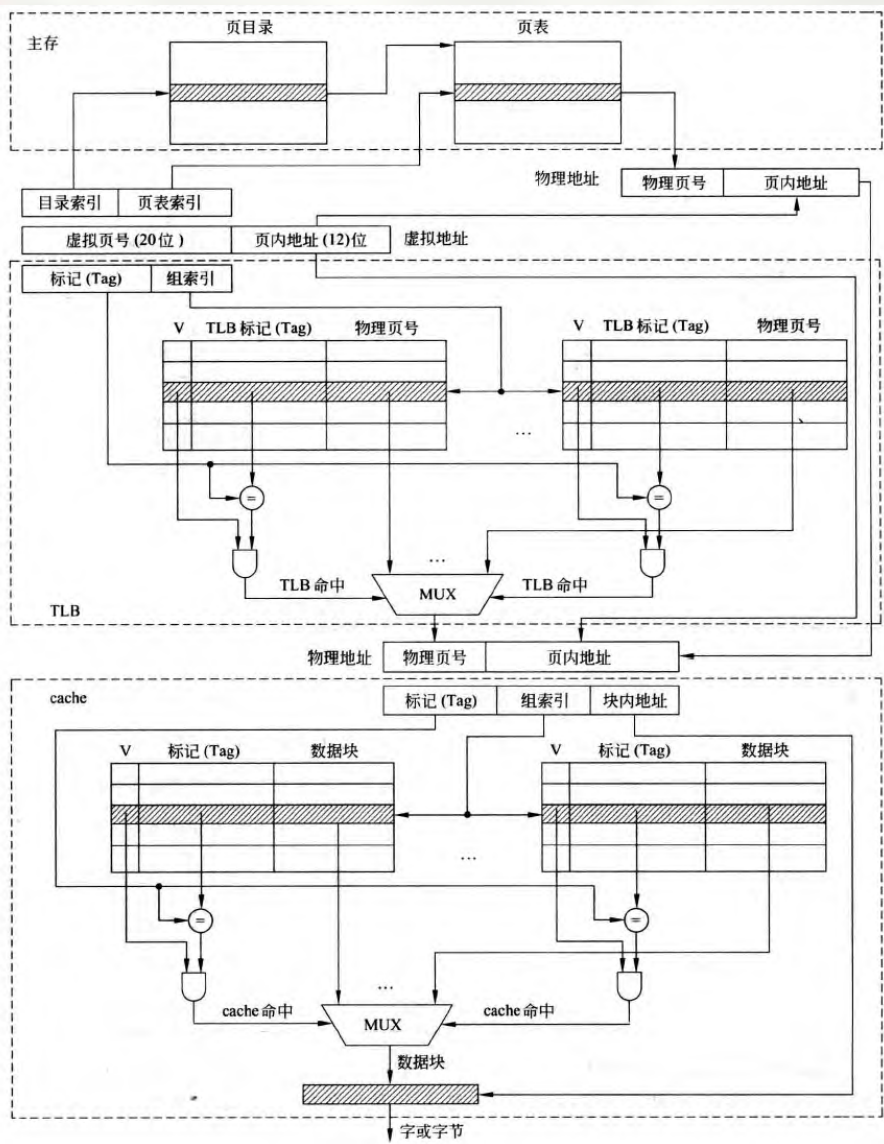
带TLB的两级地址映射过程



考点五: 带快表的两级系统的地址翻译过程

带TLB的主存-辅存和主存-Cache地址映射过程如图所示。该地址映射过程有两个阶段构成,

- 第一个阶段是从逻辑地址映射到物理地址, 这个属于虚拟存储器的过程;
- 第二个阶段是从物理地址到Cache地址映射, 这个属于主存-Cache系统的过程。



从图中可以看出,CPU 访存过程中存在以下3种缺失情况，如表所示。

(1)TLB缺失(TLB miss):要访问的页面对应的页表项不在 TLB中。

(2) cache缺失(cache miss):要访问的主存块不在cache 中。

(3)缺页(page miss):要访问的页面不在主存中。

序号	TLB	page	cache	说 明
1	hit	hit	hit	可能,TLB命中则页一定命中,信息在主存,就可能在 cache 中
2	hit	hit	miss	可能,TLB命中则页一定命中,信息在主存,但可能不在 cache 中
3	miss	hit	hit	可能,TLB缺失但页可能命中,信息在主存,就可能在 cache 中
4	miss	hit	miss	可能,TLB缺失但页可能命中,信息在主存,但可能不在 cache 中
5	miss	miss	miss	可能,TLB缺失,则页也可能缺失,信息不在主存,一定也不在 cache
6	hit	miss	miss	不可能,页缺失,说明信息不在主存,TLB中一定没有该页表项
7	hit	miss	hit	不可能,页缺失,说明信息不在主存,TLB中一定没有该页表项
8	miss	miss	hit	不可能,页缺失,说明信息不在主存,cache中一定也没有该信息

【政哥点拨】

1、基本参数 (按字节编址)

$N = 2^n$: 虚拟地址空间大小

$M = 2^m$: 物理地址空间大小

$P = 2^p$: 页大小

虚拟地址 (VA) 中的各字段

TLBI: TLB index (TLB索引)

TLBT: TLB tag (TLB标记)

VPO: Virtual page offset (页内偏移地址)

VPN: Virtual page number (虚拟页号)

1、基本参数 (按字节编址)

$N = 2^n$: 虚拟地址空间大小

$M = 2^m$: 物理地址空间大小

$P = 2^p$: 页大小

物理地址(PA)中的各字段

PPO: Physical page offset (页内偏移地址)

PPN: Physical page number (物理页号)

CO: Byte offset within cache line (块内偏移地址)

CI: Cache index (cache索引)

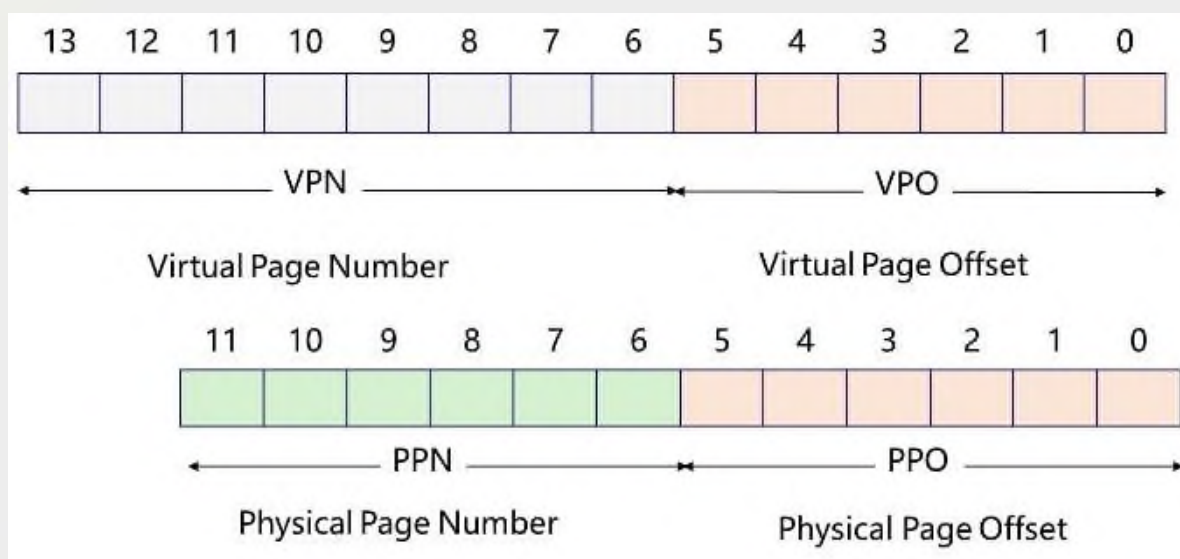
CT: Cache tag (cache标记)

假定以下参数, 则虚拟地址和物理地址如何划分? 共多少页表项?

14-bit virtual addresses (虚拟地址14位)

12-bit physical address (物理地址12位)

Page size = 64 bytes (页大小64B)



逻辑地址格式和主存地址格式

假定部分页表项内容（十六进制表示）如下：

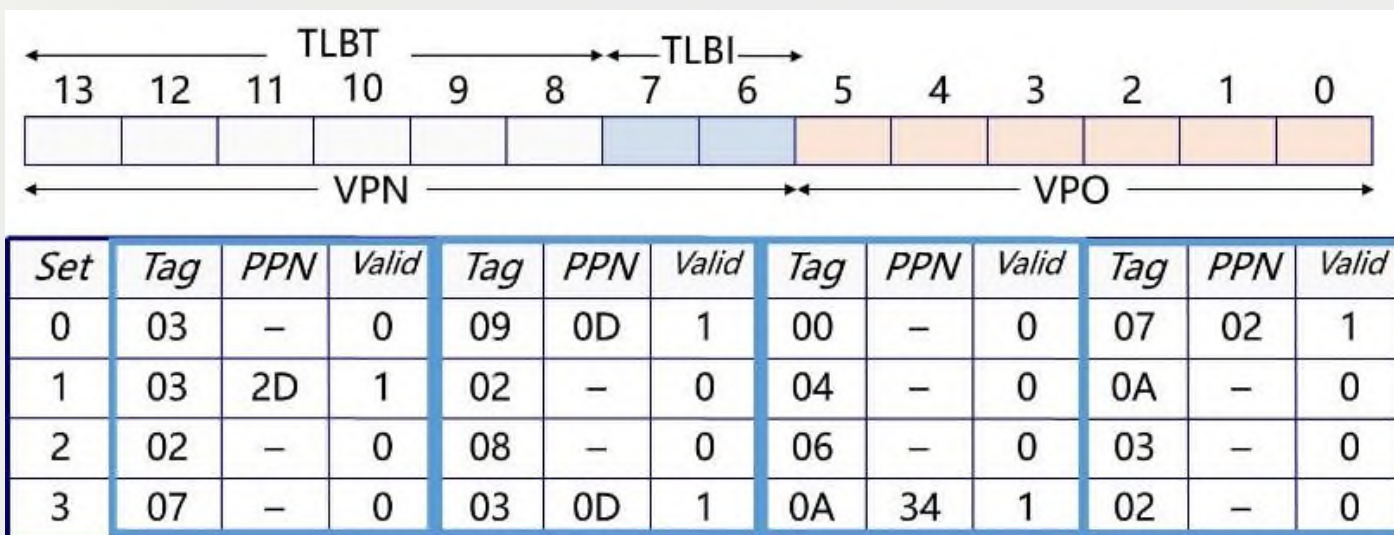
假定TLB如下：16 个TLB项，4路组相联，则TLBT和TLBI各占几位？

<i>VPN</i>	<i>PPN</i>	<i>Valid</i>	<i>VPN</i>	<i>PPN</i>	<i>Valid</i>
000	28	1	028	13	1
001	—	0	029	17	1
002	33	1	02A	09	1
003	02	1	02B	—	0
004	—	0	02C	—	0
005	16	1	02D	2D	1
006	—	0	02E	11	1
007	—	0	02F	0D	1

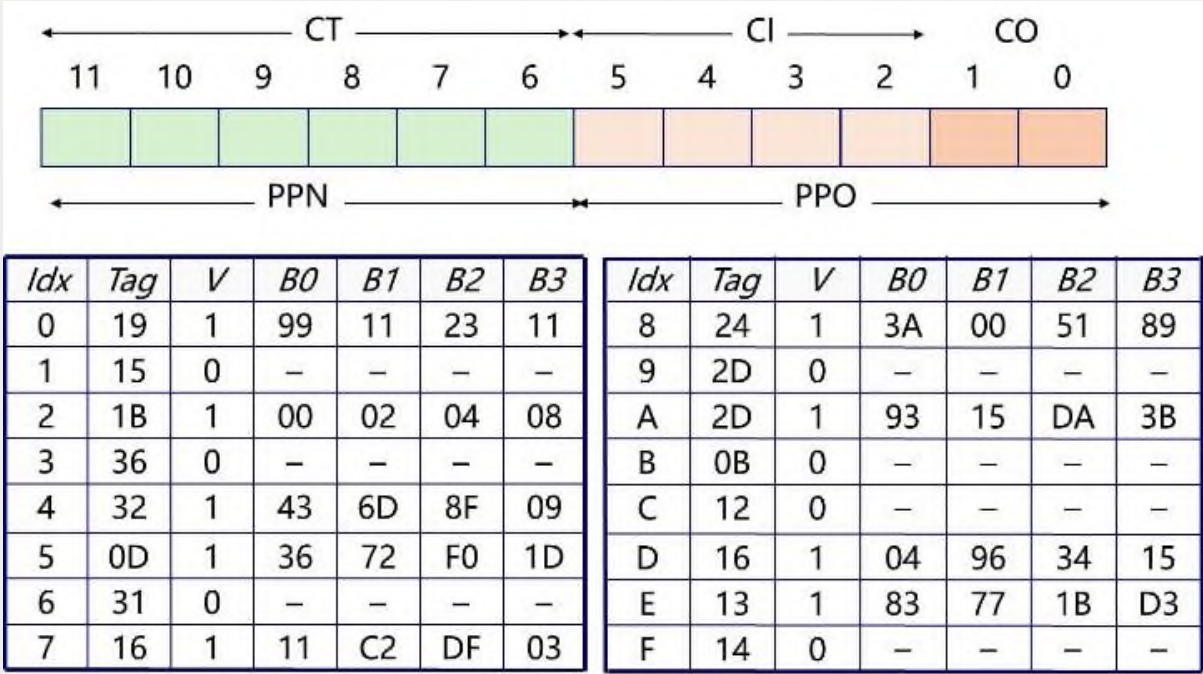
页表

假定部分页表项内容（十六进制表示）如下：

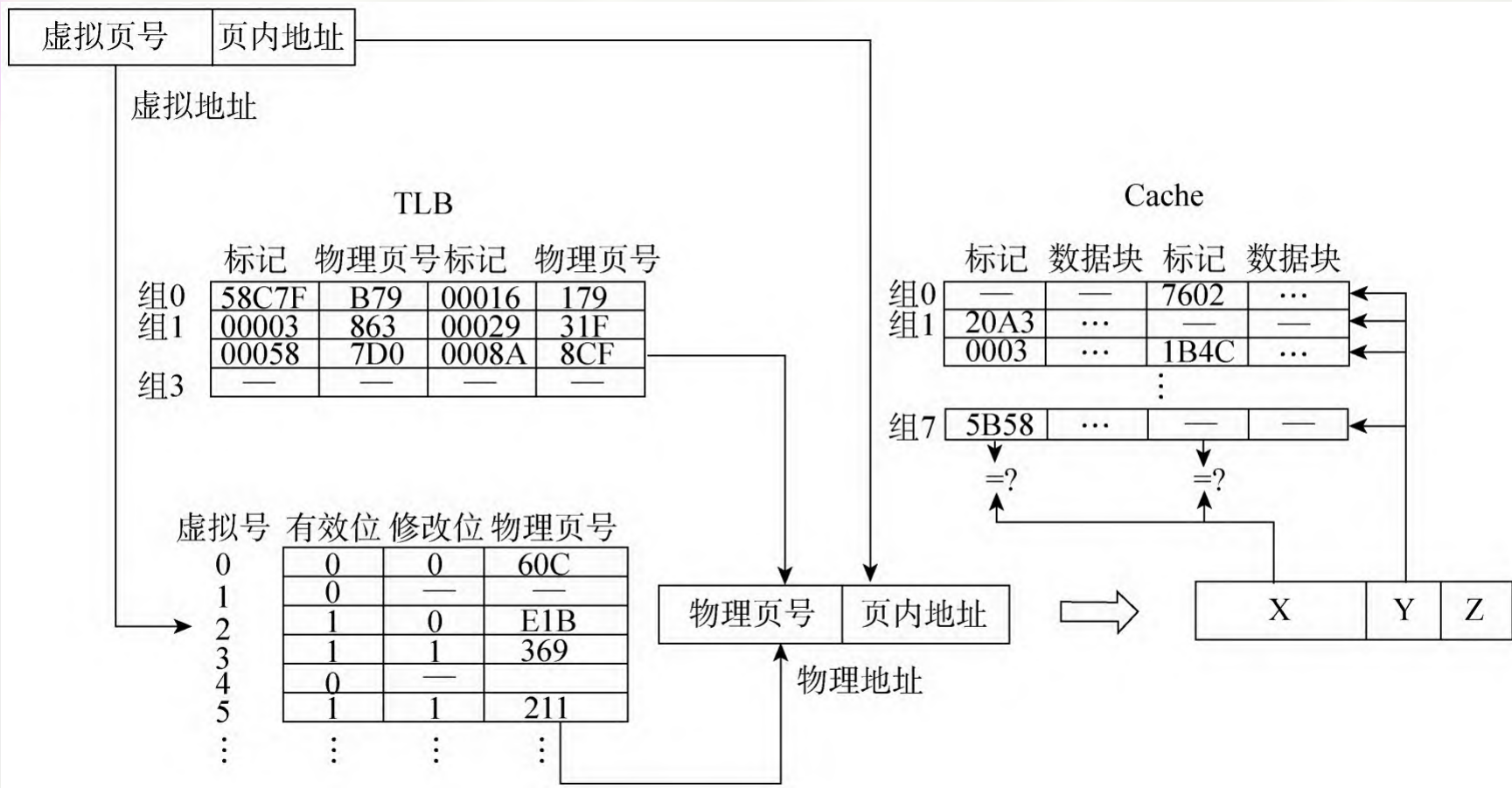
假定TLB如下：16个TLB项，4路组相联，则TLBT和TLBI各占几位？



假定Cache的参数和内容（十六进制）如下：16 行，主存块大小为4B，直接映射，则主存地址如何划分？



2、某计算机采用分页式虚拟存储管理方式，按字节编址，虚拟地址为32位，页大小为4KB，物理存储器容量16MB，Cache采用2路组相联映射方式，共8组，主存与Cache之间交换的块大小为64字节，TLB采用组联映射。存储访问过程如题图所示，系统运行到某一时刻时，页表的部分内容、Cache的部分内容和TLB的内容如题图所示，图中物理页号和标记字段的内容均为十六进制。解答下列问题：



(1) 虚拟地址、物理地址字段的位数各是多少？

- (1) 因为主存虚拟地址是32 位，页面大小是4KB，因此页内地址是12 位，页号是20 位；
- 因为主存物理地址是16MB，主存地址是24 位，块内地址是12位，因此物理块号是12 位。

LA	页号 20位	页内地址 12位
PA	块号 12位	块内地址 12位

(2) 使用物理地址访问cache时，地址中X、Y和Z字段的含义是什么，各占多少位？

组相联映射的主存结构如表所示，

主存标记	Cache组号	Cache（主存）块内地址
------	---------	---------------

- Cache块内地址位数的计算方式是： \log_2 （Cache块大小），按照字节编址，那么Cache块内地址位数是 \log_2 （64）= 6位。
- Cache组号位数的计算方式是： \log_2 （Cache组数）；那么Cache组号位数是 \log_2 （8）= 3位。
- 主存标记位数的计算方式是：**主存总位数 – Cache组号位数 – Cache块内地址位数。主存标记 = 24 - 3 - 6 = 15位**

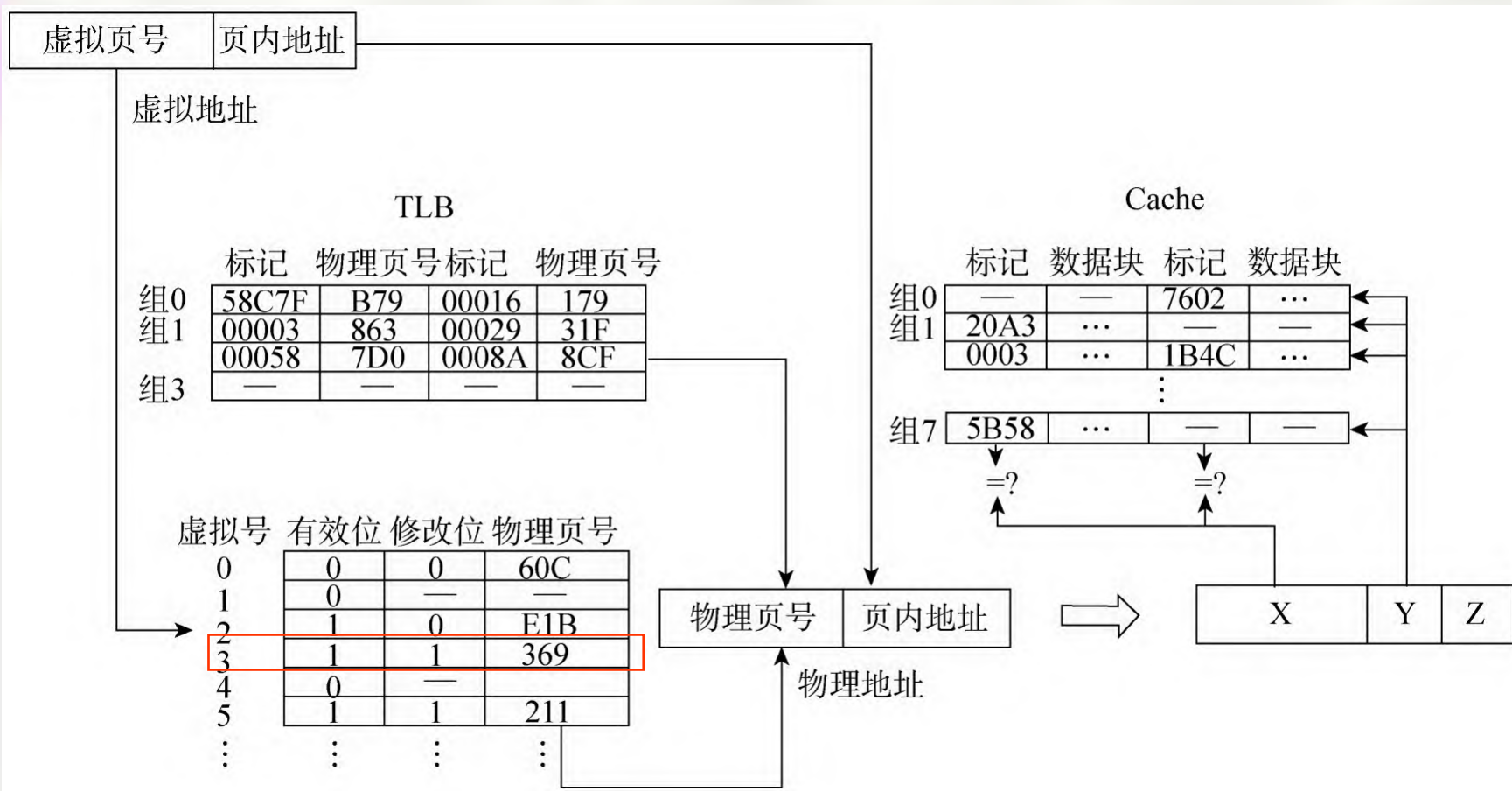
主存标记 (15位)	Cache组号 (3位)	Cache（主存）块内地址 (6位)
---------------	-----------------	-----------------------

(3) 如何判断虚拟地址 **000038AEH** 所在页面在主存中， 对应的物理地址是多少？
访问该地址时是否 cache 命中， 说明理由。

LA

页号 20位	页内地址 12位
--------	----------

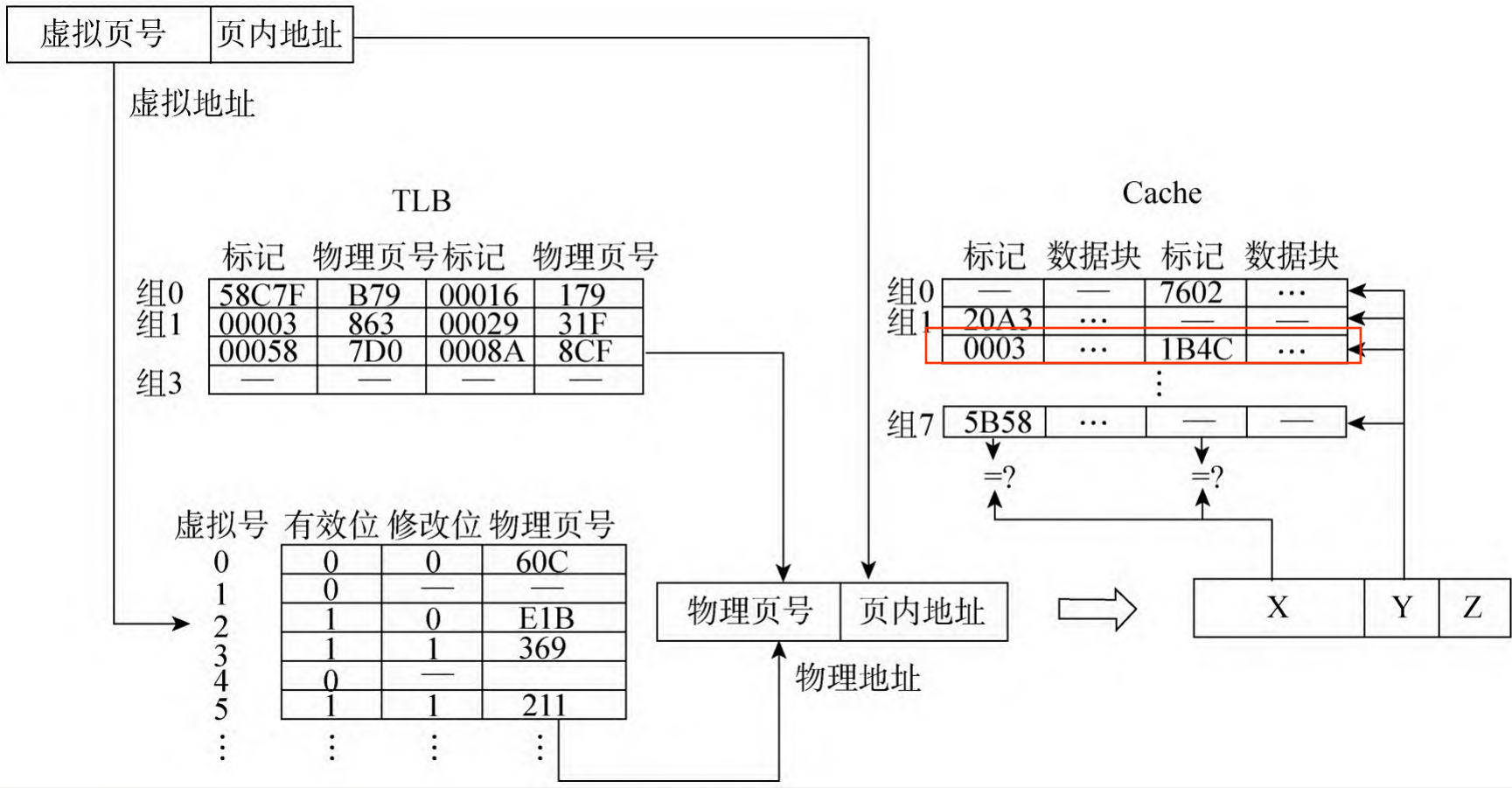
- 给定虚拟地址0000 38AE，可以得到页号是00003H，页内地址是8AE，
- 去查找页号为3 的页表项得到有效位是1，说明在内内存中，物理块号是369，
因此物理地址是369 8AE。



(3) 如何判断虚拟地址 000038AEH 所在页面在主存中， 对应的物理地址是多少？
访问该地址时是否 cache 命中， 说明理由。

CA	主存标记	Cache组号	Cache (主存) 块内地址
	(15位)	(3位)	(6位)

- ❑ 物理地址是369 8AE = 0011 0110 1001 1000 10 10 1110， 按照Cache地址结构进行分割， 0011 0110 1001 100 是主存标记， 对应的16 进制是1B4C， 010是cache 组号， 10 1110 是块内地址。
- ❑ 用组号010 去查Cache 映射表， 得到标记是1B4C， 于是在cache 中命中。



(4) 若引入一个 2 路组相联的TLB, 该 TLB 共有 4 个组, 若其当前内容如题图所示, 此时处理器用虚拟地址 000A53CAH 进行访问, 问从何处访问到该数据? 说明理由。

□ 组相联映射方式

标记	TLB组号 (C位)	页内地址
----	------------	------

逻辑地址

每一个线性地址块都可通过模运算对应到**唯一的一组**TLB表项

这样只需进行一次比较

$$\text{TLB组号} = \text{页号} \bmod 2^C$$

(4) 若引入一个 2 路组相联的TLB, 该 TLB 共有 4 个组, 若其当前内容如题图所示, 此时处理器用虚拟地址 000A53CAH 进行访问, 问从何处访问到该数据? 说明理由。

引入一个2 路组相联的TLB, 该TLB 共有4 个组, 于是组号是2位, 对应的TLB标记是 $20-2=18$ 位。那么根据TLB 和逻辑地址的映射关系, 可以得到TLB 的地址结构

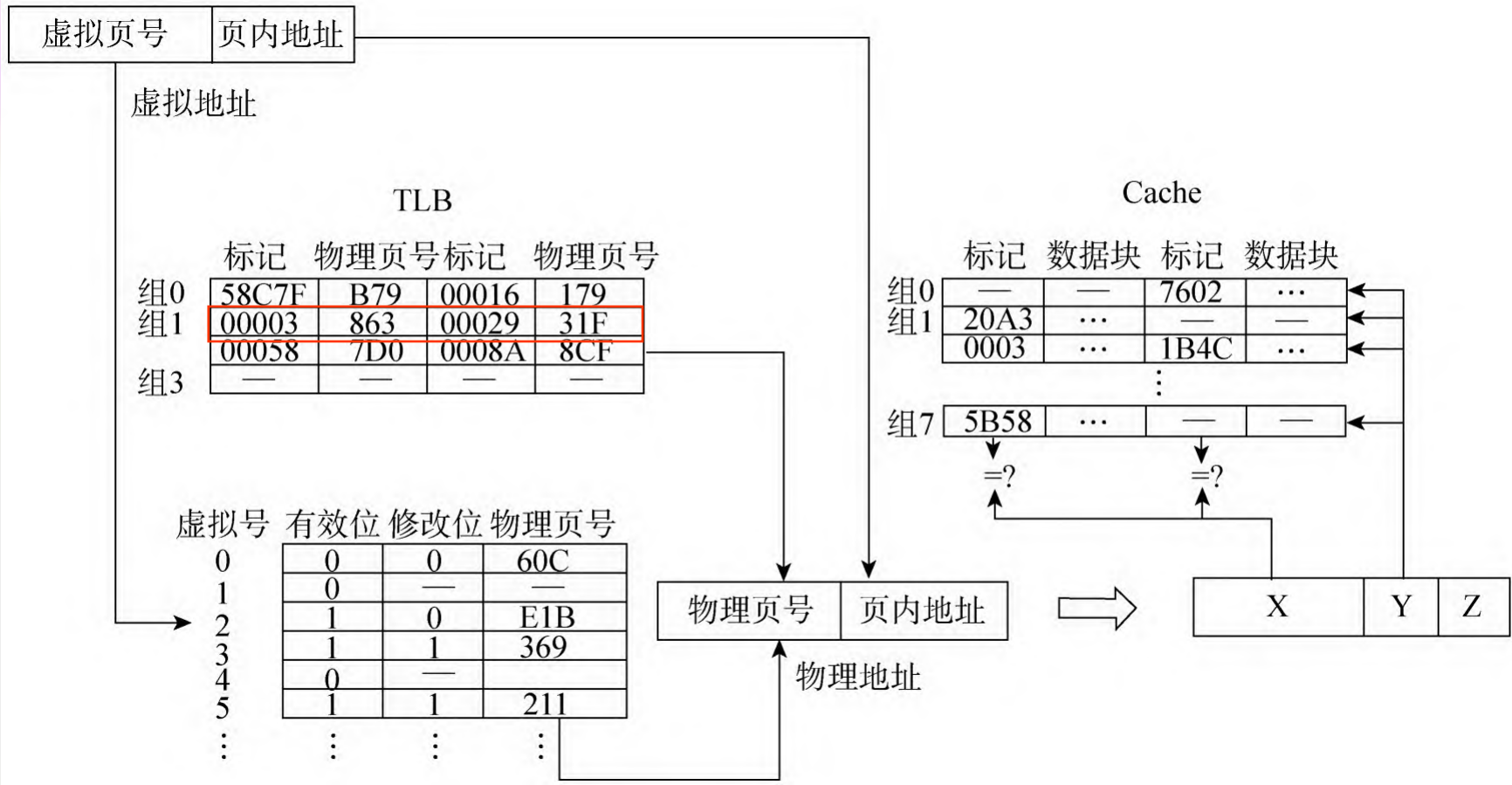
LA	页号 20位	页内地址 12位
----	--------	----------

TLBA	TLB标记18位	TLB组号 2位	页内地址 12位
------	----------	----------	----------

(4) 若引入一个 2 路组相联的TLB, 该 TLB 共有 4 个组, 若其当前内容如题图所示, 此时处理器用虚拟地址 000A53CAH 进行访问, 问从何处访问到该数据? 说明理由。

TLBA	TLB标 记18位	TLB组号 2位	页内地址 12位

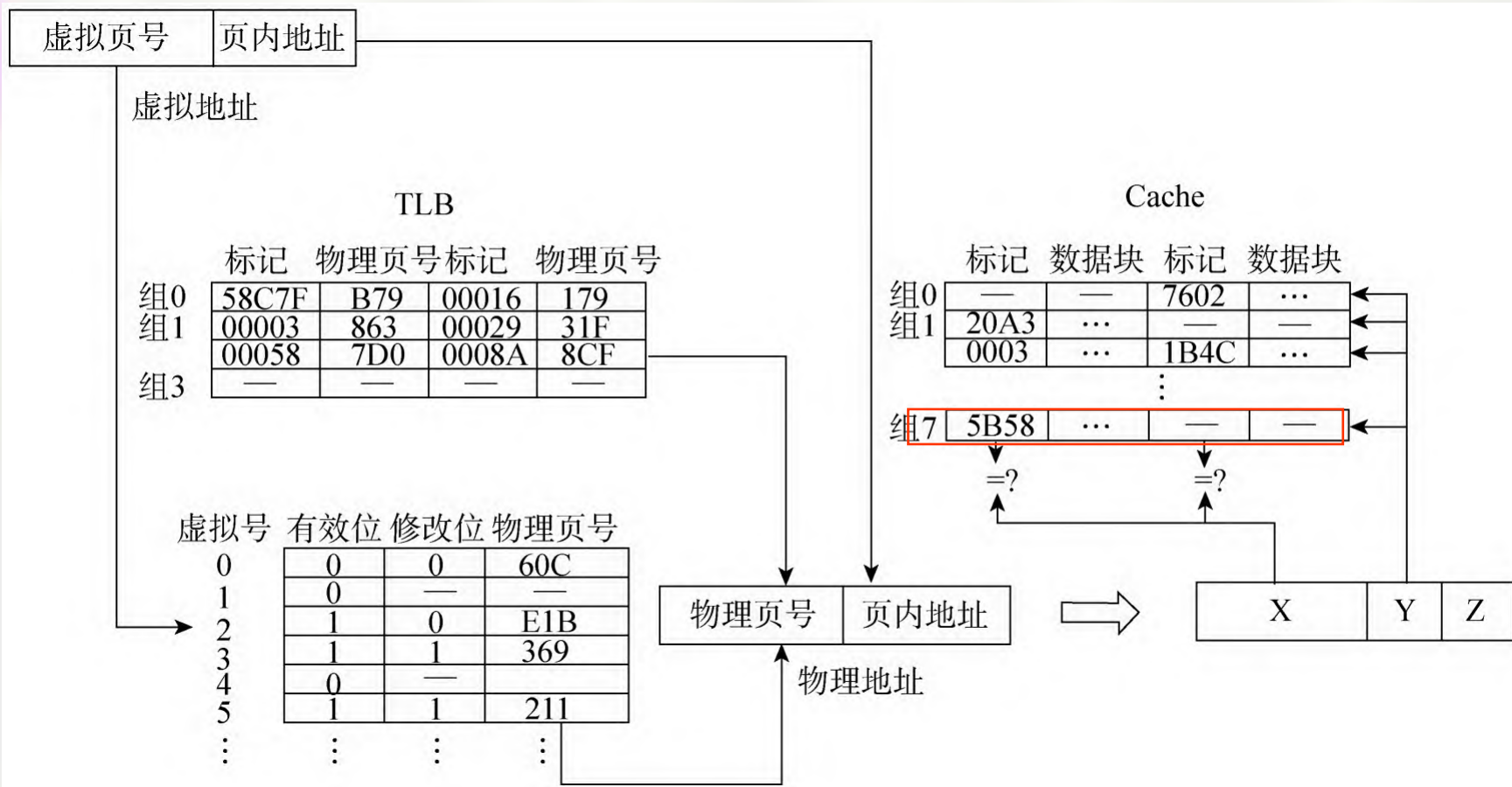
□ 给定地址000A53CAH = 0000 0000 0000 1010 0101 0011 1100 1010, 分割地址TLB表示0029H, TLB 组号是01H, 页内地址3CAH; 用TLB 组号查找TLB 映射表, 存在标记为0029H 的表项, 对应的物理地址是31F, 于是得到物理地址是31F3CAH。



(4) 若引入一个 2 路组相联的TLB, 该 TLB 共有 4 个组, 若其当前内容如题图所示, 此时处理器用虚拟地址 000A53CAH 进行访问, 问从何处访问到该数据? 说明理由。

CA	主存标记 (15位)	Cache组号 (3位)	Cache (主存) 块内地址 (6位)

- ❑ 物理地址是31F3CAH = 0011 0001 1111 0011 1100 1010 ;按照Cache 地址结构进行分割, 001 1000 1111 1001(18F9H)是主存标记, 对应的组号是7, 块内地址是00 1010。
- ❑ 用组号7去查Cache 映射表, 得到标记是18F9H, 于是在cache 中不命中。



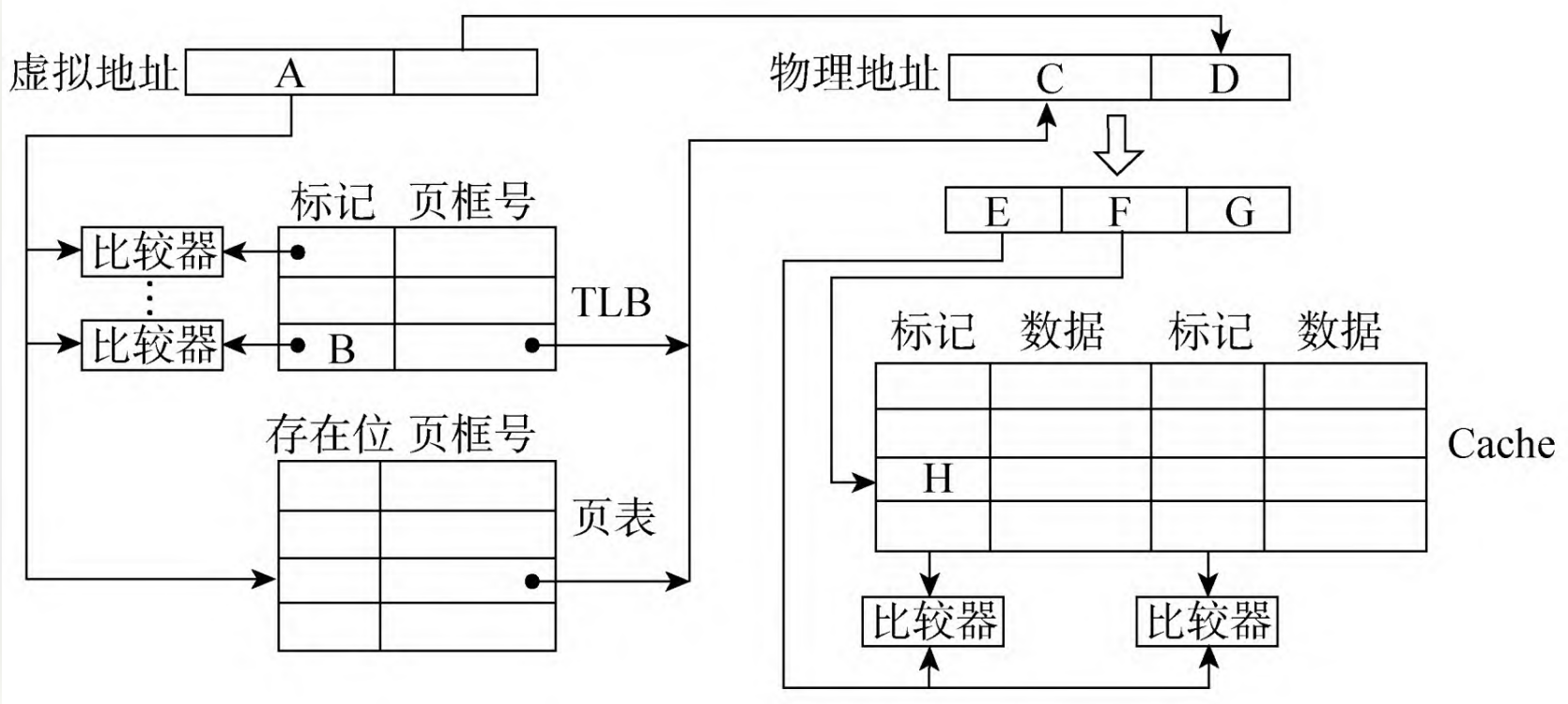
(4) 若引入一个 2 路组相联的 TLB, 该 TLB 共有 4 个组, 若其当前内容如题图所示, 此时处理器用虚拟地址 000A53CAH 进行访问, 问从何处访问到该数据? 说明理由。

□ 综上, 虚拟地址 000A53CAH 的数据在内存中, 但是不在 Cache 中, 则将会从主存中访问该数据。

(5) TLB 起何作用?

- TLB 的作用是存放最近使用的物理块号，如果访问的块号在TLB 中就不需要再去访问页面，从而可以加快逻辑地址到物理地址的映射。

3、某计算机采用页式虚拟存储管理方式, 按**字节**编址, 虚拟地址为**32位**, 物理地址为**24位**, 页大小为**8KB**; TLB采用**全相联映射**; Cache数据区大小为**64KB**, 按**2路组相联**方式组织, 主存块大小为**64B**。存储访问过程的示意图如下:



3、某计算机采用页式虚拟存储管理方式, 按字节编址, 虚拟地址为32位, 物理地址为24位, 页大小为8KB; TLB采用全相联映射; Cache数据区大小为64KB, 按2路组相联方式组织, 主存块大小为64B。存储访问过程的示意图如下:

- 因为主存虚拟地址是32 位, 页面大小是8KB, 因此页内地址是13 位, 页号是19 位;
- 因为主存地址是24 位, 块内地址是13位, 因此物理块号是11 位。

LA	页号 19位	页内地址 13位
PA	块号 11位	块内地址 13位

3、某计算机采用页式虚拟存储管理方式, 按字节编址, 虚拟地址为32位, 物理地址为24位, 页大小为8KB; TLB采用全相联映射; Cache数据区大小为64KB, 按2路组相联方式组织, 主存块大小为64B。存储访问过程的示意图如下:

- 因为主存虚拟地址是32 位, 页面大小是8KB, 因此页内地址是13 位, 页号是19 位;
- TLB采用全相联映射

LA	页号 19位	页内地址 13位
TLBA	TLB标记 19位	页内地址 13位

3、某计算机采用页式虚拟存储管理方式, 按**字节**编址, 虚拟地址为**32位**, 物理地址为**24位**, 页大小为**8KB**; TLB采用**全相联映射**; Cache数据区大小为**64KB**, 按**2路组相联**方式组织, 主存块**大小为64B**。存储访问过程的示意图如下:

组相联映射的主存结构如表所示,

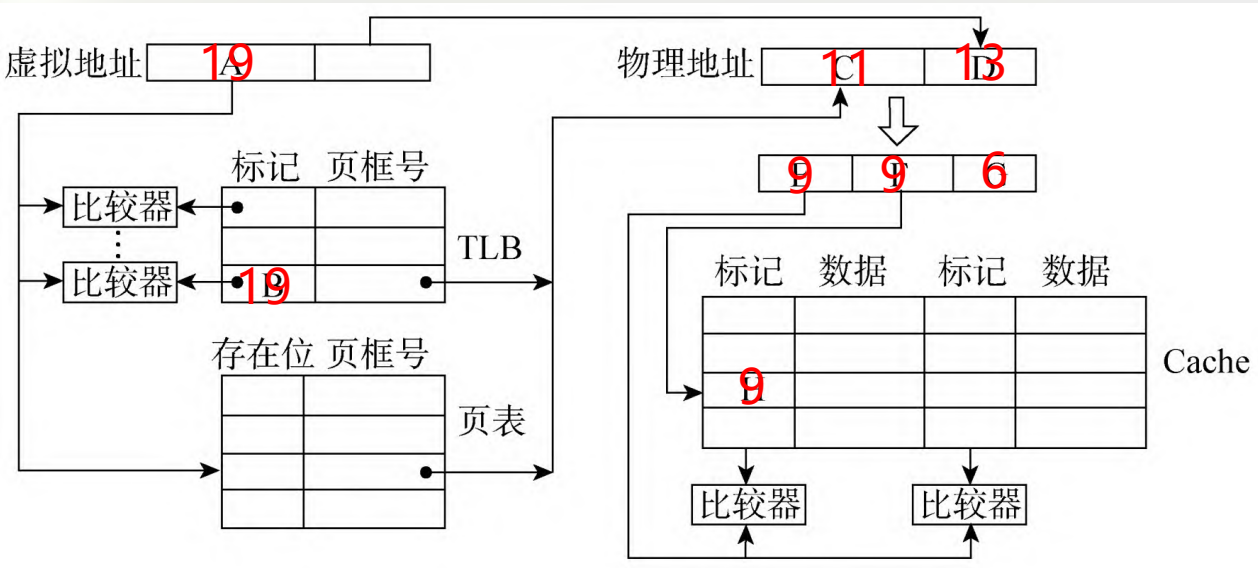
主存标记	Cache组号	Cache (主存) 块内地址
------	---------	-----------------

- Cache块内地址位数的计算方式是: \log_2 (Cache块大小) , 按照字节编址, 那么Cache块内地址位数是 \log_2 (64) = 6位。
- Cache组号位数的计算方式是: \log_2 (Cache组数) ; 那么Cache组号位数是 \log_2 (**64KB/(64 * 2)**) = 9位。
- 主存标记位数的计算方式是: **主存总位数 – Cache组号位数 – Cache块内地址位数。 主存标记 = 24 -9-6 = 9位**

主存标记	Cache组号	Cache (主存) 块内地址
(9位)	(9位)	(6位)

请回答下列问题

(1)图中字段A~G的位数各是多少？ TLB标记字段B中存放的是什么信息？



主存标记 (9位)	Cache组号 (9位)	Cache (主存) 块内地址 (6位)
--------------	-----------------	-------------------------

LA	页号 19位	页内地址 13位
TLBA	TLB标记 19位	页内地址 13位
PA	块号 11位	块内地址 13位

请回答下列问题

(1)图中字段A~G的位数各是多少? TLB标记字段B中存放的是什么信息?

□ 因为主存虚拟地址是32 位, 页面大小是8KB, 因此页内地址是13 位, 页号是19 位;

□ TLB采用全相联映射

LA

页号 19位	页内地址 13位
--------	----------

TLBA

TLB标记 19位	页内地址 13位
-----------	----------

TLB中标记字段B的内容是虚页号, 表示该TLB项对应哪个虚页的页表项。

请回答下列问题

(2)将块号为4099的主存块装入到 Cache中时, 所映射的 Cache组号是多少? 对应的H字段内容是什么?

块号4099=00 0001 0000 0000 0011B, 因此, 所映射的 Cache组号为0 0000 0011B=3, 对应的H字段内容为0 0000 1000B。

主存标记 (9位)	Cache组号 (9位)	Cache (主存) 块内地址 (6位)
--------------	-----------------	-------------------------

主存块号

请回答下列问题

(3)Cache缺失处理的时间开销大还是缺页处理的时间开销大? 为什么?

(3)Cache 缺失带来的开销小,而处理缺页的开销大。因为缺页处理需要访问磁盘,而 Cache 缺失只要访问主存,且页面大小要大于 Cache 块的大小。

➤ Cache块小于页面

➤ Cache缺失时, 访问内存, 页面缺失时, 访问磁盘, 【磁盘比内存慢】

请回答下列问题

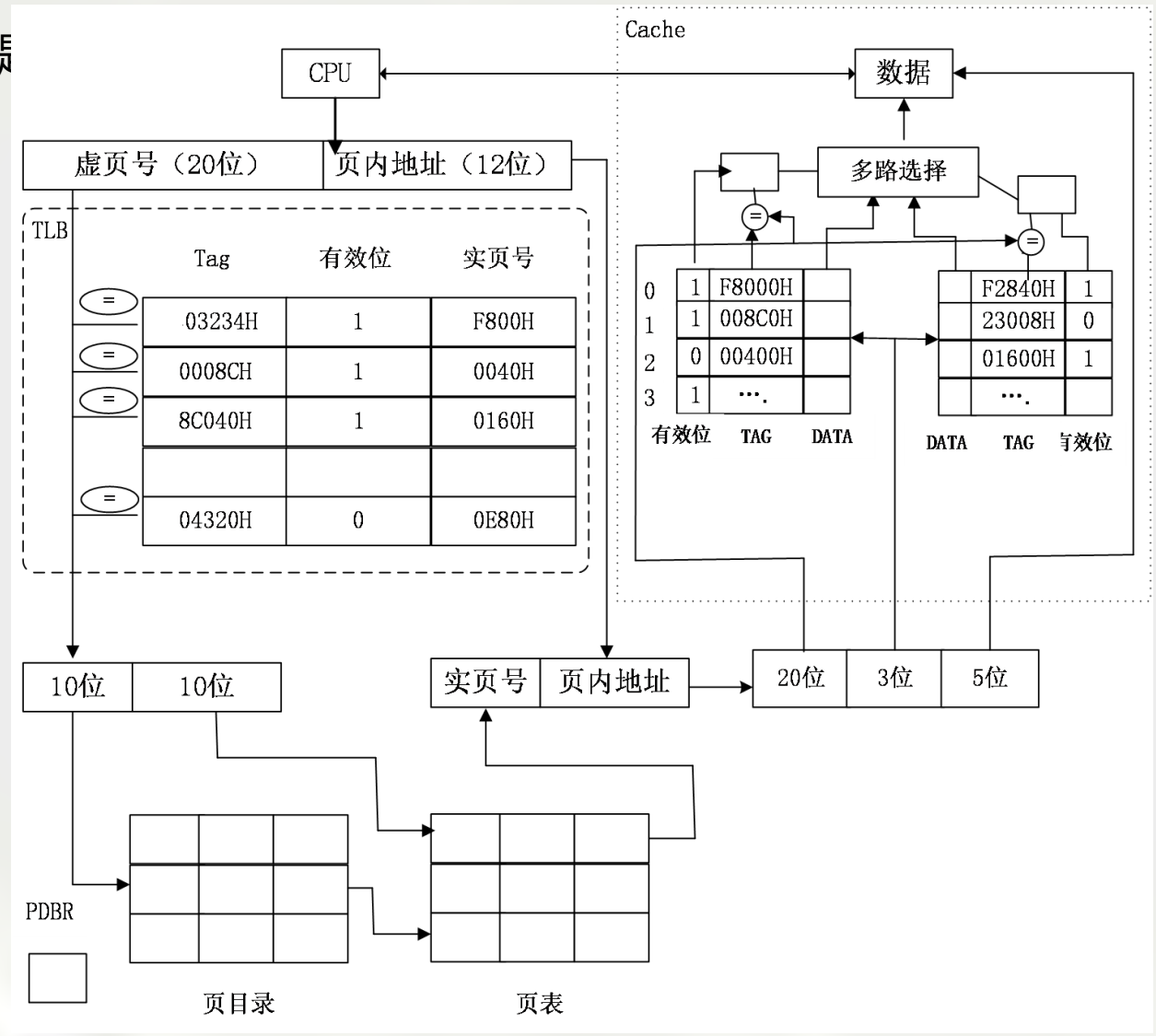
(4)为什么Cache可以采用直写(Write Through)策略, 而修改页面内容时总是采用回写(Write Back)策略?

(4)因为采用直写策略时需要同时写快速存储器和慢速存储器,而写磁盘比写主存慢得多,所以在Cache-主存次,Cache可以采用直写策略,而在主存-外存(磁盘)层次,修改页面内容时总是采用回写策略。

➤ Cache块小于页面

➤ Cache缺失时, 访问内存, 页面缺失时, 访问磁盘, 【磁盘比内存慢】

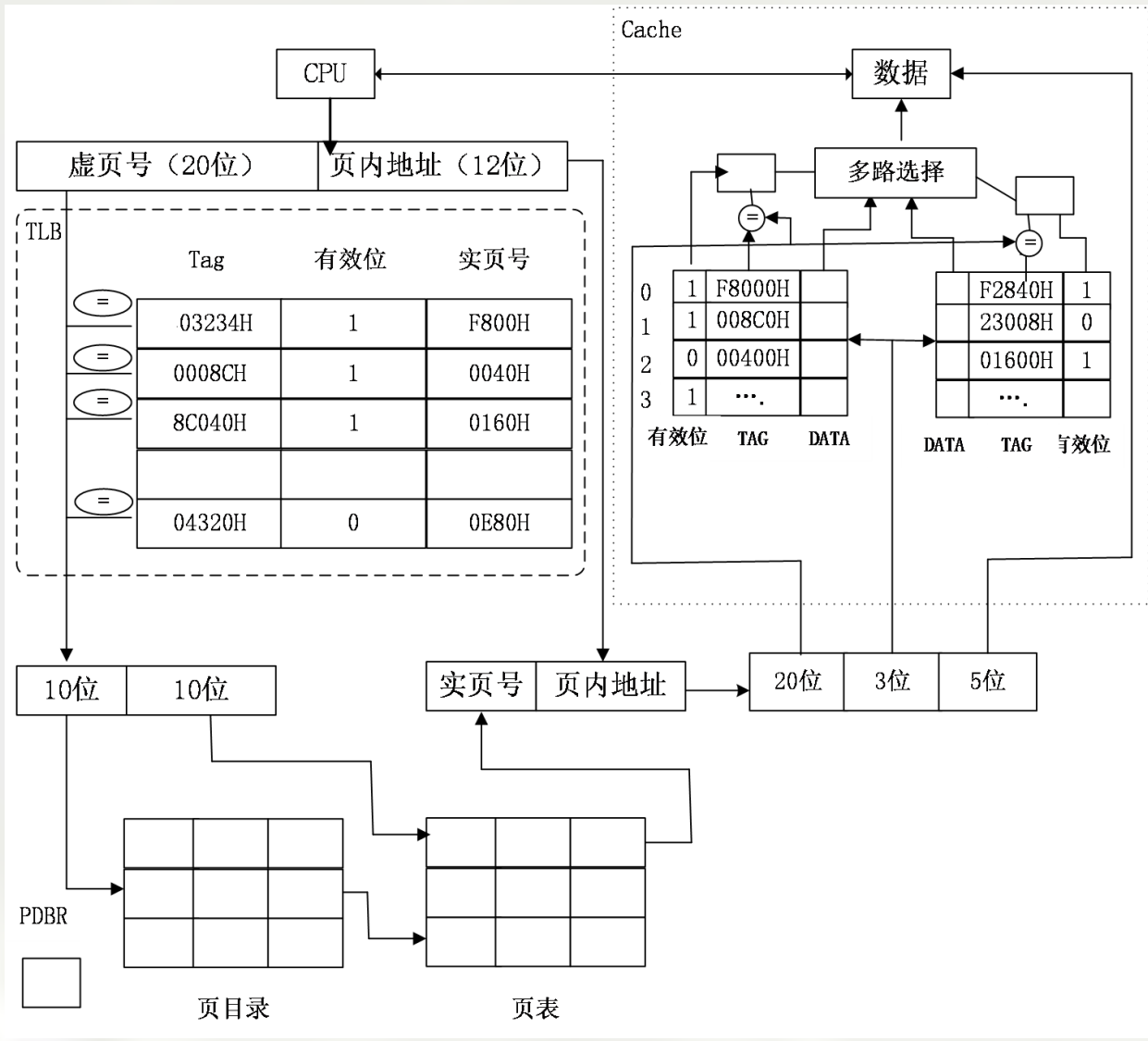
4、某计算机采用**页式虚拟存储管理方式**，按**字节**编址。CPU运行存储访问的过程如图所示。回答下列问题



(1) 主存物理地址占多少位?

(2) 若CPU给出的虚拟地址为0008 C040H, 则对应的物理地址是多少? 是否在Cache中命中? 说明理由。

某计算机采用**页式虚拟存储管理方式**，按**字节**编址。CPU运行存储访问的过程如图所示。回答下列问题。



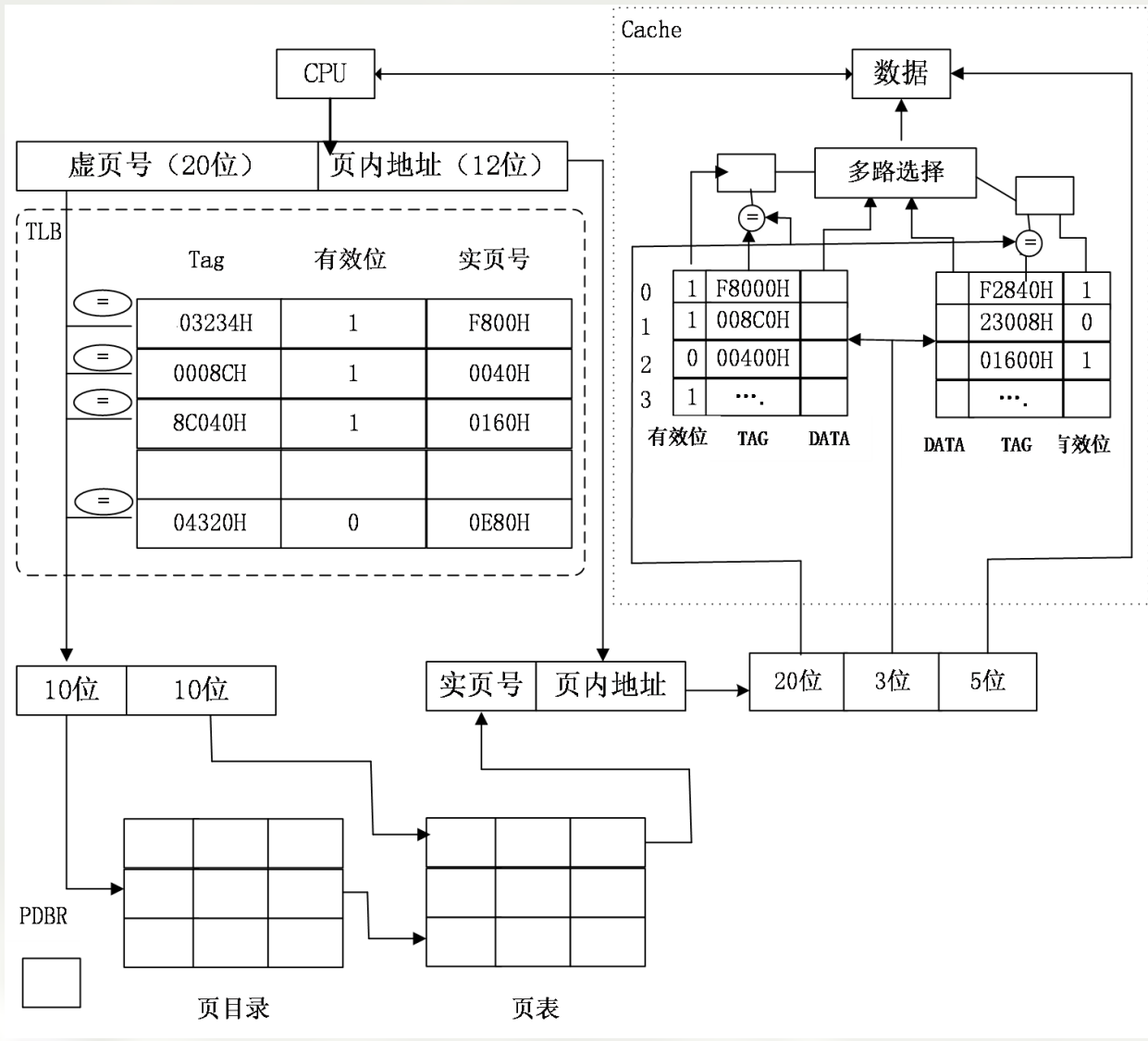
(1) **主存物理地址**占多少位?

根据图，可以看出，

- Cache采用的是2路组相联映射模式，这是因为每个Cache组有两块；
- 而TLB采用的是全相联匹配模式，这是因为TLB在比较标记时采用同时比较（也就是按照内容比较）。

(1) 物理地址位数是 $20+3+5 = 28$ （或 $16+12=28$ ）。物理地址的位数计算可以使用Cache的地址位数相加，也可以使用物理地址结构的位数相加。

某计算机采用**页式虚拟存储管理方式**，按**字节**编址。CPU运行存储访问的过程如图所示。回答下列问题。

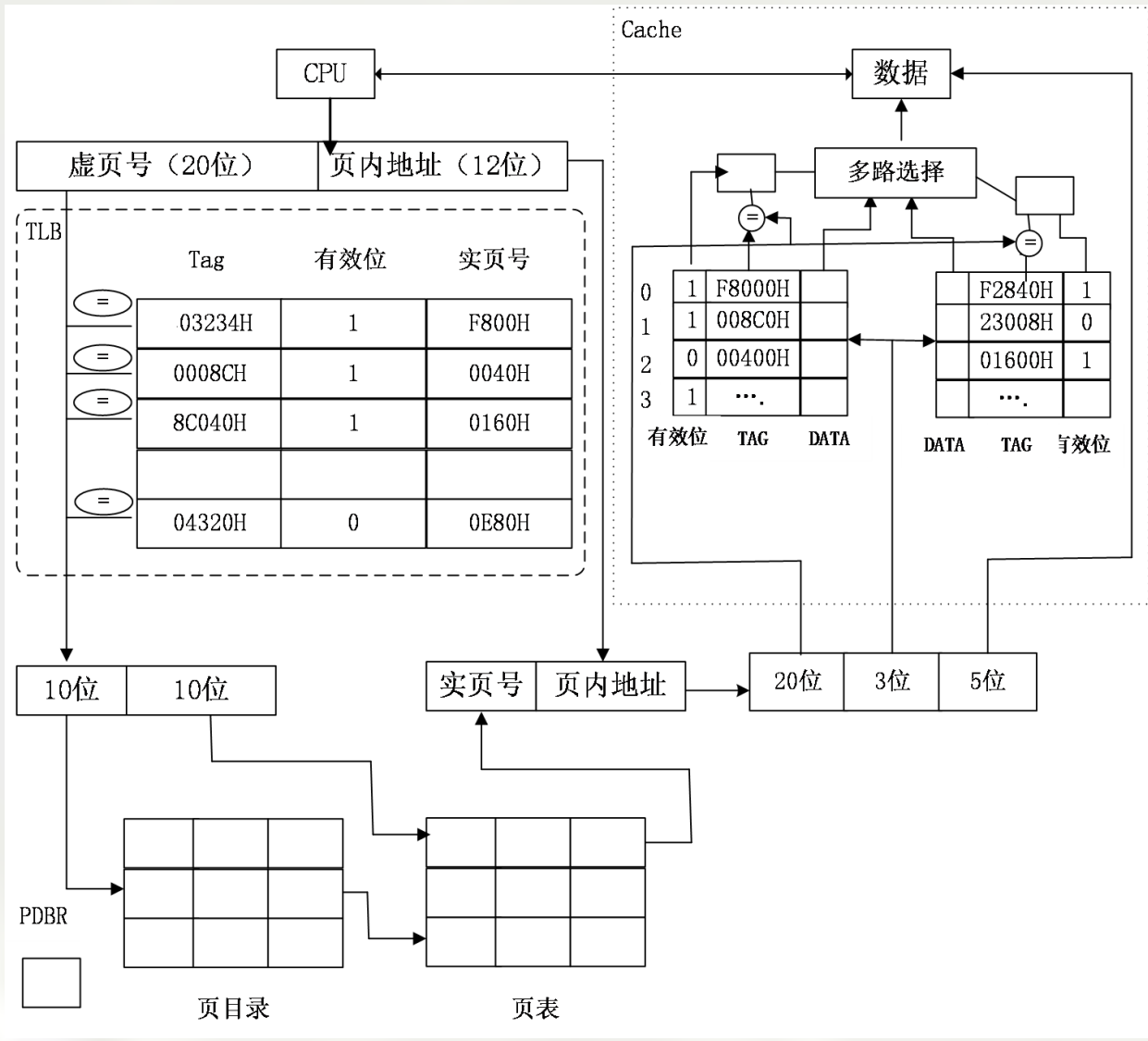


(2) 若CPU给出的**虚拟地址为0008 C040H**，则对应的**物理地址**是多少？**是否在Cache中**命中？说明理由。

TLB采用的是全相联匹配模式，TLB的直接格式是：TLB标记，页内地址，并且页内地址位数是12位，标记位数是20位；

- 给定虚拟地址0008 C040H，按照TLB地址格式进行分解，得到页内地址是040H，TLB标记是0008C；
- 使用0008CH查找TLB，得到有效位是1，且实页号（物理块号）位0040H，
- 于是物理地址是004 0040H。

某计算机采用**页式虚拟存储管理方式**，按**字节**编址。CPU运行存储访问的过程如图所示。回答下列问题。

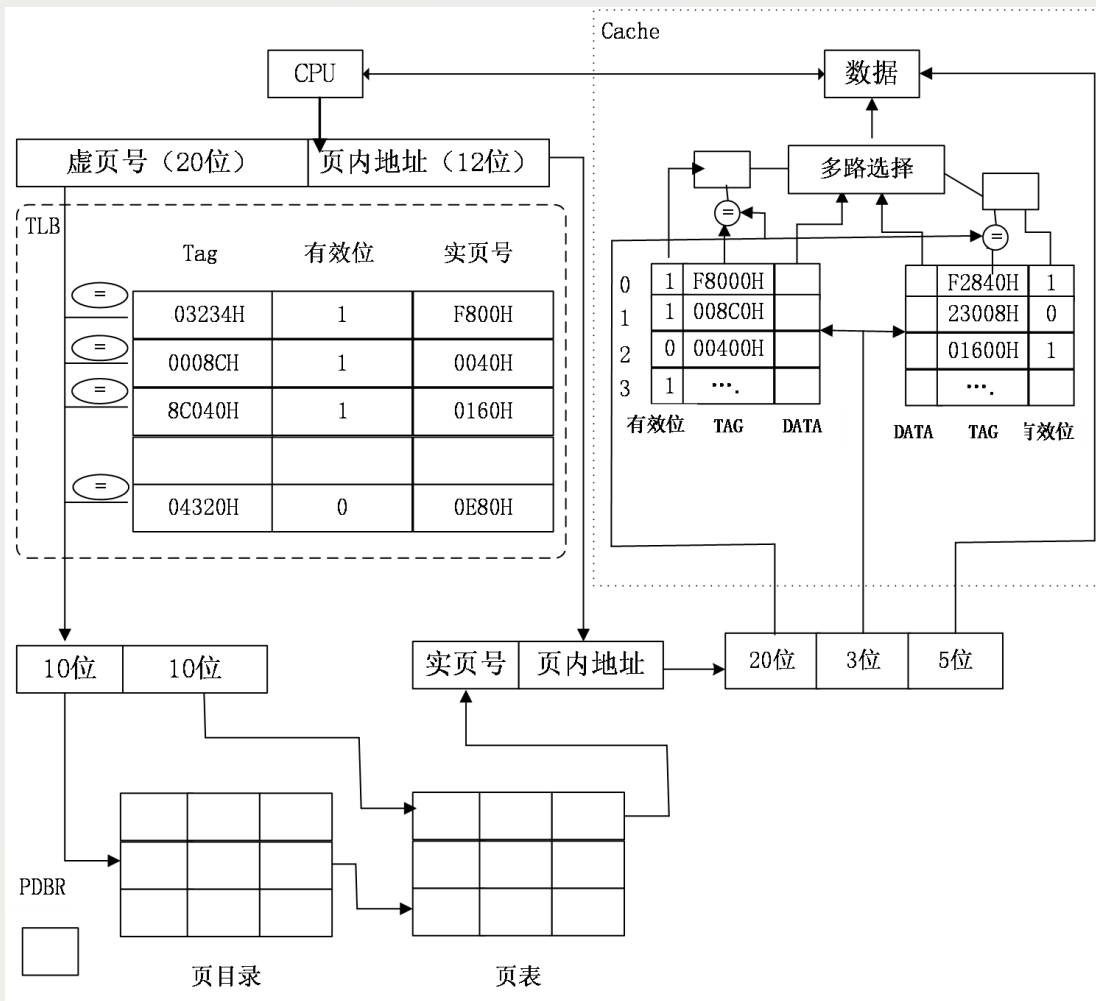


(2) 若CPU给出的**虚拟地址为0008 C040H**，则对应的**物理地址**是多少？**是否在Cache中**命中？说明理由。

Cache采用的是2路组相联映射模式，并且主存表示是20位，Cache组号是3位，Cache块内地址时5位；

- 给定物理地址004 0040H，按照Cache地址结构进行分解，得到Cache块内地址是00000B，中间3位的组号为010B，主存标记为00400H；
- 组号为010B，十进制数是2，得到Cache中标记位是000400，与主存标记相等，但是Cache中的有效位是0，
- 所以Cache不命中。

(3) Cache采用什么映射方式？若Cache采用LRU替换算法和回写策略，则Cache每行中除数据、Tag和有效位外，还应有哪些附加位？Cache总容量是多少？Cache中有效位的作用是什么？



(3) Cache采用什么映射方式？若Cache采用LRU替换算法和回写策略，则Cache每行中除数据、Tag和有效位外，还应有哪些附加位？Cache总容量是多少？Cache中有效位的作用是什么？

(3) Cache中每组有两行，故采用2路组相联映射方式。因为是2路组相联并采用LRU替换算法，所以每行（或每组）需要1位LRU位；因为采用回写策略，所以每行有1位修改位（脏位）。

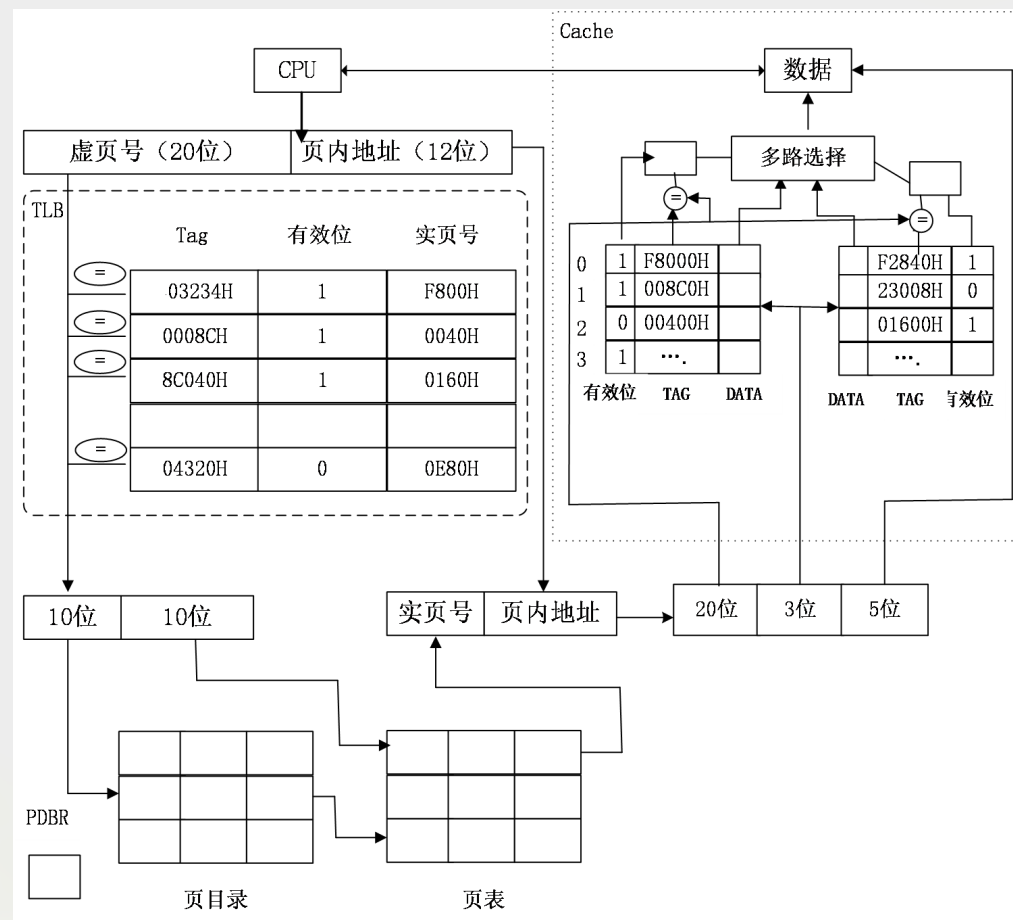
28位物理地址中Tag字段占20位，组索引字段占3位，块内偏移地址占5位，故Cache有 $2^3=8$ 组，每组2行，共计有16块。块内偏移地址占5位，Cache块大小有 $2^5=32\text{B}$ ；

因此Cache总容量为 $8*2*(20+1+1+1+32*8)=558$ 字节。

因为Cache中存放的主存块对应的活跃副本，那么该副本是有有效期的，因此有效位用来指出所在Cache行中的信息是否有效。

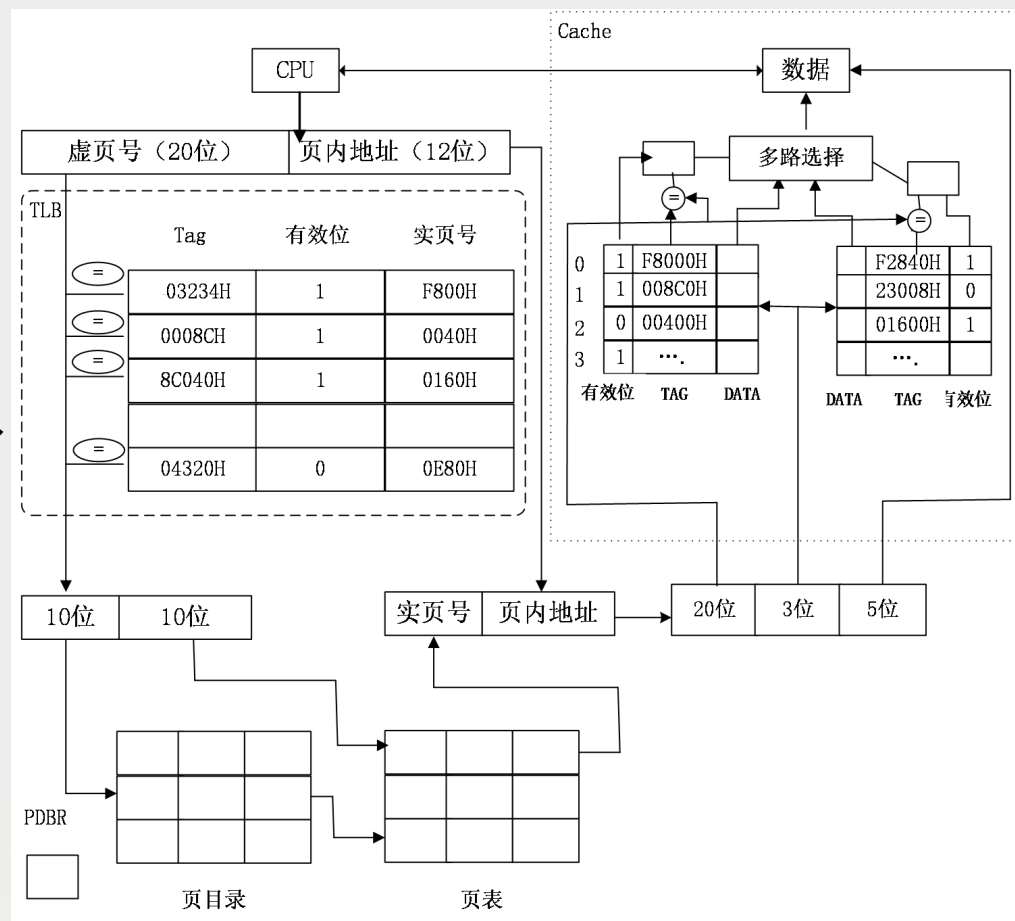
(4) 若CPU给出的虚拟地址为0008 C040H，则对应的物理地址是多少？是否在Cache中命中？说明理由。若CPU给出的虚拟地址为0007 C260H，则该地址所在主存块映射到的Cache组号是多少？

(4) 给定虚拟地址 0008 C040H，首先查询TLB，其中TLB标记是0008 CH，页内地址是040H。通过查询TLB，可知实页号是0040H，所以其对应的物理地址是004 0040H。



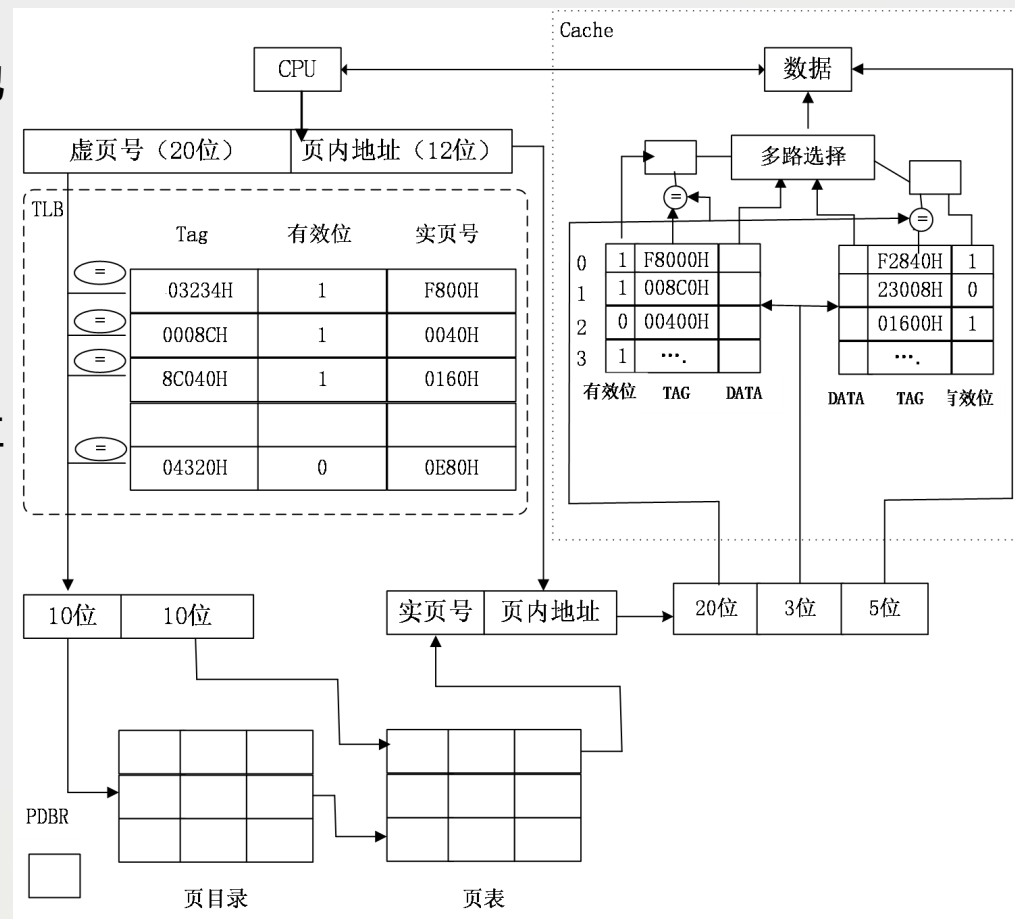
(4) 若CPU给出的虚拟地址为0008 C040H，则对应的物理地址是多少？是否在Cache中命中？说明理由。若CPU给出的虚拟地址为0007 C260H，则该地址所在主存块映射到的Cache组号是多少？

因为主存物理地址为004 0040H，其中高20位00400H为标志字段，低5位00000B为块内偏移量，中间3位010B为组号2。将00400H与Cache行第二组中的两块中断标志字段同时比较。从图中可以看出，虽然有一个Cache行中的标志字段与00400H相等，但对应的有效位为0，而另一个Cache行的标志字段与00400H不相等，故访问Cache不命中。



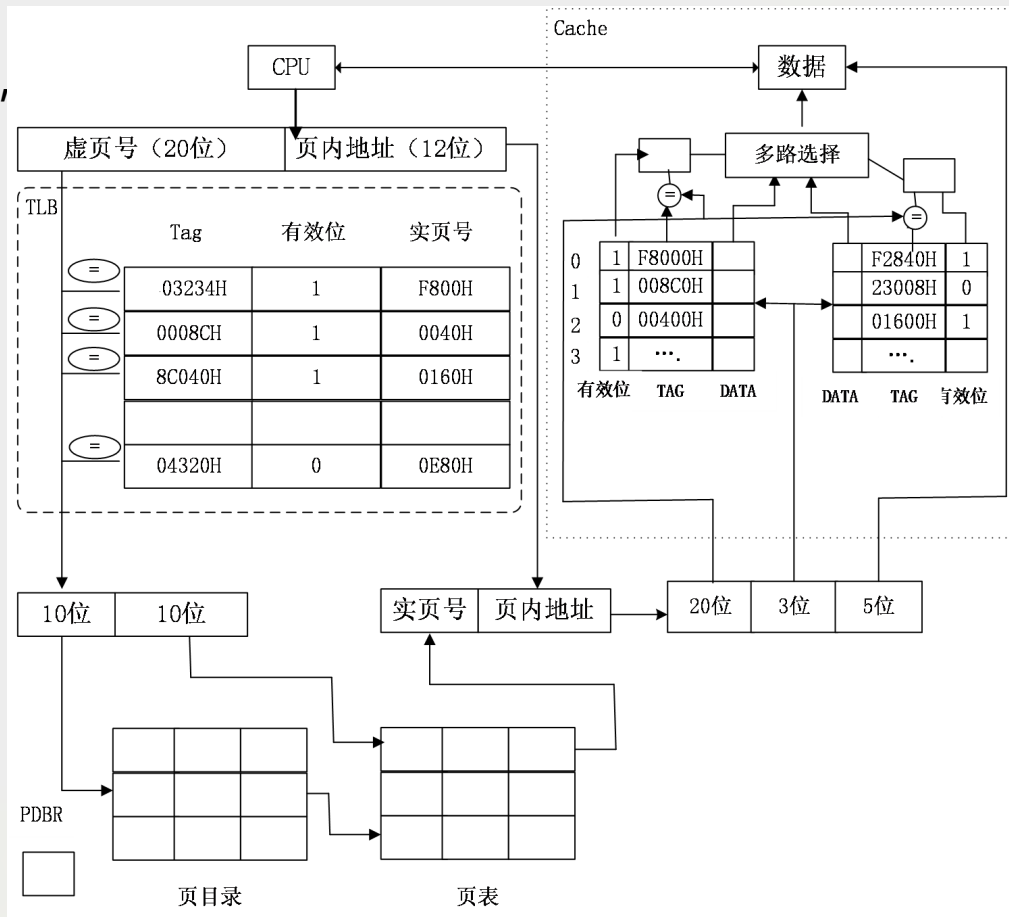
(4) 若CPU给出的虚拟地址为0008 C040H，则对应的物理地址是多少？是否在Cache中命中？说明理由。若CPU给出的虚拟地址为0007 C260H，则该地址所在主存块映射到的Cache组号是多少？

从虚拟地址到物理地址映射是，虚拟地址低12位相同和物理地址的低12位，即低12位0010 0110 0000B保持不变。而从物理地址到Cache地址映射时，并没有改变地址的位数，只是对物理地址进行了重新分割。



(4) 若CPU给出的虚拟地址为0008 C040H，则对应的物理地址是多少？是否在Cache中命中？说明理由。若CPU给出的虚拟地址为0007 C260H，则该地址所在主存块映射到的Cache组号是多少？

根据主存地址和Cache地址的映射关系，011B是组号（组索引），因此，该地址所在的主存块映射到的Cache组号为3。



【真题实战】

1、分区分配内存管理方式的**主要保护措施**是_____。

A. 界地址保护 B. 程序代码保护 C. 数据保护 D. 栈保护

A【解析】每个进程在运行时都有一个自己的独立空间，在分区分配内存管理方式中的内存被划分成不同大小的区，供进程使用。而为了防止进程访问别的地址空间，分区管理方式主要是维护两个寄存器，一个保存进程空间的上界地址，一个保存进程空间的下界地址。如果要访问的地址不在这两个寄存器值之间，CPU就会产生越界中断。采用这种界地址保护方式实现对内存空间的保护，也即A正确。B程序代码保护是对程序的保护，而题中所述的分区内存管理指的是对进程的分配，进程是程序的一次执行过程，而非程序本身，B项不符合。C数据保护范围太广，不如A项针对，C不符合。栈保护操作是为了避免CPU在执行进程中的函数时，可能遇到栈容量不够用溢出导致进程不能继续执行的情况，栈是存在于CPU中的，所以与内存管理并没有很大联系，D不符合。选择A项。

2、一个分段存储管理系统中，地址长度为 32 位，其中段号占 8 位，则最大段长是_____。

- A. 2^8 字节 B. 2^{16} 字节 C. 2^{24} 字节 D. 2^{32} 字节

C【解析】分段存储管理系统中将进程按照逻辑结构划分成不同的部分（比如主程序和函数部分），按照同样大小给每部分分配内存段。数据地址由段号+段内地址组成。段号的多少代表内存一共有几个段。剩下地址有24位，表示一个段有从 $0 \sim 2^{24} - 1$ 一共 2^{24} 个存储单元，所以所有的段中最大的段长就是地址所能涵盖的所有单元，也即 2^{24} 个字节，选择C。

3、某计算机采用二级页表的分页存储管理方式，按字节编址，页大小为 2^{10} 字节，页表项大小为 2 字节，逻辑地址结构为：

页目录号	页号	页内偏移量
------	----	-------

逻辑地址空间大小为 2^{16} 页，则表示整个逻辑地址空间的页目录表中包含表项的个数至少是_____。

- A. 64
- B. 128
- C. 256
- D. 512

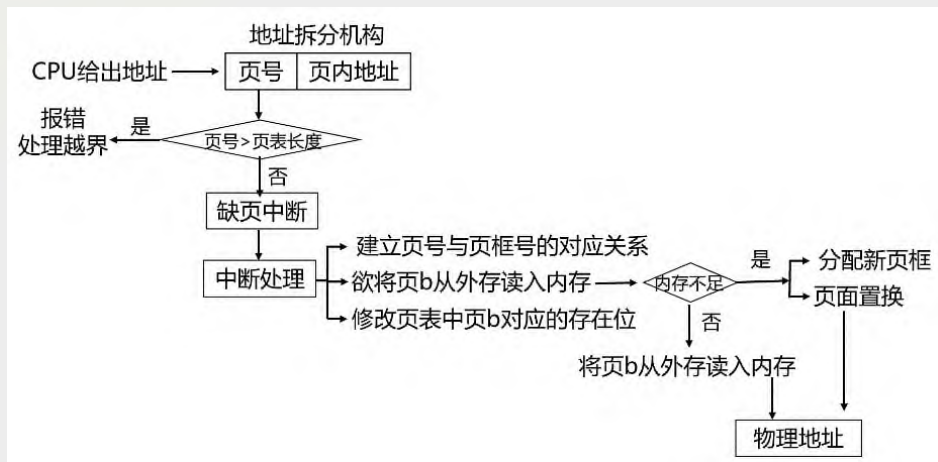
B 【解析】根据地址结构，页大小为 2^{10} B，页表项大小为 2B，故一页可以存放 2^9 个页表项，逻辑地址空间大小为 2^{16} 页，即共需 2^{16} 个页表项，则需要 $2^{16}/2^9 = 2^7 = 128$ 个页保存页表项，即页目录表中包含表项的个数至少是 128。

4、在缺页处理过程中，操作系统执行的操作可能是_____。

I. 修改页表 II. 磁盘I/O III. 分配页框

A. 仅 I、II B. 仅 II C. 仅 III D. I、II和 III

D【解析】进程访问的页的过程，如图所示，



导致产生缺页异常，该缺页异常处理过程中，一定会会修改页表，即修改页表中页b对应的存在位、修改页表中页b对应的存在位、将页b从外存读入内存。但是不一定会淘汰内存中的页，这是因为当内存中还有空闲块是，只需要直接调入，无需淘汰现有的页。三个都是可能的操作。请注意一点，当导致缺页异常时，一定不会出现地址越界。

5、当系统发生抖动 (thrashing) 时, 可用采取的有效措施是_____。

I. 撤销部分进程 II. 增加磁盘交换区的容量 III. 提高用户进程的优先级

A. 仅 I B. 仅 II C. 仅 III D. 仅 I、II

A【解析】抖动也称为颠簸, 它是指刚刚换出的页面马上又要换入内存, 刚刚换入的页面马上又要换出外存, 这种频繁的页面调度行为称为抖动(颠簸)。产生抖动的主要原因是进程频繁访问的页面数目高于可用的物理块数, 也就是分配给进程的物理块不够。为进程分配的物理块太少, 会使进程发生抖动现象, 为进程分配的物理块太多, 又会降低系统整体的并发度, 降低某些资源的利用率。抖动将引起严重的系统性能下降。

解决抖动问题有两个方法, (1) 增加工作集大小; (2) 选择不同的淘汰算法, 尽量保持工作集页面在内存中。 因此上述三个措施中, 只有I是有效措施。

6、在虚拟内存管理中，地址变换机构将逻辑地址变换为物理地址，形成该逻辑地址的阶段是_____。

- A. 编辑 B. 编译 C. 链接 D. 装载

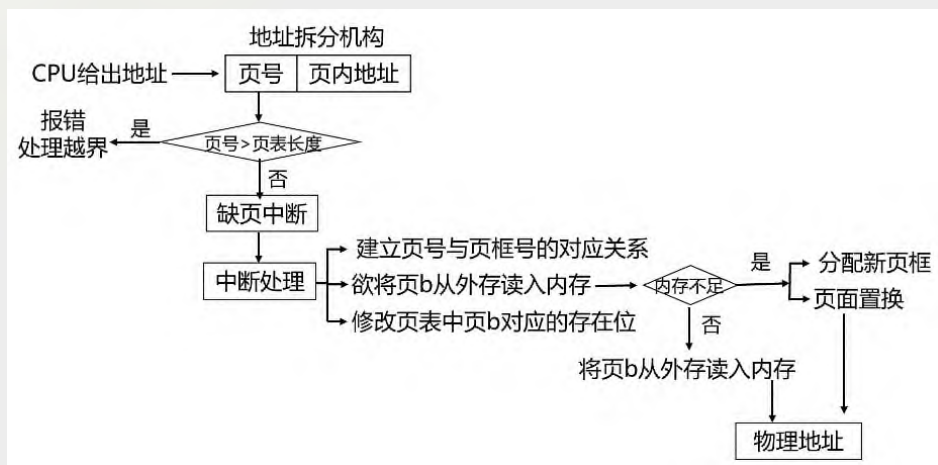
B【解析】通常情况下，翻译过程可以分为4个阶段，分别对应预处理，编译，汇编和链接，分别对应于预处理器，编译器，汇编器和链接器。在编译阶段形成逻辑地址，在装载结点形成物理地址。

7、若用户进程访问内存时产生缺页，则下列选项中，操作系统可能执行的操作是_____。

I. 处理越界错 II. 置换页 III. 分配内存

A. 仅I、II B. 仅II、III C. 仅I、III D. I、II 和 III

B【解析】进程访问的页的过程，如图所示，



导致产生缺页异常，该缺页异常处理过程中，一定会修改页表，即修改页表中页b对应的存在位、修改页表中页b对应的存在位、将页b从外存读入内存。但是不一定会淘汰内存中的页，这是因为当内存中还有空闲块是，只需要直接调入，无需淘汰现有的页。因此B正确。请注意一点，当导致缺页异常时，一定不会出现地址越界。

8、下列措施中，能加快虚实地址转换的是_____。

I. 增大快表(TLB)容量 II. 让页表常驻内存 III. 增大交换区(swap)

A. 仅 I B. 仅 II C. 仅 I、II D. 仅 II、III

C 【解析】虚实地址变换是将逻辑地址转换为物理地址。其访问情形有三种，

(1) TLB，即逻辑地址中页号所对应的页号和块号的对应关系存在于TLB，可以通过访问TLB得到物理地址。

(2) TLB + 页表，即逻辑地址中页号所对应的页号和块号的对应关系没有存在于TLB，但是页号所对应的页号和块号的对应关系存在于页表中，可以通过访问页表得到物理地址。

(3) TLB + 页表 + 中断 + TLB，即逻辑地址中页号所对应的页号和块号的对应关系没有存在于TLB，同时页号所对应的页号和块号的对应关系也没有存在于页表中，将会出发缺页中断。中断后，再通过TLB进行映射，得到物理地址。

因为增大快表(TLB)容量可以使TLB存储更多的页号和块号的对应关系，可以加快转换。让页表常驻内存也可以加快访问，因此I和II对应于正确。地址变化时，不涉及到交换区，因此增大交换区对虚实地址转换速度无影响。选 C。

9、在页式虚拟存储管理系统中，采用某些页面置换算法，会出现 Belady 异常现象，即进程的缺页次数会随着分配给该进程的页框个数的增加而增加。下列算法中，可能出现 Belady 异常现象的是_____。

I. LRU 算法 II. FIFO 算法 III. OPT 算法

A. 仅 II B. 仅 I、II C. 仅 I、III D. 仅 II、III

A【解析】 仅有FIFO 算法会出现Belady现象，其他算法不会出现Belady现象。这是因为FIFO没有很好地遵循局部性原理，其采用进入时间作为调度准则，而最先调度的块可能是使用频率比较高的，因此FIFO 算法会出现Belady现象。其他算法的调度准则都在一定程度上遵循局部性原理。因此选A。

10、系统为某进程分配了4个页框，该进程已访问的页号序列为2,0,2,9,3,4,2,8,2,4,8,4,5。若进程要访问的下一页的页号为7，依据LRU算法，应淘汰页的页号是_____。

- A. 2 B. 3 C. 4 D. 8

A【解析】根据LRU算法和页面走向，可以得到如下表

页面走向	2	0	2	9	3	4	2	8	2	4	8	4	5
页框0	2	2	2	2	2	2	2	2	2	2	2	2	2
页框1		0	0	0	0	4	4	4	4	4	4	4	4
页框2				9	9	9	9	8	8	8	8	8	8
页框3					3	3	3	3	3	3	3	3	5
缺页否	√	√	×	√	√	√	×	√	×	×	×	×	√
置换页	-	-	-	-	-	0	-	8	-	-	-	-	3

若进程要访问的下一页的页号为7，应淘汰的页是2。

10、系统为某进程分配了4个页框，该进程已访问的页号序列为2,0,2,9,3,4,2,8,2,4,8,4,5。若进程要访问的下一页的页号为7，依据LRU算法，应淘汰页的页号是_____。

- A. 2 B. 3 C. 4 D. 8

A【解析】这里，也提供一个便捷法。对页号序列从后往前计数，直到数到第4（页框数）个不同的数字为止，这个停止的数字就是要淘汰的页号（最近最久未使用的页），题中为页号2。

11、在请求分页系统中，**页面分配策略与页面置换策略**不能组合使用的是_____。

- A. 可变分配，全局置换
- B. 可变分配，局部置换
- C. 固定分配，全局置换
- D. 固定分配，局部置换

C【解析】分配和置换的策略组合如下表所示，

策略组合	局部置换	全局置换
固定分配	进程运行前就分配一定数量的物理块，缺页时只能换出进程自己的一页	此组合不存在，因为进程的物理块数是固定的，不能再申请或占用操作系统中的空闲物理块
可变分配	进程运行前就分配一定数量的物理块，缺页时只能换出进程自己的一页，系统根据发生缺页的频率来动态地增加或减少进程的物理块	进程运行前就分配一定数量的物理块，只要进程发生缺页，都将获得新的物理块

因此C不可能，即不可能实现固定分配、全局置换策略。

12、某系统采用改进型 CLOCK 置换算法, 页表项中字段A为访问位, M为修改位。A=0表示页最近没有被访问, A=1表示页最近被访问过。M=0表示页没有被修改过, M=1表示页被修改过。按(A, M)所有可能的取值, 将页分为四类: (0, 0)、(1, 0)、(0, 1)和(1, 1), 则该算法淘汰页的次序为_____。

- A. (0,0), (0,1), (1,0), (1,1) B. (0,0), (1,0), (0,1), (1,1)
C. (0,0), (0,1), (1,1), (1,0) D. (0,0), (1,1), (0,1), (1,0)

A【解析】按照clock算法轮转淘汰的运行过程,

(1) clock算法为每个页面设置一个访问位A和修改为M, 并将内存中的页面都通过链接指针链接成一个循环队列;

(2) 从指针的当前位置开始, 扫描帧缓冲区。在这次扫描过程中, 寻找A=0, M=0的帧, 并选择遇到的第一个帧(A=0, M=0)用于替换。

12、某系统采用改进型 CLOCK 置换算法, 页表项中字段A为访问位, M为修改位。A=0表示页最近没有被访问, A=1表示页最近被访问过。M=0表示页没有被修改过, M=1表示页被修改过。按(A, M)所有可能的取值, 将页分为四类: (0, 0)、(1, 0)、(0, 1)和(1, 1), 则该算法淘汰页的次序为_____。

- A. (0,0), (0,1), (1,0), (1,1) B. (0,0), (1,0), (0,1), (1,1)
C. (0,0), (0,1), (1,1), (1,0) D. (0,0), (1,1), (0,1), (1,0)

A【解析】按照clock算法轮转淘汰的运行过程,

(3) 如果第1)步失败, 则重新扫描, 查找A=0, M=1的帧, 并选择遇到的第一个这样的帧用于替换。在这个扫描过程中, 对每个跳过的帧, 把它的使用位A设置成0。

(4) 如果第2)步失败, 指针将回到它的最初位置, 并且集合中所有帧的使用位均为0。如此重复即可以找到供替换的帧, 根据上述过程, 该算法淘汰页面的次序为 (0, 0), (0, 1), (1, 0), (1, 1), 即A正确

13、某进程的段表内容如图所示。

段号	段长	内存起始地址	权限	状态
0	100	6000	只读	在内存
1	200	—	读写	不在内存
2	300	4000	读写	在内存

当访问段号为2、段内地址为400的逻辑地址时, 进行地址转换的结果是_____。

- A. 段缺失异常
- B. 得到内存地址4400
- C. 越权异常
- D. 越界异常

D【解析】CPU给出逻辑地址LA，地址分解结构自动将地址分为块号SN和块内位移量（段内地址）W，当进行地址映射时，会有：

- (1) 如果SN对应的段不在内存中，也就是状态位是0，会产生缺段异常。
- (2) 如果SN大于段表长度，则会产生越界异常；如果W大于等于段长，也会产生越界异常。
- (3) 分段系统的逻辑地址 A 到物理地址 E 之间的地址变换过程如下。
- (4) 如果上述都不符合，则会将段基址+块内位移量，得到物理地址PA。

13、某进程的段表内容如图所示。

段号	段长	内存起始地址	权限	状态
0	100	6000	只读	在内存
1	200	—	读写	不在内存
2	300	4000	读写	在内存

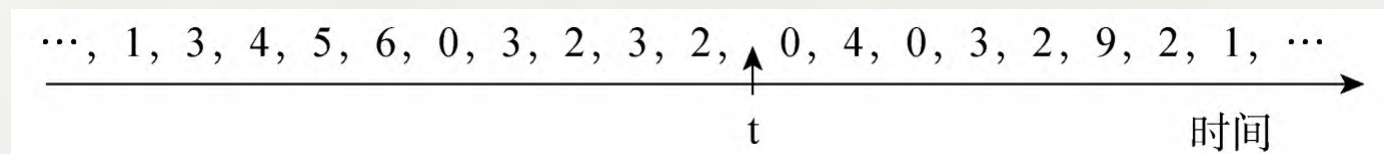
当访问段号为2、段内地址为400的逻辑地址时, 进行地址转换的结果是_____。

- A. 段缺失异常
- B. 得到内存地址4400
- C. 越权异常
- D. 越界异常

D【解析】本题中访问段号为2, 状态位显示在内存中。段内地址是400大于段长为300, 故发生越界异常, D 正确。

事实上, 访问段号1, 会产生缺段异常。

14、某进程访问页面的序列如图所示



若工作集的窗口大小为6,则在t时刻的工作集为_____。

- A. {6, 0, 3, 2}
- B. {2, 3, 0, 4}
- C. {0, 4, 3, 2, 9}
- D. {4, 5, 6, 0, 3, 2}

C【解析】工作集是一个与窗口大小和页面相关的概念，其定义是当处于时刻t时，在过去k（k表示工作集的窗口大小）次（不含当前此）访问的页面中，不同页面组成的集合。若工作集的窗口大小为6,在t时刻，向前数6个页面是{6,0,3,2,3,2},去重后，在t时刻的工作集为{6, 0, 3, 2}

15、进程在执行中发生了缺页中断,经操作系统处理后,应让其执行()指令。

- A. 被中断的前一条
- B. 被中断的
- C. 进程的第一条
- D. 进程的最后一条

缺页中断与一般中断的区别

- a. 缺页中断时在执行一条指令中间时产生的中断, 并立即转去处理; 一般中断则是在一条指令执行完毕之后, 当发现有中断请求时再去响应和处理
- b. 缺页中断处理执行完毕之后, 仍返回到原指令处重新执行; 一般中断则是返回到下一跳指令去执行

B【解析】每当要访问的页面不在内存时就会发生缺页中断,请求操作系统将所缺的页面调入内存。进行中断处理后,内存中会调入需要访问的页面,被中断的指令应该重新执行。

谢谢大家