

深圳市惠杰科技有限公司
张雄
13590324665

AP8224C2 数据手册

高性能 32 位音频应用处理器

版本

日期	版本	描述
2018/2/12	V0.1	第一版
2018/2/22	V0.2	改动了 pin order
2018/2/26	V0.21	芯片推荐的电源输入范围最大值从 5.5V 减少到 5V
2018/3/15	V0.22	功耗部分增加了测试条件说明
2018/5/3	V0.23	去掉 doc 中错误的标题信息

目录

1. 概述	1
2. 结构示意图	3
3. 引脚定义和描述	3
4. GPIO 引脚描述	4
5. 芯片电气特性	6
5.1. 芯片使用条件	6
5.2. 数字 IO 电特性	6
5.3. 音频性能	6
6. 运行频率和功耗	9
6.1. 时钟源和运行频率	9
6.2. 典型模式下的功耗	9
7. 封装尺寸	10
8. 存储和焊接	11
9. 声明	12
10. 技术支持	13

图

图 1. 芯片结构示意图	3
图 2. 芯片引脚定义	3
图 3. 封装形式和尺寸	10

表

表 1 芯片引脚类型说明	4
表 2 芯片引脚说明	4
表 3 GPIO 上电状态及电平	5
表 4 芯片使用条件	6
表 5 数字 IO 直流特性	6
表 6 数字 IO 驱动力和上下拉特性	6
表 7 Audio DAC 性能 @44.1KHz	6
表 8 Audio ADC 性能 @Line-in 通道, 44.1KHz	7
表 9 Audio ADC 性能 @麦克风通道, 44.1kHz	7
表 10 时钟源与运行频率	9
表 11 典型模式下的功耗	9

1. 概述

内核和存储

- 高性能 32 位 RISC 内核，最高频率 240MHz，支持 DSP 指令，集成 FPU 支持浮点运算
- FFT 加速器：最大支持 1024 点复数 FFT/IFFT 运算，或者是 2048 点的实数 FFT/IFFT 运算
- 集成 224KB SRAM（含 4KB TCM），32KB（I-Cache），32KB（D-Cache）
- 内置 16Mbit SPI FLASH，存储代码及数据
- 内置 EFUSE 配置存储器
- 2 线 SDP（Serial Debug Port）调试口，具备断点调试和代码追踪能力
- 40 个中断向量
- 4 层中断优先级

音频

- 3 路 Audio-ADC，SNR≥94dB
- ADC 采样率支持 8kHz / 11.0125kHz / 12kHz / 16kHz / 22.025kHz / 24kHz / 32kHz / 44.1kHz / 48kHz
- 最大支持 1 路模拟麦克风，模拟麦克风带 AGC（自动增益控制）功能
- 最大支持 4 路数字麦克风
- 3 路 DAC，SNR≥105dB
- DAC 采样率支持 8kHz / 11.0125kHz / 12kHz / 16kHz / 22.025kHz / 24kHz / 32kHz / 44.1kHz / 48kHz
- 支持直驱 16Ω 或 32Ω 耳机，最大输出功率 40mW
- 1 个 S/PDIF 接口，支持接收或发送（半双工），支持 HDMI 音频和 ARC

电源、时钟和复位

- DC 3.3V~5V 电源供电 @ LDOIN
- 内置（5V 转 3.3V，3.3V 转 1.2V）LDO 为芯片供电
- RC 12MHz 时钟源和 PLL 锁相环时钟源
- 支持 12~40MHz 晶体或者外部时钟（≤40MHz）直接输入 @ GPIO_B4
- 支持免晶体运行
- 内置 POR（Power on Reset），LVD（低电压检测）和 Watchdog
- 多种低功耗模式：
 - CPU 降频
 - 系统降频
 - 休眠
 - 深度休眠

外设

- 4 个基本定时器（TIM1，TIM2，TIM5，TIM6）
- 2 个通用定时器（TIM3，TIM4），带 PWM 和 PWC 功能
- 多达 13 个 GPIO
- 所有 GPIO 均可配置为外部中断输入和唤醒源
- GPIO 可配置上拉、下拉、高阻、下拉电流源等功能
- USB 2.0 全速（OTG）控制器，支持 6 个端点，内置 PHY
- 1 个标准 SPI Master 接口 @ max. 30MHz
- 1 个 SPI Slave 接口 @ max.30MHz
- 1 个全双工 UART @ max.3Mbps，支持流控
- 1 个 I2C 主/从控制器 @ max.400kHz
- 1 个 12-bit SAR-ADC（逐次逼近型 ADC）@ max. 450KHz 采样率，可分配 6 个外部 IO 通道，2 个内部电压采样通道

DMA

- 9 通道 DMA，全内存寻址，可分配给任意外设（OTG 和 I2C 除外）
- 独特的内存与 IO 间自动发射和捕获机制（简称 DMA-GPIO），可模拟多种通讯和控制时序

软件开发支持

- 音频算法支持列表：
 - 解码: MP2, MP3, WMA, APE, FLAC, AAC, MP4, M4A, WAV (IMA-ADPCM & PCM), AIF, AIFC
 - 编码: MP2/MP3, IMA-ADPCM
 - 音效:
 - ◆ 回声
 - ◆ 混音
 - ◆ 3D 环绕
 - ◆ 虚拟低音
 - ◆ 电音/变调/变声
 - ◆ 参量均衡器 (EQ)
 - ◆ 动态范围压缩 (DRC)
 - ◆ 回声消除 (AEC)
 - ◆ 噪声抑制
 - ◆ 移频 (防啸叫)
 - ◆ 啸叫侦测及抑制
- SDK (软件开发套件) 内涵丰富。包括丰富功能的 Example 和众多中间件。

- 基于 Eclipse 的 IDE 和 GCC 编译器
- 支持 FreeRTOS
- 全 C 编程，代码移植方便

固件烧录和保护

- 支持调试器、专用烧录器或 Flash Burner Lite 烧录 Flash
- Bootloader 内置双 Bank 升级机制
- 支持 32bit 用户密钥对固件加密
- 芯片 64-bit unique ID

EMC (电磁兼容)

- 支持时钟展频
- 芯片 ESD 过 HBM 4kV

封装和工作温度

- QSOP24
- 环境工作温度: -40℃ 到 85℃

应用领域

- 便携式蓝牙音箱
- 便携式耳机
- 卡拉 OK 声卡

2. 结构示意图

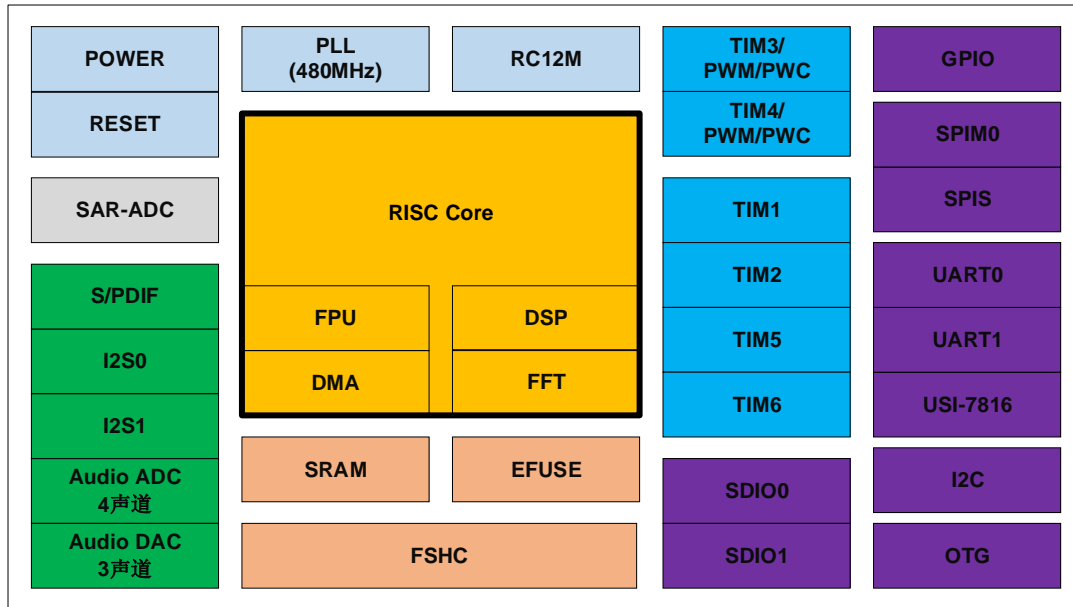


图 1. 芯片结构示意图

3. 引脚定义和描述

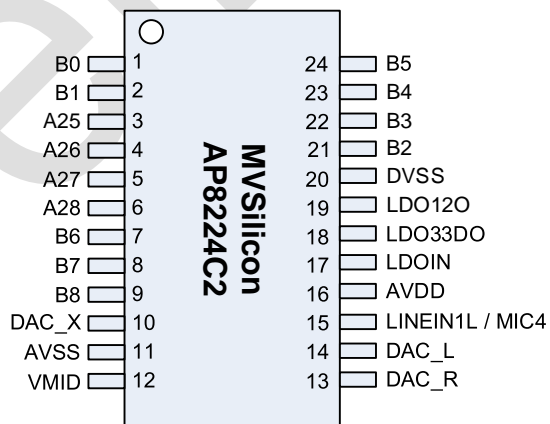


图 2. 芯片引脚定义

4. GPIO 引脚描述

表 1 芯片引脚类型说明

类型记号	描述
I	数字输入 PAD
O	数字输出 PAD
AI	模拟输入 PAD
AO	模拟输出 PAD
I/O	输入/输出 PAD
PWR	电源 PAD
GND	地 PAD

表 2 芯片引脚说明

管脚编号	名称	类型	功能说明复用说明
1	GPIO_B0	I/O	UART1_TXD/I2C_SCL/TIM3_PWM /TIM3_PWC/SW_CLK
2	GPIO_B1	I/O	UART1_RXD/I2C_SDA/TIM4_PWM /TIM4_PWC/SW_D
3	GPIO_A25	I/O	ADC4/SPDIF_AI/SPIS_MISO/SPIM_MISO /I2S0_LRCLK/I2S1_LRCLK/DMIC_DAT
4	GPIO_A26	I/O	ADC5/SPDIF_AI/SPIS_CLK/SPIM_CLK /I2S0_BCLK/I2S1_BCLK/DMIC0_CLK
5	GPIO_A27	I/O	ADC6/SPDIF_AI/SPIS_MOSI/SPIM_MOSI /I2S0_DO/DMIC1_CLK/SPDIF_DO/TIM3_PWM /TIM3_PWC
6	GPIO_A28	I/O	ADC7/SPDIF_AI/SPIS_CS/I2S0_DI /DMIC1_DAT/SPDIF_DI/TIM4_PWM/TIM4_PWC
7	GPIO_B6	I/O	ADC12/FMR/UART1_RXD/I2C_SDA
8	GPIO_B7	I/O	ADC13/FML/UART1_TXD/I2C_SCL
9	GPIO_B8	I/O	复用为 EFUSE VDD
10	DAC_X	AO	音频 X 声道输出
11	AVSS	GND	模拟地
12	VMID	AO	音频模块内部电压基准
13	DAC_R	AO	音频 R 声道输出
14	DAC_L	AO	音频 L 声道输出
15	LINEIN1_L / MIC4	AI	音频模拟输入或者 MIC 输入
16	AVDD	PWR	模拟电源输入
17	LDOIN	PWR	芯片总电源输入
18	LDO33DO	PWR	数字 3.3V 电源输出
19	LDO12DO	PWR	Core 电源输出
20	DVSS	GND	数字地
21	GPIO_B2	I/O	USB_DM/UART1_TXD/I2C_SCL/TIM3_PWM /TIM3_PWC
22	GPIO_B3	I/O	USB_DP/UART1_RXD/I2C_SDA/TIM4_PWM /TIM4_PWC

管脚编号	名称	类型	功能说明复用说明
23	GPIO_B4	I/O	HOSC_XI
24	GPIO_B5	I/O	HOSC_XO

说明:

- 1) GPIO 按 A, B 分为 2 组, 其中 A 组 4 个, B 组 9 个。
- 2) 所有 GPIO 上电默认态为输入高阻。

表 3 GPIO 上电状态及电平

名称	I/O 状态	电平状态
GPIO_A[28:25]	浮空	高阻
GPIO_B[8:0]	浮空	高阻

- 3) 芯片采用 CMOS 工艺, 建议对没有和其他器件连接的 GPIO 引脚做内部上拉或者下拉的配置, 避免因电荷积累而导致该 IO 产生电流消耗。
- 4) GPIO 在芯片复位期间及之后的表现, 分为两种情况:
 - a) 上电复位 (POR), 将使 GPIO 取消其它复用功能, 恢复为输入高阻电平状态。如表 3。
 - b) 看门狗 (watchdog) 复位或者软件系统复位, 可以通过寄存器设置让 GPIO 保持复位前的配置, 如复用关系、输入输出和上下拉状态等; 也可以表现与 a) 一致。

5. 芯片电气特性

5.1. 芯片使用条件

表 4 芯片推荐使用条件

参数	标识	最小	典型	最大	单位
环境工作温度		-40		85	°C
芯片电源输入范围	LDOIN	3.3		5	V
模拟模块电源	AVDD		3.3		V
内置 LDO 数字模块电源	LDO33DO		3.3		V
Core 工作电压	LDO12O		1.2		V

5.2. 数字 IO 电特性

表 5 数字 IO 直流特性

符号	含义	最小	典型	最大	单位	测试条件
VIH	输入高电平	2.2		3.6	V	VDD33=3.3V
VIL	输入低电平	-0.3		1.0	V	VDD33=3.3V
IL	输入漏电流	-10		10	μA	
VOH	输出高电平	3.0			V	@IOH=8mA
VOL	输出低电平			0.3	V	@IOL=8mA

表 6 数字 IO 驱动力和上下拉特性

名称	对应端口	普通	增强	单位	测试条件
驱动力	GPIO_A18 外所有 GPIO	8		mA	VDD33=3.3V, 典型
	GPIO_A18	8	24	mA	VDD33=3.3V, 典型
上拉	所有 GPIO	20	70	μA	VDD33=3.3V, 典型
下拉	所有 GPIO	20	70	μA	VDD33=3.3V, 典型
下拉电流源	所有 GPIO	2.9		mA	VDD33=3.3V, 典型

5.3. 音频性能

表 7 Audio DAC 性能@44.1KHz

参数	测试条件	最小值	典型值	最大值	单位
位宽				20	Bits
采样率		8		48	kHz
动态范围	@Fin=1kHz, -60dBFS, A-Weighted		98		dB
SNR	@Fin=1kHz, 0dBFS, A-Weighted		105		dB
THD+N	@Fin=1kHz, -6dBFS, A-Weighted		-81		dB

参数	测试条件	最小值	典型值	最大值	单位
输出摆幅			1.067		Vrms
内部通道增益失配			0.027		dB
群延时			756		μs
相位偏差			0.285		degree
串扰 (L/R)			-119		dB

表 8 Audio ADC 性能@Line-in 通道, 44.1KHz

参数	测试条件	最小值	典型值	最大值	单位
位宽				16	Bits
采样率		8		48	kHz
模拟增益控制范围		-44		12	dB
输入阻抗			15		kΩ
动态范围	No Filter @Fin=1kHz		93		dB
	A-Weighted @ Fin=1kHz		95		dB
SNR	No Filter @900mVrms, Fin=1kHz		92		dB
	A-Weighted @900mVrms, Fin=1kHz		94		dB
THD+N	@900mVrms, Fin=1kHz		-88		dB
内部通道增益失配			0.033		dB
群延时			680		us
串扰 (L/R)			-99.3		dB

表 9 Audio ADC 性能@麦克风通道, 44.1kHz

参数	测试条件	最小值	典型值	最大值	单位
位宽				16	Bits
采样率		8		48	kHz
模拟增益控制范围	不使用 GainBoost	-20		39.6	dB
	使用 GainBoost	-20		59.6	dB
输入阻抗			4		kΩ
动态范围	No Filter		92		dB
	A-Weighted		94		dB
SNR	No Filter		91		dB
	A-Weighted		93		dB
THD+N	不使用 GainBoost		-85		dB

参数	测试条件	最小值	典型值	最大值	单位
	使用 GainBoost		-80		dB
内部通道增益失配			0.12		dB
群延时			680		us
串扰 (L/R)			-110		dB

Preliminary

6. 运行频率和功耗

6.1. 时钟源和运行频率

芯片内置两个时钟源：RC 12MHz（简称 RC12M）时钟和 PLL 锁相环时钟。芯片退出复位状态后，先使用 RC12M 运行，当运行用户固件时，再通过代码选择内核和系统总线的时钟源。可以选择：

- a) 整体保留 RC12M 运行时钟（注意外设使用上有诸多限制）；
- b) 整体切换到 PLL 时钟；
- c) 内核和系统多数模块切换到 PLL 时钟，部分模块保留使用 RC12M 时钟。
- d) 免晶体工作

芯片的运行频率与选择的时钟源以及时钟源的工作模式有关，基本情况如下表。

表 10 时钟源与运行频率

时钟源	MCU 运行频率 (MHz)	最大误差	说明
RC12M 时钟	~12	- 29% ~ + 21%	极限温漂和压漂
PLL 时钟（闭环工作）	240	80ppm	@12MHz 晶体

6.2. 典型模式下的功耗

表 11 典型模式下的功耗

典型模式	电流	条件
RC12M 时钟	7.51mA	CPU 运行 while(1)代码，内核工作于 RC12M，
PLL 时钟	38mA	CPU 运行 while(1)代码，内核工作于 240MHz，12M 晶体。
免晶体	34.5mA	CPU 运行 while(1)代码，内核工作于 240MHz，无晶体。
深度睡眠	T.B.D	

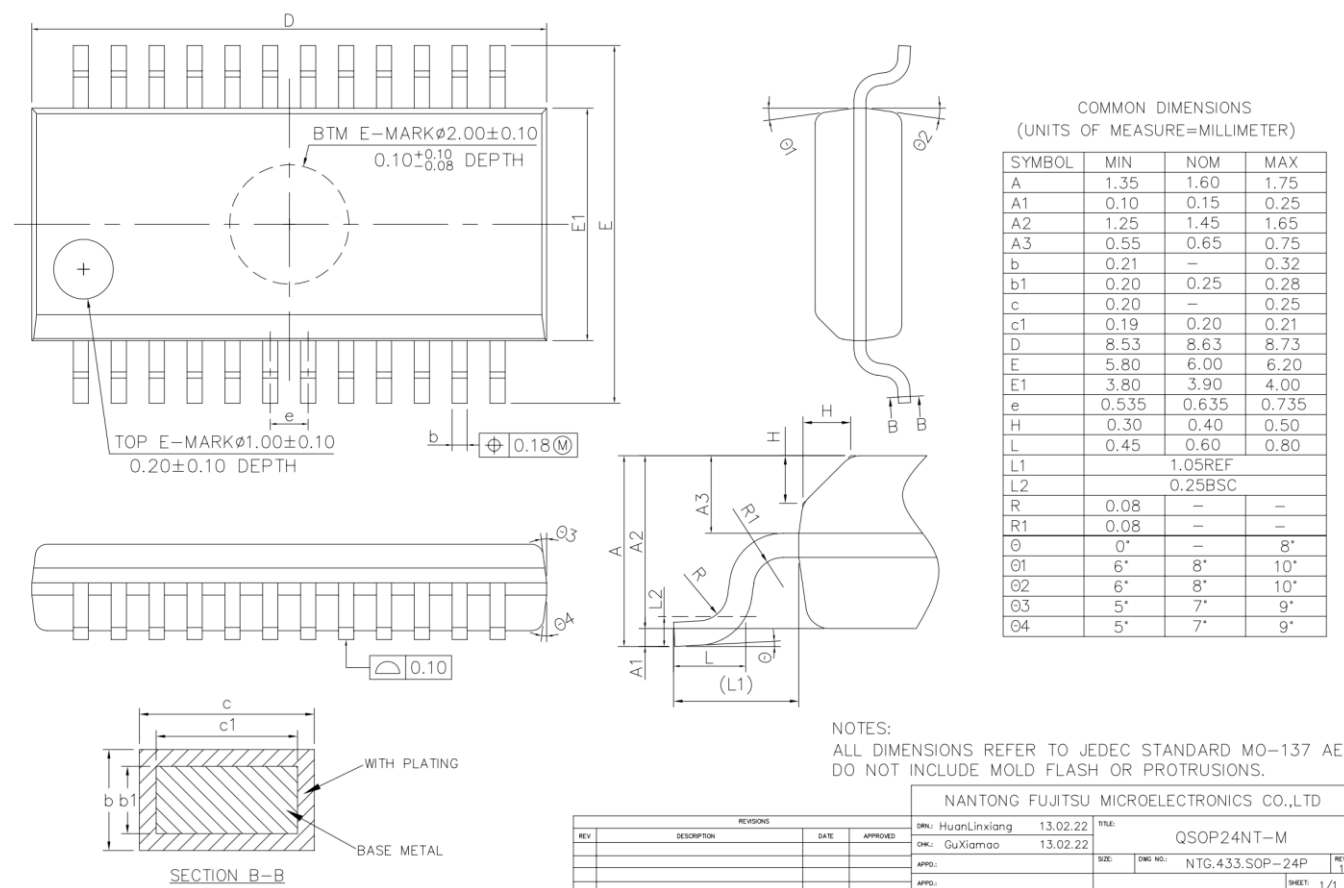


图 3. 封装形式和尺寸

8. 存储和焊接

存储温度范围：-65 到 150 摄氏度。

AP8224C2 is a moisture sensitive component. The moisture sensitivity classification is **Class 3**.

It's important that the parts are handled under precaution and a proper manner.

The handling, baking and out-of-pack storage conditions of the moisture sensitive components are described in IPC/JEDC S-STD-033A.

The Technologies recommends utilizing the standard precautions listed below.

1. Calculated shelf life in Sealed Bag: 12 months at <40°C and <90% relative humidity (RH)
2. Peak Package Body Temperature: 250°C
3. After bag is opened, devices that will be subjected to reflow solder of other high temperature process must be:
 - a. Mounted within 168 hours of factory condition $\leq 30^{\circ}\text{C}$ / 60% RH
 - b. Stored at <10% RH if not used
4. Devices require baking, before mounting if:
 - a. Humidity indicator card is >10% when read at $23\pm 5^{\circ}\text{C}$ immediately after moisture barrier bag is opened
 - b. Items 3a or 3b is not met
5. If baking is required, please refer to J-STD-033 standard for low temperature (40°C) baking requirement in Tape/Reel form.

9. 声明

All information and data contained in this document are without any commitment, are not to be considered as an offer for conclusion of a contract, nor shall they be construed as to create any liability. Any new issue of this document invalidates previous issues. Product availability and delivery are exclusively subject to our respective order confirmation form; the same applies to orders based on delivered development samples delivered. By this publication, Shanghai Mountain View Silicon Co., Ltd. (“MVSILICON”) does not assume responsibility for patent infringements or other rights of third parties that may result from its use.

No part of this publication may be reproduced, photocopied, stored in a retrieval system, or translated in any form or by any means, electronic, mechanical, manual, optical, or otherwise, without the prior written permission of Shanghai Mountain View Silicon Co., Ltd.

Shanghai Mountain View Silicon Co., Ltd. assumes no responsibility for any errors contained herein.

10. 技术支持

上海山景集成电路股份有限公司
Shanghai Mountain View Silicon Co Ltd

网站支持: <http://www.mvsilicon.com>

技术论坛:

电子邮件: support@mvsilicon.com

移动端:

上海总部:

上海浦东新区张江路 1238 弄恒越国际大厦 3 号楼 4C

邮编: 201203

电话: 86-21-68549851/68549853/68549857/50938107

传真: 86-21-58992765

深圳销售和 FAE 办事处:

广东省深圳市福田区商报路商报大厦 6A

邮编: 518034

电话: 86-755-83522955

传真: 86-755-83522957