



Министерство науки и высшего образования Российской Федерации  
Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
«Московский государственный технический университет  
имени Н.Э. Баумана  
(национальный исследовательский университет)»  
(МГТУ им. Н.Э. Баумана)

---

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ  
ТЕХНОЛОГИИ (ИУ7)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.0304 и 09.0404 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

**ОТЧЕТ**

по лабораторной работе № 4

**Название:** Исследование мультиплексоров

**Дисциплина:** Архитектура ЭВМ

Студент

ИУ7-44Б

(Группа)

А.А.Андреев

(Подпись, дата)

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

(И.О. Фамилия)

Москва, 2021

# Оглавление

Оглавление	1
Цель работы.	2
Ход выполнения работы.	3
1. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 цифровых сигналов:	3
а) на информационные входы D0 ...D7 мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2. Логические уровни 0 и 1 задавать источниками напряжения U=5 В и 0 В (общая);	3
б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц.	3
<b>в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.</b>	<b>3</b>
2. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 аналоговых сигналов:	
а) на информационные входы D0 ...D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Multisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;	
б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4- разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;	
в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.	5
<b>3. Исследование ИС ADG408 или ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных.</b>	<b>7</b>
- ФАЛ задается преподавателем.	7
- Проверить работу формирователя в статическом и динамическом режимах.	7
- Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.	
<b>ФАЛ : 0011 1110 1010 1100</b>	<b>7</b>
4. Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4. Исследовать мультиплексора MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 ...D15 – из табл. 2. Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1. мультиплексора MUX 16 – 1.	8
Вывод	9

**Цель работы.**

Цель работы – изучение принципов построения, практического применения и экспериментального исследования мультиплексоров.

## Ход выполнения работы.

### 1. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 цифровых сигналов:

- а) на информационные входы D0 ...D7 мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2. Логические уровни 0 и 1 задавать источниками напряжения  $U=5\text{ В}$  и  $0\text{ В}$  (общая);
- б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц.
- в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

Вариант	Входы $D_0, \dots, D_7$	Логическая функция
1	0 0 1 1 0 0 1 1	0, 2, 6, 7, 8, 9, 12, 14, 15
2	0 1 1 1 0 1 1 1	0, 4, 5, 6, 7, 8, 9, 10, 11, 14
3	1 0 1 1 0 1 0 1	2, 3, 4, 5, 6, 8, 10, 12, 13

Рис. 1, Вариант 3-й

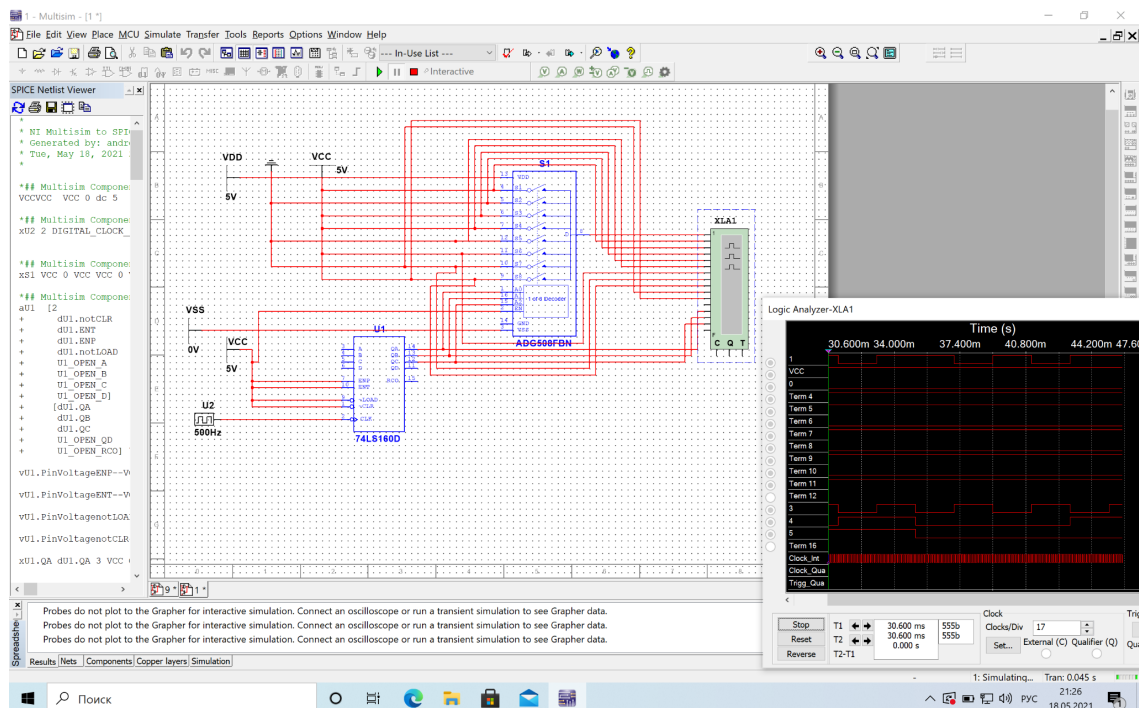


Рис. 2, Схема с логическим анализатором  
Сигналы совпадают с входными данными.

## 2. Исследование ИС ADG408 или ADG508 в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

а) на информационные входы D0 ...D7 мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Multisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;

б) на адресные входы A2, A1, A0 подать сигналы Q3, Q2, Q1 соответственно с выходов 4- разрядного двоичного счетчика (младший разряд – Q0). На вход счетчика подать импульсы генератора с частотой 500 кГц;

в) снять временную диаграмму сигналов при EN=1 и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.

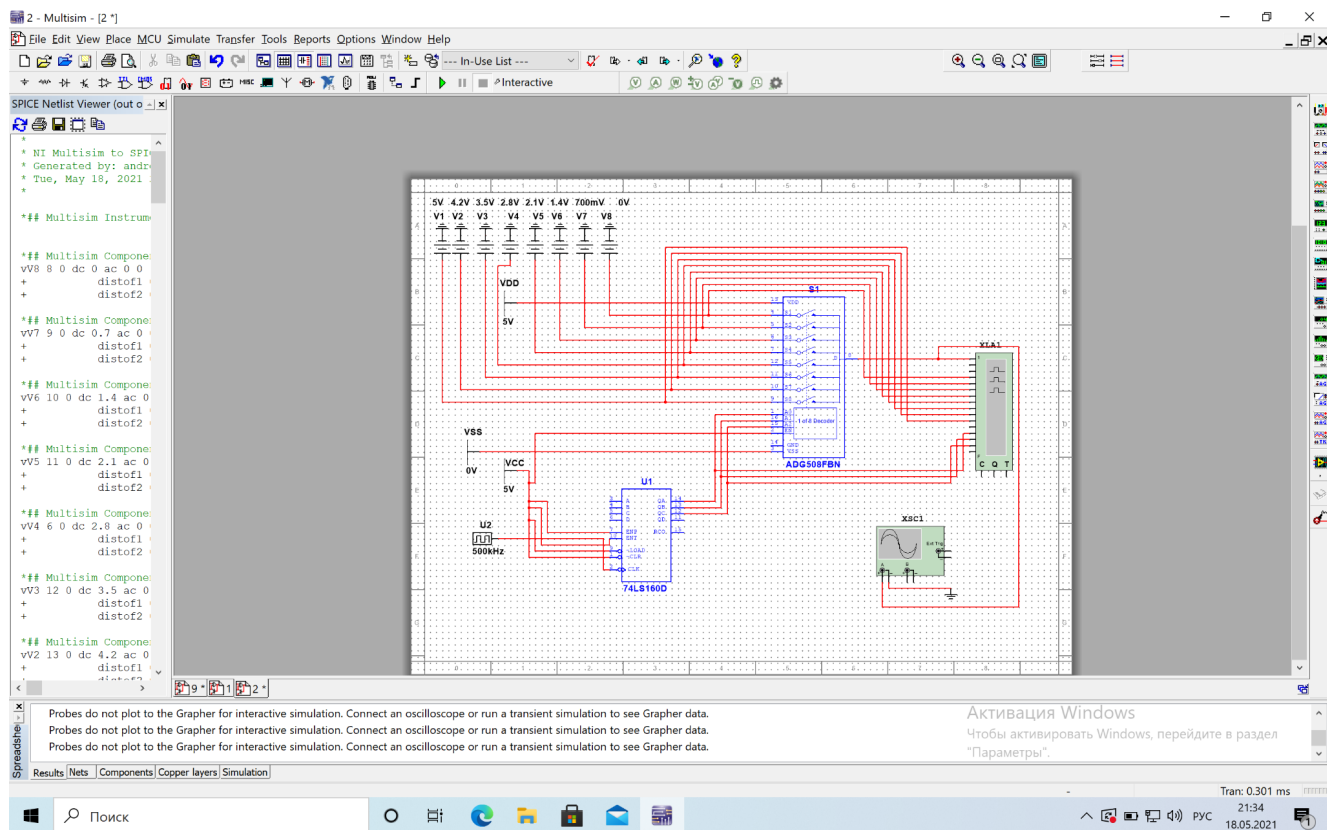
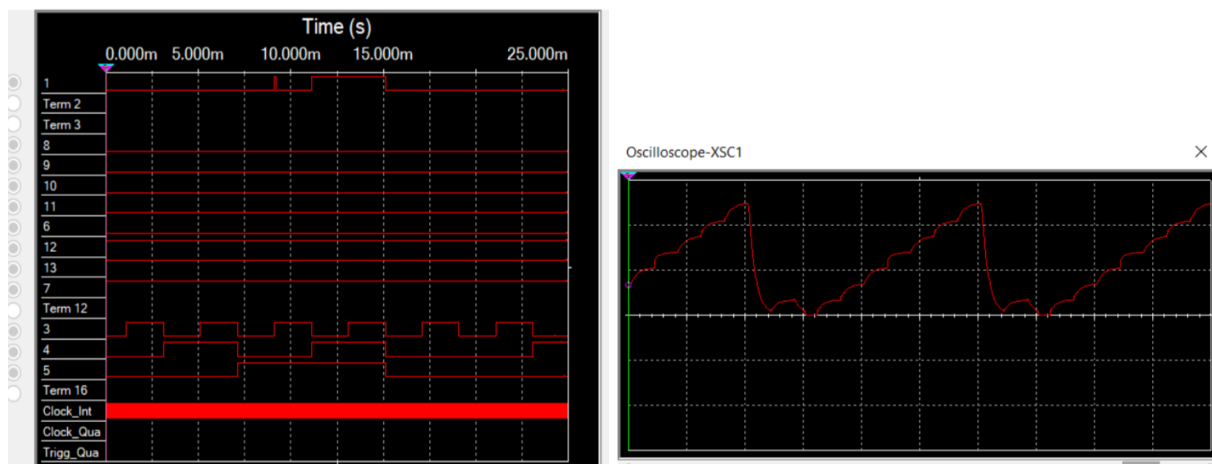


Рис. 3, Схема с осциллографом



*Рис. 4, Логический анализатор по схеме и осциллограф*

В результате гонки сигналов возникают помехи, значение истины на мультиплексоре - когда напряжение на нем становится больше стробирующего сигнала EN.

### 3. Исследование ИС ADG408 или ADG508 как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных.

- ФАЛ задается преподавателем.

- Проверить работу формирователя в статическом и динамическом режимах.

- Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

ФАЛ : 0011 1110 1010 1100

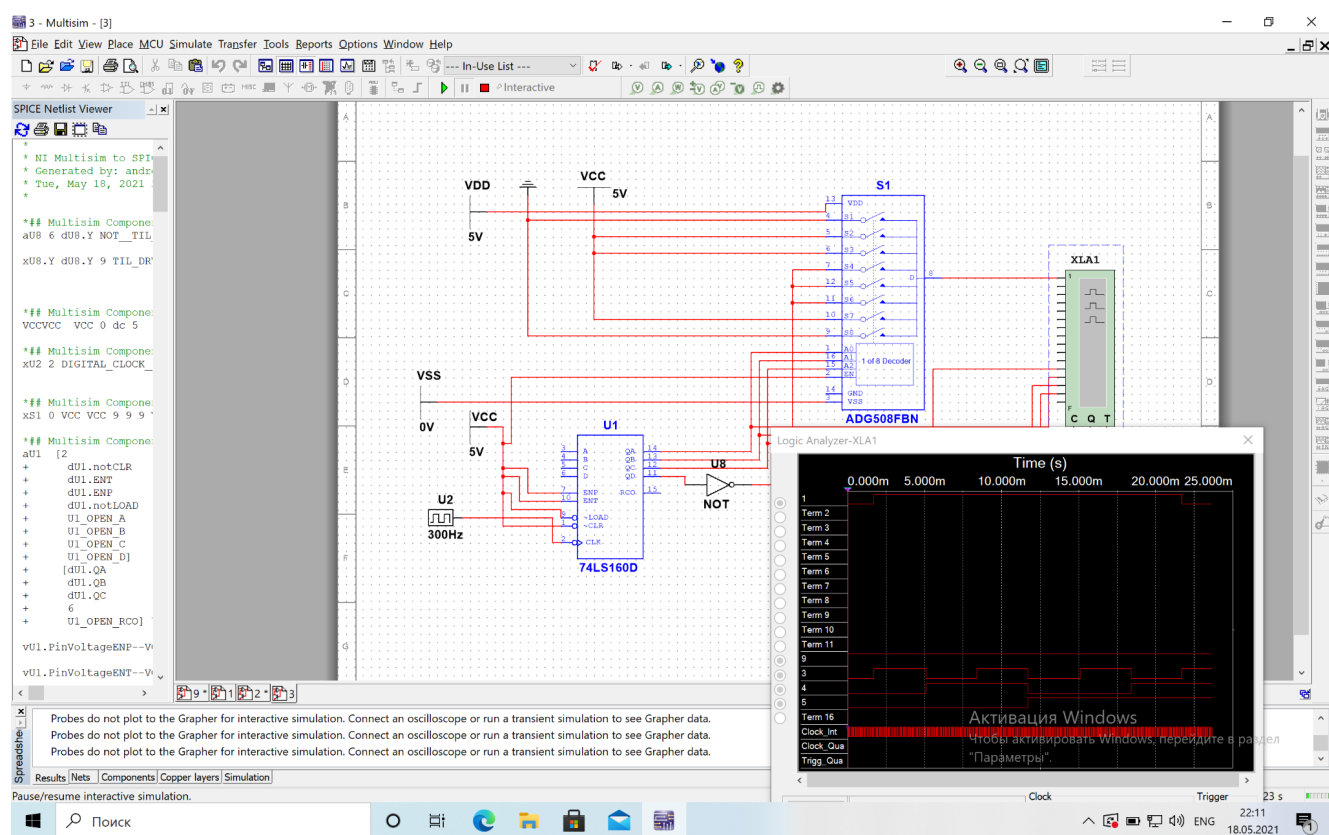


Рис. 5, Схема с анализатором

№ набора	X4	X3	X2	X1	F	Примечание
0	0	0	0	0	0	$D_0=0$
1	0	0	0	1	0	
2	0	0	1	0	1	$D_1=1$
3	0	0	1	1	1	
4	0	1	0	0	1	$D_2=1$
5	0	1	0	1	1	
6	0	1	1	0	1	$D_3=\neg x 1$
7	0	1	1	1	0	
8	1	0	0	0	1	$D_4=\neg x 1$
9	1	0	0	1	0	$D_5=\neg x 1$
10	1	0	1	0	1	
11	1	0	1	1	0	
12	1	1	0	0	1	$D_6=1$
13	1	1	0	1	1	
14	1	1	1	0	0	$D_7=0$
15	1	1	1	1	0	

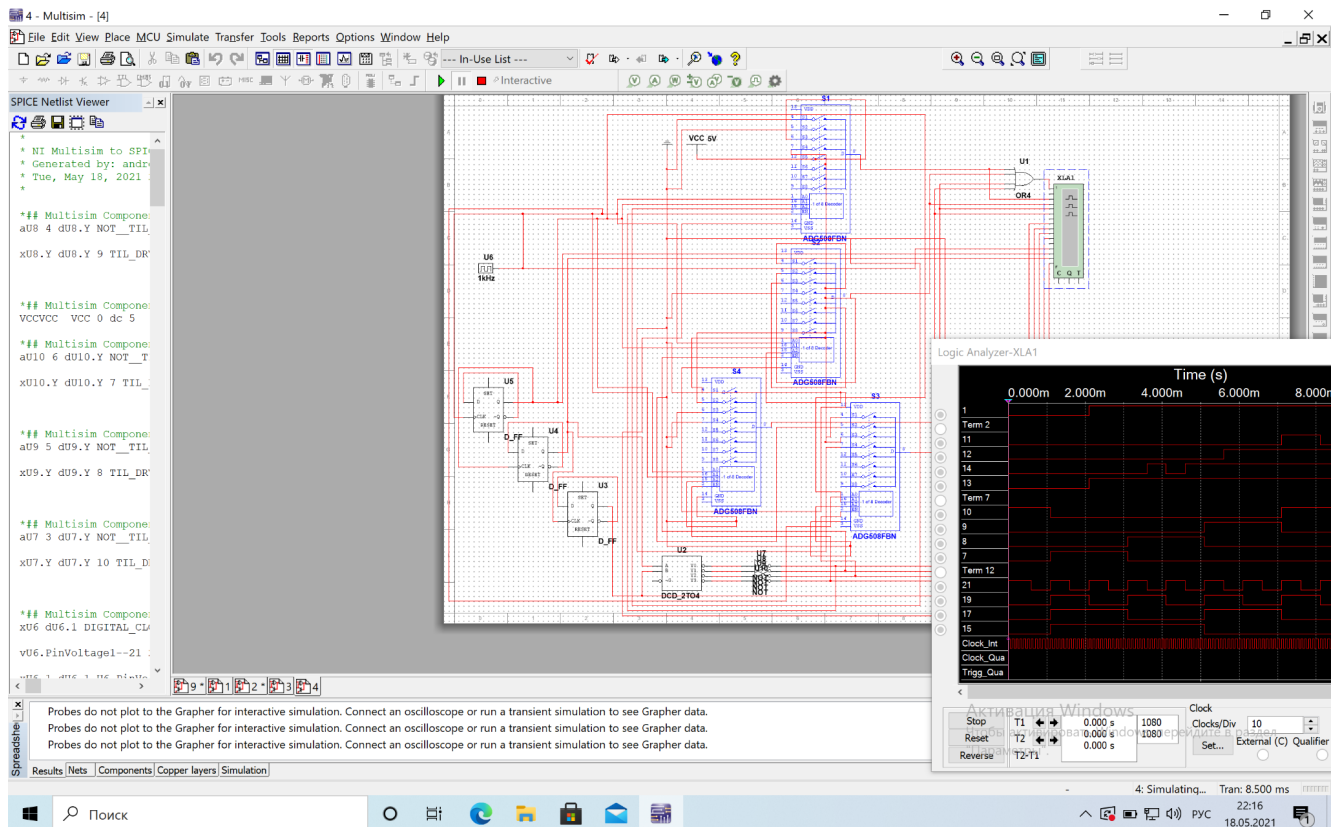
Табл. 1, Синтезированная таблица

**4. Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4. Исследовать мультиплексора MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы D0 ...D15 – из табл. 2. Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1. мультиплексора MUX 16 – 1.**

Набор значений: 0011 1110 1010 1100

Рис. 6, Схема с анализатором





## Вывод

При выполнении лабораторной работы познакомились с работой и структурой мультиплексоров, поняли и изучили их отличительные особенности. Макетировали и исследовали их свойства.

## Контрольные вопросы

### 1. Что такое мультиплексор?

Мультиплексор – это функциональный узел, имеющий  $n$  адресных входов и

$N = 2^n$  информационных входов и выполняющий коммутацию на выход того информационного сигнала, адрес (т.е. номер) которого установлен на адресных входах. Иначе мультиплексор – это адресный коммутатор.

### 2. Какую логическую функцию выполняет мультиплексор?

$$Y = \bigvee_{j=0}^{2^n-1} D_j \cdot A_{n-1} \cdot A_{n-2} \cdot \dots \cdot A_1 \cdot A_0$$

Где,  $A_i$  – Адресные входы и сигналы,  $D_j$  – информационные входы и сигналы,  $m_j$  – конstituента единицы (конъюнкция всех переменных  $A_i$ ), номер которой равен числу, образованному двоичным кодом сигналов на адресных входах

### 3. Каково назначение и использование входа разрешения?

Вход разрешения EN используется: - собственно для разрешения работы мультиплексора, - для стробирования, - для наращивания числа информационных входов. При  $EN=1$  разрешается работа мультиплексора и выполнение им своей функции, при  $EN=0$  работа мультиплексора запрещена и на его выходах устанавливаются неактивные уровни сигналов.

#### 4. Какие функции может выполнять мультиплексор?

##### Функции Алгебры Логики (ФАЛ)

Мультиплексоры широко применяются для построения: - коммутаторов-селекторов, - постоянных запоминающих устройств емкостью  $2^n \times 1$  бит, - комбинационных схем, реализующих функции алгебры логики, - преобразователей кодов (например, параллельного кода в последовательный) и других узлов

#### 5. Какие способы наращивания мультиплексоров?

Наращивание числа коммутируемых каналов выполняется двумя способами: - по пирамидальной схеме соединения мультиплексоров меньшей размерности, - путем выбора мультиплексора группы информационных входов по адресу (т.е. номеру) мультиплексора с помощью дешифратора адреса мультиплексора группы, а затем выбором информационного сигнала мультиплексором группы по адресу информационного сигнала в группе.

#### 6. Поясните методику синтеза формирователя ФАЛ на мультиплексоре?

На основе мультиплексора, имеющего  $n$  адресных входов, можно реализовать ФАЛ  $(n+1)$  переменных. Примечание. Реализация ФАЛ  $n$  переменных на мультиплексоре с  $n$  адресными входами тривиальна: на адресные входы подаются переменные, на информационные входы – значения ФАЛ на соответствующих наборах переменных. На выходе мультиплексора образуются значения ФАЛ в соответствии с наборами переменных. В этом случае мультиплексор выполняет функцию ПЗУ. Для реализации ФАЛ  $n+1$  переменных на адресные входы мультиплексора подаются  $n$  переменных, на

информационные входы –  $(n+1)$ -я переменная или ее инверсия, константы 0 или 1 в соответствии со значениями ФАЛ.

7. Почему возникают ложные сигналы на выходе мультиплексора? Как их устранить?

Возникают из-за потенциала на входах (подвешенное состояние).

Во избежание появления ложного сигнала на выходе мультиплексора строб-импульс на время переключения адреса должен отключать выход от входов.