Capitolul 3

Bazele logice ale calculatoarelor

dr. ing. inf. Marius ROGOBETE

Introducere

- Caracteristica comună cea mai importantă a tuturor generaţiilor de calculatoare numerice realizate până în prezent și anume natura discretă a operaţiilor efectuate.
- Teoretic și practic s-a impus utilizarea dispozitivelor care codifică informaţia în două stări stabile, rezultând efectuarea calculelor în sistem binar.
- Suportul teoretic al acestuia este algebra logică (booleană).
- Analiza şi sinteza circuitelor de comutație aferente calculatoarelor numerice utilizează algebra booleană ca principal instrument matematic

Funcții logice. Tabele de adevăr.

- Funcţia logică conține un număr variabil de termeni.
- Numărul maxim de valori ce vor fi procesate de funcție este egal cu $\boldsymbol{2^{i}}$ (unde *i* este numărul de variabile ale funcției).
- În aparatura digitală valorile logice “0” şi “1” ale variabilelor funcţiei sunt reprezentate prin două nivele de tensiune diferite.
- Expresiile booleene sau funcţiile logice pot fi reprezentate în mai multe moduri ce vor fi exemplificate pe o funcție oarecare *f*.

Funcții logice. Tabele de adevăr.

- Tabela de adevăr este cea mai simplă reprezentare a unei funcții booleene. Aceasta cuprinde toate combinațiile posibile ale valorilor variabilelor de intrare şi afișează în dreptul fiecăreia, valoarea corespunzătoare, procesată la ieşire pentru funcţia *f.* Cu alte cuvinte, tabelul de adevăr afișează ieşirile pentru toate combinațiile posibile de valori de intrare.

- *Exemplu*: Tabela de adevăr pentru o funcție *f*(*A, B, C*) oarecare de trei variabile poate fi:

A	B	C	f
0	**0**	**0**	**0**
0	**0**	**1**	**0**
0	**1**	**0**	**1**
0	**1**	**1**	**1**
1	**0**	**0**	**0**
1	**0**	**1**	**0**
1	**1**	**0**	**0**
1	**1**	**1**	**1**

Funcții logice. Tabele de adevăr.

Forma canonică normal disjunctivă

- Este o expresie care separă operatorii, fiind una dintre formele de reprezentare des întâlnite. Expresia constă din variabile conectate printr-un operator AND rezultând termeni conectaţi cu operatori OR. Această reprezentara poartă denumirea de sumă de produse sau formă canonică normal disjunctivă (f.c.n.d.).
- Fiecare operaţie AND poate fi privită ca un produs booleană, termenul obţinut din variabile conectate de operatori AND fiind un termen-produs. Operatorul OR este asimilat ca o însumare booleană, iar expresia cu termeni produs conectaţi de operatori OR fiind o expresie sumă-de-produse sau forma canonică normal disjunctivă.
- În exemplul următor, expresia funcției este o sumă de produse completă pentru o funcţie de trei variabile :

$$f(A,B,C) = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}B\bar{C} + \bar{A}BC + A\bar{B}\bar{C} + A\bar{B}C + AB\bar{C} + ABC$$

Notând $\overline{A}\overline{B}\overline{C}$ cu P_0 , $\overline{A}\overline{B}C$ cu P_1 , etc., forma canonică normal disjunctivă se poate rescrie astfel:

$$f(A, B, C) = P_0 + P_1 + P_2 + P_3 + P_4 + P_5 + P_6 + P_7.$$

Funcții logice. Tabele de adevăr.

Forma canonică normal conjunctivă

$$f(A,B,C) = (A+B+C)(A+B+\overline{C})(A+\overline{B}+C)(A+\overline{B}+\overline{C})\cdot$$
$$\cdot(\overline{A}+B+C)(\overline{A}+B+\overline{C})(\overline{A}+B+C)(\overline{A}+\overline{B}+\overline{C}).$$

- Forma canonică normal conjuctivă (f.c.n.c.) este o altă modalitate de exprimare a funcţiilor. Aceasta se obține din operatori AND ce conectează termeni legaţi prin operatori OR. Pentru o funcție logică de trei variabile, forma canonică normal conjunctivă completă se scrie astfel:

Notând S_0, S_1 etc, funcția se poate rescrie:

$$f(A, B, C) = S_0 S_1 S_2 S_3 S_4 S_5 S_6 S_7.$$

Funcții logice. Tabele de adevăr.

Diagrame Veitch-Karnaugh

- O reprezentare grafică a formelor canonice este dată de diagramele Veitch-Karnaugh. Aceasta constă dintr-o matrice, unde fiecărui element îi corespunde un termen produs canonic.
- Caracteristic pentru diagramele Veitch-Karnaugh este că orice element diferă de elementul său adiacent printr-o singură variabilă. Ca exemplu sunt reprezentate două diagrame Veitch-Karnaugh de trei şi patru variabile, rezultând astfel opt, respectiv şaisprezece combinații, fiecăreia dintre aceste combinații fiindui alocată câte un element din diagramă.

	$\bar{A}\bar{B}$ 00	$\bar{A}B$ 01	AB 11	$A\bar{B}$ 10
$\bar{C}$ 0	P_0	P_2	P_6	P_4
C 1	P_1	P_3	P_7	P_5

Figura 1
Diagrama V-K
pentru 3 variabile de intrare

	$\bar{A}\bar{B}$ 00	$\bar{A}B$ 01	AB 11	$A\bar{B}$ 10
$\bar{C}\bar{D}$ 00	P_0	P_4	P_{12}	P_8
$\bar{C}D$ 01	P_1	P_5	P_{13}	P_9
CD 11	P_3	P_7	P_{15}	P_{11}
CD 10	P_2	P_6	P_{14}	P_{10}

Figura 2
Diagrama V-K
pentru 4 variabile de intrare

Funcții logice. Tabele de adevăr.

Forma elementară

- Termenii formelor elementare nu conţin toate variabilele de intrare, spre deosebire de formele canonice prezentate anterior. Pornind de la forma de reprezentare canonică putem ajunge la una elementară prin operaţia numită minimizare.
- Exprimarea unei funcții prin forme elementare oferă avantaje faţă de formele canonice în primul rând la implementarea funcției, deoarece numărul de circuite şi componente electronice implicat este minimizat.
- Exemplu de scriere a unei funcții sub formă elementară:

$$f(A,B,C)=\overline{A}B+\overline{B}\,\overline{C}$$

Funcții logice. Tabele de adevăr.

Minimizarea funcțiilor logice

- *Tehnica minimizării permite exprimarea funcției printr-o formă elementară prin transformarea intr-o formă canonică, eliminând variabilele de intrare neutilizate din termenii funcției. Utilizarea expresiei elementare la implementare va costa mai puţin și/sau va opera mai rapid față de implementarea expresiei iniţiale.*

- *Printre cele mai răspândite metode de minimizare este utilizarea diagramele Veitch-Karnaugh. Prin această metodă se face o simplă identificarea vizuală a termenilor care pot fi combinaţi .*

Funcții logice. Tabele de adevăr.

Minimizarea funcțiilor logice

Tehnica minimizării cu ajutorul diagramelor Veitch-Karnaugh

Avem dată definiția funcţiei exprimată ca o sumă de produse;

I. Este dată definiția funcţiei exprimată ca o sumă de produse;
II. Elementele din diagrama Veitch-Karnaugh ce corespund termenilor din expresie sunt marcate cu 1; celelate elemente rămase pot fi marcate cu zerouri pentru a indica faptul că funcția va fi *0* în aceste situaţii, sau vor rămâne necompletate.
III. Se face gruparea suprafeţelor valide de valoare *1*, formate din elementele adiacente pe orizontală sau verticală (suprafeţele pot conţine un număr de elemente egal cu puteri ale lui 2).
IV. Elementele de-a lungul unei laturi sunt considerate adiacente inclusiv cu cele de pe latura opusă (sus şi jos sau stânga şi dreapta), întrucât ele corespund termenilor cu o singură variabilă diferită.
V. Suprafeţele maximale corespund termenilor elementari, iar reprezentarea grafică este ilustrarea teoremei:

$$A \cdot B + A \cdot \overline{B} = A$$

VI. Forma elementară se obține ca o sumă de produse pentru termenii elementari rezultaţi în etapa V.

Funcții logice. Tabele de adevăr.

Minimizarea funcțiilor logice

Exemplu: Să se minimizeze funcția

$$f = P_0+P_2+P_5+P_7+P_8+P_9 +P_{10} +P_{11} +P_{12} +P_{14}$$

folosind diagrama V-K .

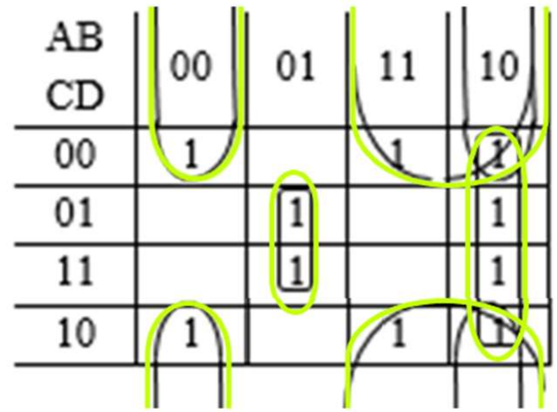
AB / CD	00	01	11	10
00	1		1	1
01		1		1
11		1		1
10	1		1	1

Funcții logice. Tabele de adevăr.

Minimizarea funcțiilor logice

REZOLVARE:

- $f = P_0+P_2+P_5+P_7+P_8+P_9 +P_{10} +P_{11} +P_{12} +P_{14}$
- Pentru construirea diagramei Karnaugh se poate porni şi de la f.c.n.c., caz în care suprafeţele maximale vor fi date de celulele adiacente conţinând 0 logic.
- Se preferă, totuşi, lucrul cu f.c.n.d. care are avantajul, pe lângă comoditatea oferită de lucrul cu expresii algebrice care conţin sume de produse şi pe acela al implementării cu porţi tip **NAND**, mai răspândite şi mai avantajoase tehnologic

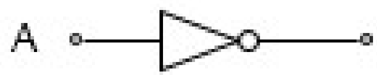


$$f = \overline{A}\,\overline{B}\,\overline{D} + \overline{A}BD + A\overline{D} + A\overline{B}$$

Porți logice

- Tensiunile porţilor logice produc un **nivel logic** de tensiune **“înaltă”** (**HIGH**) şi respectiv un nivel logic de tensiune **“joasă”** (**LOW**). Algebra booleană foloseşte trei operatori fundamentali cu care sunt definite toate funcţiile logice îndeplinite de porţile logice. Toate funcţiile care se obţin cu ajutorul acestor operatori sunt implementate de circuite numite porţi logice. Acestea sunt:
  - **NOT**
  - **AND**
  - **OR**

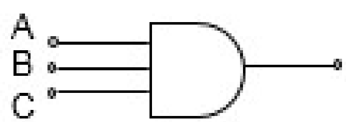
<u>Poarta NOT</u>



$$f = \overline{A}$$

A	f
0	1
1	0

<u>Poarta AND</u>



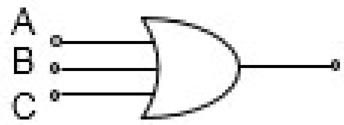
$$f = A \cdot B \cdot C$$

A	B	C	f
0	0	0	0
0	0	1	0
0	1	1	0
0	1	0	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

- Când toate intrările sunt SUS ieșirea este SUS.
- Când cel puțin o intrae este JOS ieșirea este JOS.

Porți logice

<u>Poarta OR</u>

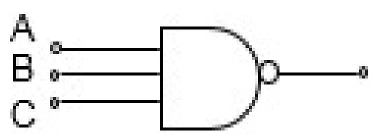


$$f = A + B + C$$

A	B	C	f
0	0	0	0
0	0	1	1
0	1	1	1
0	1	0	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

Pentru orice intrare SUS ieșirea va fi SUS.

<u>Poarta NAND</u>

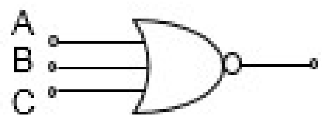


$$f = \overline{A \cdot B \cdot C}$$

A	B	C	f
0	0	0	1
0	0	1	1
0	1	0	1
1	0	0	1
0	1	1	1
1	0	1	1
1	1	0	1
1	1	1	0

Porți logice

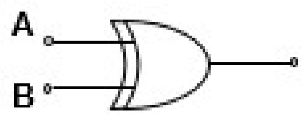
Poarta NOR



$$f = \overline{A + B + C}$$

A	B	C	f
0	0	0	1
0	0	1	0
0	1	0	0
1	0	0	0
0	1	1	0
1	0	1	0
1	1	0	0
1	1	1	0

Poarta XOR



$$f = A \oplus B$$

A	B	f
0	0	0
0	1	1
1	0	1
1	1	0